

修士論文

Master's thesis

積層チャネル構造を用いたシリコン量子ビットの

集積化に関する研究

**Study on Integration of Silicon Qubits**

**with Stacked Channel Structures**

指導教官

Thesis Supervisor

平本 俊郎 教授

Professor Toshiro Hiramoto

東京大学大学院 工学系研究科

電気系工学専攻

Department of Electrical Engineering and Information Systems

School of Engineering

The University of Tokyo

2019 年 1 月 31 日提出

January 31st, 2019

37-176418

伊藤 優希

Yuki Ito

## 要約

半導体集積回路は MOSFET の微細化を行うことで性能が向上することが知られている。これまで Moore の法則として知られるように、MOSFET の微細化による集積回路における集積密度の指数関数的な増加が為されてきた。一方、ゲート長のサイズが数 nm と原子サイズに迫っているために MOSFET のゲート長の微細化は鈍化傾向にある。極端な微細化によって生じる短チャネル効果と呼ばれるデバイス特性の劣化も指摘されている。これらの問題を解決するためには MOSFET の性能向上のみに頼らず、全く新しい概念で動作可能なコンピュータと組み合わせて更なる高性能なコンピュータを実現することが 1 つの方法であり、その候補に量子コンピュータがある。

量子コンピュータは 1985 年に Feynman によって提唱された量子力学的な重ね合わせ現象を用いるコンピュータである。データベース検索や素因数分解、近年では量子化学計算や量子機械学習といった分野で古典コンピュータよりも高速に問題を解けることが示されている。量子コンピュータの実現には量子情報を保持する量子ビットが必要であり、中でもシリコン量子ビットが注目を集めている。シリコン量子ビットは物理サイズが小さく拡張性に優れていることや成熟しきったシリコンプロセスを利用出来ること、CMOS 古典回路との高い親和性などに加えて、核スピンのない安定同位体を用いることで量子情報の保持時間であるコヒーレンス時間の延伸が出来ることが示されている。一方、実用的な量子計算のためには量子ビットを集積化することで多量子ビット化を実現する必要があるが、シリコン量子ビットの作製には多くの配線を要し、配線が面積の大部分を占めてしまうことから集積化が難しいといった問題があった。

本研究ではシリコン量子ビットの多量子ビット化を実現するために積層構造型シリコン量子ビットの提案を行った。2 量子ビットと 4 量子ビットのシミュレーションを行い、ゲート電圧を掃引することで全ての量子状態が読み出せることを確認した。試作のための電子線描画条件出しを行い、最上部に 25 nm の膜厚の窒化膜を有する多層構造基板で設計値 20 nm のとき 24.6 nm、設計値 30 nm のとき 33.3 nm の細線が描画出来、更に間隔が 30 nm の 2 本の細線が描画出来ることを確認した。シリコン量子ビットの制御に用いる CMOS 古典回路に用いられる FD-SOI トランジスタを室温と低温それぞれで測定を行い、低温のとき閾値電圧が 1.09 V 増加することを確認し、室温で S 値が 73.0 mV/dec.、低温で S 値が 29.1 mV/dec. となり、理想値を示さないことを確認した。低温においてドレイン電圧の減少と共に S 値が減少することを明らかにした。I<sub>d</sub>-V<sub>d</sub>特性では室温ではドレイン電流が飽和するのに対し、低温では高いドレイン電圧を印加してもドレイン電流が飽和しないことを確認した。

本研究により、提案する積層構造型シリコン量子ビットが多量子ビット化実現に有利であることを示し、低温下の FD-SOI MOSFET における S 値のドレイン電圧依存性を明らかにした。

## 目次

1章	序論	1
1-1	研究背景	1
1-1-1	MOSFETの微細化による性能向上とその限界	1
1-1-2	量子コンピュータの提案	3
1-1-3	シリコン量子ビットの特徴	5
1-1-4	CMOS古典回路による量子ビットの制御	7
1-2	研究目的	12
1-3	本論文の構成	12
2章	シリコン量子ビットによる量子計算理論	13
2-1	量子計算	13
2-1-1	量子ビット	13
2-1-2	量子もつれ	13
2-1-3	量子ゲート	15
2-1-4	量子回路	18
2-2	スピンの量子状態操作	20
2-2-1	磁場中における電子スピンの歳差運動	20
2-2-2	電子スピンの高周波磁場応答	21
2-3	量子ドット	23
2-3-1	クーロンブロックード	23
2-3-2	単電子トランジスタ	23
2-3-3	クーロン振動波形の導出	26
2-3-4	パウリのスピンプロックード	27
2-4	SOI構造によるシリコン量子ビットの動作原理	29
2-4-1	パウリのスピンプロックードを用いた量子状態の読み出し	29
2-4-2	センサ量子ドットとの容量接続を用いた量子状態の読み出し	31
3章	積層構造型シリコン量子ビットの提案	33
3-1	積層ナノシートトランジスタ	33
3-2	積層構造型シリコン量子ビットの提案	34
3-3	プロセスフロー	36
3-4	動作原理	40
3-5	量子状態読み出しのシミュレーション	43
3-5-1	量子ビットの量子状態読み出し	43
3-5-2	量子ビットの量子状態読み出し	47
3-6	積層構造型シリコン量子ビットの拡張性	50

3-7 試作のための電子線描画条件出し	52
4章 FD-SOI の低温測定	58
4-1 低温下における FD-SOI の理論特性	58
4-2 FD-SOI の試作	60
4-3 測定手法	64
4-4 測定結果	65
4-4-1 交流測定による S 値の比較	65
4-4-2 直流測定による S 値の比較	67
4-4-3 S 値のドレイン電圧依存性	69
4-4-4 $I_d$ - $V_d$ 特性の測定結果	72
4-5 測定結果の考察	74
5章 結論	76
謝辞	77
参考文献	79
本研究に関する発表	86
付録	87
1 FASTCAP2 のシミュレーションソースコード	87
2 試作 FD-SOI のプロセス条件	95

# 第 1 章 序論

## 1-1 研究背景

### 1-1-1 MOSFET の微細化による性能向上とその限界

今日までに至る高度情報化社会は半導体技術の技術革新によって為されてきた。パーソナル・コンピュータやスマートフォン、デジタルカメラなどの電子機器や半導体材料で作られる集積回路によって構成され、半導体技術の進歩と共に高性能化、小型化が実現し現代社会にとって無くてはならないものとなっている。集積回路の性能向上はその構成要素である Metal Oxide Semiconductor Field Effect Transistor (MOSFET) の微細化による性能向上に支えられてきた。MOSFET の微細化による性能向上はスケーリング則[1]として知られている。Table 1 に定電界スケーリングでの素子パラメータ及び電気特性を示す。Table 1 に示すように MOSFET の微細化を行うことで高速動作や低消費電力動作、集積度の向上などが実現する。1965 年、Intel 社の Gordon Moore によって MOSFET で構成される集積回路の集積密度の指数関数的な増大が予測された。これは「Moore の法則」として広く知られている[2]。Moore の法則は「1.5 年毎に 1 チップあたりのデバイス個数が 2 倍になる。」というもので、集積回路の集積密度は概ね Moore の法則に従って増加してきた。

しかし近年、Moore の法則通りに集積密度を上げることは困難となっている。Fig. 1 に MOSFET のゲート長と西暦の関係を示す[3]。およそ 2010 年代からゲート長のスケーリングが鈍化傾向にある。これは MOSFET のゲート長が数 nm と原子サイズに迫っていることが要因として挙げられる。更に MOSFET の極端な微細化により、短チャネル効果と呼ばれる閾値電圧の減少、S 値と呼ばれる MOSFET の性能を示す値の悪化や不純物密度ばらつきに起因するしきい値電圧ばらつきなどの問題が生じる。これらの問題を解決するため、Fin-FET やナノワイヤートランジスタ、Monolithic トランジスタなど、MOSFET の構造を変えることでトランジスタを微細化する方法がとられている。このように MOSFET の動作原理を変えずにあくまで微細化を追求するアプローチは More Moore と呼ばれる。従来の MOSFET とは異なる動作原理に基づく単電子トランジスタやスピントランジスタを用いる手法も研究されており、このアプローチは Beyond CMOS と呼ばれる[4]。しかしいずれの新規デバイスも集積密度増加の限界という問題は解決出来ない。この問題を解決するためにはフォン・ノイマン型による古典計算以外の計算手法を新たに採用し、従来型コンピュータと組み合わせて更なる高性能なコンピュータを実現することが 1 つの方法である。

Table 1-1 Scaling rule [1].

Parameter	Scaling constant
Channel width, Channel length	1/k
The thickness of the gate oxide	1/k
The depth of junction	1/k
The width of depletion layer	1/k
Substrate dopant level	k
Supply voltage	1/k
Current	1/k
Capacitance	1/k
Delay time	1/k
Power consumption	1/k <sup>2</sup>
Integrated level	k <sup>2</sup>
Power consumption level	1

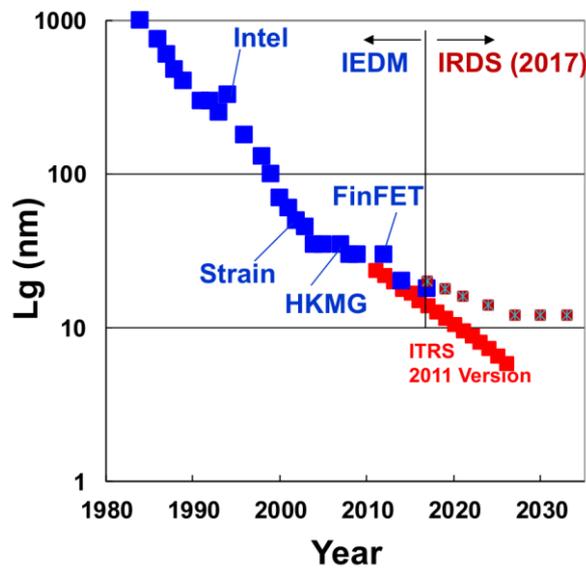


Fig.1-1 The relationship between Gate length and Year [3].

## 1-1-2 量子コンピュータの提案

古典計算機では計算量の観点から解くことが難しいある種の問題を高速に解くことが出来るコンピュータとして量子コンピュータが期待されている。量子コンピュータは 1985 年に Feynman によって考案された量子力学的な重ね合わせ現象を用いるコンピュータである[5]。その後、Deutsch によって量子チューリングマシンとして定義[6]され、1989 年に量子回路[7]として整理された。1992 年にはブラックボックス回路の判定問題として、古典計算よりも計算ステップ回数が少ない Deutsch-Jozsa のアルゴリズム[8]が発見されると、データベース検索に用いる Groover のアルゴリズム[9]や素因数分解に用いる Shor のアルゴリズム[10]の発見など量子アルゴリズム研究が本格的に開始された。特に量子フーリエ変換に基づく Shor のアルゴリズムは、現代社会のインターネットセキュリティ上の暗号として用いられている RSA 暗号を破るアルゴリズムとして注目を集めている。RSA 暗号は銀行の ATM 装置などインターネット上で高度なセキュリティを要求される場面で用いられている。RSA 暗号は巨大な素数同士の掛け算で与えられており、巨大数の素因数分解の困難さからセキュリティの安全性を保障している。一方、量子コンピュータが実現し Shor のアルゴリズムを用いると、この RSA 暗号が簡単に解くことが出来る。例えば現在の素因数分解の世界記録は RSA-768 と呼ばれる 768 ビット( $\approx 10^{232}$ )を、スーパーコンピュータを用いて演算ステップ  $10^{20}$  回で 2 年間かけて解いたものである[11]。この RSA-768 をエラー耐性のある量子コンピュータで解くと論理ビット 1154 個、 $10^6$  回の計算で解ける[12]。誤り訂正を行いながら論理ビットのクロック周波数 100Hz で計算を行うとすると、RSA-768 が 3 時間足らずで解けることになる。Shor のアルゴリズムが発見されてから、高度なセキュリティが要求されるシステムに用いられる暗号として、現在の RSA 暗号とは異なる格子暗号[13]など、“耐量子コンピュータ用暗号”が研究されるようになった。

近年注目を集めている量子アルゴリズムとして量子化学計算や量子機械学習がある。量子化学計算は 2005 年に Aspuru-Guzik らによって提案された手法で、古典計算機と組み合わせ量子計算を行うことで、分子軌道計算における安定基底状態を導出することが出来る[14]。これは解きたい分子のハミルトニアンを用意し、第二量子化を行い生成消滅演算子に書き換えた上で、Bravyi-Kitaev 変換もしくは Jordan-Wigner 変換を用いて量子コンピュータ上で解けるように生成消滅演算子をパウリ演算子に書き換えるものである。量子化学計算では既に 2016 年に Google によって超伝導電荷量子ビットによって構成される量子コンピュータ上で水素分子の安定基底状態が解かれている[15]。量子機械学習も様々な手法が提案されているが、Rigetti 社によって超伝導電荷量子ビットの量子コンピュータ上で組み合わせ最適化問題の 1 つである MAXCUT 問題が解かれている[16]。

Feynman が考案した量子ゲート方式の量子コンピュータは汎用計算機として知られており、古典計算を実行することが出来るが、一般に古典計算である加算や乗算などは量子コンピュータ上ではより多くの計算ステップ回数を要する。即ち量子コンピュータは古典計算を高速化するものでなく、上記で述べたような特定のアルゴリズムのみを高速で解くこ

とが出来る。

汎用でない量子コンピュータとして、量子アニーリング方式の量子コンピュータが例示されることがある。量子アニーリングは1998年に西森らによって提案された方式で、組み合わせ最適化問題をイジング模型と呼ばれる数学的なモデルに変換し、量子トンネル現象を用いて解く方法である[17]。カナダのD-WAVE社によって超伝導磁束量子ビットを用いて量子アニーリング方式の量子コンピュータが開発され商用化されている[18]。しかし、量子アニーリング方式はDeutschによって定式化された量子ゲート方式とは全く異なるものであり、量子ビットの実装方法も異なる。量子アニーリング方式ではゲート型の量子アルゴリズムを解くことが出来ず、全く異なるコンピュータとして扱わなければならない。

量子ゲート方式におけるエラー耐性のある万能量子計算の実現に至るまでの道筋をFig.1-2に示す[19]。Fig.1-2より、エラー耐性量子計算に至るまでは

- ① 1量子ビット操作(初期化/制御/測定)
- ② 少量量子ビットのアルゴリズム
- ③ 量子誤り訂正のための量子非破壊測定技術
- ④ 量子ビットの符号化によるコヒーレンス時間の延伸
- ⑤ 1論理ビット操作
- ⑥ 少数論理ビットアルゴリズム
- ⑦ エラー耐性量子計算

が必要になる。研究が最も進んでいる超伝導系の量子ビットではこのうち④の段階まで研究が進んでおり、2017年に20量子ビットのトランズモン型超伝導電荷量子ビットで構成されるIBM-Qがクラウド提供されている[20]。2019年にはIBM Q System Oneとして商用化されることも発表されている[21]。Intel社による49量子ビットのTangle lake[22]やGoogle社による72量子ビットのBristlecone[23]など試作段階では数十量子ビットの量子コンピュータが作成されている。すなわち量子ゲート方式の量子コンピュータは基礎研究の段階から商用化の段階に入っている。

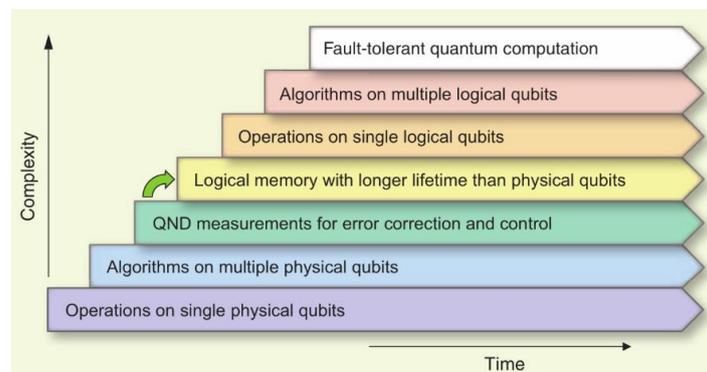


Fig.1-2 Seven stages in the development of quantum information processing [19].

### 1-1-3 シリコン量子ビットの特徴

量子コンピュータを構成する量子力学的な重ね合わせ現象を用いる量子ビットとしてイオントラップを用いるもの[24]、超伝導体中の電荷を用いるもの[25, 26]、超伝導位相を用いるもの[27]、磁束量子を用いるもの[28]、溶媒分子中の核磁気共鳴を用いるもの[29]、光子の偏角を用いるもの[30, 31]、半導体中の電荷を用いるもの[32]などの方式が提案されている。先に述べたように、研究が先行しているものは超伝導中の電荷を用いる方式である。トランズモン型[26]と呼ばれるジョセフソン接合と箱電極間に並列に容量を接続する方式を採用すると飛躍的にコヒーレンス時間が延ばせることが示されてから研究が進み、既に IBM によって商用量子コンピュータが作成されている。一方でその系の拡張性には多くの課題が残されている。これは本質的に超伝導量子ビットの実装には巨視的波動関数などのマクロな系を用いるために、量子ビットの物理的な大きさが $\mu\text{m}$  サイズオーダーと大きく、仮に実用的な量子計算に向けて 100 万以上の量子ビットを集積化するとデバイスサイズが数十  $\text{m}^2$  の大きさほどになる。これほどの大きさのデバイスを超伝導量子ビットに要求される数十  $\text{mK}$  まで冷却出来る冷凍機を作製することは難しい。光子を用いる方式でも同様に 1 量子ビットに必要な物理的な光学系が数  $\text{m}^2$  の大きさになる。他の量子ビットと異なり、室温動作が可能といった特徴があるが拡張性に課題が残されているのは同様であり、これを解決するためループ状にした光導波路中の光パルスを用いるループ型光量子コンピュータ[30]などが提案されているが、1 量子ビットの動作検証を行っている段階であり、未だ研究段階である。

最も拡張性が期待されている量子ビットとしてシリコン中のスピンを用いるシリコン量子ビットがある。シリコン量子ビットは 1998 年に D. Loss によって提唱された[33]。シリコン量子ビットの特徴として主に(i)物理サイズが小さく拡張性に優れている点、(ii)洗練されたシリコンプロセス工程を用いることが出来る点、(iii)CMOS 古典回路との高い親和性、(iv)核スピンのない安定同位体を用いることでコヒーレンス時間を延伸出来る点、などが挙げられる。以下にそれぞれについて詳しく述べる。

#### (i) 物理サイズが小さく拡張性に優れている点

超伝導体中の電荷を用いる方式や光子を用いる方式では量子ビットの物理サイズが大きく、拡張性に難がある。一方でシリコン量子ビットの物理サイズはおおよそ数十  $\text{nm}$  であり、現在存在する冷凍機の冷凍能力でも何百万量子ビットに集積化したシリコン量子ビット全体を動作温度まで冷却することが出来る。

#### (ii) 洗練されたシリコンプロセス工程を用いることが出来る点

シリコンで作製される MOSFET の微細化は限界を迎えつつある。これは裏を返せば、シリコンプロセス工程は十分に成熟されているということを意味する。シリコンの極微細加工には産業界にも多くの知見があり、この洗練されたプロセス工程を用いることが出来る

点はシリコン量子ビットの強みである。

(iii) CMOS 古典回路との高い親和性

量子ビットにどのような方式を採用したとしても、現在の汎用コンピュータがシリコン MOSFET で構成される CMOS 古典回路で作成されている以上、量子ビットの制御には CMOS 古典回路が必須である。シリコン量子ビットは CMOS 古典回路とほぼ同様のプロセスで作製することが出来るため、同チップ上に量子ビットと CMOS 古典回路を集積化することが出来る。制御系との高い親和性もシリコン量子ビットのみに存在する特徴である。

(iv) 核スピンのない安定同位体を用いることでコヒーレンス時間を延伸出来る点

半導体中の電子スピンを用いる量子ビットは GaAs など化合物半導体中の量子ドットを用いる方式の研究が先行してきた。これは化合物半導体ではリフトオフなどの微細加工技術を用いることが出来るため、量子ドットの作製が比較的容易であることによる。一方で GaAs の持つ核スピンの電子スピン量子状態のデコヒーレンス要因[34]であることが示されると、シリコン量子ビットが注目を集めた。これはシリコンの安定同位体の内、核スピンの持たない  $^{28}\text{Si}$  や  $^{30}\text{Si}$  を用いることで飛躍的にスピン量子状態のコヒーレンス時間を延ばせるためである[35]。

上記で述べたシリコン量子ビットの特徴から、現在 1 量子ビット制御から集積化に向けた研究まで行われている。特に  $^{28}\text{Si}$  を用いたシリコン量子ビットで  $20\ \mu\text{s}$  の長いコヒーレンス時間が観測されている[36]。

シリコン量子ビットにはいくつか作製方法があり、代表的なものが量子ドット中の電子スピンを用いる方式[37, 38]、Si/SiGe ヘテロ構造中の歪 Si 層に形成される量子ドット中のスピン[39, 40]、単一リンドーピング量子ビット[41-47]である。単一リンドーピング量子ビットは 1998 年に Kane によって提唱されたシリコン中のドーピングされたリン原子の核スピンと電子スピンを量子ビットに用いる方式である[41]。特に核スピンのコヒーレンス時間が長いことが特徴で、 $^{28}\text{Si}$  中に作製した単一リンドーピング量子ビットで  $20.4\ \mu\text{s}$  のコヒーレンス時間が観測されている[41]。この長いコヒーレンス時間と核スピンのみの量子状態読み出しが可能である[43]ことから、核スピンの量子ビットを量子メモリに用いることが考えられている[44]。ゲート電圧による制御で電子スピンと核スピンをそれぞれ独立に操作し、2022 年までに 10 量子ビットの動作実証を目指す研究が行われている[45, 46]。一方でその作製には単一イオン注入[47]が必要など、難度が高い。

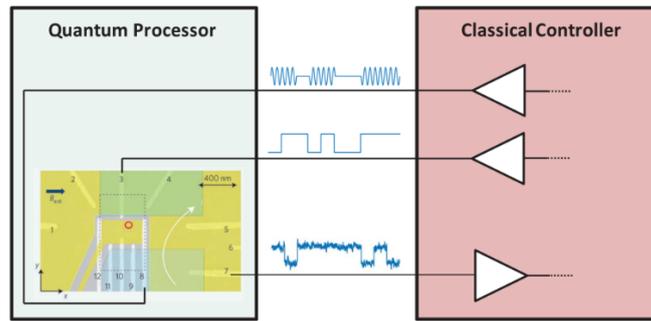
量子ビットと制御に用いる CMOS 古典回路との親和性を最大限に生かすためには量子ビットを CMOS 古典回路と同様のプロセス工程で作製するのが望ましい。CMOS 古典回路に用いられる FD-SOI と同様のプロセス工程で量子ビットを作製する研究が行われている[48, 49]。

シリコン量子ビットの研究段階は Fig. 1-2 の②少量量子ビットのアルゴリズムの実装の段階であり、1 量子ビット操作や少量量子ビットのアルゴリズムの実装などが試みられている。1 量子ビット操作では量子状態の操作忠実度である Fidelity の向上に向けた実験[36, 39]が行われている。少量量子ビットのアルゴリズムでは、電子スピン間の交換相互作用を用いた CNOT ゲートの実装[50, 51]や、ディフェイズノイズを利用した SWAP ゲートの実装[52]などが行われている。

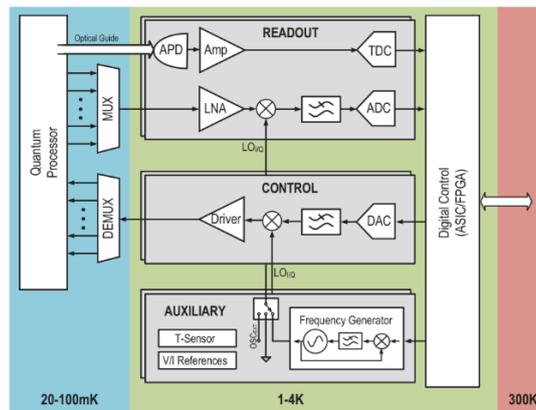
一方で Fig.1-2 において④量子ビットの符号化によるコヒーレンス時間の延伸や⑤の 1 論理ビット操作に至るまではシリコン量子ビットの多量子ビット化が必要である。現在実装されている最大の量子ビットは量子ドットを 1 次元上に並べた 9 量子ビット[53]であるが、更なる多量子ビット化には多くの課題が残されている。これは量子ドット中のポテンシャル制御、トンネル障壁制御、ソース・ドレインなど 1 量子ビット当たりに必要な電極が多く、大きな面積を占めてしまっていることなどが挙げられる。多量子ビット化に向けて DRAM のアーキテクチャを元にしたデバイス構造[54]も提案されているが、プロセス難度が非常に高く、具体的な量子ビット間の相互作用方法が提案されていないなどの問題がある。

#### 1-1-4 CMOS 古典回路による量子ビットの制御

Fig.1-3 に量子ビットと CMOS 古典回路による量子ビットの制御回路の構成案を示す [55]。Fig.1-3 (a)に示すように、制御回路から量子ビットへの入力信号として、スピン共鳴を起こすための高周波電圧、キャリアの注入及び放出のための直流電圧が必要である。量子ビットから制御回路への出力として量子状態の読み出しに用いる単電子トランジスタを流れるドレイン電流の検出回路などが必要である。Fig.1-3 (b)に示すように量子ビットの集積化を考える場合、これらの信号をマルチプレクサーやデマルチプレクサーを介して入出力する方法が有力である。これは冷凍機の冷凍能力が小さくても動作出来るように、量子ビットの動作に必要な数十 mK 下におけるチップの配線数をなるべく減らし、物理サイズを小さくすることに加えて、配線抵抗を減らし発熱量を抑えることで格子振動による量子ビットのデコヒーレンスを防ぐためである。すなわち室温や 1-4 K 程度で動作する CMOS 古典回路に加えて量子ビットの動作温度と同等の極低温下で動作する CMOS 古典回路が必要であり、CMOS 古典回路に用いられる MOSFET の極低温下での動作特性を調べる必要がある。



(a) Quantum processor and Classical controller in a control/readout configuration.



(b) Block diagram of the cryo-CMOS controller for the control and readout of qubits.

Fig.1-3 The proposed configuration of Quantum processors and Classical controllers [55].

極低温下での MOSFET に求められる特性は以下ようになる。

(i) 良好な高周波特性

量子状態の操作忠実度を十分に高くするためには、デマルチプレクサーを介してもノイズのない適切な高周波電圧を印加する必要がある。高周波電圧にノイズ生じる、もしくはゼーマンエネルギーに相当する適切な電圧が印加出来ないと、量子状態の操作忠実度が減少する。

(ii) 高いスイッチング速度

量子ビットの初期化や読み出しの際に、量子ドットやソース・ドレイン部のポテンシャルを、直流電圧を印加して制御する必要がある。量子誤り訂正を行う際には、量子ビットのコヒーレンス時間内に検出用量子ビットの量子状態を読み出してフィードバックをかける必要があり、コヒーレンス時間と比較して十分に高いスイッチング速度が必要になる。

(iii) 低消費電力性

MOSFET からの発熱が大きいと、格子振動を誘起し、量子ビットのデコヒーレンスを引き起こす。よって制御系からの発熱は出来るだけ抑えたい。MOSFET の静的消費電力を削



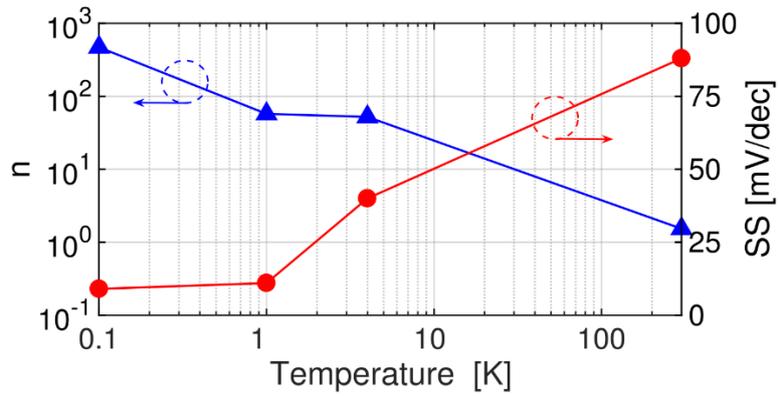


Fig. 1-5 The temperature dependence of subthreshold slope (SS) and extracted ideality factor  $n$  of the PMOS [56].

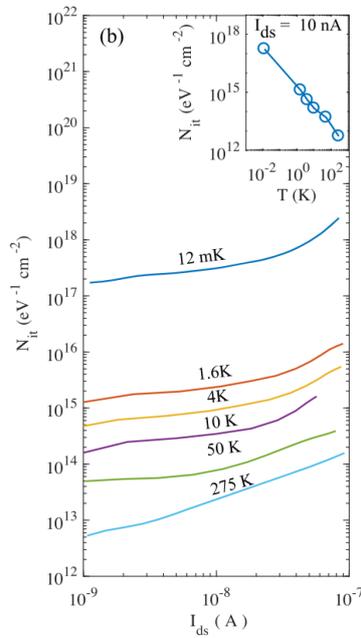


Fig. 1-6 The temperature dependence of the extracted charge trap density ( $N_{it}$ ) in the weak inversion regime at 20 mK and  $V_{ds}=10$  mV. The inset shows  $N_{it}$  as a function of temperature at  $I_{ds}=10$  nA [57].

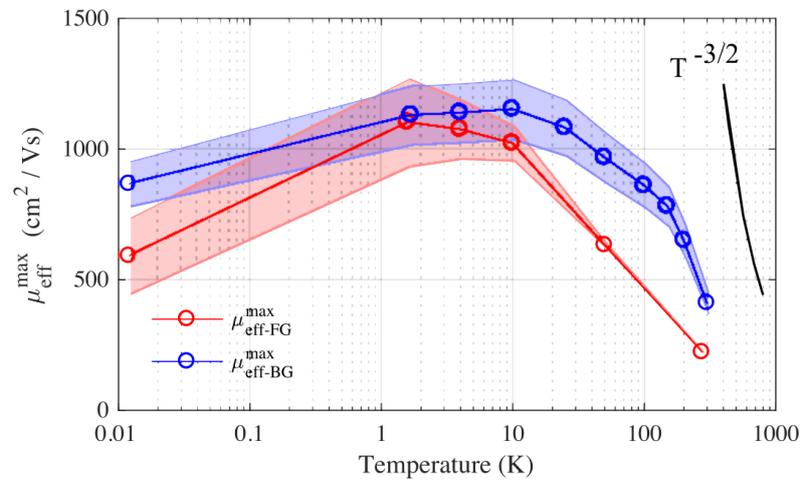


Fig. 1-7 The temperature dependence of the maximal effective mobility at  $V_{\text{ds}}=10$  mV [57].

## 1-2 研究目的

本研究の目的は大きく分けて2つあり、以下に示す。

- (i) シリコン量子ビットの多量子ビット化に向けた新しいデバイス構造の提案及び試作  
実用的な量子計算の実現にはシリコン量子ビットの多量子ビット化を実現する新しいデバイス構造を提案する必要がある。本研究では、近年の MOSFET のプロセスを参考にし、新しいデバイス構造の提案を行うとともに、詳細なプロセスフローを示す。提案するデバイス構造が動作可能であることを回路シミュレーションによって示す。更に試作に向けてプロセス装置の条件出しを行う。
- (ii) 量子ビットの CMOS 古典制御回路に用いる MOSFET の極低温下の特性解析  
制御系の設計指針及び動作手法の提案を行うため、現在 CMOS 古典回路に広く用いられている FD-SOI MOSFET を試作し、液体ヘリウムを用いて低温測定を行うことでデバイス特性の温度依存性を調査する。特に静的消費電力を削減する観点から、S 値の温度依存性を調査する。

## 1-3 本論文の構成

1 章では研究背景及び研究目的について述べた。2 章では量子計算の手法及びシリコン量子ビットの動作原理について述べる。3 章では多量子ビット化に向けて提案を行う積層構造型シリコン量子ビットについて述べる。4 章では CMOS 古典制御回路に用いる FD-SOI MOSFET の低温下での測定結果及び考察について述べる。5 章では本研究から明らかになった結論及び今後の展望について述べる。

## 第2章 シリコン量子ビットによる量子計算理論

### 2-1 量子計算

#### 2-1-1 量子ビット

古典ビットが0と1の2値を取るのに対して、量子ビットは量子状態として0と1、及びその重ね合わせ状態を取る量子2準位系である。量子状態をそれぞれ $|0\rangle$ 、 $|1\rangle$ とすると量子ビットの状態は式(2-1)で表される。

$$|\psi\rangle = \alpha|0\rangle + \beta|1\rangle \quad (2-1)$$

式(2-1)で、 $\alpha$ と $\beta$ は複素数である。 $\langle 0|0\rangle = \langle 1|1\rangle = 1$ 、 $\langle 0|1\rangle = 0$ と規格直交基底とすると、規格化条件は式(2-2)で表される。

$$|\alpha|^2 + |\beta|^2 = 1 \quad (2-2)$$

$\alpha$ と $\beta$ をそれぞれ振幅と位相に対応させ、式(2-3)、(2-4)と置く。式(2-1)は式(2-2)より、 $\phi_0 = 0$ 、 $\phi_1 - \phi_0 = \varphi$ とすると式(2-5)となる。

$$\alpha = a_0 \exp(i\phi_0) \quad (2-3)$$

$$\beta = a_1 \exp(i\phi_1) \quad (2-4)$$

$$|\psi\rangle = \cos \frac{\theta}{2} |0\rangle + e^{i\varphi} \sin \frac{\theta}{2} |1\rangle \quad (2-5)$$

式(2-5)を図示すると、Fig. 2-1 になる。Fig. 2-1 はブロッホ球と呼ばれ、量子状態はブロッホ球上の一点として表される。

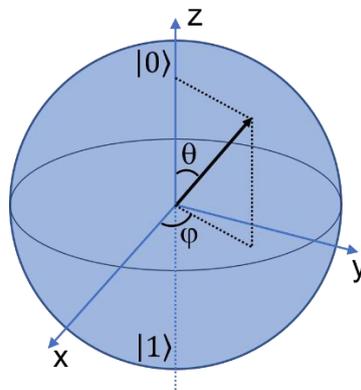


Fig. 2-1 Bloch Sphere.

#### 2-1-2 量子もつれ

量子計算が古典計算と違いある種の問題が高速で解くことができるのは、本質的には量子ビットが0と1の重ね合わせを表現出来るからではなく、量子ビット間に量子もつれと呼ばれる関係を生じさせられるからである。式(2-7)で表される2つの量子ビット間の列を考える。

$$|q_1\rangle = \alpha_1|0_1\rangle + \beta_1|1_1\rangle, \quad |q_2\rangle = \alpha_2|0_2\rangle + \beta_2|1_2\rangle \quad (2-7)$$

2つの量子ビット間に相互作用がなくもつれていないとき、2つの量子ビット列の合成系はベクトルの直積となり、式(2-8)で表される。

$$(|q_1\rangle, |q_2\rangle) = |q_1\rangle \otimes |q_2\rangle = \alpha_1 \alpha_2 |0_1\rangle |0_2\rangle + \alpha_1 \beta_2 |0_1\rangle |1_2\rangle + \beta_1 \alpha_2 |1_1\rangle |0_2\rangle + \beta_1 \beta_2 |1_1\rangle |1_2\rangle \quad (2-8)$$

2つの量子ビット間に相互作用があり、量子ビット列の合成系が式(2-8)で書けないとき、2つの量子ビットはもつれている、もしくはエンタングル状態にあると表現する。例えば量子ビット列の合成系が式(2-9)で書かれたとする。

$$(|q_1\rangle, |q_2\rangle) = \alpha |0_1\rangle |0_2\rangle + \beta |1_1\rangle |1_2\rangle \quad (2-9)$$

この状態で量子ビット間を物理的に引き離し、 $|q_1\rangle$ の測定を行い $|0_1\rangle$ もしくは $|1_1\rangle$ と決定されてしまうと、 $|0_2\rangle$ もしくは $|1_2\rangle$ かも同時に決定される。このとき、 $|q_1\rangle$ と $|q_2\rangle$ は最大エンタングル状態にある。この関係はアインシュタイン=ポドルスキー=ローゼンのパラドックス[59]として知られている。例えば Fig.2-2 に示すようにエンタングル状態にある2つの量子ビットの内、Bob が量子ビット 1、Alice が量子ビット 2 を持って十分な距離離れたとする。Bob が量子ビット 1 の測定を行い、量子ビット 1 の状態が決定されると瞬時に Alice の持つ量子ビット 2 の状態が決定される。Bob と Alice がどれだけ離れていようと、エンタングル状態にある量子ビットの状態は瞬時に決定されることを量子力学の非局在性と呼ぶ。この関係がパラドックスと呼ばれるのは量子ビットの状態が瞬時に決定されることで情報の伝達が光速を超え、アインシュタインの提唱する相対性理論に反するためとされていた。しかし、量子状態の測定を Bob と Alice のどちらが先に測定を行ったのかは、光速よりも遅い古典系による情報通信を用いて Bob と Alice 間で情報共有されなければ判別出来ない。よって意味のある情報伝達は光速を超えることは出来ず、相対性理論に反しない。現在ではこの関係のことを EPR 相関と呼ぶことが多い。

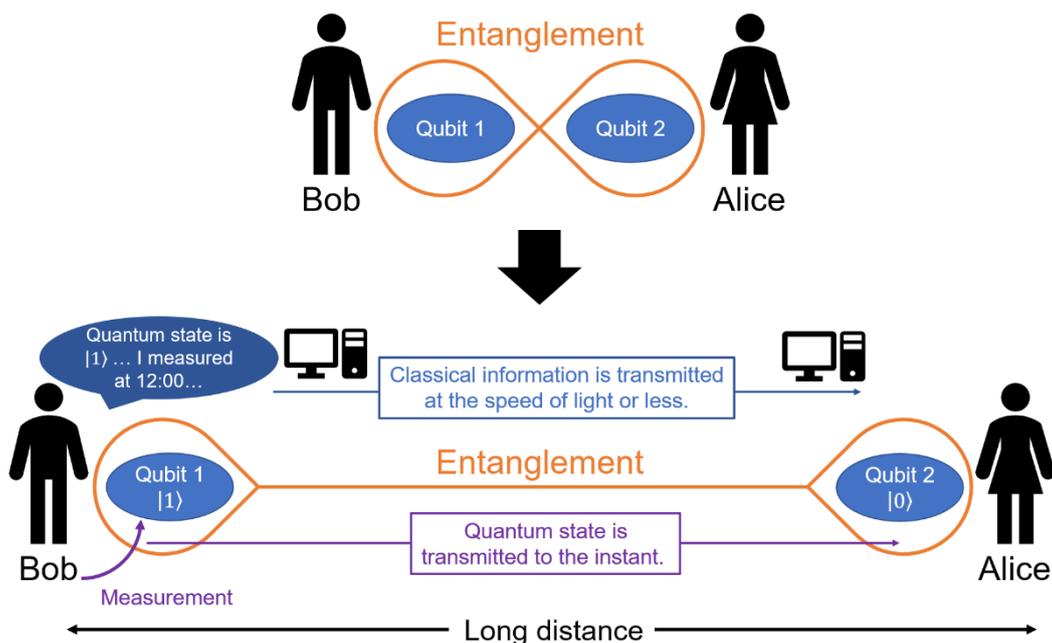


Fig. 2-2 Conceptual diagram of EPR correlation.

### 2-1-3 量子ゲート

古典計算のビット操作は、ビット数を必ずしも保存すると限らない。例えば NAND ゲートは 2 入力 1 出力である。よって計算過程は非可逆的である。一方量子計算は量子ビットが生成消滅しないとすると、ビット数は保存される。よって計算過程は可逆的である。更に古典計算のビット操作がビットの論理値を保存するか反転するかの 2 つしかないことに対して、量子計算のビット操作は Fig. 2-1 で示したブロッホ球上のベクトルを回転させる操作に相当する。すなわち量子ビットに対して二次元のユニタリ変換を行うことになる。

Fig. 2-3 に量子操作の回路表現を示す。古典計算が各古典ビットからの配線と論理ゲート記号で表せることと同様に、量子ゲートも量子ビットからの配線と論理ゲートで表せる。量子計算の計算過程は可逆的であるため、量子ビットは計算途中で消滅せず入出力数は常に同一であると共に、量子ビット操作の時系列に沿った平行線で表す。各量子ビットの操作はユニタリ変換に相当するので、Fig. 2-3 に示すように「U」で表すことが多いが特に特殊なものは量子ゲートの記号が慣習的に決まっている。以下でよく用いられる特殊な量子ゲートについて詳しく述べる。

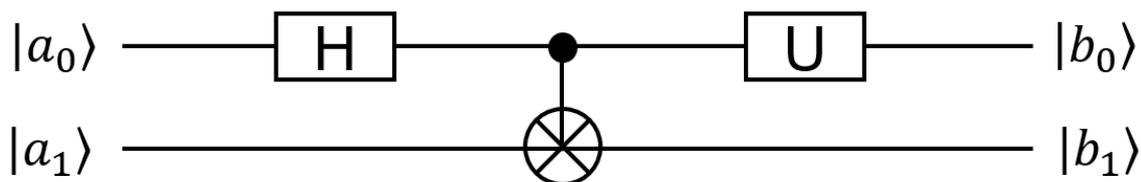


Fig. 2-3 The flowchart of quantum calculation.

#### (i) パウリゲート

Fig. 2-4 にパウリゲートを示す。ブロッホ球上で x 軸周りに  $180^\circ$  回転操作するゲートを Pauli X ゲートと呼ぶ。同様に y 軸周りに  $180^\circ$  回転操作するゲートを Pauli Y ゲートと呼び、z 軸周りに  $180^\circ$  回転操作するゲートを Pauli Z ゲートと呼ぶ。

#### (ii) アダマールゲート

Fig. 2-5 にアダマールゲートを示す。アダマールゲートはウォルシュ-アダマール変換による量子ゲートであり、z 軸と x 軸の中間の軸を中心に  $180^\circ$  回転操作するゲートである。例えば量子ビットの量子状態が  $|0\rangle$  のときにアダマールゲートを作用させると、 $|0\rangle$  と  $|1\rangle$  の状態が同位相で等しく重なった状態に変化する。このとき、アダマールゲートをもう一度作用させると量子状態は  $|0\rangle$  に戻る。

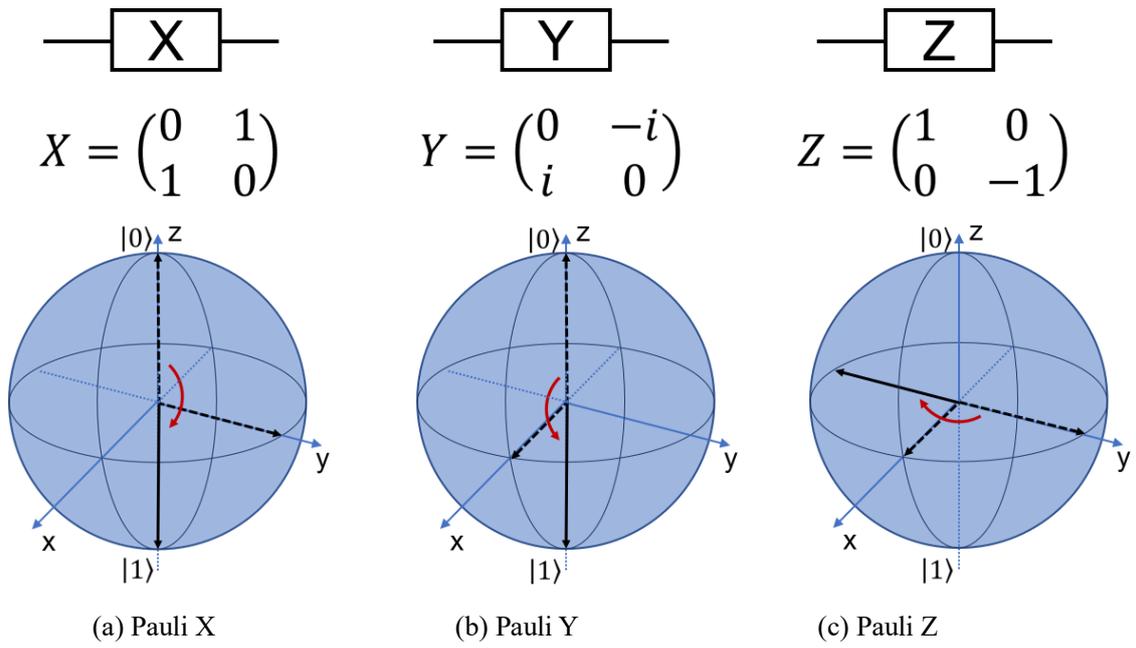


Fig. 2-4 Pauli gates.

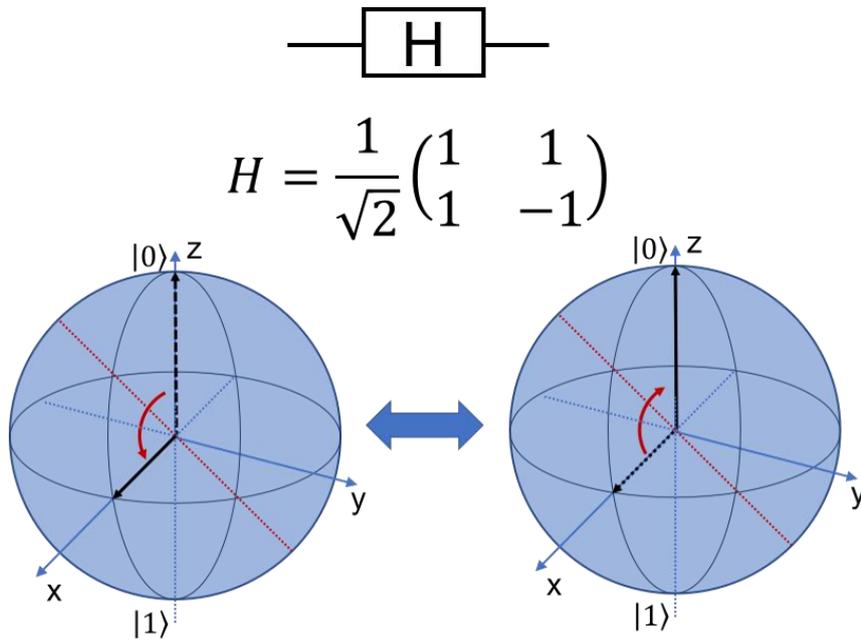


Fig. 2-5 Hadamard gate.

(iii) CNOT ゲート

古典計算では NAND ゲートを組み合わせることで全ての論理ゲートが構成出来る。同様に量子計算でも CNOT ゲートを組み合わせることで全てのユニタリ変換による論理ゲートを構成出来る。Fig. 2-6 に CNOT ゲートを、Table 2-1 に CNOT ゲートの真理値表を示す。CNOT ゲートは図中で $|a_0\rangle$ が制御ビットであり、 $|a_1\rangle$ が信号ビットである。CNOT ゲートは制御ビットの量子状態が $|1\rangle$ のときのみ、信号ビットの符号を反転させる。CNOT ゲートを掛けることで、制御ビットと信号ビットとの間に量子もつれを生成させることが出来る。

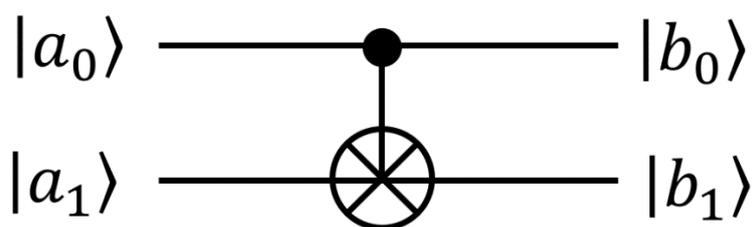


Fig. 2-6 CNOT gate.

Table 2-1 Truth table of CNOT gate.

$ a_0\rangle$	$ a_1\rangle$	$ b_0\rangle$	$ b_1\rangle$
$ 0\rangle$	$ 0\rangle$	$ 0\rangle$	$ 0\rangle$
$ 0\rangle$	$ 1\rangle$	$ 0\rangle$	$ 1\rangle$
$ 1\rangle$	$ 0\rangle$	$ 1\rangle$	$ 1\rangle$
$ 1\rangle$	$ 1\rangle$	$ 1\rangle$	$ 0\rangle$

(iv) SWAP ゲート

2つの量子ビットの量子状態を入れ替える量子ゲートを SWAP ゲートと呼ぶ。Fig. 2-7 に SWAP ゲートを、Table 2-2 に SWAP ゲートの真理値表を示す。Fig. 2-7 に示すように SWAP ゲートは CNOT ゲートを組み合わせることで構成出来る。SWAP ゲートを組み合わせることで物理的に離れた距離にある量子ビットに量子状態を転写することが出来る。

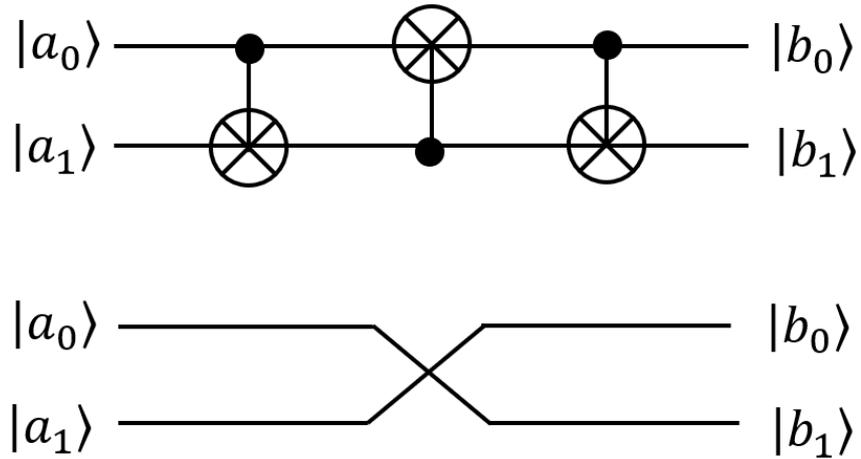


Fig. 2-7 SWAP gate.

Table 2-2 Truth table of SWAP gate.

$ a_0\rangle$	$ a_1\rangle$	$ b_0\rangle$	$ b_1\rangle$
$ 0\rangle$	$ 0\rangle$	$ 0\rangle$	$ 0\rangle$
$ 0\rangle$	$ 1\rangle$	$ 1\rangle$	$ 0\rangle$
$ 1\rangle$	$ 0\rangle$	$ 0\rangle$	$ 1\rangle$
$ 1\rangle$	$ 1\rangle$	$ 1\rangle$	$ 0\rangle$

#### 2-1-4 量子回路

量子ゲートを組み合わせて構成する量子回路の例として量子足し算回路と量子フーリエ変換回路を示す。

##### (i) 量子足し算回路

Fig. 2-8 に量子足し算回路を示す。図中、右の量子ゲートは二重 CNOT ゲートと呼ばれ、2つの制御ビットの量子状態が1のときのみ、信号ビットの符号を反転させるゲートである。二重 CNOT ゲートは回転ゲートと CNOT ゲートを組み合わせることで構成出来る。

図中で $|a_0\rangle$ と $|a_1\rangle$ が入力ビットであり、 $|b_0\rangle$ が上位の出力ビット、 $|b_1\rangle$ が下位の出力ビットである。 $|a_2\rangle$ と $|a_3\rangle$ は常に $|0\rangle$ を入力する。Table 2-3 に量子足し算回路の真理値表を示す。表から入力ビットの足し算の結果が出力されることがわかる。入力ビットに常に $|0\rangle$ または $|1\rangle$ を入力すれば古典計算と同様の計算が行える。すなわち、量子計算では全ての古典計算が実行出来る。ただし、古典計算よりも計算ステップ回数を減らし、高速計算を行うためには量子アルゴリズムに基づいた量子回路を構成することが必要となる。

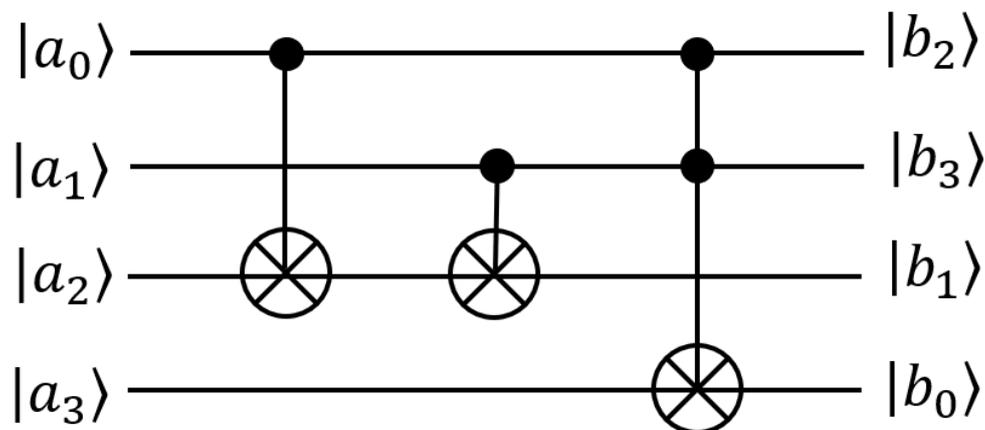


Fig. 2-8 Quantum addition circuit.

Table 2-3 Truth table of quantum addition circuit.

$ a_0\rangle$	$ a_1\rangle$	$ b_0\rangle$	$ b_1\rangle$
$ 0\rangle$	$ 0\rangle$	$ 0\rangle$	$ 0\rangle$
$ 0\rangle$	$ 1\rangle$	$ 0\rangle$	$ 1\rangle$
$ 1\rangle$	$ 0\rangle$	$ 0\rangle$	$ 1\rangle$
$ 1\rangle$	$ 1\rangle$	$ 1\rangle$	$ 0\rangle$

(ii) 量子フーリエ変換回路

Fig. 2-9 に 2 ビットの量子フーリエ変換回路を示す。量子フーリエ変換回路はフーリエ変換を古典計算よりも高速に行うことが出来る。図中で  $e(i\pi/2)$  は制御位相シフトゲートであり、制御ビットが 1 のときのみ信号ビットの位相を変化させる。図中で  $|a_0\rangle$  と  $|a_1\rangle$  が入力ビットであり、 $|b_0\rangle$  と  $|b_1\rangle$  が出力ビットである。 $|b_0\rangle$  は  $|a_1\rangle$  にアダマールゲートと制御位相シフトゲートを掛けることから、式(2-10)で表される。

$$|b_0\rangle = |0\rangle + \exp\left(\frac{i\pi}{2}(2a_1 + a_0)\right)|1\rangle \quad (2-10)$$

$|b_1\rangle$  は  $|a_0\rangle$  にアダマールゲートを掛けることから、式(2-11)で表される。

$$|b_1\rangle = |0\rangle + \exp(i\pi a_0)|1\rangle \quad (2-11)$$

$|b_0\rangle$  と  $|b_1\rangle$  を掛け合わせると、式(2-12)で表される。

$$|b_1\rangle|b_0\rangle = [|0\rangle + \exp(i\pi a_0)|1\rangle] \left[ |0\rangle + \exp\left(\frac{i\pi}{2}(2a_1 + a_0)\right)|1\rangle \right] \quad (2-12)$$

$a$  及び  $b$  の 2 進数表記をそれぞれ  $[a_1 a_0]$ 、 $[b_1 b_0]$  とすると、 $a = 2a_1 + a_0$ 、 $b = 2b_1 + b_0$  となる。以上のことから  $b$  は式(2-13)で表される。

$$|b\rangle = |0\rangle + \exp\left(\frac{i\pi}{2}a\right)|1\rangle + \exp\left(\frac{i\pi}{2}a \times 2\right)|2\rangle + \exp\left(\frac{i\pi}{2}a \times 3\right)|3\rangle \quad (2-13)$$

式(2-13)より、 $|b\rangle$ の各状態の係数は $|a\rangle$ の各状態の係数のフーリエ変換になる。Shorのアルゴリズムはこの量子フーリエ変換回路を用いてフーリエ変換を高速に行い、ユークリッドの互除法を用いて素因数分解を行うアルゴリズムである。

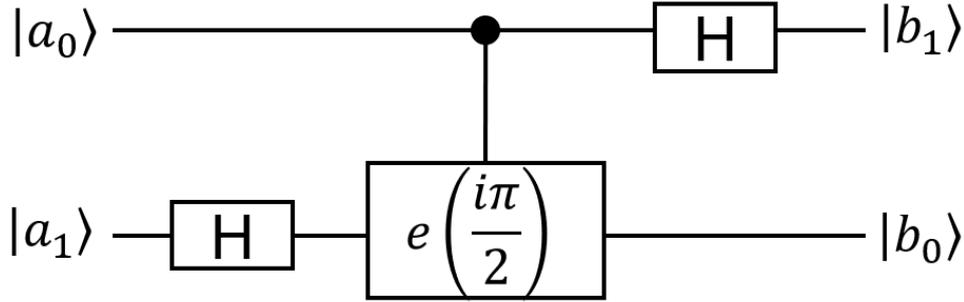


Fig. 2-9 2-bit quantum Fourier transform circuit.

## 2-2 スピンの量子状態操作

半導体スピン量子ビットでは電子スピン、もしくは正孔スピンの量子状態を用いる。スピンの向きで量子状態の区別を行う。一般には下向きスピンのときを量子状態の $|0\rangle$ 、上向きスピンのときを量子状態の $|1\rangle$ と定義する。

### 2-2-1 磁場中における電子スピンの歳差運動

$z$ 方向の静磁場 $B_0$ 中の電子スピン $s$ を考える。このとき、電子スピンはゼーマン分裂によって上向きスピンと下向きスピんでエネルギーが異なる。上向きスピンと下向きスピンのエネルギー差であるゼーマンエネルギーは以下の式(2-14)で表される。

$$E_z = \mathcal{H} = \left(\frac{e\hbar}{2m_0}\right)gB_0\hat{s}_z = g\mu_B B_0\hat{s}_z \quad (2-14)$$

式(2-11)で $e$ は電荷素量、 $\hbar$ はディラック定数、 $m_0$ は有効質量、 $\mu_B$ はボーア磁子、 $g$ はLandéの $g$ 因子、 $\hat{s}_z$ はスピン演算子である。スピン演算子の交換関係より、

$$[\mathcal{H}, \hat{s}_x] = ig\mu_B B_0\hat{s}_y, \quad [\mathcal{H}, \hat{s}_y] = -ig\mu_B B_0\hat{s}_x, \quad [\mathcal{H}, \hat{s}_z] = 0 \quad (2-15)$$

であることから、ハイゼンベルク方程式を用いて

$$\frac{\partial \langle s_x \rangle}{\partial t} = -\frac{g\mu_B}{\hbar} B_0 \langle s_y \rangle, \quad \frac{\partial \langle s_y \rangle}{\partial t} = \frac{g\mu_B}{\hbar} B_0 \langle s_x \rangle, \quad \frac{\partial \langle s_z \rangle}{\partial t} = 0 \quad (2-16)$$

$$\langle s_x \rangle = A \cos \omega_0 t, \quad \langle s_y \rangle = A \sin \omega_0 t, \quad \langle s_z \rangle = C, \quad \omega_0 = \frac{eg}{2m_0} B_0, \quad A^2 + C^2 = s \quad (2-17)$$

となる。式(2-17)より、電子スピンはラーモア振動数 $\omega_0$ で $z$ 軸周りに歳差運動を行っている。よって電子スピンに一定方向の磁場を印加すると、任意の方向に電子スピンを回転さ

せることが出来る。式(2-14)より、一定方向の磁場下ではスピンの回転はボーア磁子 $\mu_B$ または Lande のg因子の値に比例する。ボーア磁子 $\mu_B$ はキャリアの有効質量 $m_0$ に反比例することから、有効質量 $m_0$ が低いほどスピンの回転は速くなる。よって固体中では正孔スピンの方が電子スピンよりスピンの回転が速い。Lande のg因子の値は電磁場中のディラック方程式から導くと通常2を示すが、特殊なスピン軌道相互作用がある場合は式(2-18)に示す行列式になり、低い値を示す。式(2-18)で $\alpha_R$ はラシュバスピン軌道相互作用の大きさ、 $\beta_D$ はドレッセルハウススピン軌道相互作用の大きさである。結晶方位に起因するドレッセルハウススピン軌道相互作用の大きさを変えることでスピンの選択的操作を行うことが出来る[60]。

$$g = \begin{pmatrix} g_{\perp} - 2\alpha_R/\mu_B & 2\beta_D/\mu_B & 0 \\ 2\beta_D/\mu_B & g_{\perp} - 2\alpha_R/\mu_B & 0 \\ 0 & 0 & g_{\parallel} \end{pmatrix} \quad (2-18)$$

## 2-2-2 電子スピンの高周波磁場応答

xy 面内に回転磁場 $B_1(e_x \cos \omega t + e_y \sin \omega t)$ を印加することを考える。このとき、時間依存のハミルトニアンは

$$\mathcal{H}(t) = g\mu_B(B_1 \cos \omega t \hat{s}_x + B_1 \sin \omega t \hat{s}_y + B_0 \hat{s}_z) \quad (2-19)$$

となる。スピン波動関数 $\psi(t) = u(t)|\uparrow\rangle + d(t)|\downarrow\rangle$ の時間発展は

$$i\hbar \frac{\partial}{\partial t} \begin{pmatrix} u \\ d \end{pmatrix} = -g\mu_B \begin{pmatrix} B_0 & B_1 e^{-i\omega t} \\ B_1 e^{i\omega t} & -B_0 \end{pmatrix} \begin{pmatrix} u \\ d \end{pmatrix} \quad (2-20)$$

となる。積分定数を C とし、 $\omega_0 = eB_1/m_0$ 、 $\Omega = \sqrt{(\omega - \omega_0)^2 + \omega_c^2}$ とそれぞれ定義すると、式(2-14)の連立微分方程式の解は式(2-21)、(2-22)でそれぞれ表される。

$$u(t) = C(\Omega \mp \omega_0 \pm \omega) e^{i(\pm\Omega - \omega)t/2} \quad (2-21)$$

$$v(t) = \pm C\omega_c e^{i(\pm\Omega + \omega)t/2} \quad (2-22)$$

$u(t) = 1$ 、 $d(t) = 0$ 、すなわち上向きスピンである確率を1であるような初期条件を考えると、

$$u(t) = \sqrt{2 - \frac{\omega_c^2}{\Omega^2}} \sin\left(\frac{\Omega t}{2} + \alpha\right) e^{-i\omega t/2} \quad (2-23)$$

$$v(t) = \frac{\omega_c}{\Omega} \sin\frac{\Omega t}{2} e^{i\omega t/2} \quad (2-24)$$

$$\alpha = \tan^{-1}(\Omega/(\omega - \omega_c)) \quad (2-25)$$

となる。よって下向き電子スピン確率は式(2-26)で与えられる。

$$|d(t)|^2 = \frac{\omega_c^2}{(\omega - \omega_0)^2 + \omega_c^2} \sin^2 \frac{\Omega t}{2} \quad (2-26)$$

すなわち、静磁場中で共鳴周波数の交流磁場を印加すると、任意の角度だけ電子スピンを回

転させることが出来、下向き電子スピン確率は $\omega = \omega_0$ のとき、振動数 $\Omega (= \omega_c)$ で振動する。このスピン確率の振動をラビ振動と呼び、振動数 $\Omega (= \omega_c)$ をラビ振動周波数と呼ぶ。式(2-15)においてラビ振動周波数 $\Omega$ は以下の光と電子の相互作用の式

$$\Omega = \frac{1}{\hbar} E_0 d \quad (2-27)$$

で表される。式(2-27)で $E_0$ は光電場の強度、 $d$ は原子核とキャリアの双極子モーメントである。直進電磁波の式をそれぞれ

$$E_x(z, t) = E_0 \cos(\omega t - kz + \varphi) \quad (2-28)$$

$$H_y(z, t) = (E_0/\eta) \cos(\omega t - kz + \varphi) \quad (2-29)$$

とすると光強度は

$$|\vec{S}| = |\vec{E} \times \vec{H}| = \frac{|E_0|^2}{2\eta} \quad (2-30)$$

$$\eta = \frac{E}{H} = \sqrt{\frac{\mu}{\epsilon}} \quad (2-31)$$

となる。ここで $\eta$ は特性インピーダンスであり $\mu$ は真空の透磁率、 $\epsilon$ は真空の誘電率である。式(2-27)、(2-30)より電磁波強度の平方根はラビ振動周波数に比例する。

式(2-25)より、共鳴周波数に対して離調が存在すると、振動数が高くなるが、スピンの回転確率が減少する。よって印加する交流磁場の周波数を共鳴周波数周りで変化させると Fig. 2-11 に示す Shevron 波形が観測される。明瞭な Shevron 波形が観測出来ることが、量子ビットの正常動作を確認する上で必要である[36]。

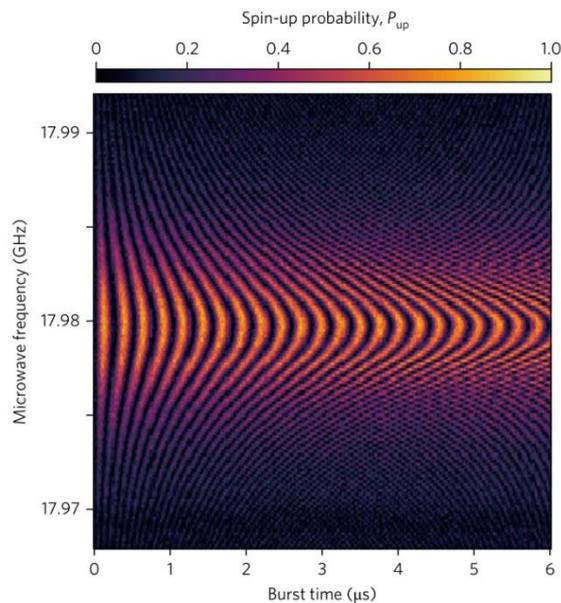


Fig. 2-10 Shevron pattern [36].

## 2-3 量子ドット

2-2 で示したように、上向きスピンと下向きスピンをそれぞれ量子状態に対応させ、スピンに交流磁場を印加することでスピンの向きを変化させ、量子状態を変えることが出来る。量子ビットとして動作させるためには、電子もしくは正孔を1つだけ操作する必要がある。そのために電子もしくは正孔を1つだけ閉じ込めることが可能な量子ドットと呼ばれる0次元構造が必要になる。

### 2-3-1 クーロンブロッケード

Fig. 2-11 に示すようにトンネル接合をキャパシタモデルとして考える。このときトンネル接合間で電子がトンネルして電荷 $-e$ がキャパシタに蓄えられたとき、静電エネルギー及び接合間のポテンシャル変化量は以下の式(2-32)、(2-33)で表される。

$$\Delta E_C = \frac{e^2}{2C} \quad (2-32)$$

$$\Delta V_C = \frac{e}{C} \quad (2-33)$$

式(2-26)で表される静電エネルギーは単位電荷に起因するため、単電子帯電エネルギーまたは帯電エネルギーと呼ばれる。 $\Delta E_C$ が熱揺らぎよりも十分に大きいとき、電子は接合間をトンネルすることが出来ない。この現象のことをクーロンブロッケードと呼ぶ。量子ドットを十分に小さく作製することでクーロンブロッケードは室温でも観測出来る[61]。

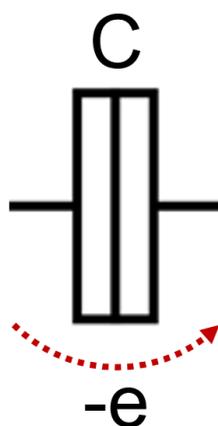


Fig. 2-11 Tunnel junction.

### 2-3-2 単電子トランジスタ

クーロンブロッケードを利用したデバイスとして単電子トランジスタ[62]がある。単電子トランジスタはその特異な電流-電圧特性からアナログパターンマッチング[63]への応用に向けた提案などがされていたが、近年では微小な電圧によって特性が大きく変化することから、量子ビットの量子状態の読み出しに用いるセンサとして用いられることが多い。

量子ビットの基本構造も単電子トランジスタを応用したものである。Fig. 2-12 に単電子トランジスタのデバイス構造図を示す。単電子トランジスタは Fig. 2-12 に示すように量子ドットと呼ばれる 0 次元半導体にゲート、ソース、ドレイン電極をそれぞれ容量を介して接続した構造になっている。ソース・量子ドット間及びドレイン・量子ドット間はトンネル接合となっておりトンネル電流が流れるが、ゲート・量子ドット間のトンネル電流は流れない。Fig. 2-13 に単電子トランジスタの等価回路を示す。量子ドットのポテンシャルはゲート電極から容量を介して変化させることが出来るため、ソース・量子ドット間及びドレイン・量子ドット間のトンネル電流を変調させることが出来る。

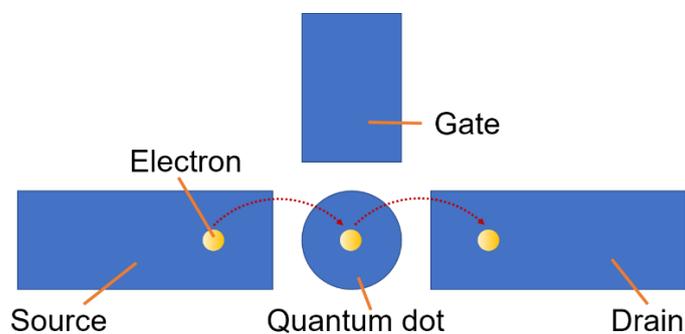


Fig. 2-12 The device structure of a single electron transistor.

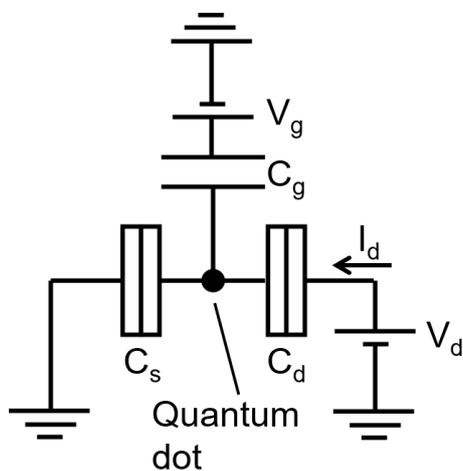


Fig. 2-13 The equivalent circuit of a single electron transistor.

Fig. 2-14 に単電子トランジスタのポテンシャル図を示す。量子ドットの大きさが十分に小さく、式(2-32)で示す帯電エネルギーが十分に大きければ量子ドット内のエネルギー準位が離散化する。N 個の電子に対する量子ドットのポテンシャルを $\mu_N$ とすると、平衡状態の電子数を  $N_0$  とすれば $\mu_{N_0} < E_F < \mu_{N_0+1}$ となる。  $\mu_{N_0}$  が $E_F$ と一致するときは、電子はソース電極から量子ドットにトンネルし、量子ドットからドレインにもトンネル出来るのでソース・ドレイン間にトンネル電流が流れる。  $\mu_{N_0}$  が $E_F$ と一致しない場合は、電子はソース電極から量子ドットにトンネルすることが出来ず、トンネル電流は流れない。 Fig. 2-15 に単電子トランジスタの  $I_d$ - $V_g$  特性を示す。各ポテンシャルに対応したゲート電圧を印加したときのみドレイン電流が流れ、それ以外ときは電流が流れない。この現象のことをクーロン振動と呼ぶ。クーロン振動のピーク幅は熱揺らぎ $k_B T/q$ によって有限の値を持つ。

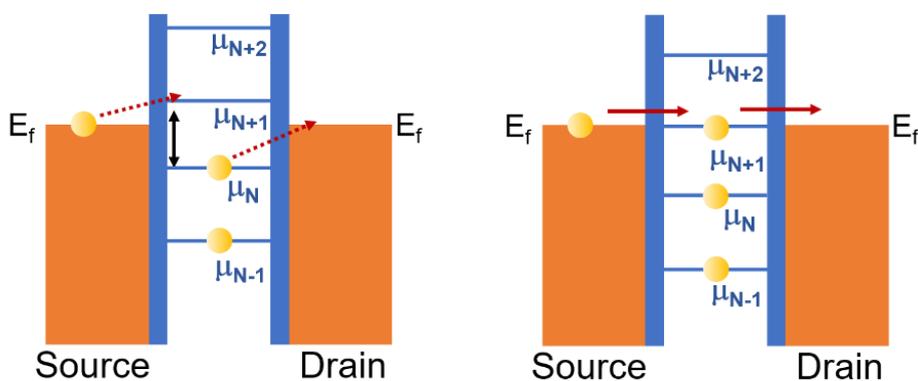


Fig. 2-14 Potential diagrams of a single electron transistor.

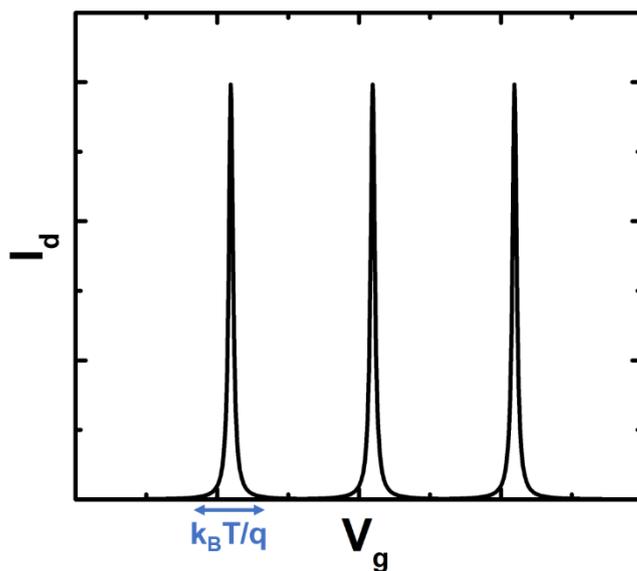


Fig. 2-15 Coulomb oscillation.

### 2-3-3 クーロン振動波形の導出[64]

量子ドットから電極へのトンネルを考えると量子ドット内の電子状態は有限の寿命 $\tau$ を持つことから寿命幅 $\Gamma$ が生じる。電極の状態を $|1, k\rangle$ 、 $|2, k\rangle$ とし、量子ドットの $N$ 電子状態を $|d(N)\rangle$ とする。電極の状態と量子ドットの $N$ 電子状態との結合を表すトンネルハミルトニアンを $\mathcal{H}_t$ として、フェルミの黄金則近似を用いると

$$\frac{2\Gamma}{\hbar} = \frac{1}{\tau} = \sum_{i=1,2;k} \frac{2\pi}{\hbar} |\langle i, k | \mathcal{H}_t | d \rangle|^2 \delta(\mu_N - \epsilon_k) = \frac{2\pi}{\hbar} \nu(\gamma_1^2 + \gamma_2^2) \quad (2-34)$$

と表記することが出来る。このとき、 $\nu$ は電極の状態密度、 $\gamma_{1,2}$ は行列要素である。有限温度でのクーロンピークの高さは $\epsilon_k < k_B T < U$ であるとき、マスター方程式の方法を用いると、

$$\frac{G}{G_{max}} = \frac{(\mu_N - E_f)/k_B T}{\sinh[(\mu_N - E_f)/k_B T]} \approx \cosh^{-2} \left( \frac{\mu_N - E_f}{2.5k_B T} \right) \quad (2-35)$$

となる。このとき、 $\mu_N$ はクーロンピークの中心を与える量子ドットの化学ポテンシャルである。高温のときは、電子の位相緩和時間は短く、2つの接合間のトンネルは独立に生じると考えることが出来るため、クーロンピークの電導度は式(2-36)で表される。

$$G_{max} = \frac{2\pi}{\hbar} e^2 \nu \frac{\gamma_1^2 \gamma_2^2}{\gamma_1^2 + \gamma_2^2} \quad (2-36)$$

低温のとき $k_B T \ll \Delta\epsilon$ となり、1つの準位のみが電気伝導に寄与する場合、量子ドット内の電子の位相緩和時間が $\Gamma_{1,2}/\hbar$ に比べて十分に短く2つの接合間のトンネル現象がそれぞれ独立のときは、

$$\frac{G}{G_{max}} = \cosh^{-2} \left( \frac{\mu_0 - E_f}{2k_B T} \right) \quad (2-37)$$

となる。このとき、 $\mu_0$ はゲート電圧に線形に依存する量子ドットの化学ポテンシャルである。

電子が量子ドットを、コヒーレンスを保って通過する場合は、量子ドットの電気伝導全体を共鳴トンネルと考えることが出来る。運動エネルギー $E$ に対する透過率 $\mathcal{T}$ はブライト-ウィグナー型として知られており、式(2-38)で表される。

$$\mathcal{T}(E) = \frac{(2\pi\nu\gamma_1\gamma_2)^2}{(E - E_0)^2 + [\pi\nu(\gamma_1^2 + \gamma_2^2)]^2} \quad (2-38)$$

式(2-27)より電気伝導度は式(2-39)で表される。

$$G = \frac{e^2}{h} \int \frac{(2\pi\nu\gamma_1\gamma_2)^2}{(E - E_0)^2 + [\pi\nu(\gamma_1^2 + \gamma_2^2)]^2} \left[ -\frac{\partial f(E)}{\partial E} \right] dE \quad (2-39)$$

$f(E)$ はフェルミ分布関数である。極低温のときは、 $-\partial f(E)/\partial E$ をデルタ関数 $\delta(E - \mu)$ と近似することが出来るので、電気伝導度 $G$ は式(2-40)で表される。

$$G = \frac{e^2}{h} \frac{(2\pi\nu\gamma_1\gamma_2)^2}{(E - E_0)^2 + [\pi\nu(\gamma_1^2 + \gamma_2^2)]^2} \quad (2-40)$$

式(2-40)より、絶対零度で熱揺らぎがない場合にも、クーロン振動は有限幅を持つ。これは寿命幅によるものである。量子ドット内の留まる時間 $\tau$ が有限であるとき、 $h/\tau$ 程度のエネルギー不確定性が存在し、量子ドットと電極間でエネルギー差があっても有限確率でトンネルすることが出来る。このトンネル現象をコトンネリングと呼ぶ。

#### 2-3-4 パウリのスピントロケード

量子ドットの電気伝導はトンネル電流によるものであり、元来トンネル電流を増幅させることは困難である。よって、トンネル電流を増幅するのではなく制限することで量子ドットを量子ビットとして機能させることが考えられる。スピン量子ビットの場合、パウリのスピントロケードを用いて電流を制限する。

Fig. 2-16 にパウリのスピントロケードの原理を示す[65]。図中で1と2はそれぞれ量子ドットを示しており、2の量子ドットには上向きスピンの電子が入っている。 $\mu_l$ と $\mu_r$ は量子ドットに容量を介して接続された電極である。Fig. 2-16 (a)で $\mu_l$ の電極から上向きスピンの電子を量子ドットに流すと、1の量子ドットには電子が入れるが、2の量子ドットにはパウリの排他律のため同じ向きの電子スピンは同じ量子準位に入ることが出来ない。Fig. 2-16 (b)で $\mu_r$ の電極から下向きスピンの電子を量子ドットに流すと、2の量子ドットにはパウリの排他律に反しないため電子が入ることが出来る。よって電流測定を行うと、Fig. 2-16 (a)の場合は電流が流れないが、Fig. 2-16 (b)の場合は電流が流れる。Fig. 2-17 に二重量子ドットでパウリのスピントロケードの観測結果を示す。Fig. 2-17 で横軸はドレイン電圧、縦軸はドレイン電流である。ドレイン電圧が負のときは、Fig. 2-16 (b)の状態であり、電流が流れる。一方、ドレイン電圧が正のときは、Fig. 2-16 (a)の状態でありパウリのスピントロケードのため、低電圧領域では電流が流れない。高電圧領域では2の量子ドットで上向きスピンが入っている量子準位よりも上の準位に上向きスピンが入ることが出来るため、電流が流れる。すなわち量子ドットにいずれかの向きのスピンが入っているとき、反対向きのスピンのみに偏極した電流しか流ることが出来ない。パウリのスピントロケードは量子ビットの初期化や読み出しに用いられる。

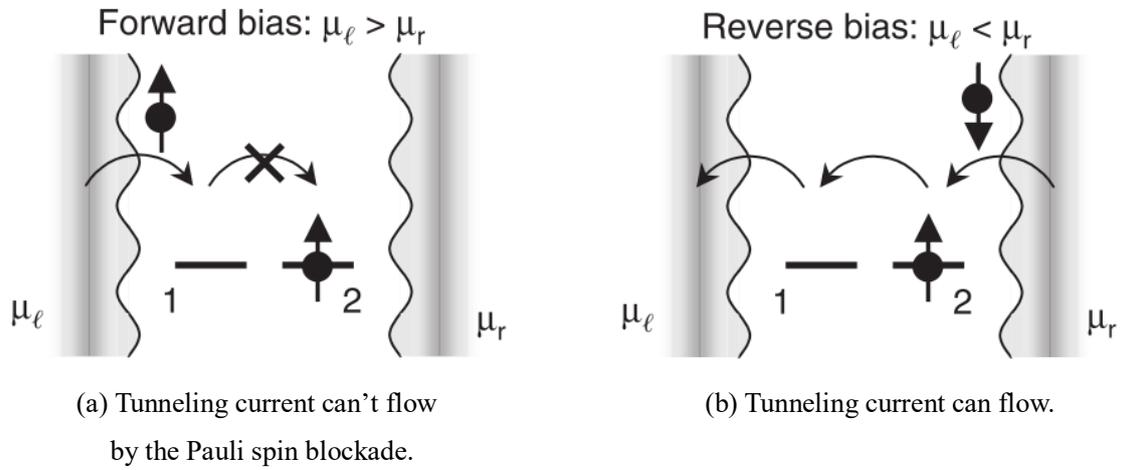


Fig. 2-16 Model for rectification of the single-electron tunneling current by the Pauli spin blockade [65].

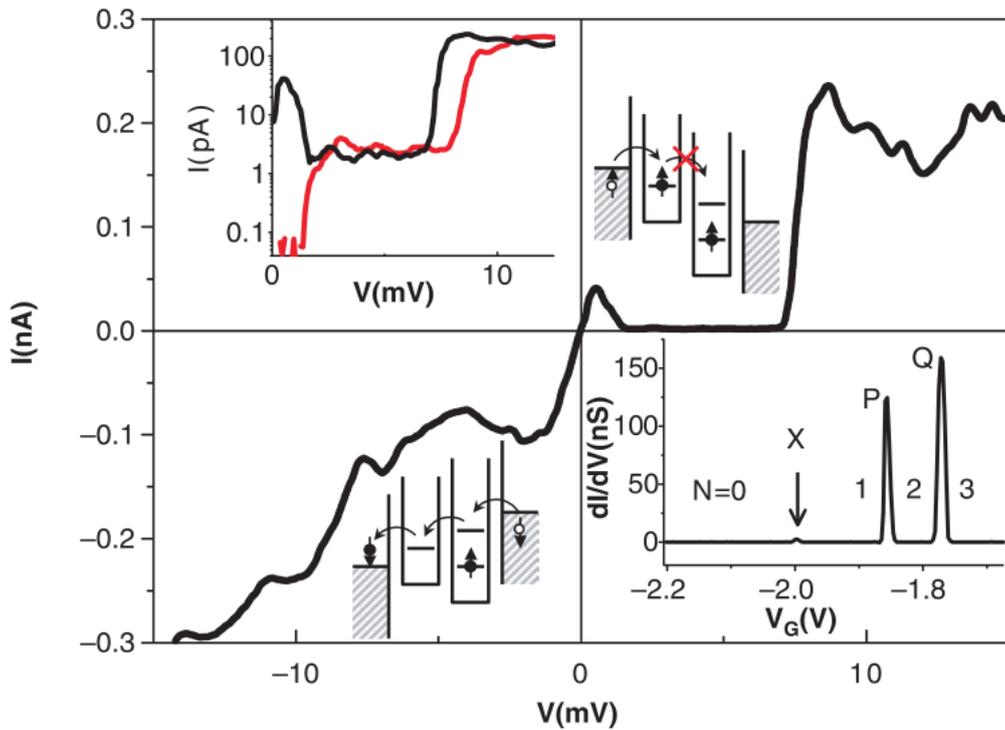


Fig. 2-17 Spin blockade of single-electron tunneling current in a weakly coupled double-dot system [65].

## 2-4 SOI 構造によるシリコン量子ビットの動作原理

シリコン量子ビットの特徴である CMOS 制御回路との親和性を活かすならば、従来の SOI 構造に量子ビットが作製されるのが望ましい。SOI 構造で作製されるシリコン量子ビットの内、パウリのスピントロケードを用いた量子状態の読み出し方式、センサ量子ドットとの容量接続を用いた量子状態の読み出し方式の 2 つを例にあげて、シリコン量子ビットの動作原理を示す。

### 2-4-1 パウリのスピントロケードを用いた量子状態の読み出し

Fig. 2-18 にパウリのスピントロケードを用いて量子状態が読み出せるシリコン量子ビットのデバイス構造を示す[48]。デバイスは通常の SOI 基板上に作製されており、ゲート電極直下に 2 つの量子ドットが 1 列に並んでいる。ゲート電極の両側には窒化膜のスペーサーが形成されており、スペーサー直下のチャネルにはイオン注入されないことから、チャネルの抵抗率が高くなりトンネル障壁となる。ソース及びドレインは P 型であり、キャリアは正孔である。デバイスは希釈冷凍機を用いて 10 mK まで冷やされ、超伝導磁石を用いて外部から磁場が印加されている。量子ドット中の正孔は外部磁場によってゼーマン分裂しており、上向きスピンと下向きスピンのそれぞれエネルギー準位が異なる。上向きスピンのときを量子状態の“1”、下向きスピンのときを量子状態の“0”と定義する。左の量子ドット(QD<sub>Left</sub>)が量子ビットになりゲート電極に高周波電圧を印加することで電磁波を発生させる。上向きスピンと下向きスピンのエネルギー準位間隔に相当する周波数の電磁波を印加すると、ラビ振動が起きスピンの量子状態操作が出来る。右の量子ドット(QD<sub>Right</sub>)は量子状態の読み出しに用いる。

Fig. 2-19 に量子計算の流れを示す。初期状態では QD<sub>Left</sub> と QD<sub>Right</sub> に下向きの正孔スピンが入る。このときパウリのスピントロケードのために QD<sub>Left</sub> の正孔は QD<sub>Right</sub> に入ることが出来ず、電流は流れない。次に  $V_{gl}$  に交流電圧を印加し、電磁波を照射することでスピン操作を行う。スピン操作の後、正孔が上向きスピンとなった場合、QD<sub>Right</sub> に正孔が入ることが出来るため、電流が流れる。反対にスピン操作の後、正孔が下向きスピンとなった場合は初期状態と同様にパウリのスピントロケードのため QD<sub>Left</sub> の正孔は QD<sub>Right</sub> に入ることが出来ず、電流が流れない。すなわち、スピン操作後に電流測定をすることで量子状態の読み出しが出来る。

Fig. 2-20 にラビ振動の様子を示す。x 軸は電磁波照射時間、y 軸は電磁波強度、z 軸はドレイン電流である。電磁波照射時間に対してドレイン電流が周期的に変調しており、ラビ振動が観測されている。式(2-27)、(2-30) で示すように電磁波強度の平方根に比例してラビ振動周波数が高くなっている。

電流測定によって量子状態を読み出す場合、量子ドットを流れる電流はトンネル電流であるため、電流を増幅する必要がある。単に電流-電圧変換をしてから増幅器を用いる場合やヘテロ接合バイポーラトランジスタによる増幅を用いる方法[66]などがある。

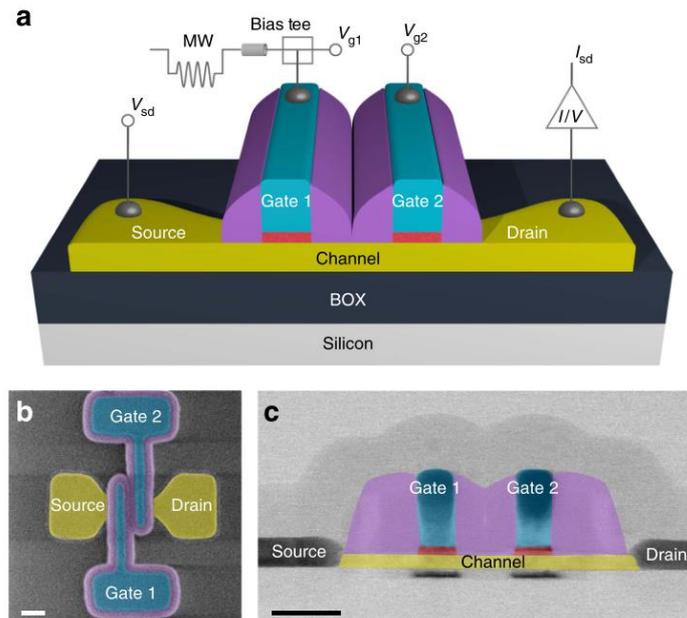


Fig. 2-18 Silicon qubit using silicon-on-insulator (SOI) structure [44]. (a) Simplified three-dimensional schematic of a SOI nanowire field-effect transistor with two gates, gate 1 and gate 2. Using a bias tee, gate 1 is connected to a low-pass-filtered line, used to apply a static gate voltage  $V_{g1}$ , and to a 20 GHz-bandwidth line, used to apply the high-frequency modulation necessary for qubit initialization, manipulation, and read-out. (b) Colorized device top view obtained by scanning electron microscopy. (c) Colorized transmission electron microscopy image.

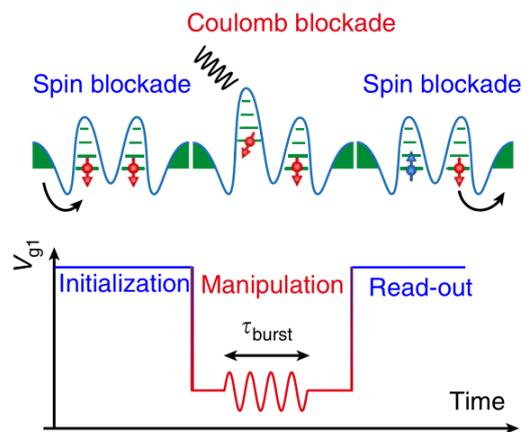


Fig. 2-19 Schematic representation of the spin manipulation cycle and corresponding gate-voltage ( $V_{g1}$ ) modulation pattern [48].

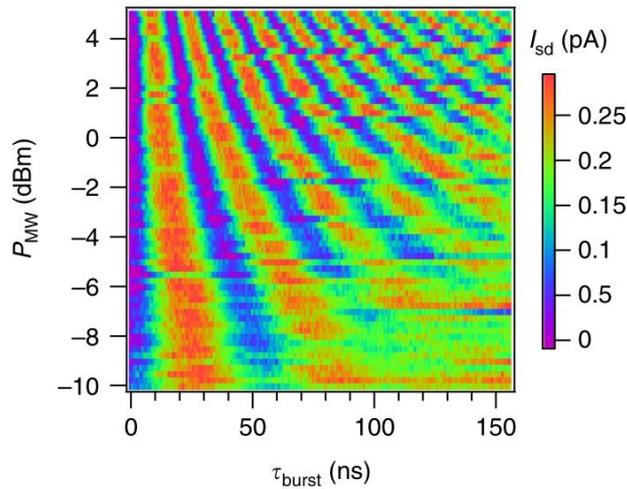


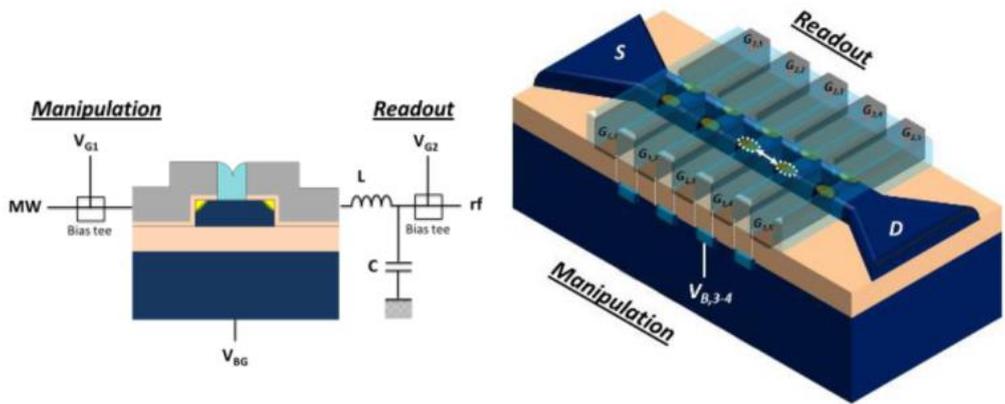
Fig. 2-20 Color plot of Rabi oscillations [48].

#### 2-4-2 センサ量子ドットとの容量接続を用いた量子状態の読み出し

Fig. 2-21 にセンサー量子ドットとの容量接続を用いた量子状態の読み出し方式であるシリコン量子ビットのデバイス構造を示す[49]。デバイスは 4.2 K まで冷やされ外部から磁場が印加されている。ソース・ドレインは n 型にドーピングされており、キャリアは電子である。1つのチャンネル上にゲート電極が左右に分かれて 10 配置されている。Fig. 2-21(a) でゲート電極による電界集中がチャンネルの角部分に発生するため、この部分に電子が誘起され、量子ドットとして機能する。このチャンネルの角部分に形成される量子ドットを Corner 量子ドットと呼ぶ[67-69]。左のゲート電極直下に出来る Corner 量子ドットが高周波電源と接続されており、量子ビットとして機能する。右のゲート電極直下に出来る Corner 量子ドットが読み出しに用いるセンサトランジスタの量子ドットである。

Fig. 2-22 にセンサトランジスタを流れるドレイン電流波形を示す。スピン操作の結果、量子ビットに電子が残った場合、センサトランジスタの量子ドットとの容量接続を介してセンサ量子ドットの電位が降下することで、ドレイン電流のクーロン振動ピークがシフトする。すなわちクーロン振動ピークがシフトしたことによるドレイン電流の変化を検出することで量子状態の読み出しが出来る。クーロン振動ピークのシフトを用いることにより、1つのセンサ単電子トランジスタで 3 量子ビットの量子状態の読み出し[70]や量子ビット間で生じるパウリのスピントロッキングをセンサ単電子トランジスタで検出することも量子状態の読み出しが出来る[71]。

ドレイン電流の変化の検出法としてはインピーダンス整合回路を用いた反射計測[72]がよく用いられる。センサトランジスタに電流が流れない状態でインピーダンス整合を行う。センサトランジスタに電流が流れるとインピーダンスが変化し、交流電圧を印加すると反射が起きる。この反射電圧を計測することで高速に量子状態に読み出しを行うことが出来る。



(a) Cross section. Corner quantum dots is formed by gate electrodes.

(b) Over view.

Fig. 2-21 Silicon qubits which have single channel and corner quantum dots [49]. The device read quantum states using capacitance connection between quantum dots.

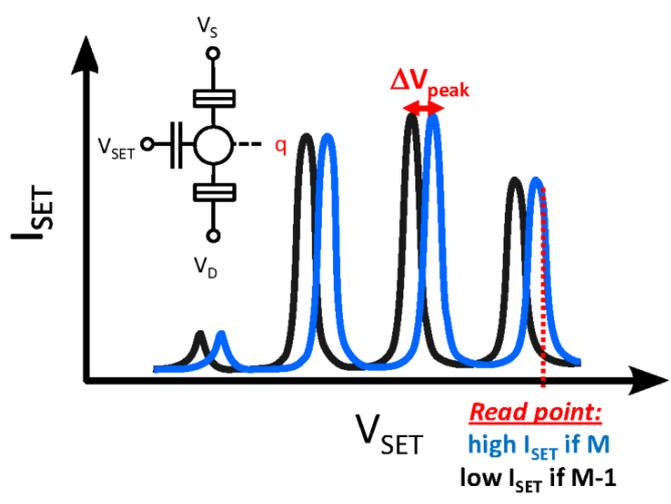


Fig. 2-22  $I_{SET}$  dependence of  $V_{SET}$ . Electrons in qubits shift the current peak of sensor transistors [49].

## 第3章 積層構造型シリコン量子ビット

### 3-1 積層ナノシートトランジスタ

最先端の CMOS デバイスでは微細化加工技術の進歩により、nm のオーダーにまでチャネル長が縮小されているが、一方で短チャネル効果によるしきい値電圧の効果、S 値の増大などが問題となっている。短チャネル効果を抑制するためにはゲートのポテンシャル制御性の向上を狙ってデバイス構造を変えることが有効であり、Fin-FET やナノワイヤートランジスタ、ナノシートトランジスタなど立体チャネル構造のトランジスタが研究されている[4]。中でもナノシートトランジスタを積層させることで実効チャネル幅を大きくし、オン電流を増大させることでスイッチング速度の向上を狙った研究がされている。Fig. 3-1 に積層ナノシートトランジスタを示す[73]。Fig. 3-1(a)に示すように Si 基板の上部に SiGe と Si を交互にエピタキシャル成長させ、単結晶の積層基板を作成する。次にチャネル部となる Fin を形成し、ダミーゲートをパターニングした後、スペーサーを形成する。その後、ソース・ドレイン部をエピタキシャル成長させ、SiGe をエッチングして取り除き、中空となった部分にゲート電極を堆積させ、積層構造のトチャネル及びゲートが作成される。SiGe は HCl/H<sub>2</sub> の混合ガスを用いて化学的気相エッチングを行うと Si との間で非常に高い選択比でエッチング出来る[74]。

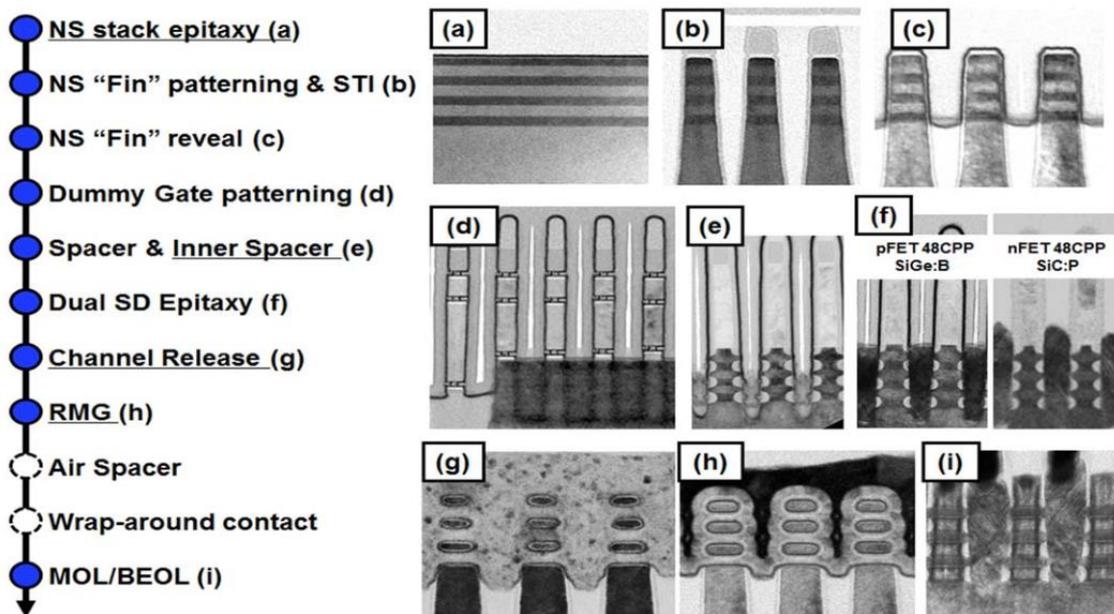
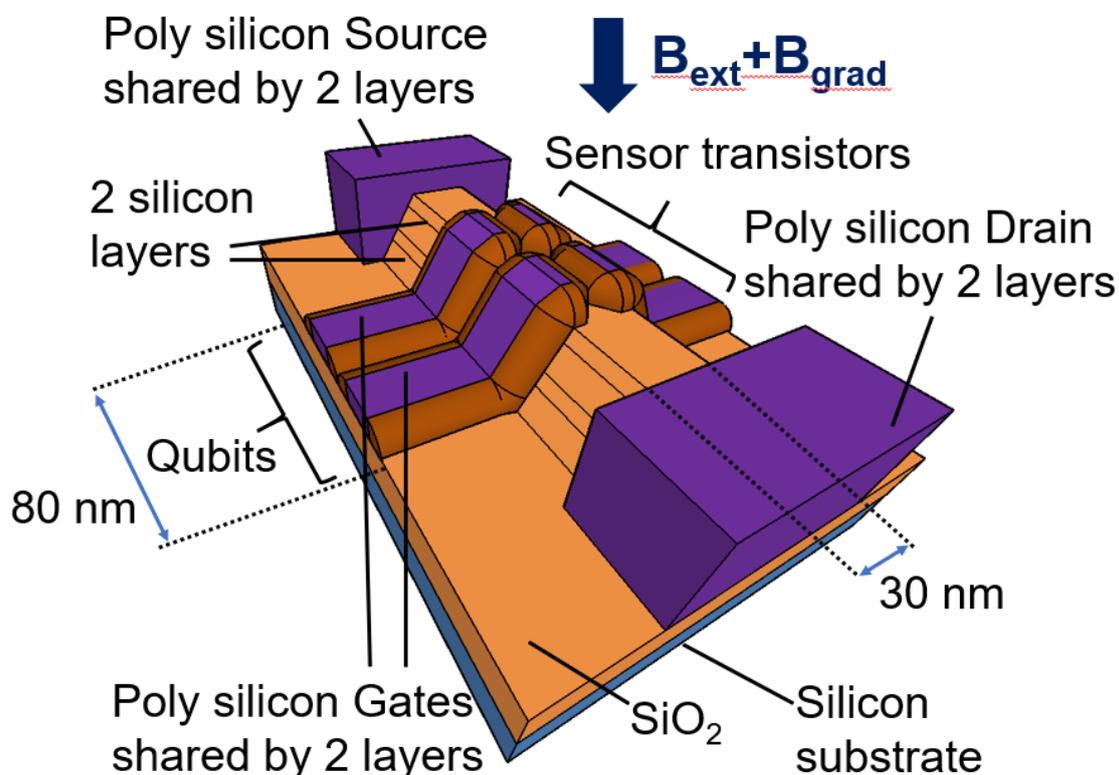


Fig. 3-1 Stacked nanosheet process sequence and TEM images [73].

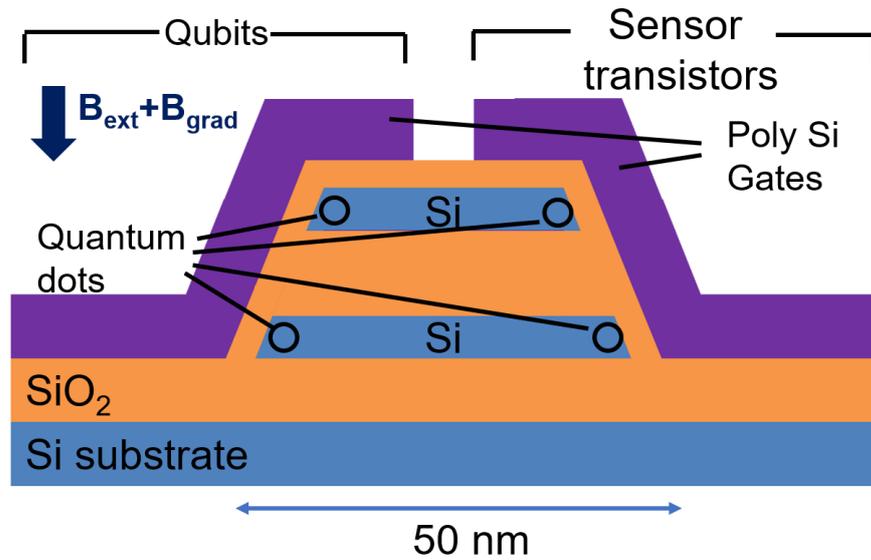
### 3-2 積層構造型シリコン量子ビットの提案

第1章で示したように、シリコン量子コンピュータの実現には量子ビットの多量子ビット化が必要である。一方、シリコン量子ビットは配線が大きな面積を占めることから量子ビットを平面上に集積化することが難しい。シリコン量子ビットの多量子ビット化に向けた集積化のためには、従来の構造と異なるデバイス構造が必要である。

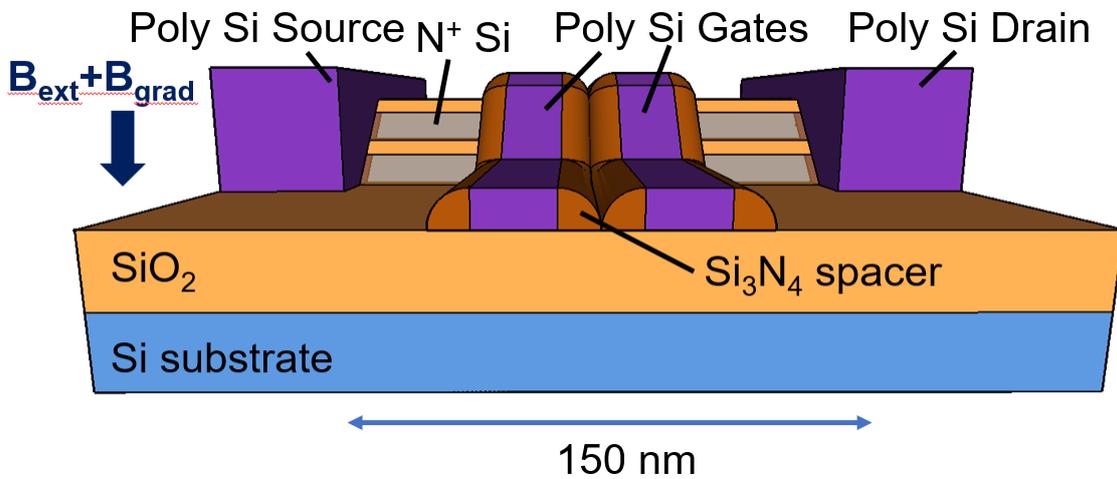
シリコン量子ビットの多量子ビット化に向けて3-1で示した積層ナノシートトランジスタのプロセスを参考に、積層構造型シリコン量子ビットを提案する。Fig. 3-2に提案する積層構造型シリコン量子ビットを示す。提案する構造は単結晶シリコンチャンネル層が複数あり、ゲート電極が複数チャンネル層で共有されている。ゲート電極間は窒化膜のスペーサーが形成されている。チャンネルには両側にゲート電極からの誘起によってCorner量子ドットが形成され、それぞれ量子ビットとなる量子ドット、センサトランジスタの量子ドットとして機能する。ソース・ドレイン部はPoly Siで作製され、複数チャンネル層で共通である。ゲート電極とチャンネル層が複数あることから、量子ビットは二次元に集積化される。保護酸化膜の上部にコバルト微小磁石を蒸着し、傾斜磁場を印加する。動作時には希釈冷凍機を用いて数十 mK にまでデバイスを冷やし、超伝導磁石を用いて外部磁場を印加する。



(a) Over view.



(b) Cross-section view. Channel width is about 50 nm. Channel region is a taper structure.



(c) Side section view. Channel length is about 150 nm.

Fig. 3-2 Proposed silicon qubits with stacked structures. The fabrication is based on stacked nanosheets with Si/SiGe layers. The novelties are multiple silicon channel layers, gate electrodes shared by multiple silicon layers, sensor transistors and qubits included in a same channel, possibility of reading and manipulating the multiple quantum states simultaneously by sweeping the gate voltages, and high scalability realized by increasing the gate electrodes and single crystal silicon channel layers.

### 3-3 プロセスフロー

Fig. 3-3 に提案する積層構造型シリコン量子ビットのプロセスフローを示す。ここでは2層のチャンネル及び2つのゲート電極を持つ4量子ビットデバイス構造の試作を例に挙げる。

#### (a) 従来の SOI 基板の Si 層の薄膜化

デバイス作製には従来の SOI 基板を用いる。上部の Si 層は量子ビット及びセンサトランジスタが作製される最下部のチャンネル層となるため、およそ 20 nm 以下の厚さにする。

#### (b) Si 層と SiGe 層をエピタキシャル成長

Si 層の上部に SiGe 層と Si 層をエピタキシャル成長させ、単結晶の Si 層を2層作製する。ここで SiGe 層は上部と下部のチャンネル層の間隔を決める。上部の Si 層も下部のチャンネル層と同様に、およそ 20 nm 以下の厚さにする。

#### (c) チャンネルをテーパエッチング

EB リソグラフィを用いてチャンネルをパターニングした後、テーパエッチングを行い傾斜のついたチャンネルを作成する。

#### (d) ソース・ドレイン部の作製

化学気相成長(Cheical Vapor Deposition; CVD)で Poly Si を堆積させて2層で共有させる。このとき、チャンネルとソース・ドレイン部の接合部に自然酸化膜が残らないように、CVD 装置にサンプルを投入する前にフッ酸処理を行う。

#### (e) ゲート酸化膜形成

Si を熱酸化しゲート酸化膜を形成する。このとき SiGe 界面には薄い酸化膜が形成される。

#### (f) ゲート電極作製

CVD で Poly Si を堆積させ EB リソグラフィを用いてパターニングした後、異方性エッチングを行って、ゲート電極を作製する。

#### (g) 窒化膜スペーサーの作製

CVD で  $\text{Si}_3\text{N}_4$  層を作成した後、異方性エッチングを行ってゲート電極の側面にスペーサーを作製する。イオン注入の後、スペーサーの下部が量子ドットとソース・ドレイン部のトンネル接合部になる。

(h) SiGe 層を化学気相エッチング

SiGe 層を HCl/H<sub>2</sub> の混合ガスを用いて化学気相エッチング(CHEMICAL VAPOR ETCHING; CVE)を行う。必要であれば、CVE を行う前に異方性エッチングにより SiGe 界面の酸化膜を取り除く。CVE の後、SiGe 層のあった部分は中空構造となる。

(i) イオン注入

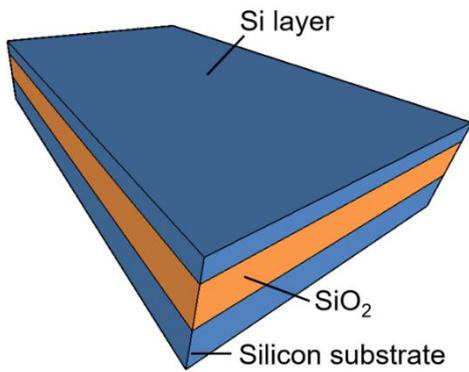
電子スピン量子ビットの場合はリンを、正孔スピン量子ビットの場合はボロンをイオン注入によりドーピングする。このとき Poly Si ソース・ドレイン部、ゲート電極、チャネル部の Si 層は高濃度にドーピングされ、金属電極のように振る舞う。Poly Si 電極直下の量子ドット及び窒化膜スペーサー下部の Si 層にはイオン注入されない。

(j) 保護酸化膜堆積

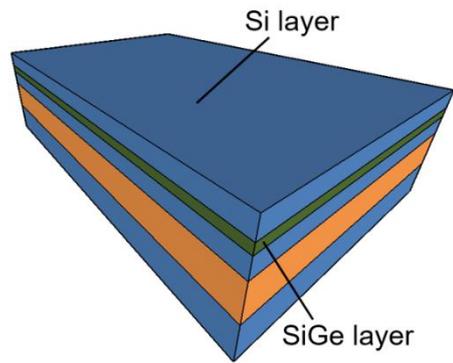
CVD を用いて保護酸化膜を堆積させる。このとき、SiGe 層がエッチングされた後の中空構造部分は酸化膜で埋まる。

(k) コバルト微小磁石蒸着

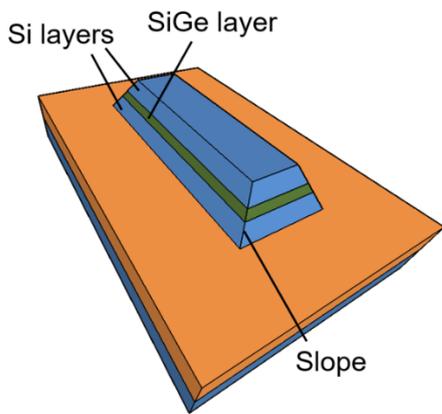
コンタクトホール形成及びアルミ電極の配線を行った後、デバイス上部からコバルト微小磁石を蒸着する。コバルト微小磁石により、傾斜磁場が印加されることから量子ドットそれぞれで磁場の大きさが異なる。



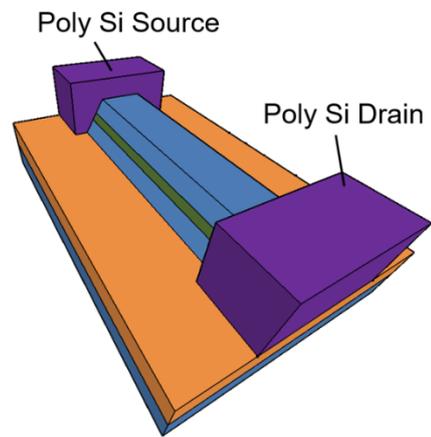
(a) Conventional SOI substrate.



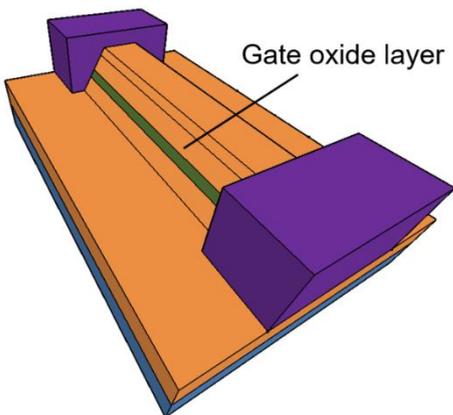
(b) Epitaxial growth of SiGe and Si layers.



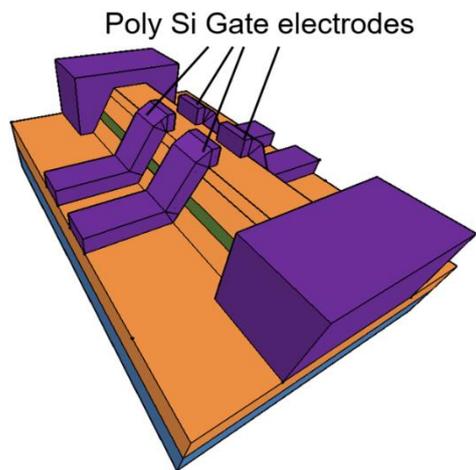
(c) Channel taper etching.



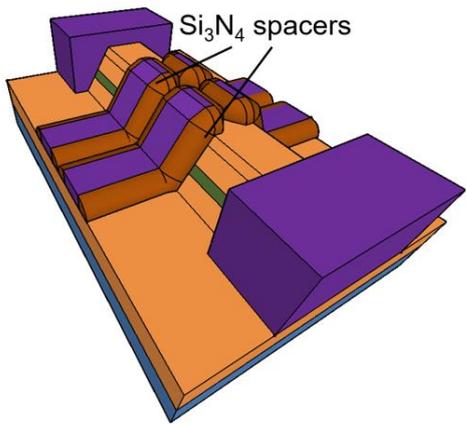
(d) Poly Si Source and Drain deposition.



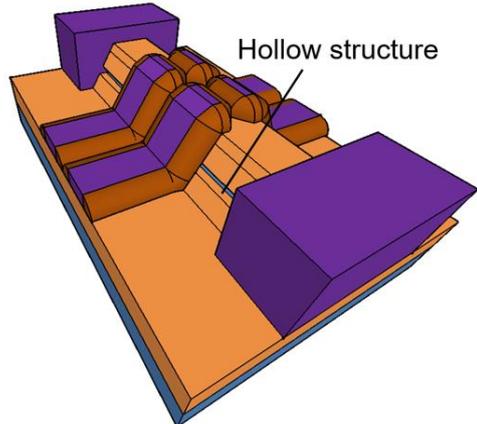
(e) Gate oxidation.



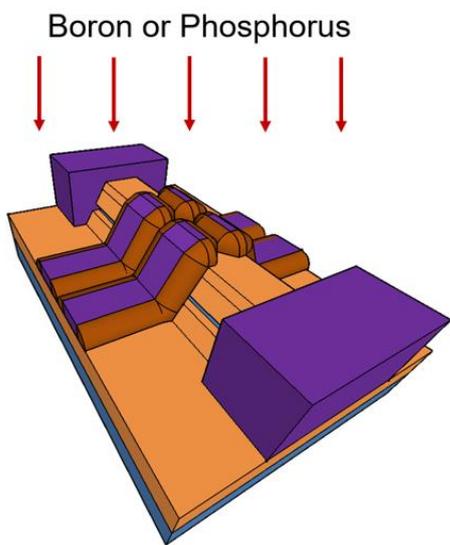
(f) Poly Si Gates deposition and patterning.



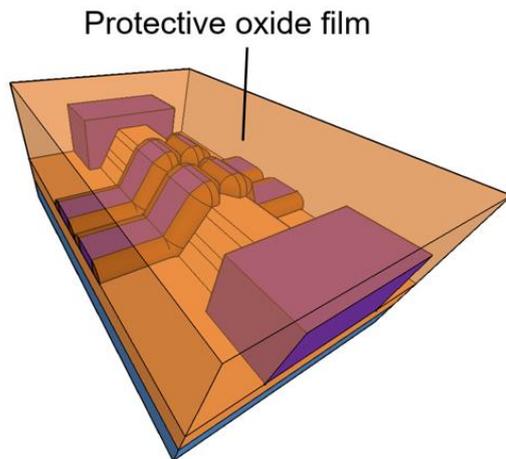
(g) Si<sub>3</sub>N<sub>4</sub> spacer deposition.



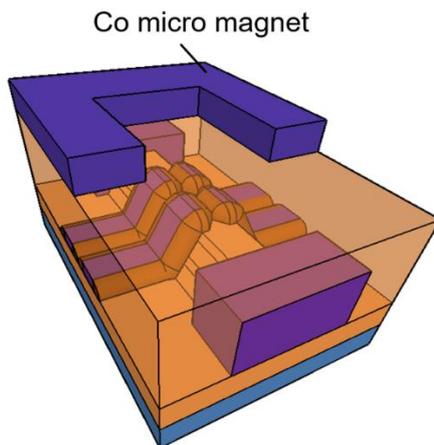
(h) SiGe layer chemical vapor etching.



(i) Ion implantation.



(j) Protective oxide film deposition.



(k) Co micro magnet deposition.

Fig. 3-3 Process flow chart of proposed silicon qubits.

### 3-4 動作原理

電子スピン量子ビットの動作原理を示す。正孔スピン量子ビットもほぼ同じ動作原理であるが、ゲート電圧の極性が異なる。

#### (a) 量子状態の初期化

Fig. 3-4 にゲート電圧波形を、Fig. 3-5 (a)に量子ドットのポテンシャルを示す。Fig. 3-5 (a)で、左の図は下部チャンネル層の量子ドット、右の図は上部チャンネル層の量子ドットを示している。Fig. 3-4 に示すように量子状態の初期化を行う際には低い正のゲート電圧を印加する。量子ドット内部は外部磁場によるゼーマン分裂により、上向きスピンと下向きスピンのポテンシャルが異なる。ソースのポテンシャルを上向きスピンと下向きスピンの中間に位置させると、下向きスピンのみがソースから量子ドット内部に入る。このときパウリの排他律により、下向きスピンは2個以上量子ドットに入ることが出来ない。下向きスピンを量子状態の $|0\rangle$ と定義すると、上側チャンネル層と下側チャンネル層の量子ビットの量子状態が $|0\rangle$ になり、量子状態の初期化がされる。

#### (b) 量子状態の操作

量子状態の操作の際には、Fig. 3-4 に示すようにゲート電圧を上げ、上向き電子スピンのポテンシャルをソース・ドレインのポテンシャルより低くする。次に交流電圧を印加し、発生した電磁波による交流磁場によって電子スピン共鳴を起こす。電磁波照射時間 $\tau$ を変えることで、量子ドット内部の電子のスピンの向きを上向きまたは下向きに変えることが出来る。すなわち交流電圧の印加によって量子状態の操作を行う。このとき、コバルト微小磁石の作り出す傾斜磁場によって上部チャンネル層の量子ドットと下部チャンネル層の量子ドットでゼーマンエネルギーが異なる。交流電圧の周波数を操作したい量子ビットに対応するゼーマンエネルギーに対応させることで、各量子ビット間で選択的に量子状態の操作を行う[75]。CNOT ゲートなどの二量子ビットゲートは電子スピン間の交換相互作用を用いて行うことが出来る[50, 51]。

#### (c) 量子状態の読み出し

量子状態の操作を順に行い、全ての操作が終了した後にゲート電圧を低くする。すると上向き電子スピンのみがドレインに流れる。量子状態の操作の後、量子ビットの量子状態が $|0\rangle$ となったときは下向き電子スピンのみが量子ドット内部に残る。この下向き電子スピンのみがセンサトランジスタの量子ドットのポテンシャルを降下させる。Fig. 3-6 に量子ビットとセンサトランジスタ間の容量を示す。Fig. 3-3(c)に示したようにチャンネルはテーパエッチングされるため、上部のチャンネル層と下部のチャンネル層でチャンネル幅が異なる。センサトランジスタと量子ビット間の容量が異なることから、量子ビット内部の下向き電子スピンによるセンサトランジスタのポテンシャル降下量が異なる。この異なるポテンシャル降下を識別することで全ての量子ビットの量子状態読み出しが行える。

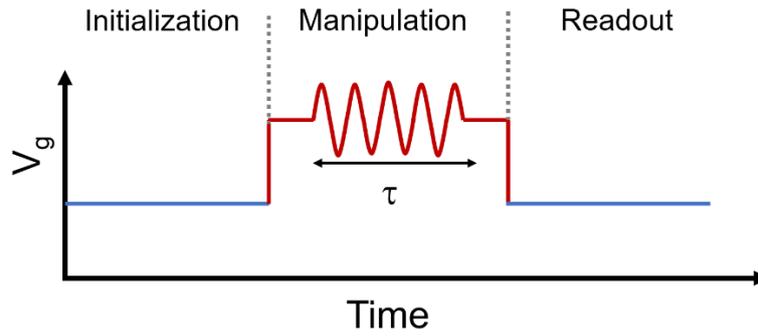
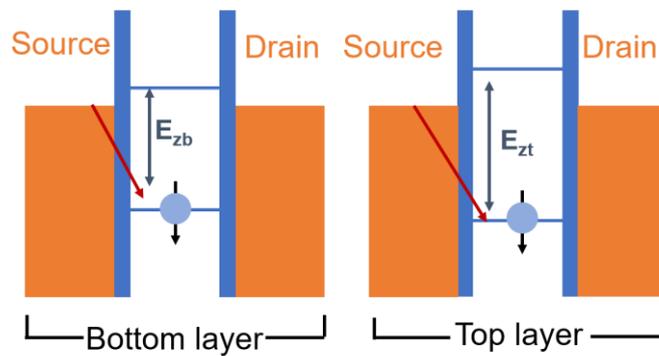
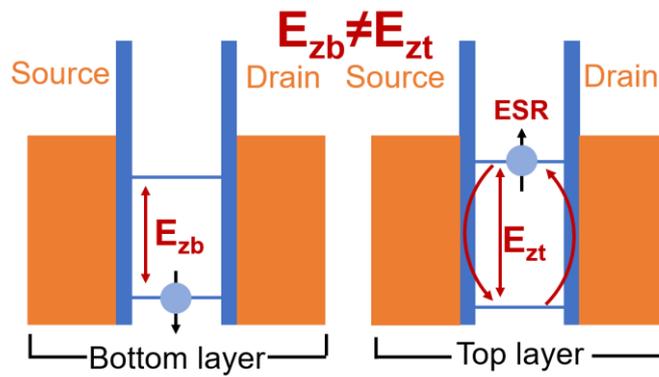


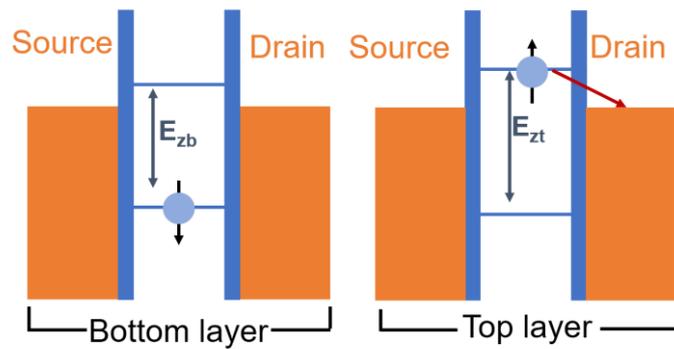
Fig. 3-4 Waveform of gate voltage  $V_g$  of electron spin qubits.



- (a) The potential diagram corresponding to initialization of quantum states. Only down-spin electrons can drift to quantum dots (QDs) from source



- (b) The potential diagram corresponding to manipulation of quantum states. A Co micro magnet generates a gradient magnetic field, so Zeeman energies of QDs are different. Therefore, quantum states can be manipulated selectively.



(c) The potential diagram corresponding to readout of quantum states. Only up-spin electrons can drift to drain electrodes from QDs.

Fig. 3-5 The potential diagrams of 2 qubits. (a) Initialization. (b) Manipulation. (c) Readout.

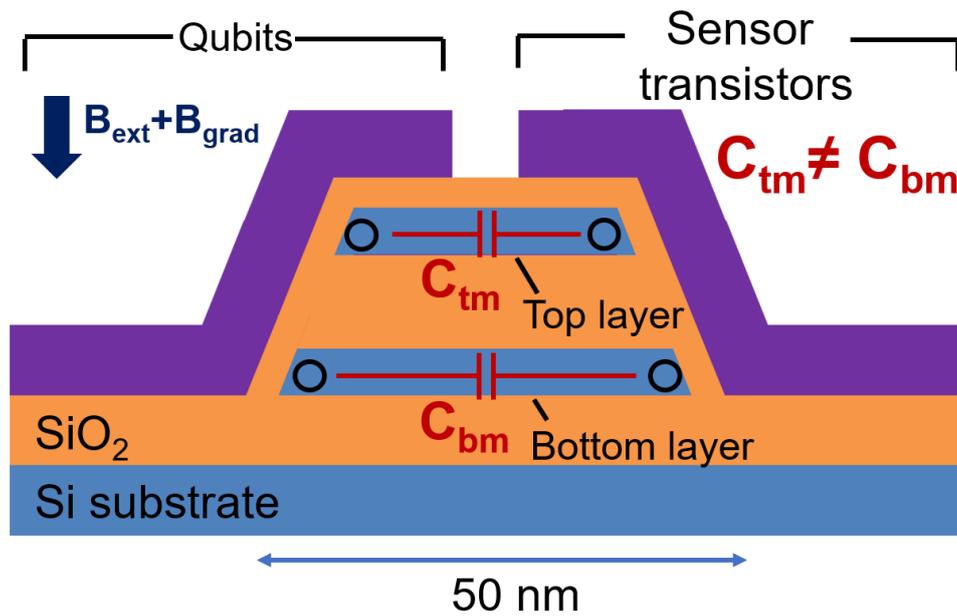


Fig. 3-6 Capacitances between quantum dots of qubits and sensor transistors. Down-spin electron lowers the potential of sensor transistors. Due to different capacitances of the top and bottom layers, each quantum states can be read.

### 3-5 量子状態読み出しのシミュレーション

#### 3-5-1 2 量子ビットの量子状態読み出し

提案する積層構造型シリコン量子ビットにおける量子状態読み出しのシミュレーションを行った。ここでは簡単化のため、Fig. 3-6 に示すように2層のシリコンチャネル層と2つのゲート電極を有するデバイスを考える。すなわち量子ビットは上部チャネル層、下部チャネル層それぞれ1つずつ存在する2量子ビット構造である。下部チャネル層のチャネル幅は40 nm、ゲート酸化膜厚は8.7 nm、チャネルの傾斜角度は60度、ゲート電極の幅は20 nmとした。

Fig. 3-7 に量子ビットとセンサトランジスタの等価回路図を示す。量子計算の結果、量子ビットに下向き電子スピが残った場合、量子ビットとセンサトランジスタ間の容量  $C_{bm}$ 、 $C_{btm}$ 、 $C_{tbtm}$ 、 $C_{tm}$  を介してセンサトランジスタの量子ドットのポテンシャルを降下させる。式(3-1)に下部チャネル層におけるセンサトランジスタの量子ドットのポテンシャル降下量  $\Delta V_{bottom}$ 、式(3-2)に上部チャネル層におけるセンサトランジスタの量子ドットのポテンシャル降下量  $\Delta V_{top}$  を示す。

$$\Delta V_{bottom} = \frac{e}{C_{bg2}} \left\{ \frac{C_{bm}}{C_{bg1} + C_{bs1} + C_{bd1} + C_{bm} + C_{tbtm}} + \frac{C_{btm}}{C_{tg1} + C_{ts1} + C_{td1} + C_{tm} + C_{btm}} \right\} \quad (3-1)$$

$$\Delta V_{top} = \frac{e}{C_{tg2}} \left\{ \frac{C_{tm}}{C_{tg1} + C_{ts1} + C_{td1} + C_{tm} + C_{tbtm}} + \frac{C_{tbtm}}{C_{bg1} + C_{bs1} + C_{bd1} + C_{bm} + C_{tbtm}} \right\} \quad (3-2)$$

Fig. 3-6 で示した構造を FastCap2[76]を用いてモデリングを行った。Fig. 3-8 に FastCap2 上でモデリングした構造図を示す。なお、モデリングに用いた FastCap2 上のソースコードは付録1に示す。FastCap2 でのシミュレーションにより式(3-1)、(3-2)に含まれる容量を導出した。導出した容量を Table 3-1 に示す。導出した容量値を用いて量子状態読み出しのシミュレーションを行った。センサトランジスタのドレイン電流値の導出には式(3-3)、(3-4)を用いた[77]。

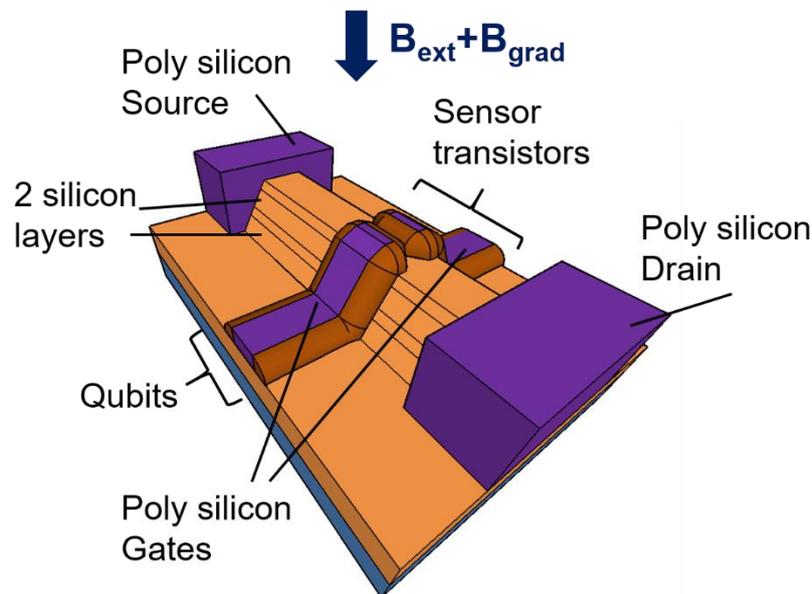
$$G = \frac{2e^2}{\hbar} \frac{4\Gamma_L\Gamma_R}{(\mu - \varepsilon_0)^2 + \Gamma^2} \quad (3-3)$$

$$\Gamma = \Gamma_L + \Gamma_R \quad (3-4)$$

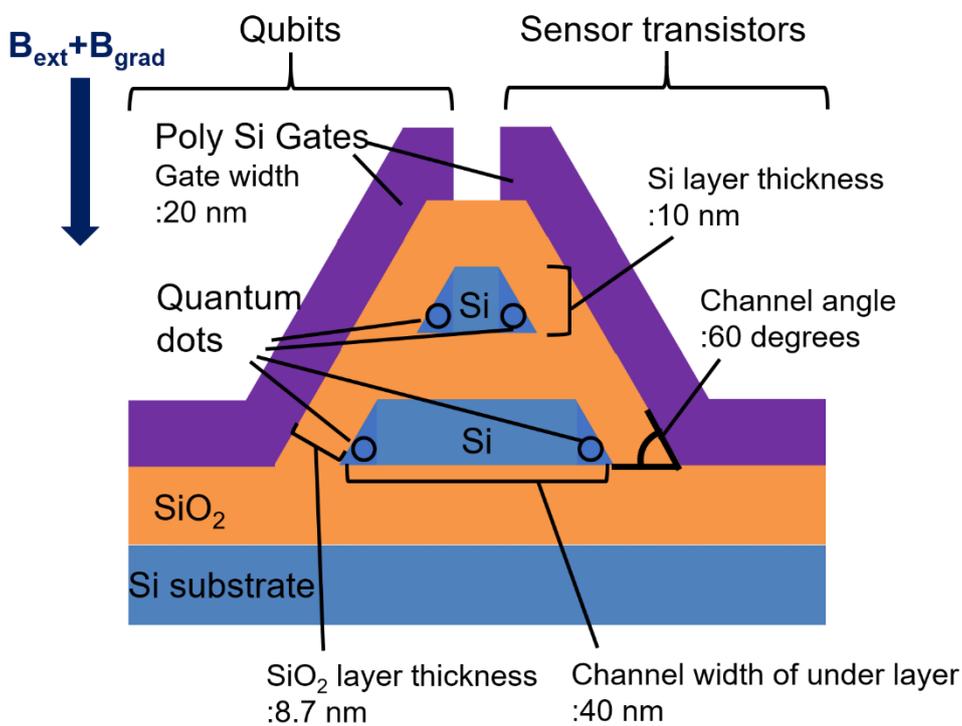
$$\mu = \frac{C_{g1}V_{g1}}{e} \quad (3-5)$$

式(3-3)で  $e$  は電荷素量 ( $\cong 1.69 \times 10^{-19} C$ )、 $G$  は電気伝導度、 $\hbar$  はディラック定数 ( $\cong 1.054 \times 10^{-34} J \cdot s$ )、 $\Gamma$ 、 $\Gamma_L$ 、 $\Gamma_R$  はそれぞれ量子線幅、 $\varepsilon_0$  は量子ドットの電気伝導に寄与するポテンシャル、 $C_{g1}$  はゲート電極とセンサトランジスタの量子ドット間の容量、 $V_{g1}$  はゲート電圧である。 $\varepsilon_0$  は200 mVとし、量子線幅の値は文献[78]を参考に  $\Gamma_L = 83.3 \mu V$ 、 $\Gamma_R = 426 \mu V$  と設定した。Fig. 3-7 にシミュレーションにより導出したセンサトランジスタの  $I_d$ - $V_g$  特性を示す。Fig. 3-7 で Top は上側チャネル層の量子ビットの量子状態、Bottom は下側チャネル層の量子ビットの量子状態である。シミュレーションより、Fig. 3-6 に示した積層

構造型シリコン量子ビットでセンサトランジスタのゲート電圧を掃引することで全ての量子状態が読み出せることが示された。



(a) Over view.



(b) Cross-section.

Fig. 3-6 Proposed silicon qubits with stacked structures. Two silicon channel layers and two gate electrodes are fabricated in the device.

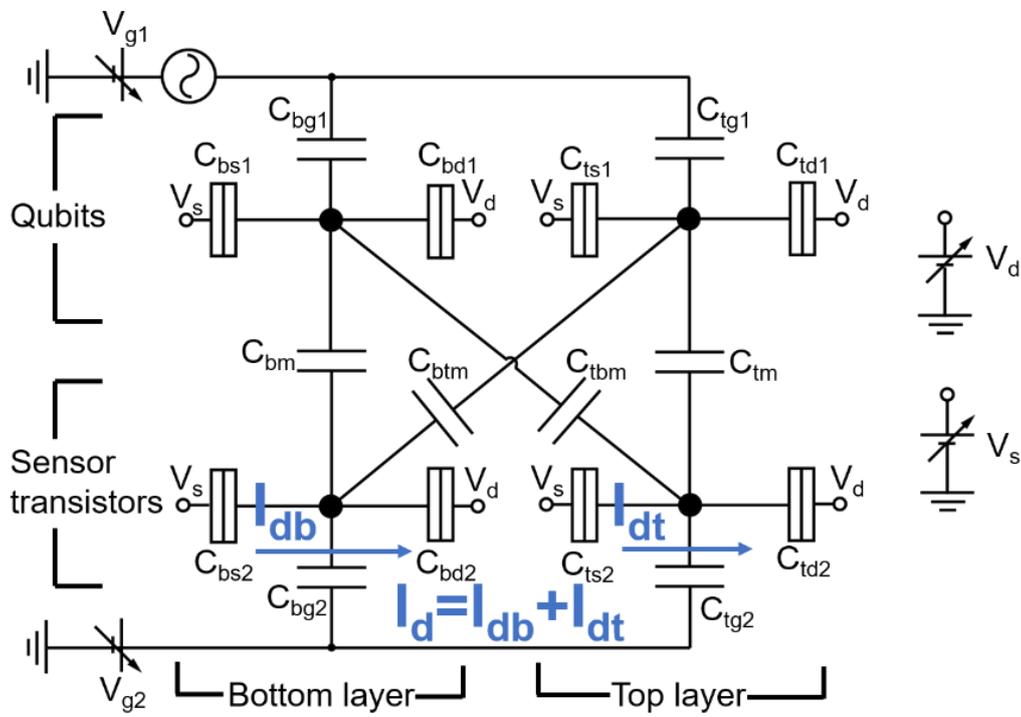


Fig. 3-7 The equivalent circuit of qubits and sensor transistors.

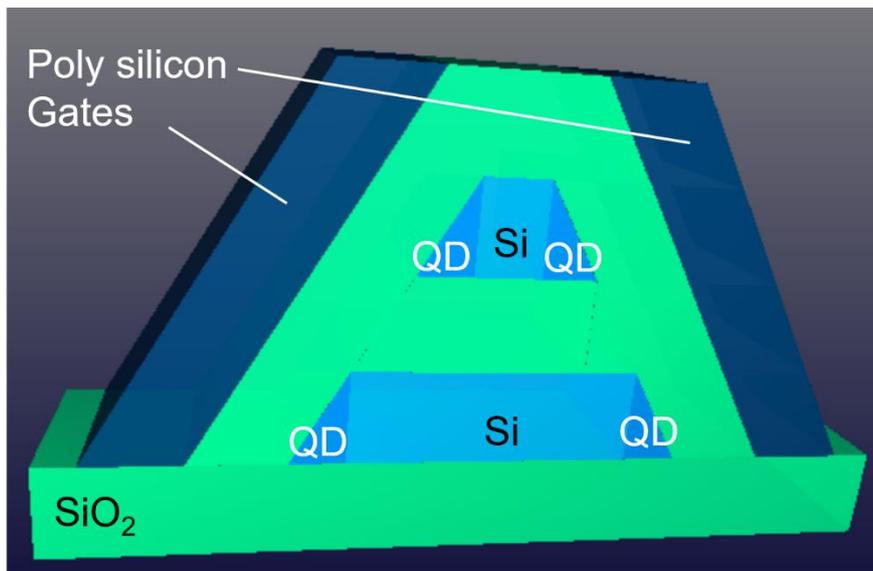


Fig. 3-8 2 silicon qubits with 2 gates and 2 Si channels modeled by FastCap2.

Table 3-1 Capacitance values of modeled 2 silicon qubits.

Elements	Capacitance values (aF)
$C_{bg2}$	3.67
$C_{tg2}$	4.55
$C_{bg1} + C_{bs1} + C_{bd1} + C_{bm} + C_{tbm}$	8.82
$C_{tg1} + C_{ts1} + C_{td1} + C_{tm} + C_{btm}$	11.4
$C_{bm}$	1.64
$C_{btm}$	2.88
$C_{tm}$	3.41
$C_{tbm}$	3.17

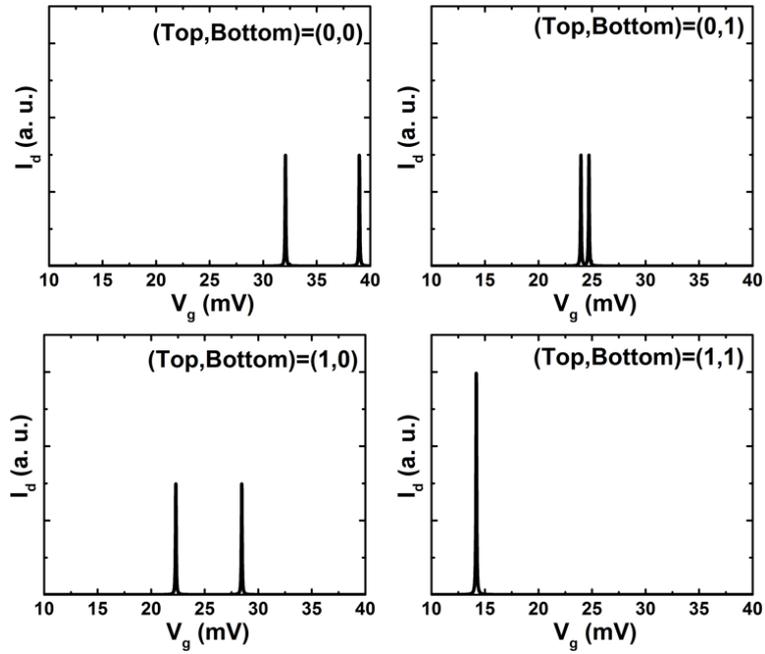


Fig. 3-7 The simulated  $I_d$ - $V_g$  characteristics of sensor transistors. “Top” is the quantum state of the top layer. “Bottom” is the quantum state of the bottom layer. 4  $I_d$ - $V_g$  characteristics correspond to four quantum states, respectively.

### 3-5-2 4 量子ビットの量子状態読み出し

4 量子ビットの量子状態読み出しシミュレーションを行った。Fig. 3-8 にデバイス構造図を示す。2 量子ビットのシミュレーションと同様、Fig. 3-6 で示す構造を並べることで 4 量子ビットを構成し、FastCap2 を用いてモデリングを行った。Fig. 3-9 にモデリング構造図を示す。ゲート電極間の間隔は 20 nm とした。FastCap2 上でシミュレーションを行い、8 つの量子ドット間それぞれの容量を抽出した。Fig. 3-10 に 4 量子ビットすなわち 8 量子ドット構造の等価回路を、Table 3-2 に抽出した容量を示す。Fig. 3-9 に示すように、1 つのセンサトランジスタには 4 つの量子ビットと容量を介して接続される。2 量子ビットと同様に、量子計算の結果、量子ビットに下向きスピンの電子が存在すると、容量を介してセンサトランジスタのポテンシャルを降下させる。Fig. 3-11 に量子状態(0,0,0,0)、すなわち全ての量子ビットに下向きスピンの電子が存在するときのセンサトランジスタの  $I_d$ - $V_g$  特性を示す。4 量子ビットのときは電流測定を 2 回行うことで量子状態を確定出来る。まず片方のセンサトランジスタのゲート電圧  $V_{Is}$  を固定し、 $V_{rs}$  を掃引する。クーロン振動ピークの位置を確認した後、 $V_{Is}$  の値を変えて同様の操作を行うことで量子状態読み出しの操作が完了する。

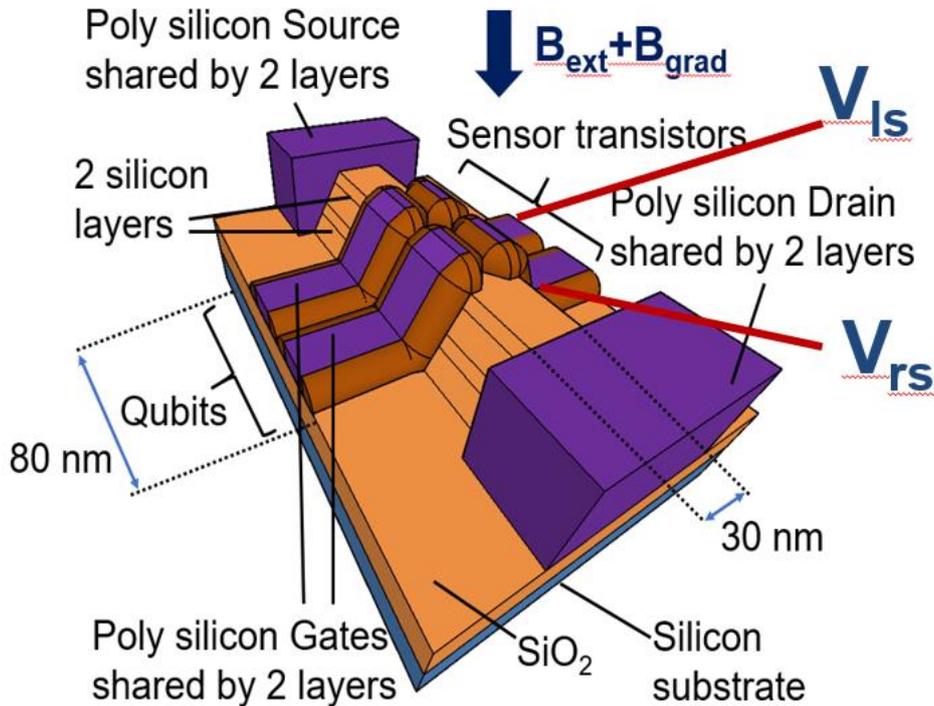


Fig. 3-8 4 silicon qubits.  $V_{Is}$  and  $V_{rs}$  are gate voltages of sensor transistors.

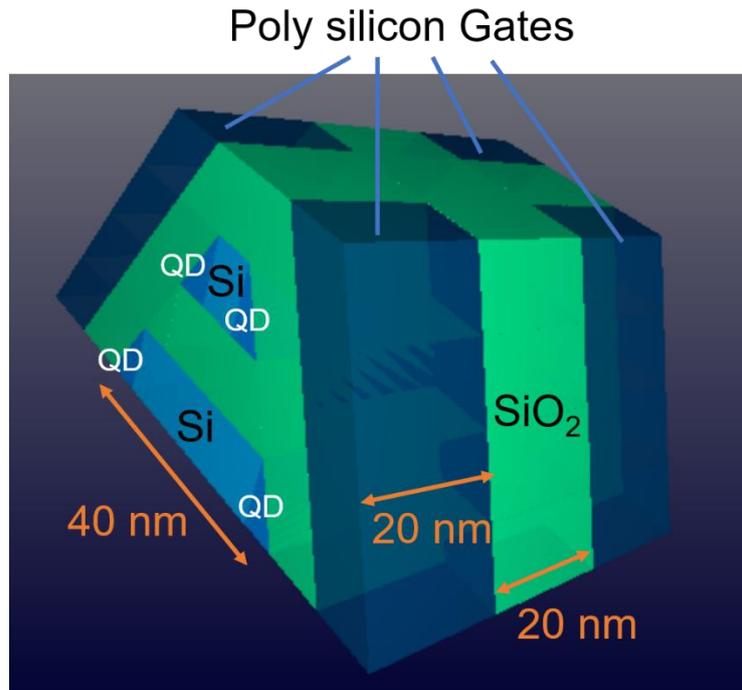


Fig. 3-9 4 silicon qubits with 4 gates and 2 Si channels modeled by FastCap2.

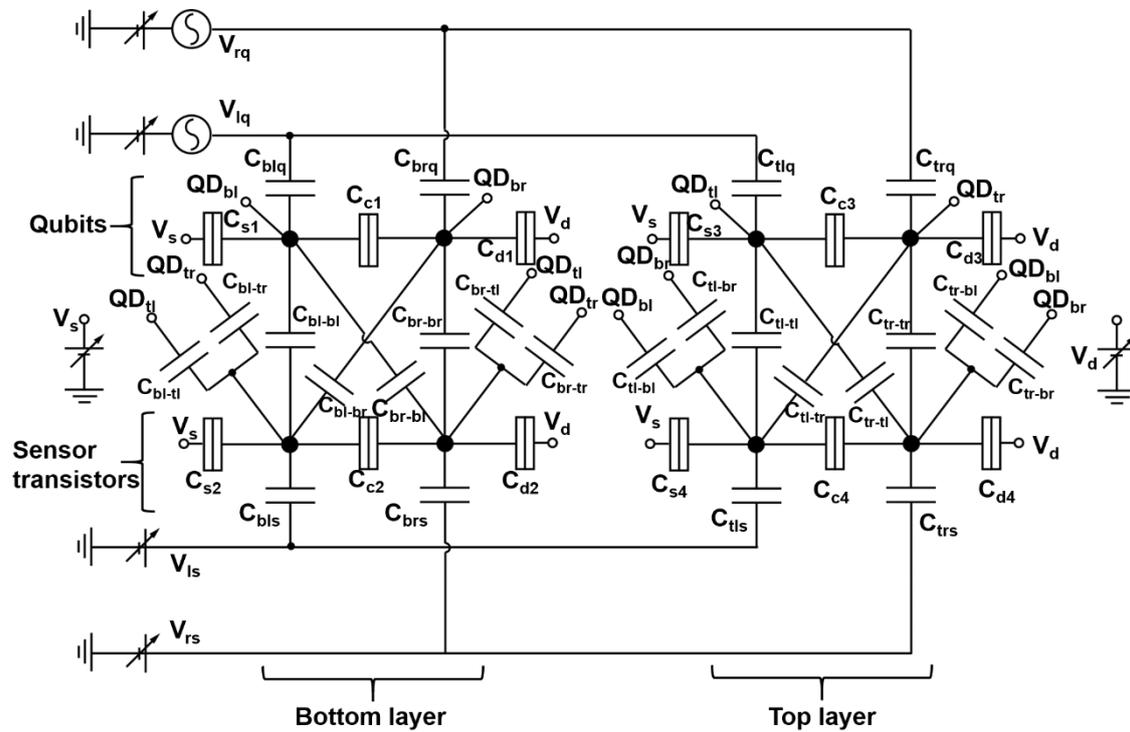


Fig. 3-10 The equivalent circuit of 4 qubits and sensor transistors.

Table 3-2 Capacitance values of modeled 4 silicon qubits.

Elements	Capacitance values (aF)
$C_{bl-bl}, C_{br-br}$	0.55
$C_{tl-tl}, C_{tr-tr}$	3.7
$C_{s1} + C_{blq} + C_{c1} + C_{bl-bl} + C_{br-bl} + C_{tl-bl} + C_{tr-bl}$	10.7
$C_{d1} + C_{brq} + C_{c1} + C_{br-br} + C_{bl-br} + C_{tl-br} + C_{tr-br}$	10.7
$C_{s3} + C_{tlq} + C_{c3} + C_{tl-tl} + C_{tr-tl} + C_{bl-tl} + C_{br-tl}$	12.3
$C_{d3} + C_{3rq} + C_{c3} + C_{tr-tr} + C_{tl-tr} + C_{bl-tr} + C_{br-tr}$	12.3
$C_{bl-br}, C_{br-bl}$	0.16
$C_{tl-tr}, C_{tr-tl}$	0.12
$C_{bl-tr}, C_{br-tl}, C_{tl-br}, C_{tr-bl}$	0.07
$C_{bl-tl}, C_{br-tr}, C_{tl-bl}, C_{tr-br}$	0.31
$C_{bls}, C_{blq}, C_{brs}, C_{brq}$	5.5
$C_{tls}, C_{tlq}, C_{trs}, C_{trq}$	4.90

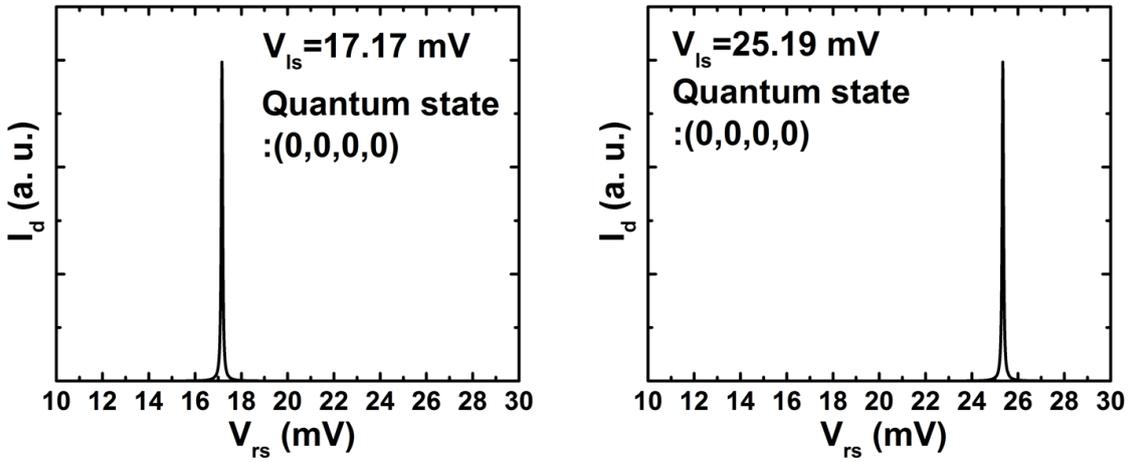


Fig. 3-11 The simulated  $I_d$ - $V_g$  characteristics of sensor transistors. Quantum states (0,0,0,0) can be read by sweeping the gate voltage 2 times.

### 3-6 積層構造型シリコン量子ビットの拡張性

2量子ビット、4量子ビットと同様にチャンネル層やゲート電極の数を増やしても提案する積層構造型シリコン量子ビットは同様に動作可能である。Fig. 3-12に4つのゲート電極及び4つのチャンネル層を有する構造を示す。Fig. 3-13(a)に示すように、ソース及びドレインのポテンシャルをゼーマン分裂した上向きスピンと下向きスピンのポテンシャルの中間に位置させれば、全ての量子ドットに順に下向き電子スピンが入ることが出来、初期化が完了する。傾斜磁場の印加により全ての量子ドットで磁場を変化させることにより、電子スピン共鳴の共鳴周波数を変化させ、スピンの選択的操作が出来る。量子状態の読み出し時も、初期化の際と同様にソース及びドレインのポテンシャルを変化させることで上向きスピンのみが量子ドットを通過してソースもしくはドレインに流れる。このとき通常、上向きスピンが下向きスピンの緩和する時間であるT1緩和時間よりも早くトンネリングを起こす。よってスピン操作の後、直ちに読み出しを行えば正しい読み出し結果が得られる。コバルト微小磁石の配置及びテーパーチャンネル構造の傾斜角度をそれぞれ調整することで提案する積層構造型シリコン量子ビットはチャンネル層の数およびゲート電極の数に応じて量子ビットの数を増やすことが出来、拡張性に優れている。

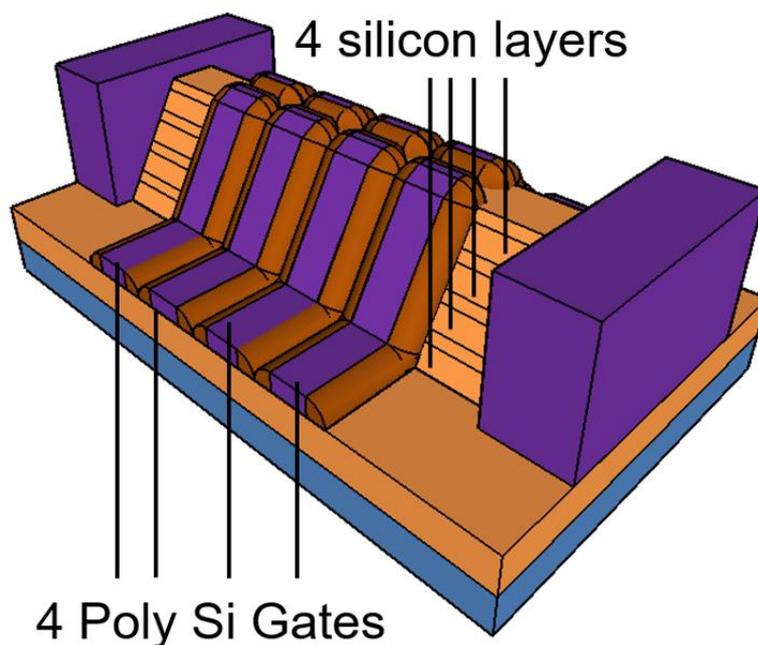
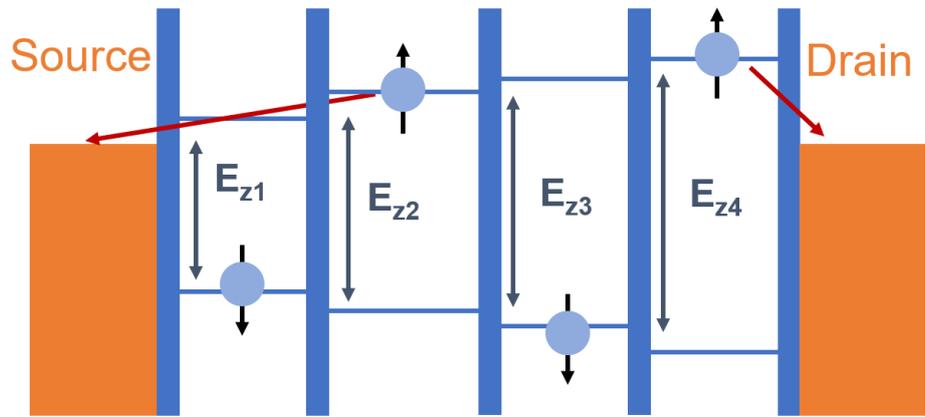
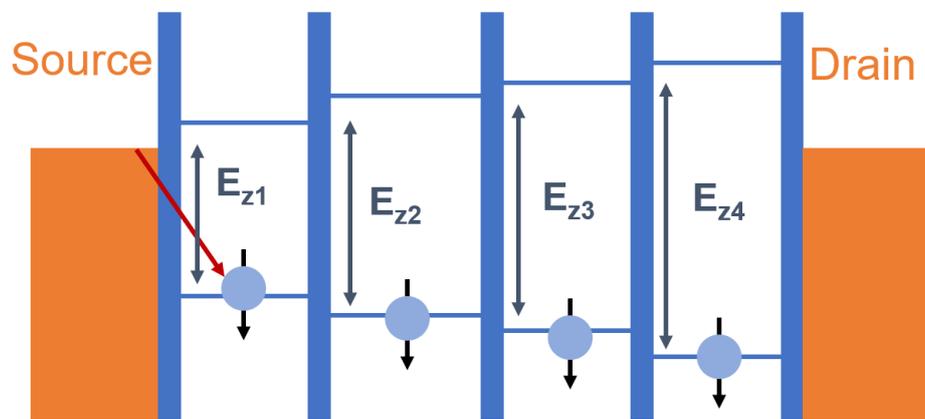


Fig. 3-12 The proposed silicon qubits with stacked structures consisting of 4 silicon layers and 4 poly Si gates.



(a) Initialization.



(b) Readout.

Fig. 3-13 The potential diagrams of 4 qubits.

### 3-7 試作のための電子線描画条件出し

提案する積層構造型シリコン量子ビットの試作のため電子線描画の条件出しを行った。Fig. 3-3 で示したプロセスフローの内、最も難度が高いのが Fig. 3-3(f)のゲート電極の作製である。ゲート電極は量子ドットの大きさを定義するため、極微細な線を EB リソグラフィを用いて作製する必要がある。ゲート電極の幅が大きいと、量子ドットの体積が大きくなり、量子ドットの容量 $C$ が大きくなることから、式(2-32)で示す帯電エネルギーが小さくなる。帯電エネルギーが量子ビットの動作温度の熱揺らぎよりも十分に大きくなければ、クーロンブロッケードが生ぜず、量子ビットとして動作することが出来ない。センサトランジスタも同様に、クーロンブロッケードが生じなければ量子状態の読み出しを行うことが出来ない。ゲート電極の幅だけでなく、ゲート電極間の距離も重要である。ゲート電極間の距離が大きいとトンネル電流が流れず、量子ビット及びセンサトランジスタが動作することが出来ない。ゲート電極間の距離が小さいと量子ドット間でトンネル障壁が生ぜず、量子ビット及びセンサトランジスタが動作出来ない。すなわち、量子ビットとセンサトランジスタを正常に動作させるためには、十分に小さい幅を持つ細線を適切な距離の間隔をおいて描画する必要がある。

EB リソグラフィに用いるレジストは Hydrogen Silsesquixane (HSQ)を用いた。HSQ はネガ型 EB レジスト材料であり、高解像度であることが知られている[79]。HSQ は無機ポリマーであり  $\text{HSiO}_{2/3}$  の繰り返し構造であるため、レジスト剥離にはフッ酸を用いる。そのため、CVD で堆積した Poly Si の上部に直接 HSQ を塗布し EB リソグラフィを行うと、エッチング後にフッ酸処理をしてレジスト剥離を行う際に Poly Si 下部のゲート酸化膜と共にゲート電極が剥離してしまう。チャンネル部の描画も同様に、単結晶 Si の上部に直接 HSQ を塗布し EB リソグラフィを行うとレジスト剥離のためのフッ酸処理によって Si 層下部の BOX 層である  $\text{SiO}_2$  を溶かしてしまう。すると Si チャンネル層が中空構造となり、そのままゲート電極の作製をすると Si 層下部に Poly Si が入り込み、異方性エッチングでは除去出来ないことから、2本のゲート電極が電氣的に絶縁出来ない。更に GAA 構造のゲート電極では交流磁場を印加出来ないという問題もある。

HSQ を用いた量子ビットの試作には HSQ を直接 Si や Poly Si に塗布するのではなく、窒化膜をマスクにすることが考えられる。窒化膜の上部に HSQ を塗布し、EB リソグラフィを用いて微細な構造をパターニングした後に、フッ酸処理をしてレジスト剥離を行う。窒化膜はフッ酸処理で溶けることがないため、上記で挙げた問題を回避することが出来る。

初めに Si 基板の上部に膜厚を変えた窒化膜を堆積させた基板と比較のために薄い Si 層を有する SOI 基板を用意し、EB リソグラフィを行った。用意した基板を Fig. 3-14 に示す。HSQ をメチルイソブチルケトン(Methyl isobutyl ketone; MIBK)と 1:2 の比率で MIBK が多くなるように混合溶液を作成し、基板に塗布した後、3000 rpm の回転数で 1 分間スピンドクターを使用し面内のレジスト膜厚を均一化した。

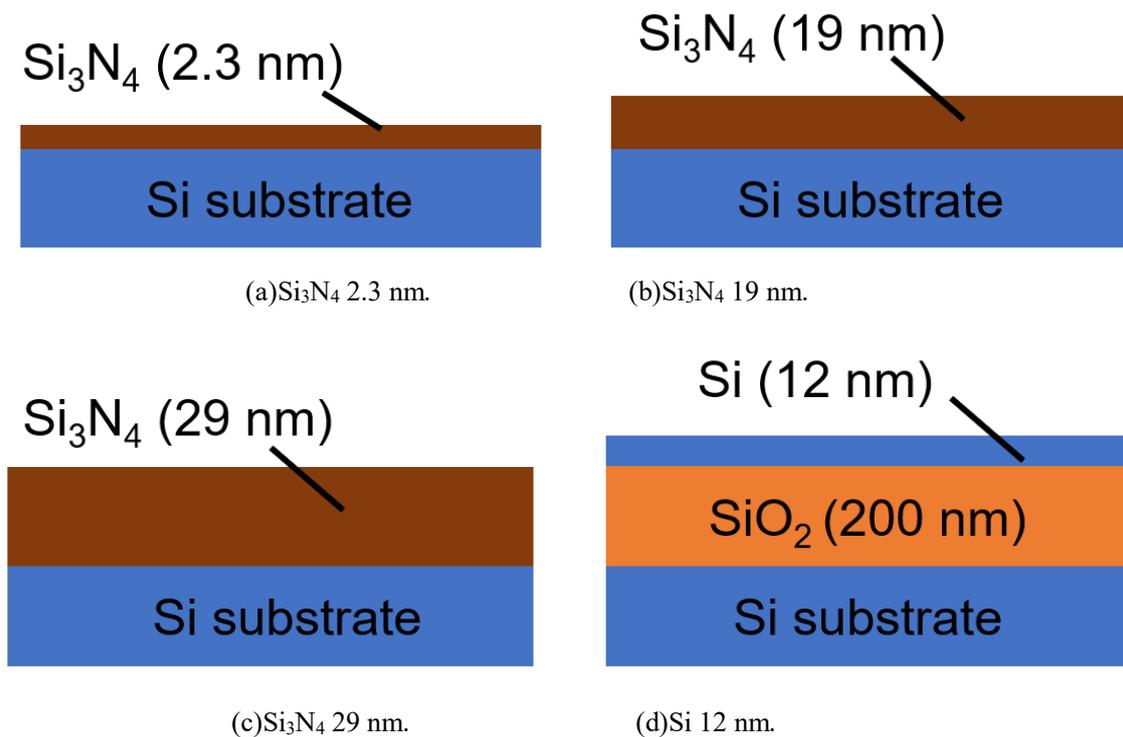


Fig. 3-14 Substrates for EB lithography for investigating the dependence on the thickness of the top layer.

その後、90°C下で2分間レジストをベイクした。電子線描画装置には日本電子社のJBX-6300FS(加速電圧100 kV)を用いた。幅が10 nmから50 nmの細線を5 nm刻みで存在するCADレイアウトを作成し、単位面積当たりの電子線の照射量であるドーズ量を2000  $\mu\text{C}/\text{cm}^2$ から6000  $\mu\text{C}/\text{cm}^2$ まで500  $\mu\text{C}/\text{cm}^2$ 刻みで変えてEBリソグラフィを行った。EBリソグラフィの後、水酸化テトラメチルアンモニウム(Tetramethylammonium hydroxide; TMAH)を用いて30秒基板を溶液に浸すことで現像を行った。現像後、レジスト剥離を行わず電子顕微鏡を用いて描画パターンを観察し、細線を測長した。

Fig. 3-15に測長結果を示す。Fig. 3-15でSi<sub>3</sub>N<sub>4</sub>が19 nmの基板はドーズ量3500  $\mu\text{C}/\text{cm}^2$ のパターンを、他のパターンはドーズ量3000  $\mu\text{C}/\text{cm}^2$ のパターンを観察した。Fig. 3-10より10 nmの幅は全ての基板で描画することが出来ず、およそ50 nmでレイアウトの幅と近い値で描画出来ていることがわかる。更に最上部の膜厚が薄い基板が、よりレイアウトに近い幅で描画出来ている。これは最上部の膜厚が薄いほど電子線の後方散乱による影響が小さくなるためと考えられる。よってEBリソグラフィを用いてゲート電極やチャネルを描画する際、可能な限り薄い窒化膜のマスクを用いると良いことが示された。

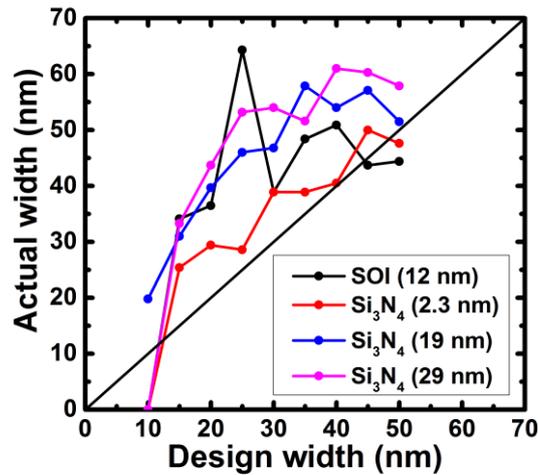


Fig. 3-15 The results of EB lithography.

次に EB リソグラフィにおける描画結果の基板構造による依存性を調べるため、Fig. 3-16 で示す基板を用意した。Fig. 3-14 で示した基板も合わせて 7 枚の基板に 20 nm と 30 nm の幅を持つ細線を描画し、現像後レジスト剥離を行わずに電子顕微鏡を用いてパターンを観察、測長し比較を行った。Table 3-2 に測長結果を示す。Table 3-2 より、最もレイアウトにパターンが描画出来たのは Fig. 3-16 (c) に示す基板である。Fig. 3-17 に設計値 20 nm の細線の SEM 観察結果、Fig. 3-18 に設計値 30 nm の細線の SEM 観察結果を示す。Fig. 3-17 及び Fig. 3-18 より設計値 20 nm のときは 24.6 nm、設計値 30 nm のときは 33.3 nm の幅を持つ細線が描画されていることを確認した。これは多層構造であるため、層の界面で電子線の後方散乱が抑制されたためと考えられる。Fig. 3-19 に Fig. 3-16 (c) に示す基板で 20 nm の細線を 50 nm の間隔でレイアウトした 2 本の細線の SEM 観察結果を示す。Fig. 3-19 より実際には 30 nm の間隔で 2 本の細線が描画出来ていることが確認できる。この値は Fig. 2-18 に示すシリコン量子ビットの細線間隔とほぼ同一であり、トンネル障壁部の長さとして適切であると考えられる。よって電子線描画条件出しの結果、Fig. 3-16 (c) に示す構造を用いることで量子ビットの作製に用いるゲート電極が作製可能であることが示された。

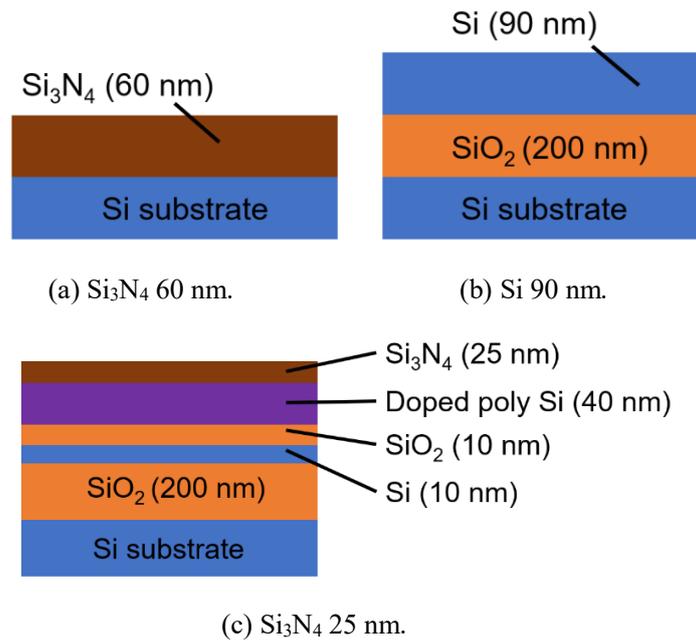


Fig. 3-16 Substrates for EB lithography for investigating the dependence on the structures.

Table 3-3 (a) Measurement results. Design width: 20 nm.

The top layer of the substrate	Actual width (nm)
$\text{Si}_3\text{N}_4$ 2.3 nm	29.4
$\text{Si}_3\text{N}_4$ 19 nm	39.7
$\text{Si}_3\text{N}_4$ 29 nm	43.7
Si 12 nm	36.5
$\text{Si}_3\text{N}_4$ 60 nm	35.2
Si 90 nm	42.1
$\text{Si}_3\text{N}_4$ 25 nm	<b><u>24.6</u></b>

Table 3-3 (b) Measurement results. Design width: 30 nm.

The top layer of the substrate	Actual width (nm)
$\text{Si}_3\text{N}_4$ 2.3 nm	38.9
$\text{Si}_3\text{N}_4$ 19 nm	46.8
$\text{Si}_3\text{N}_4$ 29 nm	54.0
Si 12 nm	38.9
$\text{Si}_3\text{N}_4$ 60 nm	38.9
Si 90 nm	48.4
$\text{Si}_3\text{N}_4$ 25 nm	<b><u>33.3</u></b>

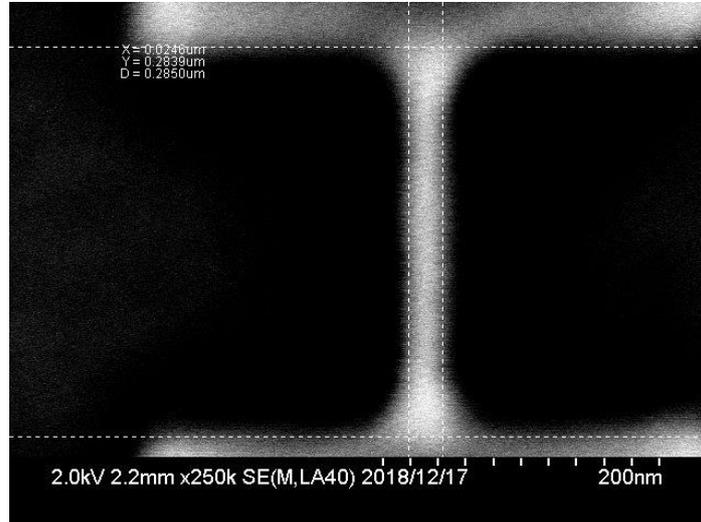


Fig. 3-17 The narrow EB resist line on the  $\text{Si}_3\text{N}_4$  layer. The thickness is 25 nm.

Actual lengths are  $L=284$  nm,  $W =24.6$  nm.

Design lengths are  $L=200$  nm,  $W=20.0$  nm.

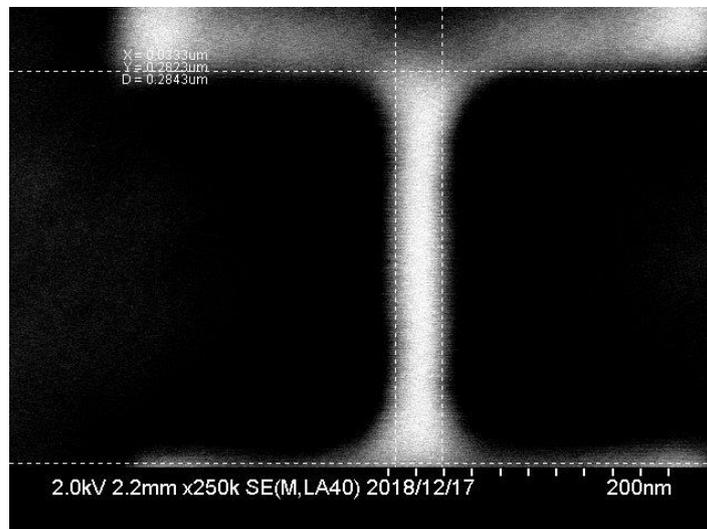


Fig. 3-18 The narrow EB resist line on the  $\text{Si}_3\text{N}_4$  layer. The thickness is 25 nm.

Actual lengths are  $L=282$  nm,  $W =33.3$  nm.

Design lengths are  $L=200$  nm,  $W=30.0$  nm.

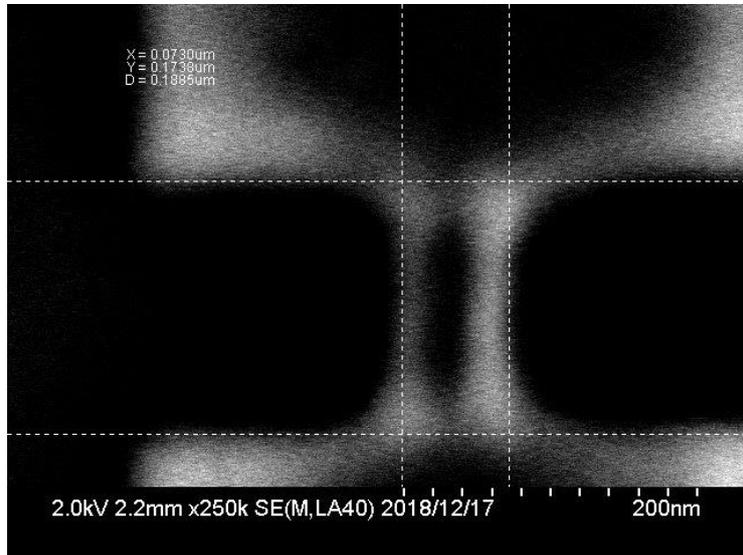


Fig. 3-19 The narrow two EB resist lines on the Si<sub>3</sub>N<sub>4</sub> layer. The thickness is 25 nm.  
Actual space is 30 nm. Design space is 50 nm.

## 4 章 FD-SOI の低温測定

### 4-1 低温下における FD-SOI の理論特性

FD-SOI を低温下で測定すると以下のような特性を示す。

(i) 閾値電圧の増加

FD-SOI トランジスタの閾値電圧は式(4-1)で与えられる。

$$V_{th} = -\frac{E_g}{2q} + \varphi_B + \frac{qN_a t_{si}}{C_{ox}} \quad (4-1)$$

式(1)を温度 $T$ で微分すると以下の式(4-2)が与えられる。

$$\frac{dV_{th}}{dT} = -\frac{1}{2q} \frac{dE_g}{dT} + \frac{d\varphi_B}{dT} \quad (4-2)$$

$d\varphi_B/dT$  は真性キャリア濃度 $n_i$ の温度依存性に由来することより、式(4-3)、式(4-4)を用いて式(4-5)で与えられる。

$$\varphi_B = \frac{2kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (4-3)$$

$$n_i = \sqrt{N_c N_v} e^{-E_g/2kT} \quad (4-4)$$

$$\begin{aligned} \frac{d\varphi_B}{dT} &= \frac{d}{dT} \left[ \frac{kT}{q} \ln\left(\frac{N_a}{\sqrt{N_c N_v} e^{-E_g/2kT}}\right) \right] \\ &= -\frac{k}{q} \ln\left(\frac{\sqrt{N_c N_v}}{N_a}\right) - \frac{kT}{q\sqrt{N_c N_v}} \frac{d\sqrt{N_c N_v}}{dT} + \frac{1}{2q} \frac{dE_g}{dT} \end{aligned} \quad (4-5)$$

伝導帯の実効状態密度  $N_c$  及び価電子帯の実効状態密度  $N_v$  は共に  $T^{3/2}$  に比例することより

$$\frac{d(N_c N_v)^{\frac{1}{2}}}{dT} = \frac{3}{2} \frac{\sqrt{N_c N_v}}{T} \quad (4-6)$$

式(4-5)と式(4-6)を用いると以下の式(4-7)が得られる。

$$\frac{dV_{th}}{dT} = -\frac{k}{q} \left[ \ln\left(\frac{\sqrt{N_c N_v}}{N_a}\right) + \frac{3}{2} \right] \quad (4-7)$$

式(4-7)は常に負であるため、FD-SOI トランジスタの閾値電圧 $V_{th}$ は温度 $T$ の減少と共に高くなる。

(ii) S 値の減少

S 値とは Fig. 4-1 に示すように閾値電圧付近の  $I_d$ - $V_g$  曲線の傾きに相当し、式(4-8)で定義される。S 値が低くなると待機時のオフ電流が軽減されると共に、動作時のオン電流が増加し MOSFET のスイッチング速度が向上する。すなわち S 値は MOSFET の動作特性を考える上で重要なパラメータである。

$$S = \frac{\partial V_g}{\partial \log I_d} \quad (4-8)$$

SOI トランジスタの S 値の式(4-9)から、低温下で S 値が減少する。

$$S = \ln(10) \frac{kT}{q} \left[ 1 + \frac{1}{C_{ox}} \left( \frac{C_{BOX} C_{SOI}}{C_{BOX} + C_{SOI}} \right) \right] \quad (4-9)$$

### (iii) 移動度の増加

トランジスタにチャネルを流れるキャリアの移動度はキャリアの散乱が減少すると増加する。キャリアの散乱には主に格子振動によるフォノン散乱、界面のラフネスによる界面ラフネス散乱、ドナーイオン、アクセプタイオン、界面準位などに存在する荷電散乱によるクーロン散乱などがある。

クーロン散乱に起因する移動度  $\mu_{Coulomb}$  は基板不純物密度  $N_{sub}$  に逆比例し、反転層キャリア密度  $N_{inv}$  に比例することが知られており、以下の式(4-10)の比例関係が存在する。

$$\mu_{Coulomb} \propto N_{sub}^{-1} \cdot N_{inv}^{+1} \quad (4-10)$$

フォノン散乱に起因する移動度  $\mu_{phonon}$  は実効電界  $\epsilon_{eff}$  の-1/3 乗に比例し、温度 T の-1.25 乗に比例することが知られており、以下の式(4-11)の比例関係が存在する。

$$\mu_{phonon} \propto \epsilon_{eff}^{-\frac{1}{3}} \cdot T^{-1.25} \quad (4-11)$$

界面ラフネス散乱に起因する移動度  $\mu_{roughness}$  は特に電子の場合は実効電界  $\epsilon_{eff}$  の-2 乗に比例することが知られており、以下の式(4-12)の比例関係が存在する。

$$\mu_{roughness} \propto \epsilon_{eff}^{-2} \quad (4-12)$$

実際の移動度は上で示した 3 つの移動度を用いてマティセン測と呼ばれる以下の式(4-13)で与えられる。

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{Coulomb}} + \frac{1}{\mu_{phonon}} + \frac{1}{\mu_{roughness}} \quad (4-13)$$

低温下ではフォノン散乱が減少するため移動度が増加する。実際の移動度  $\mu_{eff}$  は  $T^{-3/2}$  に比例することが知られている。

### (iv) インパクトイオン化率の増加

インパクトイオン化とは高電界中で大きなエネルギーを得た伝導体の電子が価電子帯の電子に衝突し、価電子帯の電子が伝導体に持ち上げられることで電子・正孔対が生じる現象のことである。低温下では格子散乱の減少により、キャリアがより高いエネルギーを持つため、インパクトイオン化率が増加する。トランジスタの  $I_d$ - $V_d$  特性を低温下で測定すると、高いドレイン電圧領域においてインパクトイオン化による kink が見られることがある[80]。

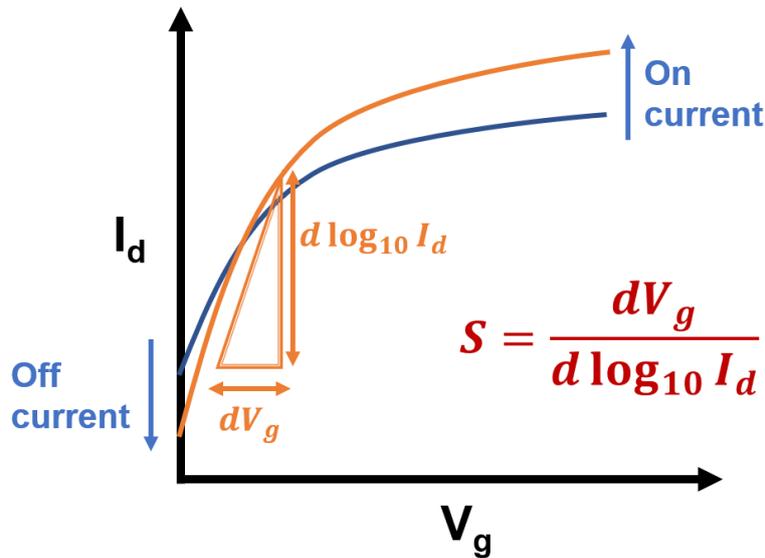
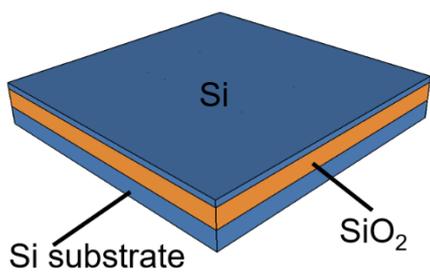


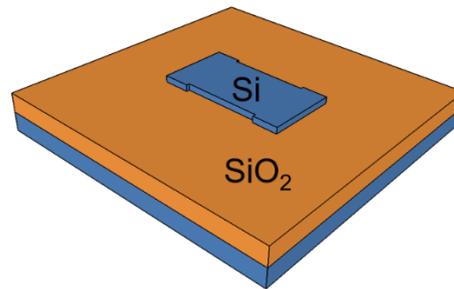
Fig. 4-1 The definition of S-factor. Decreasing s-factor causes decreasing off current and increasing on current.

#### 4-2 FD-SOI の試作

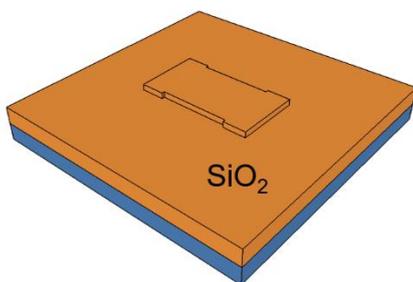
CMOS 古典制御回路に用いる FD-SOI トランジスタの低温下の特性を調べるため、FD-SOI トランジスタの試作を行った。Fig. 4-2 に FD-SOI のプロセスフロー、Fig. 4-3 に CAD レイアウトを示す。Fig. 4-2 (a) で示すように通常の SOI 基板を用意する。RCA 洗浄を行い、Si 表面を清浄化した後、マスク酸化を行い Si 表面を保護する。位置合わせのためのマークを BOX 層下の Si 基板に作製した後、Fig. 4-2 (b) で示すように Mesa と呼ばれるトランジスタが作製される領域が形成される。次に熱酸化を行いゲート酸化膜を形成した後、CVD を用いて Poly Si を堆積、リソグラフィ、エッチングを行ってゲート電極を作製する。イオン注入を行い、セルフアラインでソース・ドレイン部を作製した後に窒素アニールを行い再度 Si を結晶化させる。同様に界面準位を減らすために水素アニールを行い界面のダングリングボンドを水素終端する。その後、Fig. 4-2 (e) で示すように保護酸化膜を堆積させ、フッ酸処理によりコンタクトホールを作製し、最後に Al を Sputtering 及びエッチングを行って配線層を作製した。詳細なプロセス条件は付録に示す。完成後のデバイス断面図を Fig. 4-5 に示す。BOX 層の厚さは 200 nm であり、Si 層の厚さは 85 nm である。作製した FD-SOI のサンプルをプローバーによる測定で正常動作を確認した後、スクライバーを用いてサンプル表面に傷を付け、テフロンピンセットで押し割ることで 3 mm 角にへき開した。へき開の後、液体ヘリウムを用いた低温測定のためにサンプルホルダーに Ag ペーストで貼り付けた後に、ワイヤーボンディングを行った。Fig. 4-5 にへき開後のサンプルとサンプルホルダーを示す。



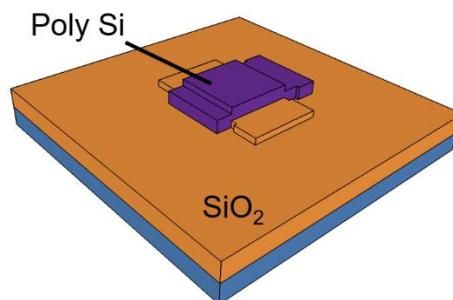
(a) SOI substrate.



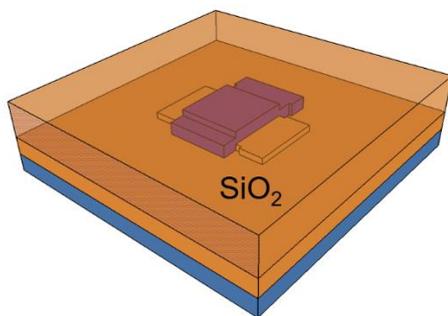
(b) Mesa etching.



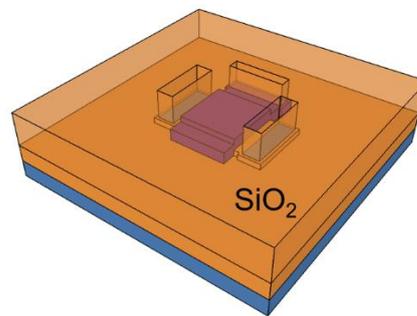
(c) Gate oxide formation.



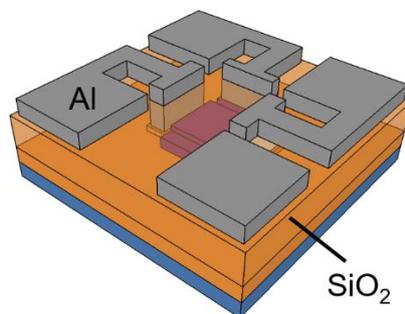
(d) Poly Si deposition and etching.



(e) Protected oxide film deposition.

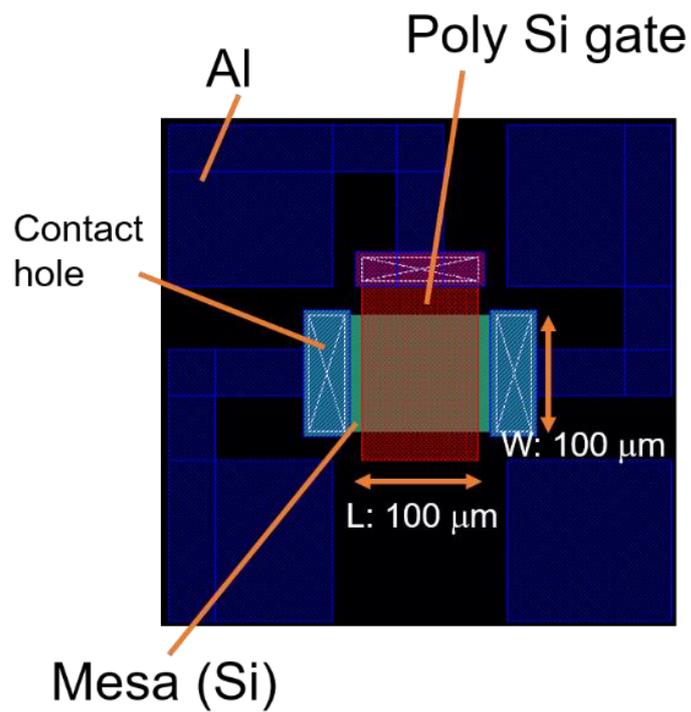


(f) Contact hole formation.

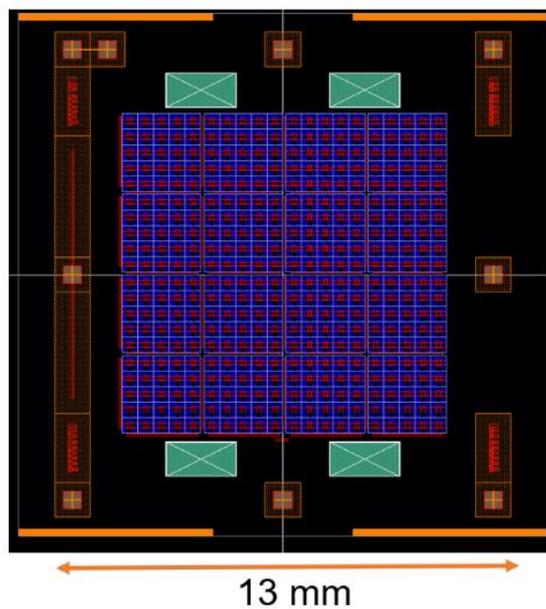


(g) Al spattering and etching.

Fig. 4-2 Process flow of fabricated FD-SOI.



(a) CAD layout of the transistor. Channel width and Channel length are 100  $\mu\text{m}$ .



(b) All view of CAD layout.

Fig. 4-3 CAD layout of the fabricated FD-SOI.

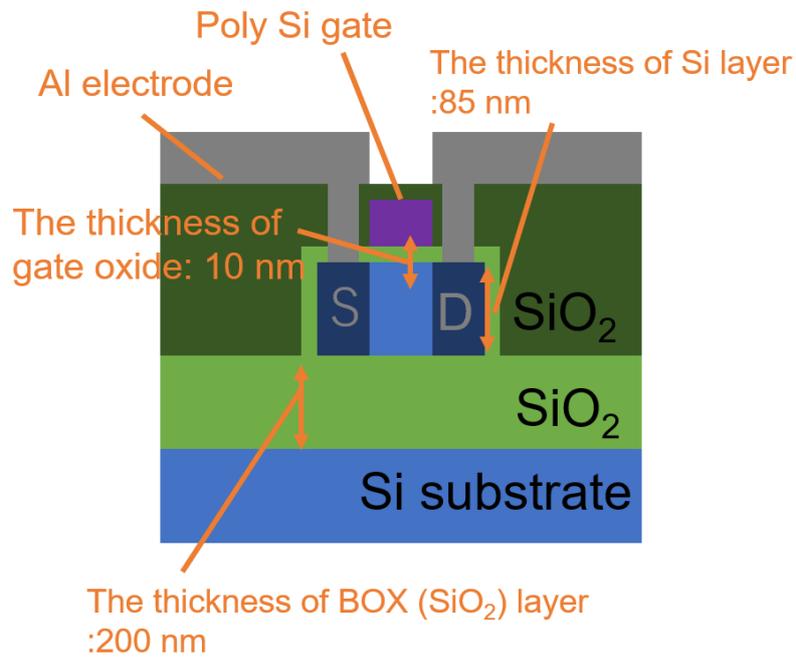


Fig. 4-4 Cross-section of fabricated FD-SOI. The thickness of BOX layer is 200nm. The thickness of Si layer is 85 nm. The thickness of gate oxide is 10 nm.

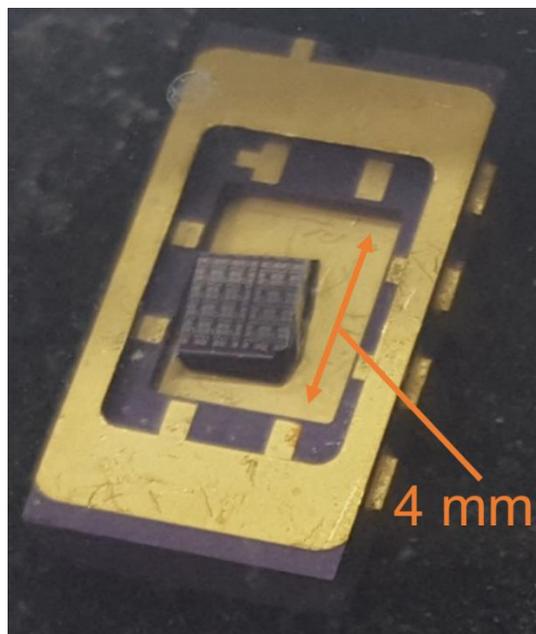
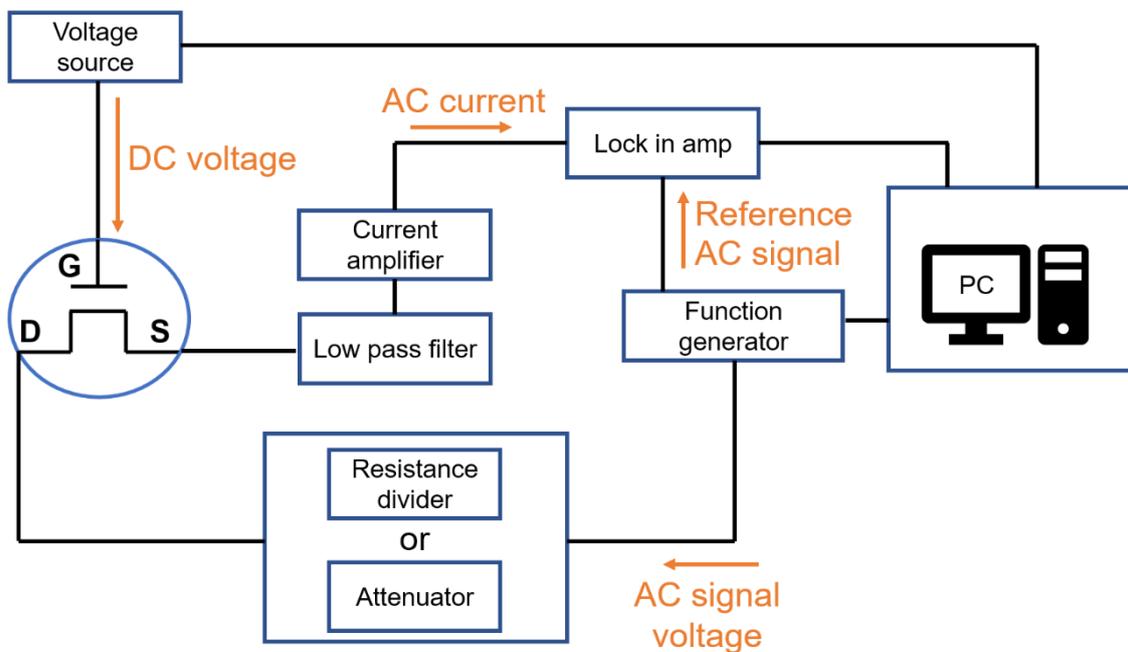


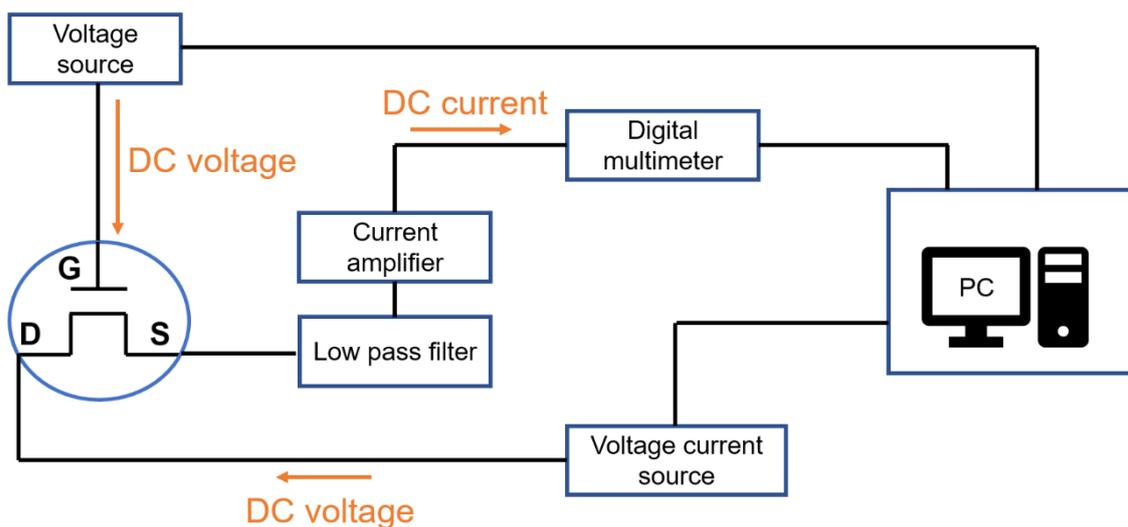
Fig. 4-5 Sample and sample folder.

### 4-3 測定手法

ロックインアンプを用いた交流測定の測定系を Fig. 4-6(a)、直流電圧源を用いた直流測定の測定系を Fig. 4-4(6)に示す。低温下での測定の際にはプローバーにサンプルを取り付け、4.2 K の液体ヘリウム下で測定を行った。Table 4-1 に測定に用いた測定器を示す。



(a) AC measurement diagram.



(b) DC measurement diagram.

Fig.4-6 Schematic of measurement equipment.

Table 4-1 Measurement equipment.

Measurement equipment	Company, name
Lock in amp	Stanford Research Systems, SR830
Voltage source	Tektronix, KEITHLEY 2400 Source meter
Function generator	Tektronix, AFG3102
Current amplifier	DL Instruments, MODEL 1211 CURRENT PREAMPLIFIER
Digital multimeter	KEYSIGHT TECHNOLOGIES, 34410A Digital multimeter 6 1/2
Voltage current source	YOKOGAWA, GS200

## 4-4 測定結果

### 4-4-1 交流測定による S 値の比較

ロックインアンプを用いた交流測定で  $I_d$ - $V_g$  測定を行い、S 値の導出を行った。ロックインアンプを用いることで低電圧でもノイズのない電流が測定出来る。 $I_d$ - $V_g$  特性の測定結果を Fig. 4-7 に示す。ドレイン電圧は  $100 \mu\text{V}$  である。Fig. 4-7 から低温下では閾値電圧が増加し、S 値が減少することがわかる。S 値は  $300 \text{ K}$  では  $68.7 \text{ mV/dec.}$  であるのに対し、 $4.2 \text{ L}$  では  $23.6 \text{ mV/dec.}$  であった。S 値から式(4-15)に示すボディ係数  $n$  を求めると室温では  $1.15$ 、低温では  $28.3$  となった。S 値の温度依存性を Fig. 4-8 に、ボディ係数  $n$  の温度依存性を Fig. 4-9 に示す。式(4-14)を用いると低温下では界面トラップ電荷密度の増加に伴い、ボディ係数が増加したため、S 値がボディ係数を一定したときよりも増加していることが可能性があることがわかった。S 値とボディ係数の値は先行研究[56]である Fig. 1-5 の結果と概ね一致している。

$$S = \ln(10) \frac{kT}{q} \left[ \frac{(C_{si} + C_{ox} + C_{it})}{C_{ox}} - \frac{C_{si}^2}{C_{ox}(C_{si} + C_{box} + C_{it})} \right] \quad (4-14)$$

$$n = \left[ \frac{(C_{si} + C_{ox} + C_{it})}{C_{ox}} - \frac{C_{si}^2}{C_{ox}(C_{si} + C_{box} + C_{it})} \right] \quad (4-15)$$

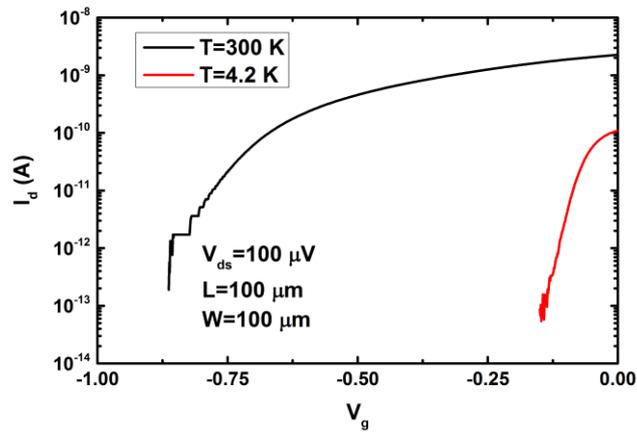


Fig. 4-7  $I_d$   $V_g$  characterization. Red line is measured at  $T=4.2$  K and  $V_d=100$   $\mu$ V. Black line is measured at  $T=300$  K and  $V_d=100$   $\mu$ V.

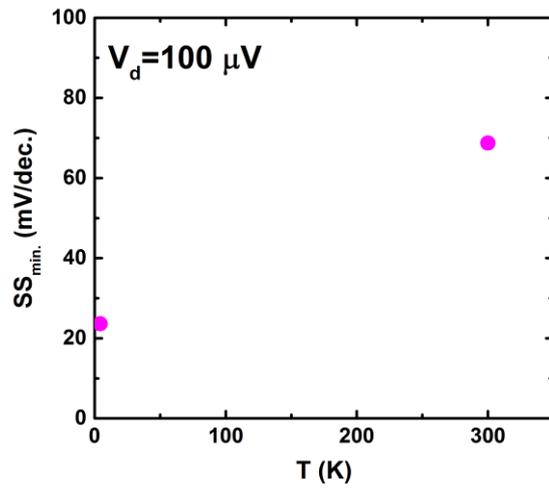


Fig. 4-8  $SS_{min}$  dependence on temperature at  $V_d=100$   $\mu$ V.

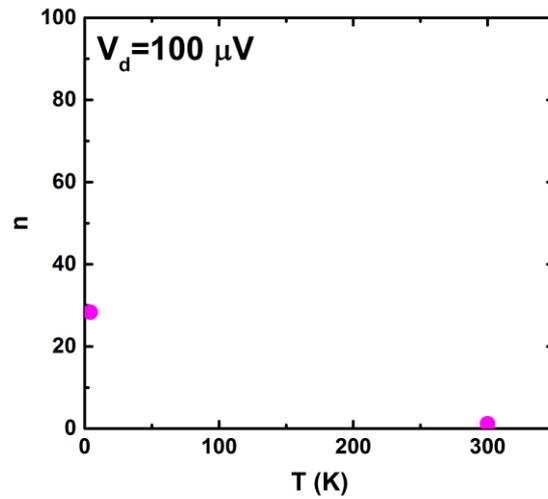


Fig. 4-9 Body factor  $n$  dependence on temperature at  $V_d=100$   $\mu$ V.

#### 4-4-2 直流測定による S 値の比較

直流測定により、300 K と 4.2 K で S 値の比較を行った。I<sub>d</sub>-V<sub>g</sub> 特性の測定結果を Fig. 4-10 に示す。ドレイン電圧は 1 mV である。ドレイン電流が 1 nA 流れるゲート電圧の値を閾値電圧 V<sub>thc</sub> と定義すると、300 K では閾値電圧 V<sub>thc</sub> は -1.28V、4.2 K では -0.19V となり、閾値電圧 V<sub>thc</sub> が 1.09 V 増加することを確認した。Fig. 4-11 に S 値の温度依存性を、Fig. 4-12 にボディ係数 n の温度依存性を示す。S 値はノイズの影響を除去するため、300 K のときは V<sub>g</sub> が -1.4V よりも大きい領域、4.2 K のときは V<sub>g</sub> が -0.3V よりも大きい領域で S 値の最小値を求め、その値を SS<sub>min</sub> と定義した。Fig. 4-11 より S 値は 300 K のとき、73.0 mV/dec.、4.2 K のときは 29.3 mV、ボディ係数 n は 300 K のときは 1.23、4.2 K のときは 35.1 となった。ロックインアンプを用いた交流測定と比較すると、交流測定の方がより低い電流値まで測定をすることが出来る。一方、S 値やボディ係数 n はドレイン電圧の値は異なるが、ほぼ同一となった。

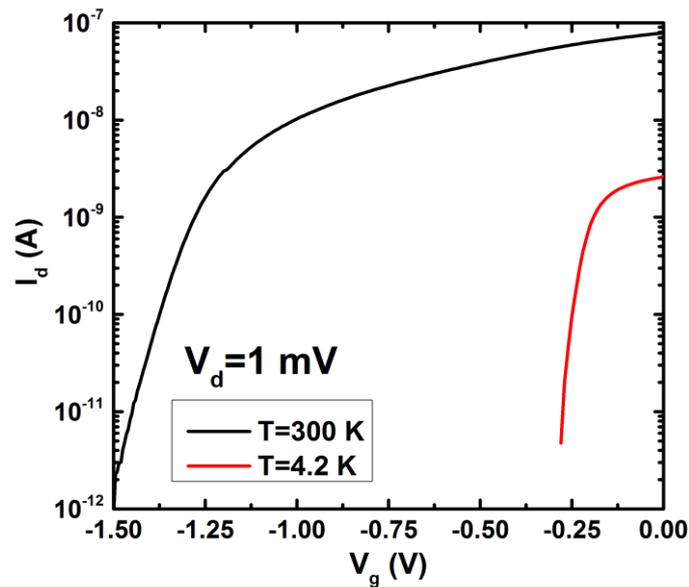


Fig. 4-10 I<sub>d</sub> V<sub>g</sub> characterization. Red line is measured at T=4.2 K and V<sub>d</sub>=1 mV. Black line is measured at T=300 K and V<sub>d</sub>=1 mV.

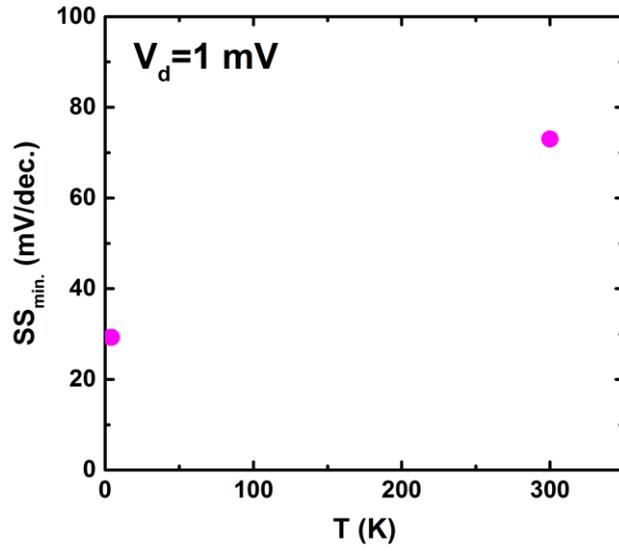


Fig. 4-11  $SS_{min}$  dependence on temperature at  $V_d=1$  mV.

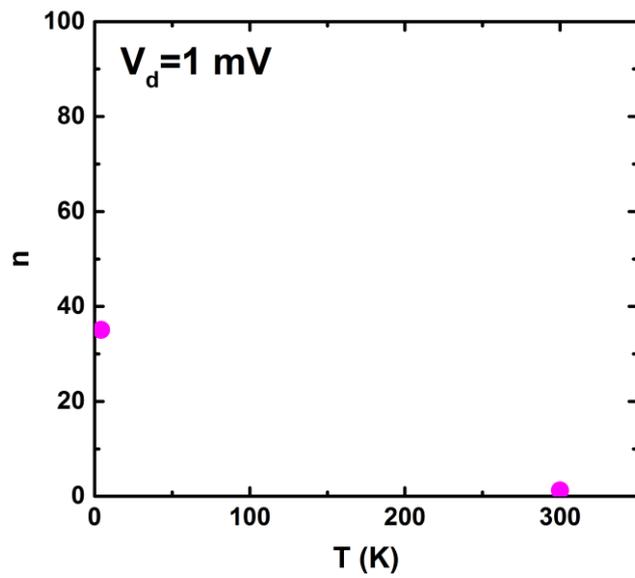


Fig. 4-12 Body factor  $n$  dependence on temperature at  $V_d=1$  mV.

### 4-4-3 S 値のドレイン電圧依存性

S 値のドレイン電圧依存性を調べるために  $I_d$ - $V_g$  特性の直流測定を行った。Fig. 4-13 に室温での測定結果を、Fig. 4-14 に 4.2 K での測定結果を示す。室温、低温での測定それぞれにおいて S 値の最小値である  $S_{min}$  を定義し、ドレイン電圧依存性を調べた。Fig. 4-13 に室温での S 値のドレイン電圧依存性を、Fig. 4-14 に低温での S 値のドレイン電圧依存性を示す。S 値は 300 K のときは  $V_g$  が -1.4V よりも大きい領域での S 値の最小値、4.2 K のときは  $V_g$  が -0.3 V よりも大きい領域での S 値の最小値を  $SS_{min}$  と定義して比較した。

Fig. 4-13 より、室温では室温の熱揺らぎよりも大きい 50 mV よりも大きいドレイン電圧を印加すると拡散電流が変化しないことがわかる。一方、Fig. 4-14 より 4.2 K のときは熱揺らぎの 0.36 mV よりも大きいドレイン電圧を印加するとドレイン電圧に比例して電流値が増加していることがわかる。通常、サブスレッショルド電流の式は以下の式(4-16)で表せられる。ただし式(4-16)は Bulk トランジスタのサブスレッショルド電流である。

$$I_d = \mu_{eff} \cdot \frac{W}{L} \cdot \sqrt{\frac{\epsilon_{si}\epsilon_0 q N_a}{4\phi_B}} \left(\frac{kT}{q}\right)^2 \cdot e^{q(V_g - V_t)/mkT} (1 - e^{-qV_d/kT}) \quad (4-16)$$

式(4-16)より、ドレイン電圧が  $kT$  よりも小さいとき、サブスレッショルド電流はドレイン電圧に対して指数関数的に変化する。一方、ドレイン電圧が十分  $kT$  よりも大きいときは最右辺の項が 1 と近似出来るためサブスレッショルド電流は変化しない。4.2 K のときに熱揺らぎの 0.36 mV より大きい領域でもサブスレッショルド電流が増えているのは低いゲート電圧でドリフト電流が流れている可能性がある。

Fig. 4-15 に 300 K での S 値のドレイン電圧依存性を、Fig. 4-16 に 4.2 K での S 値のドレイン電圧依存性を示す。Fig. 4-15 より 300 K では S 値はドレイン電圧にほとんど依存しない。一方、Fig. 4-16 より 4.2 K では S 値はドレイン電圧が 200 mV のときに最も高い 52.3 mV/dec. を示したあと、ドレイン電圧の減少と共に緩やかに減少し、1 mV を下回る領域で飽和することがわかる。通常 S 値はボディ係数  $n$  によって変化するが、ドレイン電圧には依存しない。

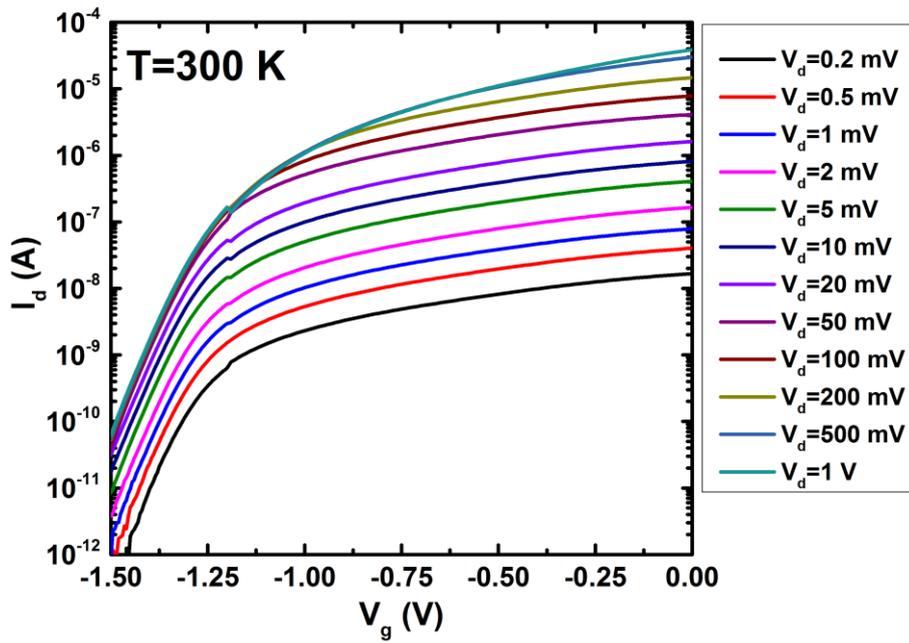
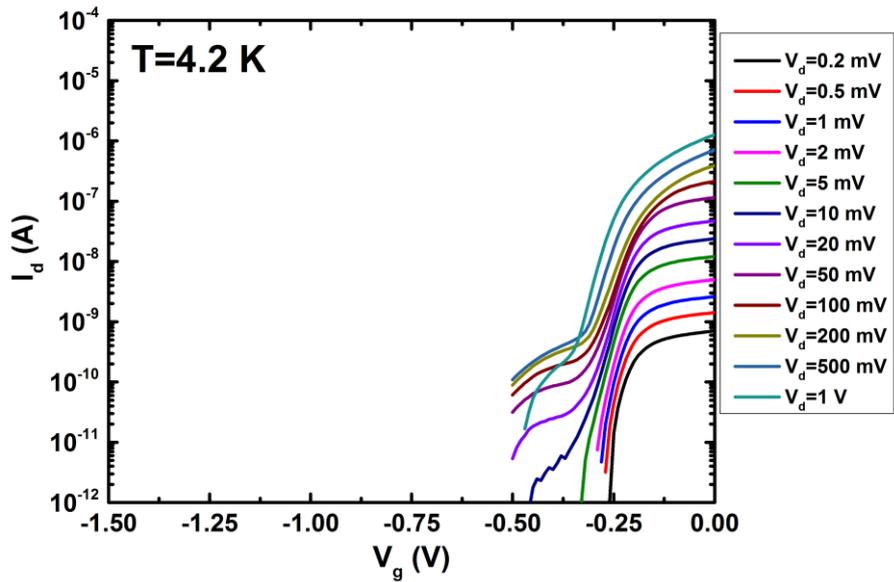
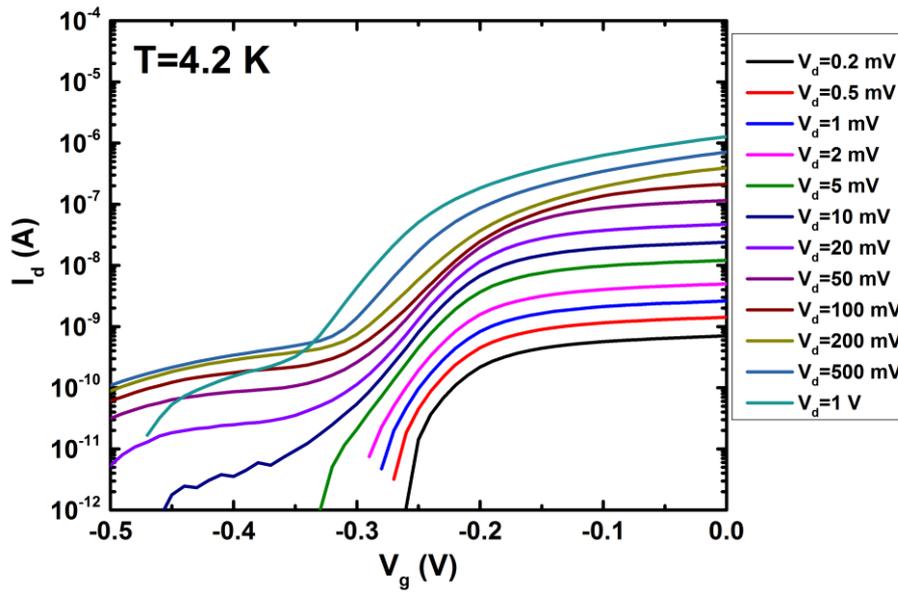


Fig. 4-13  $I_d$ - $V_g$  characterization at  $T=300$  K.



(a)  $-1.50 \text{ V} < V_g < 0 \text{ V}$



(a)  $-0.50 \text{ V} < V_g < 0 \text{ V}$

Fig. 4-14  $I_d$ - $V_g$  characterization at  $T=4.2$  K.

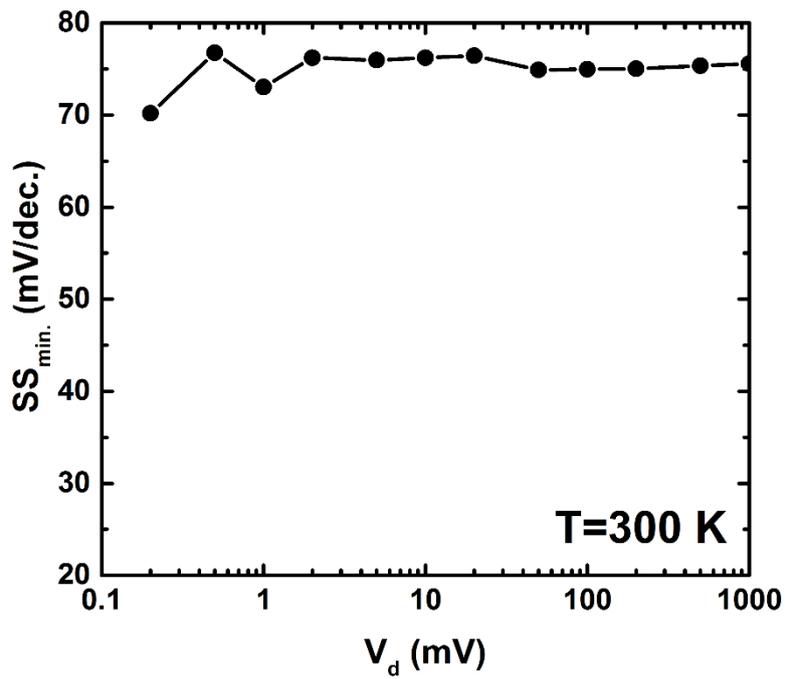


Fig. 4-15  $SS_{\min.}$  dependence on  $V_d$  at  $T=300$  K.

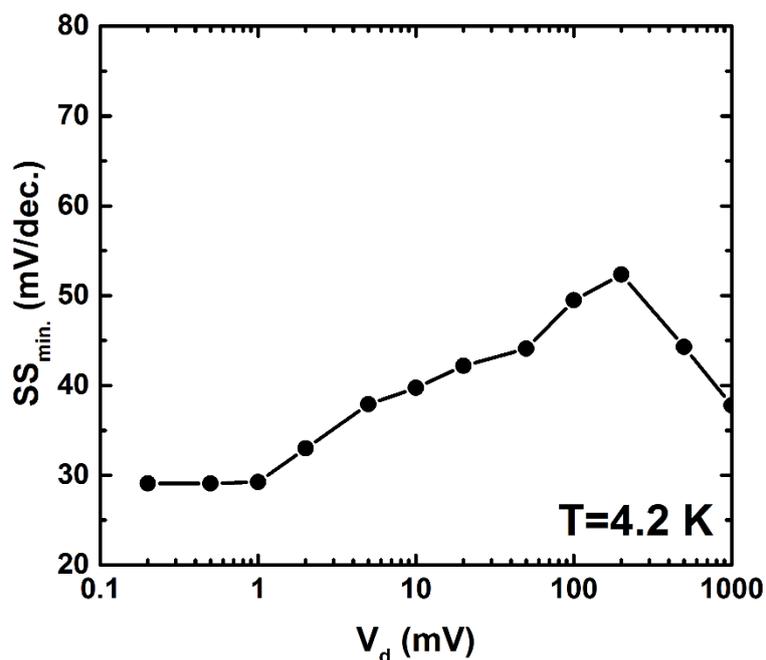


Fig. 4-16  $SS_{min.}$  dependence on  $V_d$  at  $T=4.2$  K.

#### 4-4-4 $I_d$ - $V_d$ 特性の測定結果

$I_d$ - $V_d$  特性の測定を行った。Fig. 4-17 に 300 K での測定結果を、Fig. 4-18 に 4.2 K での測定結果を示す。300 K ではドレイン電圧を高くするとドレイン電流が飽和するのに対し、4.2 K では飽和せずに増加していることがわかる。低温では  $I_d$ - $V_d$  特性で高いドレイン電圧領域では、インパクトイオン化により電流値が急激に増加することがある[80]。インパクトイオン化は一度ドレイン電流が飽和した後に、更に高い電圧をかけたときに生じることが多い。Fig. 4-18 で電流値が飽和せずに増加していることをインパクトイオン化と結論付けることは出来ず、その原因は不明である。

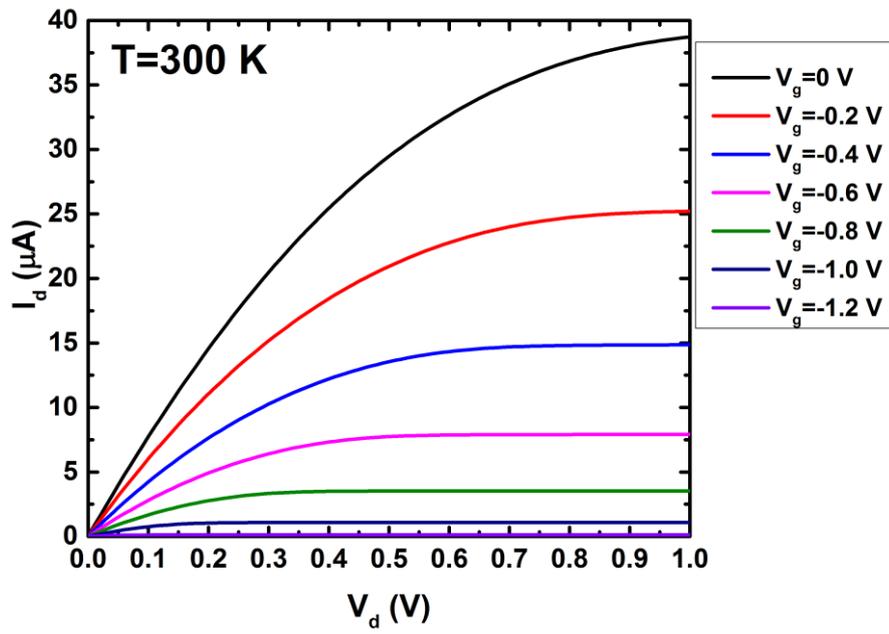


Fig. 4-17  $I_d$ - $V_d$  characterization at  $T=300$  K.

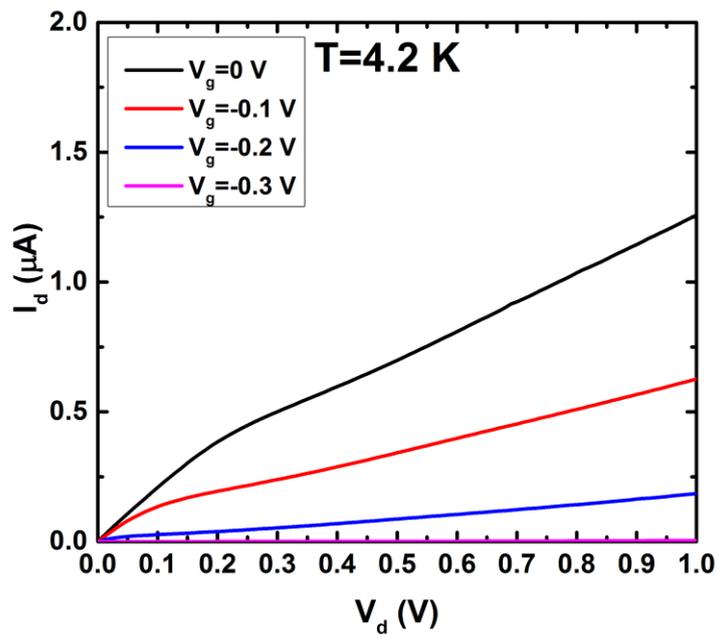


Fig. 4-18  $I_d$ - $V_d$  characterization at  $T=4.2$  K.

#### 4-5 測定結果の考察

S 値が低温で理論式通りに減少しない理由として低温領域で界面トラップ電荷密度が増加するためとされている[56-58]。界面準位がバンド端付近に多く存在しており、温度を下げるとフェルミレベルがバンド端付近のドーピングレベルに近づき、室温よりも多くトラップされるためと説明されている。Fig. 1-6 の先行研究[57]によると S 値からボディ係数  $n$  を導出し、ボディ係数に含まれる界面トラップ電荷密度  $N_{it}$  を求めると、4.2 K のとき  $10^{15}$   $\text{cm}^{-2}$  程度の界面トラップ電荷が存在するとされている。しかしこれほど多くの界面トラップ電荷が存在した場合、界面トラップ電荷に起因するクーロン散乱が大きくなり、移動度が大幅に減少するはずである。Fig. 4-13、Fig. 4-14 の  $I_d$ - $V_g$  特性における閾値電圧付近の電流値の線形表示を Fig. 4-19、Fig. 4-20 に示す。Fig. 4-19、Fig. 4-20 よりオーバードライブ電圧をほぼ一定にしたとき、4.2 K と 300 K ではほとんど電流値に差がないことがわかる。よってクーロン散乱が極端に大きくなっているとは言えない。界面トラップ電荷密度の温度依存性については C-V 測定による移動度の実効電界プロット[81]を行い、クーロン散乱の大きさを調べることや、チャージポンピングなどを用いて直接界面トラップ電荷密度を導出する必要がある。

極低温下では界面トラップや不純物欠陥などによりポテンシャル揺らぎも考慮しなければならない。ポテンシャル揺らぎは小さいため、Fig. 4-13(a)に示すように室温では問題にならないのに対し、低温ではキャリアの熱揺らぎの大きさに対してポテンシャル揺らぎが無視できない値となる。S 値の式はこのポテンシャル揺らぎを考慮していない。低温では Fig. 4-13(b)に示すように熱揺らぎよりも大きいポテンシャル揺らぎの谷にキャリアが局在してしまうと電流として流れることが出来なくなる。低温下でゲート電圧を徐々に下げていったときに、キャリアが局在すると急に電流が流れなくなることに相当し S 値が向上する可能性がある。界面準位が極端に少ないトランジスタや非常に短チャネルのトランジスタなどポテンシャル揺らぎがほとんどないトランジスタと比較することが有用であると考えられる。

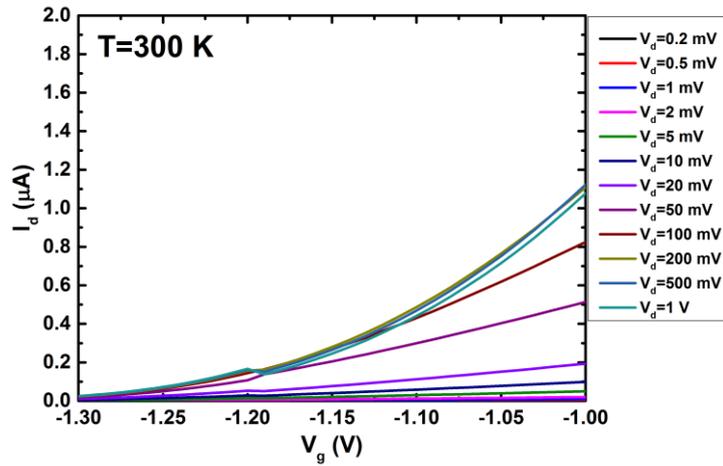


Fig. 4-19  $I_d$ - $V_g$  characterization at  $T=300\text{ K}$  as a linear scale.

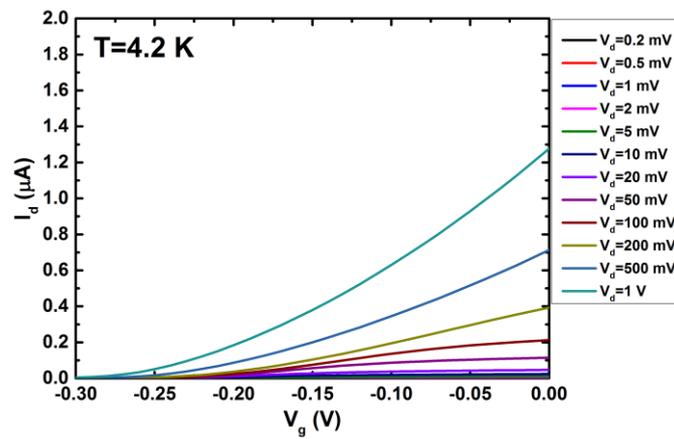
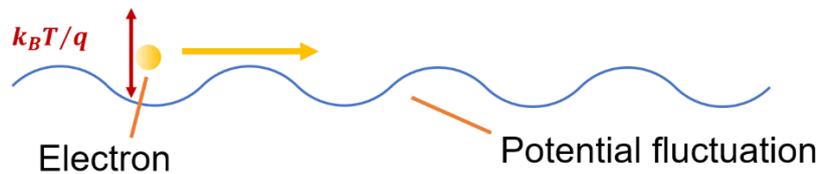
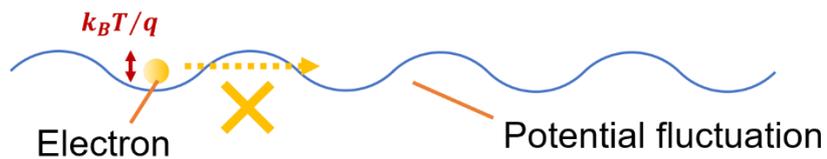


Fig. 4-20  $I_d$ - $V_g$  characterization at  $T=4.2\text{ K}$  as a linear scale.



(a) Potential fluctuation at room temperature.



(b) Potential fluctuation at low temperature.

Fig. 4-21 Potential fluctuations.

## 5章 結論

シリコン量子ビットの多量子ビット化実現に向けて積層構造型シリコン量子ビットの提案を行った。SiGeを用いて単結晶のSiチャンネル層を複数層作製するプロセスを示した。センサトランジスタと量子ビット間の容量を抽出し、2量子ビットと4量子ビットそれぞれでシミュレーションを行った結果、提案する積層構造型シリコン量子ビットがゲート電圧を掃引することで全ての量子状態を読み出すことが出来ることを示した。シリコン量子ビットの試作のために電子線描画の条件出しを行い、最上部のSi<sub>3</sub>N<sub>4</sub>層が25 nmの多層構造基板において設計値20 nmのときは24.6 nm、設計値30 nmのときは33.3 nmの幅を持つ細線が描画出来ることを確認した。間隔が30 nmの2本の細線を描画することを確認し、量子ビットの試作に必要なゲート電極が作製可能であることを示した。CMOS古典制御回路に用いるFD-SOIの直流測定を行い、300 Kで閾値電圧が-1.28 V、4.2 Kで-0.19 Vとなり1.09 V増加するのを確認した。S値が300 Kで73.0 mV/dec.、4.2 Kで29.3 mV/dec.となり温度に比例しないことを確認した。S値のドレイン電圧依存性の調査を行い、300 Kのときはドレイン電圧にほとんど依存しないのに対し、低温では200 mV付近を極大値にとりドレイン電圧の減少と共にS値が減少し、ドレイン電圧が0.5 mVのときに29.1 mV/dec.となることを確認した。I<sub>d</sub>-V<sub>d</sub>特性の測定を行い、300 Kではドレイン電流はドレイン電圧を高くすると飽和するが、4.2 Kでは飽和しないことを確認した。

今後の展望としては、量子ビットの動作温度に対して十分な帯電エネルギーの大きさを示す量子ドットの作製のために、幅の狭いチャンネルの電子線描画の条件出しを行うと共に、窒化膜スペーサー作製のための異方性エッチング条件出しを行い、先ず単層のシリコン量子ビットを作製し動作実証を目指すことが考えられる。低温測定ではチャージポンピング電流の引き出し電極を有するFD-SOIトランジスタを作製し、低温下でチャージポンピング法による界面トラップ電荷密度の導出や、低温下でC-V測定を行い、移動度の実効電界プロットからクーロン散乱の温度依存性の調査を行い、S値が低温下で理想値を示さない要因を調査することが挙げられる。

## 謝辞

本研究を行うにあたって、平本俊郎教授に深く感謝します。半導体物理の基礎から研究に対する心構えまで幅広く指導して頂きました。国際学会での英語の発表という貴重な経験が出来たのも、入学当初知識不足の私に丁寧にご指導して下さったおかげです。ご教示して頂いたことを忘れずに今後の進路でも活かしていきたいと思っています。

小林正治准教授には、提案する構造のプロセスについて何度もご相談させて頂いただけなく、単電子トランジスタ研究の研究室の先輩としても貴重な助言を頂き、大変お世話になりました。居室では平日休日問わず何度も質問をさせて頂きましたが、その度に広く深い知識と研究に対する熱い姿勢に驚かされました。先生の助言無しには研究を進めることは出来ませんでした。深く感謝します。

更屋拓哉助手には、クリーンルームの使い方から測定の基礎まで丁寧にご指導して頂きました。時に危険な作業を伴うクリーンルームで大きな事故を起こすこともなく、安全に実験が出来たのは氏の丁寧かつ時に厳しいご指導があつてこそだと思えます。

研究員の長城和一氏、伊藤一夫氏にはプロセス装置の使い方から洗浄の方法を教えて頂きました。クリーンルームでの作業というものがよくわかっていない私が一人で作業をすることが出来るようになったのは、お二人の助けがあつたおかげです。プロセスの待ち時間にはとても楽しく雑談をさせて頂きました。

高倉俊彦氏、福井宗利氏、鈴木慎一氏には、研究に関する質問や進路に関する相談などをさせて頂きました。食事の席での雑談の奥の深さに驚きました。

竹内潔氏には、半導体物理の基礎やシミュレーション方法などをご教示して頂きました。普段のミーティングでの深い知識に裏付けられた鋭い質問には何度も驚かれました。

水谷朋子氏には、測定機器の使い方や数値計算の方法などを教えて頂きました。入学当初知識不足の私に、快くいつも笑顔で質問を受けて下さったおかげで安心して研究に取り組むことが出来ました。深く感謝します。

塩谷美希氏には、研究活動費に関することから英文作成法の相談まで何度もお世話になりました。いつも楽しい会話をしてくださったおかげで研究室の雰囲気明るくなりました。

植田大貴先輩、蔣京珉先輩、高爽先輩、張基賢先輩、安珉柱先輩、莫非先輩、金成吉先輩に深く感謝します。ミーティングで素晴らしい成果を毎週発表される先輩達の姿を見て研究に対する姿勢を見直すきっかけになりました。

同期の崔博陽氏、多川友作氏に深く感謝します。日ごろ夜中まで熱心に研究を行っている姿を見て負けないようにと自分を鼓舞することが出来ました。

後輩の田村誓亮氏、木村迅利氏、柏嶋始氏、吉村英将氏、Paul Davin Johansen 氏に深く感謝します。私の下らない冗談にいつも笑って下さったおかげで、リラックスした雰囲気で

研究を行うことが出来ました。

岩本研究室の石田悟己助手には、電子線描画装置の使い方をご教示して頂きました。装置の使い方をよく理解していなかった私にも、丁寧にご指導して下さい深く感謝します。

平川研究室の平川一彦教授には急なお願いにも快く測定装置を貸して頂いただけでなく、低温物理の基礎から測定手法まで何度も助言を頂き、深く感謝します。杜少卿特任研究員には測定に向けたサンプル作成から測定機器の使い方までとてもお世話になりました。氏の助けがなければ私はとても測定を行うことは出来ませんでした。測定を始めてから短期間に 1 人で測定を行うことが出来るようになったのは、測定に不慣れな私に丁寧に長い時間をかけてご指導して下さったおかげです。

最後に 2 年間の大学院生活を支えて下さった私の家族、友人に深く感謝します。

## 参考文献

- [1] R. H. Dennard, F. H. Gaensslen, L. Kuhn, and H. N. Yu, "Design of micron MOS switching devices," *International Electron Devices Meeting*, vol. 18, pp. 168-170, 1972.
- [2] G. E. Moore, "Progress in digital integrated electronics," *International Electron Devices Meeting*, vol. 21, pp. 11-13, 1975.
- [3] 平本俊郎, "集積デバイス工学講義資料," 2018.
- [4] INTERNATIONAL ROADMAP DEVICES AND SYSTEMS (IRDS), "More Moore," 2017. [https://irds.ieee.org/images/files/pdf/2017/2017IRDS\\_MM.pdf](https://irds.ieee.org/images/files/pdf/2017/2017IRDS_MM.pdf) [Accessed 31 1 2019]
- [5] R. P. Feynman, "Quantum Mechanical Computers," *Optics News*, vol. 11, pp. 11-20, 1985.
- [6] D. Deutsch, "Quantum computational networks," *Proceedings of the Royal Society of London A*, vol. 425, pp. 73-90, 1989.
- [7] D. Deutsch, "Quantum theory, the Church-Turing principle and the universal quantum computer," *Proceedings of the Royal Society of London A*, vol. 400, pp. 97-117, 1985.
- [8] D. Deutsch, "Rapid Solution of Problems by Quantum Computation," *Proceedings of the Royal Society of London A*, vol. 439, pp. 553-558, 1992.
- [9] L. K. Grover, "A fast quantum mechanical algorithm for database search," *arXiv: quant-ph/9605043v3*, 1996.
- [10] P. W. Shor, "Algorithms for Quantum Computation," *35th Annual Symposium on Foundations of Computer Science*, no. 4865020, pp. 124-134, 1994.
- [11] T. Kleinjung, K. Aoki, J. Franke, A. K. Lenstra, E. Thome, J. W. Bos, P. Gaudry, A. Kruppa, P. L. Montgomery, D. A. Osvik, H. Riele, A. Timofeev, and P. Zimmermann, "Factorization of a 768-bit RSA modulus," *Advances in Cryptology-CEYPTO 2010*, p. 333, 2010.
- [12] N. C. Jones, P. V. Meter, A. G. Fowler, P. L. McMahon, J. Kim, T. D. Ladd, and Y. Yamamoto, "Layered Architecture for Quantum Computing," *Physical Review X*, vol. 2, no. 031007, 2012.
- [13] 清藤武暢, 青野良範, 四方順司, "量子コンピュータの解読に耐えうる「格子暗号」の最新動向," *日本銀行金融研究所 金融研究*, pp. 135-170, 2015.
- [14] A. Aspuru-Guzik, et al, "Simulated Quantum Computation of Molecular Energies," *Science*, vol. 309, pp. 1704-17-7, 2005.
- [15] P. J. J. O'Malley, R. Babbush, I. D. Kivlichan, J. Romero, J. R. McClean, R. Barends, J. Kelly, P. Roushan, A. Tranter, N. Ding, B. Campbell, Y. Chen, Z. Chen, B. Chiaro, A. Dunsworth, A. G. Fowler, E. Jeffrey, E. Lucero, A. Megrant, J. Y. Mutus, M. Neeley, C. Neill, C. Quintana, D. Sank, A. Vainsencher, J. Wenner, T. C. White, P. V. Coveney, P. J. Love, H. Neven, A. Aspuru-Guzik, and J. M. Martinis, "Scalable Quantum Simulation of Molecular Energies," *Physical Review X*, vol. 6, no. 031007, 2016.
- [16] J. S. Otterbach, R. Manenti, N. Alidoust, A. Bestwick, M. Block, B. Bloom, S. Caldwell, N. Didier,

- E. S. Fried, S. Hong, P. Karalekas, C. B. Osborn, A. Papageorge, E. C. Peterson, G. Prawiroatmodjo, N. Rubin, C. A. Ryan, D. Scarabelli, M. Scheer, E. A. Sete, P. Sivarajah, R. S. Smith, A. Staley, N. Tezak, W. J. Zeng, A. Hudson, B. R. Johnson, M. Reagor, M. P. da Silva, and C. Rigetti, “Unsupervised Machine Learning on a Hybrid Quantum Computer,” arXiv:1712.05771v1, 2017.
- [17] T. Kadowaki and H. Nishimori, “Quantum annealing in the transverse Ising model,” *Physical Review E*, vol. 58, pp. 5355-5363, 1998.
- [18] M. W. Johnson, M. H S Amin, S. Gildert, T. Lanting, F. Hamze, N. Dickson, R. Harris, A. J. Berkley, J. Johnson, P. Bunyk, E. M. Chapple, C. Enderud, J. P. Hilton, K. Karimi, E. Ladizinsky, N. Ladizinsky, T. Oh, I. Perminov, C. Rich, M. C. Thom, E. Tolkacheva, C. J. S. Truncik, S. Uchaikin, J. Wang, B. Wilson and G. Rose, “Quantum annealing with manufactured spins,” *Nature*, vol. 473, pp. 194-198, 2011.
- [19] M. H. Devoret, and R. J. Schoelkopf, “Superconducting Circuits for Quantum Information: An Outlook,” *Science*, vol. 339, pp. 1169-1174, 2013.
- [20] IBM-Q, <https://www.research.ibm.com/ibm-q/> [Accessed 31 1 2019]
- [21] IBM Q system one, <https://www.youtube.com/watch?v=LAA0-vjTaNY> [Accessed 31 1 2019]
- [22] intel Newsroom, “THE FUTURE OF QUANTUM COMPUTING IS COUNTED IN QUBITS,” <https://newsroom.intel.com/news/future-quantum-computing-counted-qubits/#gs.SP2zOOZo> [Accessed 31 1 2019]
- [23] Google Research Blog, “A Preview of Bristlecone, Google’s New Quantum Processor,” <https://research.googleblog.com/2018/03/a-preview-of-bristlecone-googles-new.html> [Accessed 31 1 2019]
- [24] S. Debnath, N. M. Linke, C. Figgatt, K. A. Landsman, K. Wright, and C. Monroe, “Demonstration of a small programmable quantum computer with atomic qubits,” *Nature*, vol. 536, pp. 63-66, 2016.
- [25] Y. Nakamura, Yu. A. Pashkin, and J. S. Tsai, “Coherent control of macroscopic quantum states in a single-Cooper-Pair box,” *Nature*, vol. 398, pp. 786-788, 1999.
- [26] J. Koch, T. M. Yu, J. Gambetta, A. A. Houck, D. I. Schuster, J. Majer, A. Blais, M. H. Devoret, S. M. Girvin, and R. J. Schoelkopf, “Charge insensitive qubit design derived from the Cooper pair box,” arXiv: cond-mat/0703002v2, 2007.
- [27] J. M. Martinis, S. Nam, J. Aumentado, and C. Urbina, “Rabi Oscillations in a Large Josephson-Junction Qubit,” *Physical Review Letters*, vol. 89, no. 117901, 2002.
- [28] I. Chiorescu, Y. Nakamura, C. J. P. M. Harmans, and J. E. Mooij, “Coherent Quantum Dynamics of a Superconducting Flux Qubit,” *Science*, vol. 299, pp. 1869-1871, 2003.
- [29] L. M. K. Vandersypen, Matthias Steffen, Gregory Breyta, Constantino S. Yannoni, Mark H. Sherwood, and Issac L. Chuang, “Experimental realization of Shor’s quantum factoring algorithm using nuclear magnetic resonance” *Nature*, vol. 414, pp. 883-887, 2001.
- [30] S. Takeda and A. Furusawa, “Universal quantum computing with measurement-induced

- continuous-variable gate sequence in a loop-based architecture,” *Physical Review Letters*, vol. 119, p. 120504, 2017.
- [31] 竹内繁樹, “線形光学素子を用いた量子計算アルゴリズムの実現,” *電子情報通信学会論文誌 A*, vol. J81-A, pp. 1644-1651, 1998.
- [32] 藤澤利正, “半導体量子ドットによる量子情報デバイス,” *NTT 技術ジャーナル*, vol. 19, pp. 8-13, 2007.
- [33] D. Loss, and D. P. DiVincenzo, “Quantum computation with quantum dots,” *Physical Review A*, vol. 57, p. 120, 1998.
- [34] D. J. Reilly, J. M. Taylor, J. R. Petta, C. M. Marcus, M. P. Hanson and A. C. Gossard, “Suppressing Spin Qubit Dephasing by Nuclear State Preparation,” *Science*, vol. 321, pp. 817-821, 2008.
- [35] K. M. Itoh and Hideyuki Watanabe, “Isotope engineering of silicon and diamond for quantum computing and sensing applications,” *MRS communications*, vol. 4, pp. 143-157, 2014.
- [36] J. Yoneda, K. Takeda, T. Otsuka, T. Nakajima, M. R. Delbecq, G. Allison, T. Honda, T. Kodera, S. Oda, Y. Hoshi, N. Usami, K. M. Itoh and S. Tarucha, “A quantum-dot spin qubit with coherence limited by charge noise and fidelity higher than 99.9%,” *Nature nanotechnology*, vol. 13, pp. 102-106, 2018.
- [37] M. Veldhorst, J. C. C. Hwang, C. H. Yang, A. W. Leenstra, B. de Ronde, J. P. Dehollain, J. T. Muhonen, F. E. Hudson, K. M. Itoh, A. Morello, and A. S. Dzurak, “An addressable quantum dot qubit with fault-tolerant control-fidelity,” *Nature nanotechnology*, vol. 9, pp. 981-985, 2014.
- [38] M. Veldhorst, C. H. Yang, J. C. C. Hwang, W. Huang, J. P. Dehollain, J. T. Muhonen, S. Simmons, A. Laucht, F. E. Hudson, K. M. Itoh, A. Morello, and A. S. Dzurak, “A two-qubit logic gate in silicon,” *Nature*, vol. 526, pp. 410-414, 2015.
- [39] K. Takeda, J. kamioka, T. Otsuka, J. Yoneda, T. Nakajima, M. R. Delbecq, S. Amaha, G. Allison, T. Kodera, S. Oda and S. Tarucha, “A fault-tolerant addressable spin qubit in a natural silicon quantum dot,” *Science Advances*, vol. 2, p. e1600694, 2016.
- [40] T. Obata, K. Takeda, J. Kamioka, T. Kodera, W. M. Akhtar, K. Sawano, S. Oda, Y. Shiraki, and S. Tarucha, “Charge-noise-free Lateral Quantum Dot Devices with Undoped Si/SiGe Wafer,” *JPS Conference Proceedings*, vol. 1, no. 012030, 2014.
- [41] B. E. Kane, “A Silicon-Based Nuclear Spin Quantum Computer,” *Nature*, vol. 393, pp. 133-137, 1998.
- [42] J. T. Muhonen, J. P. Dehollain, A. Laucht, F. E. Hudson, R. Kalra, T. Sekiguchi, K. M. Itoh, D. N. Jamieson, J. C. McCallum, A. S. Dzurak, and A. Morello, “Storing quantum information for 30 seconds in a nanoelectronic device,” *Nature nanotechnology*, vol. 9, pp. 986-991, 2014.
- [43] J. J. Pla, K. Y. Tan, J. P. Dehollain, W. H. Lim, J. J. L. Morton, F. A. Zwanenburg, D. N. Jamieson, A. S. Dzurak, A. Morello, “High-fidelity readout and control of a nuclear spin qubit in silicon,” *Nature*, vol. 496, pp. 334-338, 2013.

- [44] P. H-Collard, N. T. Jacobson, M. Rudolph, J. Dominguez, G. A. T. Eyck, J. R. Wendt, T. Pluym, J. K. Gamble, M. P. Lilly, M. P-Ladriere, and M. S. Carroll, “Coherent coupling between a quantum dot and a donor in silicon,” *Nature communications*, vol. 8, no. 1029, 2017.
- [45] G. Tosi, F. A. Mohiyaddin, V. Schmitt, S. Tenberg, R. Rahman, G. Klimeck and A. Morello, “Silicon quantum processor with robust long-distance qubit couplings,” *Nature communications*, vol. 8, no. 450, 2016.
- [46] A. Laucht, R. Kalra, S. Simmons, J. P. Dehollain, J. T. Muhonen, F. A. Mohiyaddin, S. Freer, F. E. Hudson, K. M. Itoh, D. N. Jamieson, J. C. McCallum, A. S. Dzurak, and A. Morello, “A dressed spin qubit in silicon,” *Nature Nanotechnology*, vol. 12, pp. 61-66, 2017.
- [47] J. Donkelaar, C. Yang, A. D. C. Alves, J. C. McCallum, C. Hougard, B. C. Johnson, F. E. Hudson, A. S. Dzurak, A. Morello, D. Spemann, and D. N. Jamieson, “Single atom devices by ion implantation,” *Journal of Physics: Condensed Matter*, vol. 27, no. 15, 2015.
- [48] R. Maurand, X. Jehl, D. Kotekar Patil, A. Corna, H. Bohuslavskyi, R. Lavieville, L. Hutin, S. Barraud, M. Vinet, M. Sanquer and S. De Franceschi, “A CMOS silicon spin qubit,” *Nature communications*, vol. 7, no. 135750, 2016.
- [49] L. Hutin, B. Bertrand, R. Maurand, M. Urdampilleta, B. Jadot, H. Bohuslavskyi, L. Bourdet, Y. M. Niquet, X. Jehl, S. Barraud, C. Bauerle, T. Meunier, M. Sanquer, S. De Franceschi and M. Vinet, “SOI CMOS Technology for Quantum Information Processing,” *IC Design and Technology (ICICDT)*, 2017 IEEE International Conference on, 2017.
- [50] M. Veldhorst, C. H. Yang, J. C. C. Hwang, W. Huang, J. P. Dehollain, J. T. Muhonen, S. Simmons, A. Laucht, F. E. Hudson, K. M. Itoh, A. Morello, and A. S. Dzurak, “A two-qubit logic gate in silicon,” *Nature*, vol. 526, pp. 410-414, 2015.
- [51] D. M. Zajac, A. J. Sigillito, M. Russ, F. Borjans, J. M. Taylor, G. Burkard, J. R. Petta, “Resonantly driven CNOT gate for electron spins,” *SCIENCE*, vol. 359, pp. 439-442, 2017.
- [52] T. Nakajima, M. R. Delbecq, T. Otsuka, S. Amaha, J. Yoneda, A. Noiri, K. Takeda, G. Allison, A. Ludwig, A. D. Wieck, X. Hu, F. Nori, and S. Tarucha, “Coherent transfer of electron spin correlations assisted by dephasing noise,” *Nature Communications*, vol. 9, no. 2133, 2018.
- [53] D. M. Zajac, T. M. Hazard, X. Mi, E. Nielsen and J. R. Petta, “Scalable Gate Architecture for a One-Dimensional Array of Semiconductor Spin Qubits,” *Physical Review Applied*, vol. 6, p. 054013, 2016.
- [54] R. Li, L. Petit, D. P. Franke, J. P. Dehollain, J. Helsen, M. Steudtner, N. K. Thomas, Z. R. Yoscovits, K. J. Singh, S. Wehner, L. M. K. Vandersypen, J. S. Clarke, and M. Veldhorst, “A crossbar network for silicon quantum dot qubits,” *Science Advances*, vol. 4, p. eaar3960, 2018.
- [55] B. Patra, R. M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, R. B. Staszewski, A. Vladimirescu, M. Babaie, F. Sebastiano, and E. Charbon, “Cryo-CMOS Circuits and Systems for Quantum Computing Applications,” *IEEE JOURNAL OF SOLID-STATE CIRCUITS*,

vol. 53, pp. 309-321, 2018.

[56] R. M. Incandela, L. Song, H. Homulle, E. Charbon, A. Vladimirescu, and F. Sebastiano, "Characterization and Compact Modeling of Nanometer CMOS Transistors at Deep-Cryogenic Temperatures," *Journal of the Electron Devices Society*, vol. 6, pp. 996-1006, 2018.

[57] P. Galy, J. C. Lemyre, P. Lemieux, F. Arnaud, D. Drouin, and M. Pioro-Ladriere, "Cryogenic Temperature Characterization of a 28-nm FD-SOI Dedicated Structure for Advanced CMOS and Quantum Technologies Co-Integration," *Journal of the Electron Devices Society*, vol. 6, pp. 594-600, 2018.

[58] I. M. Hafez, G. Ghibaudo, and Balestra, "Assessment of interface state density in silicon metal-oxide-semiconductor transistors at room, liquid-nitrogen, and liquid-helium temperatures," *Journal of Applied Physics*, vol. 67, pp. 1950-1952, 1990.

[59] A. Einstein, B. Podolsky, and N. Rosen, "Can Quantum-Mechanical Description of Physical Reality Be Considered Complete?," *Physical Review*, vol. 47, pp. 777-780, 1935.

[60] R. M. Jock, N. T. Jacobson, P. Harvey-Collard, A. M. Mounce, V. Srinivasa, D. R. Ward, J. Anderson, R. Manginell, J. R. Wendt, M. Rudolph, T. Pluym, J. K. Gamble, A. D. Baczewski, W. M. Witzel, and M. S. Carroll, "A silicon metal-oxide-semiconductor electron spin-orbit qubit," *Nature communications*, vol. 9 no. 1768, 2018..

[61] K. Miyaji, M. Saitoh, and T. Hiramoto, "Voltage gain dependence of the negative differential conductance width in silicon single-hole transistors," *Applied Physics Letters*, vol. 88, no. 143505, 2006.

[62] K. K. Likharev, "Single-Electron Devices and Their Applications," *Proceedings of the IEEE*, vol. 87, pp. 606-632, 1999.

[63] M. Saitoh, H. Harata, and T. Hiramoto, "Room-Temperature Demonstration of Integrated Silicon Single-Electron Transistor Circuits for Current Switching and Analog Pattern Matching," *IEDM. Tech. Dig.*, pp. 187-190.

[64] 勝本信吾, "新物理学シリーズ 43 半導体量子輸送物性," 培風館, 2014.

[65] K. ono, D. G. Austing, Y. Tokura, and S. Tarucha, "Current Rectification by Pauli Exclusion in a Weakly Coupled Double Quantum Dot System," *Science*, vol. 297, pp. 1313-1317, 2002.

[66] M. J. Curry, T. D. England, N. C. Bishop, G. Ten-Eyck, J. R. Wendt, T. Pluym, M. P. Lilly, S. M. Carr, and M. S. Carroll, "Cryogenic preamplification of a single-electron-transistor using a silicon-germanium heterojunction-bipolar-transistor," *Applied Physics Letters*, vol. 106, p. 203505, 2015.

[67] A. C. Betz, M. L. V. Tagliaferri, M. Vinet, M. Brostrom, M. Sanquer, A. J. Ferguson, and M. F. Gonzalez-Zalba, "Reconfigurable quadruple quantum dots in a silicon nanowire transistor," *arXiv:1603.03636v1*, 2016.

[68] A. Corna, L. Bourdet, R. Maurand, A. Crippa, D. K-Patil, H. Bohuslavskyi, R. Lavieville, L. Hutin, S. Barraud, X. Jehl, M. Vinet, S. D. Franceschi, Y-Michel Niquet, and M. Sanquer, "Electrically

driven electron spin resonance mediated by spin-orbit coupling in a silicon quantum dot,” *npj Quantum Information*, vol. 4, no. 6, 2018.

[69] A. C. Betz, M. L. V. Tagliaferri, M. Vinet, M. Brostrom, M. Sanquer, A. J. Ferguson, and M. F. Gonzalez-Zalba, “Reconfigurable quadruple quantum dots in a silicon nanowire transistor,” *Applied Physics Letters*, vol. 108, no. 203108, 2016.

[70] T. Ito, T. Otsuka, S. Amaha, M. R. Delbecq, T. Nakajima, J. Yoneda, K. Takeda, G. Allison, A. Noiri, K. Kawasaki, and S. Tarucha, “Detection and control of charge states in a quintuple quantum dot,” *Scientific Reports*, vol. 6, no. 39113, 2016.

[71] Y. Yamaoka, K. Iwasaki, S. Oda, T. Kodera, “Charge sensing and spin-related transport property of p-channel silicon quantum dots,” *Journal of Applied Physics*, vol. 56, no. 4S, 2017.

[72] D. J. Reilly and C. M. Marcus, “Fast single-charge sensing with a rf quantum point contact,” *Applied Physics Letters*, vol. 91, p. 162101, 2007.

[73] N. Loubet, T. Hook, P. Montanini, C.-W. Yeung, S. Kanakasabapathy, M. Guillorn, T. Yamashita, J. Zhang, X. Miao, J. Wang, A. Young, R. Chao, M. Kang, Z. Liu, S. Fan, B. Hamieh, S. Sieg, Y. Mignot, W. Xu, S.-C. Seo, J. Yoo, S. Mochizuki, M. Sankarapandian, O. Kwon, A. Carr, A. Greene, Y. Park, J. Frougier, R. Galatage, R. Bao, J. Shearer, R. Conti, H. Song, D. Lee, D. Kong, Y. Xu, A. Arceo, Z. Bi, P. Xu, R. Muthinti, J. Li, R. Wong, D. Brown, P. Oldiges, R. Robinson, J. Arnold, N. Felix, S. Skordas, J. Gaudiello, T. Standaert, H. Jagannathan, D. Corliss, M.-H. Na, A. Knorr, T. Wu, D. Gupta, S. Lian, R. Divakaruni, T. Gow, C. Labelle, S. Lee, V. Paruchuri, H. Bu, and M. Khare, “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” *VLSI Technology Symposium*, p.T230, Kyoto, Japan, Jun 2017.

[74] N. Loubet, T. Kormann, G. Chabanne, S. Denorme, and D. Dutartre, “Selective etching of  $\text{Si}_{1-x}\text{Ge}_x$  versus Si with gaseous HCL for the formation of advanced CMOS devices,” *Thin Solid Film*, vol. 517, pp. 93-97, 2008.

[75] J. Yoneda, T. Otsuka, T. Nakajima, T. Takakura, T. Obata, M. Pioro-Ladrière, H. Lu, C. J. Palmström, A. C. Gossard, and S. Tarucha, “Fast Electrical of Single Electron Spins in Quantum Dots with Vanishing Influence from Nuclear Spins,” *Physical Review Letters*, vol. 113, no. 267601, 2014.

[76] FastCap2, <https://www.fastfieldsolvers.com/> [Accessed 31 1 2019]

[77] 江藤幹雄, “半導体量子ドットの物理学:近藤効果を中心に,” *物性研究*, vol. 85, pp. 853-875, 2006.

[78] C. W. J. Beenakker, “Theory of Coulomb-blockade oscillations in the conductance of a quantum dot,” *Physical Review B*, vol. 44, pp. 1646-1656, 1991.

[79] 横山浩, 秋永広幸, “電子線リソグラフィ教本,” オーム社, 2007.

[80] E. Simoen, and C. Claeys, “Impact of CMOS Processing Steps on the Drain Current Kink of NMOSFETs at Liquid Helium Temperature,” *IEEE Transactions on Electron Devices*, vol. 48, no. 6, 2001.

[81] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the universality of inversion layer in Si MOSFET's: Part I-effects of substrate impurity concentration," IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 41, no. 12, 1994.

## 本研究に関する発表

### 国際学会発表

[1] Yuki Ito, Masaharu Kobayashi, and Toshiro Hiramoto, “Proposal of scalable qubits with vertically stacked structures fabricated by CMOS technology” Silicon Quantum Electronics Workshop 2018, Sydney, Australia, November, 2018.

### 国内学会発表

[1] 伊藤優希, 小林正治, 平本俊郎, “多量子ビット化実現に向けたスケーラブルな積層構造型シリコン量子ビットの提案” 第 39 回量子情報技術研究会, 東京大学 駒場リサーチキャンパス, 2018 年 11 月.

[2] 伊藤優希, 小林正治, 平本俊郎, “CMOS 互換プロセスによるスケーラブルな積層構造型シリコン量子ビットの提案” 第 66 回応用物理学会学術講演会, 東京工業大学 大岡山キャンパス, 2019 年 3 月. (発表予定)

## 付録

### 1 FASTCAP2 のシミュレーションソースコード

FastCap2 ではテキストファイルに各々の構造を入力し、lst ファイルでそれらを統合してモデリングを行う。lst ファイルは以下で示す行から構成される。

```
C QR_left.txt 11.7 0 -25.78 0 + 0x4169e1
D QR_left.txt 3.9 3.9 0 -15.78 0 10 5 5 - 0xee82ee
```

最初に C と記述すると伝導体、D と記述すると絶縁体が指定される。次に呼び出す構造のテキストファイル名を記述する。テキストファイルは lst ファイルと同じフォルダに存在しなければならない。次に比誘電率を記述する。シミュレーションではシリコンは 11.7、酸化膜は 3.9 とした。次に xyz 座標を入力し、最後にモデリングを行った構造を図示させるときに色を記述する。絶縁体を指定したときは、xyz 座標の次に構造中心を指定しなければならない。

テキストファイルは以下に示す行から構成される。

```
Q 1 0 0 0 0 0 10 20 0 10 20 0 0
T 1 20 5.77 0 20 0 0 20 0 10
```

最初に Q と記述すると四角形、T と記述すると三角形が指定される。次に xyz 座標で各頂点を指定することで構造を決定する。

以下にソースコードを示す。

#### ・2 量子ビットのモデリング

##### 1-1 capacitor.lst

##### \*Gate\_left

```
C QR_left.txt 11.7 0 -25.78 0 + 0x4169e1
C QR_left.txt 11.7 0 -20.00 10 + 0x4169e1
C QR_left.txt 11.7 0 -14.22 20 + 0x4169e1
C QR_left.txt 11.7 0 -8.44 30 0x4169e1
```

##### \* Gateoxide\_left

```
D QR_left.txt 3.9 3.9 0 -15.78 0 10 5 5 - 0xee82ee
D QR_left.txt 3.9 3.9 0 -10 10 10 5 5 - 0xee82ee
D QR_left.txt 3.9 3.9 0 4.22 20 10 5 5 - 0xee82ee
```

##### \* QD\_left\_lower

```
C QD_left.txt 11.7 0 0 0 0x87cfa
```

##### \* QD\_left\_upper

```
C QD_left.txt 11.7 0 11.55 20 0x87cfa
```

##### \* dielectric medium

D box_d=6.92.txt	11.7 11.7	0 11.54 20	10 9 5	- 0xadd8e6
D box_d=18.46.txt	3.9 3.9	0 5.77 10	10 9 5	- 0xee82ee
D QD_left.txt	3.9 3.9	0 5.78 10	10 -3 5	- 0xee82ee
D QD_right.txt	3.9 3.9	0 24.27 10	10 -3 5	- 0xee82ee
D box_d=30.txt	11.7 11.7	0 0 0	10 15 5	- 0xadd8e6
D box_top.txt	3.9 3.9	0 1.54 30	10 9 5	- 0xee82ee
D box_d=90.txt	3.9 3.9	0 -30 -10	10 9 5	- 0xee82ee
* QD_right_lower				
C QD_right.txt	11.7	0 30 0		0x87cefa
* QD_right_upper				
C QD_right.txt	11.7	0 18.46 20		0x87cefa
* Gateoxide_right				
D QR_right.txt	3.9 3.9	0 35.78 0	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	0 30 10	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	0 24.27 20	10 5 5	- 0xee82ee
*Gate_right				
C QR_right.txt	11.7	0 45.78 0		+ 0x4169e1
C QR_right.txt	11.7	0 40 10		+ 0x4169e1
C QR_right.txt	11.7	0 34.27 20		+ 0x4169e1
C QR_right.txt	11.7	0 28.49 30		0x4169e1

## 1-2 各テキストファイル

- QR\_left.txt

0 10nm\_quadruple\_60degree\_left

\*top

Q 1    0 5.77 10    0 15.77 10    20 15.77 10    20 5.77 10

\*bottom

Q 1    0 0 0    0 10 0    20 10 0    20 0 0

\* back right

Q 1    0 5.77 10    0 15.77 10    0 10 0    0 0 0

\* back left

Q 1    20 5.77 10    0 5.77 10    0 0 0    20 0 0

\* front left

Q 1    20 0 0    20 10 0    20 15.77 10    20 5.77 10

\* front right

Q 1    0 10 0    0 15.77 10    20 15.77 10    20 10 0

• QR\_right.txt

0 10nm\_quadruple\_60degree\_left

\*top

Q 1 0 -5.77 10 0 4.23 10 20 4.23 10 20 -5.77 10

\*bottom

Q 1 0 0 0 0 10 0 20 10 0 20 0 0

\* back right

Q 1 0 -5.77 10 0 4.23 10 0 10 0 0 0 0

\* back left

Q 1 20 -5.77 10 0 -5.77 10 0 0 0 20 0 0

\* front left

Q 1 20 0 0 20 10 0 20 4.23 10 20 -5.77 10

\* front right

Q 1 0 10 0 0 4.23 10 20 4.23 10 20 10 0

• QD\_left.txt

0 10nm\_quadruple\_60degree\_left

\*back right

T 1 0 0 0 0 0 10 0 -5.77 0

\*bottom

Q 1 0 -5.77 0 0 0 0 20 0 0 20 -5.77 0

\*back left

Q 1 0 -5.77 0 0 0 10 20 0 10 20 -5.77 0

\*front right

Q 1 0 0 0 0 0 10 20 0 10 20 0 0

\*front left

T 1 20 -5.77 0 20 0 0 20 0 10

• QD\_right.txt

0 10nm\_quadruple\_60degree\_left

\*back right

T 1 0 0 0 0 0 10 0 5.77 0

\*bottom

Q 1 0 5.77 0 0 0 0 20 0 0 20 5.77 0

\*back left  
 Q 1      0 5.77 0      0 0 10      20 0 10      20 5.77 0  
 \*front right  
 Q 1      0 0 0      0 0 10      20 0 10      20 0 0  
 \*front left  
 T 1      20 5.77 0      20 0 0      20 0 10

• box\_d=6.92.txt

0 10nm\_quadruple\_60degree\_left  
 \*back right  
 Q 1    0 0 0      0 6.92 0      0 6.92 10      0 0 10  
 \*bottom  
 Q 1    0 0 0      20 0 0      20 6.92 0      0 6.92 0  
 \*top  
 Q 1    0 0 10      20 0 10      20 6.92 10      0 6.92 10  
 \*back left  
 Q 1    0 0 0      0 0 10      20 0 10      20 0 0  
 \*front right  
 Q 1    20 0 10      20 6.92 10      20 6.92 0      20 0 0  
 \*front left  
 Q 1    0 6.92 0      0 6.92 10      20 6.92 10      20 6.92 0

• box\_d=18.46.txt

0 10nm\_quadruple\_60degree\_left  
 \*back right  
 Q 1    0 0 0      0 18.46 0      0 18.46 10      0 0 10  
 \*bottom  
 Q 1    0 0 0      20 0 0      20 18.46 0      0 18.46 0  
 \*top  
 Q 1    0 0 10      20 0 10      20 18.46 10      0 18.46 10  
 \*back left  
 Q 1    0 0 0      0 0 10      20 0 10      20 0 0  
 \*front right  
 Q 1    20 0 10      20 18.46 10      20 18.46 0      20 0 0  
 \*front left  
 Q 1    0 18.46 0      0 18.46 10      20 18.46 10      20 18.46 0

• box\_d=30.txt

0 10nm\_quadruple\_60degree\_left

\*back right

Q 1 0 0 0 0 30 0 0 30 10 0 0 10

\*bottom

Q 1 0 0 0 20 0 0 20 30 0 0 30 0

\*top

Q 1 0 0 10 20 0 10 20 30 10 0 30 10

\*back left

Q 1 0 0 0 0 0 10 20 0 10 20 0 0

\*front right

Q 1 20 0 10 20 30 10 20 30 0 20 0 0

\*front left

Q 1 0 30 0 0 30 10 20 30 10 20 30 0

• box\_top.txt

0 10nm\_quadruple\_60degree\_left

\*back right

Q 1 0 0 0 0 26.92 0 0 21.15 10 0 5.77 10

\*bottom

Q 1 0 0 0 20 0 0 20 26.92 0 0 26.92 0

\*top

Q 1 0 5.77 10 0 21.15 10 20 21.15 10 20 5.77 10

\*back left

Q 1 0 0 0 0 5.77 10 20 5.77 10 20 0 0

\*front left

Q 1 20 5.77 10 20 21.15 10 20 26.92 0 20 0 0

\*front right

Q 1 0 26.92 0 0 21.15 10 20 21.15 10 20 26.92 0

• box\_d=90.txt

0 10nm\_quadruple\_60degree\_left

\*back right

Q 1 0 0 0 0 90 0 0 90 10 0 0 10

\*bottom

```

Q 1    0 0 0    20 0 0    20 90 0    0 90 0
*top
Q 1    0 0 10   20 0 10   20 90 10   0 90 10
*back left
Q 1    0 0 0     0 0 10    20 0 10    20 0 0
*front right
Q 1    20 0 10   20 90 10   20 90 0    20 0 0
*front left
Q 1    0 90 0    0 90 10    20 90 10    20 90 0

```

・4 量子ビットのモデリング

テキストファイルは2 量子ビットのモデリングと同様である。

\*Gate\_right\_qubit

```

C QR_left.txt    11.7    0 -25.78 0    + 0x4169e1
C QR_left.txt    11.7    0 -20.00 10   + 0x4169e1
C QR_left.txt    11.7    0 -14.22 20   + 0x4169e1
C QR_left.txt    11.7    0 -8.44 30    0x4169e1

```

\*Gate\_left\_qubit

```

C QR_left.txt    11.7    40 -25.78 0    + 0x4169e1
C QR_left.txt    11.7    40 -20.00 10   + 0x4169e1
C QR_left.txt    11.7    40 -14.22 20   + 0x4169e1
C QR_left.txt    11.7    40 -8.44 30    0x4169e1
D QR_left.txt    3.9 3.9    20.1 -25.78 0    10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20.1 -20.0 10.1 10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20.1 -14.22 20 10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20.1 -8.44 30 10 5 5    - 0xee82ee

```

\* Gateoxide\_right\_qubit

```

D QR_left.txt    3.9 3.9    0 -15.78 0    10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    0 -10 10    10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    0 -4.22 20 10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20 -15.79 0 10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20 -10.2 10 10 5 5    - 0xee82ee
D QR_left.txt    3.9 3.9    20 -4.23 20 10 5 5    - 0xee82ee

```

\* Gateoxide\_left\_qubit

```

D QR_left.txt    3.9 3.9    40 -15.78 0    10 5 5    - 0xee82ee

```

D QR_left.txt	3.9 3.9	40 -10 10	10 5 5	- 0xee82ee
D QR_left.txt	3.9 3.9	40 -4.22 20	10 5 5	- 0xee82ee
* QD_right_qubit_lower				
C QD_left.txt	11.7	0 0 0		0x87cefa
D QD_left.txt	11.7 11.7	20 0 0	10 -3 5	- 0xadd8e6
* QD_left_qubit_lower				
C QD_left.txt	11.7	40 0 0		0x87cefa
* QD_right_qubit_upper				
C QD_left.txt	11.7	0 11.55 20		0x87cefa
D QD_left.txt	11.7 11.7	20 11.55 20	10 -3 5	- 0xadd8e6
* QD_left_qubit_upper				
C QD_left.txt	11.7	40 11.55 20		0x87cefa
* dielectric medium				
D QR_left.txt	3.9 3.9	20 -15.8 0	10 5 5	- 0xee82ee
D QR_left.txt	3.9 3.9	20 -10.1 10	10 5 5	- 0xee82ee
D QR_left.txt	3.9 3.9	20 -4.3 20	10 5 5	- 0xee82ee
D box_d=6.92.txt	11.7 11.7	0 11.54 20	10 9 5	- 0xadd8e6
D box_d=6.92.txt	11.7 11.7	20 11.53 20	10 9 5	- 0xadd8e6
D box_d=18.46.txt	3.9 3.9	0 5.77 10	10 9 5	- 0xee82ee
D box_d=18.46.txt	3.9 3.9	20 5.76 10	10 9 5	- 0xee82ee
D QD_left.txt	3.9 3.9	0 5.78 10	10 -3 5	- 0xee82ee
D QD_left.txt	3.9 3.9	20 5.78 10	10 -3 5	- 0xee82ee
D QD_right.txt	3.9 3.9	0 24.27 10	10 -3 5	- 0xee82ee
D QD_right.txt	3.9 3.9	20 24.27 10	10 -3 5	- 0xee82ee
D box_d=30.txt	11.7 11.7	0 0 -0.1	10 15 5	- 0xadd8e6
D box_d=30.txt	11.7 11.7	20 0 -0.1	10 15 5	- 0xadd8e6
D box_top.txt	3.9 3.9	0 1.54 30	10 9 5	- 0xee82ee
D box_top.txt	3.9 3.9	20 1.54 30	10 9 5	- 0xee82ee
D box_d=6.92.txt	11.7 11.7	40 11.54 20	10 9 5	- 0xadd8e6
D box_d=18.46.txt	3.9 3.9	40 5.7 10	10 9 5	- 0xee82ee
D QD_left.txt	3.9 3.9	40 5.8 10	10 -3 5	- 0xee82ee
D QD_right.txt	3.9 3.9	40 24.3 10	10 -3 5	- 0xee82ee
D box_d=30.txt	11.7 11.7	40 0 -0.2	10 15 5	- 0xadd8e6
D box_top.txt	3.9 3.9	40 1.5 30	10 9 5	- 0xee82ee
* QD_right_sensor_lower				
C QD_right.txt	11.7	0 30 0		0x87cefa

D QD_right.txt	11.7 11.7	20 30 0	10 -3 5	- 0xadd8e6
* QD_left_sensor_lower				
C QD_right.txt	11.7	40 30 -0.1		0x87cefa
* QD_right_sensor_upper				
C QD_right.txt	11.7	0 18.4 20		0x87cefa
D QD_right.txt	11.7 11.7	20 18.5 20	10 -3 5	- 0xadd8e6
* QD_left_sensor_upper				
C QD_right.txt	11.7	40 18.5 20		0x87cefa
* Gateoxide_right_sensor				
D QR_right.txt	3.9 3.9	0 35.78 0	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	0 30 10	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	0 24.3 20	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 35.8 0	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 30 10	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 24.3 20	10 5 5	- 0xee82ee
* Gateoxide_left_sensor				
D QR_right.txt	3.9 3.9	40 35.78 0	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	40 30 10	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	40 24.2 20	10 5 5	- 0xee82ee
*Gate_right_sensor				
C QR_right.txt	11.7	0 45.78 0		+ 0x4169e1
C QR_right.txt	11.7	0 40 10		+ 0x4169e1
C QR_right.txt	11.7	0 34.27 20		+ 0x4169e1
C QR_right.txt	11.7	0 28.49 30		0x4169e1
D QR_right.txt	3.9 3.9	20 45.7 0	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 40.1 10	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 34.2 20	10 5 5	- 0xee82ee
D QR_right.txt	3.9 3.9	20 28.4 30	10 5 5	- 0xee82ee
*Gate_left_sensor				
C QR_right.txt	11.7	40 45.8 0		+ 0x4169e1
C QR_right.txt	11.7	40 40 10		+ 0x4169e1
C QR_right.txt	11.7	40 34.3 20		+ 0x4169e1
C QR_right.txt	11.7	40 28.5 30		0x4169e1

## 2 試作 FD-SOI のプロセス条件

<b>FD -SOI Process flow</b> (Last update 2019/1/31)		
No.	process	detail
0	Dicing	wafer: G8P-020-01 (SOI/BOX=100/200 nm, SOI: p-type $10^{15} \text{ cm}^{-3}$ , sub: n-type $10^{15} \text{ cm}^{-3}$ ), chip*3
	Cleaning1	SC1 $\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}=1:0.25:5=80 \text{ ml}:20 \text{ ml}:400 \text{ ml}$ , 75-85 deg., 10 min. 1%HF 2 min. SPM $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2=3:1$ 110-120 deg. 10 min.
1	Cleaning2	Numbering (using diamond cutter on back surface) SC1 $\text{H}_2\text{O}_2:\text{NH}_4\text{OH}:\text{H}_2\text{O}=1:1:6=40 \text{ ml}:40 \text{ ml}:240 \text{ ml}$ , 75-85 deg., 10 min. 1%HF 2 min. SPM $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2=3:1$ 110-120 deg. 10 min.
	ellipsometry	Measure SOI thickness
2	cleaning	1%HF 1 min.
		SPM 125-130deg., 10 min.
		1%HF 1 min.
	Mask oxidation (Koyo-H. #1)	Dry Oxidation $\text{O}_2$ 1.0 l/min 1000 deg. 10 min. target $\text{SiO}_2$ :10 nm
ellipsometry	Measure Si and $\text{SiO}_2$ thickness	
3	<Markarea>	Laser exposure condition: HMDS 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. AZ1500 20CP 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. developer NMD-3 90 sec. post bake 100 deg. 10 min. BHF 15sec. (Mask oxide film removal) post bake 120 deg., 15 min. (Pasting on 3 inch wafer)
4	Markarea etch (CDE etcher)	Recipe:Poly-masumi, step1:5 sec. step2: 40sec. step3: 0 sec., step4: 0 sec.
5	BHF	BHF 3 min. (BOX layer removal)

6	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
7	<Mark>	Laser exposure condition: HMDS 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. AZ1500 20CP 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. developer NMD-3 90 sec. post bake 120deg., 15 min. (Pasting on 3 inch wafer)
8	Mark etch (Silicon etcher)	Recipe: Mark-Harata, step2: 5 sec., step3: 400 sec., step4: 0 sec.
9	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
10	<Mesa>	Laser exposure condition: HMDS 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. AZ1500 20CP 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min. developer NMD-3 90 sec. post bake 120 deg., 10 min. BHF 15 sec. (Mask oxide film removal) post bake 120 deg., 15 min. (Pasting on 3 inch wafer)
11	Mesa-Etch (CDE etcher)	step2: 25 deg., 20 sec. target Si:100 nm, Recipe:Poly_EB_RCP
12	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
13	cleaning	1%HF 15 min. (Mask oxide film removal)
		SPM 125-130 deg., 10 min.
		1%HF 1.5 min.
14	Gate Ox. (Koyo-V)	condition: 1000 deg., 10 min., target: SiO <sub>2</sub> :10 nm
15	Poly-Si depo (vertical CVD#1)	condition: 250 sccm, 33 Pa, 45 min., 580 deg., target:200 nm Recipe: poly Si

16	<Gate>	<p>Laser exposure  condition: HMDS 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min.  AZ1500 20CP 500 rpm. 5 sec, 6000 rpm 60 sec. prebake 100 deg., 10 min.  developer NMD-3 90 sec.  post bake 120 deg., 15 min. (Pasting on 3 inch wafer)</p>
17	Gate-Etch (CDE etcher)	step2: 25 deg., 50 sec. target Si:325 nm, Recipe:Poly_EB_RCP
	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
18	Ion implantation	<p>prebake 120 deg., 15 min. (Pasting on 3 inch wafer)  condition: P+ 35 keV, 3.0x10<sup>15</sup> cm<sup>-3</sup>,  N+ 35 keV, 3.0x10<sup>15</sup> cm<sup>-3</sup></p>
	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
19	Passivation SiO <sub>2</sub> (vertical CVD2)	condition: SiH <sub>4</sub> :O <sub>2</sub> =200:100 sccm, 0.3 Torr, 400 deg., 60 min., target:300 nm
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1 125-130 deg., 10 min.
20	Ion activation (Koyo-H #2)	condition: 950 deg., 10 min.
	H <sub>2</sub> anneal (Koyo-H #3)	condition: H <sub>2</sub> 100 sccm, 400 deg., 25 min.
21	<Contact>	<p>Laser exposure  condition: HMDS 500 rpm 5 sec., 6000 rpm 60 sec., prebake 100 deg., 10 min.  AZ1500 20CP 500 rpm 5 sec., 6000 rpm 60 sec., pre bake 100 deg., 10 min  developer NMD-3 90 sec.  post bake 120 deg., 15 min. (Pasting on 3 inch wafer)</p>
22	Contact-Etch	BHF Etching 5 min.
	Resist removal	Acetone 30 min. Ethanol
	SPM	SPM H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> =3:1, 120-130 deg., 10 min.

23	HF	1%HF 1.5 min.
	Al evaporation	condition: 250 W, 50 min., target: -nm, Recipi: Al-250W
24	<Al>	<p>Laser exposure  condition: HMDS 500 rpm. 5 sec, 6000 rpm 60  sec. prebake 100 deg., 10 min.</p> <p>AZ1500 20CP 500 rpm. 5 sec, 6000 rpm 60  sec. prebake 100 deg., 10 min.</p> <p>developer NMD-3 90 sec.  post bake 120 deg., 15 min. (Pasting on 3 inch wafer)</p>
25	Al-Etch	Mixed acid ( $\text{CH}_3\text{COOH}+\text{HNO}_3$ ) 40 deg., 90 sec. ~ (over-etch after Al is thought to be completely removed.)
	Resist removal	Acetone 10 min. Ethanol