

論文の内容の要旨

論文題目 高効率なメモリ順序違反検出機構に関する研究

氏 名 倉田 成己

マルチコア・プロセッサが広く普及している昨今において、out-of-orderスーパースカラ・プロセッサの面積効率・エネルギー効率が重要なものになっている。コアの面積・エネルギー効率の向上によって、チップに搭載するプロセッサ・コアの数を増やすことが可能となり、チップの最大性能を高めることができるからである。

Out-of-orderスーパースカラ・プロセッサの構成要素の中では、ロード・ストア・キュー(LSQ)が最も高コストなものの1つとなっている。LSQは、ロード/ストア命令の依存関係による先行制約を守りつつ、それらを投機的に実行する役割を果たす。その他の命令とは異なり、ロード/ストア命令の投機実行においては、ロード/ストア命令間の先行制約を満たすため、依存元のストア命令の発見、あるいは、メモリ・アクセス順序違反の検出など、動的なターゲット・アドレスの比較が必須である。この比較は、従来、CAMを用いてLSQを構成することによって行われてきた。しかしCAMは、その構造上、回路面積と消費エネルギーが非常に大きい。

一方で、メモリの下位階層との速度差を埋めるため、in-flightなロード/ストア命令の数を増加させることは極めて重要であり、LSQのエントリ数は増加の一途をたどっている。また、同時実行可能なロード/ストア命令の数を増やすことは、LSQを構成するCAMのポート数の増加につながる。CAMの面積は、ポート数の2乗に比例して増加するため、プロセッサの規模の拡大に伴ってLSQの面積は加速度的に増大している。

そのため、フィルタを用いてLSQのCAMの電力を削減する手法や、CAMを用いない手法

が提案されてきた。これらは、RAMで構成されたフィルタを用いて、順序違反/フォワードリング・ミス検出を行うことに特徴がある。フィルタは、ターゲット・アドレスをキーとするハッシュ・テーブルであり、ハッシュ値の衝突による偽陽性を不可避免的に伴う。しかし、このわずかな偽陽性を許容することによって、CAM を排除することが可能になるのである。

本論文では、このフィルタとして、Bloom Filter (BF)を用いる手法を提案する。BFは、複数のハッシュ関数を用いることによって極めて低い偽陽性率を達成することに本質的な特長がある。過去にはBFを用いたとする手法はいくつか提案されているが、これらはいずれもBFの本質的な特長である複数のハッシュ関数を用いておらず、サイズの割に高い偽陽性率に苦しんでいる。

また、BFを用いるにあたって必要な工夫である以下の点についても提案する。

1. ロード/ストア命令が投機ミス等によりフラッシュされた時、そのままではフィルタに不整合が生じるため、そうした場合にもフィルタの一貫性を保つ手法を提案する。
2. BF 自体の回路面積と消費エネルギーを削減するため、パラレル・カウンティング・ブルーム・フィルタ(PCBF)を採用するほか、カウンタ機能付き機能メモリ(functional memory)を用いてPCBF を構成する手法を提案する。特に後者は重要であり、同時実行可能なロード/ストア命令が多いハイエンドのプロセッサ・コアにおいて、RAMを用いてPCBF を構成するよりも大幅に有利となる。
3. 上述のPCBFを用いる手法では、偽陽性が発生したとき以外にも、カウンタがフルになったとき、ハッシュが衝突したときにペナルティが生じる。また、フィルタを用いた手法には、ロード/ストア命令のアクセス・サイズに起因してペナルティが増大する課題がある。本論文では、これらのペナルティを削減するPCBFの構成法についても提案する。

提案手法としてこれらの技術を組み合わせることが有効であることを確認するため、シミュレーションによるIPC（クロックサイクルあたりの実行命令数）の計測と、ツールによる回路面積および消費エネルギーの評価を行った。その結果、従来のCAMを用いた手法と比較して、平均98.6%のIPCを維持しながら、回路面積を20.3%、消費エネルギーを24.4%まで削減できることが示された。