

## 審査の結果の要旨

氏 名 有間 英志

本論文は「Cache Design Optimization for Energy-Efficient Processors」と題し、8つの章から構成される。近年、組み込みシステムから高性能計算機システムまで様々な計算機システムにおいて、電力効率の改善が求められている。本研究ではその中でも特に電力効率の改善が必要とされる携帯端末における汎用プロセッサのキャッシュに焦点を当て、その電力効率を改善するための設計最適化の方法論について述べている。具体的には、既存の揮発性のSRAMキャッシュ及び、将来的に利用が期待されている不揮発性のSTT-MRAMキャッシュの得失利害を論じ、システムの性能、コスト制約の下で適切な構成を選択し、さらに、各々のキャッシュの特性に応じて電源制御を最適化することで、キャッシュの消費エネルギーの最小化を図るというものである。

第1章「Introduction」では、本論文の背景、目的、及び構成について述べている。まず汎用プロセッサにおけるキャッシュの電力効率改善の重要性について述べた後、電力効率改善のために考慮すべき要件、開発すべき技術について言及している。

第2章「Background」では、本研究の背景知識についてまとめている。具体的には、キャッシュのハードウェア構成、現在のVLSIの低電力化のために用いられているパワーゲーティング技術、キャッシュメモリのリーク電力削減技術、について述べた後、さまざまな揮発メモリと不揮発性メモリの特長とその得失利害について述べている。

第3章「Overview of this work」では、本論文が扱う全体的な問題設定及びその定式化について述べている。その上で、以下の4章から6章で論じられる提案手法がこの問題を解決する上で果たしている貢献について整理している。

第4章「Lost Data Prefetch」では、揮発性のSRAMキャッシュの電源制御最適化手法であるLost Data Prefetch手法を提案し、その評価を行っている。既存の揮発性のSRAMキャッシュでは、データ保持に要する電力が問題となっており、この電力供給を断った場合には、データ損失によって大幅に性能が低下するため、キャッシュの電源遮断機会は限られているという問題があった。本章では、このデータ損失に起因した性能低下を抑制する手法としてLost Data Prefetchを提案している。具体的には、電源遮断によって損失したデータのうち、再利用されそうなものを予測し、アクセスされる前にメインメモリからプリフェッチするというものである。この予測アルゴリズムは、メモリアクセスがある程度の空間的なまとまりを持って行われるという空間的局所性に着目したものである。本章では、フルシステムシミュレータを用いた詳細な評価によって、本手法の有効性を定量的に明らかにしている。

第5章「Immediate Sleep」では、不揮発性のSTT-MRAMキャッシュの電源制御最適化手法であるImmediate Sleepの提案及び評価を行っている。不揮発性のSTT-MRAMキャッシュでは、データ保持に電力を必要としないため、メモリセルのリーク電力を大幅に抑えられるという利点がある。しかし、書き込みアクセス時に大電流を流す必要があるために、メモリ制御部分の周辺回路にリーク電力消費の大きい幅広・高性能トランジスタが必要となり、結果として十分な電力削減効果が得られないという問題があった。本章ではこの問題に対処するため、まず、周辺回路に関してサブアレイ単位の電源制御を適用し、次に、効率よく電源遮断を行うための電源制御アルゴリズムとしてImmediate Sleepを提案している。この提案アルゴリズムは、アクセスのクリティカルリティに着目したものであり、次のアクセスが性能にクリティカルでないと予測されれば、直ちにそのサブアレイの電源を遮断するというものである。これによって、性能への影響を抑えつつ周辺回路のリーク電力を大幅に抑えることが可能となる。評価では、詳細なシミュレーションによって従来手法に対する有効性を示すと共に、上記予測機構が非常に少ないハードウェアコストで実現できることを明らかにしている。

第6章「Evaluating parameter requirements of STT-MRAM caches」では、上記提案手法を勘案した上で、性能、コスト制約の下、キャッシュのエネルギーを最小化するように適切なメモリデバイスを選択するためのフレームワークの提案及び評価を行っている。STT-MRAMにおいては、素子の性能と製造コストはトレードオフの関係があるため、上記最適化を行う上でその要求性能を明らかにすることは重要である。また、この要求性能はシステムに与えられる負荷状況にも大きく依存する。そこで、本章では負荷状況に応じて要求性能を明らかにするための評価フレームワークを導出し、さらにそれを用いた定量的な評価を行っている。本フレームワーク利用し、さらに具体的な製造コストを与えることで、最適な設計を求めることができる。

第7章「Related work」では、本研究の特色及び既存手法との相違点について述べている。具体的には、対象とするシステム、構成要素、制御の時空間的粒度の観点から既存のエネルギー削減手法を分類し、これらに対する本研究の立ち位置を明確化している。

第8章「Conclusion and further discussions」では、本論文が提案する手法が果たした貢献をまとめるとともに、組み込みシステム、データセンターサーバ、高性能計算機システム等本論文で対象としていないシステムや、メインメモリ等キャッシュ以外のメモリ階層に対する本研究の拡張可能性について言及している。

以上を要するに、本論文は携帯端末における汎用プロセッサのキャッシュを対象とし、その電力効率を改善するための設計最適化の方法論について提案し、その有効性を明らかにしたものであり、その成果は情報理工学の発展に大きく貢献すると考えられる。

よって本論文は博士（情報理工学）の学位請求論文として合格と認められる。