

平成 29 年度 修士論文

InAlAs エッチストップ層を導入した InP/InGaAsP
ハーフリッジ導波路型偏波変換器の設計と試作

Fabrication tolerant InP/InGaAsP half ridge polarization
converter with InAlAs etch-stop layer

2018 年 2 月 1 日提出

指導教員 種村 拓夫 准教授

東京大学大学院 工学系研究科 電気系工学専攻

37 - 156463 小林 竜馬

目次

第 1 章	序論	- 1 -
1.1	InP 光集積回路の現状	- 1 -
1.2	半導体偏波制御デバイス	- 10 -
1.3	ハーフリッジ導波路型偏波変換器	- 10 -
1.4	作製誤差に対する耐性	- 12 -
1.5	研究の目的	- 12 -
1.6	本論文の構成	- 12 -
第 2 章	素子の設計	- 14 -
2.1	二次元有限要素法によるモード解析	- 14 -
第 3 章	素子の試作に向けた予備実験	- 19 -
3.1	MOVPE による結晶成長	- 19 -
3.2	InGaAlAs 層のエッチレートの評価	- 23 -
3.3	InAlAs 層のエッチレートの評価	- 24 -
3.4	ICP を利用した InAlAs 層のエッチレートの評価	- 25 -
第 4 章	素子の作製と評価	- 27 -
4.1	素子作製プロセス	- 27 -
4.2	素子作製の結果	- 34 -
4.3	偏波変換特性測定方法	- 36 -
4.4	実験結果	- 37 -
第 5 章	結論	- 42 -
付録	- 44 -
A.	C_{max} の導出	- 44 -
参考文献	- 45 -
本研究に関する発表	- 47 -
謝辞	- 48 -

第1章 序論

本研究は InAlAs をエッチストップ層として用いることにより InP ハーフリッジ導波路型偏波変換器のプロセス誤差耐性を改善することを目的としている。序論である本章では、まず InP 光集積回路の近年の動向について簡単に説明する。その後、近年高まる光の偏波状態を用いた通信に必要とされる偏波制御素子について概要を説明し、課題を述べる。最後に本研究の目的と本論文の構成を述べる。

1.1 InP 光集積回路の現状

レーザや光変調器、光増幅器、光検出器などの機能素子をモノリシックに集積した InP 系光集積回路 (PIC : Photonic Integrated Circuit) は、波長分割多重 (WDM : Wavelength-Division Multiplexing) 技術の送受信器を低コスト、低消費電力、小型化するのに重要な役割を果たしている。WDM の高密度化や光通信における新しい多重化、変調技術の開発に際して PIC の重要性はますます高まっていくであろうと予想される。

Fig. 1.1 に InP 系 PIC のワンチップ上に集積された素子の数の推移を示す。1980 年代後半から Arrayed Waveguide Grating (AWG) をベースにしたデバイスや WDM の送受信器の開発により急激に増加し、2000 年以降は、Infinera 社の 1.6Tb/s (40 チャンネル×40Gb/s) 小受信器に代表される大規模 PIC が次々に報告され[1]-[3], PIC 技術は一定の成熟期を迎えたと言えることができる[4]。

これらの成長は、エレクトロニクスにおける「ムーア則」になぞらえて、「光のムーア則」と呼ばれることもある[5]。しかし、エレクトロニクスほど PIC の市場への進出は進んでおらず、開発や製造にかかるコストの低減が重要な課題となっている[6]。

PIC の開発においては、プロセス技術は目的となる個々のデバイスに対して最適化されるように開発されることが多い。これにより、得たい機能は似ているが他の開発プラットフォームへの応用は簡単にできない技術が乱立するという状況が生まれている。この状況はそれぞれの技術に対する投資の増加を妨げ、開発コストが下がらない一因となる[6]。この状況を打開し、開発コストを低減するためにはマイクロエレクトロニクスの分野でも行われ

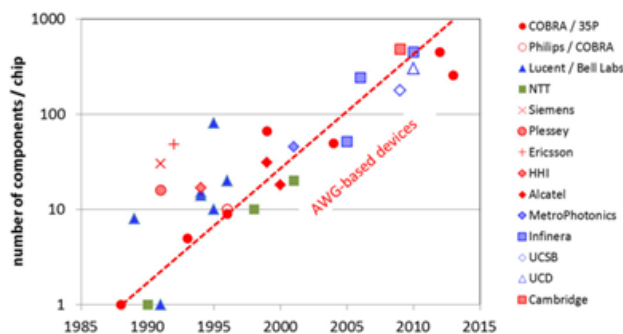


Figure 1.1 : Development of chip complexity measured as the number of components per chip.[6]

ているように,

- 組み合わせにより様々な機能素子を実現できる基本的な素子の一般化されたプロセス技術の確立.
- 確立されたプロセス技術を低コストで供給するファウンドリの設立.

を進めることが肝要であると考えられる[5].

これまで数多くのプロセス技術が研究されてきたが, それらは大きく, エピタキシャル成長, 導波路エッチング, 平坦化とパッシベーション, 電極プロセスの4つに分類することができる.

まず複数の機能素子をモノリシックに集積するには各機能素子に必要な異なるバンドギャップエネルギーを持つ構造をエピタキシャル成長する必要がある. Fig. 1.2 にその手法の代表的なものをまとめる. どれも結晶成長と選択エッチング, 必要に応じて結晶再成長を用いて実現されている. Fig. 1.2 (a)の Twin-Waveguide (TW) はバンドギャップの異なる層を結晶成長方向に集積し上層のモードを下層にテーパー構造を用いて結合させる方法[7]-[9]である. Fig. 1.2 (b)のオフセット量子井戸ではパッシブ層とアクティブ層が数 nm 隔たっているのみであるため TW のように基板に垂直な方向へ光を結合させる必要がない[10]. Fig. 1.2 (c)の量子井戸 intermixing は量子井戸中に欠陥や不純物を導入することで量子井戸の well 層と barrier 層の組成を混ぜ合わせ, well 層の実効的なバンドギャップを大きくする手法である[11]. Fig. 1.2 (c)で表されている選択成長 (SAG : Selective Area Growth) では SiO_2 マスクを用いて基板上で結晶成長の速度を局所的に制御し, 成長した量子井戸の井戸層の厚さを変化させることで異なるバンドギャップを得る方法である[12], [13]. Fig. 1.2 (d)の Butt-joint regrowth は四元化合物の精度の高い選択エッチングと再成長などの高度な技術力が必要となるが近年ではよく用いられている.

Fig. 1.3 に Butt-joint regrowth で異なるバンドギャップを持つ材料を成長したウェハに対して, 結晶成長に続いて行われるエッチング, 平坦化, 電極プロセスをまとめたものを示す. 一番上部の赤色の層は高濃度 p ドープされたコンタクト層である.

エッチングを深さで分類すると, 大きく分けて4つに分けることができる. 最も深いのは下部クラッド層にまで届く深掘りエッチングである. 強い光閉じ込めを要する曲率の大きな導波路, MMI (Multi Mode Interference) 導波路や AWG などに用いられる. 浅掘りエッチ

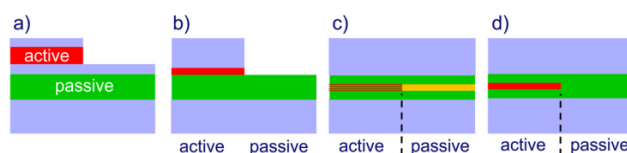


Figure 1.2 : Four active-passive integration schemes: (a) vertical twin-guide integration, (b) vertical single guide integration, (c) quantum well intermixing (and selective area growth), (d) butt-joint integration.[6]

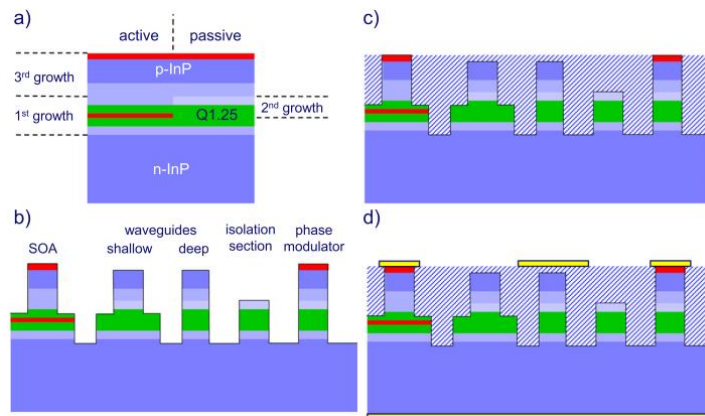


Figure 1.3 : Cross-section of the wafer structure after the four process modules: (a) epitaxial growth, (b) waveguide etching, (c) passivation and planarization, (d) contacting and interconnect metallization.[6]

ングはコア層を途中まで掘り込むもので、側壁での損失を小さくしたい光増幅器などに用いられる。次に浅いのは上部クラッドの p-InP を取り除くもので、アクティブ素子の電気的分離に用いられる。最後は一番上部のコンタクト層を取り除くもので、パッシブ導波路に用いられる。

平坦化とパッシベーションは素子の電気的分離や、その後のプロセスを効率よく進めるために行われるものでポリイミドや BCB (Benzocyclobutene) などが用いられる。

最後に平坦化された層からアクティブなメサに穴をあけて電極を作製する。必要に応じて、InP 基板を取り除き、ウェハの裏面に電極を作製する場合もある。

ここまでプロセス技術を簡単にまとめてきたが、それらを実現する手法にも様々なものがあり、開発プラットフォーム間でのプロセス手法の統一が遅れる一因となっていると考えられる。

2000 年代後半からヨーロッパにおいて PIC の集積プロセス技術の一般化に向けた取り組みが行われている。一般化における方針は、様々な用途の PIC の実現に必要な少数の基本的な機能素子の集積技術を確立し、複雑なデバイスをそれらの組み合わせによって実現するようにするということである。Fig. 1.4 に基本的な素子、例えば光増幅器、位相変調器、偏波変換器や導波路などをブロックのようにつなぎ合わせてより複雑なデバイスを構成する概念を示す。ここで重要になるのは何を最も基本的な機能素子 (BBB : Basic Building Block) とするかである。なるべく少数の BBB の組み合わせによってできるだけ多様なデバイス (CBB : Composite Building Block) が実現できるようにしなければならない。

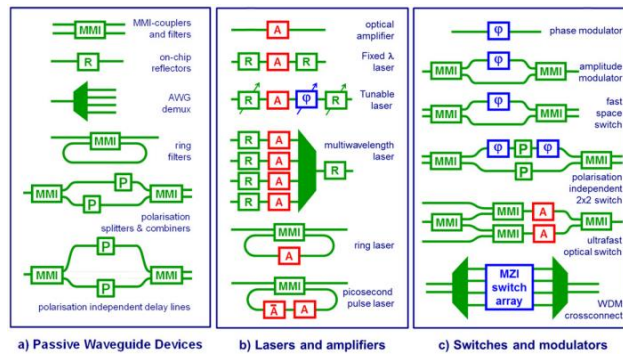


Figure 1.4 : Examples of the functionalities that can be realized with (a) passive waveguide devices alone, or in combination with (b) optical amplifiers and (c) phase modulators.[6]

Table 1.1 : Overview of the basic building blocks available in the three foundry platforms, at present and planned for 2015.[6]

Basic building blocks	Abbr	2012			2015		
		Oclaro	HHI	COBRA	Oclaro	HHI	COBRA
1 Passive waveguide	WG	•	•	•	•	•	•
2 Semiconductor optical amplifier	SOA	•	•	•	•	•	•
3 Photo detector	PD	10 GHz	40 GHz	10 GHz	40 GHz	40 GHz	40 GHz
4 Saturable absorber	SA	•	•	•	•	•	•
5 Electro-refractive phase modulator	ERM	10 GHz	•	10 GHz	40 GHz	•	40 GHz
6 Injection-type ERM	ERMI	•	•	1 GHz	1 GHz	•	1 GHz
7 Thermo optic phase modulator	TOM	•	•	•	•	•	•
8 Electro-absorption modulator	EAM	•	•	•	•	25 GHz	•
9 Tunable Bragg reflector	TBR	•	•	•	•	•	•
10 Electrical isolation section	EI	•	•	•	•	•	•
11 Polarization Rotation section	PR	•	•	•	•	•	•
12 Spot-size converter	SSC	•	•	•	•	•	•
13 Waveguide termination	WGT	•	•	•	•	•	•

Tab. 1.1 に一般化されたプロセス技術を提供するために設立されたヨーロッパのファウンドリである JePPIX[14]における BBB の提供状況をまとめる. JePPIX では Oclaro, Fraunhofer HHI, COBRA の3つのプラットフォームがある. ここに示された BBB をもとに様々な CBB, CBB を組み合わせたより複雑な CBB が作製されている. CBB のライブラリの充実が一般化の有用性を増すための鍵となると考えられる.

ヨーロッパで試行されているファウンドリモデルに関して簡単に紹介する. 一般化されたプロセス技術を提供するファウンドリに求められるのは, 低コストで高品質なプロセスの提供と, デバイス設計のサポートなどである. 開発プラットフォームを持たない研究者にとってはファウンドリを利用することで, 疑似的に設備費用やプロセス技術の開発費用をファウンドリの他のクライアントと分担することができる. またウェハのコストに関しても MPW (Multi-Project Wafer) という一枚のウェハ上に異なるクライアントの複数のデバイスを同時にプロセスする方法により分担することもできる. 設計にかかる時間に関しても, プロセス技術開発にかかる時間を省くことができ, ファウンドリがクライアントに設計用のソフトウェアを提供し BBB や CBB をライブラリとして利用できるようにすれば, クライアントはデバイスをゼロから設計する必要がなくなり時間の更なる節約になる. クライアント間で設計したデバイスが CBB として共有されれば開発効率はさらに上がるものと考

えられる。

Fig. 1.5-7 に JePPIX の各プラットフォームで作製されたデバイスを示す。これらのプラットフォームのアクティブパッシブ集積は **Butt-Joint** によって行われている。2015 年には試用段階で一般向けには開かれていなかったが、この他にも多くのデバイスが作製されており、一般化プロセスではない通常のプラットフォームで作製されたデバイスに匹敵する性能も報告されている。2017 年に研究用にファウンドリを公開できると言われていた[6]。

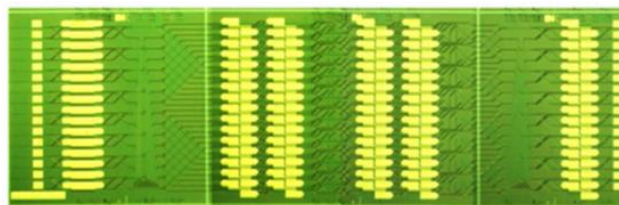


Figure 1.5 : Example of PIC realized on the generic COBRA platform. Monolithic 16×16 photonic switch for broadband photonic packet-routing (4.0×13.2 mm²)[15]

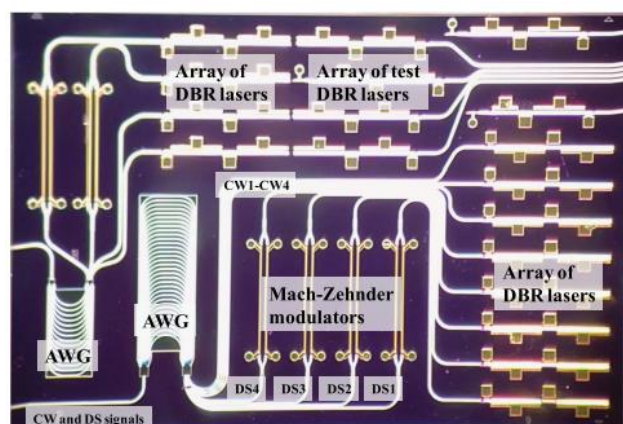


Figure 1.6 : Example of PIC realized on the generic Oclaro platform. PIC with a 4- and an 8-channel WDM transmitter. The 8-channel transmitter integrates 74 components on a chip area of $3 \times 5 \text{ mm}^2$ [16]

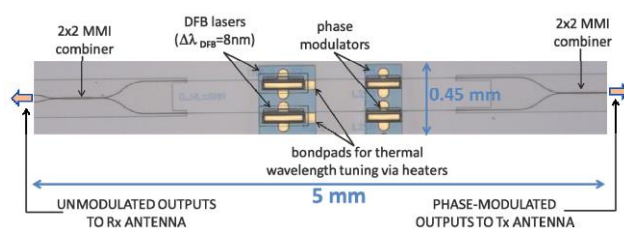


Figure 7 : Example of PIC realized on the generic Fraunhofer HHI platform. Transmitter for CW THz applications implemented on HHI's extended Tx/Rx integration platform.[17]

チップ作製コスト削減に重要な役割を果たすと考えられる MPW においては現状、同時にプロセスするデバイスのバンドギャップの組み合わせはデバイス間で統一する必要があり設計が制限されてしまう。これに対して SAG を用いれば SiO_2 マスクのデザインによりウェハ上のバンドギャップに大きな自由度を持たせることが可能となるので、InGaAlAs 量子井戸と SAG を用いたアクティブパッシブ集積プラットフォームの設立が考えられている。

近年では、エレクトロニクスの成熟した大規模、低コスト、高精度な CMOS 作製技術を利用したオプトエレクトロニクスの実現のため、シリコンフォトリソグラフィの研究も盛んに行われている。Si は $1.5\ \mu\text{m}$ や $1.3\ \mu\text{m}$ の通信波長帯の光に対して透明であり、低損失な導波路の作製が可能である。また Si と酸化膜の屈折率差が大きいために強い光の閉じ込めが実現しやすく、パッシブなデバイスの高密度な集積が可能となる。しかし、Si は通常間接遷移型の半導体であるために光増幅器やレーザなどアクティブデバイスの集積が課題となっている。Si 系材料とアクティブデバイスの集積にはいくつかの方法が研究されているが、中でも III-V 族化合物半導体をアクティブな部分に利用するハイブリッド集積が注目を集めている。Si 系材料上に化合物半導体を結晶成長するヘテロエピタキシャル成長、化合物半導体で別々に作製したアクティブ素子を Si 系導波路にボンディングして互いのモードを結合させる方法などである。

一般的に Si 上に InP 系材料を直接結晶成長するのは、大きな格子不整合と熱膨張係数差、異なる結晶極性のために難しい。これらは様々な結晶欠陥の原因となりデバイスの性能を著しく低下させる。欠陥の少ない結晶成長のために GaP 系材料を用いた方法や GaSb を用いた方法、InAs 量子ドットを用いた方法などが報告されているが、室温での通信波長帯の発振を効率よく得ることは難しかった。近年では選択成長 (SAG) を用いた方法が注目されている。

Wang らは SAG を用い Si 上への InP の直接成長、DFB (distributed feedback) レーザの作製、光励起による室温での発振を報告した[18]。Fig. 1.8 に作製された InP-DFB レーザの概要を示す。Fig. 1.8(e)のように Si に 2 つの (111) 面からなる V 字の溝を作り MOVPE (Metal Organic Vapor Phase Epitaxy) によって選択的に InP を結晶成長した。その後 DFB と出力用の回折格子を InP に作製したのち、InP 下部の Si をエッチングで取り除いた。これは Si の屈折率が InP よりも大きいため、InP 中への光の閉じ込めが弱くなるのを防ぐためである。ここで得られた InP において欠陥は Si との界面付近に集中しており、InP 中のモードと重なる部分には大きな欠陥が見られず結晶性の良い導波路が確認された。成長初期の欠陥により格子緩和が起こり結晶性の良い InP の成長が可能になったものと考えられている。このバッファ層の厚さは $20\ \text{nm}$ 程度であり、他の結晶成長手法で必要となるバッファ層より小さい。共振器部分に基板に垂直な光を当てることで室温での光励起によるレーザ発振が確認された。選択成長と特殊な面方位の利用により、高品質な InP が Si 上にバッファ層を薄く成長可能なことが確認されたが、次のステップとしては電流注入と発振波長の長波長化、つまりこの手法で成長された InP 上に四元化合物半導体を成長する方法のさらなる研究が必

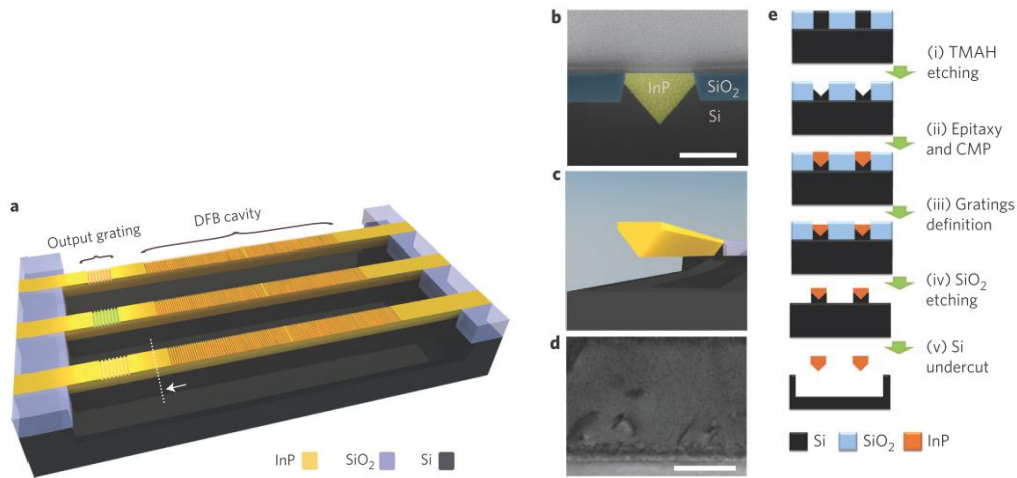


Figure 1.8 : Monolithic integration of InP lasers on Si. (a)Schematic of the monolithically integrated InP DFB lasers on Si. The laser cavities and the output gratings are labelled. Differently colored output gratings illustrate the tunability of the lasing wavelength. (b)False-colored SEM cross-section view of an InP-on-Si waveguide. Scale bar, 500 nm. (c)Schematic cross-section plot of the diamond-shaped waveguide, at the position indicated by a dotted line in (a). (d)TEM image of a specimen prepared parallel to the InP-on-silicon waveguide. Scale bar, 200 nm. (e) Integration flow steps. Cross-sections are shown orthogonal to the laser axis following each separate process step.[18]

要と考えられる。

ボンディングについて述べる。ボンディングには BCB や金属などの粘着物を用いたものとそうでないものに大きく分類できる。ハイブリッド集積においてはボンディングに必要な層の厚さは光の結合のために薄い方がよく、また貼り合わせる材料間での熱膨張係数の違いから低温で実現可能なボンディングであることが重要になる。さらにレーザと EA (Electro-absorption) 変調器の集積では化合物半導体側に複数のバンドギャップが求められるが、素子ごとに別々に成長したチップを複数枚ボンディングするのは難しく一度に複数のバンドギャップを持つチップをボンディングすることが望ましい。

Jain らは量子井戸 intermixing と plasma assisted bonding[19]を利用し、DFB レーザと EA 変調器のシリコンへのハイブリッド集積を報告した[20]。Fig. 1.9 にボンディング前に行う量子井戸 intermixing の概要を示す。イオン注入とアニールにより量子井戸のバンドギャップが変化していく。欠陥のソースとなる InP バッファ層を取り除くことで intermixing を遅らせることができ、これを利用することで同じウェハの同じ層内に複数の異なるバンドギャップを持つ領域を共存させることが可能となる。Fig. 1.10 には intermixing による PL ピーク

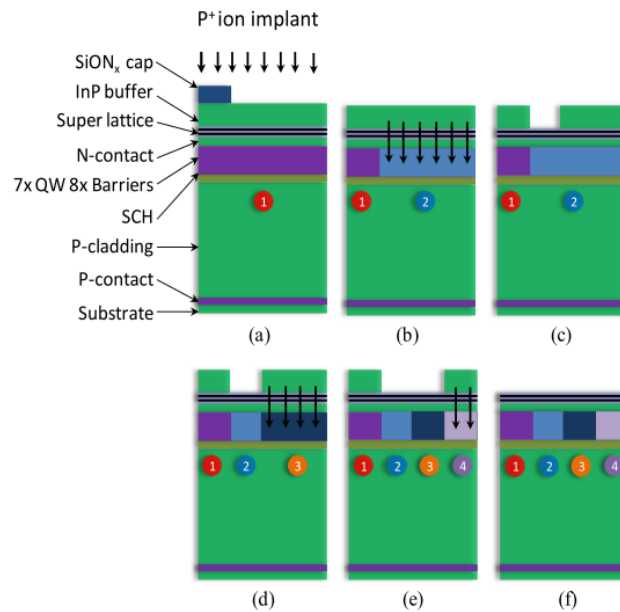


Figure 1.9 : Overview of ion implantation-based quantum well intermixing process used for the hybrid silicon platform. Four bandgap regions defined across the wafer are numbered 1, 2, 3 and 4. (a) Phosphorous ion implant into InP buffer with SiONx mask to preserve as-grown bandgap 1. (b) Diffusion of vacancies through quantum wells and barriers during RTA to create bandgap 2. (c) Selective removal of InP buffer layer to stop intermixing. (d) Diffusion of vacancies through QW structure for bandgap 3. (e) Selective removal of InP buffer and anneal for bandgap 4. (f) Blanket removal of InP buffer layer to planarize surface.[20]

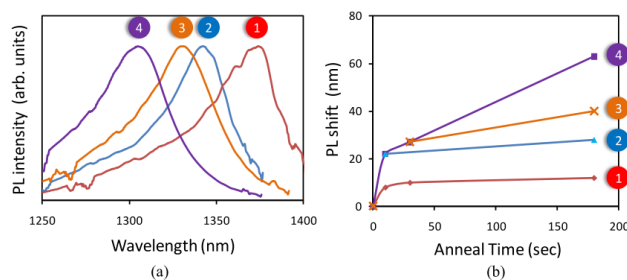


Figure 1.10 : (a) Normalized PL spectra obtained from four bandgaps across the wafer. (b) PL shift as a function of RTA time for four bandgaps across the wafer.[20]

の推移を示す。

Fig. 1.11 に O_2 plasma assisted bonding の概要を示す。ウェハー表面の厳密なクリーニングの後、 O_2 プラズマにより表面に薄い (< 5 nm) 親水性の酸化膜を形成、ファンデルワールス力や水素結合でくっついた界面から低温アニール ($300^\circ C$) によって H_2O が脱水され強い Si-O-M 結合 (M は III-V 材料) が生じる。選択エッチングで InP 基板を除去して、ボンディ

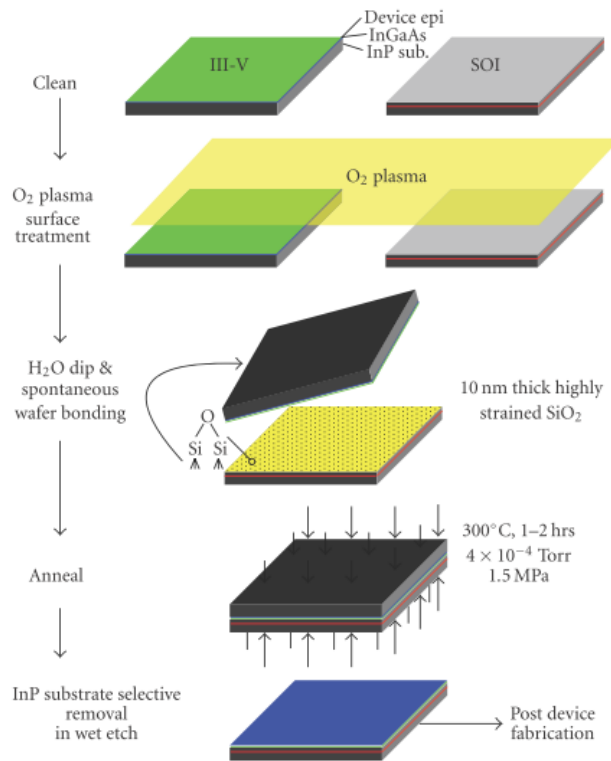


Figure 1.11 : Oxygen plasma-assisted low-temperature wafer bonding process flow.[21]

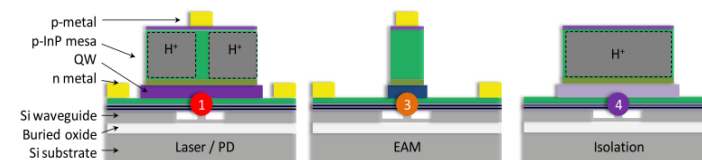


Figure 1.12: Schematic cross-section of (Left) Laser / photodetector section (bandgap 1, PL = 1357 nm, bandgap 2, PL = 1340 nm). (Center) EAM with narrow 4 μm mesa (bandgap 3, PL = 1327 nm). (Right) Isolation section (bandgap 4, PL = 1304 nm).[20]

ングは完了となる。その後のプロセスにより Fig. 1.12 に示すようなレーザ，光検出器，EA 変調器が作製され，DFB レーザアレイの動作が確認された。動作性能に改善の余地が見られたものの，Si 上に複数バンドギャップ InP 系材料の集積を実現させたという点で重要な研究であったと考えられる。

ここまで，PIC 開発の低コスト化に向けて近年行われている Generic Foundry Model や，InP 系材料と Si エレクトロニクスの融合などについて例に挙げながら紹介してきた。Foundry のアプローチはいまやヨーロッパだけでなく世界中で広まりつつあり（アメリカ：IP-IMI[22]），エレクトロニクスのように Foundry での開発，製造が一般的になる日は近いかもしれない。エレクトロニクスとフォトリソ集積については，今回紹介した方法のほかに，

IMOS (InP Membrane On Silicon[23]) と呼ばれる CMOS 上に InP 系材料の光デバイスをボンディングして Si 導波路を使わない方法などもあり、今後どのような手法が主流になっていくのか、気になるところである。

1.2 半導体偏波制御デバイス

さて、Faundry では光集積回路を構成する基本となる素子の製造プロセスを標準化し、さまざまな光集積回路をそれらの組み合わせによって実現しようとしているわけであるが、現状では、すべての機能素子に対して十分な特性や歩留まりを発揮することはできておらず、新しいプロセスや標準化に向けた簡単かつ許容誤差の大きいデバイス構造が模索されている。そのようなデバイスのひとつとして、偏波制御デバイスが挙げられる。光通信の分野では光の偏波状態を利用した通信方式の研究が注目を集めており、偏波制御デバイスの歩留まり改善や、ファウンドリでの供給などは今後ますます重要になってくるものと考えられる。

偏波制御を行う上で必要となる基本素子が光源から出た光の偏波状態を変化させる偏波変換器 (PC: Polarization Converter) である。空間光学系では、波長板を傾けて配置することにより光の偏波状態を変化させることができるが、チップ上で同様の機能を実現するには、基板に対して何らかの非対称性を持つ導波路構造を導入する必要がある。従来、片側傾斜構造やトレンチ構造など様々な素子が提案されているが[24][25]、上部クラッド層が薄いことや、特殊な層構造を要すること、作製において精密な位置合わせが必要であることなど、PIC に必要な他のデバイスとの集積が難しいものが多い。

1.3 ハーフリッジ導波路型偏波変換器

これに対し、本研究室で提案されたハーフリッジ導波路型偏波変換器を Fig. 1.13 に示す。リッジ導波路の片側をハイメサ導波路にした、通常のリッジ導波路に近い断面構造を持つため、レーザや変調器等の他の InP 系素子との低損失なモノリシック集積に適した構造と言える。さらにそのシンプルな構造のために比較的容易に作製でき高い歩留まりが期待できるという利点も有する。本研究室では斜め方向から蒸着することによるセルフアラインプ

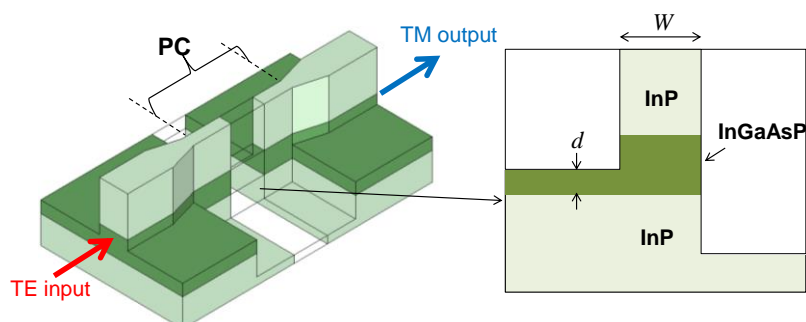


Figure 1.13: Schematic of half-ridge InP polarization converter [26]

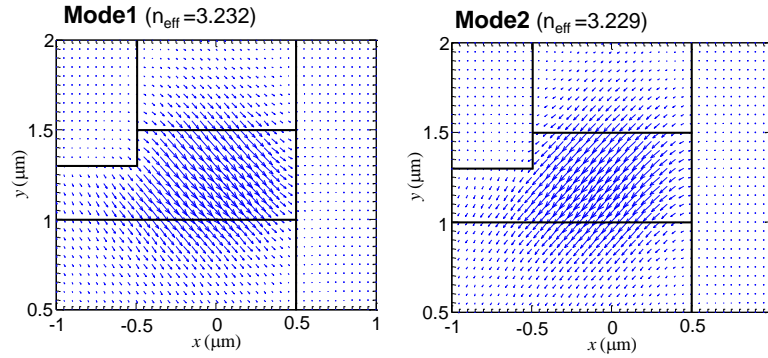


Figure 1.14: Waveguide modes of the half-ridge waveguide (magnetic field, $W = 1.0 \mu\text{m}$, $d = 0.3 \mu\text{m}$) [26]

ロセスを用いることによりハーフリッジ導波路型偏波変換器の作製をさらに簡単化している。

ハーフリッジ導波路の固有導波モードの計算結果例を Fig. 1.14 に示す[26]. このように、導波路幅 W とコア厚 d を適切に設計することにより、基板に対して約 45 度傾斜した固有導波モードを得ることができる. この場合、導波路は 45 度傾いた複屈折媒質として作用するため、例えば TE 光を入力し半ビート長を伝搬させることで電界・磁界ベクトルが 90 度回転した TM モード光が得られる. 3 次元ビーム伝搬法 (BPM : Beam-Propagation Method) による計算から、 $180 \mu\text{m}$ 長の素子で、97 %以上の TE-TM 変換効率が得られることが確認されている[26]. また原理検証のため、ハーフリッジ導波路型偏波変換器とリッジ導波路を集積した素子が実際に作製された[27]. Fig. 1.15 (a)に PC 部分の断面走査型電子顕微鏡 (SEM : Scanning Electron Microscope) 像を、偏波変換効率の測定結果を Fig. 1.15 (b)に示す. 1510～1575 nm の広い波長域にわたって、96 %以上の高い変換効率が得られることが確認されている. また、リッジ導波路との結合損は小さく、PC 部での伝搬損を含めた全体の挿入損失は 1 dB 以下と見積もられている[27].

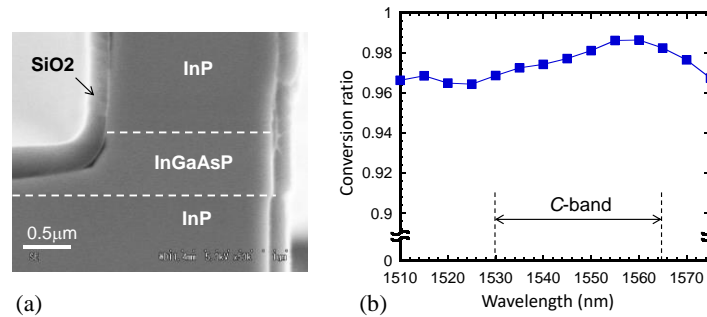


Figure 1.15 : Cross-sectional SEM image (a) and measured polarization conversion ratio of the fabricated PC [27]

1.4 作製誤差に対する耐性

大規模 PIC 上に集積する上で実用的に重要となるのが、作製誤差に対する耐性である。導波路幅 $W = 1.0 \mu\text{m}$ 、コア厚 d (Fig. 1.13 参照) $= 0.3 \mu\text{m}$ を設計中心とし、PC 部の長さを半ビート長である $215 \mu\text{m}$ に固定した場合について、実際に得られる変換効率の W と d の依存性を Fig. 1.16 に示す[28]。例えば、90 % 以上の変換効率を達成するための作製誤差の許容範囲は、導波路幅に関して $0.1 \mu\text{m}$ 、エッチング深さに関しては 40 nm であることが分かる。

導波路幅については、現在のプロセス技術を用いれば、誤差 $0.1 \mu\text{m}$ 以下で制御することは難しくない。一方でエッチング深さについては、 $1 \mu\text{m}$ 以上の上部 InP クラッドをエッチングした後に 40 nm 以下の精度でエッチングを止めることは容易ではない。面内均一性の制御の難しさも相まって、歩留まりを著しく低下させる。このことはハーフリッジ型偏波変換器の実用化を妨げる最大の要因の一つになっている。

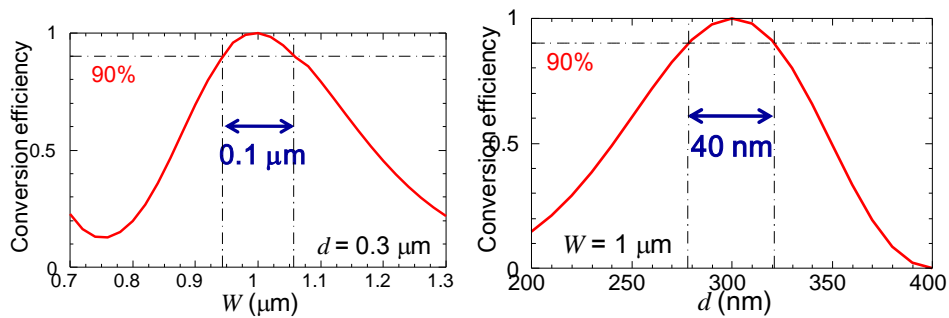


Figure 1. 16 : Conversion efficiency as a function of W and d [28]

1.5 研究の目的

以上を踏まえ、本研究では、モノリシック偏波制御デバイスに向けた InP ハーフリッジ型偏波変換器のプロセスの許容誤差を改善し歩留まりを向上させることを目的とした。具体的には、 CH_4/H_2 によるドライエッチングにおいて InP や InGaAsP に対して選択比を持つといわれる InAlAs[29]を InP ハーフリッジ導波路にエッチストップ層として導入し、エッチング深さの制御性を高めることを提案した。今回、プロセス誤差耐性を改善する目的で、InAlAs ドライエッチストップ層を導入したハーフリッジ型偏波変換器を新たに設計し、素子の設計と試作を行った結果、誤差耐性の改善を確認したので報告する。

1.6 本論文の構成

第 1 章ではここまで光集積回路に関する近況、光偏波制御素子の現状と課題、本研究の目的を述べてきた。本論文では第 2 章では InAlAs エッチストップ層を導入したハーフリッジ導波路型偏波変換器の設計について説明する。第 3 章では実際にデバイスを作製する前に行った、デバイス作製に必要な結晶成長の条件出し、エッチング試行などの予備実験について述べる。第 4 章では、実際に行った素子作製プロセス、作製結果、偏波変換特性の測定手

順とその結果を述べる．そして第 5 章で本研究の結論を述べて終える．

第2章 素子の設計

この章では InAlAs エッチストップ層を導入したハーフリッジ導波路型 TE-TM モード偏波変換器の設計について述べる．二次元有限要素法を用いた非対称導波路断面における光の導波モード解析を行い，TE-TM モードの偏波変換を行うのに必要な非対称導波路の各寸法の見積もりを行った．また，作製したデバイスの寸法が設計値と一致しない場合に一定以上の変換効率が得られる誤差範囲についても見積もりを行った．これらについて以下順に述べていく．

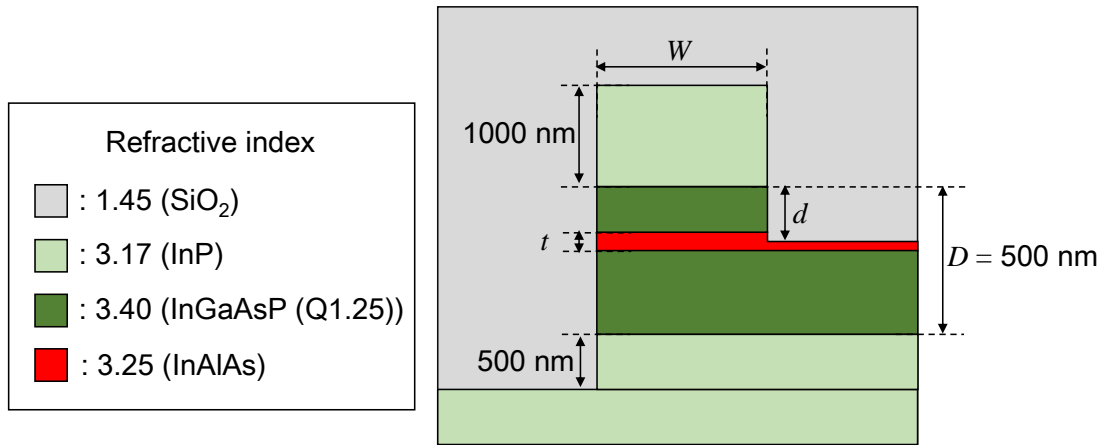


Figure 2.1 : A cross section of asymmetric waveguide (calculated structure)

2.1 二次元有限要素法によるモード解析

Fig. 2.1 に示す断面構造に対して二次元有限要素法を用いてモード解析を行った．今回の計算では先行研究にならい，上部 InP クラッドの厚さを 1000 nm，InGaAsP/InAlAs/InGaAsP を合わせたコア厚 500 nm，ハイメサ側の下部 InP クラッド掘り深さを 500 nm とした．導波路は SiO₂ に覆われているものとする．残る寸法の導波路幅 W ，InAlAs の厚さ t ，InAlAs 層の挿入位置を知る必要がある．

Fig. 2.2 に適当な寸法パラメータを当てはめて計算することで得られた基本モードの磁界分布の一例を示す．このようにコア中に異なる実効屈折率を持つモードが存在し，その磁界の向きが基板垂直方向から傾いていることがわかる．このことを複屈折材料である波長板が傾いている状態になぞらえることでこの後の設計を進めていく．この傾きが 45 度となる断面構造を持つ導波路を半ビート長伝播することで基板に平行な TE モード光と垂直な TM モード光は交換されることとなる．

今回，基本モードの傾きを評価するための指標として，ローテーションパラメータ R を，

$$R = \frac{\iint |H_x|^2 dx dy}{\iint |H_y|^2 dx dy} \quad (2.1)$$

により導入した．ここで H_x と H_y はそれぞれ磁界の水平成分と垂直成分を表す．また今回の

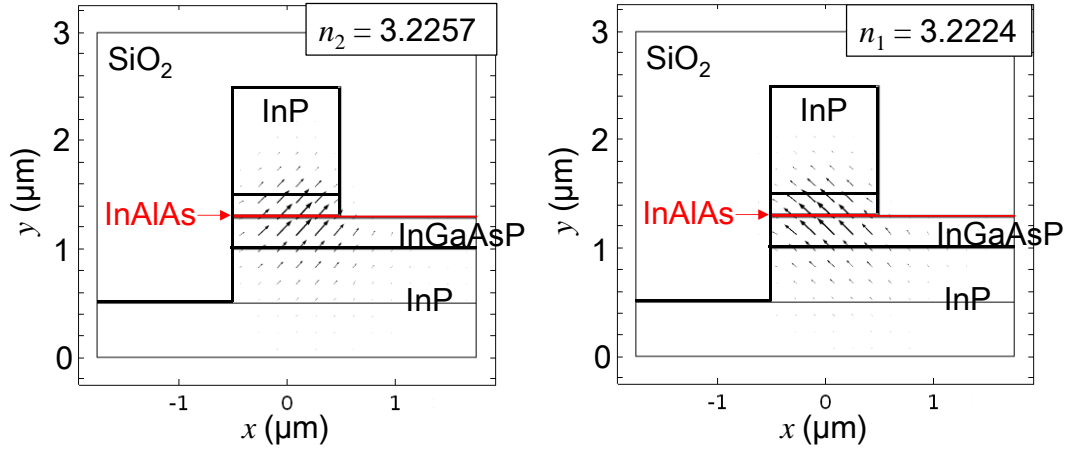


Figure 2.2 : Eigen mode Magnetic field

計算では積分範囲をコア全体とした． R が 1 に近いほどモードの傾きが 45 度に近づくこととなる．導波路の半ビート長は，

$$L_{\pi} = \frac{\lambda}{2(n_2 - n_1)} \quad (2.2)$$

により計算した．ここで λ は伝播する光の波長， n_2 と n_1 はそれぞれ基本モードにおける導波路の実効屈折率を表す．半ビート長は偏波変換器となった際のデバイス長に直結するパラメータであり，短い方がよいとされる．また，ある R を持つ導波路を TE モード光が半ビート長伝搬することで得られる偏光状態がどれだけ TM モードに近づいたかを評価する指標として，最大変換効率 C_{max} を，

$$C_{max} = \frac{4R}{(1 + R)^2} \quad (2.3)$$

により導入する． C_{max} が 1 の場合には TE モード入射光は導波路を半ビート長伝搬した際 TM に完全に変換されることとなる． C_{max} の導出については付録に載せる．

導波路幅 W と InAlAs 厚 t そして InAlAs 層の位置を変化させて計算を行って得られた C_{max} を Fig 2.3 に示す．ここで凡例は InAlAs 層の中心とコア層の上端の距離を示している．これは(a)から(c)まで共通である．この計算結果からまず，InAlAs 層を挿入する位置を決めることにした．InAlAs 層がコア上端から 200 nm の位置にある場合に C_{max} が広い範囲で高い値になっていることが見て取れる．このことは t が計算したどの値の場合においても同様である．他のパラメータに対する設計の自由度を考慮し，InAlAs 層の位置をコア上端から 200 nm の位置に固定することにした．

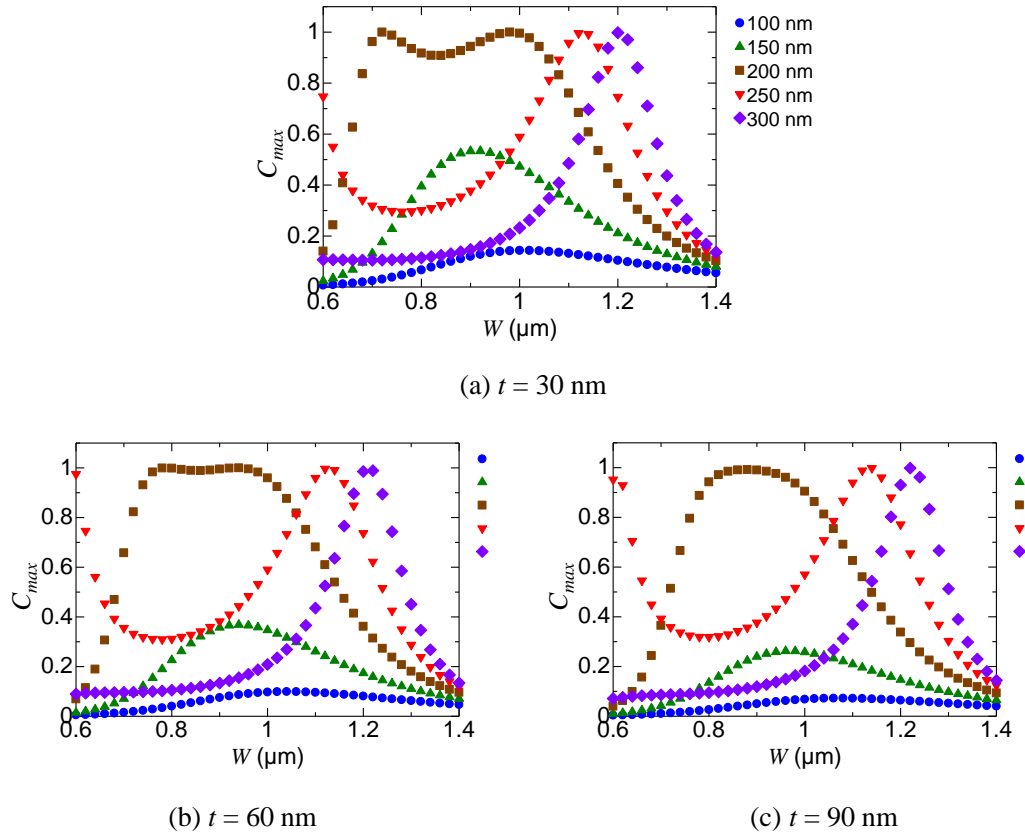


Figure 2.3 : Maximum TE-TM conversion ratio (C_{max}) for different position of InAlAs layer. The legends mean the distance between the center of InAlAs and upper edge of core layer. InAlAs thickness t is (a) 30 nm, (b) 60 nm and (c) 90 nm.

続いて、InAlAs 層がコア上端から 200 nm の場所に位置する場合に導波路幅 W と InAlAs 厚 t を変化させて計算を行って得られた C_{max} と半ビート長を Fig. 2.4-5 にそれぞれ示す。この結果から、 t を 90 nm と大きな値にした場合でも C_{max} が 1 となる構造が存在することがわかった。 t が 90 nm より小さくなる場合を見た場合、大きな C_{max} が得られる導波路幅 W の領域は t が 60 nm の場合のように広がっていき、さらに t が小さくなると、30 nm の場合のように大きな C_{max} が得られる導波路幅 W の領域が狭い 2 つの領域に分かれることがわかった。大きな C_{max} が得られる導波路幅 W の領域が広いということは、設計の自由度が高いことを示す。

半ビート長に関しては、 C_{max} の大きい W が 0.7 から 1.0 μm の領域に着目してみる。 t が 60 nm, 90 nm の場合には W に対して半ビート長が単調増加している。一方 t が 30 nm の場合には W が 0.7 から 0.8 μm 程度の領域で半ビート長が横ばいからやや減少していることがわかる。

以上より、大きな C_{max} を持ちつつ許される W の範囲で小さいものを選ぶことで、性能よく素子長の短い偏波変換器が期待できる。

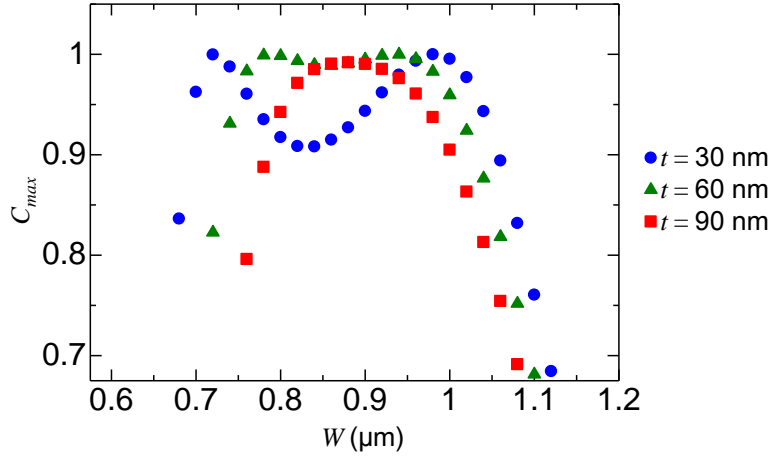


Figure 2.4 : Maximum TE-TM conversion ratio (C_{max})

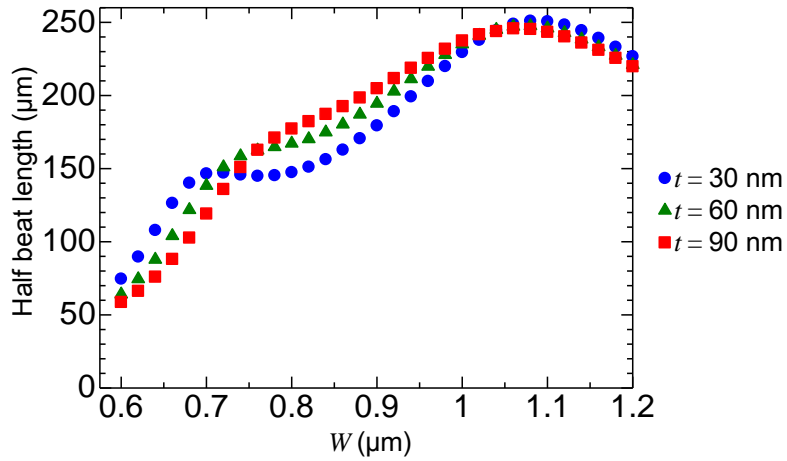


Figure 2.5 : Half beat length

ここで各 t に対して、 C_{max} が最大となり、半ビート長が短くなる W での半ビート長で素子長を固定した場合に、導波路幅 W が設計値からずれた場合に期待できる偏波変換効率 C を、

$$C = \frac{1}{2} C_{max} \left(1 - \cos \left(\pi \frac{L}{L_{\pi}} \right) \right) \quad (2.4)$$

により見積もってみる．この式中の素子長 L を設計値として固定し、 C_{max} と L_{π} を各 W に対応するものに置き換えていった結果を Fig. 2.6 にまとめる． t が 30 nm のものでは、 W が 0.72 μm の場合での半ビート長 147 μm を基準にしており、同様に t が 60 nm で W が 0.78 μm と半ビート長 165 μm 、 t が 90 nm のとき W が 0.88 μm と半ビート長 198 μm を基準においている．ここから高い変換効率が期待できる、例えば C が 95 % 以上となる W の範囲をみると t

が 30 nm の場合に 60 nm, t が 60 nm の場合に 120 nm, t が 90 nm の場合に 120 nm となることが分かる.

以上を踏まえると, 作製プロセスによる W の精度に合わせて, t が 30 nm か 60 nm とすることが望ましいと考えられる.

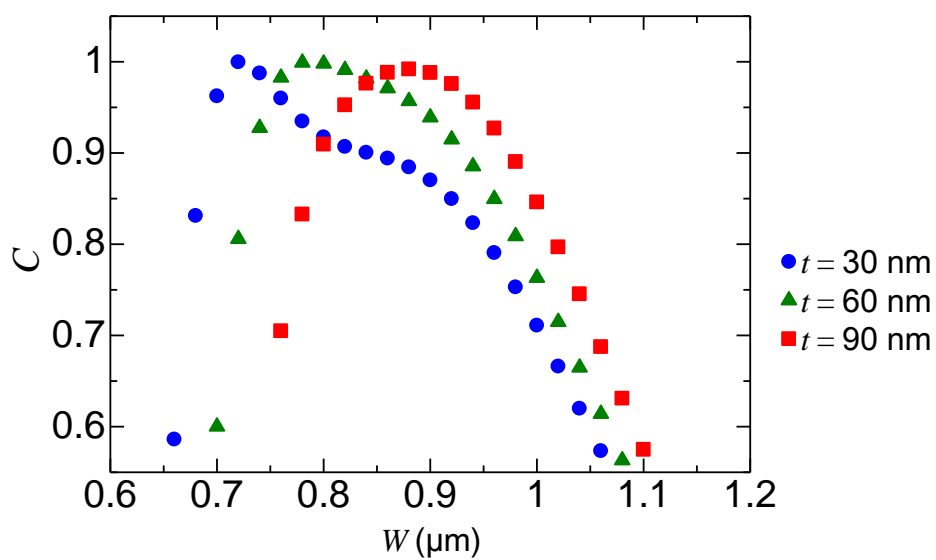


Figure 2.6 : TE-TM conversion ratio (C)

第3章 素子の試作に向けた予備実験

本研究では実際に設計に基づきハーフリッジ導波路型偏波変換器を作製する前に、偏波変換器の作製に必要な化合物半導体結晶成長の条件出しを行った。また、結晶成長したウェハを用いてドライエッチングを試行し、エッチレートの確認を行った。本章ではそれらについて順に説明していく。

3.1 MOVPE による結晶成長

有機金属気相エピタキシャル成長法（MOVPE : Metal-Organic Vapor Phase Epitaxy）を行うための装置の概要を Fig. 3.1 に示す。MOVPE による結晶成長ではリアクター内の基板の温度と流れる原料ガスの分圧が重要なパラメータとなる。Fig. 3.2 に III-V 族化合物半導体の格子定数とバンドギャップの関係を示す。三元や四元混晶の組成を変化させることで各二元化合物の間の特性を持つ結晶をつくることができる。図中の 2 つの化合物を結ぶ曲線は三元混晶のバンドギャップと格子定数を示す。実線は直接遷移の領域であり、破線は間接遷移型の領域である[30]。ここでいう組成とは結晶中の固相組成を指すが、MOVPE で固相組成を制御するにあたっては流れるガスの気相組成（分圧比）を変化させる必要がある。気相組成と固相組成は一般に一致せず、また装置ごとに条件は変わるために狙った固相組成を得るための気相組成を個別に求める必要がある。InP 上に他の化合物を成長する際は、InP との格子定数の差が 0.1 % 程度以内であれば欠陥の少ない良質な結晶が得られるといわれている。

ハーフリッジ導波路型偏波変換器に必要な結晶はクラッド層となる InP、コア層となる InGaAsP (Q1.25 : InP に格子整合し、バンドギャップエネルギーに対応する波長が 1.25 μm) を基本として、エッチストップ層として Al を含む化合物半導体である。エッチストップ層を導入することによる影響しようと考えた場合、コアである InGaAsP (Q1.25) と格子

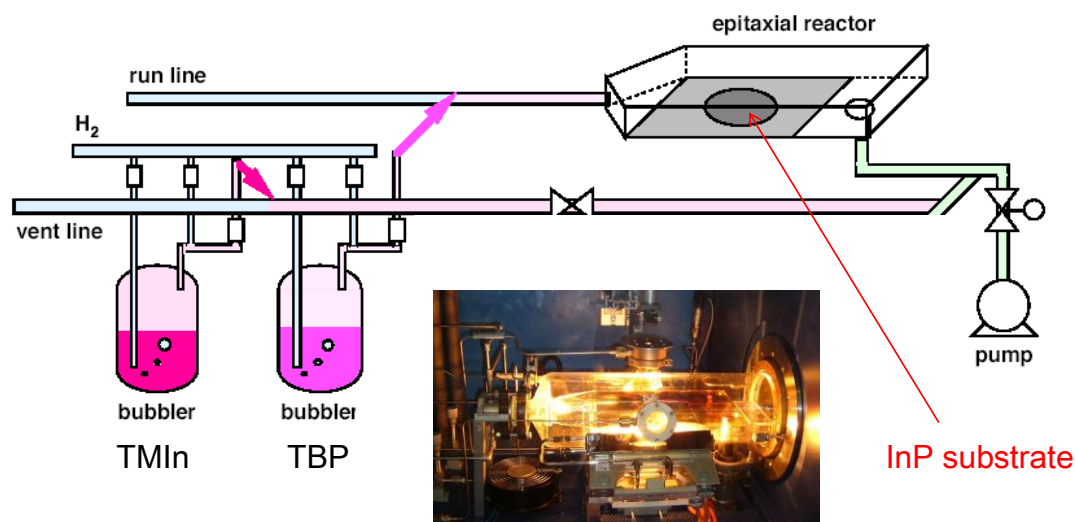


Figure 3.1 : Image of MOVPE machine

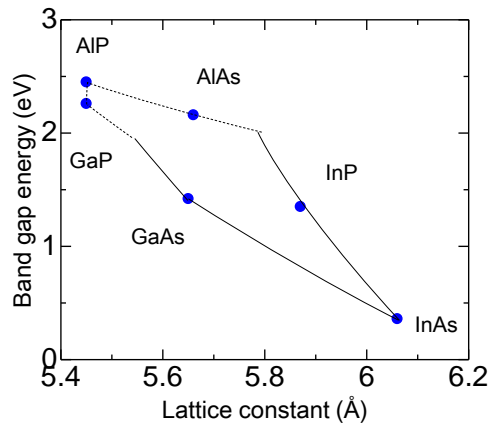


Figure 3.2 : Relation between bandgap and lattice constant of III-V binaries that are used for epitaxial growth on InP substrate.

定数とバンドギャップエネルギーを合わせることができる四元化合物の InGaAlAs (Q1.25) がまずストップ層の候補に挙げた。また、ストップ層としての機能は Al 組成に比例して増すと考え、InP と格子整合させながら最も Al 組成を大きくできる InAlAs をもう一つの候補に挙げた。InP を除いて 3 つの化合物の結晶成長について述べていく。

結晶成長した結果を評価する指標は、X 線回折 (XRD : X-ray diffraction) やフォトルミネッセンス (PL : Photoluminescence) の測定などがある。XRD により結晶の格子定数や膜厚を測定することができ、そこから結晶にかかる歪みも知ることができる。XRD で結晶の対象反射を測定することを考えた場合、次式の

$$2d \sin \omega = m\lambda \quad (3.1)$$

により格子定数 d を得ることができる。ここで ω は結晶に対する X 線の入射角であり、 λ は X 線の波長、 m は整数である。

PL 測定については結晶のバンドギャップエネルギーを見積もるために用いることができる。結晶材料について想定されるバンドギャップよりもエネルギーの大きい (波長の短い) レーザをサンプルに入射させ散乱光として結晶材料の自然放出を測定する。その波長スペクトルを解析することで結晶材料のバンドギャップエネルギーを推定することができる。

InAlAs に関しては今回狙った組成は InP に格子整合する $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ である。条件出しのために面方位 (100) の InP 基板上に InAlAs を 100 nm 程度成長し、続けて InP を 30 nm 程度成長した。成長温度は 610 度, In 原料の TMIIn (トリメチルインジウム) と Al 原料の TMAI (トリメチルアルミニウム) の分圧比 $P_{\text{TMAI}} / (P_{\text{TMAI}} + P_{\text{TMIIn}})$ は 0.21 程度とした。成長したサンプルの InP (400) 面付近 XRD の結果を Fig. 3.3 に示す。この結果より Al 組成が 47.3 % で 500 ppm 程度の圧縮歪みがかかっていることが分かった。格子定数差が 0.1 % 以内なのでこの条件を目下のところ使うことにした。

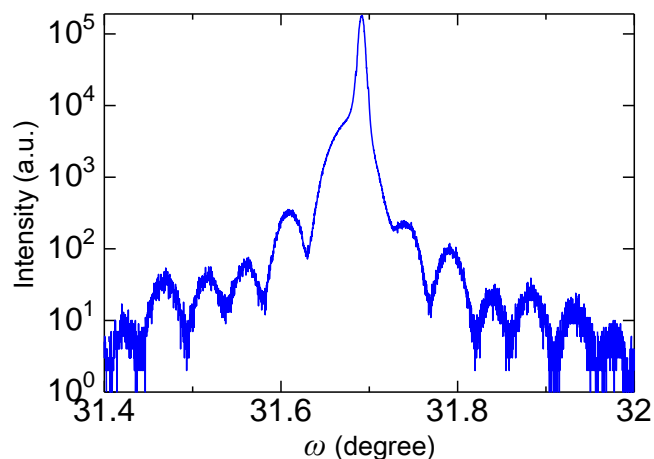


Figure 3.3 : (4 0 0) X-Ray diffraction of InP / InAlAs / InP grown with MOVPE

III 族原子が三種類の四元化合物に関しては比較的原料ガスの気相組成とサンプル上の固相組成が似た傾向を示すことが知られている。また四元化合物の結晶の評価では、XRD のみではなく PL のピーク波長を観察する。XRD 測定により知ることのできる結晶の格子定数と PL ピーク波長から推測できるバンドギャップエネルギーの2つを合わせて初めて四元化合物の組成を知ることができる。InAlAs の条件出しと同様なサンプルを、InAlAs を InGaAlAs で置き換えたものを結晶成長した。Ga の原料ガスは TMGa (トリメチルガリウム) である。成長したサンプルの XRD と、波長 940 nm のレーザ光で励起した PL スペクトルをそれぞれ Fig. 3.4-5 に示す。XRD では InP の格子定数に対応して立つピークと InGaAlAs の格子定数に対応して立つピークが重なったようになっており、ほぼ InP に格子整合した InGaAlAs が得られたのではないかと考えられる。PL のスペクトルはピーク波長が 1274 nm

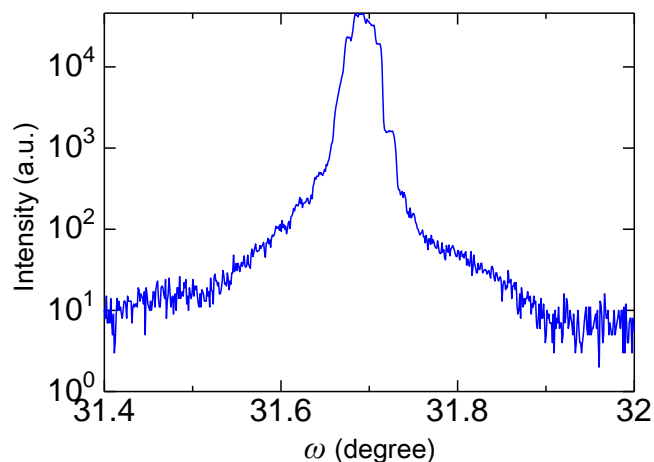


Figure 3.4 : (4 0 0) X-Ray diffraction of InP / InGaAlAs / InP grown with MOVPE

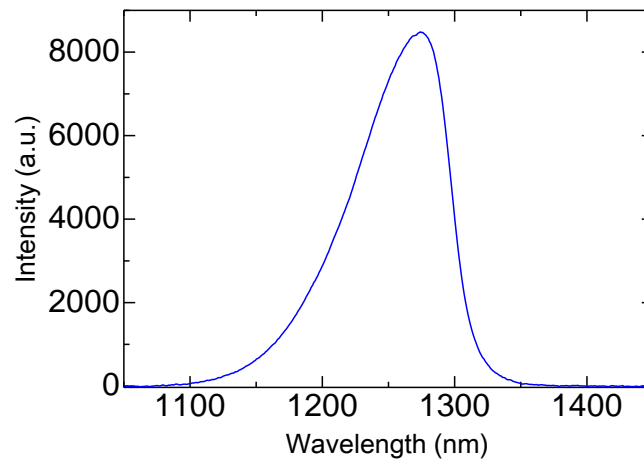


Figure 3.5 : Photoluminescence of InP / InGaAlAs / InP grown with MOVPE

となった．波長が狙った値 1250 nm よりも長波側にずれた．狙いの組成は $\text{In}_{0.53}\text{Ga}_{0.31}\text{Al}_{0.16}\text{As}$ であったが，Ga が 33 % 程度，Al が 14 % 程度の組成が得られた．

InGaAsP については III 族原子が 2 種，V 族原子が 2 種となっている．この場合 V 族の固相組成が気相組成と大きく離れやすいことが知られている．同様に成長した InGaAsP について測定した XRD と PL の測定結果を Fig. 3.6-7 にそれぞれ示す．XRD より，InP のピークよりも小さい角度で InGaAsP のものとみられるピークがあり，380 ppm 程度の圧縮歪みになっていると考えられる．また PL スペクトルのピークは 1260 nm であった．ここから得られる組成は $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}_{0.56}\text{P}_{0.44}$ であることがわかり，求めた特性に近い条件を得ることができた．

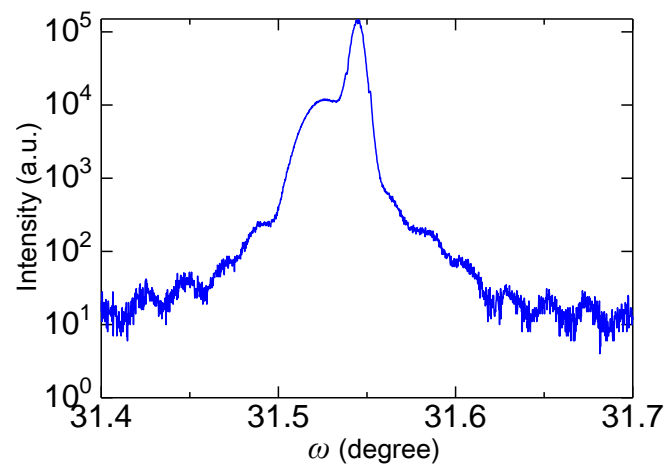


Figure 3.6 : (4 0 0) X-Ray diffraction of InP / InGaAsP / InP grown with MOVPE

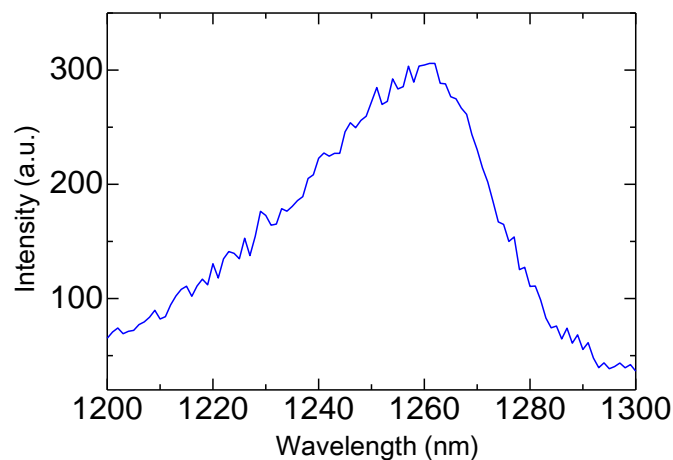


Figure 3.7 : Photoluminescence of InP / InGaAsP / InP grown with MOVPE

以上で得られた条件を用いてこの後，結晶成長を進めることとした．

3.2 InGaAlAs 層のエッチレートの評価

Al 組成が 14 %程度と推定される InGaAlAs に対して CH₄/H₂ ガスを用いた反応性イオンエッチング（RIE : Reactive Ion Etching）を行い，InP や InGaAsP との選択比を求めた．エッチングの条件は 5 分間の CH₄/H₂ プラズマ（温度 : 60 度，圧力 : 15 mTorr，CH₄ 流量 : 7 sccm，H₂ 流量 : 48 sccm，出力 : 80 W），20 sec の O₂ プラズマ（温度 : 60 度，圧力 : 75 mTorr，O₂ 流量 50 sccm，40 W）を 1 cycle としてその cycle を繰り返すもので，主に CH₄/H₂ でエッチングし，その際サンプル表面やエッチャーの反応炉内部に堆積するポリマーを O₂ プラズマで除去している．

エッチングの試行には MOVPE で結晶成長した Tab. 3.1 に示す構造のサンプルを用いた．サンプル表面の一部を Si マスクで覆いエッチングを行い，段差計によりエッチング量を測定した．その結果を Fig. 3.8 に示す．InGaAlAs のエッチングレートは約 4 nm/分となった．同条件での InP，InGaAsP のエッチングレートはそれぞれ 15 nm/分，8 nm/分程度と言われており，InGaAsP に対して 2 倍程度の選択比であることがわかった．エッチストップ層として用いるには小さい選択比と言える．

Table 3.1 : Grown wafer (InGaAlAs)

material	Thickness	Carrier density
n-InP (sub.)	350 μm	4.0 ~ 6.0 × 10 ¹⁸ /cm ³ (S)
u-InP	100 nm	-
u-InGaAlAs	200 nm	-
u-InP	40 nm	-

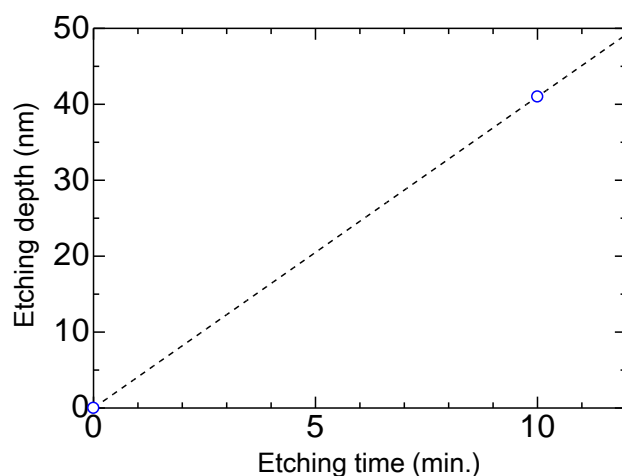


Figure 3.8 : Etching rate of InGaAlAs

3.3 InAlAs 層のエッチレートの評価

次に、InP と研究室で結晶成長した InGaAsP (Q1.23), そして InAlAs (Al 組成 47.3 %) のエッチングを試行しエッチレートを算出した. InP は基板を, それ以外は InP 基板上にターゲットとなる材料を成長したのちに InP を成長した Tab. 3.2-3 に示す構造のサンプルを用いた. これらのサンプルに対して Si 基板をマスクにしてエッチングを行い, 段差計でエッチングされていない部分との差を測定した. この操作を, エッチング時間を変化させながら繰り返した. エッチングの条件は 5 分間の CH₄/H₂ プラズマ (圧力 : 15 mTorr, CH₄ 流量 : 9 sccm, H₂ 流量 : 48 sccm, 出力 : 80 W), 22 sec の O₂ プラズマ (圧力 : 75 mTorr, O₂ 流量 50 sccm, 40 W) を 1 cycle としてその cycle を繰り返すもので, InGaAlAs に対して行ったエッチングと比較すると CH₄ 流量が 2 sccm 増加し, O₂ プラズマの時間が 2 秒増えている.

Fig. 3.9 に測定した結果を示す. InP, InGaAsP (Q1.23), InAlAs (Al:47.3 %) のエッチレートはそれぞれ, 17.6 nm/min, 10.4 nm/min, 1.9 nm/min であることが分かった. ここから InAlAs とコアの InGaAsP のエッチング選択比が 1 : 5 程度あることが分かった. InGaAlAs と

Table 3.2 : Grown wafer (for InGaAsP)

material	Thickness	Carrier density
n-InP (sub.)	350 μm	$4.0 \sim 6.0 \times 10^{18}/\text{cm}^3$ (S)
u-InP	40 nm	-
u-InGaAsP	295 nm	-
u-InAlAs	10 nm	-
u-InGaAsP	195 nm	-
u-InP	450 nm	-

Table 3 : Grown wafer (for InAlAs)

material	Thickness	Carrier density
n-InP (sub.)	350 μm	$4.0 \sim 6.0 \times 10^{18}/\text{cm}^3$ (S)
u-InP	40 nm	-
u-InAlAs	100 nm	-
u-InP	40 nm	-

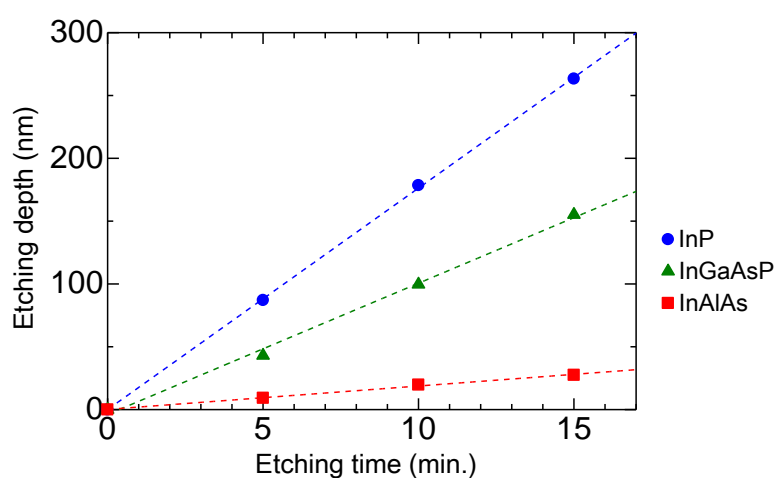


Figure 3.9 : Etched depth of InP, InGaAsP(Q1.23) and InAlAs(Al : 47.3 %) depending on time.

Etch rate of InP InGaAsP and InAlAs is 17.6 nm/min, 10.4 nm/min, 1.9 nm/min, respectively.

比較して大きな選択比が得られた．InAlAs を InGaAsP コア中にストップ層として導入することを想定するとエッチング深さの制御性としては InGaAsP よりも InAlAs では単純に 5 倍の余裕が生じることとなる．

3.4 ICP を利用した InAlAs 層のエッチレートの評価

InAlAs が CH_4/H_2 による RIE で削れにくい原因は、化学反応によりできる TMAI がサンプル表面から気体となって離れにくいという説や、 O_2 プラズマによって酸化された Al がマスクとなりエッチングを阻害するという説がある．いずれの場合も InAlAs のエッチングを進める力は、InP や InGaAsP と比較して、化学反応によるものよりもイオン衝突によるスパッタリングが主なのではないかと考えられる．化学反応によるエッチングが起きやすいエッチング条件であれば InP や InGaAsP と InAlAs でエッチングレートの差が広がりやすいのではないかと考えられる．ここまでの RIE では容量結合型（平行平板型）(CCP : Capacitive Coupled Plasma) を用いていた．この方式では反応性の高いラジカルを密度を上げるためには同時にイオンの加速電圧も上げることとなり、化学反応とともに衝突によるエッチング

も促進することになる。しかし誘導結合型（ICP：Inductive Coupled Plasm）ではラジカルの密度と加速電圧をそれぞれ調節することが可能である。このことを利用して InAlAs の選択比の改善を図った。

結晶成長した Tab. 3.2-3 に示す二種類の層構造を持つウェハに対して実際にエッチングを行い、InP、InGaAsP、InAlAs のエッチングレートの測定を行った。エッチングの条件は 1 分間の CH₄/H₂ プラズマ（圧力：15 mTorr、CH₄ 流量：15 sccm、H₂ 流量：45 sccm、CCP 出力：120 W、ICP 出力：100 W）、22 sec の O₂ プラズマ（圧力：75 mTorr、O₂ 流量 50 sccm、CCP 出力 40 W）を 1 cycle としてその cycle を繰り返すものである。Fig. 3.10 に測定結果を示す。この結果から、各材料のエッチングレートが InP：84 nm/分、InGaAsP：67 nm/分、InAlAs：3 nm/分程度であることが分かった。InGaAsP に対して InAlAs の選択比が 20 倍以上と CCP-RIE で得られた選択比の 4 倍の選択比が得られたことが分かる。

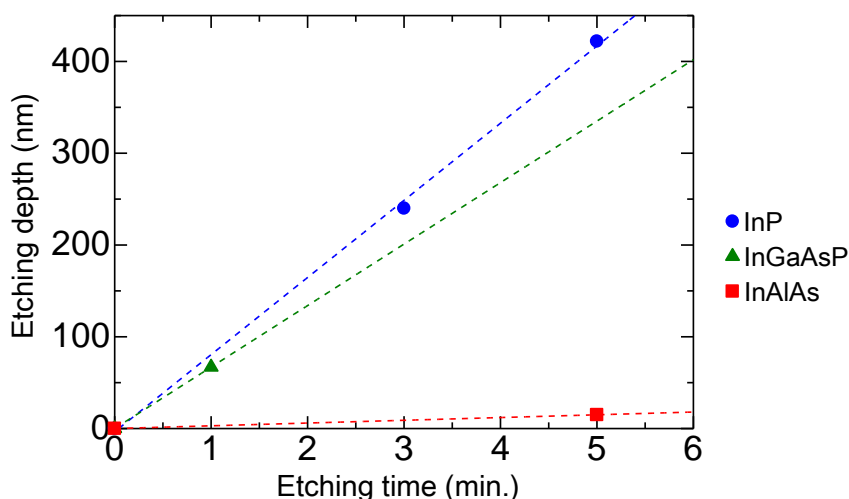


Figure 3.10 : Etching rate measurement

この選択比を用いてどれほどのエッチング誤差をストップ層内に収めることができるか検討してみる。例として得られたエッチングレートをを用い、リッジ導波路の作製において InP を 1000 nm、InGaAsP を 200 nm エッチングして膜厚 10 nm の InAlAs 層を半分まで削ることを仮定すると、エッチングレートに 10 % の誤差が生じてもエッチングは InAlAs 層中で止まることとなる。同様に 30 nm の InAlAs 層の半分まで削ることを仮定した場合は 25 % のエッチング誤差を InAlAs 層中に収めることができることとなる。

InAlAs 層をエッチストップ層として用い、エッチングでは ICP を用いるこの条件を採用することにした。

第4章 素子の作製と評価

本研究では，デバイスのエッチング深さに対する誤差耐性の改善を確認するために，エッチング時間を意図的に変化させた偏波変換器を複数並行して作製し，それらの特性を比較した．この章では，設計したデバイスを実際に作製する手順を述べたのちに，作製した素子の形状についての観察，次いで光学特性の測定手順，測定結果を述べていく．

4.1 素子作製プロセス

素子作製のプロセスを Fig. 4.1-2 にまとめる．これらは断りのない限り，サンプル断面を

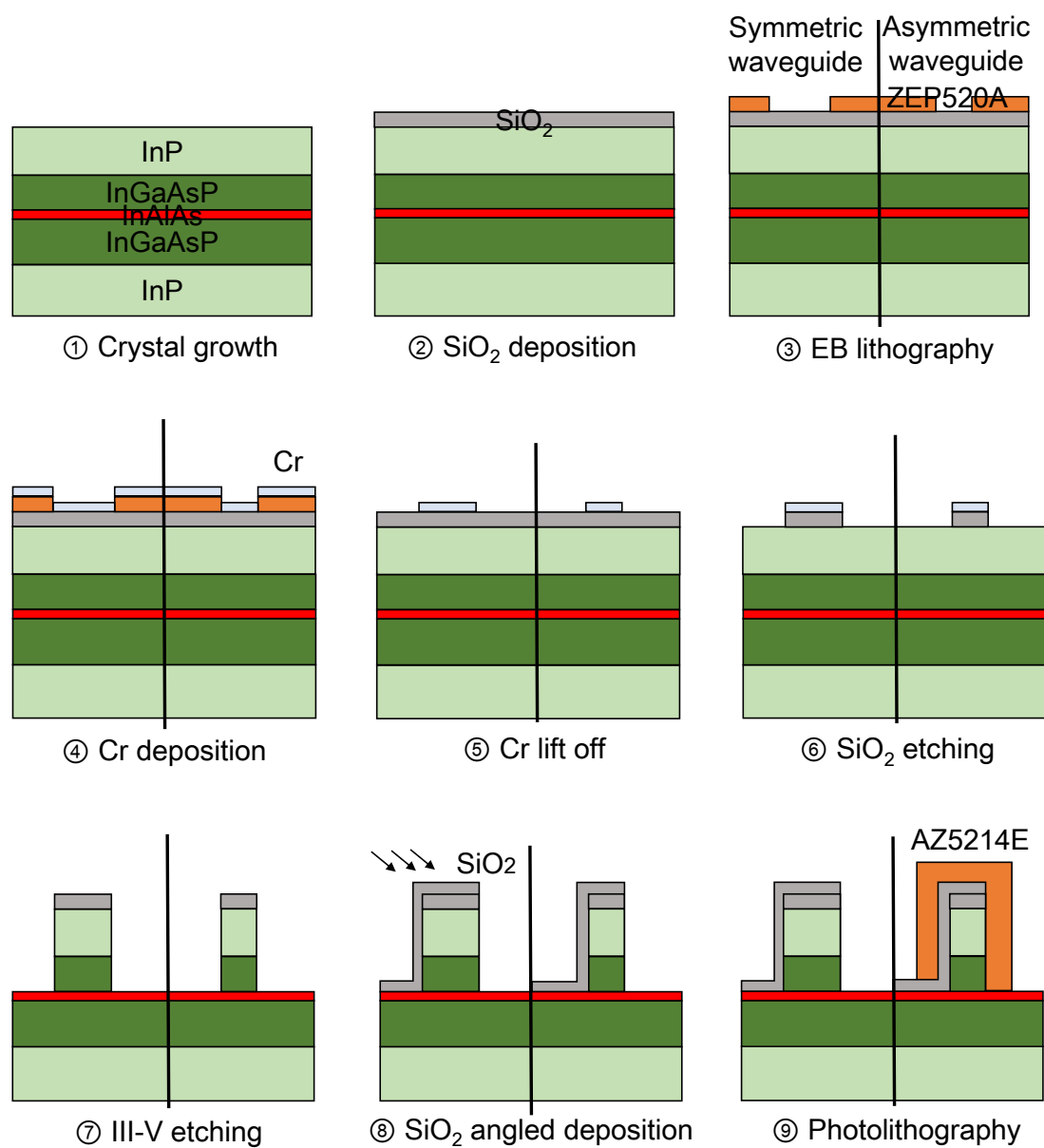


Figure 4.1: Process flow (1 of 2)

表している. この節では, それぞれのプロセスについて内容を簡単に説明していく.

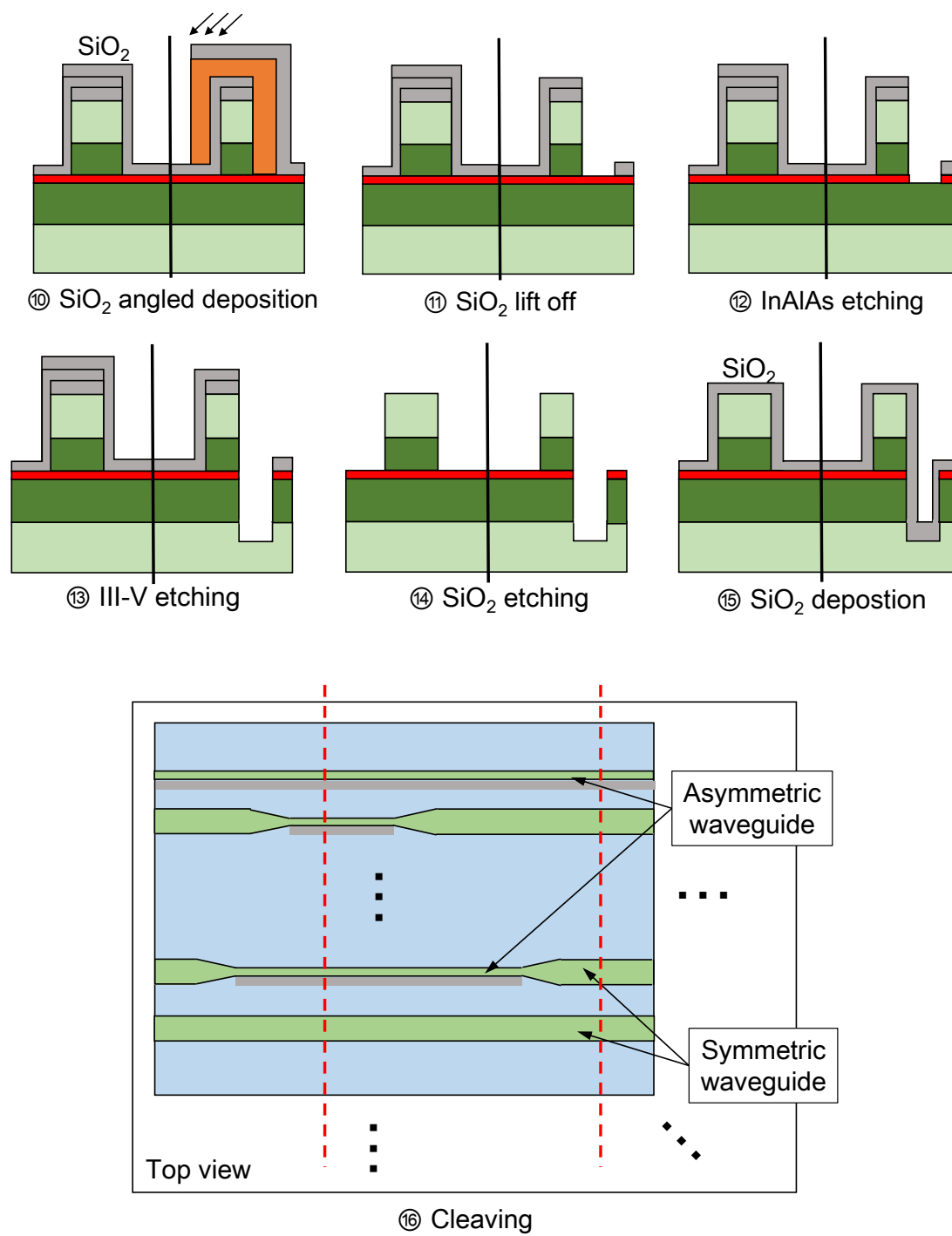


Figure 4.2 : Process flow (2 of 2)

① 有機金属エピタキシャル成長法による結晶成長

本研究でデバイスに用いたエピウェハは結晶成長により作製した．エピレディの 2 インチ n-InP 基板(100)上に有機金属気相エピタキシャル成長法 (MOVPE : Metal-Organic Vapor Phase Epitaxy) により, InP に格子定数の近い (1000 ppm 以下の歪み) InGaAsP (Q1.26), InAlAs, InGaAsP (Q1.26), InP を順に結晶成長した．各材料の概要を Tab. 4.1 に示す．

Table 4.1 : Grown wafer

material	Thickness	Carrier density
n-InP (sub.)	350 μm	$4.0 \sim 6.0 \times 10^{18}/\text{cm}^3$ (S)
u-InP	50 nm	-
u-InGaAsP	261 nm	-
u-InAlAs	33 nm	-
u-InGaAsP	165 nm	-
u-InP	824 nm	-

② プラズマ援用型化学気相成長による SiO₂ 膜堆積

プラズマ援用型化学気相成長 (PECVD : Plasma Enhanced Chemical Vapor Deposition) によりエピウェハ上に, 後の過程で導波路のハードマスクとなる SiO₂ を 300 nm 程度堆積した．材料ガスは SiH₄ と N₂O である．

③ レジスト ZEP520A を用いた電子線リソグラフィ

ウェハ表面を疎水性にするためのヘキサメチルジシラザン (OAP) とポジ型レジストである ZEP520A をサンプルに順にスピコートし, 電子線描画装置により導波路の描画を行った．その後, 現像液である ZED-N50 により現像を行い, 導波路部分が空いた状態にした．

スピコートの各条件は以下の Tab. 4.2 にまとめる．電子線描画装置の加速電圧は 10 kV を用い, すべてのパターンを 50 $\mu\text{C}/\text{cm}^2$ のドーズ量で描画した．導波路幅は対称導波路部分で 2.5 μm を狙って描画した．非対称導波路部分の導波路幅は 750 nm から 25 nm 刻みで 925 nm まで 8 種類の導波路幅のものができるよう描画を行った．各導波路は導波路の中心が互いに 25 μm 離れるように配置されている．対称導波路部分と非対称導波路部分は長さ 20 μm のテーパで接続されたパターンとした．現像時間は 1 分間として, 2-プロパノール (IPA :

Table 4.2 : coating condition of EB-lithography

resist	Coating condition
OAP	4000 rpm 1 min., 180 °C baking 120 sec.
ZEP520A	4000 rpm 1 min., 180 °C baking 180 sec.

isopropyl alcohol) を用いて現像液のリンスを行った。

④ 電子線蒸着による Cr 膜堆積

電子線蒸着 (EB 蒸着 :Electron Beam 蒸着) により Cr を 20 nm 程度蒸着した。この Cr 膜は SiO₂ をエッチングする際のマスクとなる。Cr と SiO₂ のエッチング選択比は大きく、膜厚 20 nm 程度の Cr で、300 nm 程度の SiO₂ のマスクとして十分に機能する。リフトオフプロセスにより Cr のパターンを形成する都合上、Cr の膜厚は薄い方が望ましいと考えられる。

⑤ Cr 膜のリフトオフ

ZEP520A の剥離液である ZDMAC (N,N-ジメチルアセトアミド) を用いて Cr 膜のリフトオフを行った。これにより Cr が SiO₂ ハードマスクをエッチングするためのマスクとなる。

リフトオフは 70 °C のホットプレート上で加熱した ZDMAC により行い、アセトン、IPA、エタノールを用いてリンスを行った。リフトオフは ZDMAC にサンプルを浸けてゆすりながら行った。5 分程度でリフトオフは完了した様子であった。リンス後の光学顕微鏡による観察において、Cr の残渣が確認されたが、アセトンに浸して超音波洗浄を行うことにより大部分は除去された。

⑥ SiO₂ 膜の反応性イオンエッチング

Cr をマスクとして SiO₂ 膜を CHF₃ と Ar ガスを用いて反応性イオンエッチング (RIE : Reactive Ion Etching) した。ここではエッチングする SiO₂ と下層にある InP のエッチング選択比が十分に大きいため、実質的にエッチングは SiO₂ を削り切った InP 表面で止まることとなる。

⑦ コア層半ばまでの反応性イオンエッチング

SiO₂ をマスクに InP, InGaAsP を CH₄ と H₂ ガスを用いて誘導結合型 RIE (ICP-RIE : Inductive Coupled Plasma-RIE) を行い InAlAs 層までエッチングした。先述の通り InP, InGaAsP のエッチングレートがそれぞれ約 84 nm/分、67 nm/分となっているのに対して InAlAs では約 3 nm/分であり、InAlAs が InP と InGaAsP に対するエッチストップ層として機能することとなる。

⑧ 電子線蒸着による斜め方向からの SiO₂ 堆積

偏波変換器部分を定義するリソグラフィの簡単のため、本研究では斜め方向からの蒸着を利用したセルフアライン的プロセスを採用した。異方性を持つ EB 蒸着を斜めから行うことで導波路が蒸着の影を作り、SiO₂ が導波路の片側のみ覆わないように堆積することができる。

基板垂直方向から 60 度傾いた方向から蒸着を行うことで、今回 SiO₂ のハードマスクと合

わせて高さ約 1.3 μm となった導波路メサに対して 2.3 μm 程度の幅を持つ影，すなわち InAlAs 層が露出した部分が形成された。

⑨ レジスト AZ5214E を用いたフォトリソグラフィ

OAP とフォトリソレジスト AZ5214E をサンプルにスピコートし，非対称導波路としたい部分を露光，反転ベークの後に全面露光してテトラメチルアンモニウムヒドロキシド (TMAH) で現像してフォトリソグラフィを行った。

AZ5214E は反転ベークと全面露光によりネガ型のレジストとして働き，非対称導波路とする部分がレジストで覆われる。フォトリソグラフィで用いたスピコート条件を以下の Tab. 4.3 にまとめる。マスクパターン転写のための露光と全面露光はそれぞれ約 80 mJ/cm^2 ，180 mJ/cm^2 で露光されるよう露光時間を調節した。TMAH による現像時間は 1 分間で，水を用いてリンスを行った。

Table 4.3 : Coating condition of photo-lithography

resist	Coating condition
OAP	4000 rpm 1 min., 120 °C baking 120 sec.
AZ5214E	4000 rpm 1 min., 90 °C baking 60 sec., 120 °C post-baking 120 sec.

⑩ 電子線蒸着による斜め方向からの SiO_2 堆積

EB 蒸着を用いて⑧で行った斜め方向からの蒸着とは反対側の斜め方向から SiO_2 の堆積を行った。これによりレジストで覆われた非対称導波路とする部分以外の導波路が全面 SiO_2 で覆われることになる。この際，一度目の斜め方向からの EB 蒸着により堆積された SiO_2 の影ができることを考慮し，基板垂直方向に近い角度から斜め蒸着することが望ましい。

⑪ 偏波変換器部分の SiO_2 膜のリフトオフ

アセトンを用いて AZ5214E を剥離し，⑩で堆積した SiO_2 膜のリフトオフを行った。サンプルをアセトンに浸けてゆすり 5 分程度の時間でリフトオフは完了した。リンスには IPA とエタノールを用いた。

⑫ 硫酸と過酸化水素水の混合溶液による InAlAs 層の除去

今回，エッチストップ層として利用した InAlAs 層を除去する方法として，硫酸と過酸化水素水の混合溶液でウェットエッチングする方法を採用した。これにより対称導波路部分の InAlAs が露出した表面のみ InAlAs 層が除去されることとなる。

ウェットエッチングは硫酸 (>95 %)，過酸化水素水 (30.0 - 35.5 %) と純水を 1 : 1 : 20 で混合し 5 °C に冷やした溶液を用いて行った。エッチング時間は約 4 秒間である。

⑬ コアを掘り抜く反応性イオンエッチング

InAlAs を取り除いた非対称導波路部分の InGaAsP と InP を CH_4 と H_2 ガスの ICP-RIE で掘り抜いた．下部 InP クラッドが $1\text{ }\mu\text{m}$ 程度削られるようにエッチングを行った．

⑭ バッファードフッ酸による SiO_2 膜の除去

今回，サンプル全面をほぼ均一な膜厚の SiO_2 で覆って完成としたため，バッファードフッ酸（BHF）を用いてここまでマスクとして用いた SiO_2 を除去した．この際，ここまでのプロセスで取り除かれていない Cr もリフトオフされ除去される．Fig. 4.3 に SiO_2 を除去したサンプルの非対称導波路と対称導波路をつなぐ部分を斜め上から観察した SEM 像を示す．Fig. 4.3 中手前の導波路の右側が深くエッチングされており非対称導波路を形成している．奥側にはテーパが写っているが，それに沿うように右側に見られる溝は，二度の SiO_2 斜め蒸着により覆いきれなかったコア層が続くエッチングで削れた結果である．一度目の斜め蒸着の角度を基板に水平方向に近づけることで溝の位置は導波路から遠くなり，二度目の斜め蒸着の角度を基板垂直方向に近づけることで溝の幅は小さくなる．

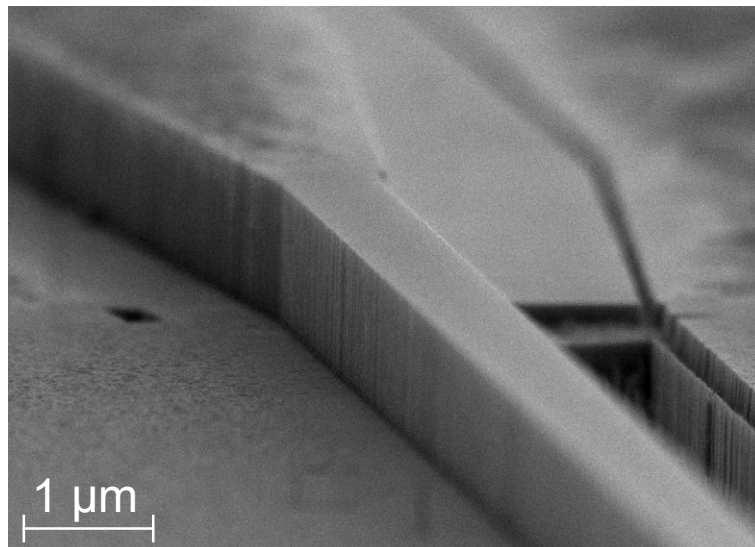


Figure 4.3 : A SEM image of sample surface after SiO_2 removal

⑮ プラズマ援用型化学気相成長による SiO_2 膜堆積

サンプル全面を PECVD による SiO_2 で覆った． SiO_2 の膜厚は約 300 nm である．導波路側壁についた SiO_2 の膜厚は 230 nm 程度と他の部分よりも小さくなった．

⑯ サンプルの劈開

Fig. 4.2 ⑯の赤色破線に沿って劈開することにより対称導波路，テーパ，非対称導波路の

セットを切り出した．図に示すようにサンプル上には $220\text{ }\mu\text{m}$ から $20\text{ }\mu\text{m}$ 刻みで $500\text{ }\mu\text{m}$ までの異なる長さの非対称導波路が配置されている．サンプルを導波路に対して直角に劈開することにより，劈開線を境に片側では非対称導波路の長さが $5\text{ }\mu\text{m}$ 刻み，もう片側で $15\text{ }\mu\text{m}$ 刻みで変化する非対称導波路群を作製することができる．また，8 種の異なる非対称導波路幅を持つ導波路群が図中縦方向に並んでおり，切り出したサンプル上にそれらが存在することとなる．

以上が素子の作製プロセスになるが実際には，斜め蒸着の角度設定の誤りにより想定した部分に SiO_2 を堆積させることが一度でできなかったため⑨から⑪の過程を 2 回繰り返した．また，エッチング量が不足したため，⑭の後に⑧からやり直しを行った．このことがサンプル表面の品質に悪影響を与えた可能性は否定できないが，導波路のコア近傍に限って言えば大きな影響は及ぼしていないと考えられ，また作製したすべてのサンプルに対して同じ工程を行ったため，サンプル間での比較という意味では問題にならないのではないかと考える．

4.2 素子作製の結果

偏波変換デバイス作製プロセス⑦のコア半ばまでエッチングしリッジ導波路を作製するプロセスにおける CH_4 と H_2 による ICP-RIE のエッチング時間を、それぞれ 15, 18, 21, 24 分間としたデバイスを作製した。それぞれのデバイスについて非対称導波路部分の劈開面形状を走査型電子線顕微鏡 (SEM : Scanning Electron Microscope) を用いて観察した結果を Fig. 4.4 に示す。一連のプロセスの結果高い垂直性を持つ非対称導波路を形成することに成功した。(a)のエッチング時間 15 分のものについては電子線リソグラフィによる導波路幅の拡がりがあるサンプル上でばらついており、劈開箇所により他のサンプルよりも導波路幅が広がっている。また、劈開面の InP 右上に見られるやや鋭く垂直方向に入ったくぼみは SiO_2 ハードマスクを除去したのちに再び SiO_2 マスクを堆積しエッチングを追加で行ったことにより、マスクが最初のエッチングとずれた結果生じたものだと考えられる。コアから 500 nm

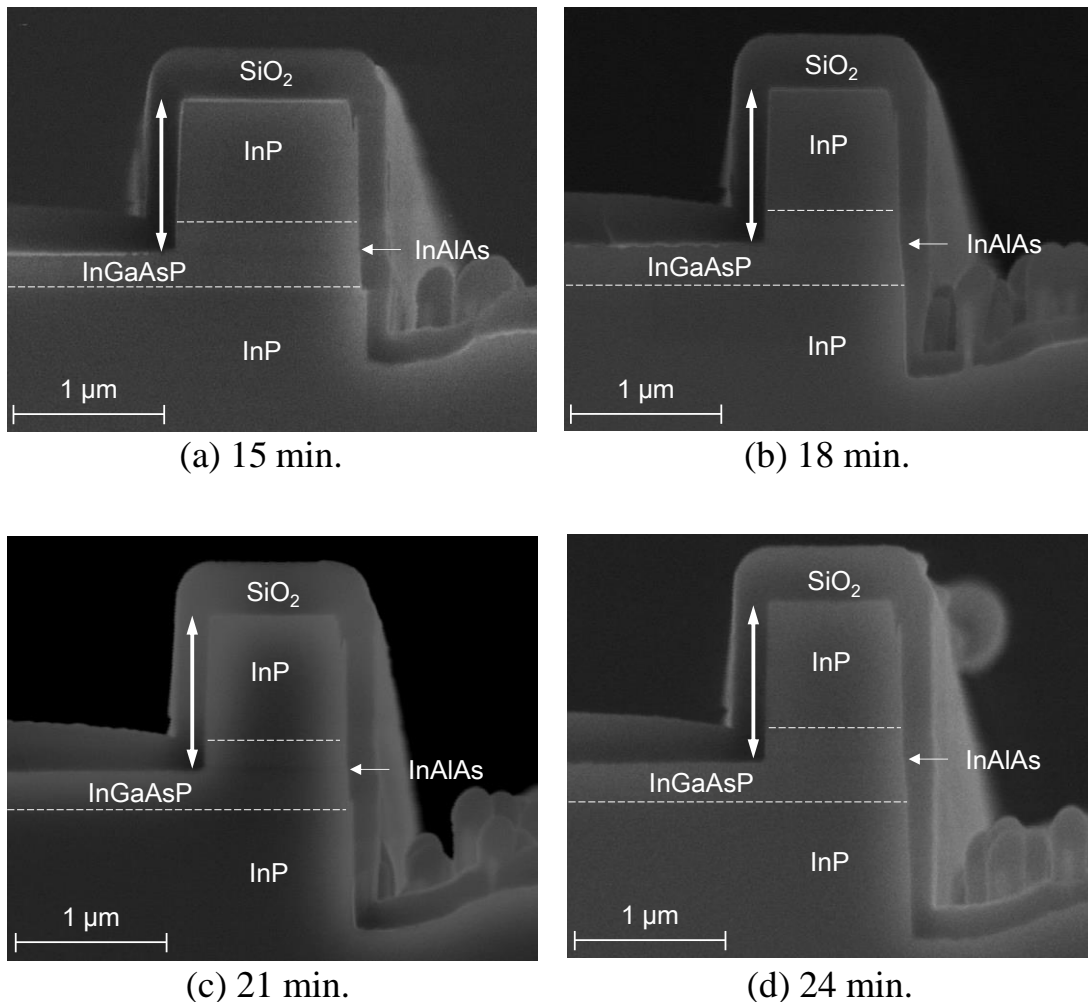


Figure 4.4 : Cleaved surfaces of asymmetric waveguides etched for 4 different etching time ((a) 15, (b) 18, (c) 21 and (d) 24 min.).

以上離れた場所にできたくぼみであるため、導波路の伝搬特性には大きく影響しないと考えられる。

各サンプルについて SEM 像から得た寸法を Tab. 4.4 にまとめる。エッチング深さ (Fig. 4.4 における両矢印が示す段差)、対称導波路の導波路幅、非対称導波路の導波路幅 (Tab. 4.4 中の上から設計値の順に並べた) がまとめられている。また、SEM 像から得たリッジ導波路側のエッチング深さをまとめたものを Fig. 4.5 に示す。図中のエラーバーは各サンプル内の複数箇所の導波路で測定したエッチング深さの標準偏差を表す。ここから 9 分間のエッチング時間差が平均で 59 nm のエッチング深さの差に収まっていることがわかる。InGaAsP のエッチングレートが 67 nm 程度であることを考えると、InAlAs の導入によりこの素子のエッチング時間あるいはエッチングレートの誤差の実際の掘り深さへの影響が 10 分の 1 以下に縮小されていることがわかる。しかしエッチング深さの時間に対する変化量が各区間で変化していることから、エッチングされている材料が変化しているのではないかと考えられる。InAlAs のエッチングレートが事前の測定よりも大きくなったか、InAlAs 層の膜厚が想定よりも小さかったかいずれかの可能性が考えられる。また今回の作製ではサンプル内でエッチング深さのばらつきが ± 10 nm 程度あり、結晶成長やエッチングの条件に改善の余地があると考えられる。

Table 4.4 : Dimensions of samples

Etching time	15 min.	18 min.	21 min.	24 min.
Etched depth (nm)	1015	1034	1042	1075
Symmetric WG width (nm)	2797	2571	2577	2579
Asymmetric WG width (nm)	-, 971, 1201, 1159, 1268, 1215, 1309, 1268	815, 844, 885, 937, 878, 914, 948, 979	788, 808, 844, 882, 899, 936, 965, 989	766, 799, 842, 864, 882, 923, 960, 986

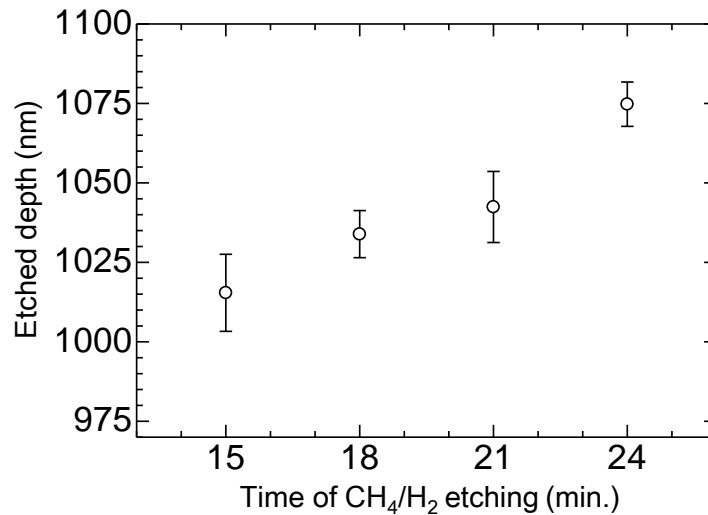


Figure 4.5 : Etched depth

4.3 偏波変換特性測定方法

エッチング時間に差を持たせて作製した素子の偏波変換特性を測定し，比較を行った． Fig. 4.6 に今回用いた測定系の概略を示す．エルビウムドープトファイバ増幅器（EDFA : Erbium Doped Fiber Amplifier）から取り出された白色光の波長域を光バンドパスフィルタで 1550 nm 中心に狭め，さらに EDFA で増幅，再び光バンドパスフィルタで波長域を 1550 nm 中心に狭めたものを光源として用いた．光源にレーザ光を用いないのはデバイスのファブリペロー共振を抑え，測定値を安定させるためである．光源より得られた光は偏光子を介して直線偏光のみが取り出される．直線偏光となった光は半波長板，4 分の 1 波長板，偏波制御子を通して任意の偏光状態でレンズドファイバから出射されサンプルへの入射光となる．サンプルからの出射光は後段のレンズドファイバに結合し偏波アナライザに入力される．

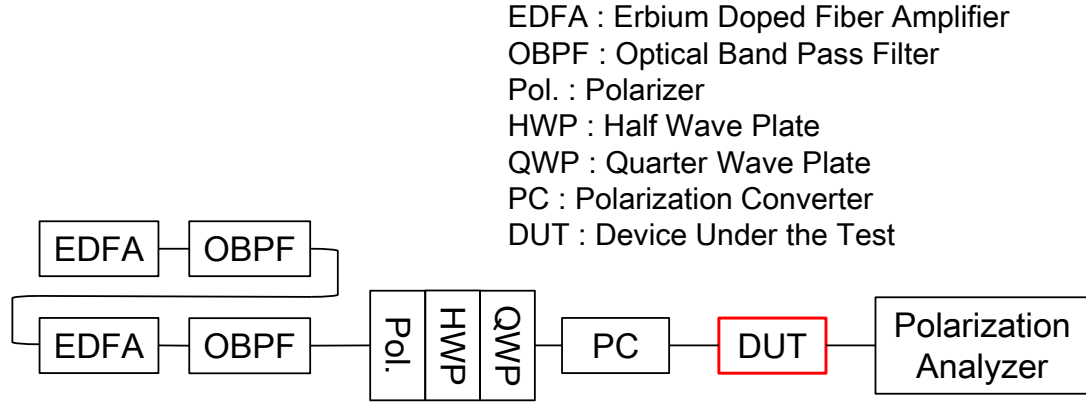


Figure 4.6 : Measurement setup

作製した素子の測定に先立ち，後段ファイバの伝搬行列 M を求めた．TE, 45°直線偏光，右回り円偏光のストークスパラメータの S_0 を除いた成分は，

$$S_{TE} = \begin{pmatrix} 1 \\ 0 \\ 0 \end{pmatrix}, \quad S_{L+45P} = \begin{pmatrix} 0 \\ 1 \\ 0 \end{pmatrix}, \quad S_{RCP} = \begin{pmatrix} 0 \\ 0 \\ 1 \end{pmatrix} \quad (4.1)$$

と表せる．2つの波長板を用いて TE, 45°直線偏光，右回り円偏光の3つの偏光状態の入射光をそれぞれ直接後段のファイバに結合させ，偏波アナライザに表示されたストークスパラメータの S_1 , S_2 , S_3 成分を 3×3 の行列にまとめると，後段ファイバの伝搬行列 M は，

$$\begin{pmatrix} S_{1_TE} & S_{1_L+45P} & S_{1_RCP} \\ S_{2_TE} & S_{2_L+45P} & S_{2_RCP} \\ S_{3_TE} & S_{3_L+45P} & S_{3_RCP} \end{pmatrix} = M \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{pmatrix} = M \quad (4.2)$$

のように求めることができる．素子の測定の際，偏波アナライザに表示されたストークスパラメータと素子の出射光のストークスパラメータの関係はこの伝搬行列を用いて，

$$\begin{pmatrix} S_1 \\ S_2 \\ S_3 \end{pmatrix} = M \begin{pmatrix} S_{1_out} \\ S_{2_out} \\ S_{3_out} \end{pmatrix} \quad (4.3)$$

と表すことができ，

$$\begin{pmatrix} S_{1_out} \\ S_{2_out} \\ S_{3_out} \end{pmatrix} = M^{-1} \begin{pmatrix} S_1 \\ S_2 \\ S_3 \end{pmatrix} \quad (4.4)$$

により，素子の出射光のストークスパラメータを求めた．

4.4 実験結果

作製した素子上には 8 種類の非対称導波路幅が存在し，一つの導波路幅につきそれぞれ

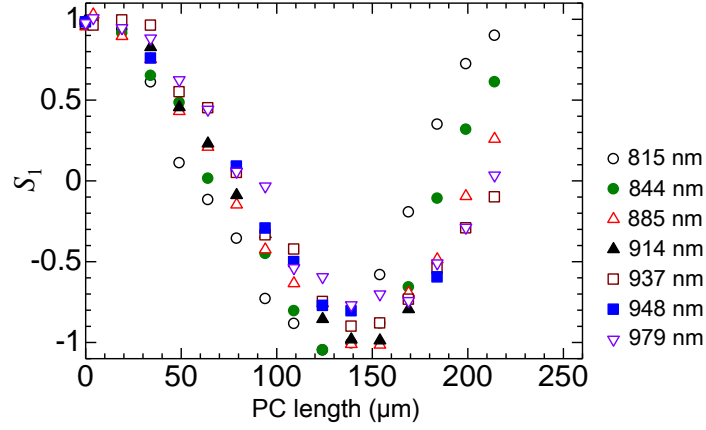
15 本の異なる長さの非対称導波路が作製されている．各導波路の対称導波路側の劈開端面に TE 光を入射し，非対称導波路側の劈開端面から出射した光の偏光状態を測定した．1.2 節で述べた理由によりエッチング時間を 15 分としたサンプルを除いた 3 つのサンプルについて測定を行った結果を以下の Fig. 4.7 に示す．図中の凡例は非対称導波路の幅を表している．劈開の際に端面付近の導波路が一部破損したが，そのように端面に破損が見つかった偏波変換器の測定結果は除いている．

$$S_1 = C_{max} \cos\left(\pi \frac{L - L_{offset}}{L_\pi}\right) + 1 - C_{max} \quad (4.5)$$

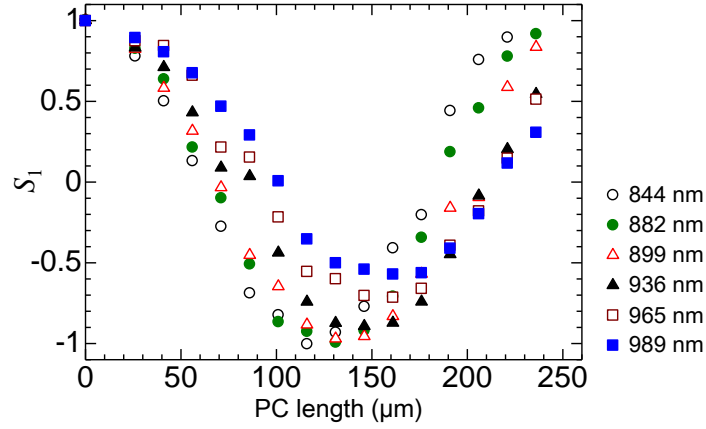
によりフィッティングした際の最大変換効率 C_{max} ，半ビート長 L_π の値を Tab. 4.5-7 にまとめる．18 分と 21 分としたサンプルについては導波路幅が大きくなるにつれ， C_{max} が小さくなり，半ビート長が大きくなる傾向がみられる．24 分としたサンプルの場合，正弦波から大きく外れた測定点の影響を否定できないが半ビート長については似た傾向がみられる．いずれにせよ，95 %を超える高い TE-TM 変換効率を得られた．

エッチング時間を変化させた各サンプルにおける非対称導波路幅が近い値の偏波変換器間での変換特性の比較を Fig. 4.8 に示す．フィッティングした正弦波で比較した場合，エッチング時間が中間となる 21 分のサンプルで変換効率が最大になる変換器長における他 2 つのサンプルの変換効率を見た場合，幅 882 nm 周辺のサンプルでは 18 分：95 %，21 分：100 %，24 分：100 %となっており，幅 936 nm 周辺のサンプルでは 18 分：93 %，21 分：95 %，24 分：98 %であった．変換効率のばらつきが 5 %程度以下に収まっていることがわかる．

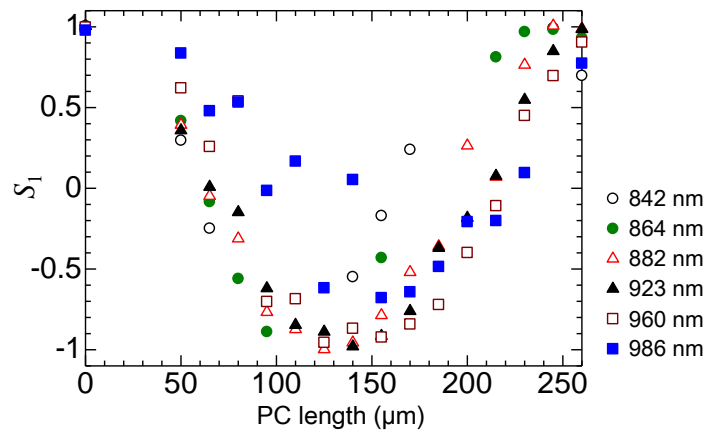
Fig. 4.9 は作製した偏波変換器の出力光強度を測定したものをまとめたものである．非対称導波路長数十 μm から 250 μm 程度までをみたとき， ± 4 dB 程度のばらつきがみられる．しかし非対称導波路の長さに明確に比例した出力強度の変化とは言い難い．測定によるばらつきが主な要因であると考えられ，非対称導波路の伝搬損は少なくとも測定のばらつきの値より小さいと考えられる．



(a) 18 min.



(b) 21 min.



(c) 24 min.

Figure 4.7 : S_1 of outputs from samples. (a) : 18 min. etching, 7 different width of asymmetric waveguide. (b) : 21 min. etching, 6 different width. (c) 24 min. etching, 6 different width.

Table 4.5 : Fitting parameters (18 min.)

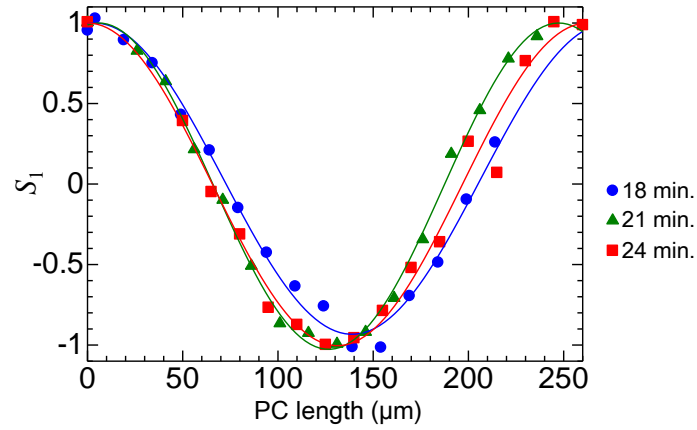
Asymmetric waveguide (nm)	C_{max}	HBL (μm)
815	1.00	115
844	1.00	123
885	0.97	135
914	0.98	143
937	0.94	139
948	0.92	146
979	0.88	140

Table 4.6 : Fitting parameters (21 min.)

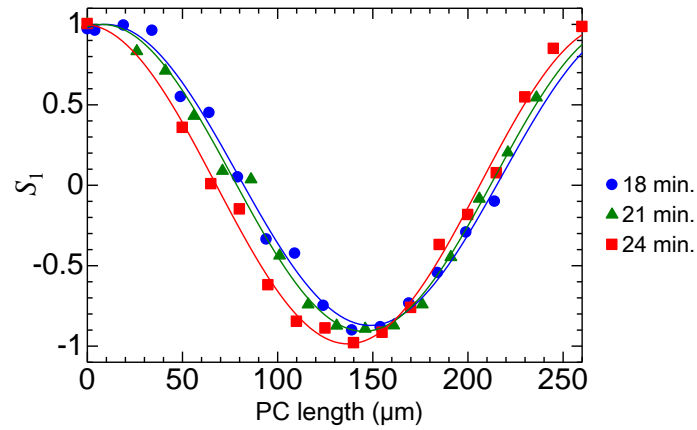
Asymmetric waveguide (nm)	C_{max}	HBL (μm)
844	1.00	117
882	1.01	122
899	1.00	132
936	0.95	137
965	0.87	138
989	0.80	144

Table 4.7 : Fitting parameters (24 min.)

Asymmetric waveguide (nm)	C_{max}	HBL (μm)
842	0.87	116
864	0.98	118
882	1.00	131
923	0.99	139
960	1.01	134
986	0.77	145



(a) Asymmetric waveguide width around 885 nm
(18 min. : 885 nm, 21 min. : 882 nm, 24 min. : 882 nm)



(b) Asymmetric waveguide width around 937 nm
(18 min. : 937 nm, 21 min. : 936 nm, 24 min. : 923 nm)

Figure 4.8 : Comparison with S1 from samples which have similar width of asymmetric waveguide

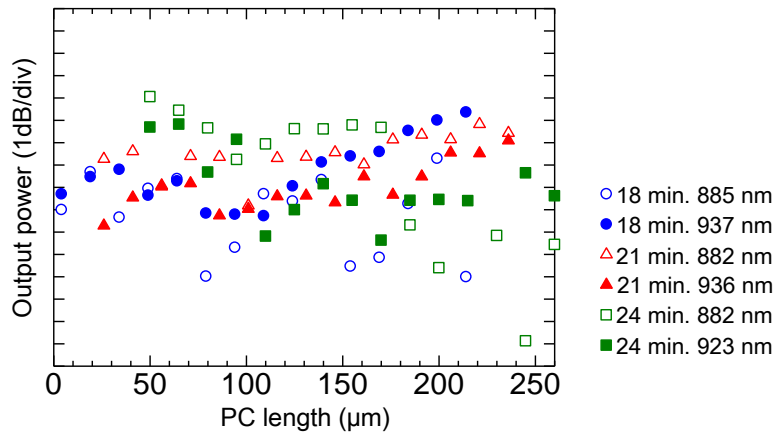


Figure 4.9 : Output power

第5章 結論

本研究は InP/InGaAsP ハーフリッジ導波路型偏波変換器に InAlAs エッチストップ層を導入することにより、作製プロセスにおけるコア層のエッチング深さに対する誤差耐性を改善することを目的に行われた。CH₄/H₂ による ICP-RIE において InP に格子整合する InAlAs が InGaAsP (Q1.23) に対して 20 倍程度のエッチング選択比を持つことを実際に確認した。その後、InAlAs エッチストップ層を導入したハーフリッジ導波路型偏波変換器を設計・試作し高い TE-TM 変換効率が得られることを確認した。また同デバイスの作製プロセスにおいて、コアエッチングの時間を意図的に設計中心から変化させた場合に最終的なデバイス形状を観察し、9 分のエッチング時間差がエッチング深さで 59 nm の変化に収まることを確認した。同様に TE-TM 偏波変換特性を測定し、6 分間のエッチング時間差が変換効率で 5 % 以下程度のばらつきに収まることを確認した。

これまで InP/InGaAsP ハーフリッジ導波路型偏波変換器は 95 % 以上の高い TE-TM 変換効率を得るために必要なコアエッチング深さの許容誤差範囲は 40 nm 程度であり、1 μ m 程度の厚い上部 InP クラッドをエッチングしたのちに狙う値としては小さく、歩留まりを下げていた。光の偏波状態を用いた送受信器の普及のためには偏波変換器を高歩留まりで大量生産できることが不可欠であり、ハーフリッジ導波路型偏波変換器を実用から遠ざける一因となっていた。しかし今回、InAlAs エッチストップ層の導入によりプロセスで生じるエッチング誤差自体を抑え、小さな許容誤差範囲でも歩留まり高くハーフリッジ導波路型偏波変換器を作製できることを示した。ハーフリッジ導波路型偏波変換器を実用化に向けた課題に一つの解決策を示すことができたのではないかと考える。

作製したハーフリッジ導波路型偏波変換器では設計よりも半ビート長が大きくなり短くなった。ウェハの層構造が設計と異なったものになったことを踏まえてもやはり計算との差が大きく、計算に不備があるものと考えられる。プロセス手順に関しても、InAlAs 層のウェットエッチングによる除去が不十分でその後のドライエッチングに影響が出る場合があり課題が残った。非対称導波路の影となる約 2 μ m \times 数百 μ m の狭い領域に対して短時間のウェットエッチングで均一にストップ層を除去することが難しい場合、よりエッチングレート of 小さいエッチャントの選択、ストップ層を除去するタイミングをリッジ導波路形成直後にすることで被エッチング面積を大きくするなどの対策が考えられる。ウェットエッチングを嫌う場合、InAlAs 層のドライエッチングはイオン衝突を強める方向に条件を変化させることで他の材料との選択比の低下が期待されるため、ドライエッチングによりストップ層の除去を行うなどの選択肢が考えられる。

今後の展開について述べる。今回、InAlAs エッチストップ層を導入することでハーフリッジ導波路型偏波変換器単体の歩留まりを改善することに成功したが、実際の光送受信器においてはレーザや光増幅器、光変調器、光結合器など様々な素子とのモノリシックな集積が必要不可欠となる。今後はそれらの素子とハーフリッジ導波路型偏波変換器を集積した場合に問題なく機能することを確認していく必要がある。集積する際には InAlAs 層エッチ

ストップ層からその上の層を偏波変換器部分にのみ選択的結晶再成長（バットジョイント）することを想定している．最新の結晶成長技術を用いれば再成長自体が大きな障害となることは考えにくい，偏波変換器の特性に影響を及ぼす可能性は否定できない．また， InAlAs 層の結晶再成長やプロセス途中でのストップ層の除去などは一般的に用いられるプロセスであるとは依然言い難く，プロセスのビルディングブロックによる一般化の観点からは課題が残る．他のプロセスと阻害し合わないことに気をつけて集積可能性を検討していく必要があると考える．

付録

A. C_{max} の導出

C_{max} の導出の一例について述べる.

ポアンカレ球上の S_1 - S_2 軸を含む平面を考え, TE 光がモード傾き θ で半ビート長伝播したときの S_1 軸成分を考えていく. S_1 - S_2 面での偏波回転の軸は, S_1 成分を x , S_2 成分を y として,

$$y = \tan 2\theta x \quad (\text{A.1})$$

となる. これに垂直で TE 光(1, 0)を通る直線は,

$$y = -\frac{1}{\tan 2\theta} (x - 1) \quad (\text{A.2})$$

であり, ポアンカレ球との交点を考えると,

$$x^2 + \frac{(x-1)^2}{\tan^2 2\theta} = 1 \quad (\text{A.3})$$

$$(x-1) \left\{ \left(1 + \frac{1}{\tan^2 2\theta} \right) x + 1 - \frac{1}{\tan^2 2\theta} \right\} = 0 \quad (\text{A.4})$$

より,

$$x = -\frac{1 - \frac{1}{\tan^2 2\theta}}{1 + \frac{1}{\tan^2 2\theta}} = -\sin^2 2\theta + \cos^2 2\theta = \cos 4\theta \quad (\text{A.5})$$

となる. ここで, TE モードを表す(1, 0)と($\cos 4\theta$, 0)の距離と, (1, 0)と TM モードを表す(-1, 0)の距離の割合を計算すると,

$$\frac{1 - \cos 4\theta}{2} = \sin^2 2\theta \quad (\text{A.6})$$

となり, モード傾き θ の導波路を半ビート長伝播した際の最大 TE-TM 変換効率 C_{max} が $\sin^2 2\theta$ により表せることがわかる.

さて, 傾斜係数 R は,

$$R = \frac{\iint |H_x|^2 dx dy}{\iint |H_y|^2 dx dy} \quad (\text{A.7})$$

で表されるが, これは導波路中の磁場が一様であると仮定すると,

$$R \simeq \frac{|H_x|^2}{|H_y|^2} = \frac{1}{\tan^2 \theta} \quad (\text{A.8})$$

であるので, R を用いると, C_{max} は,

$$C_{max} \simeq \sin^2 2\theta = 4 \sin^2 \theta \cos^2 \theta = \frac{4 \tan^2 \theta}{(1 + \tan^2 \theta)^2} = \frac{4 \frac{1}{\tan^2 \theta}}{\left(\frac{1}{\tan^2 \theta} + 1 \right)} = \frac{4R}{(1 + R)^2} \quad (\text{A.9})$$

となる.

参考文献

- [1] R. Nagarajan et al., “Large-scale photonic integrated circuits,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 11, no. 1, pp. 50–65, 2005.
- [2] R. Nagarajan et al., “Single-chip 40-channel InP transmitter photonic integrated circuit capable of aggregate data rate of 1.6 Tbit/s,” *Electron. Lett.*, vol. 42, no. 13, p. 771, 2006.
- [3] S. W. Corzine et al., “Large-scale InP transmitter PICs for PM-DQPSK fiber transmission systems,” *IEEE Photonics Technol. Lett.*, vol. 22, no. 14, pp. 1015–1017, 2010.
- [4] T. Tanemura and Y. Nakano, “InP 光集積回路による光スイッチング / 偏波制御技術 InP Photonic Integrated Circuits for Optical Switching and Polarization Control,” *電子情報通信学会論文誌 C*, vol. J92-C, no. 8, pp. 498–505, 2009.
- [5] M. Smit, J. van der Tol, and M. Hill, “Moore’s law in photonics,” *Laser Photon. Rev.*, vol. 6, no. 1, pp. 1–13, 2012.
- [6] M. Smit et al., “An introduction to InP-based generic integration technology,” *Semicond. Sci. Technol.*, vol. 29, no. 8, p. 083001, 2014.
- [7] V. Tolstikhin, “Regrowth-Free Multi-Guide Vertical Integration in InP for Optical Communications Multi-guide vertical integration Building block approach,” *23rd Int. Conf. Indium Phosphide Relat. Mater.*, pp. 3–6, 2011.
- [8] F. Xia, V. M. Menon, and S. R. Forrest, “Photonic integration using Asymmetric Twin-Waveguide (ATG) technology: Part I - Concepts and theory,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 11, no. 1, pp. 17–29, 2005.
- [9] P. V. Studenkov, M. R. Gokhale, and S. R. Forrest, “Efficient coupling in integrated twin-waveguide lasers using waveguide tapers,” *IEEE Photonics Technol. Lett.*, vol. 11, no. 9, pp. 1096–1098, 1999.
- [10] B. Mason, G. A. Fish, S. P. DenBaars, and L. A. Coldren, “Ridge waveguide sampled grating DBR lasers with 22-nm quasi-continuous tuning range,” *IEEE Photonics Technol. Lett.*, vol. 10, no. 9, pp. 1211–1213, 1998.
- [11] E. J. Skogen et al., “Monolithically integrated active components: A quantum-well intermixing approach,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 11, no. 2, pp. 343–355, 2005.
- [12] M. Aoki et al., “InGaAs/InGaAsP MQW electroabsorption modulator integrated with a DFB laser fabricated by band-gap energy control selective area MOCVD,” *IEEE J. Quantum Electron.*, vol. 29, no. 6, pp. 2088–2096, Jun. 1993.
- [13] M. Sugiyama, “Selective area growth of III-V semiconductors: From fundamental aspects to device structures,” in *2010 22nd International Conference on Indium Phosphide and Related Materials (IPRM)*, 2010, pp. 1–6.
- [14] “Joint European Platform for InP-based Photonic Integrated Components and Circuits.” [Online]. Available: <http://www.jeppix.eu/>.

- [15] R. Stabile, A. A. Mejia, and K. A. Williams, "Dynamic Multi-path Routing in a Monolithic," pp. 20–22, 2013.
- [16] K. Lawniczuk et al., "InP-based photonic multiwavelength transmitter with DBR laser array," *IEEE Photonics Technol. Lett.*, vol. 25, no. 4, pp. 352–354, 2013.
- [17] F. M. Soares et al., "Transmitter PIC for THz applications based on generic integration technology," 2013 Int. Conf. Indium Phosphide Relat. Mater., vol. 4, pp. 1–2, 2013.
- [18] Z. Wang et al., "Room-temperature InP distributed feedback laser array directly grown on silicon," *Nat. Photonics*, vol. 9, no. 12, pp. 837–842, Oct. 2015.
- [19] D. Pasquariello and K. Hjort, "Plasma-Assisted InP-to-Si Low Temperature Wafer Bonding," *IEEE J. Sel. Top. Quantum Electron.*, vol. 8, no. 1, pp. 118–131, 2002.
- [20] S. R. Jain, M. N. Sysak, G. Kurczveil, and J. E. Bowers, "Integrated hybrid silicon DFB laser-EAM array using quantum well intermixing," *Opt. Express*, vol. 19, no. 14, pp. 13692–9, 2011.
- [21] H. Park et al., "Photonic Integration on the Hybrid Silicon Evanescent Device Platform," *Adv. Opt. Technol.*, vol. 2008, pp. 1–17, 2008.
- [22] "Integrated Photonics Institute for Manufacturing Innovation (IP-IMI)." [Online]. Available: <http://www.manufacturing.gov/ip-imi.html>.
- [23] J. van der Tol et al., "Photonic integration in indium-phosphide membranes on silicon (IMOS)," in *IET Optoelectronics*, 2014, vol. 5, p. 89880M.
- [24] H. El-Refaei, D. Yevick, and T. Jones, "Slanted-rib waveguide InGaAsP-InP polarization converters," *J. Light. Technol.*, vol. 22, no. 5, pp. 1352–1357, 2004.
- [25] L. M. Augustin, S. Member, J. J. G. M. Van Der Tol, E. J. Geluk, and M. K. Smit, "Short Polarization Converter Optimized for Active – Passive Integration in InGaAsP – InP," *Ieee Photonics Technol. Lett.*, vol. 19, no. 20, pp. 1673–1675, 2007.
- [26] T. Tanemura, T. Amemiya, K. Takeda, A. Higo, and Y. Nakano, "Simple and compact InP polarization converter for polarization-multiplexed photonic integrated circuits," *Conf. Proc. - Lasers Electro-Optics Soc. Annu. Meet.*, vol. 2, pp. 436–437, 2009.
- [27] M. Zaitzu, T. Tanemura, A. Higo, and Y. Nakano, "Experimental demonstration of self-aligned InP/InGaAsP polarization converter for polarization multiplexed photonic integrated circuits," *Opt. Express*, vol. 21, no. 6, pp. 6910–6918, 2013.
- [28] T. Tanemura and Y. Nakano, "InP モノリシック集積偏波制御回路," *電子情報通信学会論文誌 C*, vol. J99-C, no. 8, pp. 373–381, 2016.
- [29] H. E. G. Arnot, R. W. Glew, G. Schiavini, L. J. Rigby, and A. Piccirillo, "Selective etching of InP and InGaAsP over AlInAs using CH₄/H₂ reactive ion etching," *Appl. Phys. Lett.*, vol. 62, no. 24, p. 3189, 1993.
- [30] 中嶋一雄, "エピタキシャル成長のメカニズム", 共立出版, 2002.

本研究に関する発表

主著者発表

- [1] 小林 竜馬, 種村 拓夫, 中野 義昭, “InP 偏波制御素子の作製誤差耐性拡大に向けた検討”, エイトラムダフォーラム 2016 第 3 回会合, 東京, 2016 年 10 月.
- [2] 小林 竜馬, ソダーバンスル ハッサネット, 杉山 正和, 中野 義昭, 種村 拓夫, “InAlAs エッチストップ層を導入した InP/InGaAsP ハーフリッジ導波路型偏波変換器の設計と試作”, 2017 年電子情報通信学会ソサイエティ大会, C-3-29, 東京, 2017 年 9 月.

共著発表

- [1] T. Suganuma, S. Ghosh, R.Kobayashi, Y. Nakano, and T. Tanemura, “Fully Integrated Stokes Vector Receiver with MQW-based Photodetectors on InP”, European Conference on Optical Communication (ECOC 2017), Gothenburg, Sweden, Sept. 17-21, 2017.
- [2] 菅沼 貴博, ゴッシュ サミール, カズイ モヒユディン, 小林 竜馬, 中野義昭, 種村拓夫, “多重量子井戸光検出器を集積した InP ストークスベクトル受信回路”, 2017 年電子情報通信学会ソサイエティ大会, C-3, 東京, 2017 年 9 月.
- [3] 大川 幸祐, 菅沼 貴博, 小林 竜馬, 種村拓夫, 中野義昭, “偏波依存位相シフトを挿入した InGaAsP/InP ハーフリッジ導波路型偏波変換器の作製誤差耐性に関する検討”, 2018 年電子情報通信学会総合大会, 東京, 2018 年 3 月, 発表予定.

共著論文

- [1] T. Suganuma, S. Ghosh, M. Kazi, R. Kobayashi, Y. Nakano, T. Tanemura, “Monolithic InP Stokes Vector Receiver with Multiple-Quantum-Well Photodetectors”, *IEEE/OSA Journal of Lightwave Technology*. to be published.

謝辞

本研究を進めるにあたり、多くの方々からご助力を賜りました。この場をお借りして感謝の意を述べさせていただきます。

指導教官の種村拓夫准教授には学部生の頃から都合4年間、寛大なお心を以て、学業に限らず様々な面でご指導を賜りました。ともすれば立ち止まりがちな私を根気強く励まし、ゆつくりとでも前進できるよう導いて下さいました。先生には感謝してもしきれません。

中野種村研究室に所属することで、自由に実験できる研究環境と、様々なひとの文化が入り混じる生活環境を普通であると勘違いしかねない非常に贅沢な時間を過ごすことができました。この環境を築き、維持して下さいている中野義昭教授には非常に感謝しております。

杉山正和教授には卒論で大変お世話になった後にも、MOVPE 装置による InGaAsP など四元混晶の結晶成長に関して相談に乗っていただきました。思い返せば私が半導体製造装置に興味を持つようになったきっかけは卒論時の MOVPE 装置との出会いであり、いまの私につながっています。その機会を与えてくれたことに感謝しております。

トープラサートボン・カシディット氏には MOVPE 装置の使用方法についてご指導いただきました。ご自身の研究を進めながらも装置のメンテナンスを主導し、後輩の面倒も優しく引き受けて下さる姿勢に感銘を受けました。

学術支援職員の加藤豪作氏には装置のメンテナンスやクリーンルームの環境整備にご尽力いただきました。自らの研究に集中するあまり周囲への気配りを欠いてしまいがちな私を支えていただきました。

ソダーバンル・ハッサネット特任助教には四元混晶の結晶成長の際、装置の使用方法や条件出しの進め方をご指導いただきました。氏の器用で手際のよい装置の扱い、素早く適格な状況判断と実験の進め方には目を見張るものがありました。

鈴木健太郎氏をはじめ研究室の先輩方は、いつでも気にかけてくださり、分からないことがあると快く相談に乗ってくださりました。小松憲人氏をはじめ研究室同期諸氏には研究に関する相談はもちろんのこと、とりとめのない雑談にもお付き合いいただきました。菅沼貴博氏、河野佑亮氏の両氏をはじめとして後輩諸氏には頼りない姿をお見せする場面も多くございましたが、変わらぬ姿勢で接していただきました。

個々にすべての名前を挙げることはできませんが、個性豊かな研究室の方々に刺激を受け、楽しく充実した研究室生活を送ることができました。本当にありがとうございました。

最後になりましたが、両親には多大な負担をかけることとなりました。気長に暖かく見守り、何一つ不自由のない学生生活を続けさせてくれたことに感謝しております。

拙い言葉を並べましたが、いまの私を形作ったすべてに感謝しつつ、これを以て謝辞に代えさせていただきます。

2018 年 2 月 1 日

小林 竜馬