

東京大学大学院新領域創成科学研究科
基盤科学研究系物質系専攻

平成 30 年度

修士論文

接触抵抗低減による
高速有機単結晶トランジスタの開発

2019 年 1 月 22 日提出
指導教員 竹谷 純一 教授

左近 崇晃

目次

第1章	はじめに.....	1
第2章	研究背景と目的.....	2
2.1.	有機電界効果トランジスタ (OFET) の基礎.....	2
2.1.1.	有機半導体材料.....	3
2.1.2.	有機半導体制膜プロセス.....	5
2.1.3.	OFET の構造と動作原理.....	6
2.1.4.	OFET の特性評価.....	7
2.2.	OFET の接触抵抗.....	10
2.2.1.	接触抵抗の評価手法.....	10
2.2.2.	短チャネル OFET における接触抵抗の影響.....	10
2.2.3.	接触抵抗の低減手法.....	11
2.3.	OFET の高周波応答.....	15
2.3.1.	遮断周波数.....	15
2.3.2.	有機半導体ダイオードの整流特性.....	16
2.4.	本研究の目的.....	20
第3章	スプリットゲートトランジスタによる高周波応答.....	21
3.1.	スプリットゲートトランジスタの作製.....	23
3.2.	トランジスタ特性.....	27
3.3.	接触抵抗評価.....	30
3.4.	スプリットゲートトランジスタの遮断周波数測定.....	31
第4章	選択的界面ドーピングによる高周波応答.....	34
4.1.	ダメージフリーリソグラフィを用いた選択的界面ドーピング.....	35
4.2.	トランジスタ特性.....	38
4.3.	接触抵抗評価.....	40
4.4.	遮断周波数測定.....	42
4.5.	OFET ダイオードの整流特性.....	45
第5章	総括.....	47
参考文献	48
謝辞	50

第1章 はじめに

有機半導体は機械的柔軟性や軽量性といった無機半導体にはないユニークな特徴を有しており、また低コストな溶液プロセスでの製膜が可能であることからエレクトロニクス産業における次世代材料として注目を集めている。有機半導体を活性層に用いた有機電界効果トランジスタ (OFET) では、1990 年頃までは移動度が $0.01 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度にとどまっており、その低い移動度の克服が課題となっていた。しかし、近年では材料や製膜プロセスの研究が進み、塗布法で製膜した有機半導体単結晶膜を用いた OFET において $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上の高移動度を示すという報告も次第に増えてきた。このような OFET の高性能化に伴い、RF-ID タグのような 10 MHz 以上の高周波での動作が求められるデバイスへの応用が期待されるようになってきている。一方で、OFET は非常に大きな接触抵抗を持っているために短チャネルにした際の実効的な移動度は単結晶本来の移動度から大幅に低下してしまう。そのため、OFET の短チャネルでの移動度の低下を抑え、応答周波数を向上させるためには、接触抵抗を低減させることが必須である。

OFET の接触抵抗を低減するためにはコンタクト電極と有機半導体の界面にドーピングを施し、電極界面のキャリア密度を高めるという方策が極めて有効である。本研究では、電界効果ドーピングと化学ドーピングの二つのアプローチによって OFET の接触抵抗を低減させることを試みた。一つ目のアプローチは、OFET ヘスプリットゲート構造を導入することで、電界効果によって電極界面をドーピングするというものである。スプリットゲート構造とは、ソース・ドレイン電極と重なるようにスプリットゲート電極が絶縁膜中に埋め込まれた構造である。ソース・ドレイン電極とスプリットゲート電極の間に電圧を印加し、電極界面のキャリア密度を高めることで接触抵抗低減を試みた。二つ目の化学ドーピングのアプローチでは、有機半導体層にダメージを与えることなく、いかにして電極界面のみをドーピングするかがカギとなる。そこで本研究では有機半導体層にダメージを与えることなく、有機半導体層/ソース・ドレイン電極界面にのみ選択的にドーパント層を形成することが可能な新たなリソグラフィプロセスの開発に取り組んだ。以上のアプローチにより、接触抵抗を低減させることで OFET の高周波応答特性を向上させることを目指した。

以下に本論文の概要を記す。第 2 章では本研究の背景となる有機半導体や OFET の基本原理について述べる。第 3 章では一つ目のアプローチであるスプリットゲート構造を用いた OFET の伝達特性や接触抵抗、高周波応答特性の測定結果について述べる。第 4 章では新たに開発したダメージフリーリソグラフィのプロセスおよびその手法を用いて作製した OFET の接触抵抗や高周波応答特性の評価結果について述べる。第 5 章では本研究で得られた結果を総括し、今後の展望について述べる。

第2章 研究背景と目的

2.1. 有機電界効果トランジスタ (OFET) の基礎

有機半導体に関する研究は 1954 年の H. Akamatu, H. Inokuchi らによる電荷移動錯体の報告 [1] 以来、今日に至るまで盛んに行われている。

現在多くの電子デバイスに使われている無機半導体は原子同士が共有結合などの強い相互作用で結びついている。それに対して有機半導体は Van der Waals 力などの弱い相互作用で分子が凝集しているため、機械的柔軟性に優れ、曲げや歪みを扱う新たな電子デバイスへの応用が期待されている。加えて分子設計の多様性により、溶媒に可溶性有機分子を用いることが可能なため、真空・高温といった高コストなプロセスではなく、低コストな溶液プロセスでの製膜が可能という点でも産業的な応用に大きな貢献が期待できる。近年では、有機 EL ディスプレイも普及され始めるなど、有機半導体を用いた電子デバイスの実用化に向けた多くの研究が行われている [2]。

有機半導体を活性層に用いた OFET はシリコントランジスタに代わる次世代の電子デバイスの一つとして注目されている。1983 年に K. Kudo らによって OFET の駆動が初めて報告された当初 [3]、そのキャリア移動度は $10^{-5} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度の値にとどまっておき、デバイスへの応用は難しいと考えられていた。しかし、近年の有機半導体材料やデバイス作製技術の進歩により OFET の移動度は大幅に向上し、 $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上の高い移動度を有する OFET の報告 [4-6] も増加してきている。本節では、近年の OFET の性能向上に寄与してきた有機半導体材料、有機半導体膜の製膜プロセスおよび OFET の基本的な動作原理について説明する。

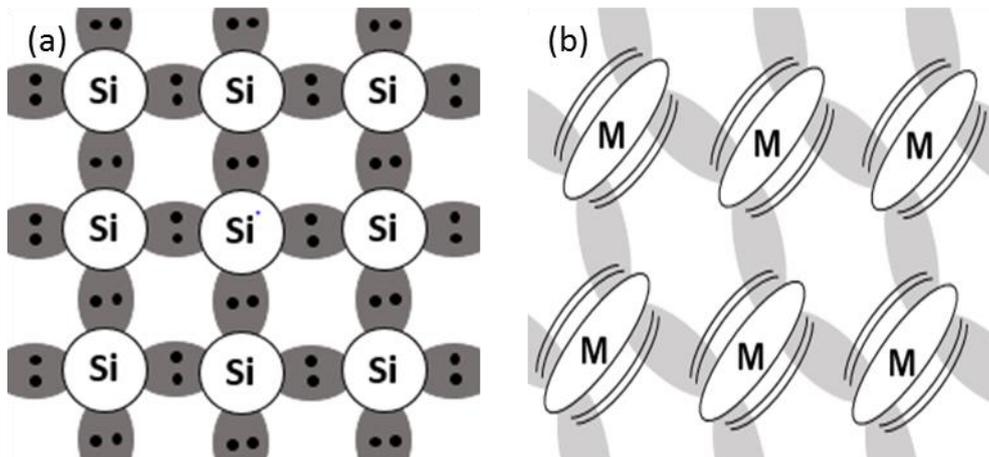


図 2-1 (a) 無機半導体、(b) 有機半導体の結合様式を表した模式図

2.1.1. 有機半導体材料

有機半導体は伝達するキャリアの種類によって p 型半導体と n 型半導体に分類される。キャリアが正孔（ホール）である半導体は p 型半導体、電子（エレクトロン）である半導体は n 型半導体であり、この区別は無機半導体と同様であるが、添加する不純物の種類によって p 型か n 型かが決まる無機半導体に対して、有機半導体ではその最高被占有軌道（Highest Occupied Molecular Orbital : HOMO）および最低空軌道（Lowest Unoccupied Molecular Orbital : LUMO）とキャリアを注入する電極の仕事関数との関係で p 型になるか n 型になるかが決まる。図 2-2 のように半導体の HOMO と電極の仕事関数が近い場合には電極から正孔の注入が起りやすいため p 型半導体として動作し、半導体の LUMO と電極の仕事関数が近い場合には電極から電子の注入が起りやすいため n 型半導体として動作する。具体例として代表的な有機半導体であるペンタセンを挙げると、ペンタセンの HOMO は -5.0 eV、LUMO は -3.0 eV であるため仕事関数が -5.1 eV である金を電極として用いると p 型半導体として動作し、仕事関数が -2.9 eV であるカルシウムを用いると n 型半導体として動作する [7]。このように有機半導体は理論的には p 型、n 型のどちらでも動作することが可能である。しかし、現在報告されている有機半導体の多くが p 型であり、移動度も p 型のほうが高い。これは電極として多く用いられる金などの安定な金属の仕事関数と有機半導体の HOMO が近いこと、大気中の水や酸素により LUMO への電子注入が阻害されやすいことなどが原因である。本研究では p 型有機半導体材料を用いており、以下では p 型有機半導体材料の開発の歴史について述べていく。

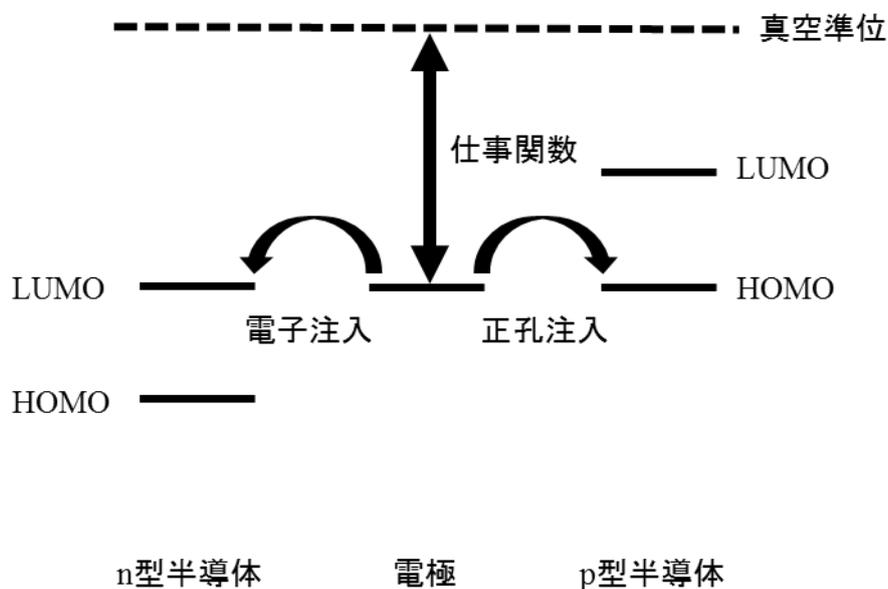


図 2-2 p 型・n 型有機半導体の HOMO・LUMO と電極の仕事関数との関係図

代表的な p 型有機半導体材料としてベンゼン環が直鎖上に縮合したアセン系の分子が挙げられる。先述のペンタセンもこの一つであり、真空蒸着法で製膜したものでは移動度 $3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ が報告されている [8]。しかし、ペンタセンは大気不安定であり、溶解性も低いことから溶液プロセスでの製膜が難しいという問題がある。この問題を解決するためにペンタセンの 6 位と 13 位をトリイソプロピリエチニル基で置換した 6,13-bis(triisopropyl-silylethynyl) pentacene (TIPS-pentacene) が開発された [9]。TIPS-ペンタセンは大気化で安定であり、溶解性も向上しているため溶液プロセスでの製膜が可能である。溶液プロセスで作製した TIPS ペンタセンの OFET では最高で $4.6 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ の移動度が報告されている。

アセン系以外の p 型有機半導体材料としてはヘテロアセン系の分子がある。ヘテロアセン系の分子とはヘテロ環とベンゼン環が縮合した分子であり、アセン系の分子と比べて HOMO が深く、HOMO-LUMO 間のエネルギー差も大きいため大気下で酸化されにくく、安定である。また、側鎖にアルキル鎖を導入することで溶解性を向上させることができ、溶液プロセスでの製膜が可能となる。代表的なヘテロアセン系の分子として [1]benzothieno[3,2-b][1]benzothiophene (BTBT) や dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene (DNTT) の誘導体などがあり、溶液プロセスにより製膜されたもので $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える移動度が報告されている [4,5]。また、当研究室で開発されたヘテロアセン系の分子としては 3,11-didecyldinaphtho[2,3-d:2',3'-d']benzo[1,2-b:4,5-b']dithiophene (C_{10} -DNBDT-NW) が挙げられる [6]。この分子は N 字に屈曲した骨格を有するために分子の回転運動が抑制されて、高い耐熱性を有する。溶媒に可溶であり、溶液プロセスで製膜された半導体膜では $16 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ という非常に高い移動度が報告されている。

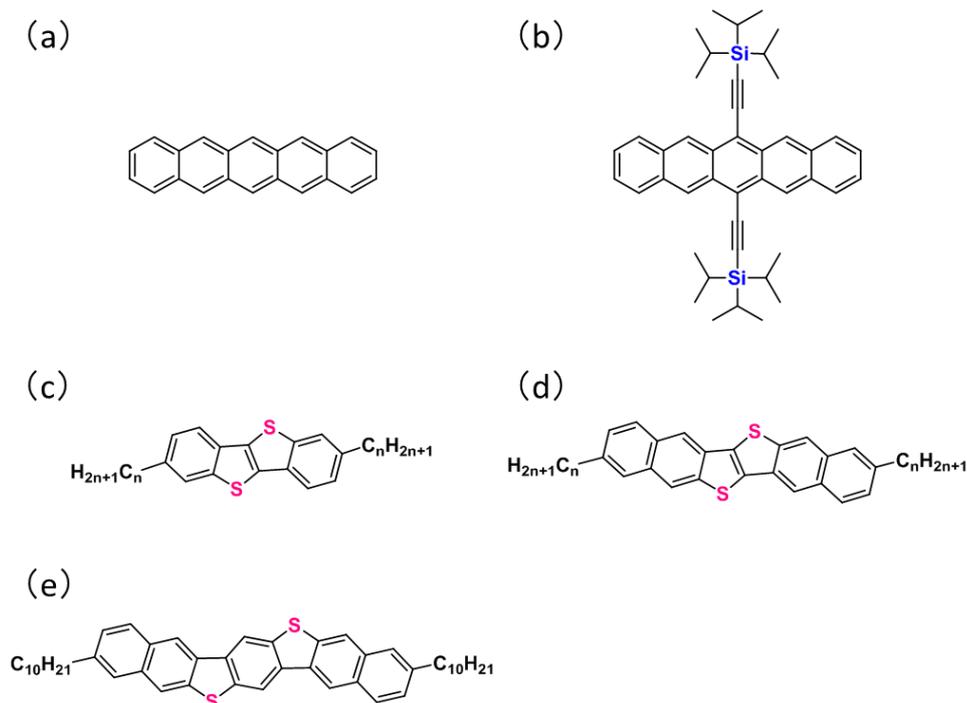


図 2-3 代表的な p 型有機半導体材料 (a) ペンタセン、(b) TIPS-ペンタセン、(c) BTBT 誘導体、(d) DNTT 誘導体、(e) C_{10} -DNBDT-NW の構造式

2.1.2. 有機半導体製膜プロセス

有機半導体は分子間の π 軌道の重なりを介してキャリア伝導が行われるため、キャリア移動度は分子の配列方向や分子間距離に影響される。分子のパッキングの仕方は半導体膜の製膜方法に大きく左右されるため、高い移動度の実現に向けて製膜方法に関する研究が盛んに行われている。有機半導体は真空プロセスでの製膜も可能であるが、溶媒に可溶という有機半導体の長所を十分に活かすには、低コストな溶液プロセスでの製膜が必要である。以下では、代表的な溶液プロセスによる製膜方法であるスピコート法と当研究室で開発された連続エッジキャスト法について説明する。

スピコート法

スピコート法とは基板に有機半導体溶液を滴下した後、基板を高速回転させることにより遠心力で余分な溶液を飛ばし、薄膜を製膜する方法である。溶液の濃度や回転速度を調整することで膜厚を制御することが可能である。製膜に必要な時間が短く、得られる薄膜の均一性が比較的高いなどの利点を有している。一方で、スピコート法で製膜した有機半導体膜はアモルファスもしくは多結晶であるため移動度が低く、その値は $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度にとどまっている [10-12]。加えて、この手法では数十センチメートルスケールの大面積での塗布が困難であり、産業応用まで考えると一度に多数の素子を作製できる大面積プロセスの開発が求められる。

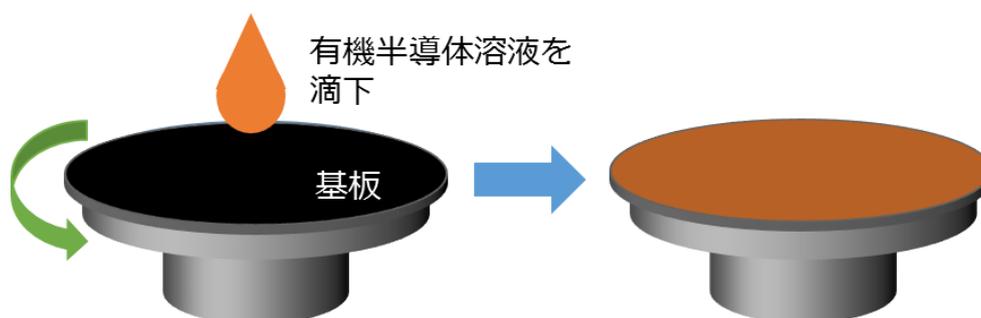


図 2-4 スピコート法の模式図

連続エッジキャスト法

スピコート法に挙げられるような問題点を解決する手法として、当研究室では連続エッジキャスト法を開発した [13]。連続エッジキャスト法では、ブレードを基板から少し浮かせた位置に固定し、そこに有機半導体溶液を一定の供給速度で連続的に供給する。同時に加熱した基板を一定の速度で移動させることで、結晶をブレードに向かって一軸成長させることができる。基板の温度や溶液の供給速度などを調節することで大面積の単結晶薄膜を製膜することが可能である。連続エッジキャスト法により p 型有機半導体材料である C_{10} -DNBDT-NW の有機半導体単結晶薄膜をインチサイズで製膜することに成功しており、平均移動度 $7.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ という高い移動度を達成している [13]。

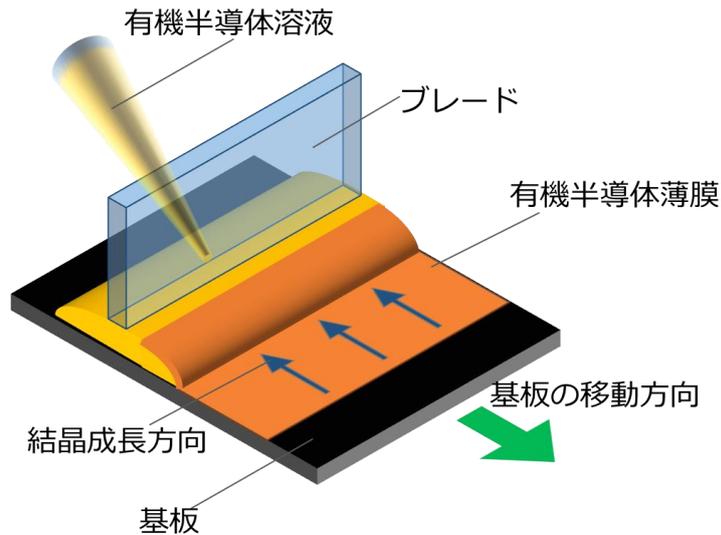


図 2-5 連続エッジキャスト法の模式図

2.1.3. OFET の構造と動作原理

OFET は支持基板、ゲート電極、ゲート絶縁膜、有機半導体層（活性層）、ソース・ドレイン電極から構成されている。ソース・ドレイン電極が半導体層の上／下にある構造をトップコンタクト (TC) / ボトムコンタクト (BC)、ゲート電極が半導体層の上／下にある構造をトップゲート (TG) / ボトムゲート (BG) と呼ぶ。これらを組み合わせたゲート電極とソース・ドレイン電極の配置の違いからデバイス構造は主に 4 パターンに分類される (図 2-6)。

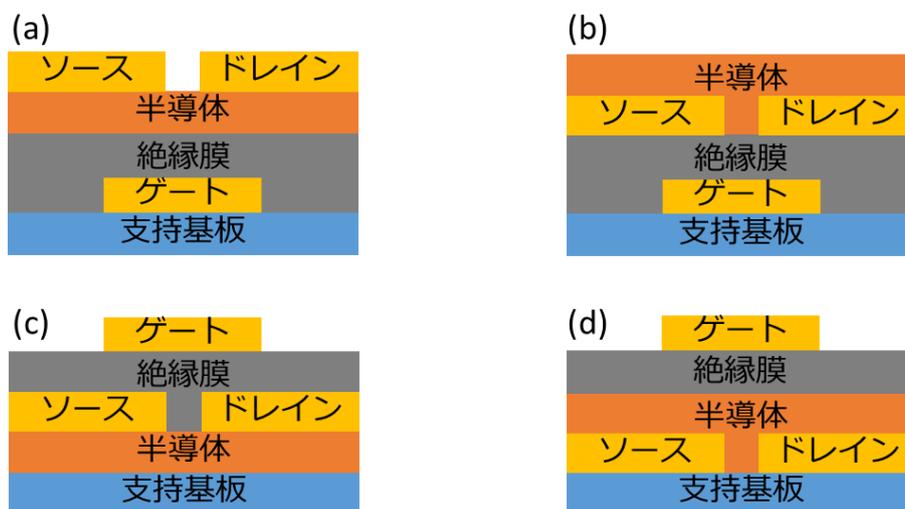


図 2-6 OFET の基本的なデバイス構造 (a) TCBG 構造、(b) BCBG 構造、(c) TCTG 構造、(d) BCTG 構造

次に BGBC 構造を例にして、OFET の動作原理を説明する。OFET はソース/ゲート電極間に印加する電圧 (V_G) とソース/ドレイン電極間に印加する電圧 (V_D) によってソース/ドレイン電極間に流れるドレイン電流 (I_D) を制御することができる。 V_G を印加することでソース電極から有機

半導体層にキャリアが注入され、その状態で V_D を印加することで I_D が流れる。

$V_G = 0\text{ V}$ のとき、有機半導体層にはキャリアがほとんど存在しないため、 V_D を印加してもソース・ドレイン電極間に電流は流れない。 $|V_G|$ を徐々に大きくしていくと、あるところでソース電極から半導体層へキャリアの注入が始まり、 V_D を印加することでソース・ドレイン電極間に電流が流れるようになる。ソース電極からキャリアの注入が始まる V_G を閾値電圧(V_{th})と呼び、キャリアが蓄積される領域をチャンネルと呼ぶ。 $|V_G| > |V_{th}|$ かつ $|V_D| < |V_G - V_{th}|$ を満たす領域を線形領域と呼び、この領域ではチャンネル抵抗は一定とみなせるため、 $|V_D|$ の増加に伴い I_D はオームの法則に従って増加する。 $|V_D|$ を大きくしていき、 $|V_G| > |V_{th}|$ かつ $|V_D| = |V_G - V_{th}|$ の条件に達すると、 V_D とチャンネルに実行的に印加されるゲート電圧($|V_G - V_{th}|$)が等しくなり、ドレイン電極近傍のキャリア蓄積層が消滅する。この状態をピンチオフと呼ぶ。さらに V_D を印加した $|V_D| > |V_G - V_{th}|$ の状態では、過剰の $|V_D|$ はキャリア蓄積層の消滅に消費されるため、実行的な V_D は増加せず I_D はほとんど変化しない。このような領域を飽和領域と呼ぶ。

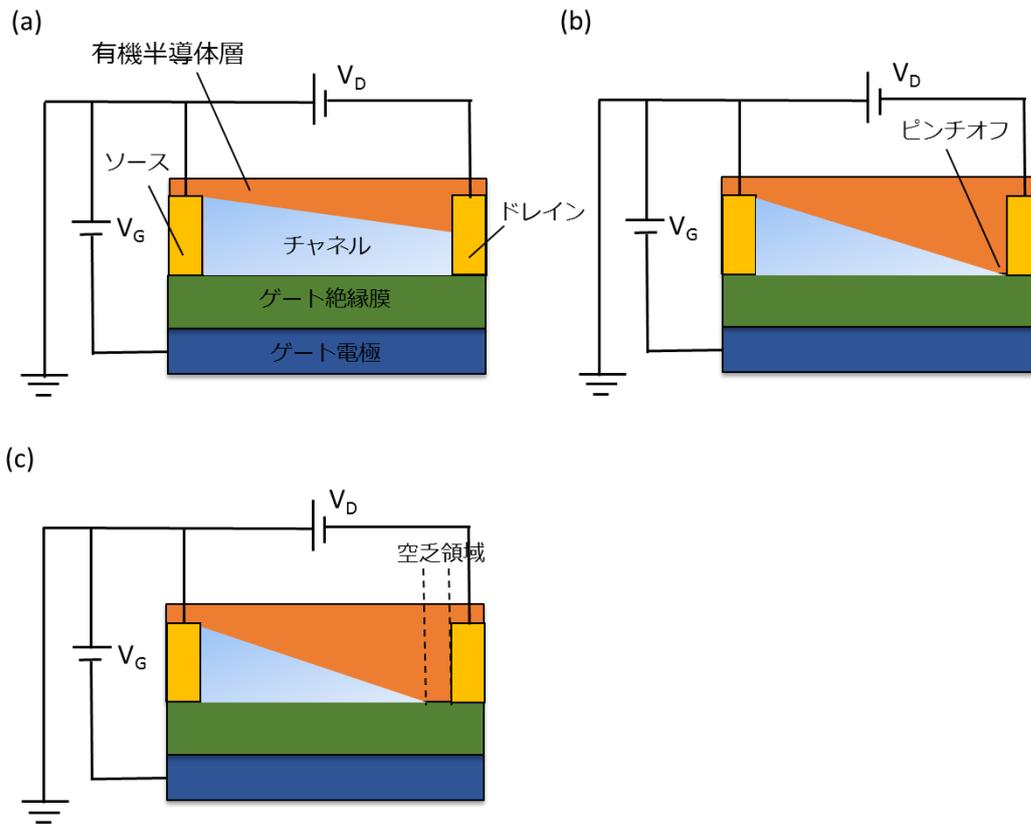


図 2-7 OFET 動作原理の模式図 (a) 線形領域 ($|V_G| > |V_{th}|$ かつ $|V_D| < |V_G - V_{th}|$)、(b) ピンチオフ ($|V_G| > |V_{th}|$ かつ $|V_D| = |V_G - V_{th}|$)、(c) 飽和領域 ($|V_G| > |V_{th}|$ かつ $|V_D| > |V_G - V_{th}|$)

2.1.4. OFET の特性評価

OFET の性能を示す指標のひとつとしてキャリア移動度がある。以下ではその導出法を説明する。キャリア移動度の導出にあたって、簡単のために以下の近似 (gradual channel 近似) を仮定する。

I. チャンネル長 (L) がチャンネル蓄積厚さ、およびゲート絶縁膜の厚さ (d) よりも十分に長い

II. キャリア移動度は電界に依存しない

III. ゲート電圧印加時の蓄積電荷はキャリアのみである

以下の導出では、これらの近似が成り立つとして進めていく。

移動度 μ と位置 x におけるキャリアのドリフト速度 $u_D(x)$ 、および電場 $\varepsilon(x)$ について、

$$\mu = \frac{u_D(x)}{\varepsilon(x)} \quad (1)$$

という関係が成り立つ。ドレイン電圧 V_D がかかっているときに、チャンネル中には電位勾配が生じるため、それについて考慮する必要がある。チャンネル中の位置 x におけるポテンシャルを $\phi(x)$ とすると、絶縁膜の両側にかかる電位差は $V_G - V_{th} - \phi(x)$ となる。 V_G はゲート電圧、 V_{th} は閾値電圧をそれぞれ表す。よって、位置 x における単位面積あたりの蓄積電荷量 $Q_i(x)$ は、

$$Q_i(x) = C_i(V_G - V_{th} - \phi(x)) \quad (2)$$

と表せる。 C_i は絶縁膜の単位面積あたりのキャパシタンスを表す。電流はある断面を単位時間あたりに通過する電荷量であるため、ソース電極からドレイン電極に流れるドレイン電流 $I_D(x)$ は、

$$I_D(x) = Q_i(x)Wv_D(x) \quad (3)$$

と表せる。 W はチャンネル幅である。定常状態において $I_D(x)$ は一定であるので、これを I_D とすると、

(1)、(2)、(3)式から、

$$I_D = C_i(V_G - V_{th} - \phi(x))W\mu\varepsilon(x) \quad (4)$$

となる。ここで、電場の定義から $\varepsilon(x) = d\phi(x)/dx$ であるから、

$$I_D dx = C_i(V_G - V_{th} - \phi(x))W\mu d\phi(x) \quad (5)$$

この両辺を $x = 0$ から $x = L$ まで積分すると、境界条件 $\phi(0) = 0$ 、 $\phi(L) = V_D$ から、

$$\int_0^L I_D dx = \int_0^{V_D} C_i(V_G - V_{th} - \phi(x))W\mu d\phi(x)$$

$$I_D L = \mu W C_i V_D \left(V_G - V_{th} - \frac{V_D}{2} \right)$$

$$I_D = \frac{\mu W C_i}{L} V_D \left(V_G - V_{th} - \frac{V_D}{2} \right) \quad (6)$$

となる。線形領域では、 $|V_D| \ll |V_G - V_{th}|$ であるため、(6) 式は、

$$I_{D,lin} = \frac{\mu W C_i}{L} V_D (V_G - V_{th}) \quad (7)$$

と近似される。そのため、線形領域での移動度 μ_{lin} は、

$$\mu_{lin} = \frac{L}{W} \frac{1}{C_i V_D} \frac{dI_{D,lin}}{dV_G} \quad (8)$$

と表されるので、 $I_{D,lin}$ を V_G に対してプロットしたときの傾きから μ_{lin} を求めることができる。次に、飽和領域での移動度 μ_{sat} を求める。(6) 式の両辺を V_D で微分することで、 $V_D = V_G - V_{th}$ のときに I_D が最大値を取ることがわかる。このときの V_D がピンチオフが始まる電圧である。(6) 式からはこの電圧を境に I_D が減少していくと考えられるが、実際には先述のように実行的な V_D は増加しないため、 I_D は一定となる。よって、 $|V_D| > |V_G - V_{th}|$ である飽和領域では、

$$I_{D,sat} = \frac{\mu W C_i}{2L} (V_G - V_{th})^2 \quad (9)$$

と近似される。(9) 式から飽和領域での移動度 μ_{sat} は、

$$\mu_{sat} = \frac{2L}{W} \frac{1}{C_i} \left(\frac{d\sqrt{I_{D,sat}}}{dV_G} \right)^2 \quad (10)$$

と表されるので、 $\sqrt{I_{D,sat}}$ を V_G に対してプロットしたときの傾きから μ_{sat} を求めることができる。

以上のようにして OFET の性能を示す指標のひとつである移動度が求められた。また、閾値電圧 V_{th} についても (7) 式、(9) 式から線形領域については $I_{D,lin}-V_G$ グラフの切片、飽和領域については $\sqrt{I_{D,sat}}-V_G$ グラフの切片から求めることができる。

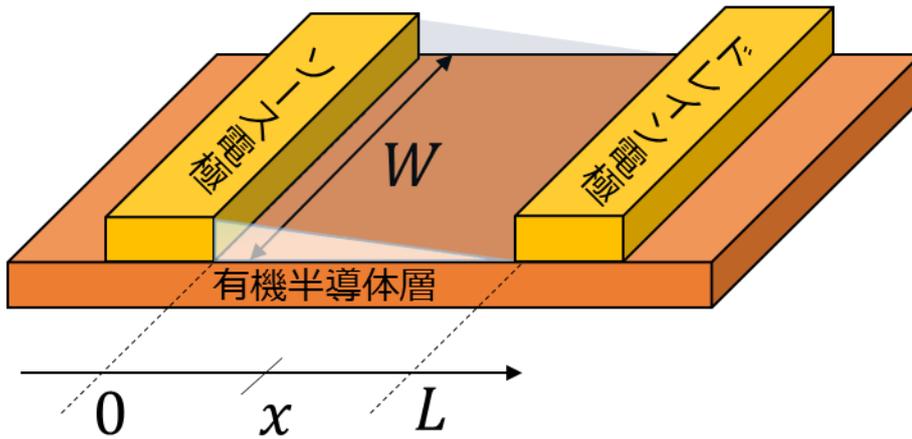


図 2-8 OFET のチャネル部分の模式図

2.2. OFET の接触抵抗

OFET の特性は電極/有機半導体層界面や有機半導体層/絶縁層界面といった界面の特性に大きく依存する。特にソース・ドレイン電極/有機半導体層界面には大きな接触抵抗が存在するため、OFET の伝達特性を多大な影響を与えている。OFET は Si-MOSFET (metal-oxide-semiconductor field-effect transistor) と比べて非常に大きな接触抵抗を有しており、数 k~数 10k $\Omega \cdot \text{cm}$ 程度の値が報告されており [14-16]、この値は Si-MOSFET と比べて 4~6 桁程度大きい値となっている。接触抵抗はチャンネルに印加される電圧を減少させるだけではなく、デバイスの閾値電圧や動的特性などにも影響を与えるため、素子の短チャンネル化や高速・安定動作の実現のためには接触抵抗の低減が重要となる。

2.2.1. 接触抵抗の評価手法

OFET の特性に大きく影響する接触抵抗だが、以下ではその評価手法の一つである TLM (Transmission Line Method) について説明する。

線形領域において 2 端子法による測定から得られる OFET の抵抗 (R_{total}) はチャンネル部分の抵抗 (R_{ch}) と接触抵抗 (R_{c}) の和で表される。 R_{ch} は (7) 式より、

$$R_{\text{ch}} = \frac{L}{\mu_{\text{int}} W C_i (V_{\text{G}} - V_{\text{th}})} \quad (11)$$

と表されるので、 R_{total} は

$$R_{\text{total}} = \frac{L}{\mu_{\text{int}} W C_i (V_{\text{G}} - V_{\text{th}})} + R_{\text{c}} \quad (12)$$

と書くことができる。 μ_{int} は接触抵抗の影響を除いた OFET 本来の移動度を示す。(12) 式よりチャンネル長 L に対して R_{total} をプロットしたときの回帰直線の切片の値から R_{c} の値を見積もることができる。すなわち、図 2-9 (a) に示すようにチャンネル長の異なる複数の OFET を作製し、図 2-9 (b) のようにそれぞれの 2 端子測定によって得られる R_{total} を L に対してプロットすることで R_{c} の値を見積もることができる (TLM プロット)。以上に記した接触抵抗の評価手法を TLM と呼ぶ。

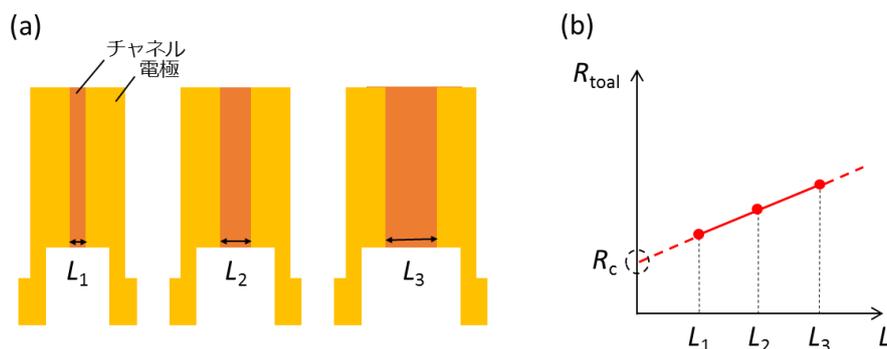


図 2-9 (a) TLM による接触抵抗評価用のチャンネル長が異なる OFET 模式図、(b) TLM プロット概略図

2.2.2. 短チャンネル OFET における接触抵抗の影響

OFET の短チャンネル化に伴い、 R_{total} に占める R_{c} の割合は増加していくため、短チャンネル OFET においては接触抵抗の特性への影響が非常に大きくなる。接触抵抗の影響を考慮した OFET の実

行的な移動度である μ_{eff} は線形領域ではチャンネル抵抗と接触抵抗の合成抵抗から算出することができる。(7) 式と (12) 式から

$$\frac{L}{\mu_{\text{eff}}WC_i(V_G - V_{\text{th}})} = \frac{L}{\mu_{\text{int}}WC_i(V_G - V_{\text{th}})} + R_c \quad (13)$$

と書くことができる。(13) 式を μ_{eff} について解くことで

$$\mu_{\text{eff}} = \frac{\mu_{\text{int}}}{1 + \frac{R_c \cdot W}{L} C_i \mu_{\text{int}} (V_G - V_{\text{th}})} \quad (14)$$

を得ることができる。(14) 式からも短チャンネル化によって接触抵抗の影響が大きくなり、実行移動度が OFET 本来の移動度から低下していくことがわかる。(14) 式をもとに R_c と μ_{int} 、 L に対する μ_{eff} の変化をシミュレーションしたものを図 2-10 に示す。シミュレーションでは $C_i = 36.5 \text{ nF cm}^{-2}$ 、 $|V_G - V_{\text{th}}| = 30 \text{ V}$ を用いて計算を行った。短チャンネルになるに従い、 R_{total} に占める R_c の割合が増加していくため、図 2-10 からわかるように μ_{eff} は μ_{int} と比べて低下してしまう。また、 R_c の値が大きいほどその低下の度合いが著しいことが確認できる。図 2-10 (a) と (b) を比較すると μ_{int} が高い場合に接触抵抗による移動度の減衰が顕著であることがわかる。これは μ_{int} が高い OFET においてはチャンネル抵抗が低いためである。したがって、本来高い移動度を有する有機半導体材料を用いた OFET であっても接触抵抗が低くない場合には、短チャンネルにした際に十分な特性を示すことができない。そのため、短チャンネル OFET の特性を向上させるためには接触抵抗の低減が必須である。

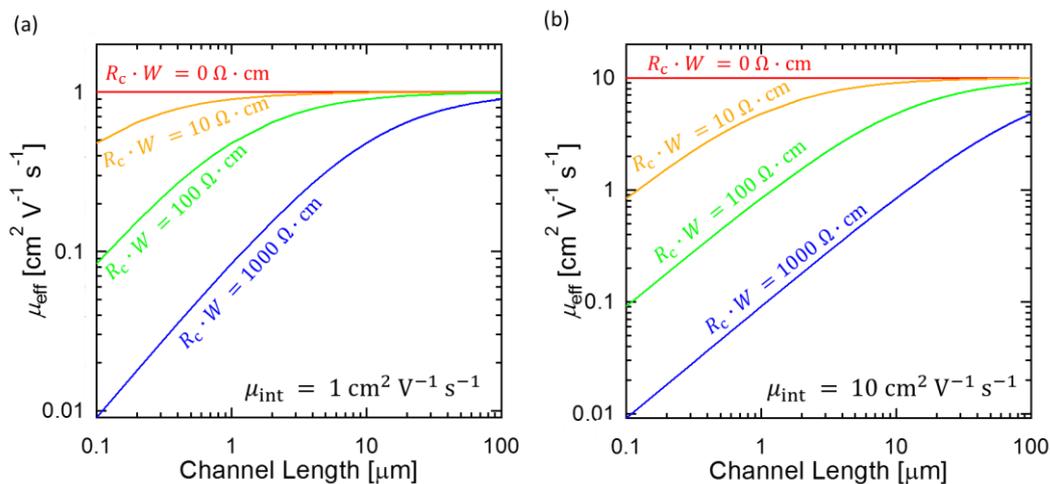


図 2-10 (a) $\mu_{\text{int}} = 1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ のときと (b) $\mu_{\text{int}} = 10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ のときの R_c に対する μ_{eff} のチャンネル長依存性のシミュレーション結果。文献 [17]を参考にした。

2.2.3. 接触抵抗の低減手法

接触抵抗は正確には、電極界面からチャンネル領域までの半導体のバルク領域の抵抗に起因するアクセス抵抗 (R_{acc}) と電極界面での抵抗 (R_{int}) という二つの抵抗の和で表される。そのため、接触抵抗を低減するためには R_{acc} と R_{int} をそれぞれ改善することが必要である。以下では、 R_{acc} と R_{int} を低減するためのアプローチについて述べる。

【アクセス抵抗(R_{acc})の低減手法】

R_{acc} の低減手法としては、抵抗の原因である半導体のバルク領域を小さくすることが挙げられる。OFET では TCBG 型、BCTG 型といったようなソース・ドレイン電極とゲート電極が有機半導体膜に対して逆側に配置されている Staggered 型の構造が頻繁に用いられるが、これに対して BCBG 型、TCTG 型のようなソース・ドレイン電極とゲート電極が有機半導体膜に対して逆側に配置されている Coplanar 型ではバルク領域を極めて小さくすることが可能なため、 R_{acc} の低減に有効である。P.Darmawan らは C_8 -BTBT を有機半導体層に用いた TCTG 型の OFET において接触抵抗が大幅に低減されたことが報告されている [18]。通常 Coplanar 型の OFET は Staggered 型の OFET と比較して大きな接触抵抗を持つが、ソース・ドレイン電極/有機半導体膜界面に $FeCl_3$ を用いたドーパント層を形成することで TC/TG 型の OFET でも容易な電荷注入を可能にしている。図 2-11 に TCTG 型と TCBG 型の OFET の TLM プロットを示す。どちらの構造のデバイスにおいても $FeCl_3$ によるドーピングは行っているものの、接触抵抗の値は大きく異なり TCBG 型の OFET の接触抵抗は $8.5 \text{ k}\Omega \cdot \text{cm}$ であるのに対して、TCTG 型の OFET の接触抵抗は $67 \Omega \cdot \text{cm}$ と 2 桁以上小さいことが報告されている [18]。TCTG 型にすることで、界面のドーパ領域とチャネル領域が直接つながり、 R_{acc} を最小化できた効果だと考えられる。

Staggered 型の OFET における R_{acc} を低減するためのアプローチとしては半導体の膜厚を薄くすることが挙げられる。A. Yamaura らは C_8 -DNBDT-NW を連続エッジキャスト法で塗布し、その膜厚をコントロールすることで、膜厚 7.2 nm のわずか 2 分子層からなる単結晶薄膜を製膜し、その単結晶膜を用いた OFET において $R_c \cdot W = 46.9 \Omega \cdot \text{cm}$ という OFET では最小の接触抵抗値を報告している [19]。図 2-12 に 2 分子層 OFET と 3 分子層 OFET の接触抵抗の V_G に対する依存性を示す。2 分子層 OFET の接触抵抗は全 V_G 領域で 3 分子層 OFET の 1/5 以下の値となっていることから、 R_{acc} の低減において半導体の膜厚を薄くすることが大変有効であることがわかる。

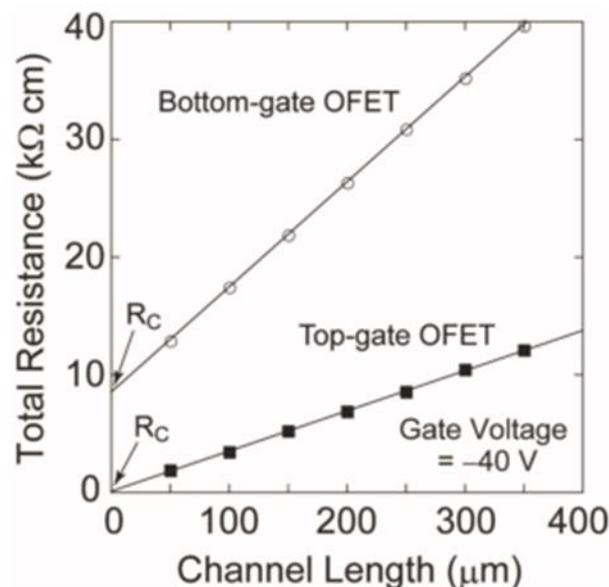


図 2-11 ソース・ドレイン電極界面をドーパした TCTG 型と TCBG 型の OFET の TLM プロット [18]

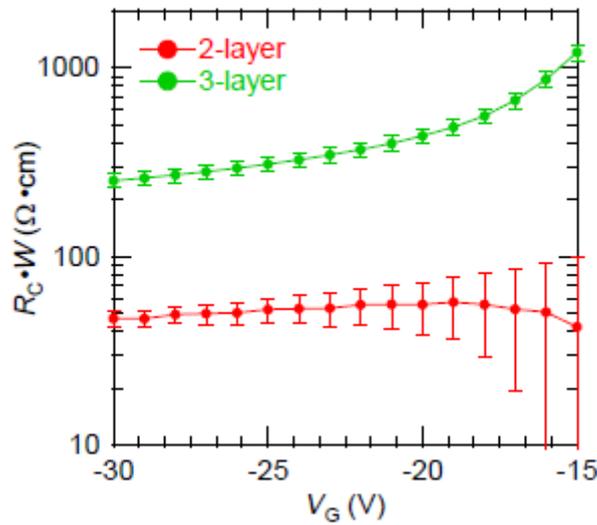


図 2-12 2 分子層および 3 分子層単結晶 OFET の接触抵抗の V_G に対する依存性の比較 [19]

【電極界面の抵抗(R_{int})の低減手法】

R_{int} は一般に金属の仕事関数と有機半導体の HOMO 準位のエネルギー差によって決まり、金属の仕事関数が有機半導体の HOMO 準位よりも高い場合には、ショットキー接合となり、電極界面に空乏層が形成されるため、大きな R_{int} が生じる。そのため、HOMO 準位に対して仕事関数が低い仕事関数を持つ金属を電極として用いることでオーミック接合を実現することが R_{int} の低減に重要と考えられる。しかし、実際にはオーミック接合を形成する電極材料と有機半導体の組み合わせでも、電極界面のトラップ密度が高い場合には、キャリア密度が低下することによって擬似的なショットキー接合のように振る舞うため、大きな接触抵抗が生じてしまう [20]。このような場合には、電極/有機半導体界面にドーピングを行い、界面のキャリア密度を増大させることが R_{int} の低減に対して効果的なアプローチである [21]。界面のキャリア密度を増大させることで空乏層の厚さを減少させることができるため、キャリアの注入を改善することができる。

シリコン半導体はリンやホウ素などの不純物元素を添加することでドーピングすることができ、そのドーピング量も添加する不純物元素の量で制御することができる。一方で、有機半導体ではドーパントと有機半導体分子間の酸化還元反応によってドーピングが行われる。そのため、ドーパされるキャリア量はドーパントと有機半導体分子のエネルギー準位の差によって生じる電荷移動により決まる。したがって、p 型有機半導体に対しては、図 2-13 に示すような深い LUMO 準位をもつアクセプタ性分子や酸化力の強い FeCl_3 などをドーパントとして用いる。ソース・ドレイン電極/有機半導体界面にドーパント分子を挿入し、ドーピングを行うことで、界面のキャリア密度が増大し、空乏層の厚さを減少させることができ、 R_{int} を低減させることが可能である。また、界面ドーピングは R_{acc} の低減に対しても有効であると考えられる。界面ドーピングを行っていない OFET においては接触抵抗が V_G に強い依存性を示し、 $|V_G|$ の増加に伴い、接触抵抗が低下するといった挙動を示す。これは半導体のバルク領域のトラップに起因するものであり、 $|V_G|$ が低い領域ではトラップが埋まりきっていないため高い R_{acc} を示すが、 $|V_G|$ が増加することでそれらトラップ

が埋まり、 R_{acc} も減少する。一方で、界面ドーピングを行った OFET の接触抵抗は図 2-14 に示すように V_G に依存しないことがある。これは界面ドーピングによるキャリア密度の増大により、バルク領域のトラップが埋まっているためだと考えられる [21]。

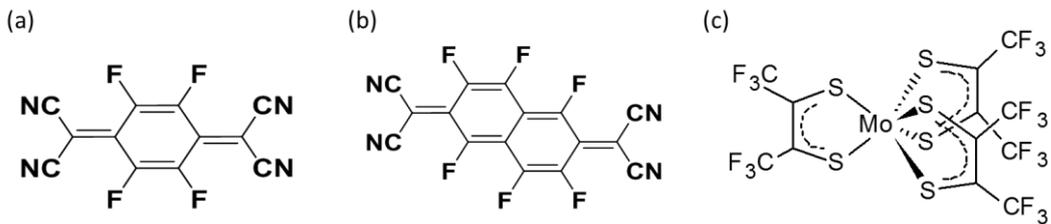


図 2-13 (a) 2,3,5,6-tetrafluoro-7,7,8,8-tetracyanoquinodimethane (F_4 -TCNQ)、
 (b) 1,3,4,5,7,8-hexafluorotetracyanonaphthoquinodimethane (F_6 -TNAP)、
 (c) molybdenum tris-[1,2-bis(trifluoromethyl)ethane-1,2-dithiolene] ($Mo(tfd)_3$)

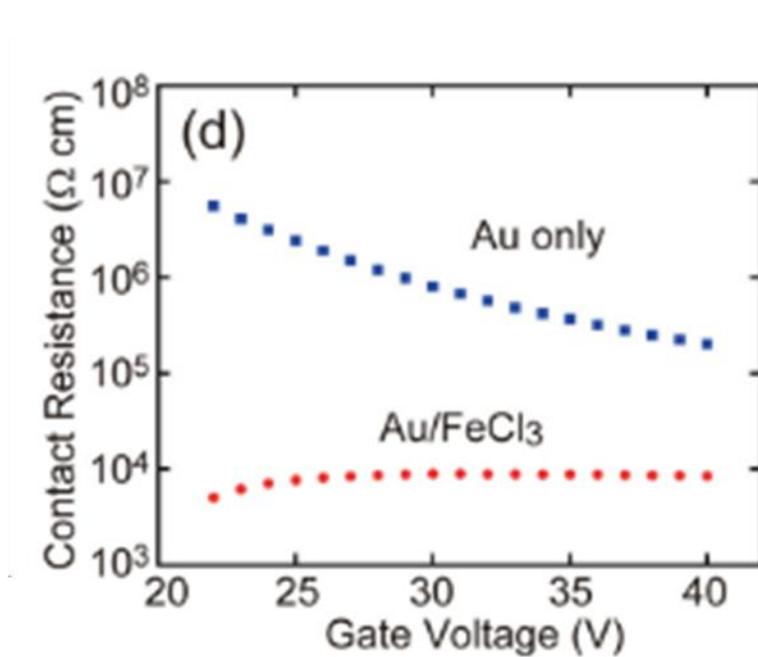


図 2-14 $FeCl_3$ で界面ドーピングされた OFET と界面ドーピングされていない OFET の接触抵抗の V_G 依存性 [21]。界面ドーピングされた OFET では接触抵抗の依存性がなくなっていることがわかる。

2.3. OFET の高周波応答

2.1.4 では OFET の性能を表す指標として移動度を導出したが、OFET を実デバイスに応用していくためには動作周波数に対応した電圧を入力した際のダイナミックな応答特性が重要となる。OFET の移動度は従来 $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以下という低い値にとどまっており、電子ペーパーやディスプレイ駆動のアクティブマトリクスなどの比較的動作速度が低速なデバイスのみに応用範囲が限られていた。しかし、近年の有機半導体材料開発や OFET 作製技術の向上により $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える高い移動度の報告も増えてきたことで、RF-ID タグのような高速動作が求められるデバイスへの OFET の応用も期待されるようになった。一方で、OFET の動作周波数の向上のためには移動度だけではなく、短チャネル化や寄生容量の低減なども必要となる。本節では、OFET の高周波応答特性についてトランジスタ単素子の動作周波数の上限値を示す遮断周波数およびダイオードとして OFET を用いた際の整流特性について説明する。

2.3.1. 遮断周波数

OFET はスイッチング素子として機能するだけでなく、ゲート電圧を入力することでドレイン電流を出力として取り出す信号増幅素子としての機能も持つ。このときの OFET の増幅率は I_D と I_G の比である電流利得 (*Gain*) によって決定される。OFET は絶縁膜をゲート電極と有機半導体層で挟んだキャパシタ構造とみなすことができるため、ゲート電極に入力する交流電圧の周波数の増加に比例して、ゲート電極に流れる電流も増加する。そのため入力交流電圧の周波数を増加させていくと、やがて入力信号に対応する I_G と出力信号となる I_D の振幅が等しくなり、OFET は信号増幅素子としての機能を失うことになる。この信号増幅機能を示す上限の周波数は遮断周波数 (f_c) と呼ばれ、トランジスタ単素子の動作周波数を評価する際の指標として用いられる。以下では、 f_c の理論式の導出を行う。

入力交流電圧の周波数が f_c のとき、ゲート電流の振幅 ΔI_G とドレイン電流の振幅 ΔI_D が等しくなるため、式では次のように表せる。

$$\frac{\Delta I_D}{\Delta I_G} = 1 \quad (15)$$

ゲートに印加する電圧を $V_G = V_0 \sin(2\pi ft)$ とする。 V_0 は入力交流電圧の振幅、 f は周波数、 t は時間を表す。ゲートはキャパシタンスとみなせるため、ゲート電流は、

$$I_G = \frac{dQ}{dt} = \frac{CdV}{dt} = V_0 C 2\pi f \cos(2\pi ft) \quad (16)$$

と表せる。ここで、 C はゲート電極とチャネル領域の重なっている部分の絶縁膜のキャパシタンスと寄生容量 C_{para} の和で表すことができる。そのため、 C は、

$$C = C_i WL + C_{\text{para}} \quad (17)$$

と表すことができる。通常の OFET では、 C_{para} はゲート電極とソース・ドレイン電極のオーバーラップしている部分の絶縁膜のキャパシタンスであるため、

$$C_{\text{para}} = 2C_i W \Delta L \quad (18)$$

と表せる。ここで、 ΔL はソース・ドレイン電極とゲート電極のオーバーラップしている部分の長さである。したがって、 ΔI_G は、

$$\Delta I_G = 2\pi f C_i W (L + 2\Delta L) V_0 \quad (19)$$

と書ける。次に ΔI_D を求める。 $V_G = V_0 \sin(2\pi f t)$ のときの I_D は (6) 式から、

$$I_D = \frac{\mu W C_i}{L} V_D \left(V_0 \sin(2\pi f t) - V_{th} - \frac{V_D}{2} \right) \quad (20)$$

であるので、 ΔI_D は、

$$\Delta I_D = \frac{\mu W C_i}{L} V_D V_0 \quad (21)$$

と書ける。(19) 式と (21) 式を (15) 式に代入して、

$$f_c = \frac{\mu V_D}{2\pi L (L + 2\Delta L)} \quad (22)$$

が得られる。また、 μ は実効移動度 μ_{eff} で表すことができるので、 f_c は

$$f_c = \frac{\mu_{eff} V_D}{2\pi L (L + 2\Delta L)} \quad (23)$$

と表すことができる。(23) 式から遮断周波数の向上には高い実効移動度 μ_{eff} と、 L および ΔL を小さくすることが必要である。一方で、2.2.2 で述べたように μ_{eff} は L を短くしていくと接触抵抗の影響が次第に支配的になっていくため、接触抵抗が大きい場合には μ_{eff} は大幅に減少していく。そのため、遮断周波数を向上させるためには接触抵抗を低減することが不可欠である。

2.3.2. 有機半導体ダイオードの整流特性

高移動度 OFET の研究が進み、様々なデバイスへの応用が期待されている。その応用先の 1 つとして RF-ID タグが挙げられる。RF-ID タグとはリーダ/ライタと非接触通信によって情報のやり取りを行うことができる IC タグであり、Suica などの交通機関の乗車カードや電子マネー、社員証など様々な用途が存在する。近年では、経済産業省とコンビニ大手 5 社（セブンイレブン、ローソン、ファミリーマート、ミニストップ、ニューデイズ）から 2025 年までに 5 社で取り扱う商品に IC タグを貼り付け、個別管理するなどの宣言が発表されるといったように流通や小売業界で IC タグを活用する動きが生まれてきている。一方で、IC タグの価格は現在一枚あたり 10 円～20 円するため、普及にあたってはその価格が大きな課題となっている。このような課題に対して、解決の糸口として注目されているのが OFET である。先述したように、OFET は塗布プロセスによる低コストな製造が可能であるため、IC タグに OFET を用いることで低価格化が期待できる。現在普及している RF-ID タグの通信周波数帯はソニー（株）の FeliCa などで採用されている 13.56 MHz 帯が主流である。RF-ID タグに使用されるタグは電池を内蔵していないパッシブタグが多いため、リーダ/ライタから伝送される交流信号を RF-ID タグの整流器によって直流電圧に変換することで IC に電力を供給している。そのため、RF-ID タグに用いられる整流器は 13.56 MHz の周波数に対して応答する必要があり、OFET の RF-ID タグへの応用のためには高周波応答が可能な有機半導体ダイオードが必要となる。

有機半導体ダイオードは大きく分けて二つのアプローチから研究が進められている。一つは有機半導体層を仕事関数が異なる二つの電極で挟んだキャパシタ構造の縦型ダイオード素子で、もう一つは OFET のゲート電極とドレイン電極を短絡させてダイオードとして用いたものである。

前者の縦型ダイオードでは、片側の電極と有機半導体界面のショットキー障壁によって整流作用がもたらされており、電極間の有機半導体層の厚みに相当するキャリアパスが $1\ \mu\text{m}$ 以下と短いため比較的大きな電流密度を得ることができる。ゆえに縦型ダイオードは応答周波数の面において OFET を用いたダイオード素子より有利であり、 $1\ \text{GHz}$ という極めて高い周波数で整流特性を示すことが報告されている [22]。一方、縦型ダイオードは半導体層の不均一性や結晶粒界によって電極間に導通してしまう恐れがあり、絶縁性の担保が難しい。RF-ID タグの通信ではリーダ/ライタとの距離によっては大きな誘導起電力が発生し、整流器に大きな電圧が印加される可能性があることから、RF-ID タグの整流器にはある程度の絶縁性が求められる。後者の OFET を短絡させたダイオード素子は絶縁膜を厚くすることによって絶縁性を担保することが容易であり、RF-ID タグの無線通信という用途では縦型構造のものより適していると考えられる。以下では、OFET ダイオードを用いた整流器とその応答周波数について説明する。なお以下の議論は文献 [23] と [24] を参考に行っている。

OFET ダイオードではゲート電極とドレイン電極を短絡させてあるため、p 型半導体を使用した OFET の場合には印加電圧が負のときには電流が流れるが、正のときには流れない。そのため、ダイオード接続した OFET と抵抗をつないだ図 2-15 (a) のような整流回路に振幅 V_0 で正弦波の交流電圧を入力すると、出力 V_{out} は図 2-15 (b) のようになる。図 2-15 (b) からわかるように、整流回路の出力には脈動（出力に含まれる周期的な変動）が含まれており、そのままでは電子回路の直流電源として使用することはできない。そこで、この脈動をできるだけ抑制し、直流電圧に近づけるためのフィルタとして平滑回路が用いられる。最も簡単な平滑回路として、ダイオード接続した OFET と容量の大きいコンデンサをつなげた図 2-16 (a) のような回路がある。ダイオードが導通しているときにはキャリアがコンデンサに充電され、非導通のときには蓄積されたキャリアがコンデンサに保持される。実際には非導通のときにもリーク電流が多少流れているため、 V_{out} は低下する。平滑回路の出力波形を図 2-16 (b) に示す。

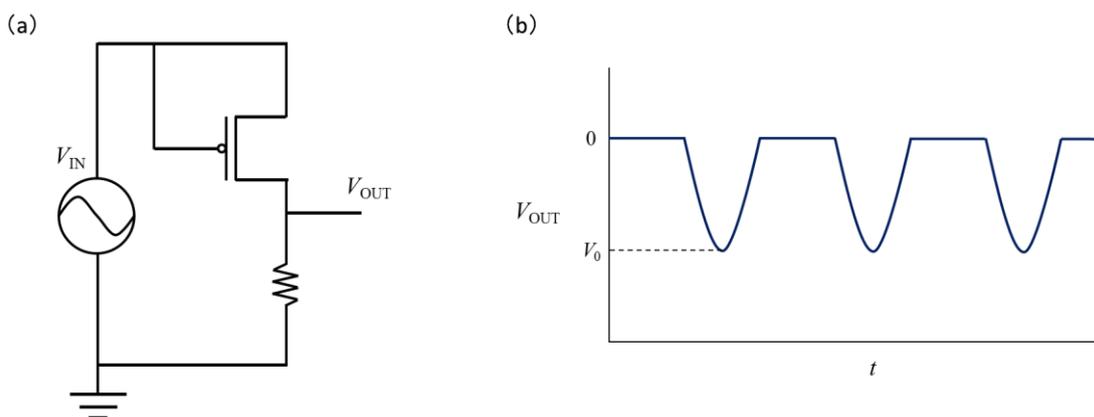


図 2-15 (a) ダイオード接続した OFET を用いた単相半波整流回路の回路図、(b) 出力電圧の模式図

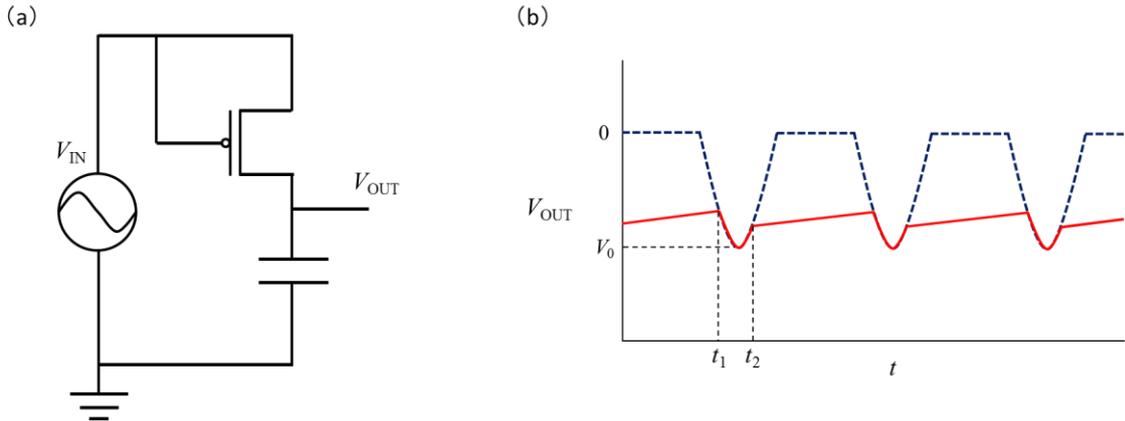


図 2-16 (a) ダイオード接続した OFET を用いた平滑回路の回路図、(b) 出力電圧の模式図

次に、図 2-16 (a) のようなダイオード接続した OFET を用いた平滑回路の応答周波数について述べる。入力交流電圧 V_{IN} を振幅 V_0 、周波数 ω の正弦波とすると、

$$V_{IN} = V_0 \sin \omega t \quad (24)$$

と表せるので、OFET のソース電極とドレイン電極にかかる電圧 V_D は、

$$V_D = V_{IN} - V_{OUT} = V_0 \sin \omega t - V_{OUT} \quad (25)$$

と書ける。ダイオード接続した OFET ではゲート電極とドレイン電極はショートしているため $V_G = V_D$ が成り立ち、且つ常に飽和領域として取り扱うことができるので、ダイオードが導通時に流れる電流 I_D は (9) 式から、

$$I_D = \frac{\mu W C_i}{2L} (V_D - V_{th})^2 \quad (26)$$

と表せる。コンデンサのキャリアを充電するのに必要な時間が、OFET が非導通状態から導通状態からなるまでの時定数 τ で表されるとすると、 τ は OFET の抵抗 (R) とキャパシタンス (C) の積で表されるので、

$$\tau = RC = \frac{V_D}{I_D} C_i WL \quad (27)$$

という式が得られる。ここで、ソース・ドレイン電極間にかかる電圧の平均値 $V_{D,AVE}$ は図 2-16 (b) の t_1 と t_2 を用いて、以下のように表される。

$$V_{D,AVE} = \frac{1}{(t_2 - t_1)} \int_{t_1}^{t_2} V_D dt = V_0 \left(\frac{\sqrt{1 - \beta^2}}{\cos^{-1} \beta} - \beta \right) \quad (28)$$

t_1 、 t_2 、 β はそれぞれ以下の式を満たしている。

$$t_1 = \frac{1}{\omega} \sin^{-1} \beta, t_2 = \frac{1}{\omega} (\pi - \sin^{-1} \beta), \beta = \frac{V_{OUT}}{V_0} \quad (29)$$

(26) 式、(27) 式において $V_D \cong V_{D,AVE}$ として、簡単のために $V_{th} = 0$ とおくと、(27) 式は、

$$\tau = \frac{2L^2}{\mu V_{D,AVE}} \quad (30)$$

と書き表すことができる。OFET ダイオードの応答周波数の最大値 $f_{rectify}$ を時定数の逆数 τ と定義すると、(28) 式と (30) 式から、

$$f_{\text{rectify}} = \frac{1}{\tau} = \frac{\mu V_0}{2L^2} \left(\frac{\sqrt{1 - \beta^2}}{\cos^{-1} \beta} - \beta \right) \quad (31)$$

という関係式が導出される。(31) 式から応答周波数を向上させるためには、遮断周波数の場合と同様に、接触抵抗を低減することで短チャネルにおいても高い実行移動度を実現することが必要である。

2.4. 本研究の目的

前節で述べたように、OFET の高周波応答特性の向上には短チャネルにした際の実効的な移動度の低下を抑えることが重要であり、そのためには接触抵抗の低減が必須である。そこで本研究では、OFET の高周波応答特性の向上を目的とした接触抵抗の低減に向けて電界効果ドーピングと化学ドーピングの二つのアプローチを試みた。

一つ目のアプローチは OFET ヘスプリットゲート構造を導入し、電界効果によって電極界面をドーピングするというものである。スプリットゲート構造とは、ソース・ドレイン電極と重なるようにスプリットゲート電極が絶縁膜中に埋め込まれた構造であり、ソース・ドレイン電極とスプリットゲート電極の間に電圧を印加し、電極界面のキャリア密度を高めることによる接触抵抗の低減効果が期待できる。さらに、活性層に高移動度を有する有機半導体単結晶膜を用いることで、短チャネルにおいて高い実効移動度を実現し、高い遮断周波数を達成することを目的とした。

二つ目のアプローチは有機半導体層上での新たなリソグラフィプロセスの開発である。接触抵抗を低減させるための手法の一つとして、2.2.1 で述べたように有機半導体層/ソース・ドレイン電極界面にのみ選択的にドーパント層を形成する手法が挙げられる。一方で、短チャネル素子の作製にはシャドウマスクを用いた汎用プロセスの適用は困難であり、また通常のフォトリソグラフィでは有機半導体層にダメージを与えるという問題がある。したがって、化学ドーピングによって接触抵抗を低減し OFET の高速動作を実現するためには、有機半導体層にダメージなく高解像度でドーパント層/ソース・ドレイン電極をパターンニングする手法を確立することが求められる。そこで本研究では、有機半導体層にダメージを与えることなくコンタクト界面にのみドーパント層を形成する新たなリソグラフィプロセスを開発し、有機半導体単結晶を活性層に用いた短チャネル OFET を作製し、その接触抵抗及び高周波応答特性を評価した。

第3章 スプリットゲートトランジスタによる高周波応答

スプリットゲートトランジスタとは、スプリットゲート電極がソース・ドレイン電極に重なるように絶縁膜中に埋め込まれた構造を持つ OFET (図 3-1 (a)) であり、ゲート電極とは独立にスプリットゲート電極に電圧を印加することでキャリア注入を制御することが可能である。例えば、アンバイポーラーOFET に対してスプリットゲート構造を適用し、注入するキャリアの種類を制御することによって、p 型あるいは n 型のユニポーラーOFET として駆動させたり、電極から注入した電子と正孔のチャンネル領域での再結合を利用した OLED (organic light emitting diodes) として動作させたりといった応用例の報告が近年なされている [25–28]。また、通常の OFET に対してスプリットゲート構造を導入することで、電界効果によってソース・ドレイン電極下の有機半導体層におけるキャリア密度を高めることができる (図 3-1 (b))。ゲート電極によってチャンネルに誘起される電荷よりも多くのキャリアをスプリットゲート電極によって導入することで、チャンネル抵抗に対する接触抵抗の影響を軽減することが可能である [29,30]。図 3-2 は DNNT を活性層に用いた OFET に対してスプリットゲート構造を適用した際の接触抵抗の変化を示している。スプリットゲート電極に電圧を印加した場合には接触抵抗が減少しており、また接触抵抗が V_G に対して依存しないような挙動が観測されている。これは 2.2.3 で紹介した $FeCl_3$ によってコンタクト界面をドーピングした場合と同様の振る舞いであり、スプリットゲート電極への電圧印加によってソース・ドレイン電極下のキャリア密度が増大し、トラップ密度が低減されたことを示唆している。

以上のようにスプリットゲート構造は電界効果によってキャリア注入を比較的容易に制御することが可能であり、OFET の接触抵抗を低減させるための有力な手法である。本研究では、スプリットゲート構造を高移動度有機半導体単結晶と組み合わせることで短チャンネルにおいても高い実効移動度を実現し、OFET の応答速度を向上させることを目指した。まず高移動度を有する低分子有機半導体材料である 3,11-dinonyldinaphtho[2,3-d':2',3'-d'']benzo[1,2-b:4,5-b']dithiophene (C₉-DNBDT-NW) の単結晶薄膜を活性層に用いたスプリットゲートトランジスタを作製し、接触抵抗への効果を検証した。加えて、短チャンネルスプリットゲートトランジスタの遮断周波数の測定を行い、高周波応答におけるスプリットゲート構造の有用性を検証した。

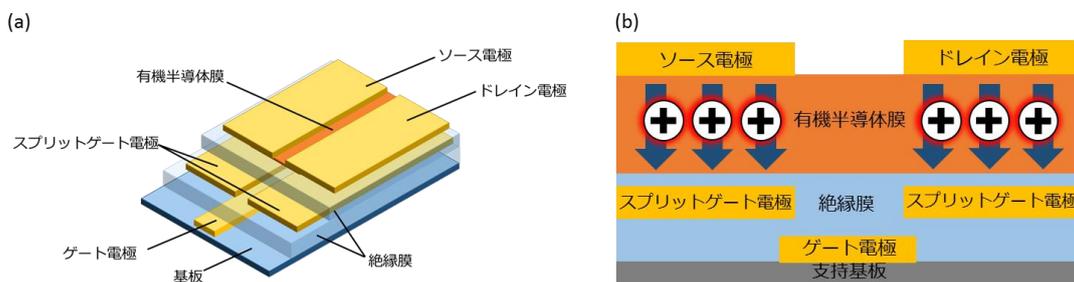


図 3-1 (a) スプリットゲートトランジスタの構造模式図、(b) スプリットゲートトランジスタの動作模式図

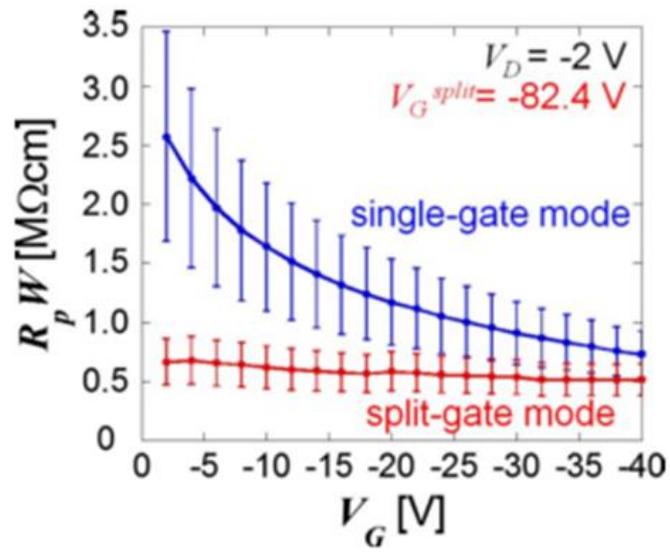


図 3-2 接触抵抗の V_G 依存性。スプリットゲートに電圧が印加されているスプリットゲートモードにおいては接触抵抗が低減していることが分かる [29]。

3.1. スプリットゲートトランジスタの作製

本実験で作製したスプリットゲートトランジスタの構造を図 3-3 に示す。以下に作製手順について述べる。

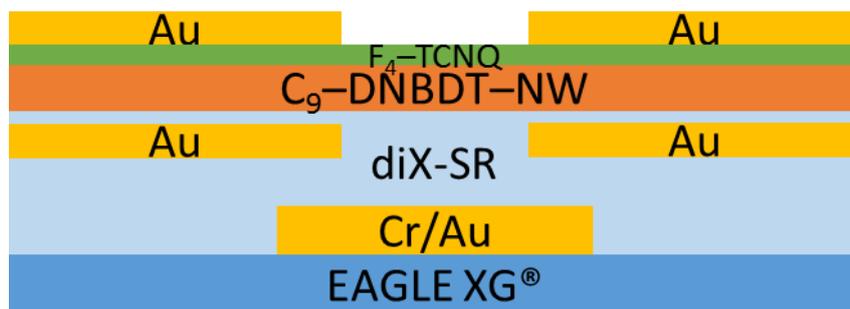


図 3-3 作製したスプリットゲートトランジスタの構造

① ゲート電極の作製

支持基板として無アルカリガラスである EAGLE XG® (Corning, Inc.) を用いた。ゲート電極の作製プロセスを図 3-4 に示す。露光装置としては MLA150 (Heidelberg Instruments Mikrotechnik GmbH) を用いた。フォトリソグラフィプロセスでは、フォトマスク越しに平行光を照射するという露光方式が一般的であるが、MLA150 では空間光変調装置である Digital Mirror Device を用いてマスクデザインを直接描画するという露光方式によって、高解像度の露光パターンの形成を可能にしている。光源は波長 375 nm の紫外光レーザーであり、以後のフォトリソグラフィではすべて同じ露光機を用いている。最初にフォトレジストとしてポジ型フォトレジストである TLOR-P003 (東京応化工業株式会社) を 700 rpm で 10 秒間、3500 rpm で 20 秒間、5000 rpm で 2 秒間の条件でスピコートし、90 °C のホットプレート上で 120 秒間加熱した後、露光装置で 290 mJ cm⁻² の紫外光を照射した。照射後、110 °C のホットプレート上で 90 秒間加熱し、NMD-3 (東京応化工業株式会社) に基板を 50 秒間浸漬させて現像した後、超純水で洗浄した。その後、真空蒸着法によって基板表面にクロムを 2 nm、金を 30 nm の順に蒸着した。フォトレジストを除去するために 1-methyl-2-pyrrolidone に 10 分間浸漬させた後、2-propanol に 10 分間浸漬させた。最後に、100 °C のホットプレート上で 1 時間加熱乾燥し、2-propanol の残渣を除去した。

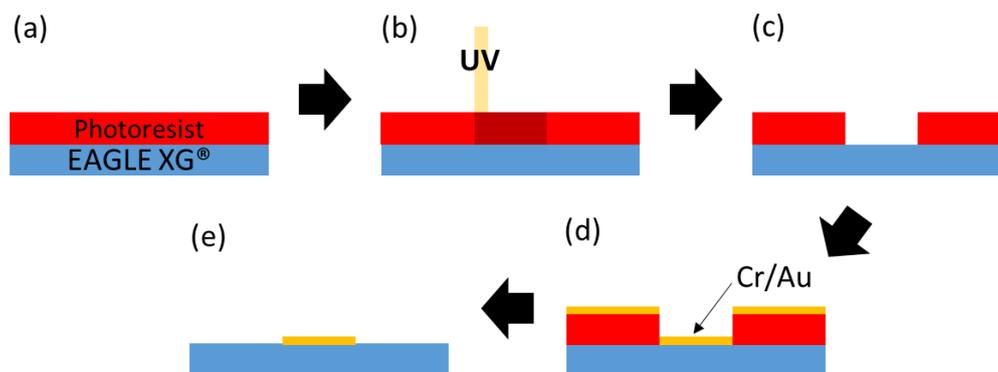


図 3-4 ゲート電極の作製プロセスの模式図。(a) フォトレジストの塗布、(b) UV 照射、(c) 現像、(d) クロム/金の蒸着、(e) フォトレジストの剥離

② ゲート絶縁膜の作製

ゲート絶縁膜として高純度パリレンである diX-SR (第三化成株式会社) を化学気相成長 (CVD) 法によって製膜した。diX-SR には diX-C (第三化成株式会社) のダイマーであるジクロロパラシクロファンが 94% 程度含まれている。図 3-5 にジクロロパラシクロファンの分子構造とポリマー化したときの構造を示す。CVD 法に従って、ダイマー状態の diX-SR を 170 °C で気化させた蒸気を 690 °C でモノマーに熱分解させ、チャンバー内でラジカル重合することにより高分子膜を得た。これにより 100 nm 程度のゲート絶縁膜を製膜した。

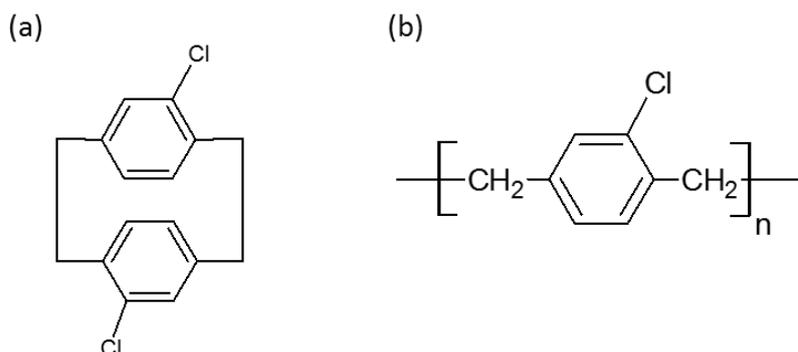


図 3-5 (a) ジクロロパラシクロファンの構造式、(b) diX-C のポリマー構造式

③ スプリットゲート電極の作製

真空蒸着法によって基板表面に金を 30 nm 蒸着した。次に、フォトリソグラフィによってスプリットゲート電極のパターニングを行った。フォトレジストとしてイメージ反転型のフォトレジストである AZ 5214 E (Clariant Co.) を本実験ではポジ型として用いた。AZ 5214 E を 1000 rpm で 5 秒間、3000 rpm で 40 秒間、5000 rpm で 2 秒間の条件でスピコートし、105 °C のホットプレート上で 60 秒間加熱した後、露光装置で 100 mJ cm⁻² の紫外光を照射した。照射後、NMD-3 に基板を 30 秒間浸漬させて現像した後、超純水で洗浄した。その後、AURUM S-50790 (関東化学株式会社) に基板を 10 秒間浸漬させて金のエッチングを行い、超純水で洗浄した。フォトレジストを除去するために AZ 100 Remover (Clariant Co.) を入れた一つ目のバスに 2 分間、二つ目のバスに 1 分間浸漬させた後、2-propanol に 1 分間浸漬させた。最後に、100 °C のホットプレート上で 1 時間加熱乾燥し、2-propanol の残渣を除去した。

④ スプリットゲート絶縁膜の作製

スプリットゲート絶縁膜はゲート絶縁膜と同様に diX-SR を CVD 法によって製膜した。これにより 50 nm 程度のスプリットゲート絶縁膜を製膜した。

⑤ 有機半導体単結晶膜の製膜

有機半導体材料には当研究室で開発された C₉-DNBDT-NW を用いた。C₉-DNBDT-NW を 3-chlorothiophene に溶解させ、濃度が 0.02 wt% になるように半導体溶液を調整し、2.1.2 で述べた連続エッジキャスト法により厚さ数分子程度からなる有機半導体単結晶膜を製膜した。92 °C に設定したステージ上に基板を固定し、半導体溶液を 0.42 μL s⁻¹ の速度で吐出させながら、基板を 12 μm

s⁻¹の速度で移動させることで基板上に製膜した。製膜後、80 °C の真空オーブンで 10 時間加熱し、残留溶媒を取り除いた。

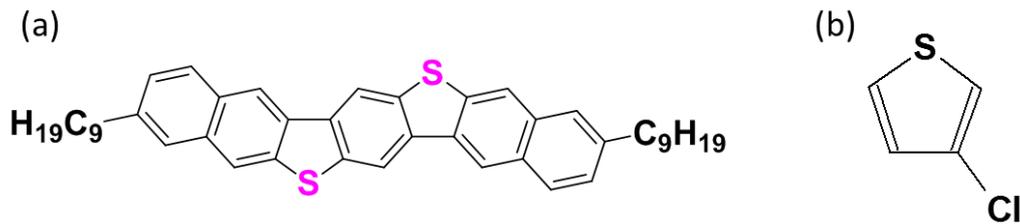


図 3-6 (a) C₉-DNBDT-NW、(b) 3-chlorothiophene の構造式

⑥ 有機半導体膜のパターニング

真空蒸着法によって基板表面に F₄-TCNQ を 3 nm、金を 40 nm を順次蒸着した。F₄-TCNQ は 2.2.3 で述べたようにホールの注入障壁を軽減するためのアクセプタ性の分子材料である。次に、フォトリソグラフィによって金のパターニングを行った。フォトレジストとして有機半導体にダメージを与えないネガ型フッ素系フォトレジストである OSCoR4001 (Orthogonal, Inc.) を 500 rpm で 5 秒間、1500 rpm で 40 秒間の条件でスピコートし、基板を 40 °C のオーブンに入れてから 60 °C にセットし、昇温時間込みで 20 分間加熱した。オーブンの電源を切ってから 10 分後に基板をオーブンから取り出し、露光装置で 1000 mJ cm⁻² の紫外光を照射した。照射後、基板を再び 40 °C のオーブンに入れてから 60 °C にセットし、昇温時間込みで 20 分間加熱後、オーブン内で 30 分間徐冷してから基板を取り出した。現像液である Novec7300 (スリーエムジャパン株式会社) に基板を 3 分 30 秒間浸漬させてフォトレジストをパターニングした。その後、AURUM S-50790 (関東化学株式会社) に基板を 60 秒間浸漬させて金のエッチングを行い、超純水で洗浄した。続いて、フォトレジストをより焼き固めるために 90 °C のホットプレート上で 10 分間加熱した。40 °C のホットプレート上で加熱されたテトラリン溶液に基板を 40 秒間浸漬させた後、室温のテトラリン溶液に 10 秒間浸漬させることで有機半導体膜のエッチングを行った。フォトレジストを除去するために Novec7100 (スリーエムジャパン株式会社) と 2-propanol の混合溶液 (質量比 9:1) に 90 秒間浸漬させたあと、Novec7100 を入れた一つ目のバスに 60 秒間、二つ目のバスに 60 秒間浸漬させた。最後に 80 °C の真空オーブンで 10 時間乾燥させた。

⑦ Via ホールの作製

作製したゲート電極とスプリットゲート電極との導通を確保するために Via ホールを形成した。Via ホール形成箇所には波長 266 nm の YAG レーザーを照射することで、絶縁膜の diX-SR に Via ホールを開けた。

⑧ ソース・ドレイン電極の作製

真空蒸着法によって基板表面に金を 40 nm 蒸着した。次に、フォトリソグラフィによって金のパターニングを行った。有機半導体のパターニング時と同様に OSCoR4001 を 500 rpm で 5 秒間、1500 rpm で 40 秒間の条件でスピコートし、基板を 40 °C のオーブンに入れてから 60 °C にセットし、昇温時間込みで 20 分間加熱した。オーブンの電源を切ってから 10 分後に基板をオーブン

から取り出し、露光装置で 1000 mJ cm^{-2} の紫外光を照射した後、基板を再び 40°C のオーブンに入れてから 60°C にセットし、昇温時間込みで 20 分間加熱後、オーブン内で 30 分間徐冷してから基板を取り出した。ベーク後、現像液である Novec7300 に基板を 3 分 50 秒間浸漬させてフォトリソグラフィをパターンニングした。その後、AURUMS-50790 に基板を 115 秒間浸漬させて金のエッチングを行い、超純水で洗浄した。フォトリソグラフィを除去するために Novec7100 と 2-propanol の混合溶液（質量比 9:1）に 90 秒間浸漬させたあと、Novec7100 を入れた一つ目のバスに 60 秒間、二つ目のバスに 60 秒間浸漬させた。最後に 80°C の真空オーブンで 10 時間乾燥させた。

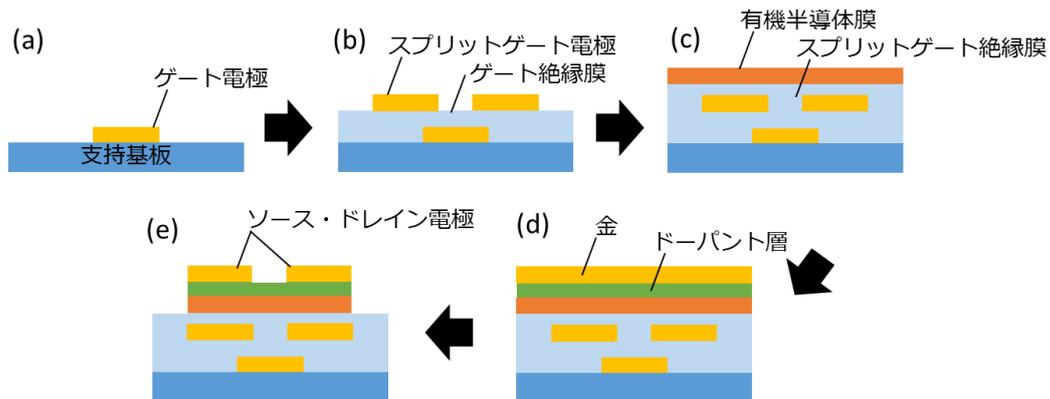


図 3-7 スプリットゲートトランジスタ作製プロセスの模式図。(a) ゲート電極の作製、(b) スプリットゲート電極の作製、(c) 有機半導体膜の製膜、(d) ドーパント/金の蒸着、(e) 有機半導体膜のパターニングとソース・ドレイン電極の作製

図 3-8 に作製したスプリットゲートトランジスタの光学顕微鏡画像を示す。本実験では、チャンネル長 $2 \mu\text{m}$ という短いチャンネル長のトランジスタを作製することに成功した。

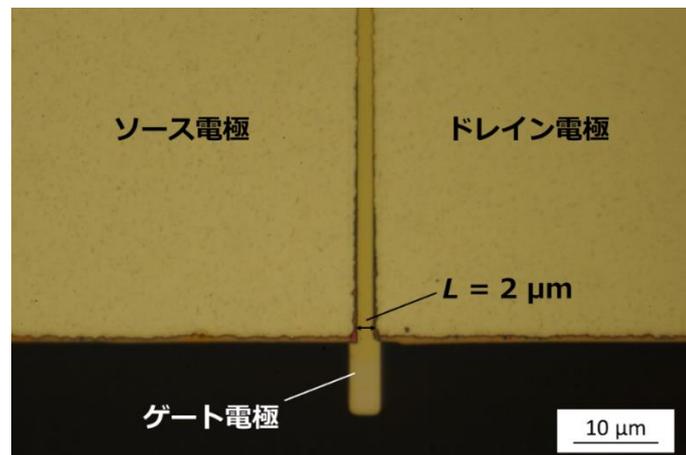


図 3-8 作製した素子の顕微鏡画像

3.2. トランジスタ特性

スプリットゲート構造の効果を評価するために、シングルゲートモードとスプリットゲートモードという二種のモードで測定を行い、トランジスタ特性の比較を行った。測定において、図 3-9 のようにゲート電圧 (V_G)、ドレイン電圧 (V_D)、スプリットゲート電圧 (V_{split}) をスプリットゲートトランジスタに印加した。

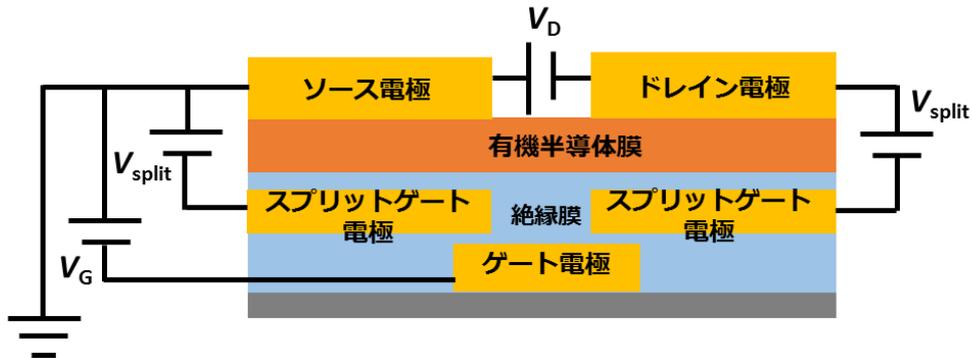


図 3-9 スプリットゲートトランジスタへのゲート電圧 (V_G)、ドレイン電圧 (V_D)、スプリットゲート電圧 (V_{split}) の印加方法

- ・シングルゲートモード

シングルゲートモードでは、 V_G と V_{split} を以下の (32) 式を満たすように掃引させて、測定を行った。

$$V_{split} = \frac{C_{i,total}}{C_{i,2nd}} V_G \quad (32)$$

$C_{i,total}$ はゲート絶縁膜とスプリットゲート絶縁膜を合わせた単位面積あたりのキャパシタンスを示し、 $C_{i,2nd}$ はスプリットゲート絶縁膜の単位面積あたりのキャパシタンスを示す。(32) 式を満たした状態ではゲート電極上とスプリットゲート電極上で電界が等しくなるので、スプリットゲートトランジスタは通常の OFET と同様のふるまいを示す。そのため、シングルゲートモードでの特性をスプリットゲート構造の効果を評価する際の基準にした。

- ・スプリットゲートモード

スプリットゲートモードでは、 V_{split} は一定の状態では V_G を掃引させて、測定を行った。十分な V_{split} を印加した状態では、ソース・ドレイン電極近傍のキャリア密度が向上した状態で測定を行うことができるため、接触抵抗の低減が期待できる。スプリットゲートモードでの伝達特性を基準となるシングルゲートモードでの特性と比較することでスプリットゲート構造の効果を評価した。

作製したスプリットゲートトランジスタの線形領域、飽和領域の伝達特性を図 3-10 に示す。トランジスタ特性の測定には、Keithley 4200-SCS 半導体パラメータアナライザを用いた。測定に用いた素子は $L = 3\mu\text{m}$ 、 $W = 1000\mu\text{m}$ であり、キャパシタンスは測定したところ $C_{i,\text{total}} = 16.5\text{ nF cm}^{-2}$ 、 $C_{i,2\text{nd}} = 44.6\text{ nF cm}^{-2}$ であった。diX-SR の比誘電率は 3.06 として、ゲート絶縁膜とスプリットゲート絶縁膜を合わせた絶縁膜の膜厚を 150 nm、スプリットゲート絶縁膜の膜厚を 50 nm とすると、算出されるキャパシタンスの値はそれぞれ 52.5 nF cm^{-2} 、 17.5 nF cm^{-2} と概ね一致していることから特性の解析には実測値を用いた。

線形領域においてはヒステリシスの小さい伝達特性が得られており、移動度についてはシングルゲートモードにおいては $2.2\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ であった。一方で、閾値電圧については 0 V から on 側にシフトしており、 $V_G = 0\text{ V}$ のときに電流が流れる、ノーマリーオンの状態であった。今回作製した素子がノーマリーオンの特性を示す要因として以下の二つが考えられる。まず一つ目がソース・ドレイン電極のパターニングで使用した AURUM の影響である。AURUM には三ヨウ化物イオン (I_3^-) が含まれており、 I_3^- と金の間で $\text{I}_3^- + 2\text{e}^- = 3\text{I}^-$ と $\text{Au} = \text{Au}^+ + \text{e}^-$ といった酸化還元反応を起こすことで金を溶解させている。ソース・ドレイン電極のパターニングの際にはチャンネル部分の有機半導体膜は AURUM に直接触れているため、 I_3^- が有機半導体に対して酸化反応を起こすことでホールが生成され、本来キャリアが存在しない $V_G = 0\text{ V}$ においてもキャリアが存在することになり、ノーマリーオンになったと考えられる [31]。他の要因としては、活性層上の $\text{F}_4\text{-TCNQ}$ が考えられる。本実験においてはドーパントである $\text{F}_4\text{-TCNQ}$ のパターニングを行っていないため、ソース・ドレイン電極/有機半導体層界面だけではなく、チャンネル上にもドーパント層が製膜されている状態であった。そのため、先述の I_3^- と同様にして半導体膜にホールを生成し、ノーマリーオンの原因になったと考えられる。このようなノーマリーオンの特性は、複数の素子を組み合わせで動作させる論理回路においては一つ混ざるだけで正常な動作を妨げる要因となるため、閾値電圧の制御は非常に重要な課題である。この問題の解決として第 4 章では AURUM を用いずに、ドーパント層をソース・ドレイン電極/有機半導体層界面のみに形成する手法の開発に取り組んだ。

次にシングルゲートモードとスプリットゲートモードの比較を行う。スプリットゲートモードでは、シングルゲートモードと比較して電流が流れ始める V_G や off 電流値は大きく変わることなく、 $V_G = -10\text{ V}$ における電流値の増大が確認された。移動度についても $V_{\text{split}} = -5\text{ V}$ では $2.3\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 、 $V_{\text{split}} = -10\text{ V}$ では $2.5\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ とスプリットゲート電圧を印加することで移動度の向上も確認された。

飽和領域においても同様にヒステリシスの小さい、ノーマリーオンで動作する伝達特性が得られた。移動度についてはシングルゲートモードでは $2.1\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ であったのに対して、 $V_{\text{split}} = -5\text{ V}$ では $3.5\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 、 $V_{\text{split}} = -10\text{ V}$ では $4.5\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ とシングルゲートモードと比較して大幅な向上を確認することができた。

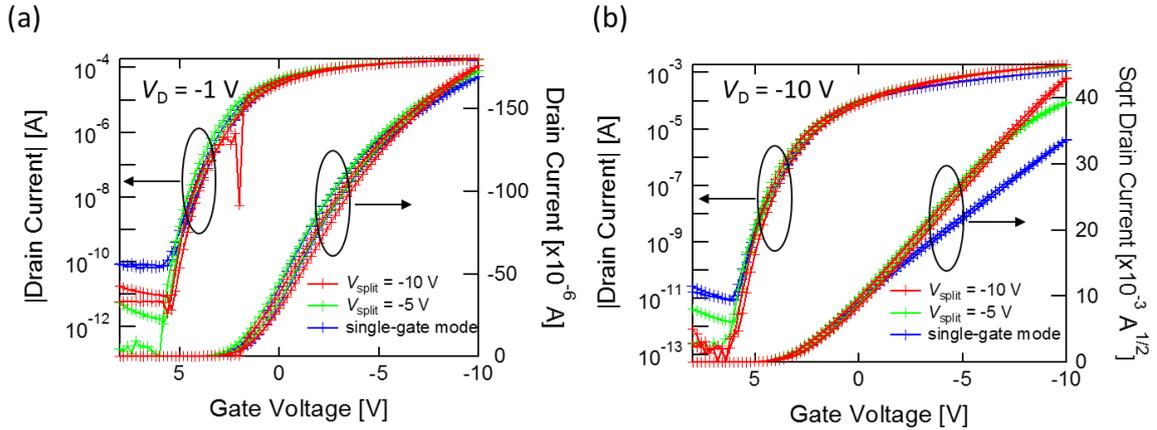


図 3-10 作製したスプリットゲートトランジスタの (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性

作製したスプリットゲートトランジスタの出力特性を図 3-11 に示す。シングルゲートモードにおいてはピンチオフが伝達特性から予想されるドレイン電圧よりも低い電圧で起こっていることが確認された。一方で、スプリットゲートモードにおいてはそのような振る舞いは改善され、ドレイン電圧の増加に伴い、電流値も増加することが確認された。このことから、シングルゲートモードにおいて確認されたピンチオフの問題はコンタクト領域に起因するものであり、スプリットゲート電圧を印加し、コンタクト領域のキャリア密度が増大されたことで改善されたものと推察できる。

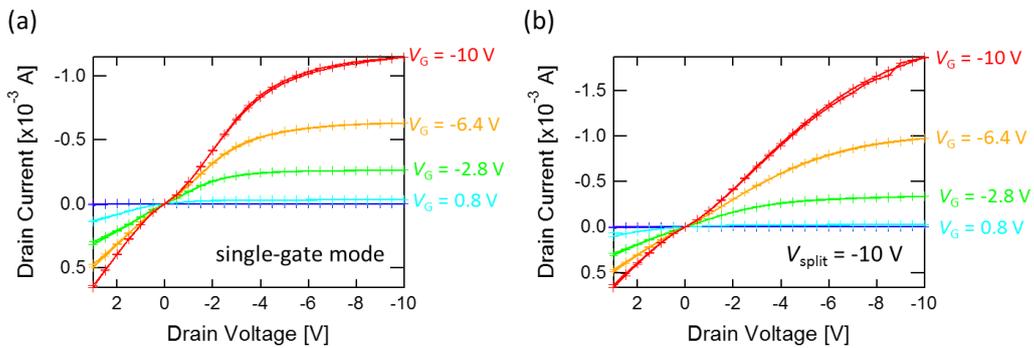


図 3-11 作製したスプリットゲートトランジスタの (a) シングルゲートモードにおける出力特性、(b) スプリットゲートモード ($V_{split} = -10 \text{ V}$) における出力特性

3.3. 接触抵抗評価

作製したスプリットゲートトランジスタの接触抵抗を TLM によって評価した。 $L = 4, 5, 7, 10, 20, 40, 60, 80, 100 \mu\text{m}$ の計 9 素子をすべて均一な膜厚の有機半導体単結晶膜上に作製した。それぞれのチャンネルの抵抗値 R_{total} をチャンネル幅 W で規格化したものをチャンネル長 L に対してプロットし、その回帰直線の切片の値から接触抵抗 $R_c \cdot W$ を見積もった。その値をゲート電圧 V_G に対してプロットしたものを図 3-12 (b) に示す。図 3-12 (b) からスプリットゲートモードにおける接触抵抗は全 V_G 領域でシングルゲートモードにおける接触抵抗よりも低減されていることがわかり、特に $V_{\text{split}} = -10 \text{ V}$ 印加時の接触抵抗値はシングルゲートモード時のおよそ半分の値となっていることから、スプリットゲート構造が接触抵抗の低減に対して有効であることが確認できた。

一方で、本実験で得られた $V_G = -10 \text{ V}$ 、 $V_{\text{split}} = -10 \text{ V}$ における $1023 \Omega \cdot \text{cm}$ という接触抵抗値は、同じ塗布法で製膜された半導体層を用いた OFET で報告されている $46.9 \Omega \cdot \text{cm}$ [19] という値と比較すると大きな値となっている。接触抵抗が高かった要因の一つとして有機半導体膜の膜厚が考えられる。本実験で製膜したような厚さが数分子程度の有機半導体単結晶膜においては微妙な膜厚の違いが接触抵抗に大きく影響することが報告されている [19]。スプリットゲート構造では、スプリットゲート電極があるために有機半導体膜の塗布時の下地の凹凸が通常の OFET と比べて大きく、製膜条件のコントロールが困難である。そのため、今回作製したスプリットゲートトランジスタでは有機半導体層を十分薄く製膜することができず、高い接触抵抗値につながったと考えられる。したがって、有機半導体の製膜条件を最適化することで、スプリットゲートトランジスタにおいてさらに低い接触抵抗を実現できる可能性がある。

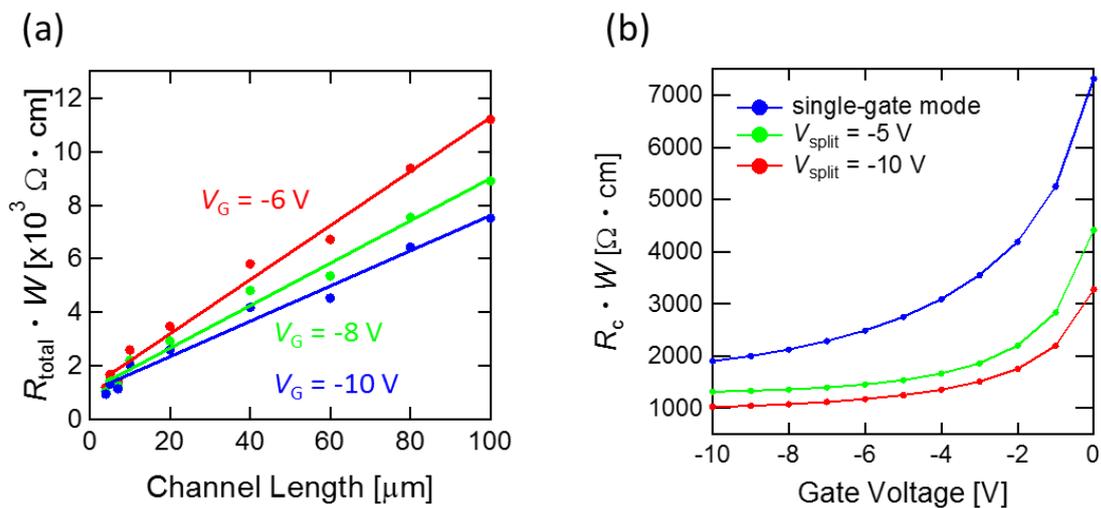


図 3-12 (a) 作製したスプリットゲートトランジスタのスプリットゲートモード ($V_{\text{split}} = -10 \text{ V}$) における TLM プロット、(b) 各モードでのゲート電圧に対する接触抵抗の依存性の比較 スプリットゲートトランジスタの遮断周波数測定

3.4. スプリットゲートトランジスタの遮断周波数測定

スプリットゲートトランジスタのスプリットゲートモードにおける遮断周波数を測定した。測定は $L = 2 \mu\text{m}$ 、 $\Delta L = 1 \mu\text{m}$ 、 $W = 1000 \mu\text{m}$ の素子を用いた。図 3-13 に測定に用いたデバイスのスプリットゲートモード ($V_{\text{split}} = -12 \text{ V}$) における伝達特性および出力特性を示す。図 3-10 で示した特性と同様に閾値電圧が on 側にシフトしているが、ヒステリシスが小さく、飽和領域における移動度は $1.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ と短チャネルでは比較的高い移動度を得ることができた。

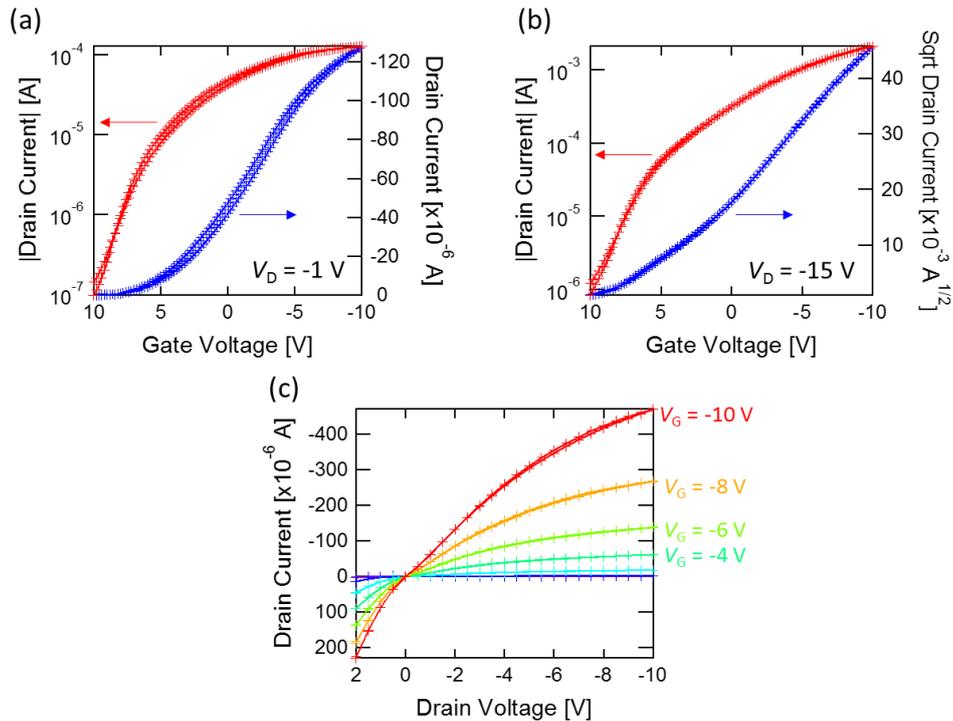


図 3-13 作製した短チャネルスプリットゲートトランジスタの (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性、(c) 出力特性

3.2 で行った測定はトランジスタの静的な特性を見ていることになるが、遮断周波数の測定ではゲート電極へ交流電圧を印加するため、実際の回路などで使用する際の動作に近い状態での特性を評価することができる。遮断周波数は 2.3.1 で説明したように、ゲート電流とドレイン電流が等しくなったときの入力交流電圧の周波数と定義される。したがって、ゲート電極に様々な周波数の交流電圧を印加し、そのときに流れるゲート電流とドレイン電流を測定することで、実験的に遮断周波数を求めることができる。遮断周波数を測定する際に使用した回路の回路図を図 3-14 に示す。ゲート電極には、 -10 V の直流電圧に peak to peak の値が 1 V で正弦波の交流電圧を加えた電圧信号を入力した。入力電圧の供給にはファンクションジェネレータとバイアスティを使用した。ゲート電流とドレイン電流はカレントプローブで測定した信号をアンプで増幅し、オシロスコープにより測定した。本実験ではスプリットゲートモードとして $V_{\text{split}} = -12 \text{ V}$ の状態で測定を行った。

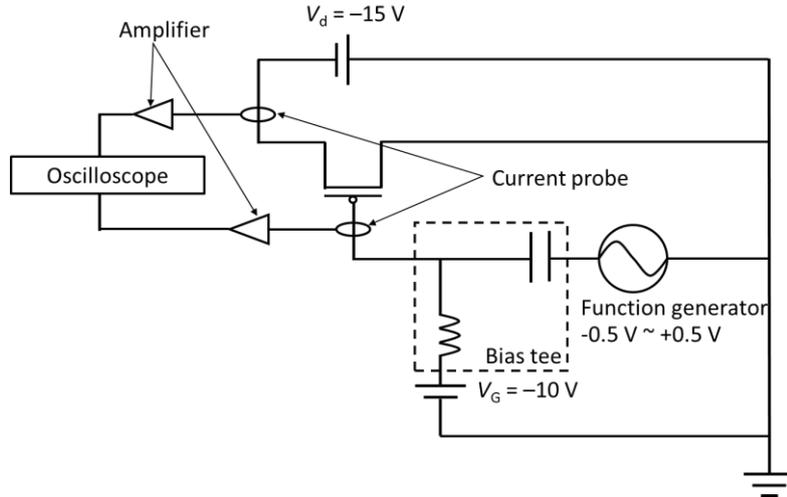


図 3-14 遮断周波数の測定回路図

測定結果の一例として、4 MHz の交流電圧を入力したときの出力信号を図 3-15 に示す。測定したデータを正弦波でフィッティングし、その振幅の値を ΔI_G 、 ΔI_D とした。 ΔI_G 、 ΔI_D が一致するとき、すなわち $Gain \equiv 20\log(\Delta I_D/\Delta I_G)$ が 0 となる周波数が測定した素子の遮断周波数 (f_c) である。図 3-16 に遮断周波数の測定結果を示す。図 3-16 (b) から測定に使用したデバイスのスプリットゲートモードにおける遮断周波数は 35 MHz と見積もることができる。本実験で得られた値の先行研究との比較は第 4 章の遮断周波数測定の前項でまとめる。

次に得られた遮断周波数と計算値との比較を行う。本実験はスプリットゲートトランジスタであるため、2.3.1 の遮断周波数の理論式の導出において、(18) 式の寄生容量が通常の OFET とは異なる。スプリットゲートトランジスタでは、図 3-17 のように寄生容量がゲート電極とスプリットゲート電極のオーバーラップしている部分の絶縁膜のキャパシタンスに相当するため、

$$C_{\text{para}} = 2C_{i,1st}W\Delta L \quad (33)$$

と表せる。 $C_{i,1st}$ はゲート電極とスプリットゲート電極間の絶縁膜の単位面積あたりのキャパシタンスである。(33) 式を用いて、 f_c を導出し直すと、

$$f_c = \frac{\mu V_D}{2\pi L} \left(\frac{C_{i,\text{total}}}{C_{i,\text{total}}L + C_{i,1st}\Delta L} \right) \quad (34)$$

が得られる。本実験ではゲート電極とスプリットゲート電極間の絶縁膜が diX-SR で 100 nm、スプリットゲート電極とソース・ドレイン電極間の絶縁膜が diX-SR で 50 nm であるので、 $C_{i,1st} = 1.5C_{i,\text{total}}$ とみなして (34) 式からスプリットゲートトランジスタの遮断周波数を計算すると計算値は 36 MHz となり、このことから概ね計算値と一致する値を高周波測定によって得られたことが確認できた。

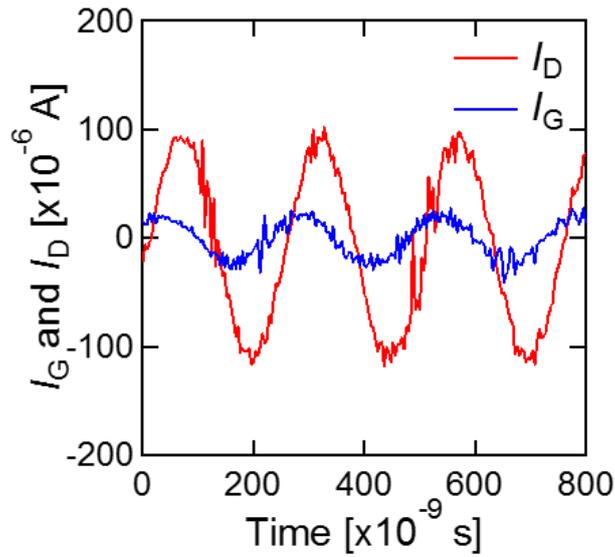


図 3-15 周波数 4 MHz の交流電圧を入力したときの I_G と I_D に対応する出力信号

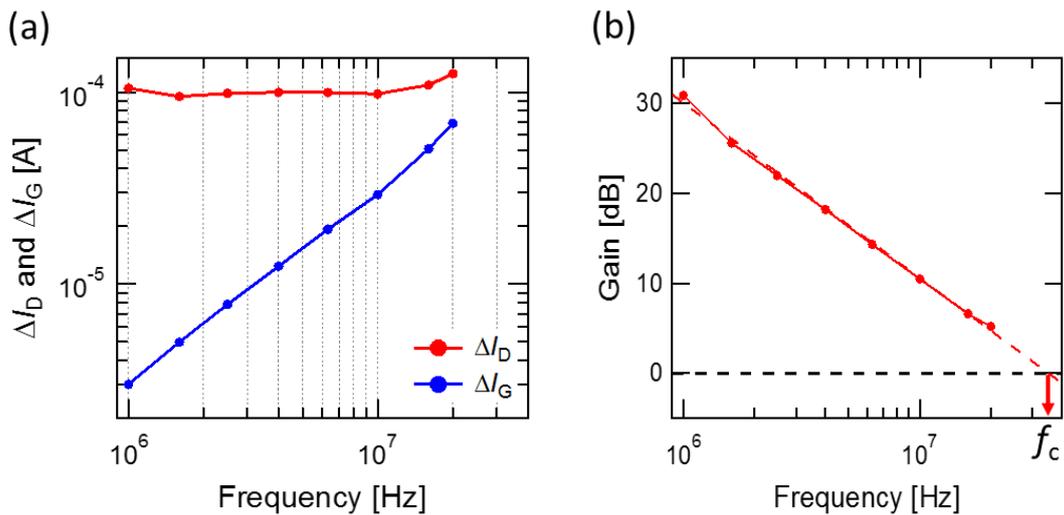


図 3-16 入力交流電圧の周波数に対する (a) ΔI_d と ΔI_G の出力信号の変化、(b) $Gain$ の変化

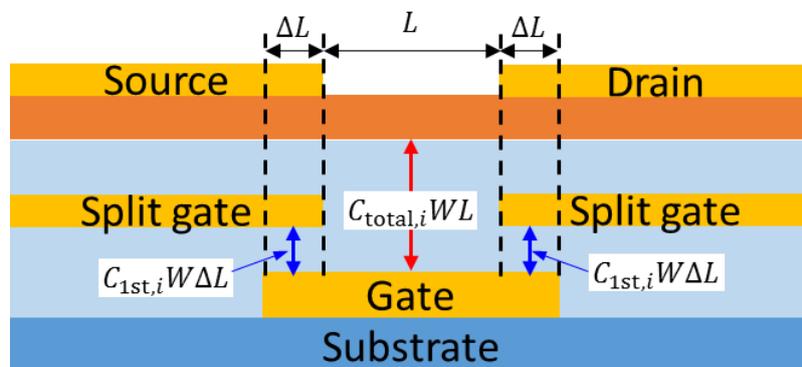


図 3-17 スプリットゲートトランジスタのキャパシタンスの模式図。赤矢印がゲート電極とチャネル領域に挟まれた部分の絶縁膜のキャパシタンス、青矢印が寄生容量を表す。

第4章 選択的界面ドーピングによる高周波応答

OFET の接触抵抗を低減させるために広く用いられている手法としては、有機半導体層/ソース・ドレイン電極界面にのみ選択的に、2.2.1 で述べたようなドーパント層を形成する手法が挙げられる。この手法ではコンタクト界面のみにドーパント層を形成することが重要であり、ドーパント層がチャンネル領域にも製膜された場合には、チャンネル領域のキャリア密度も増大してしまい、OFET のスイッチング性能を示す指標の一つである on/off 比の低下を招いてしまう。そのため、この手法においては有機半導体層上でのドーパント層/ソース・ドレイン電極のパターニングプロセスが重要となる。

一般的に用いられるドーパント層とソース・ドレイン電極のパターニングプロセスの特長を表 4-1 にまとめた。最も汎用的なプロセスとしてはまず、シャドウマスクを用いた真空蒸着法が挙げられる。この手法はシャドウマスクを有機半導体層上に固定した状態で真空蒸着を行うという簡便なプロセスであり、有機半導体層にダメージを与えずにドーパント層/トップコンタクト電極のパターニングを行うことが可能である。しかし、シャドウマスクのデザインの制約上、10 μm を下回るようなチャンネル長の短いパターニングは困難であるため、高周波応答を目的とした OFET の作製には不適切である。次にフォトリソグラフィによるパターニングが挙げられる。フォトリソグラフィでは 1 μm 以下の高解像度のパターニングを行うことができるが、フォトレジストや現像液によって有機半導体がダメージを受けるため、有機半導体層上でのパターニングに用いることは難しい。第 3 章のソース・ドレイン電極のパターニングの際に用いた OSCoR4001 はフッ素系フォトレジストであるため有機半導体層にダメージを与えることなく、数マイクロメートルオーダーのパターニングが可能である。一方で、このプロセスでは 3.2 で述べたようにエッチングの工程でチャンネル領域がドーピングされてしまい、閾値電圧が on 側にシフトしてしまうという問題点があり、加えて、ドーパント層のパターニングも困難である。

以上のように、有機半導体層にダメージを与えることなく、高解像度にドーパント層をパターニングする手法は確立されているとは言い難い。このような研究背景から、本研究では、有機半導体層にダメージを与えることなくコンタクト界面にのみ選択的にドーパント層を形成する新たなリソグラフィプロセスの開発を行った。さらに、高移動度有機半導体単結晶を活性層に用いた短チャンネル OFET を作製し、その接触抵抗及び高周波応答特性を評価することで高周波応用デバイスへの応用への可能性を考察した。

表 4-1 従来のパターニング手法の長所・短所

パターニング手法	シャドウマスクを用いた真空蒸着	フォトリソグラフィ	フォトリソグラフィ (フッ素系レジスト)
長所	<ul style="list-style-type: none"> ・簡便 ・溶媒フリー 	<ul style="list-style-type: none"> ・高解像度 (1 μm 以下) 	<ul style="list-style-type: none"> ・ダメージフリー ・高解像度 (数 μm オーダー)
短所	<ul style="list-style-type: none"> ・短チャンネルのパターニングが困難 	<ul style="list-style-type: none"> ・プロセス中の溶媒が有機半導体にダメージあり 	<ul style="list-style-type: none"> ・プロセスによる特性への影響あり ・ドーパントのパターニング不向き

4.1. ダメージフリーリソグラフィを用いた選択的界面ドーピング

新たに開発したリソグラフィプロセスを図 4-3 に示す。以下に、パターニングプロセス手順について述べる。

①有機半導体単結晶膜の製膜[図 4-3 (a)]

p 型有機半導体材料である C₉-DNBDT-NW の有機半導体単結晶膜を連続エッジキャスト法により製膜した。

②保護層の製膜[図 4-3 (b)]

まずフォトリソグラフィで用いられる溶剤から有機半導体を保護するための保護層を有機半導体層上に製膜した。保護層としてはフッ素系ポリマー材料である CYTOP[®]を用いた。CYTOP[®]は有機半導体にダメージを与えることなく塗布法によって製膜できるため、TG 型 OFET の絶縁膜として用いられることも多く、トラップの少ない良好なキャリア伝導を形成する材料であることが報告されている [18,32]。溶液は CYTOP[®]-809M (AGC 株式会社) と CT-SOLV180 (AGC 株式会社) を重量比 1 : 1 で混合したものを使用し、それを有機半導体膜上に 500 rpm で 10 秒間、1000 rpm で 20 秒間の条件でスピコートし、その後 50 °C のホットプレートで加熱後、50 °C の真空オーブンで 1 時間加熱した。

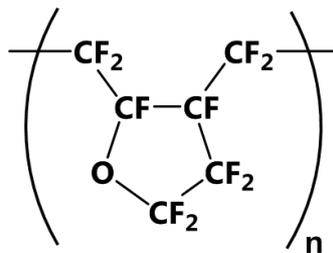


図 4-1 CYTOP[®]の構造式

③保護層の表面処理

CYTOP[®]は撥水・撥油性が高いため、製膜後の状態では保護層上にフォトレジストを塗布することが困難である。そこで、O₂ ガスを用いたプラズマアッシャーに基板を 3 秒間かけることで保護層の濡れ性を向上させた。

④フォトリソグラフィ[図 4-3 (c)]

本実験では、フォトレジストとして AZ 5214 E をポジ型フォトレジストとして用いた。表面処理を施した保護層上に AZ 5214 E を 1000 rpm で 5 秒間、3000 rpm で 40 秒間、5000 rpm で 2 秒間の条件でスピコートし、105 °C のホットプレート上で 60 秒間加熱した後、露光装置で 100 mJ cm⁻² の紫外光を照射した。照射後、NMD-3 に基板を 40 秒間浸漬させて現像した後、超純水で洗浄した。

⑤保護層のパターニング[図 4-3 (d)]

続けて、フォトレジストをパターニングした部分の保護層のパターニングを行った。保護層で

ある CYTOP® の溶剤としてはフッ素系溶剤であるアサヒクリン AC-6000 (AGC 株式会社) を用いた。アサヒクリン AC-6000 と CT-SOLV180 を重量比 1 : 1 で混合した溶液を 60 °C に加熱し、その溶液に基板を 2 分間浸漬させ、CYTOP® を溶解させた。その後、基板を CT-SOLV180 でリンスし、CT-SOLV180 に浸漬させることで溶解した CYTOP® が溶け込んだ希薄溶液の除去を行った。次に、フッ素系溶剤であるアサヒクリン AK-225 (AGC 株式会社) という CYTOP® は不溶の溶剤を用いて基板をリンスし、アサヒクリン AK-225 に浸漬させることで一つ前の工程で使用した CT-SOLV180 の除去を行った。最後に、60 °C に加熱したホットプレート上で 90 秒間加熱し、基板の乾燥を行った。

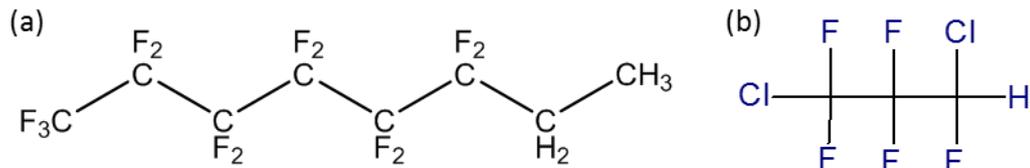


図 4-2 (a) アサヒクリン AC-6000、(b) AK-225 の構造式

⑥ドーパント層/ソース・ドレイン電極の蒸着[図 4-3 (e)]

保護層のパターニングを行った基板全面に真空蒸着法によってドーパント、金の順に蒸着を行った。

⑦保護層・フォトレジストの剥離[図 4-3 (f)]

蒸着後、基板を 80 °C に加熱したアサヒクリン AC-6000 に 10 時間浸漬させて、CYTOP® を溶解させることで保護層・フォトレジストを同時に剥離した。剥離することにより、パターニングされたドーパント層/ソース・ドレイン電極を得ることができた。

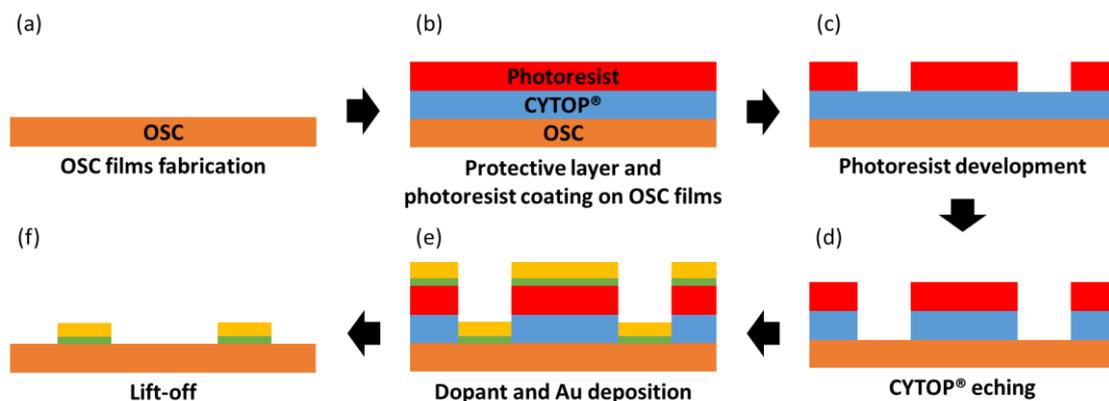


図 4-3 ダメージフリーリソグラフィプロセスの模式図

次にダメージフリーリソグラフィを用いてドーパント層/ソース・ドレイン電極をパターンニングした OFET を作製した (図 4-4)。以下に、作製手順について述べる。

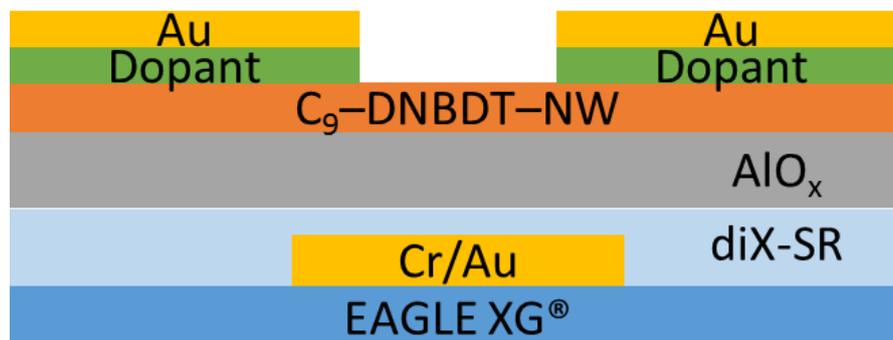


図 4-4 ダメージフリーリソグラフィを用いて作製した OFET の構造模式図

①ゲート電極の作製

支持基板として無アルカリガラスである EAGLE XG®を用いた。3.1 の①と同様のプロセスでゲート電極の作製を行った。

②絶縁膜の製膜

まず原子層堆積 (ALD) 法を用いてアルミナ (AlO_x) を 50 nm 堆積させた。ALD 法では真空中で trimethylaluminum ($\text{Al}(\text{CH}_3)_3$) と水 (H_2O) のガス噴射・パージプロセスを交互に繰り返すことで、 Al_2O_3 を 1 層分 ($\sim 1 \text{ \AA}$) ずつ製膜できる。今回は上記プロセスを 500 サイクル繰り返すことでおよそ 50 nm の Al_2O_3 を形成した。その後 CVD 法で diX-SR を 50 nm 堆積させ、計 100 nm のゲート絶縁膜を製膜した。

③有機半導体単結晶膜の製膜

3.1 の⑤と同様に p 型有機半導体材料である $\text{C}_9\text{-DNBDT-NW}$ を同条件で連続エッジキャスト法により製膜した。製膜後、80 °C の真空オーブンで 10 時間加熱し、残留溶媒を取り除いた。

④ドーパント層/ソース・ドレイン電極の作製

ダメージフリーリソグラフィによりドーパント層/ソース・ドレイン電極の作製を行った。作製手順は 4.1 で記した手順で行った。本実験では、真空蒸着機を用いてドーパント層を 3 nm、金を 40 nm 順次蒸着した。本実験ではドーパントとして第 3 章でも使用した $\text{F}_4\text{-TCNQ}$ および $\text{F}_6\text{-TNAP}$ を用いて検証した。

⑤有機半導体膜のパターニング

電極周りの有機半導体膜を波長 266 nm の YAG レーザーを照射することでパターニングを行った。

4.2. トランジスタ特性

作製した OFET の伝達特性の評価を行った。トランジスタ特性の測定には、半導体パラメータアナライザを用いた。ドーパント層のない OFET、ドーパントに F₄-TCNQ、F₆-TNAP を用いた OFET の伝達特性および出力特性をそれぞれ図 4-5、図 4-6、図 4-7 に示す。測定に用いた素子は $L = 50 \mu\text{m}$ 、 $W = 1000 \mu\text{m}$ である。いずれの OFET もヒステリシスがほとんどみられない良好な伝達特性を示しており、3.2 で観測されたような閾値電圧の on 側へのシフトも観測されなかったことから、4.1 で記したプロセスによって有機半導体層がダメージを受けていないことがわかる。また、ドーパント層を形成した OFET において off 電流が 10^{-12} A オーダーという非常に小さい値を示していることから、ドーパント層がチャンネル領域に跨がらずに、有機半導体層/ソース・ドレイン電極界面にのみに形成されていることが確認できる。絶縁膜のキャパシタンスはドーパント層のない OFET では $C_i = 35.3 \text{ nF cm}^{-2}$ 、ドーパント層を形成した OFET では $C_i = 35.8 \text{ nF cm}^{-2}$ とそれぞれ実測値を用いて、飽和領域における伝達特性の傾きから移動度を求めるとドーパント層のない OFET では $4.7 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ であるのに対して、F₄-TCNQ、F₆-TNAP をコンタクト界面に導入した OFET では $14 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、 $15 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ という値を示しており、ドーパント層の導入により移動度の向上を確認することができた。

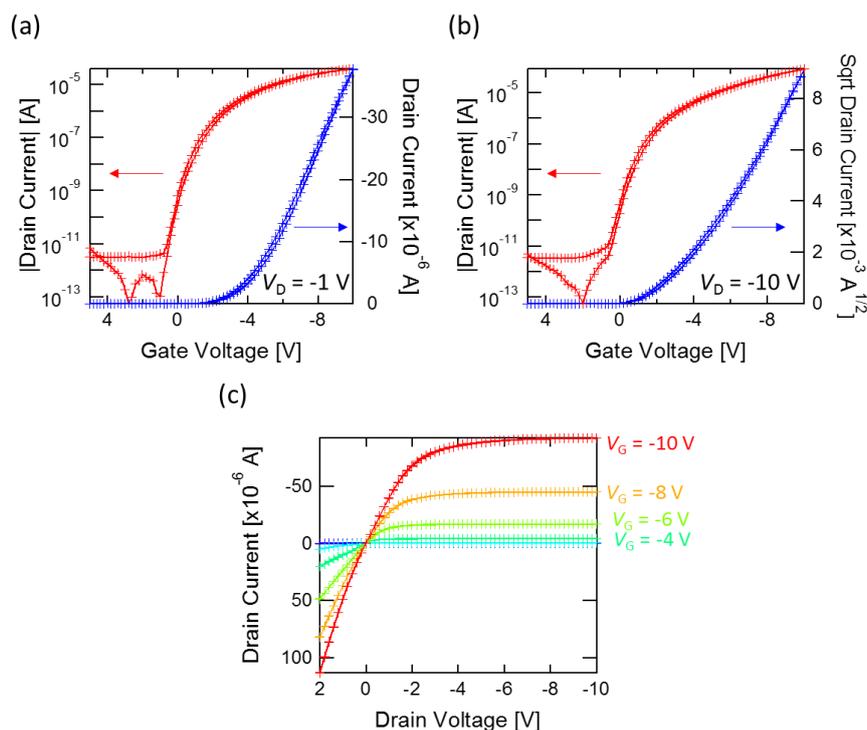


図 4-5 ドーパント層のない OFET の (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性、(c) 出力特性

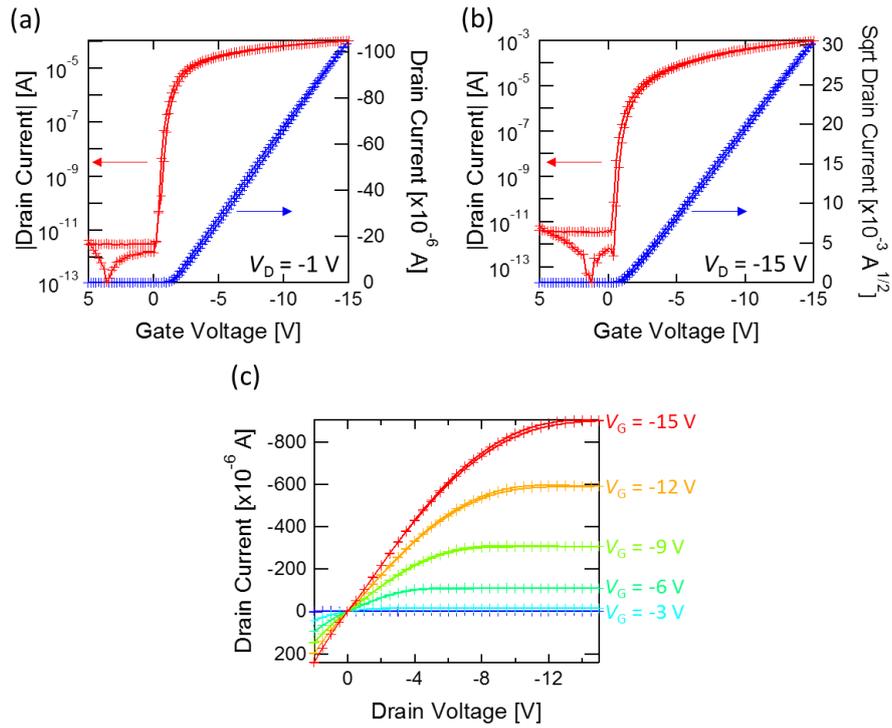


図 4-6 ドーパントに F₄-TCNQ を用いた OFET の (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性、(c) 出力特性

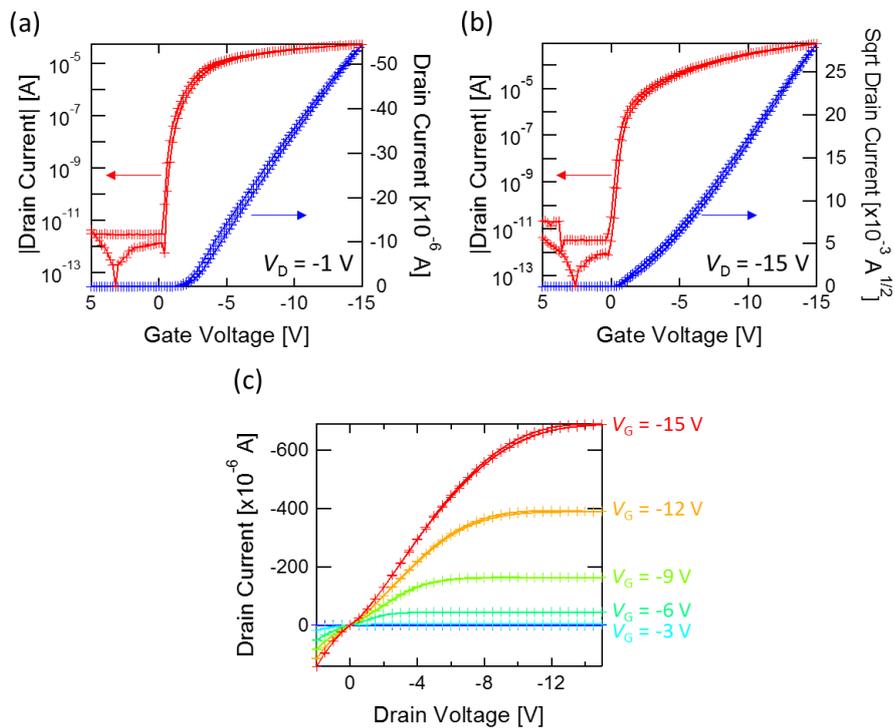


図 4-7 ドーパントに F₆-TNAP を用いた OFET の (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性、(c) 出力特性

4.3. 接触抵抗評価

続いて、作製した OFET の接触抵抗を TLM により評価した。ドーパント層のない OFET では $L = 3, 4, 5, 7, 10 \mu\text{m}$ の計 5 素子、ドーパントに $\text{F}_4\text{-TCNQ}$ を用いた OFET では $L = 3, 4, 5, 7 \mu\text{m}$ の計 4 素子、ドーパントに $\text{F}_6\text{-TNAP}$ を用いた OFET では $L = 2, 4, 5, 7, 10 \mu\text{m}$ の計 5 素子をすべて同一の単結晶ドメイン上に作製した。それぞれのチャンネルの抵抗値 R_{total} をチャンネル幅 W で規格化したものをチャンネル長 L に対してプロットした結果を図 4-8 に示す。プロットの回帰直線の切片の値から接触抵抗 $R_c \cdot W$ を見積もり、その値をゲート電圧 V_G を閾値電圧 V_{th} で補正した値に対してプロットしたものを図 4-9 に示す。図 4-9 からドーパント層を形成した OFET の接触抵抗は、ドーパント層のない OFET と比較して、低減されていることがわかる。これはドーパント層を有機半導体/ソース・ドレイン電極界面に形成したことで界面近傍のキャリア密度が増大したためだと考えられる。特に、ドーパントに $\text{F}_4\text{-TCNQ}$ を用いた OFET においては約 $20 \Omega \cdot \text{cm}$ という極めて低い接触抵抗とを示しており、この値はこれまでに報告されている OFET のなかで最小の値である。加えて、 $\text{F}_4\text{-TCNQ}$ を用いた OFET では接触抵抗の V_G への依存性がなくなっていることも確認された。

ドーパントに $\text{F}_6\text{-TNAP}$ を用いた OFET では、ドーパント層のない OFET と比較して接触抵抗は低減されていたものの、 $\text{F}_4\text{-TCNQ}$ を用いた OFET と比べると高い接触抵抗を示した。 $\text{F}_4\text{-TCNQ}$ 、 $\text{F}_6\text{-TNAP}$ の LUMO 準位はそれぞれ 5.35 eV、5.37 eV であり、T. Matsumoto らはこの LUMO 準位の違いからドーパントに $\text{F}_6\text{-TNAP}$ を用いた OFET でより低い接触抵抗を得られたことを報告している [33]。一方で、J. Hou らはドーパントに $\text{F}_6\text{-TNAP}$ を用いた OFET において $\text{F}_6\text{-TNAP}$ の膜厚が 1 nm、5 nm、10 nm と増大するに連れて接触抵抗も増大していることを報告している [34]。本実験では活性層に厚さ数分子程度の極薄有機半導体単結晶膜を使用しており、そのアクセス抵抗は極めて小さいため、このドーパント層の膜厚の微妙な増減による接触抵抗への影響は非常に大きい。以上のことから、本実験において $\text{F}_6\text{-TNAP}$ でドーパした OFET が $\text{F}_4\text{-TCNQ}$ でドーパした OFET より高い接触抵抗を示した要因の一つとして、 $\text{F}_6\text{-TNAP}$ 層の厚さが適切ではなかったことが考えられる。そのため、 $\text{F}_6\text{-TNAP}$ 層の厚さをより薄くすることで更なる接触抵抗の低減を実現できる可能性が期待できる。

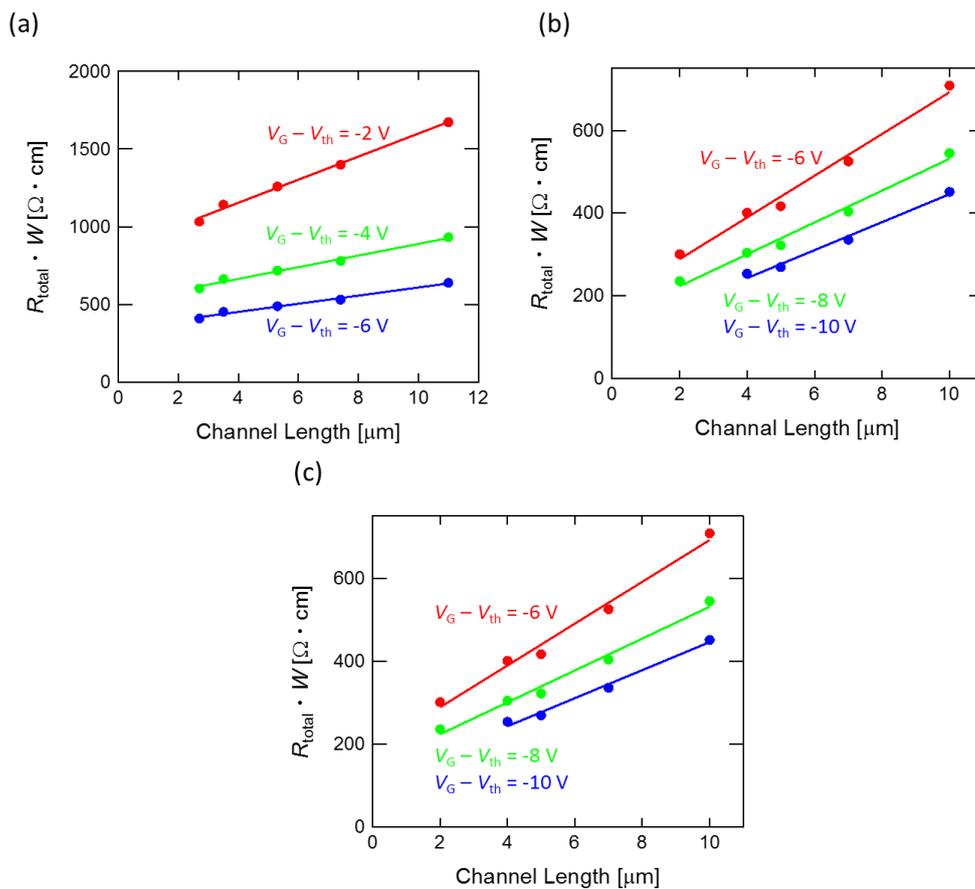


図 4-8 (a) ドーパントなし、(b) ドーパント： $\text{F}_4\text{-TCNQ}$ 、(c) ドーパント： $\text{F}_6\text{-TNAP}$ の OFET の TLM プロット

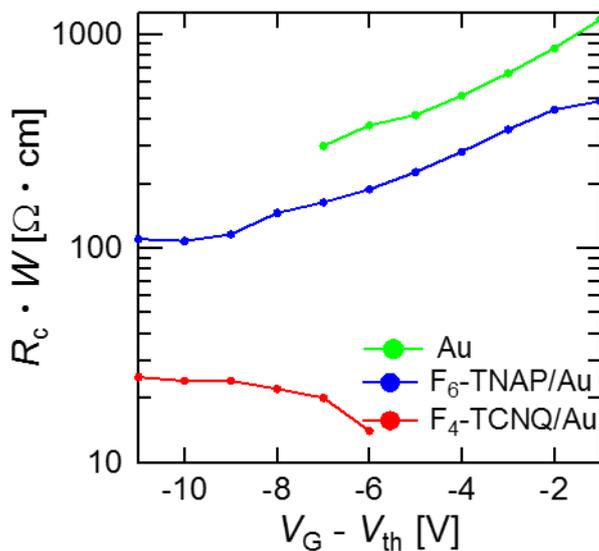


図 4-9 ダメージフリーリソグラフィで作製した OFET のゲート電圧に対する接触抵抗の依存性の比較

4.4. 遮断周波数測定

4.3 で接触抵抗を評価したところ、ドーパントに F₄-TCNQ を用いた OFET において非常に低い接触抵抗を得られた。そこで、ドーパントに F₄-TCNQ を用いた短チャンネル OFET の高周波応答特性の評価を行った。評価に使用した素子は $L = 1.5 \mu\text{m}$ 、 $\Delta L = 2 \mu\text{m}$ 、 $W = 1000 \mu\text{m}$ であり、絶縁膜のキャパシタンスは $C_i = 35.8 \text{ nF cm}^{-2}$ であった。本素子の伝達特性および出力特性を図 4-10 に示す。短チャンネルでありながらも良好なトランジスタ特性を示し、飽和領域における伝達特性の傾きから移動度を求めると $2.9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ という短チャンネルの OFET としては比較的高い移動度を求めることができた。

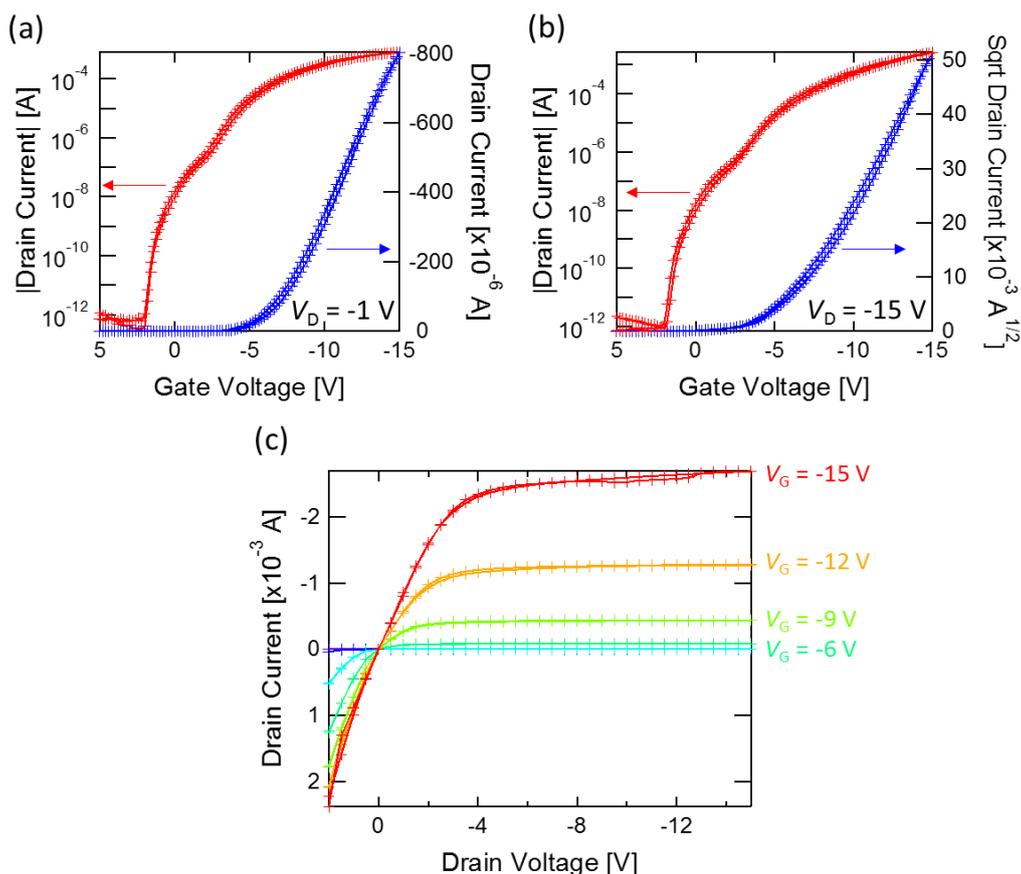


図 4-10 ドーパントに F₄-TCNQ を用いた短チャンネル OFET の (a) 線形領域の伝達特性、(b) 飽和領域の伝達特性、(c) 出力特性

続いて、図 4-10 に特性を示した素子を用いて遮断周波数の測定を行った。測定には 3.4 と同様の回路によって行った。ゲート電極には -15 V の直流電圧に peak to peak の値が 1 V で正弦波の交流電圧を加えた電圧信号を入力し、また、 $V_D = -15 \text{ V}$ の状態で測定を行った。図 4-11 に遮断周波数の測定結果を示す。図 4-11 (b) から測定に使用した素子の遮断周波数は 37.7 MHz と見積もることができる。

次に、得られた遮断周波数と計算値との比較を行う。(23) 式から予想される遮断周波数は 48.7 MHz と実際に得られた値よりも大きな値であった。これは ΔI_D が静特性から予想される値よりも小さかったためである。その理由は明確ではないが、考えられる一つの要因として絶縁膜に用い

たポリマー材料の電気的特性が高周波の交流電圧を印加したことで変化し、結果として素子の特性に影響が出た可能性がある。

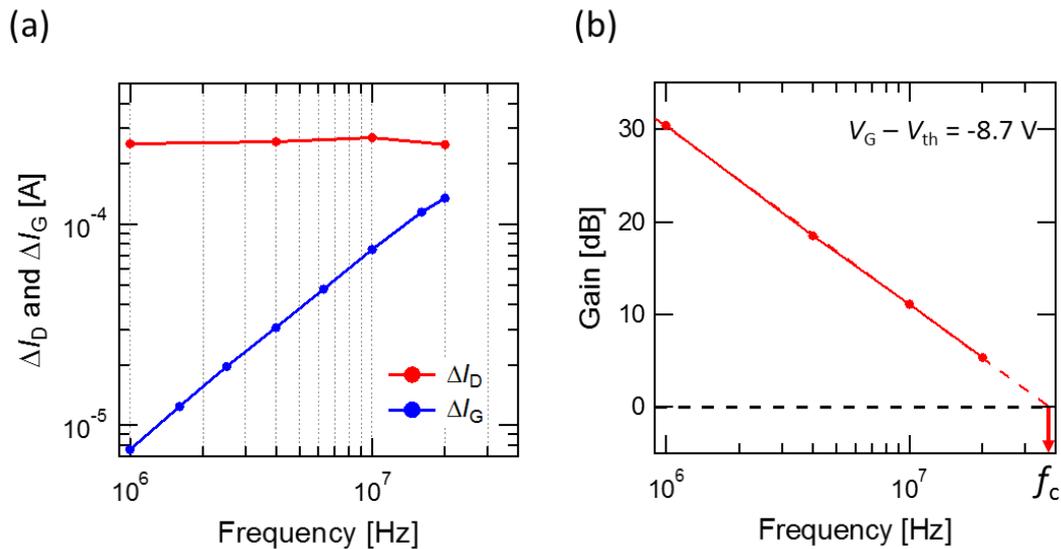


図 4-11 入力交流電圧の周波数に対する (a) ΔI_D と ΔI_G の出力信号の変化、(b) Gain の変化

本研究で得られた遮断周波数の値について先行研究との比較を行う。これまでに報告されている代表的な OFET の遮断周波数の値と有機半導体材料や製膜方法についてまとめたものを表 4-2 に示す。これまでで最も高い遮断周波数は 27.7 MHz であり、真空蒸着法で製膜した C_{60} を活性層に用いた OFET で報告されている [35]。本研究で得られた遮断周波数は第 3 章では 35 MHz、本章では 37.7 MHz とどちらにおいてもこの値を大きく上回るものである。一方で、遮断周波数は印加電圧 V_D に比例するため、遮断周波数の値を比較するだけではなく、印加電圧も考慮した議論を行う必要がある。そこで、表 4-2 に遮断周波数を印加電圧で規格化した値を示す。今回の測定における印加電圧は、測定素子の閾値電圧が $V_{th} = -6.3$ V であることから、実行的な印加電圧は -8.7 V とすることができる。表 4-2 からわかるように、この規格化した値においても本研究は両方で先行研究よりも高い値を示しており、特にダメージフリーリソグラフィで作製した素子はスプリットゲートトランジスタと比較しても、およそ 2 倍という非常に高い値であった。

以上のことから、第 3 章においては有機半導体単結晶膜を用いたスプリットゲートトランジスタ、本章ではダメージフリーリソグラフィにより作製した OFET のいずれの素子も高周波応答デバイスの実現に有効であることを確認することができた。さらに、本章で開発した手法はプロセス条件の最適化によるチャンネルの微細化あるいはより適切なドーパント材料やドーピング手法を用いることでさらなる遮断周波数の向上が期待される。

表 4-2 代表的な OFET の遮断周波数の報告。【平成 28 年 山村祥史の修士論文を参考に一部改変した】

Ref.	Semiconductor		Mobility ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)	Voltage (V)	f_c (MHz)	$f_c/\text{Voltage}$ (MHz V^{-1})
[35]	C ₆₀	Evaporated	2.22	25	27.7	1.1
[36]	Rubrene	PVT	4.0	15	25	1.7
[19]	C ₈ -DNBDT-NW	Continuous Edge-casting	2.7	10	20	2
[37]	P(NDI2OD-T2)	Bar-coating	0.9	30	20	0.67
[30]	C ₁₀ -DNNTT	Evaporated	No data	20	20	1
[24]	DNNTT	Evaporated	0.44	15	20	1.3
[31]	C ₁₀ -DNNTT	Evaporated	2.5	10	19	1.9
[15]	C ₁₀ -DNNTT	Edge-casting	No data	20	10	0.5
[38]	P(NDI2OD-T2)	Bar-coating	No data	7	14.4	2.06
This work (第 3 章)	C ₉ -DNBDT-NW	Continuous Edge-casting	1.5	15	35	2.3
This work (第 4 章)	C ₉ -DNBDT-NW	Continuous Edge-casting	2.9	8.7	37.7	4.3

4.5. OFET ダイオードの整流特性

次にゲート電極とドレイン電極を短絡させた OFET を用いた整流器を作製し、その整流特性を評価した。整流周波数の測定には図 4-12 に示す測定治具を用いて行った。ゲート電極とドレイン電極を短絡させた側にファンクションジェネレータから peak to peak の値が 10 V で正弦波の交流電圧を入力し、ソース電極側に 0.1 μF のコンデンサを接続してその電圧をオシロスコープで読み取った。図 4-13 に測定に使用した回路図を示す。ファンクションジェネレータからの入力端子には 50 Ω の抵抗を並列接続し、インピーダンス整合を行った。

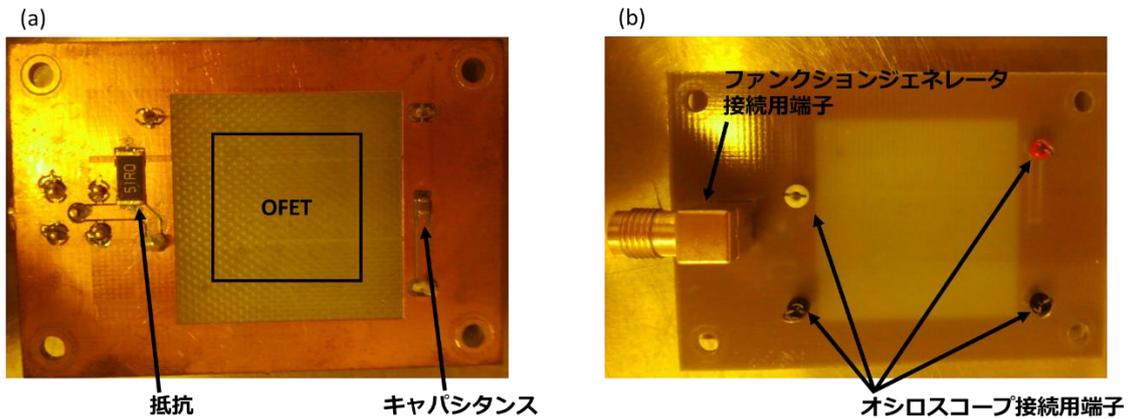


図 4-12 整流測定用治具 (a) 表面、(b) 裏面

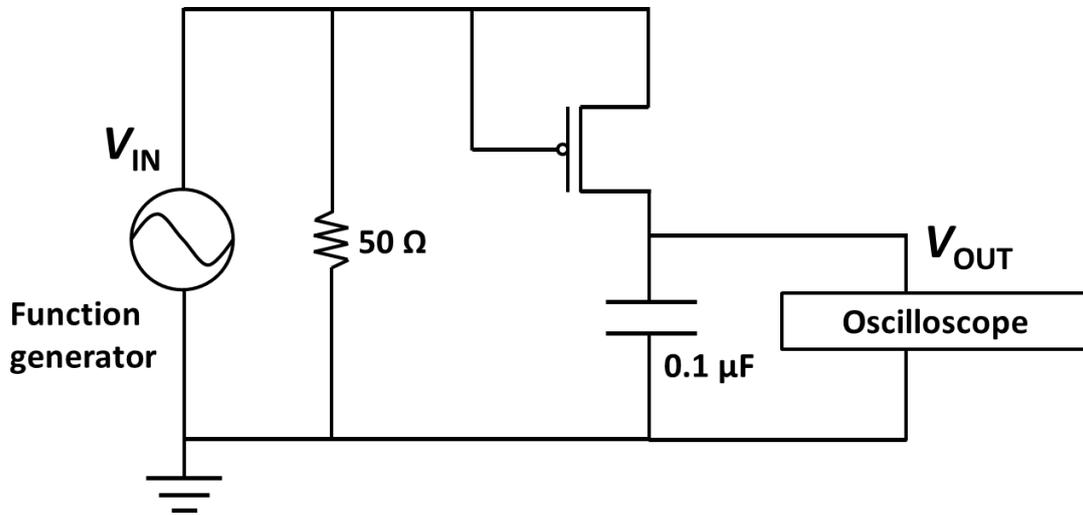


図 4-13 整流特性の測定回路図

図 4-14 に 1 MHz と 75 MHz の交流電圧を入力したときの OFET を用いたダイオードの入力電圧と出力電圧を示す。入力電圧の振幅に対して出力電圧は低下しているが、どちらの周波数でも脈動は見られず、整流できていることがわかる。続いて、入力電圧 V_{IN} に対する出力電圧 V_{OUT} の比率 V_{OUT}/V_{IN} の周波数に対する変化を調べた。入力電圧の周波数が 100 kHz のときの V_{OUT}/V_{IN} を 1 として規格化したものを縦軸にとり、横軸を周波数としてプロットし、測定デバイスの整流周波数 $f_{rectify}$ を見積もった (図 4-15)。 V_{OUT}/V_{IN} が -3 dB ($\approx 37\%$) 低下するとき周波数の値から $f_{rectify}$ は 78 MHz と求められた。

OFET ダイオードを用いた整流器としては、溶液法で製膜した有機半導体単結晶膜を用いた短チャンネル OFET ($L = 3 \mu\text{m}$) を使用した整流器に 16 V peak to peak の交流電圧を入力することで、29 MHz という整流周波数が報告されている [19]。本実験では、先行研究に比べて 10 V peak to peak という小さな入力電圧で 78 MHz という 2 倍以上の整流周波数を得ることができた。加えて、この値は 13.56 MHz という RF-ID タグの通信周波数を大幅に上回っており、ダメージフリーリソグラフィで作製した OFET が十分応用可能であることを確認することができた。

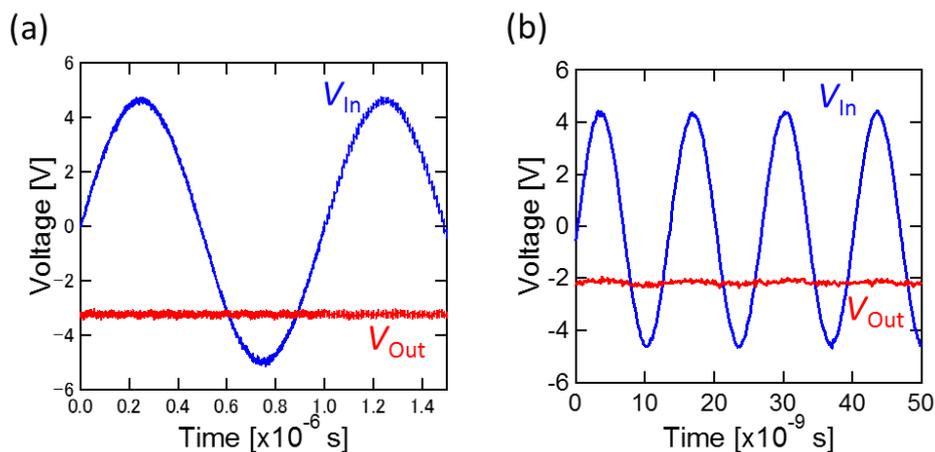


図 4-14 (a) 1 MHz と (b) 75MHz の周波数の交流電圧を入力したときの出力電圧

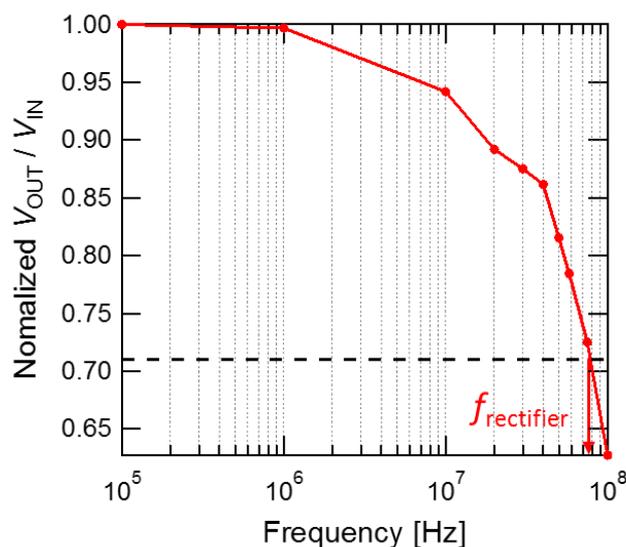


図 4-15 100 kHz のときの入出力比で規格化した V_{OUT}/V_{IN} の周波数に対する変化

第5章 総括

本研究で得られた結果をまとめる。第3章では接触抵抗の低減を目的としてスプリットゲートトランジスタを作製し、その伝達特性、接触抵抗、遮断周波数の測定を行った。作製した素子はスプリットゲートモードにおいて、電流が流れ始める V_G や off 電流値はシングルゲートモードにおける伝達特性からほとんど変わることなく、移動度を2倍以上に向上させることができた。TLMによる接触抵抗の評価では、スプリットゲート電圧を印加することで接触抵抗がシングルゲートモードと比較して半減したことから、スプリットゲート構造が接触抵抗の低減に有効であることを確認した。遮断周波数の測定では、チャンネル長 $2\ \mu\text{m}$ という短チャンネルの素子において $15\ \text{V}$ の印加電圧で $35\ \text{MHz}$ という非常に高い値を得ることができた。第4章では有機半導体層にダメージを与えることなく、コンタクト界面のみに選択的にドーパント層を導入し、高解像度でパターニング可能な新しいリソグラフィプロセスを開発した。さらにそのプロセスを用いて作製した素子の伝達特性の結果から、本手法で開発したプロセスにおいて有機半導体層がダメージを受けずにトランジスタ動作することを示した。また、ドーパント層を導入した素子は非常に低い off 電流を示しており、ドーパント層がソース・ドレイン電極/有機半導体層界面のみに製膜されていることを確認した。作製した素子の接触抵抗を評価したところ、ドーパントに $F_4\text{-TCNQ}$ を用いた OFET で約 $20\ \Omega\cdot\text{cm}$ という OFET で最小の接触抵抗値が示した。短チャンネル OFET を用いて高周波応答特性の評価を行った結果、チャンネル長 $1.5\ \mu\text{m}$ の素子は、第3章で得られた遮断周波数を上回る $37.7\ \text{MHz}$ というこれまでに報告されている中で最も高い遮断周波数で応答し、ダイオード接続した OFET を用いた整流素子は RF-ID タグの通信周波数を大幅に上回る $78\ \text{MHz}$ で整流特性を示した。

今回得られた結果から、スプリットゲートトランジスタ、ダメージフリーリソグラフィを用いた界面ドーピングのいずれにおいても OFET の高速化に向けて有望なアプローチであることが示唆される。一方で、短チャンネルにおける移動度は、本来の移動度と比べると依然として低い値であり、さらなる高周波応答特性の向上にはより低い接触抵抗の実現が不可欠である。接触抵抗をさらに低減するための方策の一つとしては本研究で用いたドーパントより強力なドーパントを用いた界面ドーピングが挙げられる。電極界面のキャリア密度をより増大させることができれば、より低い接触抵抗値を達成できる可能性が高い。そのようなドーパントをダメージフリーリソグラフィでパターニングした短チャンネル OFET においてはサブ GHz 帯での動作することも十分に期待できる。

参考文献

- [1] H. Akamatu, H. Inokuchi, and Y. Matsunaga, *Nature* **173**, 168 (1954).
- [2] ソニー株式会社, [Http://Www.Sony.Co.Jp/SonyInfo/News/Press/201005/10-070/](http://www.sony.co.jp/sonyinfo/news/press/201005/10-070/) (2019.01.20).
- [3] K. Kudo, M. Yamashina, and T. Moriizumi, *Jpn. J. Appl. Phys.* **23**, 130 (1984).
- [4] K. Nakayama, Y. Hirose, J. Soeda, M. Yoshizumi, T. Uemura, M. Uno, W. Li, M. J. Kang, M. Yamagishi, Y. Okada, E. Miyazaki, Y. Nakazawa, A. Nakao, K. Takimiya, and J. Takeya, *Adv. Mater.* **23**, 1626 (2011).
- [5] H. Minemawari, T. Yamada, H. Matsui, J. Tsutsumi, S. Haas, R. Chiba, R. Kumai, and T. Hasegawa, *Nature* **475**, 364 (2011).
- [6] C. Mitsui, T. Okamoto, M. Yamagishi, J. Tsurumi, K. Yoshimoto, K. Nakahara, J. Soeda, Y. Hirose, H. Sato, A. Yamano, T. Uemura, and J. Takeya, *Adv. Mater.* **26**, 4546 (2014).
- [7] T. Yasuda, T. Goto, K. Fujita, and T. Tsutsui, *Appl. Phys. Lett.* **85**, 2098 (2004).
- [8] H. Klauk, M. Halik, U. Zschieschang, G. Schmid, W. Radlik, and W. Weber, *J. Appl. Phys.* **92**, 5259 (2002).
- [9] S. K. Park, T. N. Jackson, J. E. Anthony, and D. A. Mourey, *Appl. Phys. Lett.* **91**, 6 (2007).
- [10] S. Allard, M. Forster, B. Souharce, H. Thiem, and U. Scherf, *Angew. Chemie - Int. Ed.* **47**, 4070 (2008).
- [11] M. Sawamoto, M. J. Kang, E. Miyazaki, H. Sugino, I. Osaka, and K. Takimiya, *ACS Appl. Mater. Interfaces* **8**, 3810 (2016).
- [12] H. N. Tsao, D. Cho, J. W. Andreasen, A. Rouhanipour, D. W. Breiby, W. Pisula, and K. Müllen, *Adv. Mater.* **21**, 209 (2009).
- [13] J. Soeda, T. Uemura, T. Okamoto, C. Mitsui, M. Yamagishi, and J. Takeya, *Appl. Phys. Express* **6**, 76503 (2013).
- [14] T. Minari and C. Liu, *Proc. 2013 IEEE Int. Interconnect Technol. Conf. IITC 2013 2* (2013).
- [15] T. Minari, Y. Miyata, M. Terayama, T. Nemoto, T. Nishinaga, K. Komatsu, and S. Isoda, *Appl. Phys. Lett.* **88**, 8 (2006).
- [16] P. V. Necliudov, M. S. Shur, D. J. Gundlach, and T. N. Jackson, *2001 Int. Semicond. Device Res. Symp. ISDRS 2001 - Proc.* **47**, 345 (2001).
- [17] H. Klauk, *Adv. Electron. Mater.* **1700474**, 1 (2018).
- [18] P. Darmawan, T. Minari, Y. Xu, S. L. Li, H. Song, M. Chan, and K. Tsukagoshi, *Adv. Funct. Mater.* **22**, 4577 (2012).
- [19] A. Yamamura, S. Watanabe, M. Uno, M. Mitani, C. Mitsui, J. Tsurumi, N. Isahaya, Y. Kanaoka, T. Okamoto, and J. Takeya, 1 (2018).
- [20] T. Minari, T. Miyadera, K. Tsukagoshi, Y. Aoyagi, and H. Ito, *Appl. Phys. Lett.* **91**, (2007).
- [21] T. Minari, P. Darmawan, C. Liu, Y. Li, Y. Xu, and K. Tsukagoshi, *Appl. Phys. Lett.* **100**, (2012).
- [22] C. M. Kang, J. Wade, S. Yun, J. Lim, H. Cho, J. Roh, H. Lee, S. Nam, D. D. C. Bradley, J. S. Kim, and C. Lee, *Adv. Electron. Mater.* **2**, 1 (2016).
- [23] 須田健二 & 土田英一, *電子回路* (株式会社コロナ社, 2005).

- [24] M. Uno, B. S. Cha, Y. Kanaoka, and J. Takeya, *Org. Electron. Physics, Mater. Appl.* **20**, 119 (2015).
- [25] B. B. Y. Hsu, E. B. Namdas, J. D. Yuen, S. Cho, I. D. W. Samuel, and A. J. Heeger, *Adv. Mater.* **22**, 4649 (2010).
- [26] B. B. Y. Hsu, C. Duan, E. B. Namdas, A. Gutacker, J. D. Yuen, F. Huang, Y. Cao, G. C. Bazan, I. D. W. Samuel, and A. J. Heeger, *Adv. Mater.* **24**, 1171 (2012).
- [27] H. Yoo, E. C. P. Smits, A. J. J. M. van Breemen, J. L. P. J. van der Steen, F. Torricelli, M. Ghittorelli, J. Lee, G. H. Gelinck, and J. J. Kim, *Adv. Mater. Technol.* **1**, 1 (2016).
- [28] H. Yoo, S. B. Lee, D.-K. Lee, E. C. P. Smits, G. H. Gelinck, K. Cho, and J.-J. Kim, *Adv. Electron. Mater.* **1700536**, 1700536 (2018).
- [29] K. Nakayama, T. Uemura, M. Uno, J. Takeya, K. Nakayama, T. Uemura, M. Uno, and J. Takeya, **113308**, 93 (2015).
- [30] T. Uemura, T. Matsumoto, K. Miyake, M. Uno, S. Ohnishi, T. Kato, M. Katayama, S. Shinamura, M. Hamada, M. J. Kang, K. Takimiya, C. Mitsui, T. Okamoto, and J. Takeya, *Adv. Mater.* **26**, 2983 (2014).
- [31] K. Nakayama, M. Uno, T. Uemura, N. Namba, Y. Kanaoka, T. Kato, M. Katayama, C. Mitsui, T. Okamoto, and J. Takeya, *Adv. Mater. Interfaces* **1**, 1 (2014).
- [32] B. Blülle, R. Häusermann, and B. Batlogg, *Phys. Rev. Appl.* **1**, 1 (2014).
- [33] T. Matsumoto, W. Ou-Yang, K. Miyake, T. Uemura, and J. Takeya, *Org. Electron. Physics, Mater. Appl.* **14**, 2590 (2013).
- [34] J. L. Hou, D. Kasemann, J. Widmer, A. A. Günther, B. Lüssem, and K. Leo, *Appl. Phys. Lett.* **108**, (2016).
- [35] M. Kitamura and Y. Arakawa, *Jpn. J. Appl. Phys.* **50**, 1 (2011).
- [36] M. Uno, T. Uemura, Y. Kanaoka, Z. Chen, A. Facchetti, and J. Takeya, *Org. Electron. Physics, Mater. Appl.* **14**, 1656 (2013).
- [37] A. Perinot, P. Kshirsagar, M. A. Malvindi, P. P. Pompa, R. Fiammengo, and M. Caironi, *Sci. Rep.* **6**, 1 (2016).
- [38] A. Perinot and M. Caironi, *Adv. Sci.* **1801566**, 1801566 (2018).

2.2節の執筆にあたり、以下の書籍を参考にした。

三成剛生「第2章 有機トランジスタ 2.1 表面・界面制御」日本学術振興会情報科学用有機材料第142委員会C部会編『先端 有機半導体デバイス-基礎からデバイス物性まで-』、株式会社 オーム社、(2014)

また、各節は以下の論文を一部参考にし、改変した。

2.2節、2.3節 平成28年度 山村祥史 修士論文

謝辞

本論文は著者が東京大学新領域創成科学研究科竹谷・岡本研究室において行った研究の成果である。

はじめに本研究の遂行にあたり、素晴らしい環境で研究する機会を与えてくださり、熱心にご指導していただきました竹谷純一教授、岡本敏宏准教授に心より感謝致します。

また、日頃から実験結果についてのディスカッションや実験方針について相談に乗っていただき、ご指導いただきました本学渡邊峻一郎特任准教授、佐々木真理助教、山村祥史氏に深く感謝致します。

本研究の遂行にあたり、有機半導体の塗布をお手伝いしていただいた本研究室特任研究員井川光弘氏、パイクリスタル株式会社脇本貴裕氏に心より感謝致します。

本研究の遂行にあたり、ゲート電極の作製をお手伝いしていただいた本研究室高比良佳代氏に心より感謝致します。

本研究を遂行するにあたり、日頃の実験や議論、発表の様々な面でアドバイスを下さいました本学熊谷翔平特任助教、本学山下侑氏、牧田龍幸氏に深く感謝致します。

最後になりましたが、日頃の研究生生活を支えてくださった竹谷研究室の皆様に深く感謝致します。

ありがとうございました。