

多段ノンブロッキングATMスイッチ回路網の構成例

Analytical Examples of Multi-stage Non-blocking ATM Switching Networks

瀬崎 薫*
Kaoru SEZAKI

1. ま え が き

ATM (Asynchronous Transfer Mode) は、狭帯域から広帯域までの広範かつ多様な通信を、固定長セルに分割して一元的に処理できることから、広帯域ISDNのキーテクノロジーとして、現在精力的に検討されている^{1),2)}。広帯域ISDNにおいて、特に映像分配形サービスが広範にエンドユーザまで普及することを想定すると、その核となる装置であるATMスイッチ回路網の規模は、端子数換算で、現在の電話用加入者線交換機同等規模の10,000端子以上の相当大きなものになると予想される。大規模単位スイッチ一つで大規模スイッチ回路網を構成できることが最も望ましいが、LSIの集積度等、各種の物理的・技術的制約から、単位スイッチの大規模化には限界があるので、通常小規模単位スイッチを用いて、多段のスイッチ回路網を構成する方法が取られており、すでに多数の方式が提案されている^{3),4)}。

多段スイッチ回路網を組んだときには、一般にセル順序の逆転を防止する対策が必要となるが、このために広範に用いられているのがスイッチ回路網内での経路を呼単位に唯一に定める方法である。この場合、セルレベルおよび呼レベルでの十分なサービス品質を保つために、スイッチ回路網がノンブロッキング、すなわち入出線間の経路に、新たな呼を通すだけの十分な空き容量があることが望ましい⁵⁾。

このような観点から、筆者等は文献⁶⁾において、任意の多段スイッチ回路網のノンブロッキング条件を求め、これを元に実用的なノンブロッキングATMスイッチ回路網の構成を導いた。ただし、この構成での設計パラメータの算出は一般的には数値計算に依る必要があり、解析的なパラメータの算出は近似的にしか行えない。しかしながら、ある種の場合には近似によらず設計パラメータを解析的に求めることができる。そこで、本稿では、いくつかの現実的な条件の下での設計パラメータを解析的算

*東京大学生産技術研究所 第3部

出法を示し、文献⁶⁾で示した近似解の妥当性を検証するとともに、超大規模スイッチ回路網のハード量削減対策を議論する。

2. 多段スイッチ回路網とそのノンブロッキング条件

本章では、文献⁶⁾で示した多段スイッチ回路網とそのノンブロッキング条件について簡単に紹介しておく。

まず、多段化の方法は以下の通りである。最初に、 $p_1 \times q_1$ サイズの格子スイッチ p_2 個と $p_2 \times q_2$ サイズの格子スイッチ q_1 個を単リンク結線し、2段のスイッチ回路網を構成する。以下、図1のように、同様の操作を次々に行い、展開の形でリンク結線を行うことにより多段のスイッチ回路網を得る。なお、図1で左側が入側、右側が出側とする。また、図1の構成において、左から i 段目の格子スイッチを第 i 次格子、1段目から i 段目までで多段化されるスイッチ回路網を i 次サブネットワークと呼ぶことにする。 i 次格子のサイズを $p_i \times q_i$ 、 i 次格子の出線の容量を c_i とする。このとき、 i 次サブネットワークの入線数 P_i 、出線数 Q_i は、おのおの

$$P_i = \prod_{j=1}^i p_j \tag{1}$$

$$Q_i = \prod_{j=1}^i q_j \tag{2}$$

となる。このようにして、まず i 段のスイッチ回路網をつくる。次に、 $p_i = q_i$ と置いた上で、このスイッチ回路網と

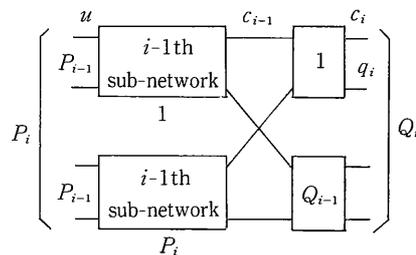


図1 i 次サブネットワーク

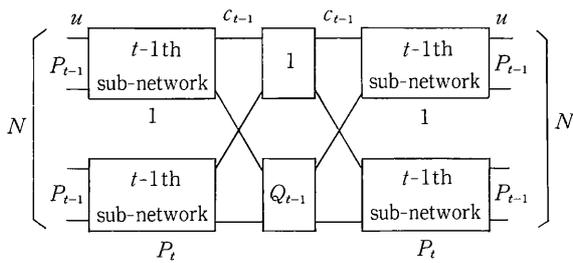


図2 ノンブロッキングスイッチ回路網の一般的構成

左右対称構成のスイッチ回路網を作り、二つのスイッチ回路網で*t*次格子を図2のように共有した形にして結合し、全体として2*t*-1段のスイッチ回路網を構成する。これが、本稿で対象とする多段スイッチ回路網の一般的構成である。なお、このスイッチ回路網全体の入出線数を $N (= P_t)$ とする。

次に、このスイッチ回路網のノンブロッキング条件を示す。ここで、記号 A_i を、「左側のネットワークの*i*次サブネットワークの入線に新たな呼をとおすだけの空き容量があるときに、この呼をとおすだけの空き容量がある経路のみをとおって到達できる*i*+1次格子の数」として定義すると、ノンブロッキング条件は一般的に

$$A_{i-1} > Q_{i-1} / 2 \tag{3}$$

と表現できる。また、入・出線の容量を u とし、最大速度 v までの任意の速度の呼を通すものとする、 A_i は A_1 から順に漸化的に以下の手順で求めることができる。

(1) A_1 の算出。

$$A_1 = q_1 - r_1 \tag{4}$$

ただし、

$$r_1 = \text{int} \left\{ \frac{up_1 - v}{c_1 - v + \epsilon} \right\} \tag{5}$$

であり、また $\text{int}(x)$ は x を越えない最大の整数で、 ϵ は正の微小量である。さらに、

$$f_1 = (up_1 - v) - r_1 \times (c_1 - v + \epsilon) \tag{6}$$

と置く。

(2) $A_i (i \geq 2)$ の算出

$$A_i = A_{i-1}q_i - r_i \tag{7}$$

ただし、

$$r_i = \text{int} \left\{ \frac{(p_i - 1)P_{i-1}u + f_{i-1}}{c_i - v + \epsilon} \right\} \tag{8}$$

であり、また

$$f_i = (p_i - 1)P_{i-1}u + f_{i-1} - r_i(c_i - v + \epsilon) \tag{9}$$

と置くものとする。

3. さまざまな場合についてのノンブロッキング条件

本章では、さまざまな実用的な場合についてのノンブロッキング条件を求める。ただし、 c_i は、スイッチ回路網内部で一定値とすることが望ましいので⁶⁾、以降では $c_i = c$ (for all i) とした場合についてのみ考察する。

3.1 並列BENES網形の場合

単位スイッチのサイズを特に $p_1 = 1, q_1 = d, p_1 = q_1 = n (i \geq 2)$ とすると、スイッチ回路網の構成は、サイズ $n \times n$ 、入出線容量が等しく c の正方格子で構成された Benes 網⁷⁾を d 個並置し、各 BENES 網の同一の入・出線をマルチプレクサ、マルチプレクサで結合しているのと等価なトポロジーとなる⁸⁾。これは BENES 網並列形構成と呼ばれる。ノンブロッキング条件を満たすために並置する BENES 網の数 d は、近似的には

$$d > \frac{2(n-1)}{n(c-v)} \log_n N - \frac{2}{c-v} + \frac{2u}{n(c-v)} \tag{10}$$

特に、 N が n に比べて十分大きいときにはさらに式(9)の第2項以降を無視して

$$d > \frac{2(n-1)}{n(c-v)} \log_n N \tag{11}$$

となる。一般的には d の厳密な値の算出は、一般的には数値的計算によるが以下のような場合には解析的に d を計算可能である。

[1] $c = 2u, v = u$ の場合

$u = 150\text{Mbps}$ とし、内部リンク容量を既存の試作LSI程度に想定すると約 $c = 2u$ となる。また、 $v = u$ の仮定は、入線容量一杯の広帯域呼まで扱うことを想定している。

この場合、まず式(1)~(9)より $A_1 = d, f_1 = 0$ となる。次に、 $i = 2$ の場合、まず式(8)より

$$r_2 = \text{int} \left\{ \frac{(n-1)u + 0}{2u - u + \epsilon} \right\} = n - 2 \tag{12}$$

$$f_2 = (d-1)u + 0 - r_2(2u - u + \epsilon) = u - (d-2)\epsilon \tag{13}$$

であるから

$$A_2 = dn - n + 2 \tag{14}$$

となる。ここで、 $i \geq 2$ に対し、

$$f_i = u - a\epsilon (a \geq 0) \tag{15}$$

の形を仮定する。これを帰納法を用いて証明する。まず $i = 2$ のときは式(13)によりこの仮定が成り立つ。 $i = j - 1 (j \geq 3)$ のときまで式(15)が成り立つとすると、 $i = j$ のとき

$$r_j = \text{int} \left\{ \frac{(n-1)n^{j-2}u + u - a\epsilon}{2u - u + \epsilon} \right\} = (n-1)n^{j-2} \tag{16}$$

であるから、

$$f_j = (n-1)n^{j-2}u + u - a\epsilon$$

研究速報

$$-(n-1)n^{i-2}(2u-u+\epsilon) \\ = u - \{a + (n-1)n^{i-2}\}\epsilon \quad (17)$$

となり、すべての $i \geq 2$ に対して式(15)が成立する。一方 r_i は式(16)の形となるので、 $i \geq 3$ に対して

$$A_i = nA_{i-1} - (n-1)n^{i-2} \quad (18)$$

となる。これと、式(14)より $i \geq 2$ に対して

$$A_i = n^{i-2}\{(d+1)n - i(n-1)\} \quad (19)$$

となる。一方、 $Q_i = dn^{i-2}$ であるから、これらをノンブロッキング条件式(3)に代入し整理すると

$$d > 2 \frac{n-1}{n} \log_n N - 2 \quad (20)$$

となる。

[2] $c = 2u$, $v \ll c$, u のとき

これは、狭帯域呼のみを収容した場合に相当する。まず式(1)~(9)より $A_1 = d$, $f_1 = u - v$ となる。次に、 $i = 2$ の場合は、まず r_2 を計算すると

$$r_2 = \text{int} \left\{ \frac{n(u-v/2+\epsilon) + (n/2-1)v - n\epsilon}{2(u-v/2+\epsilon) - \epsilon} \right\} \quad (21)$$

と変形できる。ここで、 $v \ll c$, u であるが、 $\epsilon \ll v$ であるので、

(A) $n = 2$ のとき

$$r_2 = 0 \quad (22)$$

(B) $n = 4$ 以上の偶数のとき

$$r_2 = n/2 \quad (23)$$

(C) $n =$ 奇数のとき

$$r_2 = (n-1)/2 \quad (24)$$

となる。これらに対応して、

(A) $n = 2$ のとき

$$f_2 = 0 \quad (25)$$

$$A_2 = 2d \quad (26)$$

(B) $n = 4$ 以上の偶数のとき

$$f_2 = \left(\frac{n}{2} - 1\right)v - \frac{n}{2}\epsilon \quad (27)$$

$$A_2 = dn - n/2 \quad (28)$$

(C) $n =$ 奇数のとき

$$f_2 = u + \left(\frac{n-3}{2}\right)v - \left(\frac{n-1}{2}\right)\epsilon \quad (29)$$

$$A_2 = dn - (n-1)/2 \quad (30)$$

となる。 $i = 3$ のときは、まず $n = 2$ の場合について求めておくと、上と同様にして

$$f_3 = v - 2\epsilon \quad (31)$$

$$A_3 = 4m - 2 \quad (32)$$

となる。

次に、 $f_i (i \geq 2)$, ただし $n = 2$ のときは $i \geq 3$ の形について

(A) n 偶数のとき

$$f_i = av - b\epsilon (a > 0, b > 0) \quad (33)$$

(B) n 奇数のとき

$$f_i = u + av - b\epsilon (a \geq 0, b > 0) \quad (34)$$

を仮定する。この仮定が正しいことは3.1の場合と同様に証明できる。これらに対応して、 $r_i (i \geq 3)$, ただし $n = 2$ のときは $i \geq 4$) は

(A) n 偶数のとき

$$r_i = \text{int} \left\{ \frac{(n-1)n^{i-2}u + av - b\epsilon}{2u - v + \epsilon} \right\} \\ = \frac{(n-1)n^{i-2}}{2} \quad (35)$$

(B) n 奇数のとき

$$r_i = \text{int} \left\{ \frac{(n-1)n^{i-2}u + u + av - b\epsilon}{2u - v + \epsilon} \right\} \\ = \frac{(n-1)n^{i-2}}{2} \quad (36)$$

となる。ここで、 $(n-1)n^{i-2}$ は n の偶・奇に関わらず常に偶数であることに注意すると、いずれの場合でも A_i についての漸化式

$$A_i = nA_{i-1} - (n-1)n^{i-2}/2 \quad (37)$$

を得る。以上を元にしてノンブロッキング条件を求める

と、

$$(A) n \geq 4 \text{ の偶数のとき} \\ d > \frac{(n-1)}{n} \log N - 1 + \frac{2}{n} \quad (38)$$

(B) $n = 2$ および奇数のとき

$$d > \frac{(n-1)}{n} \log N - 1 + \frac{1}{n} \quad (39)$$

となる。

[3] $c = u$, $v = u/2$ のとき

これはある程度の広帯域呼を扱うが、内部リンクの速度上昇が期待できない場合に相当する。所要BENES網数の算出は、今までと同様の方法で行えるので、結果のみ記すと

$$d > 4 \frac{(n-1)}{n} \log N - 4 + \frac{4}{n} \quad (40)$$

となる。

[4] $c = 1/k \times u$, $v = u/2$ (ただし k は自然数) のとき

狭帯域呼のみを扱うが、内部リンクの速度が入・出線速度よりむしろ小さくなる場合である。クロスコネクトの場合には入・出線速度がGbpsのオーダーに達するので、このような場合があり得る。この場合も結果のみを記すと、

$$d > 2 \frac{(n-1)}{n} \log N - 2 + \frac{4}{n} \quad (k=1) \quad (41)$$

$$d > 2 \frac{(n-1)k}{n} \log N + \frac{2k}{n} \quad (k \geq 2) \quad (42)$$

研 究 速 報

となる。

3.2 一定拡張構成の場合

各段で、スイッチを空間的に k 倍 ($k > 1$) づつ開くことを想定し、 $p_i = n$, $q_i = kn$ (for all i) とした場合、必要となる単位スイッチは $n \times kn$, $kn \times n$, $n \times n$ の 3 種類となる。この構成の場合には、ノンブロッキング条件を k について求めることが必要となるがこれを解析的に求めることは一般に困難であるので、 $c = 2u$, $v = u$ の場合について、 A_{i-1} を求めるだけにとどめておく。

この場合、まず式(1)~(9)より、 $A_1 = kn - n + 2$, $f_1 = u - (n - 2)\epsilon$ が得られる。

次に、 $f_i (i \geq 1)$ の形について

$$f_i = u - b\epsilon (b \geq 0) \tag{43}$$

を仮定する。この仮定が正しいことは 3.1 の場合と同様にして証明できる。これに対応して、 $r_i (i \geq 2)$ は

$$r_i = \text{int} \left\{ \frac{(n-1)n^{i-1}u + u - b\epsilon}{2u - u + \epsilon} \right\} = (n-1)n^{i-1} \tag{44}$$

となるので、 A_i についての漸化式

$$A_i = nkA_{i-1} - (n-1)n^{i-1} \tag{45}$$

を得る。以上を元にして A_i を求めると、

$$A_i = \frac{(n-1)n^{i-1} + \{(k^2 - 2k)n + 2k - 1\}(nk)^{i-1}}{k-1} \tag{46}$$

となる。特に、 A_{i-1} と、 $Q_{i-1}/2 = (nk)^{i-1}/2$ の支配項を比較し、任意の段数のスイッチ回路網がノンブロッキング

となる条件を求めると、

$$nk^2 + (4 - 3n)k - 2 \geq 0 \tag{47}$$

となる。式(47)を満たす最小の nk を表 1 に示す。 k の n に対する変動は少なく、最適化を行うときは k 一定と近似しても構わないことがわかる⁹⁾。

4. 考 察

式(11)と、式(19), (38)~(42)を比較することにより、式(11)は所要 BENES 網数に対して良好な近似を与えていることがわかる。すなわち、ノンブロッキング条件の大略を論じる際には(11)を用いて構わない。これを用いて所要バッファ数、リンク数等所要ハード量を見積もることができる。このことから、単位スイッチの大規模化と高速化がハード量削減に多大な影響を与えることがわかる。なお、十分高速の単位スイッチが得られた場合には BENES 網一つでノンブロッキングとなるが、敢えてそのような構成とせず障害対策の点からは、二つ以上の BENES 網を並置し、ロードシェア運転とすることが有効である。また、ネットワーク内の他種リソースが有限であることから、end-to-end の呼損率は 0 とならないので、並置する BENES 網数を減らし、スイッチ回路網内の内部閉塞を 0 としない設計も考えられるが、そのような場合に対しても、式(11)はハード量と単位スイッチ規模・速度との関係の概略を示している。

(1991年12月13日受理)

参 考 文 献

- 1) C. Dhas, K. Konangi and M. Sreetharan: "Broadband Switching", IEEE Computer Society Press (1991).
- 2) 「広帯域ISDN特集号」信学誌, 74, 11 (Nov. 1991).
- 3) 加藤祐司, 草柳道夫, 朝永博: "超高速ATM通話路の検討", 信学技報, SSE90-126 (1990).
- 4) M.J. Karol and Y.S. Yeh: "A Growable Packet (ATM) Switch Architecture: Design Principles and Applications", Proc. Globecom '89, 32.2 (Nov. 1989).
- 5) Y. Sakurai, N. Ido, S. Gohara and N. Endo: "Large scale ATM multi-stage switching network with shared buffer memory switches", Proc. ISS'90, A6.3 (May 1990).
- 6) 瀬崎薫, 安田靖彦: "多段ノンブロッキングATMスイッチ回路網の構成", 信学技報, SSE91-119 (1991).
- 7) V.E. Benes: "Mathematical theory of connecting networks and telephone traffic", Academic Press (1965).
- 8) C.L. Wu and T.Y. Feng: "On a class of multistage interconnection networks", IEEE Trans. Comput., vol. C-29, pp. 694-702, (Aug. 1980).

表 1 一定拡張構成が任意の段数に対してノンブロッキングとなる条件

n	nk	k
2	4	2
3	6	2
4	9	2.25
5	12	2.4
6	15	2.5
7	18	2.5714
8	21	2.625
9	24	2.6667
10	27	2.7
16	45	2.8125
32	93	2.9063
64	189	2.9531
128	381	2.9766