

Study on Device Design Guideline for Ultra-Low Power MOSFETs in Sub-0.3V Operation

その他のタイトル	サブ0.3V動作超低消費電力MOSFETのデバイス設計指針に関する研究
学位授与年月日	2015-09-25
URL	http://doi.org/10.15083/00073040

審査の結果の要旨

氏名 鄭承旻

本論文は、「Study on Device Design Guideline for Ultra-Low Power MOSFETs in Sub-0.3 V Operation」(サブ 0.3V 動作超低消費電力 MOSFET のデバイス設計指針に関する研究)と題し、英文で書かれている。本論文は、大規模集積回路の超低消費電力化を目的に、MOS 電界効果トランジスタを 0.3V 以下の電源電圧で動作させるためのデバイス設計指針を論じたものであって、全 6 章より構成される。

第 1 章は「Introduction」(序論)であり、大規模集積回路の低消費電力化が要請される社会的背景および低消費電力化のため電源電圧を低減することの重要性を述べるとともに、電源電圧を下げることの困難さと問題点を指摘しており、本論文の背景と目的を明確にしている。

第 2 章は、「DIBL Effect on Subthreshold Devices」(サブスレッショルドデバイスにおける DIBL の影響)と題し、通常 MOS トランジスタで構成される回路の電源電圧を 0.3V 程度にまで下げてトランジスタをサブスレッショルド領域で動作させる場合の回路性能について論じており、Drain-Induced Barrier Lowering (DIBL) という短チャネルトランジスタ特有のドレイン電圧によるしきい値電圧低下現象が、消費エネルギー効率に悪影響を与えることを論じ、その原因について明らかにするとともに、サブスレッショルド動作ではトランジスタの DIBL を抑制することが必須であると主張している。

第 3 章は、「DIBL Effect on Steep Subthreshold Swing Transistors」(急峻サブスレッショルドトランジスタにおける DIBL の影響)と題し、トンネル電界効果トランジスタなどの急峻なサブスレッショルド特性を有するトランジスタにおいても、通常トランジスタと同様にドレイン電圧によるしきい値電圧低下現象が消費エネルギーを増大させてしまうことを指摘している。

第 4 章は、「New Mechanisms for Low Power Operation」(低消費電力動作のための新機構)と題し、超低電圧においてスタティックメモリ(SRAM)の安定性を増すためにしきい値電圧自己調整機構を提案するとともに、同機構を有するトランジスタの設計指針をまとめ、トライゲート型ナノワイヤトランジスタ構造が同機構に適していることを明らかにしている。

第 5 章は、「Demonstration of Tri-gate Nanowire MOSFETs with V_{th} Self-adjustment」(しきい値電圧自己調整機構を有するトライゲートナノワイヤ MOSFET の実証)と題し、前章で提案したトライゲート型ナノワイヤトランジスタを実際に試作し、しきい値電圧自己調整機構を実証している。

第 6 章は、「Conclusions」(結論)であり、本論文の結論を述べている。

以上のように本論文は、0.3V 以下という極めて低い電源電圧でトランジスタを動作させるためのデバイス設計指針について論じ、ドレイン電圧によるしきい値電圧低下現象がトランジスタのエネルギー効率を劣化させることを明らかにするとともに、低電圧においてスタティックメモリの安定性を向上させるためにしきい値電圧自己調整機構を有するナノワイヤトランジスタを提案・実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。