

極低電圧動作ロジックLSIのためのGaAsSb/InGaAsトンネルトランジスタに関する研究

その他のタイトル	Study on GaAsSb/InGaAs tunnel field effect transistors for ultra-low power logic LSI
著者	後藤 高寛
学位授与年月日	2018-03-22
URL	http://doi.org/10.15083/00078047

博士論文（要約）

極低電圧動作ロジックLSIのための
GaAsSb/InGaAsトンネルトランジスタ
に関する研究

(Study on GaAsSb/InGaAs tunnel field effect
transistors for ultra-low power logic LSI)

東京大学大学院工学系研究科
電気系工学専攻

平成 29 年 12 月 1 日提出

後藤 高寛

指導教員 高木 信一 教授

スーパーコンピュータや携帯端末まで、情報処理機器の性能向上は論理集積回路ひいてはCMOSの微細化によってなされてきた。2017年現在、7nm技術ノードのCMOS技術が公表されるほどであるが、その微細化技術が物理限界を迎えることは明らかである。一方で、CMOS消費電力の削減は引き続き望まれている状況下にあることから、MOSFETの駆動原理を見直した抜本的な解決手法として、バンド間トンネル現象を利用した新原理トンネルトランジスタ(TFET)に期待が集まっている。しかしながら、TFETはその原理上、SiやGeなどの間接半導体ではフォノンを介したトンネリングとなるため、高いオン電流が期待できない。TFETの駆動電流はソース・チャネル接合におけるトンネル確率に支配され、有効質量、バンドギャップ、トンネル距離が決定因子となる。そこで、有効質量が小さく、バンドギャップの小さいIII-V族化合物半導体を用いることが有効な手法の1つとして精力的に研究されている。しかしながら、同一材料からなるホモ接合TFETにおいては、オフ状態でのチャネル・ドレイン接合におけるトンネルリーク電流を抑制することが出来ず、高いON/OFF比を得ることは困難である。異種材料を組み合わせるとソース領域の価電子帯端とチャネル領域の伝導帯端の差で定義される実効バンドギャップを小さくすることができ、さらにそれに伴ってトンネル距離の短縮も見込まれる。そこで、異種材料を組み合わせたヘテロ接合をソース・チャネル接合に用いたType-IIヘテロ構造TFETが将来極めて有望な構造である。Sbを多く含む材料系においては、価電子帯端のエネルギーは主にV族元素によって決定され、価電子帯端のエネルギーが高くなる傾向になるため、GaAsSb/InGaAsはType-IIヘテロ構造をとる。そこで、本論文では、GaAsSb/InGaAs TFETの素子実証、さらに物理分析とデバイス・シミュレーションによる解析を行うことで、その電気特性を決めている物理的機構を明らかにし、特性向上を目指した。加えて、TFETの特性を制限している要因の1つとして、MOS界面準位が挙げられることから、TFETの電気特性に与える影響をシミュレーションにより定量的に明らかにしたうえで、GaAsSb MOS界面特性を改善する手法の提案・実証することを目的とした。

GaAsSb/InGaAs TFETの素子実証の鍵となるMOMBE法およびMOCVD法でInP基板上にp-GaAsSb/i-InGaAs層を成長させたヘテロエピウェハを評価した。その結果、n-InP基板に格子整合したp-GaAsSbとi-InGaAsが貫通転位なく、設計通りの膜厚でエピタキシャル成長していることが分かった。また、p-GaAsSbの表面の平坦性の指標である自乗平均面粗さは、 $20\ \mu\text{m} \times 20\ \mu\text{m}$ 四方においても0.416 nmであることから、p-GaAsSb表面は非常に平坦であることが分かった。これらの結果は、GaAsSb/InGaAsヘテロ構造は幾何学的に縦型TFETの試作に十分であることを意味する。このInP基板にp-GaAsSb/i-InGaAs層を成長させたヘテロエピウェハを用いて、 Al_2O_3 ゲート絶縁膜を用いた縦型TFETを作製し、

その素子動作を実証した。 I_b-V_D 特性に負性微分容量(NDR)が確認出来たことから、駆動電流はトンネル電流が支配的であることが分かった。特に20 Kの低温において、ON/OFF比 ~ 4桁程度、ドレイン電流の立ち上がり指標であるサブスレシヨルド・スロープS.S.の最小値 ~ 80 mV/decの値を実現した。

更に、その電気特性を決めている物理的機構を明らかにするため、ソース不純物濃度、不純物濃度の空間分布、組成の空間分布などの物理分析を行った。その結果、組成のヘテロ接合近傍での変化幅は10 nm 未満であり、不純物の急峻性も11 nm/decと気相成長中の不純物分布としては非常に急峻であることが分かった。更に、それら構造パラメータがTFETの電気特性に与える影響を詳細に解析するため、デバイス・シミュレーションと組み合わせて解析した。特に、p-GaAsSb中にドーパされたBeの濃度、及びその濃度変化の急峻性、GaAsSb/InGaAs界面の組成の急峻性が、トンネルFETに与える影響を定量的に明らかにし、実測の分析結果によって電気特性を定量的に説明することに成功した。さらに、組成と不純物の空間分布では、不純物の空間分布の方がより支配的であること、60mV/decを実現するためにはEOTのさらなる低減、不純物濃度の増加、ソース不純物プロファイルの急峻性の向上であることを明らかにし、トンネルFET電気特性向上の指針を明確化した。更にこの成果を踏まえ、ソース不純物の濃度を $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ に向上させることで、20Kの低温において、ON/OFF比~7桁程度、最小S.S.値~20mV/dec、オン電流 ~ 1.7 $\mu\text{A}/\mu\text{m}$ と大幅な性能向上を実現した。

また、TFET特性を制限している要因の一つとして、MOS界面準位がある。そこで、界面準位がTFETの電気特性に与える影響をシミュレーションにより定量的に明らかにし、InGaAsチャネル領域のみならず、GaAsSbソース領域のMOS界面準位も特性を劣化させることを明らかにした。この結果を踏まえて、GaAsSb MOS界面特性を改善する手法として、極薄InGaAs層により表面をパッシベーションする手法を提案し、実際に素子を試作してMOS界面の評価を行った。MOS界面評価を行うにあたり、GaAsSbはInP基板上に成長させるため、GaAsSb/InPヘテロ接合において価電子帯端のエネルギー差が生じることから、それにとまなう寄生抵抗・容量を考慮する必要がある。そこで、絶縁膜容量、空乏容量、界面準位による容量、捕獲・放出にとまなうコンダクタンスに加えて、GaAsSb/InGaAsヘテロ接合における寄生抵抗・容量も考慮した等価回路を用いた補正を施すことで、MOS界面をより精度良く評価出来ることを見出した。この結果を踏まえて、GaAsSb MOS界面特性を改善する手法として、極薄InGaAs層により表面をパッシベーションする手法を提案し、実際に素子を試作してMOS界面の評価を行い、1.5 nm厚のInGaAs被覆層により界面準位が一桁程度低減できることを明らかにした。

