

集積回路の3次元構造化とイメージセンサへの応用に関する研究

著者	後藤 正英
学位授与年月日	2013-09-27
URL	http://hdl.handle.net/2261/57502

論文の内容の要旨

論文題目 集積回路の3次元構造化と
イメージセンサへの応用に関する研究

氏名 後藤 正英

1. 論文全体の概要:

集積回路の省面積化や高性能化を目的として、複数の基板を積層して構成する3次元集積回路の研究開発が行われている。これらは、積層した基板どうしを、シリコン貫通電極 (Through Silicon Via: TSV) と bumps によって接続することで、上下間の信号伝達を実現しており、多層メモリやマイクロプロセッサへの適用が進められている。一方で、近年、イメージセンサや Micro-Electro-Mechanical Systems (MEMS) 素子と回路とを積層して、新機能を有するデバイスの実現を目指した研究が進展しているが、現在の技術では、イメージセンサの画素数に代表されるデバイスの集積度は、TSV や bumps の加工精度で制限されている。

本研究では、回路の集積度を飛躍的に高めることができる3次元構造デバイスの実現を目的として、拡散層の直下に配線を形成することで、TSV を用いることなく基板の深さ方向に信号伝達が可能な、新規な両面 Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) の試作を行った。また、回路の層間絶縁膜に金属電極を埋め込んで平坦化を行うことで、bumps を用いずにトランジスタどうしの接合が可能となる直接接合技術を開発し、本接合技術と新規な回路設計技術を用いて、多数の電極を上下に接続して形成した3次元構造の集積回路の試作と動作の確認を行った。さらに、本技術の応用例として、画素ごとに信号処理回路を有する新規なイメージセンサの設計を行い、本研究が提案する3次元構造化によって、イメージセンサの性能を飛躍的に向上できることを示した。

2. 論文の内容の詳細:

第1章 「序論」

(背景)

半導体製作技術の進展に伴って、集積回路の微細化が進み、これまで回路の高速化・低消費電力化が達成されてきた。しかし、2次元平面上に回路を集積する従来の方法では、近い将来、微細化が限界に達し、回路性能の向上が見込めなくなるという課題がある。このため、2000年以降、複数の基板に分けて構成した回路を積層することで、より高集積の半導体を実現する3次元集積回路の研究が盛んになり、特にシリコン貫通電極 (TSV) を基本とした製作技術が発展してきた。

一方で、集積度の向上を目的とした More Moore 的研究だけでなく、3次元構造化によって回路に新たな機能を付加する More than Moore 的研究も行われ、イメージセンサや MEMS 素子と回路とを積層したデバイスの報告もなされている。しかし、イメージセンサの画素など限られた面積の中で基板間の信号伝達を行う必要がある用途に対しては、TSV のサイズが $5\ \mu\text{m}$ 以上になることから、集積度を TSV のピッチ以上に向上させることができず、結果として、高機能化と高集積化が両立できないという課題がある。

(目的)

本研究では、高集積化と高機能化の両立が可能な3次元構造デバイスの実現を目指して、従来の TSV に代わる基板間の信号伝達手段と、従来のバンプを介した接合に代わる接合手段の考案を行った。さらに、超多層化を可能とする積層技術の検討を実施し、これらの要素技術を適用したデバイスとして、画素並列信号処理を行うイメージセンサの実現可能性を検証した。

第2章 「基板の深さ方向に信号伝達可能な MOSFET の提案」

(方法)

本研究の3次元積層に必要な、基板の深さ方向に信号伝達が可能な両面 MOSFET の試作と特性評価を行った。具体的には、厚さ $50\ \text{nm}$ の Fully Depleted Silicon On Insulator (FDSOI) 基板に MOSFET を形成した後、基板の裏面から MEMS プロセスを用いてコンタクトホールを形成することで、表面から裏面へ信号を出力する素子を試作し、従来型の MOSFET との特性を比較した。

(結果)

試作した MOSFET の電流 - 電圧特性の評価から、本 MOSFET は裏面への信号出力が可能であることを確認した。また、表面と裏面の特性が一致していることから、MOSFET が本来の性能を維持しながら、信号を 3 次元的に表裏どちらにも出力できることが分かった。さらに、FDSOI 構造の採用により優れたスイッチング特性を有することも確認し、将来の 3 次元構造デバイスに求められる、高速・低消費電力での動作に適していることを示した。

第 3 章 「直接接合技術を用いた立体構造回路の試作と動作検証」

(方法)

上記の MOSFET を備えた回路基板を、 bumps を用いずに積層するため、層間絶縁膜に Au 電極を埋め込んで平坦化を行い、表面活性化処理を行った後に低温で接合するトランジスタ直接接合技術の開発を行った。この接合技術を用いて、異なる基板に形成した nMOS と pMOS を接合して、立体構造の CMOS インバータとリングオシレータの試作を行い、その動作を検証した。

(結果)

直接接合技術を行った基板のダイシエアテストを実施し、十分な接合強度を有することを確認した。また、デージーチェーンの評価により、約 24000 個の接続電極が全て接続していること、一接合あたりの抵抗は回路動作に影響のない値であることを確認した。

試作した立体構造の CMOS インバータの評価を行い、論理回路の基本動作が得られることを確認した。平面構造の CMOS インバータと特性が一致していることから、積層による回路動作への影響はないことが分かった。さらに、101 段の CMOS インバータを接続した立体構造のリングオシレータの発振動作を実験的に確認し、多数の回路を集積した 3 次元構造デバイスが実現可能であることを示した。

第 4 章 「イメージセンサへの応用に関する考察」

(方法)

3 次元構造化したデバイスの応用に向けて、画素並列信号処理を行うイメージセンサの回路設計およびレイアウト設計を行った。3 次元構造化による影響を含めた回路シミュレーションを実施し、その動作を検証した。

(結果)

接合実験で得られた接合電極の抵抗値や容量値を組み込んで、イメージセンサとしての入出力特性をシミュレーションし、光量に応じた線形な信号出力が得られることを確認した。従来の2次元構造のイメージセンサと比較して、超高速・広ダイナミックレンジなどの性能向上が図れることを示した。

第5章 「結論」

以上の結果から得られた結論として、集積回路の高密度化と高機能化を両立する3次元構造化のための製作技術として、基板の深さ方向に信号伝達可能な両面MOSFETや、最小3 μm 径のAu電極によるトランジスタ直接接合法を提案し、本技術を実際に用いて、立体構造の論理回路・発振回路を試作し、それらの動作を初めて実験的に確認するとともに、画素並列信号処理イメージセンサなどの新規なデバイスの実現可能性を示した。

以上