

## 集積回路の3次元構造化とイメージセンサへの応用に関する研究

著者	後藤 正英
学位授与年月日	2013-09-27
URL	<a href="http://hdl.handle.net/2261/57502">http://hdl.handle.net/2261/57502</a>

## 審査の結果の要旨

氏名 後藤 正英

本論文は、「集積回路の3次元構造化とイメージセンサへの応用に関する研究」と題し、完全空乏型SOI基板とMEMS (Micro Electro Mechanical Systems) プロセスを用いた裏面電極形成技術や、最小 $3\mu\text{m}$ 径の金電極によるトランジスタ直接接合法を提案し、本技術を実際に用いて、基板の深さ方向に信号伝達が可能な両面MOSFETや立体構造の論理回路・発振回路を試作し、それらの特性評価を行うとともに、画素並列信号処理イメージセンサへの応用について考察したものであり、研究の背景・目的、3次元積層のための両面MOSFETの提案、立体構造回路の設計・試作と評価結果、イメージセンサへの応用と本技術の適用に関する考察、および結論に関する全5章を日本語でまとめたものである。

第1章は「序論」であり、本研究の背景技術について述べている。ここでは、従来の3次元集積デバイスについて背景技術を記した後に、イメージセンサの高性能化への要求と現状について説明し、将来の高集積な積層デバイスの実現に向けて、従来のシリコン貫通電極 (Through Silicon Via: TSV) やマイクロバンプよりも微細な、新たな垂直方向の信号伝達技術の必要性について述べている。また、高集積化と高機能化の両立が可能なデバイスの構成と要素技術を提案するとともに、本研究の目的と意義、本研究の位置づけ、論文構成について説明している。

第2章は「基板の深さ方向に信号伝達可能なMOSFETの提案」であり、本研究の3次元積層に必要な基板深さ方向に信号する両面MOSFETの試作と特性評価について述べている。厚さ $90\text{nm}$ の完全空乏型SOI (Fully Depleted Silicon On Insulator: FDSOI) 基板にMOSFETを形成した後に、裏面からMEMSプロセスを用いてコンタクトホールを形成することで、表面から裏面へ信号を出力する素子を試作し、従来型のMOSFETと特性を比較して、本研究が提案する3次元積層技術の有効性を検証している。

第3章は「直接接合技術を用いた立体構造回路の試作と動作検証」であり、トランジスタを備えた回路基板をバンプを用いずに積層する方法として、層間絶縁膜に金電極を埋め込んで平坦化し、表面活性化処理を行った後に低温で接

合するトランジスタ直接接合技術を提案している。接合の性能を調べるための予備実験として、接合強度や接合部抵抗を評価している。また、この直接接合技術を用いることで、異なる基板に形成した nMOS と pMOS を接合し、3次元立体構造型の CMOS インバータやリングオシレータの試作を行い、その動作を検証している。

第4章は「イメージセンサへの応用に関する考察」であり、集積回路を3次元構造化したデバイス応用に向けて、画素並列信号処理を行うイメージセンサを想定して、その回路と構造を提案している。第3章の実験結果から得られた3次元構造化に関するパラメータを含めて、センサの特性についてのシミュレーションを行うとともに、本技術の適用範囲に関して理論的な考察を述べている。

第5章は「結論」であり、本論文で示した成果を総括している。

以上これを要するに、本論文は集積回路の高密度化と高機能化を両立するための設計・製作技術として、完全空乏型 SOI 基板に MEMS プロセスを用いることで最小径  $3\mu\text{m}$  の金電極を介したトランジスタの3次元直接接合法を新たに考案し、実際に3次元 MOSFET 型の論理回路・発振回路を試作してそれらの特性評価を行うとともに、その応用として画素並列信号処理型のイメージセンサを設計・製作し、本方式の3次元集積回路の動作を確認して、その特性限界と有用性を理論的に考察したものであり、先端学際工学に貢献するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。