

東京大学 大学院新領域創成科学研究科
基盤科学研究系物質系専攻

平成18年度

修士論文

遷移金属酸化物抵抗スイッチングメモリの動作機構

Mechanism of resistance switching memory

based on transition metal oxide

2007年1月30日提出
指導教員：高木 英典 教授



56132 : 富田 仁

目次

第1章 序論	3
1.1 ReRAM	4
1.1.1 抵抗スイッチング効果研究の歴史	4
1.1.2 バイポーラ型 ReRAM のスイッチング特性	5
1.1.3 Schottky 界面の電荷蓄積モデル	6
1.1.4 ノンポーラ型 ReRAM のスイッチング特性	7
1.1.5 ノンポーラ型 ReRAM の動作機構モデル	8
1.1.6 ユニバーサルメモリ候補としての ReRAM	11
1.2 Schottky 障壁	13
1.2.1 Schottky 障壁の形成モデル	13
1.2.2 Schottky 障壁における J - V 特性	15
1.2.3 熱電子放出理論	16
1.2.4 J - V 特性からの Schottky 障壁高の測定	18
1.3 二元系遷移金属酸化物の物性	19
1.3.1 CuO	19
1.3.2 TiO ₂	20
第2章 研究の目的	22
2.1 Pt/CuO _x /W 素子による実験目的	22
2.2 Pt/TiO _x /Pt 素子による実験目的	23
第3章 実験装置	24
3.1 成膜装置	24
3.1.1 RF マグネトロンスパッタリング法	24
3.1.2 EB 蒸着装置	26
3.2 触針式段差計	26
3.3 走査電子顕微鏡(SEM)	26
3.4 半導体パラメータアナライザ	27

第4章	Pt/CuO_x/W 素子における実験方法、結果	28
4.1	Pt/CuO _x /W 素子の作製	28
4.1.1	CuO _x 成膜	28
4.1.2	CuO _x 素子の測定方法	28
4.2	Pt/CuO _x /W 素子測定結果	30
4.2.1	スイッチング特性	30
4.2.2	スイッチング後の CuO _x の表面観察	31
4.2.3	スイッチング電圧の膜厚依存性	32
4.2.4	Pt/CuO _x /W 素子実験結果考察	34
第5章	Pt/TiO_x/Pt 素子における実験方法、結果	35
5.1	試料作製方法	35
5.2	実験結果	36
5.2.1	スイッチング特性	36
5.2.2	高抵抗状態、低抵抗状態における抵抗値の温度依存性	36
5.2.3	スイッチング前後の <i>I-V</i> 特性の変化	39
5.2.4	<i>I-V</i> 特性変化に対する考察	41
5.2.5	Schottky 障壁高の測定	43
第6章	総括	44
参考文献		46

第 1 章 序論

現在、半導体メモリはパソコン、携帯機器などさまざまな電子機器に使用されており、その需要はますます増加傾向にある。また、今後到来が予想されるユビキタス情報社会においてはこれまで以上に小型、安価で高性能なコンピュータデバイスの開発が必須である。しかしながら、既存の半導体メモリにおいては大きな欠点を抱えているため、これらの要求を今後も満たしていくとは考えにくい。現在、パソコンではメインメモリあるいはキャッシュメモリとしてそれぞれ DRAM(Dynamic Random Access Memory)と SRAM(Static RAM)が使用されている。これらのメモリは動作が高速であるため上述の用途に適しているが、電源を切るとメモリのデータが失われる、揮発性と呼ばれるメモリである。従ってパソコンのデータ保存の際にはハードディスクが使用されている。また、これらの揮発性メモリに関しては電源を入れ続ける必要性があるため、消費電力も大きい。

このような状況において、高速書き込み読み出し可能で高性能の不揮発性メモリ(ユニバーサルメモリという)開発の必要性が高まっている。このようなメモリが開発された場合は、瞬時に起動できるインスタントオン機器が実現し、また起動時の電力消費も抑える事ができると考えられる。

現在、ユニバーサルメモリの候補として FeRAM (Ferroelectric RAM), PRAM (Phase change RAM), MRAM (Magnetoresistive RAM)といった様々な新規メモリが提案され、精力的な研究開発が続けられている。このような状況の中、電圧パルスによって素子の抵抗値が劇的かつ可逆的に変化する現象を用いた ReRAM (Resistance RAM)と呼ばれる新規不揮発性メモリが注目されている。しかしながら ReRAM においてはスイッチング現象のメカニズムが未だ解明されておらず、ReRAM の実用化に対する大きな課題となっている。

本研究では ReRAM の抵抗スイッチング効果についての機構解明に向けて研究したものについて記したものである。本研究はその中でも二元系遷移金属酸化物を用いたノンポーラ型と言われる ReRAM の機構解明を目的としている。

構成は、第 1 章で本研究の背景となるこれまでの ReRAM の研究や本研究で取り扱う 2 元系電子系遷移金属酸化物、また本研究で深く関わる Schottky 障壁について述べ、第 2 章で研究目的を述べる。第 3 章で実験装置について解説した後に第 4 章および第 5 章で実際に行った実験とその結果について述べ考察を行う。第 6 章に本研究の結論をまとめる。

1.1 ReRAM

ReRAM(Resistance random access memory)とは、遷移金属酸化物が外から電圧を加えられる事によって高抵抗状態、低抵抗状態を可逆的かつ不揮発にとる現象（抵抗スイッチング効果）を利用した新規半導体メモリである。ReRAMはその大きな抵抗変化比や電極金属と酸化物絶縁体のサンドイッチ構造という単純な素子構成、不揮発性など新規メモリとして大きなポテンシャルを秘めている。その一方で動作メカニズムが未だ解明されていないため、先行する他の新規メモリほどには集積回路の開発が進んでいない。これまでに実験と理論の両面から抵抗スイッチング効果のメカニズム解明を目指した研究が活発に行われ、多くの動作モデルが提唱されてきた。この節においては ReRAM 研究の歴史を振り返るとともに、その特性と有力なモデルについて紹介する。

1.1.1 抵抗スイッチング効果研究の歴史

酸化物における抵抗スイッチング効果は 60 年代に精力的に研究されており、Dernaley らによってまとめられている¹が、当時は負性抵抗などに重点が置かれており、本稿で扱うようなメモリ効果は確認されていなかった。ReRAM 研究の発端は 2000 年に Houston 大の Ignatiev らが $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (以下 PCMO)接合素子を用いて、電圧パルスを加えると素子の抵抗値が不揮発かつ可逆的に変化する事を室温において発見してからである²。その後 IBM Zurich 研究所の Bednorz らも Cr ドープした SrZrO_3 膜において同様の抵抗スイッチング効果を確認した³。他にも $\text{SrRuO}_3/\text{Nb}:\text{SrTiO}_3$ という接合素子において抵抗スイッチング効果が報告される⁴など、多くのペロブスカイト物質を用いた実験結果が報告された。その後 2002 年の IEDM(International Electron Device Meeting)において Ignatiev らのグループと米 Sharp 社は PCMO を用いた世界初の ReRAM (当時 64bit) を発表した⁵。これ以降 ReRAM は新規不揮発メモリとして大きな注目を集める事になり、世界中でこの分野への勢力的な研究が行われる事になった。この時期に発見された ReRAM 材料・素子は全てバイポーラ型と言われるもので、高抵抗状態と低抵抗状態を電圧の極性により切り替えるものである。

その後、2004 年に Samsung 社の Seo らは二元系の遷移金属酸化物である NiO を用いて抵抗変化メモリが実現できる事を発表した^{6,7}。NiO におけるスイッチング特性は、それまでに発見されていた PCMO 等のペロブスカイト型のそれとは大きく異なるものであり、ノンポーラ型と言われる。ノンポーラ型におけるスイッチング特性は極性によらず、電圧値のみで抵抗状態を切り替える。一般に、バイポーラ型の

ReRAM とノンポーラ型の ReRAM では動作機構は異なるものと認識されている。

Seo らの発表以降、二元系の遷移金属酸化物においても精力的な物質探索が行われ、現在では Fe_2O_3 や CuO_x ⁸, TiO_2 ⁹, Nb_2O_5 ¹⁰ など他多くの二元系酸化物においても同様のメモリ効果を示すことが報告されている。

以下では、バイポーラ型とノンポーラ型のそれぞれのスイッチング特性および提唱されているモデルについて紹介する。

1.1.2 バイポーラ型 ReRAM のスイッチング特性

図 1.1 にバイポーラ型の実験例である Metal/ La_2CuO_4 / $\text{La}_{1.65}\text{Sr}_{0.35}\text{O}_4$ 素子 (M/LCO/LSCO) のスイッチング特性を示す¹¹。上段の I - V 特性を片対数に取ったものが下段のグラフである。図から分かるように、上部電極として Au, Ti, Al が使われており、特に Ti と Al においてスイッチング特性が現れている。以下、Ti/LCO/LSCO を例にバイポーラ型素子のスイッチング特性を説明する。まず正バイアスを加えると、高抵抗状態であった素子が低抵抗状態へとスイッチする。その後、負バイアスを加えていくと、 -3 V 以下において負性抵抗が現れ、素子は再び高抵抗状態へと戻る。この後、同様に $0 \rightarrow$ 正バイアス $\rightarrow 0 \rightarrow$ 負バイアス $\rightarrow 0$ というサイクルを繰り返す事で高抵抗状態、低抵抗状態を再現できる。

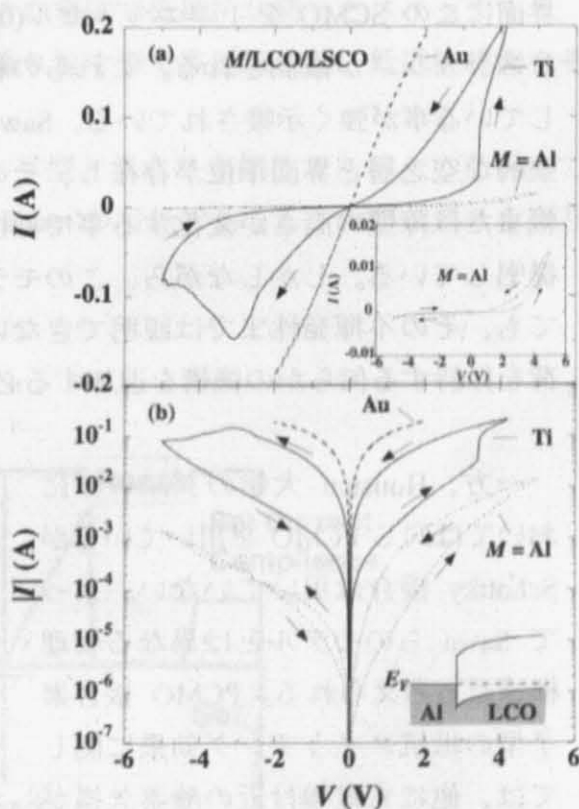


図 1.1 M/LCO/LSCO におけるスイッチング特性

1.1.3 Schottky 界面の電荷蓄積モデル

PCMO 接合素子型の抵抗スイッチング効果を説明するモデルはいくつかあるが、その中でも Sawa らが唱える Schottky 界面の電化蓄積モデル¹²は有力な説の一つである。Sawa らは $\text{Ti/La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3/\text{SrRuO}_3$ 素子（以下、Ti/LCMO/SRO と表記する）において $\text{Sm}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (SCMO)セルを挿入する事で素子の I - V 特性および履歴がどのように変化するかを検証した。図 1.2 において、①は SCMO を挟まない場合の Ti/LCMO/SRO 素子の I - V 特性である。PCMO と同じ結晶構造を有する強磁性金属の LSMO と Ti の接合は金属/金属接合になるため、整流性も抵抗スイッチング効果も現れない。ここで PCMO よりもバンド幅が狭く絶縁性の高い SCMO と Ti 電極の場合は、Ti/PCMO の場合と同様に整流性のある抵抗スイッチング効果が生じる。Ti/LSMO 界面にこの SCMO を 1 ユニットセル(0.4 nm)挿入すると (②)、 I - V 特性に整流性とヒステリシスが観測される。これらの結果から、抵抗スイッチング効果が界面で生じている事が強く示唆されている。Sawa らは金属電極と酸化物の界面に Schottky 障壁的な空乏層と界面準位が存在し、その界面準位の電化蓄積層効果により空乏層の幅または障壁の高さが変化する事で抵抗スイッチングが総じているとするモデルを提唱している。しかしながら、このモデルにおいては抵抗変化を説明する事はできても、その不揮発性までは説明できない。今後この仮説に界面に保持された空間電荷を保持する何らかの機構を追加する必要がある。

一方、Houston 大学のグループにおいては同じ PCMO を用いているが、Schottky 接合は用いていない。よって Sawa らのモデルとは異なる物理機構だと考えられる。PCMO 接合素子型の抵抗スイッチング効果に関しては、他にも電極付近の酸素欠損が電気化学的な効果によって引き寄せられたり引き離されたりする事で界面付近の抵抗が変化する、という Baikalov らの説^{13,14}などもある。

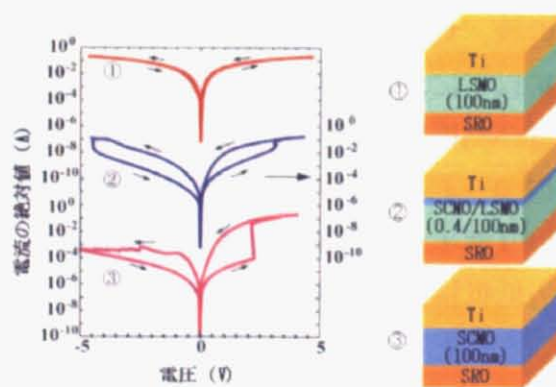


図1.2 界面構造による I - V 特性の変化

1.1.4 ノンポーラ型 ReRAM のスイッチング特性

世界初のノンポーラ型 ReRAM は 2004 年に Samsung グループによって発表された Pt/NiO/Pt 素子である⁶。ノンポーラ型 ReRAM においては、まず高抵抗状態の素子に比較的高い電圧を加えて低抵抗状態にスイッチさせる初期動作を要する。これを Forming という。この際に素子を流れる電流値に制限 (Compliance) を設けないと、素子は不可逆的な絶縁破壊を起こしてしまう。しかしながら適度な Compliance を設定した場合、破壊されないまま低抵抗状態をとることができる。Forming 後のノンポーラ型素子のスイッチング特性を図 1.3 に示す。低抵抗状態となった素子に、Compliance を設けずに 0 から電圧を印加していくと、急激に電流が増加する。この高抵抗状態へのスイッチを Reset という。その後再び Compliance を設けて電圧を印加していくと、一般に Reset 電圧よりも大きな電圧で低抵抗状態へとスイッチする。これを Set という。この後は Reset, Set を繰り返す事で高抵抗状態、低抵抗状態をそれぞれ取る事ができる。

また、ノンポーラ型 ReRAM はバイポーラ型と異なり非極性である。したがって正バイアスあるいは負バイアスのみで Set, Reset が可能であるし、両バイアスを交互に加える事でも Set, Reset を実現できる。

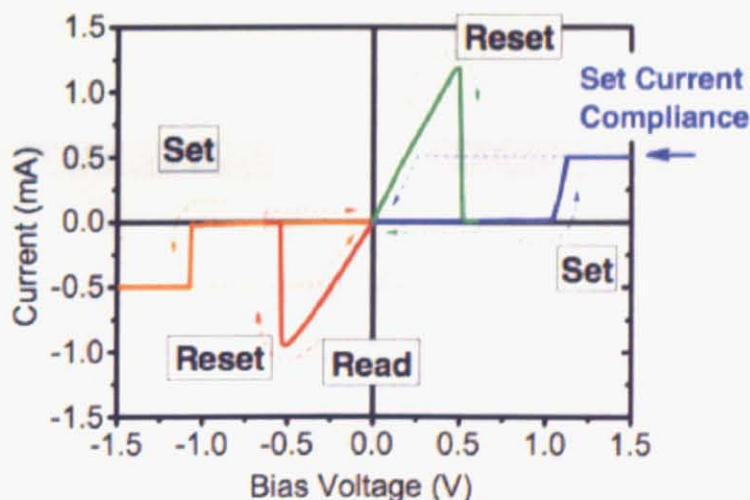


図 1.3 ノンポーラ型 ReRAM のスイッチング特性 (Forming 後)

1.1.5 ノンポーラ型 ReRAM の動作機構モデル

バイポーラ型 ReRAM 同様、ノンポーラ型 ReRAM についてもその動作機構は統一の見解が得られていない。しかしながらノンポーラ型においては高抵抗状態の素子を流れる電流が電極面積に比例するのに対し、低抵抗状態においては電極面積を変えても素子を流れる電流はほぼ一定であるという実験結果が知られている。これは高抵抗状態においては電流が素子を均一に流れているのに対し、低抵抗状態における電流は電極面積よりも十分小さい領域を集中的に流れているためだと考えられる。この素子を貫く低抵抗領域は一般に Filament と呼ばれている。この Filament がどのような成分でできているのか、またはこの Filament がどのようにして抵抗スイッチングに関わっているのかは解明されていない。様々なモデルが提唱されているが、ここでは理論的見地からのアプローチであるドメイン・トンネリングモデルおよび実験結果から提唱された酸化還元モデルを紹介する。

【ドメイン・トンネリングモデル】

ノンポーラ型 ReRAM のメカニズムにおいても様々なモデルが挙げられるが、理論的なアプローチとして、井上氏、Rozenberg 氏らによって提唱されたドメイントンネリングモデル^{15,16}がある。このモデルは遷移金属酸化物薄膜中に電荷を帯びたドメインが存在しており、それらのドメインが電極からのキャリアドーピングによってモット転移を起こすということを前提としている。

このモデルにおいては、まず絶縁体の中に電荷を帯びたドメインが存在し、電荷はその小さなドメイン間をトンネルまたはホッピングして伝導していくと考えられる。最初に素子に十分長い時間大きな直流電場を印加する (Forming) と、電荷を帯びたドメインが増大して、トンネル間のトンネルやホッピングが容易になる。これによって不均質なドメインをトンネルやホッピングでつないだ “Filament” が素子の主な電流を担うようになる。電極から注入されるキャリアの量はこれらのドメイン全てを満たすには十分な量ではない。しかしながら界面付近の典型的なドメインの大きさは数十 nm 程度と見積もられているので、少ない電荷量でもモット転移が発現するのに十分なキャリア濃度に達してしまうと考えられる。ここで、ドメイン間のトンネル確率よりもドメインと電極の間のトンネル確率が低いと仮定すると、電流を流す事により電極界面付近のドメインに電荷が蓄積され、このドメインがモット転移を起こす。このスイッチングの様子を図 1.4 に示す。

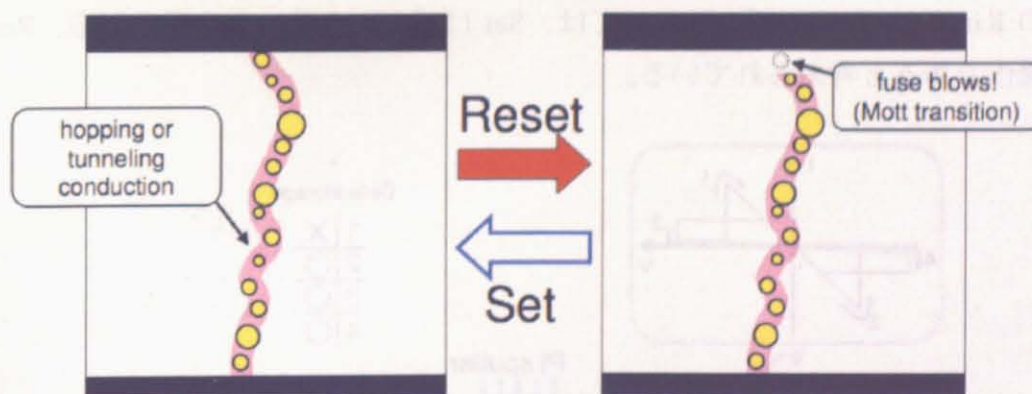


図 1.4 ドメイン・トンネリングモデル

【酸化還元モデル】

ノンポーラ型 ReRAM の動作機構モデルとしては、他にも Kinoshita らによって提案されている酸化還元モデルがある¹⁷。彼らは TiO_x を用いて以下のような実験を行い、このモデルを提唱した。まず彼らは Pt/TiO_x 構造において W プローブを上部電極として用いる事で $\text{Pt}/\text{TiO}_x/\text{W}$ という試料を用いて抵抗スイッチングを確認した (図 1.5(a))。その際、次のようなそれぞれ異なる 4 つの状況でスイッチングを起こした。すなわち、

1. 上部電極 (W) に正バイアスを加えて Reset させたもの (高抵抗状態)
2. 上部電極に負バイアスを加えて Reset させたもの (高抵抗状態)
3. 上部電極に正バイアスを加えて Set させたもの (低抵抗状態)
4. 上部電極に負バイアスを加えて Set させたもの (低抵抗状態)

である。この後、W プローブを除いて同図(b)のようにプローブを当てていた箇所を覆うように Pt をスパッタする事で上部電極を形成し、上記の 4 つの状態がそれぞれ記憶されているかどうかを検証した (同図(c))。その結果、2,3,4 はそれぞれの状態を保持していたものの、1 のみは低抵抗状態となっている事が判明した。彼らはこれらの結果から金属的な伝導を示していた Filament が陽極酸化によって絶縁体へと変化したことによって Reset が生じたと考えた。Case1 が低抵抗状態へと変わってしまった理由は、上部にできていた酸化部分が Pt スパッタによって除かれてしまったためと考えられる。Case2 の場合は下部電極で酸化が生じているため、スパッタの影響を受けにくい。よって高抵抗状態が保持されたと考えられる。

この Kinoshita らのモデルにおいては、Set はジュール熱による還元反応、Reset は陽極酸化であると考えられている。

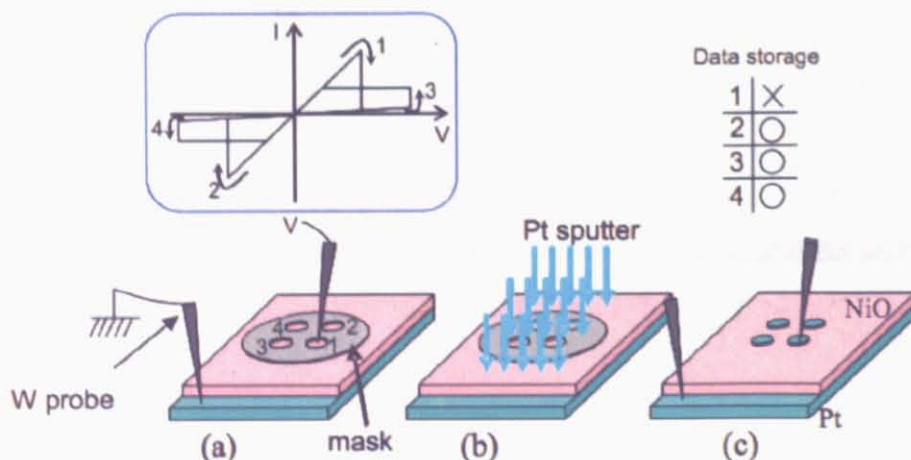


図 1.5 $\text{Pt}/\text{TiO}_x/\text{W}$, $\text{Pt}/\text{TiO}_x/\text{Pt}$ を用いた実験

1.1.6 ユニバーサルメモリ候補としての ReRAM (ノンポーラ型)

この章の最後に、他のメモリと比較した際の ReRAM の特色について紹介する。前述したように、ReRAM はユニバーサルメモリの候補として大きな注目を集めている。ここでは、既存のメモリと他新規メモリとの性能を図 1.6 および図 1.7 において比較する¹⁸(二元系遷移金属酸化物の ReRAM は OxRRAM と表記されている)。ReRAM の長所としては 10^3 以上の大きな ON/OFF 比が挙げられる。よって、高いスケールビリティを誇る。セルサイズも理論上最小の $4F^2$ であるため、高い集積度が可能である。また、CMOS プロセスとの親和性も新規メモリの中で最も優れている。他にも特にノンポーラ型 ReRAM においては材料が比較的安価な二元系遷移金属酸化物で作れる点から、コスト面でも優位に立てると考えられる。

一方で ReRAM の当面の課題は数 mA にもなる高い Reset 電流の抑制と、スイッチング速度の向上である。しかし前者に関しては 2006 年に富士通の Kinoshita らが Pt/TiO_x/NiO_y/W という素子において Reset 電流を 75mA に抑えた素子を発表し¹⁹、また、後者についても Pt/TiN/TiO_x/Pt 素子において Reset, Set とともに 3ns 以下に抑える事ができたという報告が発表される²⁰など、ReRAM のこれまでの課題を克服するような研究成果も発表され始めている。

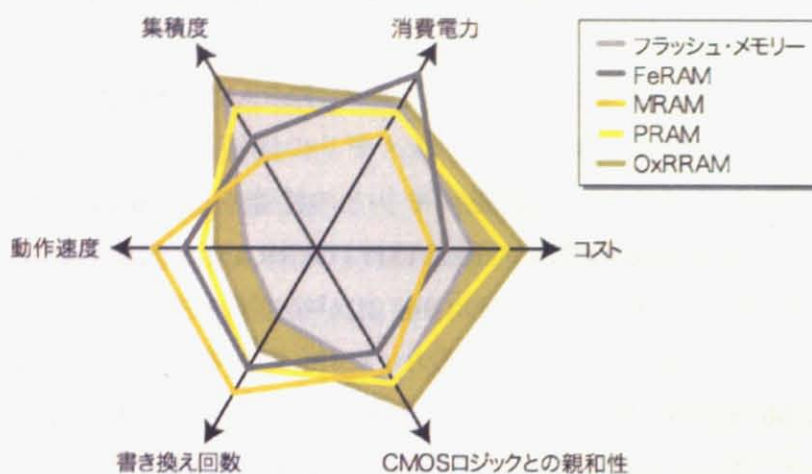


図 1.6 フラッシュメモリ、新規メモリと二元系 ReRAM の比較

パラメータ	DRAM	SRAM	NAND型フラッシュ	NOR型フラッシュ	FeRAM	MRAM	PRAM	OxRRAM
不揮発性	×	×	○	○	○	○	○	○
ランダム・アクセス性	○	○	×	○	○	○	○	○
書き換え回数	10^{16} 以上	10^{16} 以上	10^6	10^6	10^{12} 以上	10^{15} 以上	10^{12} 以上	10^6
読み出し時間 (s)	10n	2n	25 μ	70n	20n	10n	10n	10n
書き込み時間 (s)	10n	2n	300 μ /ページ	10 μ /バイト	20n	5n	200n	10n/5 μ
開発品の容量 (ビット)	2G	64M	8G	512M	32M	4M	64M	— (開発中)
スケーリング限界	セル・トランジスタ	セル領域	セル間干渉	高い駆動電圧	キャパシタ	高い電流密度	リソグラフィ	リソグラフィ

図 1.7 代表的な既存メモリおよび新規メモリの性能比較

1.2 Schottky 障壁

本研究においては Pt/TiO_x という Schottky 接合を利用した実験を行っている。よってあらかじめこの節において Schottky 障壁の形成モデルおよび障壁高の求め方について簡単に述べる^{21,22,23}。

1.2.1 Schottky 障壁の形成モデル

Schottky 障壁の形成過程のもっとも簡単なモデルは、Schottky と Mott によって考えられた。金属の仕事関数 ϕ_m と半導体の仕事関数 ϕ_s が異なる場合 (図 1.8(a))、まず両者を導線で結合して電子が自由に行き来できるモデルを考える (同図(b))。その後、お互い近づけて熱平衡状態にするとフェルミ準位 E_F が一致するので、それぞれの真空準位がずれる (接触電位差)。その結果、両者の間に電場が生じる。この場合の電位差を V_i とおくと、 V_i は間に生じた電場 E および両者の距離 d を用いて $V_i = dE$ と表される。この例では半導体側から金属側に電子が導線を伝わって移動した。金属と半導体が向き合っている領域は平行平板コンデンサーとみなせ、金属側に蓄えられた過剰負電荷 Q_m と半導体側の過剰正電荷 Q_s は表面近くに分布し、 $Q_m + Q_s = 0$ を満たす。電場 E は金属および半導体にしみ込む。金属側でのしみ込みは、Thomas-Fermi の遮蔽長 ($\sim 0.5 \text{ \AA}$) 程度なので、 Q_m は金属のごく表面近傍だけに分布する。一方、半導体側では Debye 長 ($100 \text{ \AA} \sim 1 \text{ mm}$) 程度までしみ込んで、バンドを湾曲させるため、 Q_s は表面下の深いところまで分布する。これが空間電荷層である。金属と半導体で電場のしみ込み長が桁違いに異なるのは、両方でキャリア濃度が桁違いに異なるためである。さらに両者を近づけていく (同図(c)) と V_i は徐々に 0 へと近づき、最終的に接触させると真空準位の差による接触電位差はなくなり、理想的な金属-半導体界面が得られる (同図(d))。この時の障壁高は Schottky 極限とも呼ばれ、金属の仕事関数 ϕ_m と半導体の電子親和力 χ_s との差に等しい。すなわち、

$$\Phi_B = \phi_m - \chi_s \quad (1.1)$$

となる。

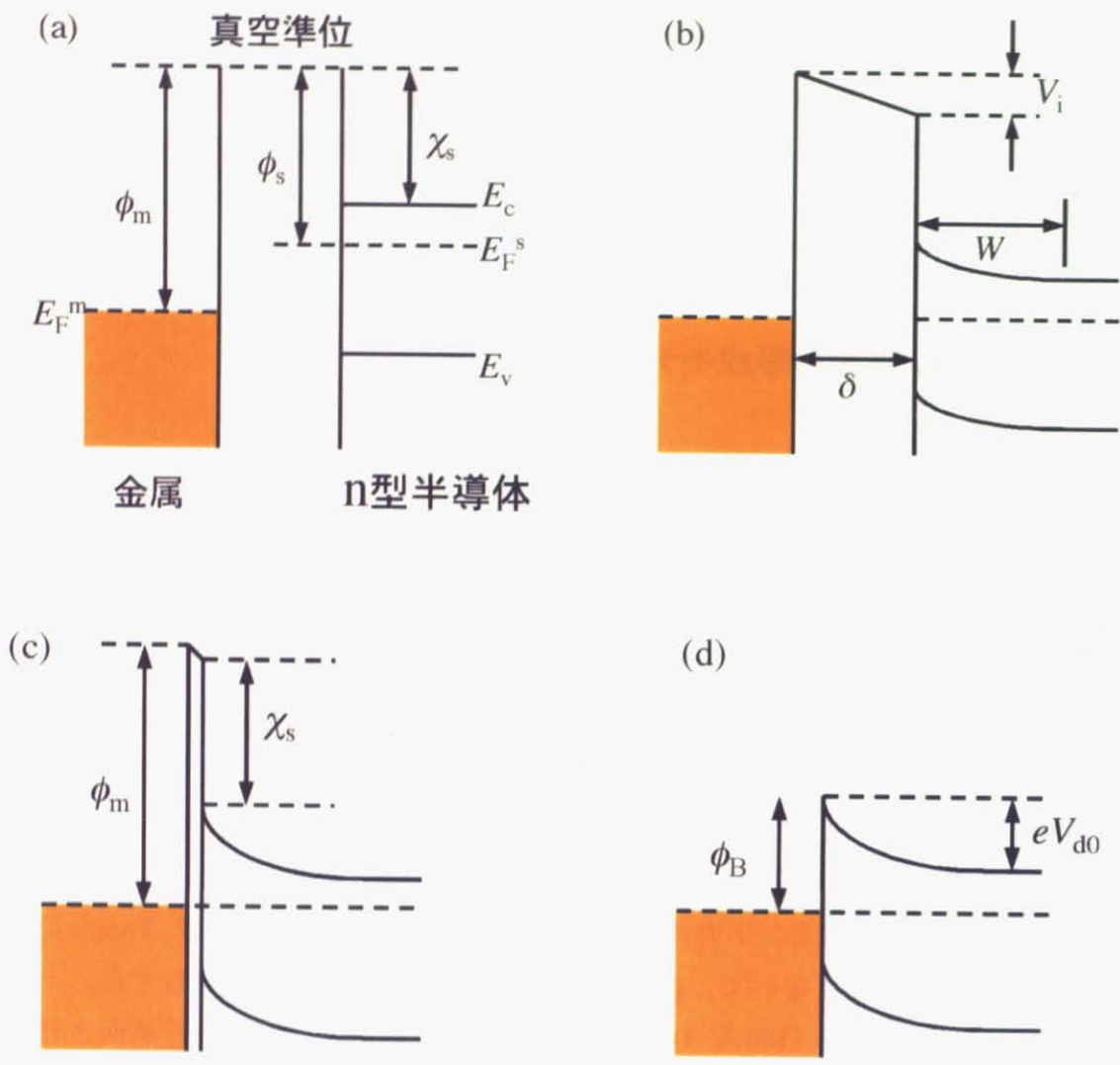


図 1.8 Schottky 障壁の形成モデル

この Schottky-Mott モデルは接触前の半導体や金属の表面に表面電子状態が存在しない事を仮定している。また、接触によって生じるための界面電子状態も存在しないことを前提としているため、仮定としては非現実的である。

Schottky 極限とは別に、障壁の高さが金属の仕事関数とは無関係に表面準位のエネルギー分布形状によってのみ決まる場合を Bardeen 極限という。実際の障壁高 ϕ_B は Schottky 極限と Bardeen 極限の中間の状態にあり、

$$F_B = S(\Phi_m - \chi_s) + AE_g \tag{1.2}$$

の式で表される。ただし、 E_g はバンドギャップ幅、 A は定数である。また、 S は 0~1 の値を取る。

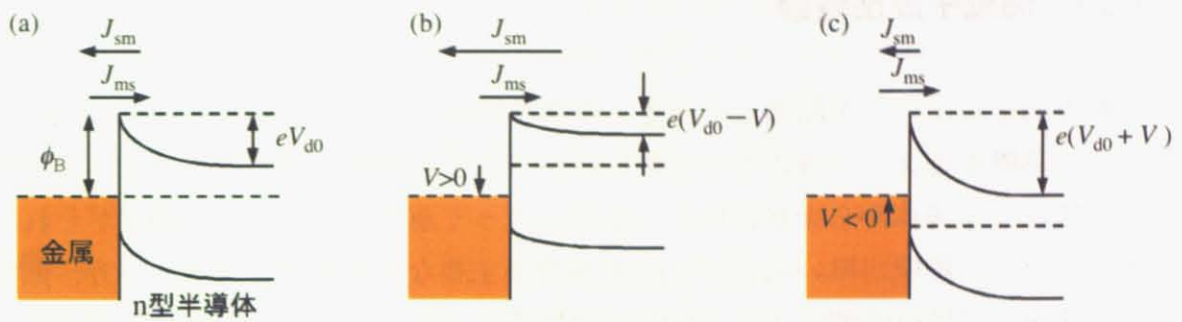


図 1.9 バイアス印加時の Schottky 障壁のエネルギー準位図
 (a)熱平衡状態 (b)順バイアス印加時 (c)逆バイアス印加時

1.2.2 Schottky 障壁における J - V 特性

Schottky 障壁に電圧を印加したとき、電圧の極性によって電流が流れたり、ほとんど流れなかったりする。電流の流れやすい電圧の向きを順バイアス、流れにくい方向を逆バイアスという。図 1.9 に n 型半導体と金属の接触による Schottky 接合における各バイアスに対応する Schottky 障壁の変化を示す。図(a)においてはゼロバイアス、熱平衡状態の Schottky 障壁の様子を表す。ここで金属側に正バイアスを加えると（同図(b)）、半導体側のバンドは金属側と比べて相対的に上げられる事になり、ゼロバイアス時と比べて拡散電圧は小さくなり、電子はより金属側へ移動できるようになる。よって J_{sm} が増加する。この時のバイアスは順バイアスと呼ばれる。反対に金属に対して負のバイアスを加えた場合には（同図(c)）、半導体側のバンドは金属側に比べて低い状態となり、拡散電圧は大きくなる。この結果、半導体側から障壁を超えて金属側に移動できる電子の数は減少する。一方で、金属側から見た障壁の高さ ϕ_B は不変であるため、 J_{ms} は一定である。よって J_{sm} と J_{ms} の差異にあたるわずかな電流が半導体側に流れる事になる。この時のバイアスが逆バイアスとなる。

1.2.3 熱電子放出理論

順方向にバイアスを印加したとき、障壁を横切って流れる電流は、主に(1)ポテンシャル障壁を超えて半導体から金属に向かう電子、(2)トンネル効果によって障壁を通り抜けて半導体から金属に向かう電子によって運ばれる。不純物密度がそれほど大きくなく、障壁が厚い場合には(1)の場合が主要な伝導機構となる。一方、低温などの状況下では(2)の場合も支配的な伝導機構となりうる。(1)の過程による電流としては熱電子放出理論や拡散理論などがあるが、ここでは前者の理論に基づいて J - V 特性を解説する。

熱電子放出理論では、キャリアの運動エネルギーが障壁の高さを超えるものは、これを横切るものとして電流—電圧特性の計算を行う。いま、障壁を超えて半導体から金属に移動した電子によって生ずる電流密度を J_{sm} (A/cm²)とすると

$$J_{sm} = \int_{E_F + e\Phi_b}^{\infty} ev_x dn \quad (1.3)$$

と表される。ここで $E_F + e\Phi_b$ は障壁を超えるために必要とされるキャリアの最小運動エネルギーであり、 v_x は接触面に垂直な方向の電子の速度である。エネルギーの $E \sim E + dE$ 間の電子密度 dn は、電子が縮退してないとすると状態密度 $D(E)$ とボルツマン分布関数 $f(E)$ の積で与えられ

$$dn = \frac{(2m^*)^{3/2}}{2\pi^2\hbar^3} (E - E_c)^{1/2} \exp[-(E - E_F)/k_B T] dE \quad (1.4)$$

となる。ここで E_c は伝導体の底のエネルギーであり、 m^* は電子の有効質量である。いま、 $E - E_c = m^* v^2/2$ と仮定し、 $v^2 = v_x^2 + v_y^2 + v_z^2$ 、 $4\pi v^2 dv = dv_x dv_y dv_z$ の関係を用いて整理すると、

$$\begin{aligned} J_{sm} &= 2e(m^*/2\pi\hbar)^3 \exp[-e(E_c - E_F)/k_B T] \cdot \int_{v_x}^{\infty} \exp(-m^* v_x^2/2k_B T) dv_x \\ &\quad \times \int_{-\infty}^{\infty} \exp(-m^* v_y^2/2k_B T) dv_y \cdot \int_{-\infty}^{\infty} \exp(-m^* v_z^2/2k_B T) dv_z \\ &= (em^* k_B/2\pi\hbar^3) T^2 \exp[-e(E_c - E_F)/k_B T] \exp(-m^* v_{x0}^2/2k_B T) \end{aligned} \quad (1.5)$$

となる。

ここで、 v_{x0} は障壁を超えるために必要とされる x 方向の最小速度であり、 $m^* v_{x0}/2 = e(V_D - V)$ で表される。これを上式に代入し、 $e\Phi_B = e(V_D + E_C - E_F)$ の関係を用いると、

$$J_{sm} = A^* T^2 \exp(-e\Phi_B/k_B T) \cdot \exp(eV/k_B T) \quad (1.6)$$

が得られる。ここで

$$A^* = \frac{m^* k_B^2}{2\pi^2 \hbar^3}$$

を Richardson 定数といい、自由電子における Richardson 定数の値は $120 \text{ (A/(cm}^2\text{K}^2))$ である。

一方、金属から半導体に向かう電子に対する障壁の高さは印加電圧によって変化しないので、これによって生じる電流 J_{ms} は一定である。熱平衡条件の下では、 $J_{sm} = -J_{ms}$ が成立するので、これから

$$J_{ms} = -A^* T^2 \exp(-e\Phi_B/k_B T) \quad (1.7)$$

が得られる。したがって、全電流 $J_T \text{ (A/cm}^2\text{)}$ は

$$J_T = A^* T^2 \exp(-e\Phi_B/k_B T) \cdot [\exp(eV/k_B T) - 1] \quad (1.8)$$

となる。

実際には、金属側から半導体側に流れ出した電子が感じる鏡像ポテンシャルの影響を考慮して補正を行う必要がある。そこで、

$$n \equiv \frac{e}{k_B T} \frac{\partial V}{\partial (\ln J)}$$

で定義される理想因子 n を用いる事で、

$$J_T = A^* T^2 \exp(-e\Phi_B/k_B T) \cdot [\exp(eV/nk_B T) - 1] \quad (1.9)$$

と表される。

1.2.4 J - V 特性からの Schottky 障壁高の測定

Pt/TiO_x/Pt 素子の実験の際、以下の解析法で Reset 後の素子の障壁高を測定した。

前述したように、Schottky ダイオードの順方向の電流密度は

$$\begin{aligned} J &= J_0 \{ \exp(eV / nk_B T) - 1 \} \\ J_0 &= A^{**} T^2 \exp(-e\Phi_B / k_B T) \end{aligned} \quad (1.10)$$

で表す事ができる。ここで、 A^{**} は半導体中の電子の有効質量を考慮した実効 Richardson 定数である。この関係式において、 $V \gg k_B T$ が成り立つような領域においては

$$J \sim J_0 \exp(eV / nk_B T) \quad \text{for } V \gg k_B T \quad (1.11)$$

と近似する事ができる。この時、 J_0 を求める事ができれば、上式(1.10)より

$$\Phi_B = k_B T / e \cdot \ln(A^{**} T^2 / J_0) \quad (1.12)$$

と、障壁高を求める事ができる。ここで J_0 は、 J - V 特性が上式を満たす領域で近似曲線を算出した際のバイアス 0 の値、すなわち切片に相当する。実際の Schottky ダイオードにおいては低電界領域ではオーミックな伝導機構が支配的であり、また高電界領域では空間電荷制限電流(SCLC : space charge limited current)などの伝導機構が支配的になってくる。したがって、フィッティングのできる領域をうまく選択する必要がある。

1.3 二元系遷移金属酸化物の物性

ここでは、本研究で扱った遷移金属酸化物である CuO および TiO₂ についてその物性を簡潔に紹介する。

1.3.1 CuO

CuO は MnO や CoO 等と同様に、電荷移動型 Mott 絶縁体である。結晶構造は NaCl 構造が Jahn-Teller 効果によって大きくずれた構造を取っており、単斜晶系である。図 1.10 にその結晶構造および[010]面の銅イオンの配置を示す²⁴。磁性の点から見ると、 $T_{N1} = 230\text{K}$ において反強磁性転移を起こし、 $T_{N2} = 213\text{K}$ においてスピンの再配列と不整合・整合相転移が生じる。光電子分光と逆光電子分光から見積もられている電荷移動ギャップは 1.4 eV である²⁵。電気伝導の点から見ると、CuO は不定非性から CuO_{1+x} と表す事のできる物質であり、ホールが主な伝導を担う p 型半導体である。

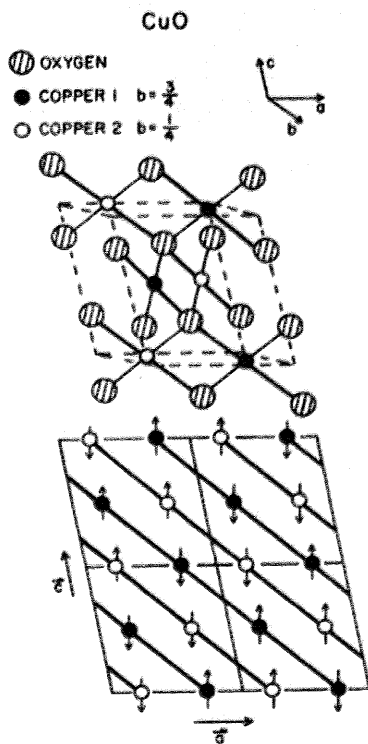


図 1.10 CuO 結晶の構造

また、単結晶試料の電気抵抗率には軸異方性があり、c 軸平行方向に電流が流れやすくなっている (図 1.11)。室温における抵抗率は 10^2 - $10^4 \Omega\text{cm}$ 程度である²⁶。

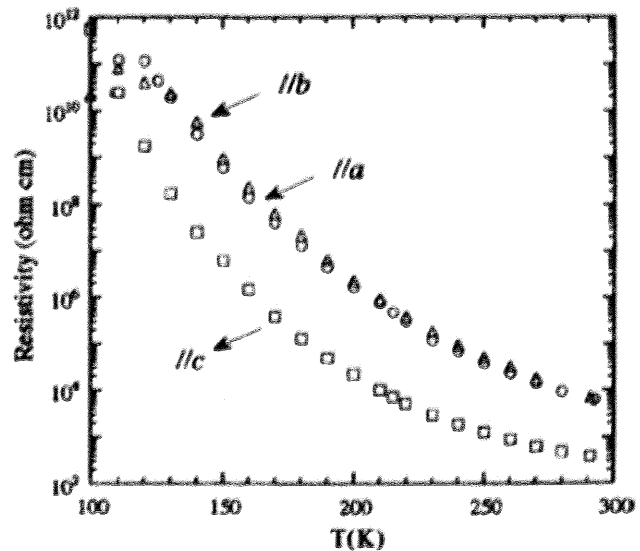


図 1.11 CuO 単結晶の抵抗温度依存性

1.3.2 TiO₂

TiO₂は天然のものとしては Rutile 型のもものと Anatase 型および Brookite 型の 3 種類が存在する。その結晶構造を図 1.12 に示す²⁷。この 3 種類の中でも工業的に重要なものは Rutile 型および Anatase 型である。TiO₂はバンド絶縁体であり、バンドギャップは Rutile 型で 3.0 eV, Anatase 型で 3.2 eV である。また、電気伝導の点からみると TiO₂は金属過剰の酸化物であり、n 型半導体である。また、高温における電気伝導率は酸素分圧に依存する。一例として、1260°C—1753K における、TiO₂の電気伝導性の酸素分圧依存性を図 1.13 に示す²⁸。ここでは電気伝導率曲線は-1/5 の傾きを持っている。このような振る舞いは TiO₂の欠陥構造によるものである²⁹。

酸化チタンの重要な性質として大きな光屈折率が挙げられる。天然に存在する物質の中で屈折率が大きな物質の一つとしてダイヤモンドが挙げられるが、その屈折率は 2.418 である。酸化チタンにおいては Rutile 型で 2.71, Anatase 型で 2.52 と、いずれの結晶型においてもダイヤモンドの屈折率を上回っている。酸化チタンのこのような性質は塗料や被覆顔料として大変有効である。現在工業用酸化チタンのおよそ 50%が塗料として使われ、その次の用途として使用されるのがインキ、顔料である。

また、1969 年に Anatase 型 TiO₂ および Pt を電極とした水の光分解効果（本田—藤島効果）が発見されて以来、TiO₂は水素発生の点から注目を浴びるようになった³⁰。現在ではこの性質は光触媒へと応用され、精力的な研究が続けられている。

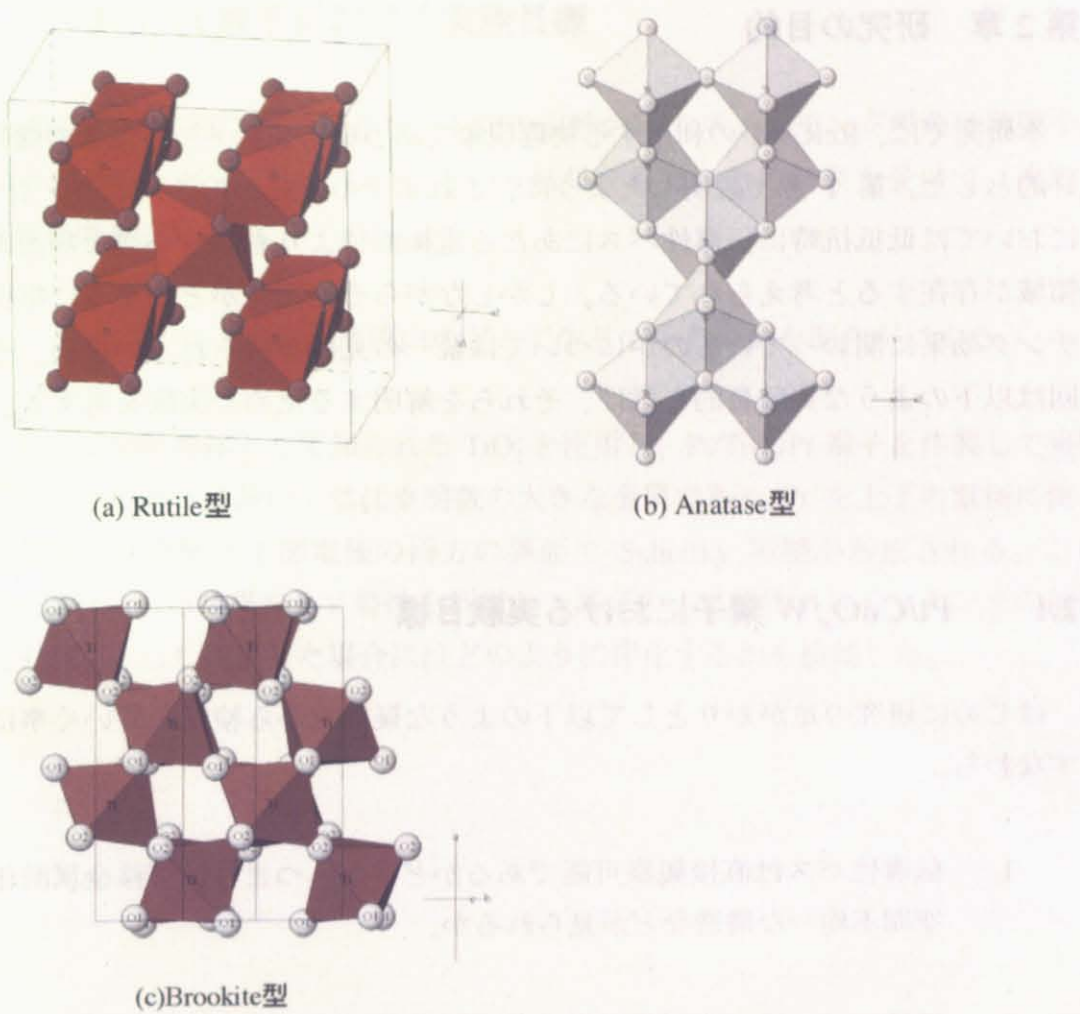


図 1.12 TiO₂ の各結晶構造²⁷

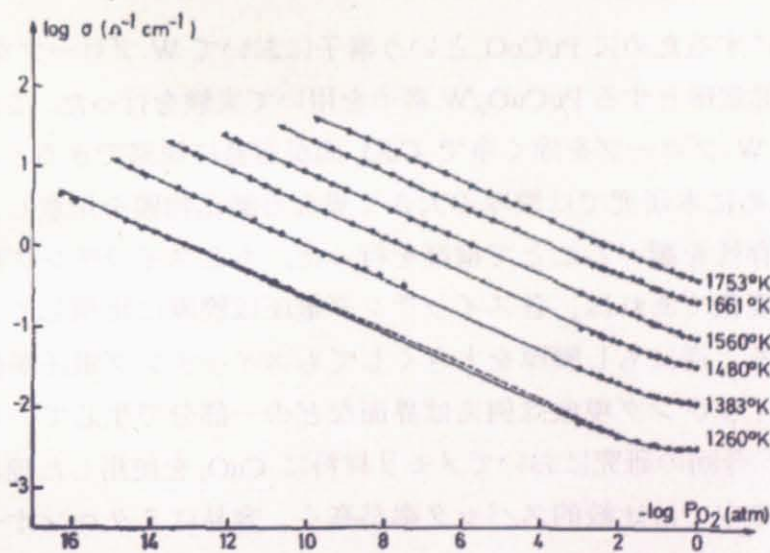


図 1.13 高温における TiO₂ 電気伝導率の酸素分圧依存性

第2章 研究の目的

本研究では、ReRAM の利用する物理現象である抵抗変化メモリ効果の機構解明を目的とした。第1章で説明したように、これまでの研究からノンポーラ型 ReRAM においては低抵抗時に伝導性パスにあたる電極面積よりも十分小さな局所的低抵抗領域が存在すると考えられている。しかしながらその領域がどのように抵抗スイッチング効果に関わっているのかについては統一の見解が得られていない。そこで今回は以下のような実験目的を挙げ、それらを解明するための実験を考案し、検証した。

2.1 Pt/CuO_x/W 素子における実験目標

はじめに研究の足がかりとして以下のような疑問点から検証していく事にした。
すなわち、

1. 伝導性パスは直接観察可能であるかどうか。つまり、遷移金属酸化物内に空間不均一な構造などが見られるか。
2. 抵抗スイッチング効果は酸化物薄膜全体で生じる現象なのか、それとも素子の一部分の変化による現象であるのか。

まず 1. を明らかにするために Pt/CuO_x という素子において W プローブを直接 CuO_x 面に当てる事で上部電極とする Pt/CuO_x/W 素子を用いて実験を行った。これにより、スイッチング後に W プローブを除く事で CuO_x 面が容易に観察できると考えた。次に 2. を検証するために本研究では膜厚の大きく異なる酸化物膜を用意し、スイッチング電圧の膜厚依存性を調べることで検証を行った。もしスイッチング現象が薄膜全体で生じている変化であれば、各スイッチング電圧は膜厚に比例して大きくなっていくと考えられる。逆にもし膜厚を大きくしてもスイッチング電圧がほとんど変化しない場合、スイッチング現象は例えば界面などの一部分で生じている変化である事が示唆される。今回の研究においてメモリ材料に CuO_x を使用した理由は、二元系遷移金属酸化物の中では比較的スパッタ率がが高く、容易にミクロンオーダーの薄膜を成膜する事ができるためである。

2.2 Pt/TiO_x/Pt 素子における実験目標

第 4 章以降で詳細に述べる通り、上記の実験においてスイッチング現象は薄膜全体ではなく、その一部分で生じているという結果を得た。この結果を受けて、次のような研究目標を設定した。

3. スイッチング現象が薄膜内のどこで生じているのかを明らかにする。

ここでは n 型半導体として知られる TiO₂ を使用し、Pt/TiO_x/Pt 素子を作製して実験を行った。この素子においては仕事関数の大きな金属である Pt を上下の電極に使っているため上部電極と下部電極の両方の界面で Schottky 障壁が形成される。この Schottky 接合による特異な I - V 特性を利用し、素子の I - V 特性がスイッチングの前後で変化するか、もし変化した場合にはどのように変化するかを検証した。

第3章 実験装置

ここでは、本研究において使用した各装置について説明する。

3.1 成膜装置

本研究においては、成膜装置として下部電極および遷移金属酸化物の成膜には RF マグネトロンスパッタ装置を使用し、Pt/TiO₂/Pt 素子における上部電極作製には電子ビーム蒸着装置 (EB 蒸着装置) を使用した。以下、RF マグネトロンスパッタリング法および EB 蒸着法について簡潔に紹介する。スパッタリング法に関しては、まず基本的なスパッタリング法である平行形直流 2 極スパッタリング法について解説した後に RF マグネトロンスパッタリング法を紹介する。

3.1.1 RF マグネトロンスパッタリング

【平行形直流 2 極スパッタリング法,】

RF マグネトロンスパッタリング法を紹介する前に、まずもっとも基本的なスパッタリング法である平行形直流 2 極スパッタリング法について紹介する。平行形直流 2 極スパッタリング法の放電の様子を図 3.1 に示す。成膜の際は陰極側に膜の材料であるターゲットを、そして陽極側に成膜させる基板をセットする。そして十分な真空引きを行った後に数 Pa 程度になるよう Ar などの不活性ガスを導入して、陰極と陽極の間に 1~2kV 程度の直流高電圧を加えると 0.1~5mA/cm² と比較的大きな電流密度の以上グロー放電が生じる。これによって不活性ガスがプラズマ化し、正に帯電したイオンが陰極のターゲットに衝突してターゲット表面の原子などをはじき飛ばし、これが基板上に堆積する。実際のスパッタリングの際には、ターゲットから放出される粒子が基板に衝突する際はイオンのエネルギーにより二次電子や X 線、負イオンなどが副次的に発生する。

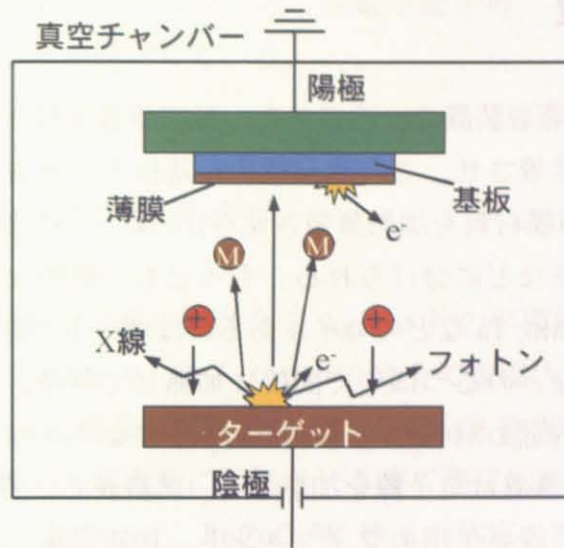


図 3.1 平行形直流 2 極スパッタリングの放電の様子

【RF マグネトロンスパッタリング法】

平行形直流 2 極スパッタリングは一般に金属ターゲットのスパッタに用いられる。しかし今回のように絶縁体のターゲットを扱う際にはそこに衝突してできたイオンによる帯電でターゲットの電位が上昇し、結局イオンがターゲットに衝突できなくなってしまう。そこで直流ではなく MHz 以上の周期でターゲットを交互に正負にし、イオンによる帯電を打ち消せば、ターゲットの電位上昇を防ぐ事ができる。このような理由で、絶縁体ターゲットのスパッタリングには高周波（通称 RF : radio-frequency）が用いられる。

さらに、形成速度を上げるために考案されたのがマグネトロンスパッタリングである。マグネトロンスパッタリング法ではターゲット表面に磁界を印加する事で、ターゲット付近の二次電子をローレンツ力で捉えてサイクロイドまたはトロコイド運動させる。これによってターゲット付近の二次電子はより Ar ガスとのイオン化衝突の頻度が増す事になる。その結果ターゲット付近に高密度プラズマを生成させることで、成膜速度の高速化を可能にしている。

3.1.2 EB 蒸着装置

EB 蒸着装置は真空蒸着装置の一種である。真空蒸着装置とは 10^{-4} Pa 以下の高真空中で薄膜材料を加熱蒸着させ、この蒸発粒子を基板上に蒸着させて薄膜を形成する方法である。ここで薄膜材料を加熱蒸発させる仕方によって抵抗加熱や EB 加熱法、アークプラズマ加熱法などに分けられる。もっとも一般的なのは抵抗加熱であり、これは薄膜材料を W, Mo, Ta などのコイルあるいはポートで直接加熱して蒸発させたり、石英、アルミナなどのるつぼ中で間接に加熱して蒸発させる。しかし、この方法では Ta, Mo などの高融点材料は蒸発できない。これらの成膜法として通常 EB 蒸着が用いられる。EB 蒸着は電子線を加熱して、試料表面に照射する事により加熱する。基本的構成は電子線発生用のフィラメント、加速電極、収束電極、そして蒸着用材料を保持する陽極からなる。

本研究では TiO_x 膜に上部電極として Pt を蒸着する際に EB 蒸着装置を使用している。その際はメタルマスクを使用して TiO_x 表面を覆う事で上部電極を形成している。

3.2 触針式段差計

本研究においては、成膜した酸化物薄膜の膜厚測定の際には触針式段差計を用いた。この装置は、表面の凹凸変化（粗さ）を探針でなぞり、その高さの変化量を電氣的に増幅して検出する装置である。容易に膜厚を測定する事ができる点がこの装置の長所であるが、試料の一部に膜厚相当の段差を形成しておく必要がある。

3.3 走査電子顕微鏡 (SEM)

CuO_x 膜の表面観察等には走査電子顕微鏡 (SEM : scanning electron microscope) を使用した。SEM は、電子線をプローブとして、試料の表面形態を高倍率で観察するための評価装置である。試料に電子線を照射すると、その表面には電子や光などの種々の信号が発生する。これらのうち高エネルギー領域に対応する放出電子を反射電子（後方散乱電子）と呼ぶ。一方、数十 eV 以下の低エネルギー領域に対応する放出電子は入射電子の非弾性散乱過程で試料表面から放出された電子に対応する。これらは通常二次電子と呼ばれる。二次電子の放出量は表面形状がその大きな支配要因となる。そこで細くしぼった電子線で試料表面を走査しながら、二次電子の放出量をモニターする。これを電子線走査と同期させて、ブラウン管上に明るさとして

表示すると、試料の表面形状を反映した二次電子像を得る事ができる。本研究ではキーエンス社の VE-7800 を使用している。

3.4 半導体パラメータアナライザ

本研究における電気特性評価の際は全て Agilent 社の半導体パラメータアナライザ 4155C を使用した。Pt/CuO_x/W 素子については全て室温大気圧下で測定を行い、Pt/TiO_x/Pt 素子については室温大気圧下および低温真空下で測定を行った。測定の際は W プロブを上部、下部電極に接触させる事で測定回路を作成した。図 3.3 に Pt/TiO_x/Pt 素子の測定回路を示す。Pt/CuO_x/W 素子の測定の際は W プロブを直接 CuO_x 表面に接触させる事で上部電極として使用している。

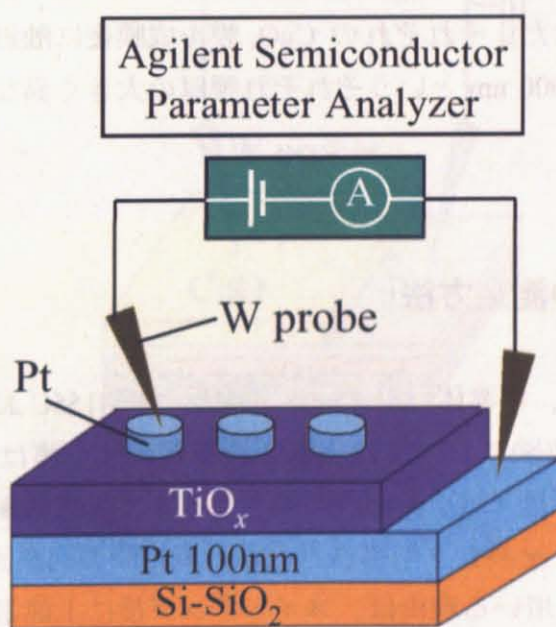


図 3.3 Pt/TiO_x/Pt 素子の測定回路

第4章 Pt/CuO_x/W 素子における実験方法・結果

4.1 Pt/CuO_x/W 素子の作製

4.1.1 CuO_x成膜

まず RF マグネトロンスパッタリング法で Si/SiO₂/Ti/Pt 基板を用意した。ここで Si/SiO₂ 基板と Pt 膜との間に Ti を挟んでいるのは、基板と Pt の接着を良くするためである。その後、この基板の上に RF スパッタリング法で CuO_x を成膜した。主なスパッタ条件は表 4.1 に示す。成膜前は全てチャンパー内の真空が 1.0×10^{-4} Pa 以下になっている事を確認している。またスパッタ後に、高速熱アニール処理を行った。CuO_x の膜厚は触針式段差計を用いて測定した。表 4.1 に示す通り、成膜時間を 24 分、120 分、480 分と変化させた。それぞれの CuO_x 膜を成膜後に触針式段差計で測定した結果、60 nm, 400 nm, 2000 nm というそれぞれ膜厚の大きく異なる試料を用意する事ができた。

4.1.2 CuO_x素子の測定方法

I-V 特性の測定には、半導体パラメータアナライザ 4155C およびタングステンプローブを使用した。本実験においては上部電極を蒸着する事はせず、測定の際はタングステンプローブを直接 CuO_x 表面に接触させる事で上部電極とした。よって構造としては W/CuO_x/Pt のキャパシタ型構造となる。測定時の回路図を図 4.1 に示す。上部電極に W プローブを用いる理由は、スイッチング後に上部電極を除く事が容易であるため電極の下の CuO_x 表面の観察が可能になる。つまり実際に電流が流れていた部分を観察する事ができる。今回の測定は全て大気圧、室温下で行った。

表 4.1 CuO_x 試料成膜時の成膜条件および CuO_x 膜の膜厚

	Ar ガス圧	O_2 ガス圧	RF 出力	基板温度	成膜時間	CuO 膜厚
サンプル A	2.0 Pa	10 %	150 W	200 °C	24 min.	60nm
サンプル B	2.0 Pa	10 %	150 W	200 °C	120 min.	400nm
サンプル C	2.0 Pa	10 %	150 W	200 °C	480 min.	2000nm

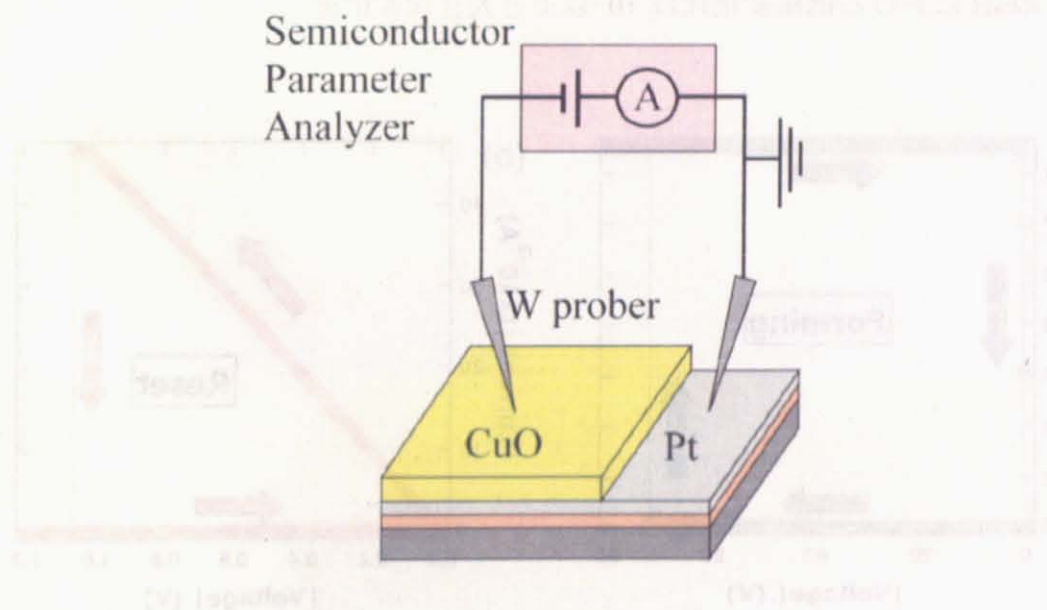


図 4.1 CuO_x 試料の I - V 測定図

4.2 Pt/CuO_x/W 素子実験結果

4.2.1 スイッチング特性

I - V 特性を評価した結果、膜厚の異なる三種類の試料全てにおいて抵抗スイッチングを確認する事ができた。図 4.2 にサンプル C (膜厚 2000 nm) における Forming, Reset, Set の I - V 曲線を示す。なお、この測定は実際は全て上部電極に負バイアスを印加する事でスイッチングを確認したものである。ここでは見やすくするためにあえて絶対値表示をしている。下の試料における初期、低抵抗時、高抵抗時の抵抗値はそれぞれ 13.6 M Ω , 20 Ω , 540 k Ω であった。すなわち、Forming による抵抗変化比は約 10^6 , Set および Reset における抵抗変化比は 10^4 以上と大きな変化を示した。

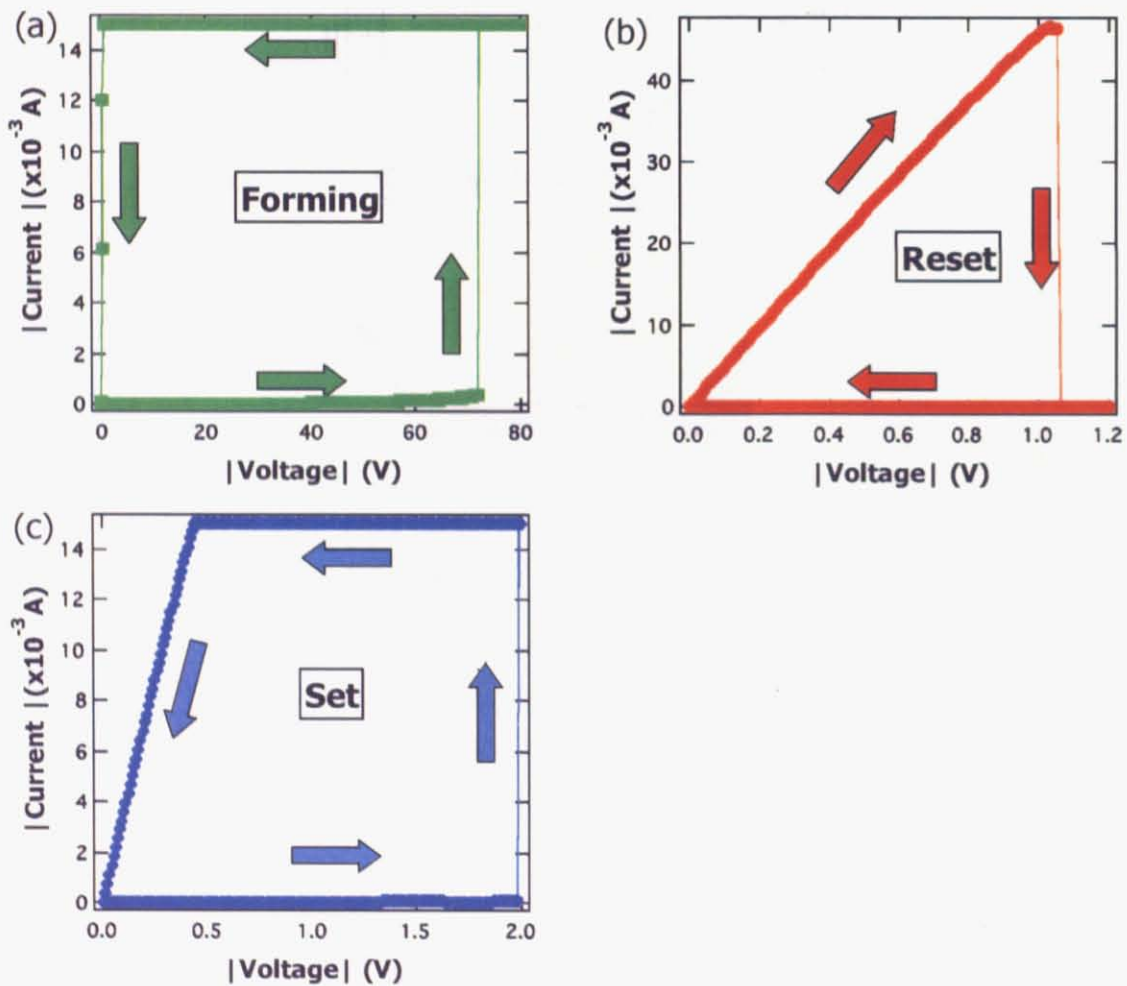


図 4.2 W/CuO_x/Pt 構造の I - V 特性 (a)Forming (b)Reset (c)Set

4.2.2 スイッチング後の CuO_x の表面観察

Forming を確認した後の試料について、上部電極である W プローブを除き走査電子顕微鏡 (SEM) で CuO_x の表面観察を行った。図に膜厚 60 nm および 400 nm の CuO_x における Forming 後の SEM 画像を図 4.3 に示す。図中の色の濃くなっている影のような部分は I-V 特性の測定中に W プローブが接触していた部分である。観察の結果、Forming 後の素子には図 4.3 に示すような空間不均一な構造を持つスポットが現れる事が分かった。低抵抗時の電流は主にこのスポット内を流れているのではないかと考えられる。しかしこのスポットはサイズが数マイクロメートルとかなり大きなものであり、このスポット全体がいわゆる”Filament”であるとは考えにくい。実際の局所的低抵抗領域はこのスポット内の一部分であると考えるのが妥当であり、Forming 時、あるいはその後の低抵抗状態時に局所的領域に大電流が流れた結果、その周囲にこのようなスポットが形成されたと考えられる。また、60 nm のスポットの直径の平均が約 1.0 μm なのに対し、400 nm の場合は直径が約 3.3 μm となっており、膜厚が大きくなるほどスポットのサイズも大きくなっている。

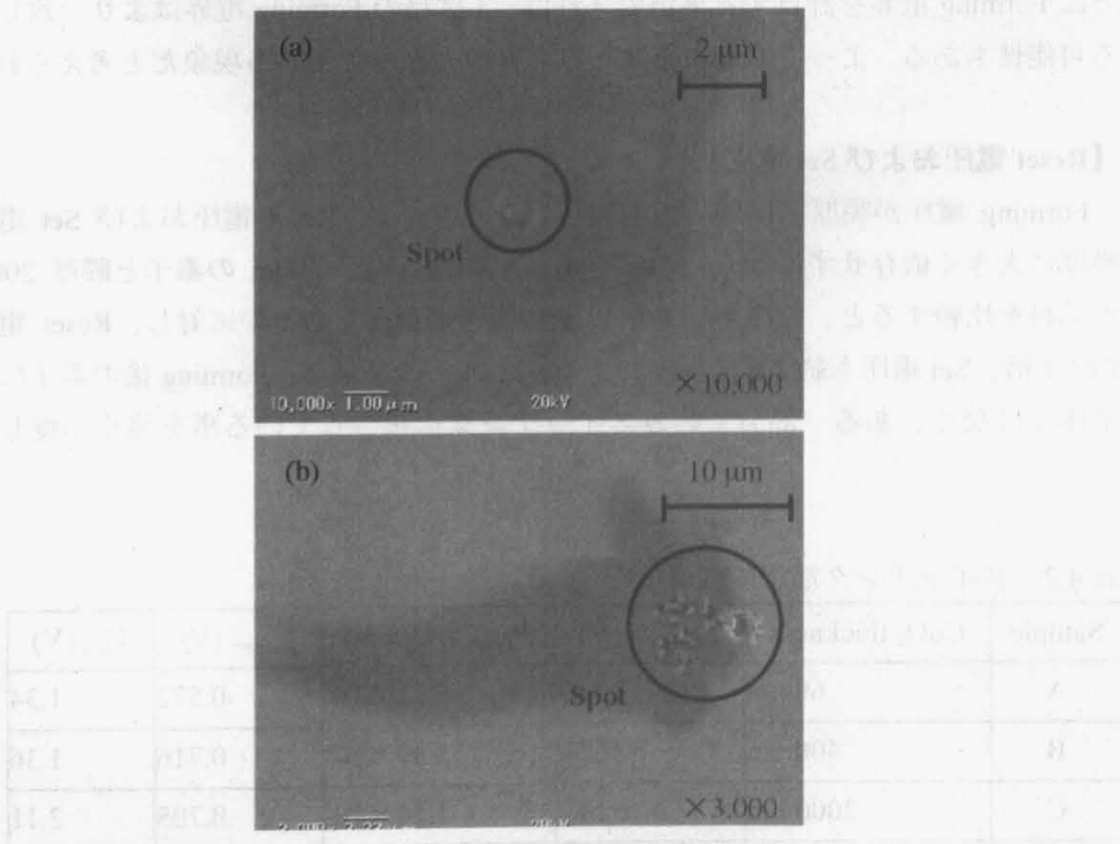


図 4.3 (a)膜厚 60nm CuO_x 表面の SEM 画像
(b)膜厚 400nm CuO_x 表面の SEM 画像

4.2.3 スイッチング電圧の膜厚依存性

各サンプルのスイッチング電圧を測定し、各スイッチング電圧と膜厚の相関を調べた。それぞれの膜厚におけるスイッチング電圧の平均値を表 4.2 および図 4.4 に示す。

【Forming 電圧】

Forming 電圧は膜厚にほぼ比例するように増加することが判明した。膜厚 60 nm の素子とその 33 倍の膜厚である 2000 nm の素子の Forming 電圧を比較してみると、膜厚 60 nm 素子の Forming 電圧が 3.127 V であるのに対して、膜厚 2000 nm 素子の Forming 電圧はその 30 倍程度に相当する 62.87 V となる。実際に各 Forming 電圧および膜厚から Forming 電界を求めてみるとほぼ一定の値を示す。膜厚 60 nm および 400 nm の素子が 2000 nm の素子に比べてやや大きな Forming 電界を示しているが、これは界面にかかっている電圧なども全て含めた電圧をもとに計算している事が一因として考えられる。仮にバルク領域にのみかかっている電圧およびバルク領域の厚さをもとに Forming 電界を計算する事ができれば、3 試料の Forming 電界はより一致してくる可能性もある。よって Forming はある電界の大きさで生じる現象だと考えられる。

【Reset 電圧および Set 電圧】

Forming 電圧が膜厚に比例して増加していく一方で、Reset 電圧および Set 電圧は膜厚に大きく依存せずほぼ一定の値を示している。膜厚 60nm の素子と膜厚 2000nm の試料を比較すると、膜厚が 33 倍以上も大きくなっているのに対し、Reset 電圧は約 1.2 倍、Set 電圧も約 1.5 倍程度である。これらの結果は、Forming 後の素子は試料全体ではなく、ある一部分でのみスイッチングを起こしている事を強く示唆している。

表 4.2 スイッチング電圧の膜厚依存性

Sample	CuO _x thickness	V_{Forming} (V)	E_{Forming} (V/cm)	V_{Reset} (V)	V_{Set} (V)
A	60 nm	3.127	5.21×10^5	0.572	1.34
B	400 nm	21.54	5.39×10^5	0.716	1.36
C	2000 nm	62.87	3.14×10^5	0.705	2.11

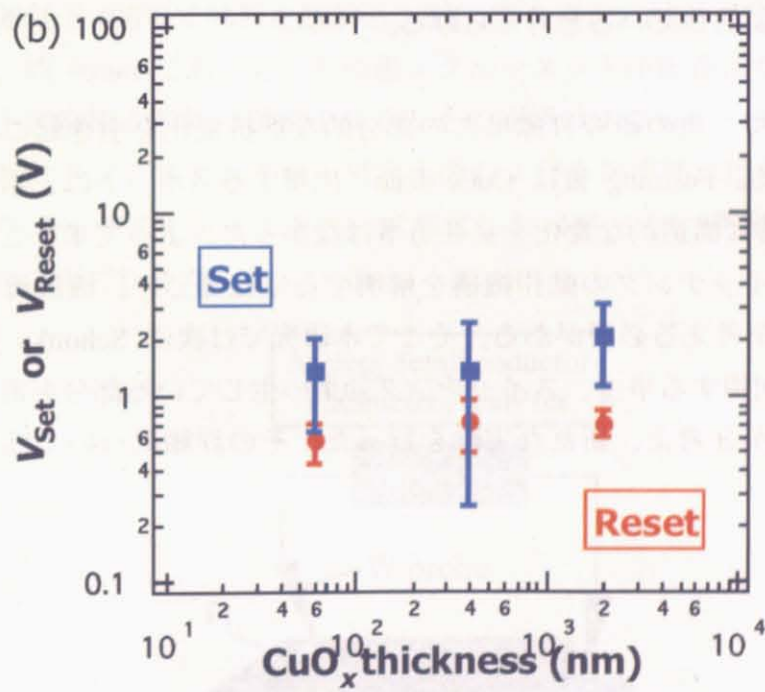
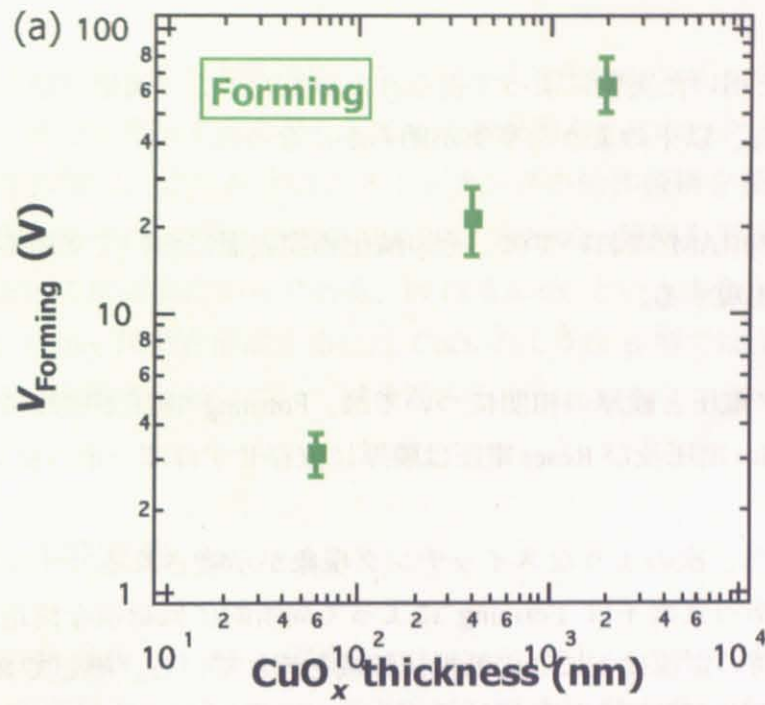


図 4.4 (a)Forming 電圧の膜厚依存性
 (b)Reset 電圧 (赤字) および Set 電圧 (青字) の膜厚依存性

4.3 Pt/CuO_x/W 素子実験結果考察

Pt/CuO_x/W 素子を用いた実験によって得られた知見をここで簡単に整理しておく。今回の実験によって、以下のような事実が明らかになった。

1. Forming 後の ReRAM においては、その酸化物膜表面において空間不均一な構造を示すスポットが出現する。

2. 各スイッチング電圧と膜厚の相関については、Forming 電圧が膜厚に比例し増大していく一方で、Set 電圧及び Reset 電圧は膜厚に依存せずほぼ一定の値を取る。

これらの結果から、次のようなスイッチング現象が示唆される。すなわち、はじめに高抵抗状態にあった素子は Forming によって局所的に低抵抗な構造が形成される。そして低抵抗時の電流は主にこの低抵抗領域を流れている。そして Reset 時はこの低抵抗領域の一部分が破壊され低抵抗状態となり、逆に Set 時はこの破壊された部分が再び低抵抗に変化していると考えられる。

この結果を受けて、次の研究目標はこの部分的な抵抗変化を引き起こしている物理現象の解明となる。Forming 後に CuO_x 表面に出現するスポットは、素子その後 Reset, Set しても特に構造的な変化を見せる事はなかった。よって単にこのスポットを観察する事でスイッチングの動作機構を解明する事は難しい。機構解明のためには新たな実験方法を考える必要がある。そこで本研究では次に Schottky 障壁による特異な $I-V$ 特性を利用する事で、スイッチング効果の生じている部分を電氣的に検出できるのではないかと考え、新たな実験を行った。その詳細については次章で述べる。

第5章 Pt/TiO_x/Pt による実験方法・結果

Pt/CuO_x/W 素子による実験結果から、二元系酸化物のスイッチング現象においては薄膜内の一部分が抵抗変化を起こしている事が明らかになった。そこで Pt/TiO_x/Pt という素子を作製し、より具体的にスイッチングの動作機構を探る実験を行った。遷移金属酸化物を TiO_x に変える理由は、Pt と Schottky 障壁を形成するような材料がこの実験においては必要だからである。Pt は 5.6 eV という大きな仕事関数を持つ金属であり、Schottky 障壁を形成するには CuO_x のような p 型ではなく、n 型の酸化物が必要である。実験の詳細については後述する。

5.1 試料作製方法

Si/SiO₂/Ti/Pt 基板の上に RF マグネトロンスパッタリング法で Ti を蒸着した。スパッタ時は Ar 雰囲気下 1.5 Pa において RF 150 W を成膜時間 45 分で行った。Ti 成膜後に酸素雰囲気下 400°C で試料を加熱し、TiO_x 膜を得た。触針式段差計で膜厚を測定したところ、約 90nm であった。その後メタルマスクと EB 蒸着法で Pt 上部電極を蒸着した。上部電極の形状は円形であり、その直径は 200 μm と 320 μm の 2 種類である。測定時はタングステンプローブを上部および下部電極に接触させ、Agilent 社の半導体パラメータアナライザを用いて測定した (図 5.1)。測定は室温大気圧下、または低温真空下で行った。

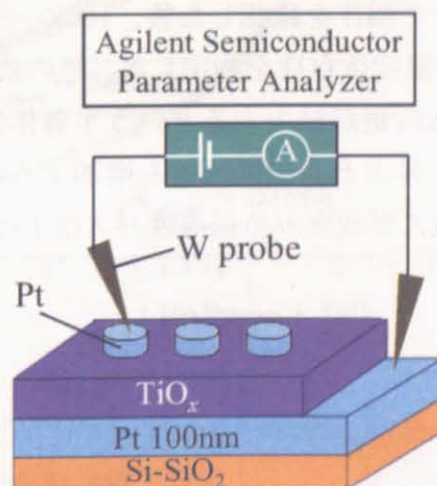


図 5.1 Pt/TiO_x/Pt 素子における電気特性測定図

5.2 実験結果

5.2.1 スイッチング特性

前述の試料で I - V 特性を行った結果、Forming, Reset, Set という一連のスイッチング特性を確認した。図 5.2 にその様子を示す。図 5.2(a)の場合ではまず上部電極に対して正極バイアスを加える事で Forming を確認し (Forming 電圧 6.35 V, Compliance 5.0 mA)、その後負極バイアスを加えて Reset させている (Reset 電圧 -0.74 V)。そして再び正バイアスを加えて Set を確認した (Set 電圧 1.84 V)。この Pt/TiO_x/Pt という試料はノンポーラな性質であるため、当然正バイアスのみ、あるいは負バイアスのみでも Forming, Reset, Set を確認する事はできる。

図 5.2(a)を絶対値、対数表示で表すと同図(b)の通りとなる。同図のサンプルの場合初期状態、低抵抗状態、Reset 後の高抵抗状態の抵抗値はそれぞれ約 20M Ω , 80 Ω ,-および 500k Ω となっており Forming 前後で 10^5 以上、また Set と Reset によって 10^3 - 10^4 もの大きな抵抗変化を示す事が分かった。また、初期状態と Reset 後では同じ高抵抗状態でも異なる状態にある事が分かる。

5.2.2 高抵抗状態、低抵抗状態における抵抗値の温度依存性

素子の安定したスイッチング動作を確認した後、160K—室温 (300K) における低抵抗時、高抵抗時の抵抗値の温度依存性を測定した。その結果を図 5.3 に示す。高抵抗状態では温度上昇に伴い抵抗値が減少するという半導体的な温度依存性を示すのに対し、低抵抗時では温度上昇とともに抵抗値も増加する金属的な温度依存性を示している。よって Forming 後に形成される伝導性パスは主に Ti などの金属から形成されていると考えられる。

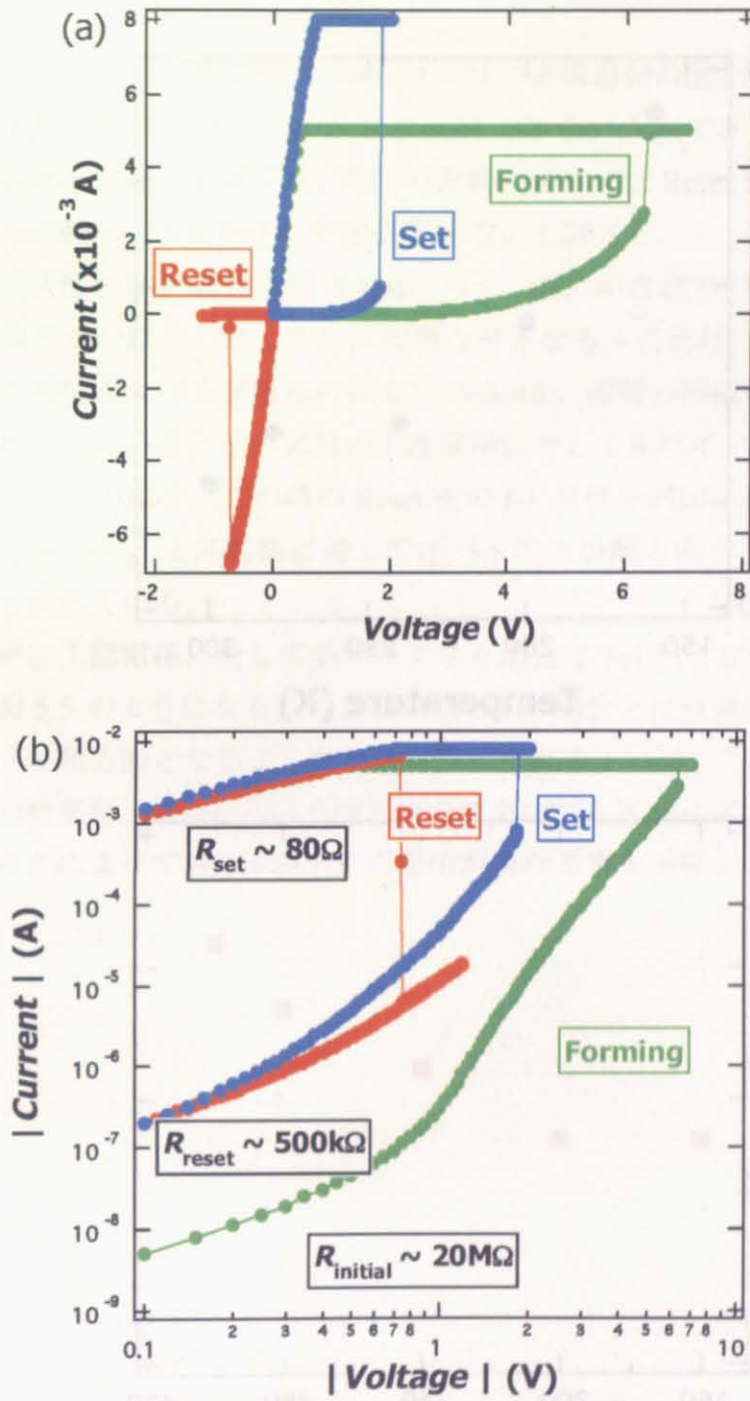


図 5.2 (a) Pt/TiO_x/Pt における Forming, Reset および Set
 (b) (a)を絶対値で表示

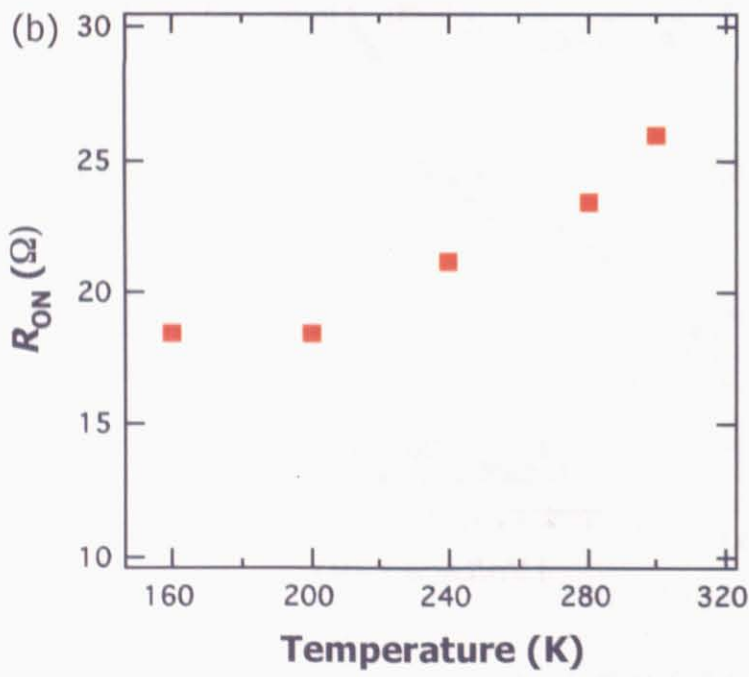
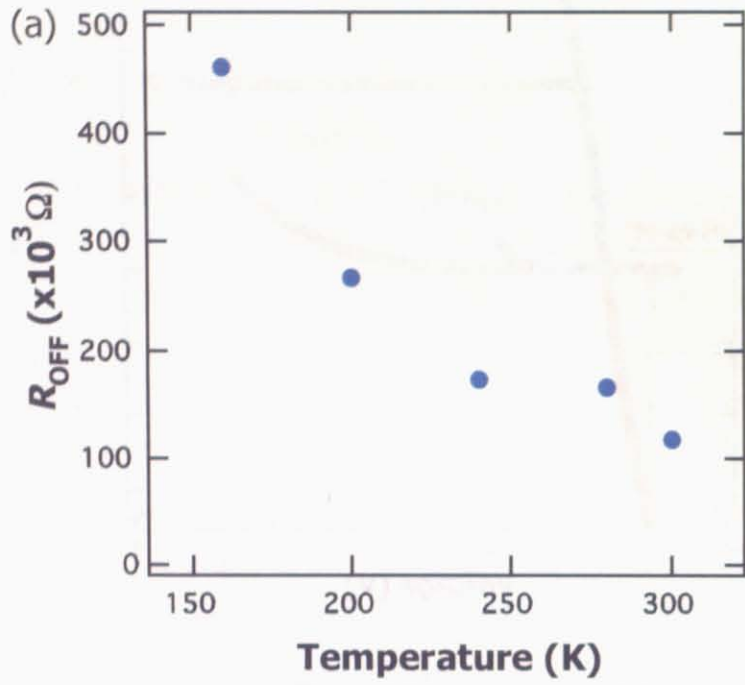


図 5.3 (a) 高抵抗時の抵抗値の温度依存性
 (b) 低抵抗時の抵抗値の温度依存性

5.2.3 スイッチング前後の I - V 特性の変化

これまでに述べてきたように TiO_x は一般に金属過剰の酸化物であり、 n 型半導体である。また、Pt は仕事関数の大きな金属 (約 5.6 eV) であり、この両者を接合させると Schottky 障壁を形成する。今回の実験においては Reset 後に I - V 特性を測定し、初期状態と比較して I - V 特性に変化が現れるかを調べた。

まず初期状態の I - V 特性を図 5.4(a) に示す。図に示されているように、初期の I - V 曲線は非線形かつ原点に対してほぼ対称な形となる。これは Forming 前の素子においては上部電極および下部電極の両方で Schottky 障壁が形成されているためであると考えられる。その後、この試料の上部電極に対して正バイアスを加えて Set および Reset させた (同図(b))。この時の Reset 後の I - V 特性を同図(c) に示す。ここでは、初期状態とは異なり、上部電極に対して正バイアスが順方向となるような整流特性がはっきりと現れている。

また、逆に上部電極に対して負バイアスを加えて Set および Reset させた場合の I - V 特性は図 5.5 のようになる。ここでは図 5.4 の場合とは反対に、上部電極に対して負バイアスが順方向となるような整流特性が現れる。

これらの結果は、Reset という同じ現象においても正バイアスを加えるか負バイアスを加えるかによって Reset が生じる場所が異なる事を示唆している。詳しい考察は後述する。

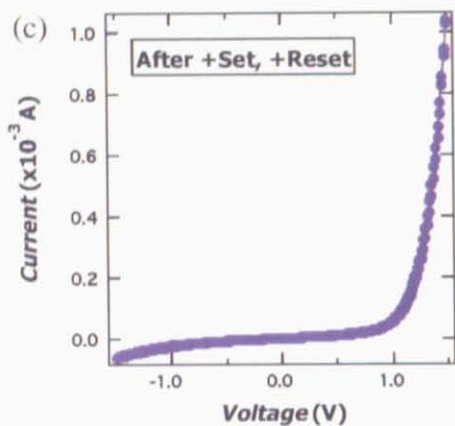
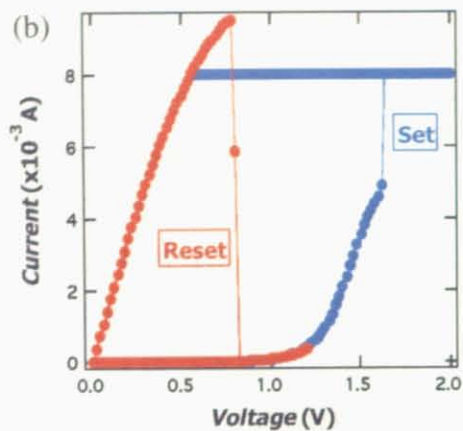
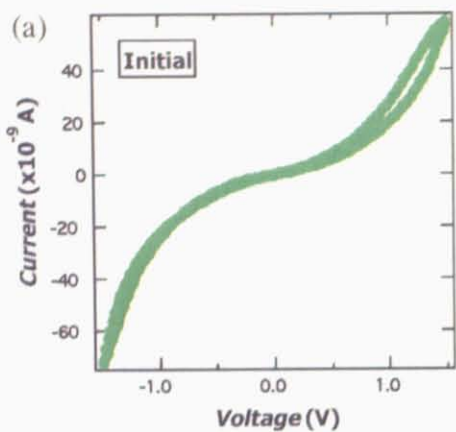


図5.4 (a)初期状態における I - V 特性
(b)負バイアスによるSet, Reset
(c)Reset後の I - V 特性

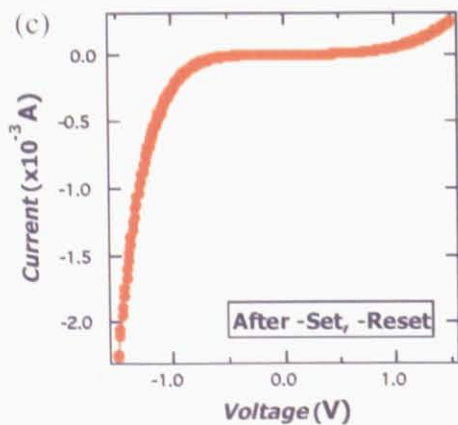
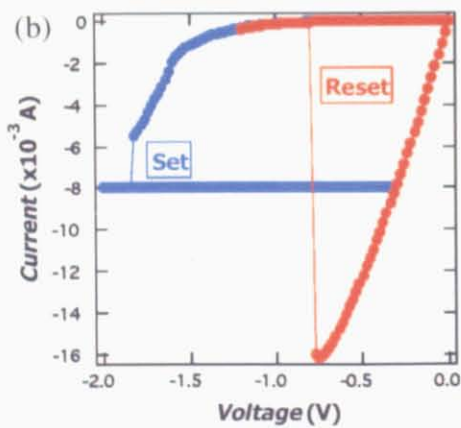
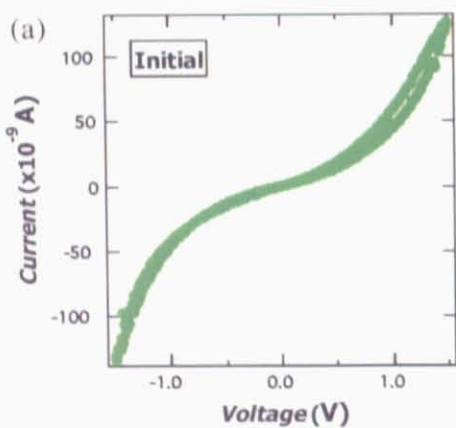


図5.5 (a)初期状態における I - V 特性
(b)負バイアスによるSet, Reset
(c)Reset後の I - V 特性

5.2.4 I - V 特性変化に対する考察

図 5.4, 図 5.5 で示したように、Reset 後の I - V 特性には初期状態とは異なり、整流特性が明瞭に現れている。ここから Reset の動作機構について考察する。まず重要な点は、前述の結果が Reset が界面で生じている事を示している、という点である。仮に伝導性パスの途中で Reset が生じた場合、この素子の構造は Pt/Ti/TiO₂/Ti/Pt のように対称な構造となり、整流特性は現れない (Filament が金属 Ti からなるのか伝導性 TiO_x からなるのかは断定できないが、上の議論を Pt/TiO_x/TiO₂/TiO_x/Pt で考えても支障はない。以下の議論も同様である)。しかし、Reset が界面で生じていると考えると素子の構造は Pt/Ti/TiO₂/Pt または Pt/TiO₂/Ti/Pt と非対称な形となり、整流特性の出現をうまく説明する事ができる。

さらに、図 5.4, 図 5.5 のいずれの場合も陽極側で Reset が生じている、すなわち陽極酸化によって陽極側に TiO₂ が形成されると考えれば、整流性の向きをうまく説明する事ができる。例として、図 5.4 のように上部電極に対して正バイアスを加えて Set および Reset させた場合を考察する。この時、陽極側で酸化が生じているとすると、図 5.6(a) のように上部から Pt/TiO₂/Ti/Pt という構造ができる。この時、同図(a)のように上部 Pt 電極と Reset によって現出した TiO₂ 界面との間に Schottky 障壁が形成される (同図(b))。よって上部電極に正バイアスを加えた場合は TiO₂ 側のバンドが相対的に上げられる事になり、TiO₂ 側から上部電極への電流が急増する。すなわち、上部電極に対する正バイアスは順方向バイアスとなる (同図(c))。上部電極に対する負バイアスは逆方向バイアスとり、図 5.4(c) のような I - V 曲線を得る事ができる。

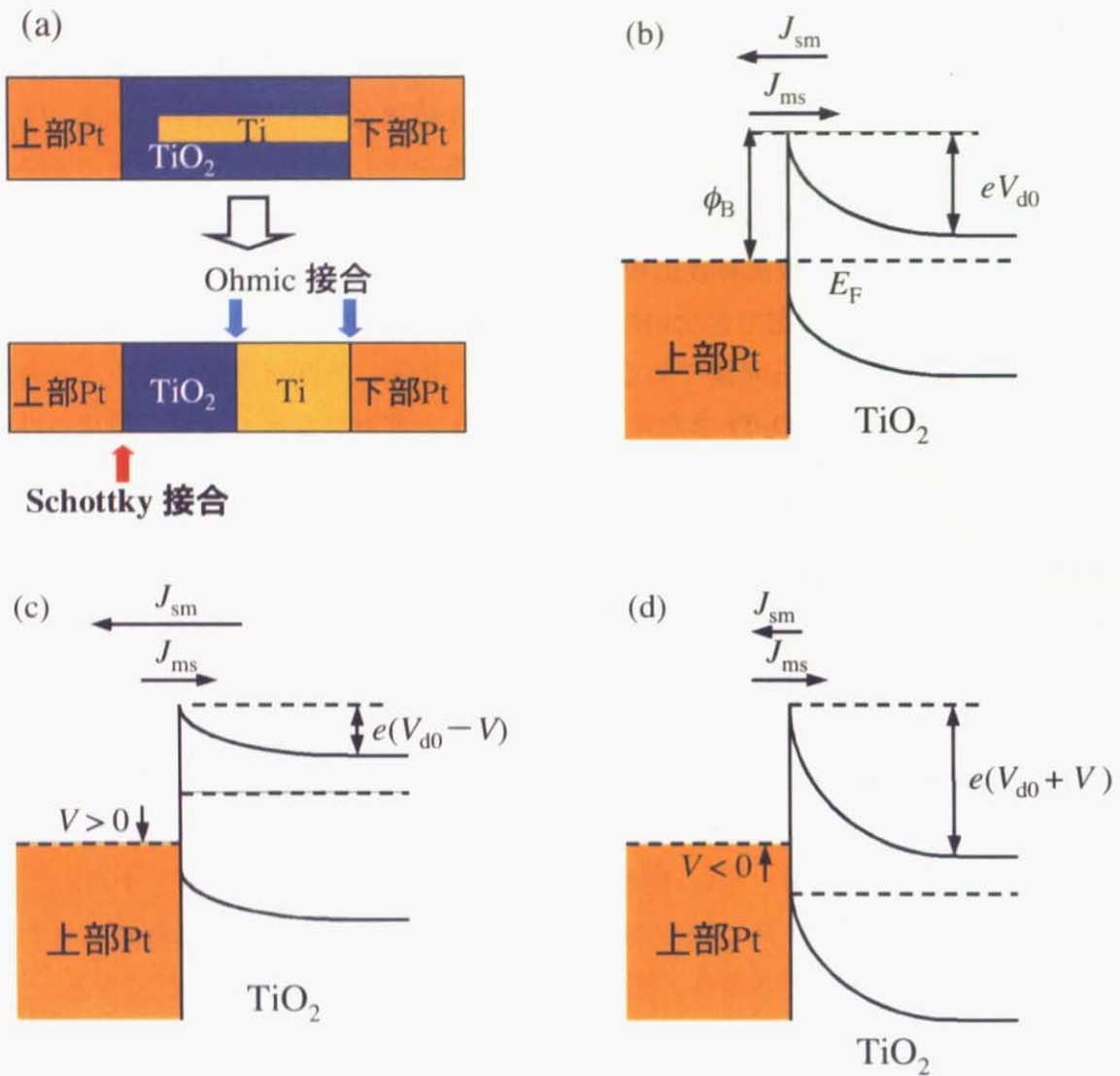


図 5.6 上部電極に対し正バイアスを加え Set, Reset させた場合の Schottky 障壁形成モデル

5.2.5 Schottky 障壁高の測定

最後に図 5.4 より、順方向における I - V 特性から Reset 後の素子に形成されている Schottky 障壁の障壁高を概算した。まず図 5.4(c)の電流値を対数プロットしたものを図 5.7 に示す。この内、特に 0.9 V-1.2 V の範囲において $\ln I \propto V$ を良く満たしていたため、この領域で第 1 章の(1.11)式の近似

$$I \sim I_0 \exp(eV / nk_B T)$$

を行ったところ、バイアス 0 における飽和電流 I_0 は約 2×10^{-7} A となった。この飽和電流が直径 200 μm の電極内を均一に流れたと仮定すると、電流密度 J_0 は 6.4×10^{-4} A/cm² となる。ここで第 1 章で導出した(1.12)式

$$\Phi_B = k_B T / e \cdot \ln(A^{**} T^2 / J_0)$$

に各値を代入した。ただし TiO₂ の実効 Richardson 定数 A^{**} を文献から見つける事ができなかつたため、今回は自由電子における Richardson 定数 120 A/(cm²K²)を代入した。

全ての値を代入したところ、障壁高 Φ_B は約 0.61 eV となった。実効 Richardson 定数を用いた場合はさらに小さな値となる事が予想される。Pt の仕事関数および TiO₂ の電子親和力がそれぞれ約 5.6 eV, 3.9 eV であるため、Schottky 極限は 1.7 eV となる。よって計算によって得られた障壁高は理想の障壁高よりはかなり小さな値である事が分かる。

値が小さくなる理由としては、表面準位や界面における不純物の存在等によって理想的な界面が得られていない事が大きな原因として考えられる。素子作製プロセスを工夫する事で界面の状態が改善されれば、より Schottky 極限に近い障壁高が得られると思われる。

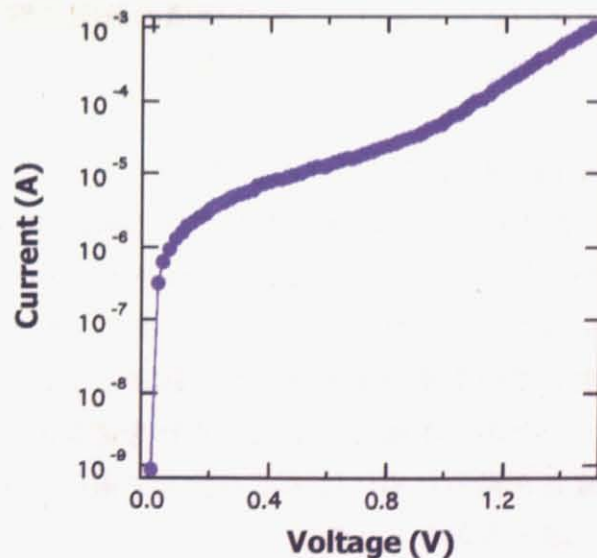


図 5.7 片対数プロット表示による図 5.4(c)の I - V 特性

第6章 総括

本研究ではユニバーサルメモリの候補である ReRAM の動作機構の解明を目的として実験を行った。今回は Pt/CuO_x/W 素子および Pt/TiO_x/Pt 素子を用いる事で、この分野における有意義な結果を得る事ができた。以下にこれらの素子を用いた実験結果をまとめた。

まず初めに、大きく膜厚の異なる Pt/CuO_x/W 素子において実験を行い、以下の知見を得た。

Forming 後に CuO_x 表面を SEM で観察したところ、Forming 前には見られなかった空間不均一構造を示すスポットを発見した。Forming によって局所的な低抵抗領域がこのスポット内に形成されており、低抵抗時の素子を流れる電流は主にこのスポット内を流れていると考えられる。

また、各スイッチング電圧の膜厚依存性を検証した。その結果、Forming 電圧は膜厚に比例して増大していく事が分かった。よって Forming は電界の大きさに依存する現象であると考えられる。その一方で、Set 電圧および Reset 電圧に関しては膜厚 60 nm の素子と膜厚 2000 nm の素子を比較しても大きな変化は見られず、ほぼ一定の値を示した。この結果から、Forming 後の素子は界面などの一部分で抵抗スイッチングを起こしていると考えられる。

上記の結果を受けて、動作機構の解明に繋がる検証を行い Pt/TiO_x/Pt 素子を作製してより測定し、以下の知見を得た。

Pt/TiO_x/Pt 素子における初期の I - V 曲線は非線形かつ原点对称な形になった。これは上部電極、下部電極の両方で Schottky 障壁が形成されているためと考えられる。しかしながら正バイアスまたは負バイアスのみで Set, Reset させた後の素子は整流特性を示すことが明らかになった。また、整流特性を解析する事で陽極の界面で Reset が生じている事が示唆された。陽極における酸化還元モデルはこれまでも提唱されていたが、本研究によってそれを電氣的に検証する事ができたと言える。さらなる確証を得るためにはスイッチング電圧の温度依存性やパルス時間依存性などを詳細に調べる必要がある。

これらの結果は抵抗スイッチング効果の機構解明という基礎的な分野への貢献のみならず、ReRAM 実用化へ向けても示唆的な結果である。

まず今回発見されたスポットのサイズは ReRAM 素子サイズの極限、あるいは集積度を決定するファクターの一つとなりうる。どの程度までこのスポットのサイズを小さくすることができるのか、材料面あるいはプロセス面からより検証する必要がある。

また、スイッチング電圧の膜厚依存性および Pt/TiO₂/Pt 素子の実験結果から、陽極付近の電子状態の制御こそがノンポーラ型 ReRAM のメモリ特性における重要なテクノロジーになると考えられる。たとえば、酸化物材料と陽極材料の組み合わせ等によってスイッチング速度などにも変化が見られる可能性がある。

本研究はノンポーラ型 ReRAM の動作機構の解明を目的として行われたものであるが、これまでに述べてきた通りの有益な知見を得る事ができた。今後さらなる精力的な研究によって抵抗スイッチング効果の機構が解明され、ReRAM が新規半導体メモリとして実用化されることを期待する。

参考文献

- ¹G. Dearnaley *et al.*, Rep. Prog. Phys. **33**, 1129 (1970)
- ²S. Q. Liu *et al.*, Appl. Phys. Lett. **76**, 2749 (2000)
- ³A. Baek *et al.*, Appl. Phys. Lett. **77**, 139 (2000)
- ⁵W. W. Zuang *et al.*, IEDM Tech. Dig. IEEE. 2002, p.193
- ⁴T. Fujii *et al.*, Appl. Phys. Lett. **86**, 012107 (2005)
- ⁶I. G. Baek *et al.*, IEDM Tech. Dig. IEEE. 2004, p.587
- ⁷S. Seo *et al.*, Appl. Phys. Lett. **85**, 5655 (2004)
- ⁹C. Rohde *et al.*, Appl. Phys. Lett. **86**, 262907 (2005)
- ⁸保田周一郎 東大院新領域 物質系専攻 修士論文 (2006)
- ¹⁰H. Sim *et al.*, IEDM Tech. Dig. IEEE. 2005, p.292
- ¹¹A. Sawa *et al.*, Jpn. J. Appl. Phys. **44**, L1241
- ¹²澤 彰仁 応用物理 **75**, 1109
- ¹³A. Baikalov *et al.*, Appl. Phys. Lett. **83**, 957 (2003)
- ¹⁴S. Tsui *et al.*, Appl. Phys. Lett. **85**, 317 (2004)
- ¹⁵M. J. Rozenberg *et al.*, Phys. Rev. Lett. **92**, 178302
- ¹⁶M. J. Rozenberg *et al.*, cond-mat/0406646
- ¹⁷K. Kinoshita *et al.*, Proc. IEEE NVSMW 2006, p.84 (2006)

- ¹⁸日経マイクロデバイス 2005年4号 p.42 (2005)
- ¹⁹K. Kinoshita *et al.*, Jpn. J. Appl. Phys. **45**, L991
- ²⁰株式会社富士通研究所 プレスリリース (2006)
- ²¹S. M. Sze, Physics of Semiconductor Devices A Wiley-Interscience publication (1981)
- ²²E. H. Rhoderick Metal-semiconductor contacts Clarendon press (1978)
- ²³表面科学の基礎と応用—日本表面科学会創立25周年記念 日本表面科学会編(2004)
- ²⁴B. X. Yang *et al.*, Phys. Rev. B **39**, 4343 (1989)
- ²⁵J. Ghijsen *et al.*, Phys. Rev. B **38**, 11322 (1988)
- ²⁶X. G. Zheng *et al.*, Phys. Rev. Lett. **85**, 2339 (2000)
- ²⁷産業技術総合研究所 結晶構造ギャラリー
<http://staff.aist.go.jp/nomura-k/japanese/itsecgallery.htm>
- ²⁸P. H. Odier *et al.*, J. Solid State Chem., **12**, 324 (1975)
- ²⁹齋藤安俊他編 金属酸化物のノンストイキオメトリーと電気伝導 内田老鶴圃(2004)
- ³⁰A. Fujishima *et al.*, Nature **238**, 37 (1972)