

修了年月： 2006 年 3 月

専攻名： 基盤情報学専攻

氏名： 張 力賀

学生証番号： 46344

論文題目： Data Prefetch Model for Modulo  
Scheduled Loops on Itanium2 (Itanium2 上のモジュロスケ  
ジューリングのためのデータプリフェッチモデル)

キーワード：

指導教員氏名： 佐藤 周行

指導教員役職： 助教授

Data Prefetch Model for Modulo  
Scheduled Loops on Itanium2  
Itanium2 上のモジュロスケジューリングの  
ためのデータプリフェッチモデル

by

ZHANG Lihe

張 力賀

A Master Thesis

修士論文

Submitted to  
Department of Frontier Informatics  
Graduate School of Frontier Science  
the University of Tokyo  
on January 30, 2006  
in Partial Fulfillment of the Requirements  
for the Degree of Master of Science

Thesis Supervisor: SATO Hiroyuki 佐藤周行

Associate Professor of Information Technology Center

## ABSTRACT

Data prefetch is a popular technique for improving performance of memory system to cover speed gap between processor and memory by fetching data from memory to cache before its real load. In a modern compiler, data prefetch is used together with traditional optimization techniques to prove that it is effective.

For Itanium2 compilers, modulo scheduling is essential to exploit EPIC functions of Itanium2. Data prefetch has been discussed independently of modulo scheduling. There have been few research on the interaction of data prefetch and modulo scheduling.

These years, there are many research solely concentrate on data prefetch or modulo scheduling, there are few research about the synthesis and interaction of the two techniques. In this thesis, we construct a data prefetch model for modulo scheduled loops on Itanium2 to parallel ALU units execution and memory units access. In the model, there are three main issues. Firstly, we optimize the prefetch scheduling considering the character of modulo scheduling and program. Then using rotating register in Itanium2 we construct a method which can join several prefetches into one to decrease the cost of the prefetch instructions. Finally, we propose a character based modulo scheduling (CBMS) method to decrease the stall time.

The model is implemented on ORC and ICC based on the Itanium2 platform. From the experiments we can say that the our model is effective on Itanium2.

## 論文要旨

データプリフェッチはロードの前にデータをメモリからキャッシュまでフェッチするプロセッサとメモリの速度ギャップをカバーするメモリシステム性能を向上させるための代表的な技術である。現代のコンパイラでは、データプリフェッチは、ほかの最適化技術モジュロスケジューリングなどのテクニックと共に使用され、性能向上に有効であることがわかっている。

Itanium2 においては、EPIC 機能の有効利用のためにモジュロスケジューリングが非常に重要である。データプリフェッチは従来これとは独立に議論され、両者の相互作用に関する研究はほとんどなされていなかった。

これらの数年、研究が唯一データプリフェッチかモジュロスケジューリングに

集結する多くがあって、2つのテクニックの統合と相互作用に関する研究はほとんどない。この論文では、ALUユニットとメモリユニットアクセス同時に実行するように、われわれは Itanium2 上のモジュロスケジューリングのためのデータプリフェッチモデルを構成する。モデル構築にあたっての論文を3つに整理する。まず、われわれはモジュロスケジューリングとプログラムの特徴を配慮してデータプリフェッチスケジューリングを最適化する。そして、プリフェッチ命令のコストを下げるため、Itanium2 の ローティティングレジスタを用いて 数個プリフェッチを接合することができる方法を構築する。最後に、われわれは停止時間を減少するために、キャラクタベースのモジュロスケジューリング(CBMS)メソッドを提案する。

モデルは Itanium2 プラットホームに基づく ORC と ICC で実装する。実験から、われわれのモデルが有効であることがわかった。