

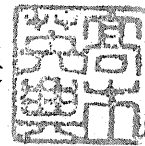
東京大学 大学院新領域創成科学研究科
基盤科学研究系物質系専攻

平成 19 年度

修士論文

金属 / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti 積層構造素子の
抵抗スイッチング現象
Resistance switching in
metal / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti device structure

2008 年 1 月 29 日提出
指導教員：高木 英典 教授



66136 : 根本 匠

第1章 序章.....	2
1-1 情報化社会を支える半導体デバイス.....	3
1-2 メモリの現状と問題点.....	3
1-2-1 いろいろなメモリ.....	3
1-2-2 ユニバーサルメモリの需要.....	6
1-2-3 抵抗変化メモリ：ReRAM.....	7
1-3 金属—半導体接触.....	8
1-3-1 金属—n型半導体.....	8
1-3-2 電流電圧特性.....	9
1-3-3 容量電圧特性.....	11
1-3-4 実際の金属—半導体界面.....	12
1-4 複素インピーダンス.....	13
1-5 バイポーラ型抵抗メモリ素子における抵抗スイッチング現象発現のメカニズム.....	14
第2章 研究の目的.....	15
第3章 本研究で使用した装置.....	16
3-1 電子ビーム蒸着装置.....	16
3-2 電流電圧測定装置.....	17
3-3 インピーダンス測定装置.....	17
3-4 PPMS：Physical Property Measurement System.....	17
第4章 金属 / $Ti_{1-x}Nb_xO_2$ / Ti 積層素子の抵抗スイッチング現象.....	18
4-1 金属 / $Ti_{1-x}Nb_xO_2$ / Ti / Au 素子の作製.....	18
4-2 電流電圧特性.....	19
4-2-1 Ti / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧特性.....	19
4-2-2 Au (Pt) / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧曲線のヒステリシス.....	21
4-2-3 Au (Pt) / $Ti_{1-x}Nb_xO_2$ / Ti 素子の不揮発性.....	22
4-3 Pt / $Ti_{1-x}Nb_xO_2$ / Ti 素子の複素インピーダンス測定.....	25
第5章 LRS の抵抗値の経時劣化.....	31
5-1 パルス電圧依存性.....	31
5-2 温度依存性.....	34
第6章 総括と今後の展望.....	40
6-1 研究の総括.....	40
6-2 不揮発性メモリの今後の展望.....	41
参考文献.....	42
謝辞.....	43

第1章 序章

ユビキタス社会、マルチメディア時代などと呼ばれる 21 世紀を迎えた今、半導体メモリに対する需要は高まり、今後とも増えつづけるものと予想される^[1]。現在使われているメモリは DRAM (Dynamic Random Access Memory) とフラッシュメモリが主流となっているが、大容量化の推進役である DRAM は電源を切ると記憶が失われる揮発性(volatile)であることに加え、動作中もデータが消えないように常にリフレッシュが必要なため、消費電力が大きいという欠点を持っている。一方フラッシュメモリは不揮発性(nonvolatile)であるが、書き込みに時間がかかり、また書き込み回数に制限があるため高速で何回も書き換えが必要な用途には適さない^[2]。

不揮発でかつ無制限に高速書き換えが出来るメモリはまだ存在していないが、それを可能にする と期待されているメモリが ReRAM (Resistance Random Access Memory) である。ReRAM は、電圧印加により抵抗値が劇的かつ可逆に変化する抵抗スイッチング現象(Resistance Switching phenomenon)を利用しており、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ ^[3]や Cr ドープ SrZrO_3 ^[4]などのペロブスカイト構造の遷移金属酸化物が盛んに研究されてきたが、二元系酸化物である Nb ドープ TiO_2 においても抵抗スイッチング現象が発現することが確認された^[5]。

抵抗スイッチング現象のメカニズムについては現在までに様々なモデルが提案されているが未だ決定的なものはなく、不明な点が多い。しかしながら、ReRAM 実用化を急ぐ開発現場からは素子の高性能化のための設計指針が切望されており、抵抗スイッチング現象のメカニズム解明は急務となっている。

本研究ではこのような背景から、抵抗スイッチング現象が発現する Nb-doped TiO_2 を用いたデバイスを作製し、そのメカニズム解明に向けた指針を得ることを目指した。

1-1 情報化社会を支える半導体デバイス

インターネットは情報のグローバル化を象徴する手段であり、世界中のパソコン端末から送信された情報は、多数のVLSIチップからなる交換器(スイッチ)を通してそれぞれの端末に送られる。パソコン内では、情報はCMOSインバータで構成されるCPU(Central Processing Unit, 演算ユニット)で処理され、DRAM(Dynamic Random Access Memory)やSRAM(Static Random Access Memory)に記憶される。

このインターネットの例のように、現代の情報化社会は半導体デバイスにより支えられているといっても過言ではない。

デバイスの重要な役割のひとつに、情報を蓄えることすなわち記憶がある。半導体デバイスの他にもCD、磁気テープ、磁気ディスクなどの技術を用いた各種のデバイスがあり、これらは大容量メモリとして大きなシェアを持っている。

しかしMOSFETを用いたDRAMやSRAMなどの半導体メモリは上記メモリに比べ読み出し速度が著しく速く、高速応答が必要な分野では半導体メモリは今後ますます重要となる。また近年では電源を切っても記憶が消えず(不揮発性)、電氣的に書き換え可能なタイプの半導体メモリ(EEPROM: Electrically Erasable and Programmable Read Only Memory)も利用が拡大し、デジタルカメラ、パソコンなどのメモリカードとして用いられている⁶⁾。

1-2 メモリの現状と問題点

1-2-1 いろいろなメモリ

現在実用化されているメモリは用途によって様々なものがある。ここではDRAM、SRAM、フラッシュメモリと代表的なもの3つをとりあげ、それぞれの特性について議論する。

・DRAMとSRAM

両者の違いはデータの記憶方法である。図1-1のようにSRAMはトランジスタによる順序回路(フリップフロップ回路)で構成され、この回路に"1"、"0"という論理値レベルでデータが記憶される。一方DRAMはトランジスタ1個とキャパシタ1個で構成され、このキャパシタに電荷を蓄えるか否かで"1"、"0"を記憶する。

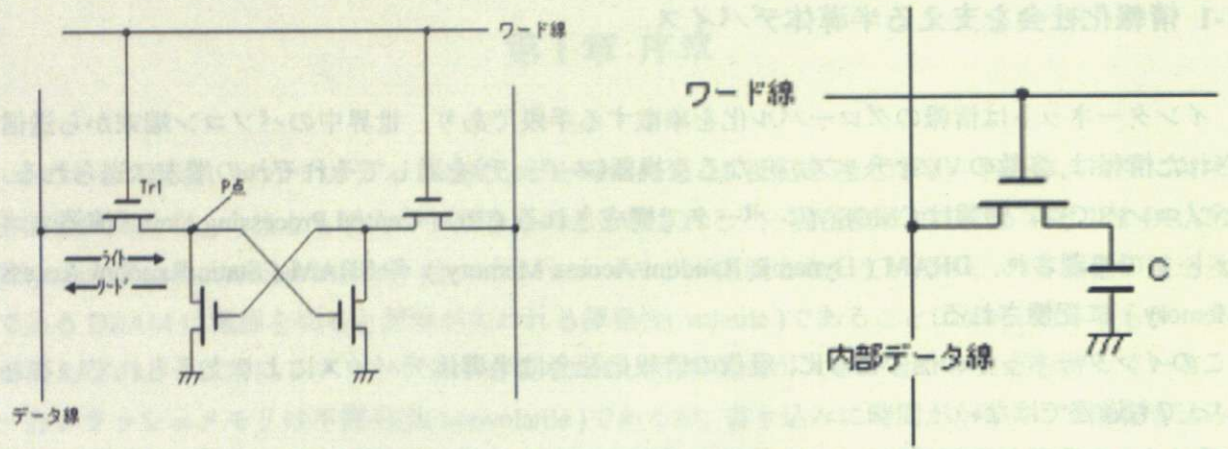


図 1-1. SRAM (左図) と DRAM (右図) のセル構造¹⁷⁾

図 1-1 左図のように SRAM は 1 つのセルを構成するのに 4 つ(またはそれ以上)のトランジスタが必要となり、配線数も多いため、「消費電力が大きい」「実装密度を上げにくい(大容量化が難しい)」といった問題はあるが、トランジスタによるスイッチ回路で全てを構成するため高速動作が可能である。したがって、パソコンのメモリモジュールのように大容量を要求されるものには不向きであるが、プログラムを ROM に持ち、RAM を作業メモリとして使用するような一般の電子機器や、高速性が要求されるキャッシュメモリとして利用される。

また SRAM は、「リード(読み出し)」「ライト(書き込み)」のやりとりが非常にシンプルである。書き込むデータ (1or0) をデータ線に出力し、ワード線に電圧 (Vcc) を与えると、トランジスタ (Tr1) のソースとドレインが導通し、データが図 1-1 の P 点に出力される。P 点に出力されたデータはフリップフロップ回路により保持される。リード時はデータ線を開放して(電位が無い状態)再びワード線に電圧を与えると、Tr1 のソースとドレインが導通し、保持されている P 点のデータがデータ線に出力される。

DRAM は図 1-2 のように、前述のセルをマトリクス配置し、カラム選択スイッチ、センスアンプ、プリチャージスイッチなどで構成される。

DRAM は SRAM と違い、キャパシタに蓄えられた微小な電荷でデータを記憶(保持)するため、リード動作も複雑で、また記憶を維持するために「リフレッシュ」という作業を行わなければならない。後述するが DRAM のアドレッシングは SRAM のようにダイレクトにフルアドレスを指定するのではなく、ロウ(行)とカラム(列)に分けてアドレッシングを行う。

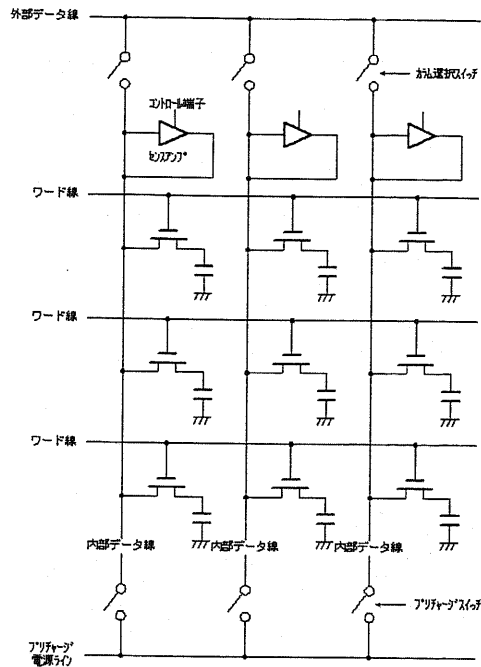


図 1-2. DRAM の構成

・フラッシュメモリ

フラッシュメモリの基本構造は、電界効果トランジスタ (Field Effect Transistor) と呼ばれる、スイッチのオン / オフを「ゲート電極」にかかる電圧によって制御するトランジスタのうちゲート電極を「酸化絶縁膜」の上に載せた構造を持つ MOS (Metal Oxide Semiconductor) FET と呼ばれるタイプをベースとしている。

MOS FET は、ゲート電極が蓄えている電荷が特定のしきい値を超えているかいないかという状態によって 1 ビットを表現する。対してフラッシュメモリは、絶縁膜の上に電荷を保持できる「フローティングゲート」領域を備え、さらにその上に酸化絶縁膜とゲート電極を載せた 2 層構造のゲート電極を備えている。制御ゲートに高い電圧をかけると、酸化絶縁膜を通過して電子がフローティングゲートに蓄えられる。この電子による電荷がある/ない状態によって 1 ビットを表現するが、蓄えられた電荷は絶縁膜によって漏れ出さないので、電源を切っても保持されたままになる (不揮発性) のが最大の特徴である。

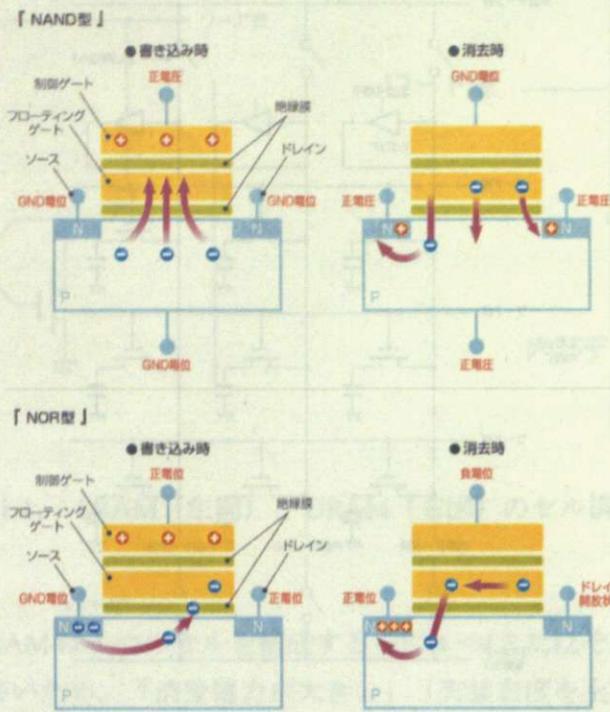


図 1-3. フラッシュメモリの構造と記録の仕組み

NAND 型は制御ゲートに正の電圧をかけることで、負の電子をフローティングゲート内に誘導して電荷を蓄える。電荷は絶縁膜によって保持されるので、電源を切ってもデータは消えない。データを消去する場合はソースとドレインに正の電圧をかける。NOR 型も、記録の方法は同じ原理。消去は制御ゲートに負の電圧をかけることで、フローティングゲート内の電荷をソースに引き寄せるように排出させる。

フラッシュメモリーは、構造によって NAND (Not AND) 型と NOR (Not OR) 型に大別されるが、現在メモリーカードに用いられているのは、ほぼすべてが NAND 型である。NAND 型は構造上、高集積化しやすく、書き込みが高速という特徴を持っている。反面、ランダムアクセス読み出しが低速、1 ビット単位の書き込みができないといった弱点もあるが、記憶メディア用途としては特に重要な問題ではなく、メリットのほうが上回っているために用いられている。

また、フラッシュメモリーは書き込みできる回数に制限がある。電子が貫通する際に酸化絶縁膜を劣化させることがその原因である。対策として、なるべくすべてのメモリーセルに対して均等に書き込むため、「ウェアレベリング (メモリーへの書き込み回数を平滑化すること)」などの工夫が盛り込まれている。そのため現在市販されているフラッシュメモリーは 50~100 万回程度までの書き込みが可能とされている。

1-2-2 ユニバーサルメモリの需要

良いメモリとは記憶容量が大きい、書き込みや読み出しが速い、小さく集積化に向いている、耐久性があるなどの長所を持っている。1-2-1 で示したような、実用化されているメモリには一長一短あり、これらすべての長所を持つものは皆無である。しかし近い将来にはムーアの法則 (最小

部品コストに関連する集積回路におけるトランジスタの集積密度は、18 から 24 ヶ月ごとに倍になる、という経験則)の破綻が懸念され、またユビキタス・コンピューティングがテーマの現代社会におけるパフォーマンスにおいては、これらすべての長所を併せ持つユニバーサルメモリの出現が渴望されている。

ユニバーサルメモリに要求されるものとしては次のようなものがあげられる。

- ・ SRAM 並みの高速アクセス(書き込み/読み出し)
- ・ DRAM 並みの高集積化(大容量化)
- ・ フラッシュメモリと同様の不揮発性
- ・ 小型の電池駆動に耐えうる低消費電力

このようなユニバーサルメモリの候補として、Fe-RAM, PRAM, M-RAM などがあり、これらと並んで近年抵抗変化メモリ (ReRAM) が注目されている。

1-2-3 抵抗変化メモリ : ReRAM

ReRAM は図 1-4 に示すように電圧印加により抵抗値が劇的かつ可逆に変化する抵抗スイッチング現象を利用したメモリである。バイポーラ型とノンポーラ型の二つに分類される。バイポーラ型は主にペロブスカイト酸化物である PrCaMnO_3 や Cr-doped SrTiO_3 などの系において報告されている。このタイプの素子は抵抗スイッチングが印加電圧の絶対値および極性により起こる。

一方ノンポーラ型は 2004 年サムスン電子をはじめ主に二元系遷移金属酸化物を用いた系において数多く報告されている。このタイプの素子はスイッチングが印加電圧の正負の極性に関係なく絶対値のみで起こる。ただしこの分類は絶対的なものではなく、二元系でなくてもノンポーラ型の系も存在し^[9]、また同じ素子でも作製プロセスや界面の状態などによって特性は変わりうるものである^[9]。

以下ではそれぞれの型について、代表的な物質と提案されているメカニズムについて議論する。

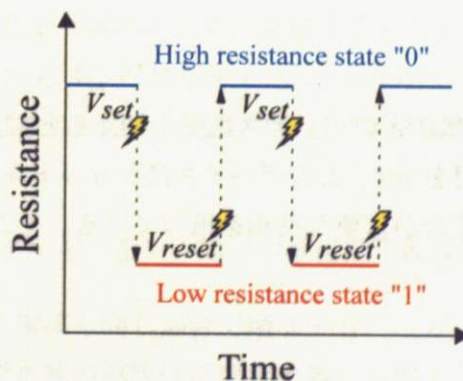


図 1-4. 抵抗メモリ素子の基本動作。

不揮発的に保持される抵抗状態を、電圧印加によって切り替える。

・バイポーラ型

2000年にペロブスカイト型遷移金属酸化物の抵抗スイッチング効果に関する二つの論文が発表され、これがきっかけとなって活発な研究が展開されている。まずヒューストン大学の Ignatiev らは $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO) 接合素子において^[3]、続いて IBM チューリッヒ研究所の Bednorz らは Cr をドーブした SrZrO_3 接合素子において^[4]、抵抗スイッチング効果を報告した。

2002年の IEDM (International Electron Devices Meeting) でシャープ US とヒューストン大学により、Si 基板上に 64bit のセルを集積化した最初の ReRAM が報告され^[10]、これを機に ReRAM が新しい不揮発性メモリとして注目されるようになった。

現在まで数多くの報告があるがその物理的メカニズムについては統一的なものはなく、素子ごとに多種多様である。本研究で作製した素子はこのバイポーラ型に分類される。

・ノンポーラ型

ノンポーラ型の抵抗メモリ素子は二元系酸化物（主に遷移金属酸化物）において多くみられる。酸化物による抵抗スイッチング現象は、1960年代に絶縁体 Al_2O_3 を金属電極で挟んだ素子で最初に報告された^[11]。その後、NiO、SiO などでも抵抗スイッチングが報告され^{[12][13]}、1980年代前半にかけて研究が活発化した。

1980年代の後半からはほとんど研究報告が出ていないが、2004年にサムスン電子から Si の CMOS プロセスに適応性のある NiO を用いた Re-RAM の試作結果が報告され^[14]、これを機に TiO_2 などの二元系酸化物の抵抗スイッチング効果が再び活発に研究されるようになった。

ノンポーラ型抵抗メモリ素子では、絶縁破壊に類似のフォーミング過程を経た後に抵抗スイッチング効果が発現する。また低抵抗状態における素子抵抗の測定結果などから、フォーミング過程においてチャネル領域に導電性フィラメントが形成され、そのフィラメントが電圧印加により酸化還元反応を起こして開閉することにより抵抗スイッチング効果が発現すると考えられている。

1-3 金属—半導体接触

半導体に金属を接触させて金属に正のバイアス電圧を加えると電流が流れるが、逆バイアスでは電流が流れないという整流作用を示す。このデバイスはショットキーダイオードと呼ばれていて、本研究ではこのショットキー接合が重要な役割を担っている。そこでこの節では金属—半導体接触の諸特性について議論する。

1-3-1 金属—n 型半導体

金属の仕事関数 Φ_M が n 型半導体の電子親和力 X より大きいとき、図 1-6 のようにショットキー障壁が形成される^{[6][15]}。

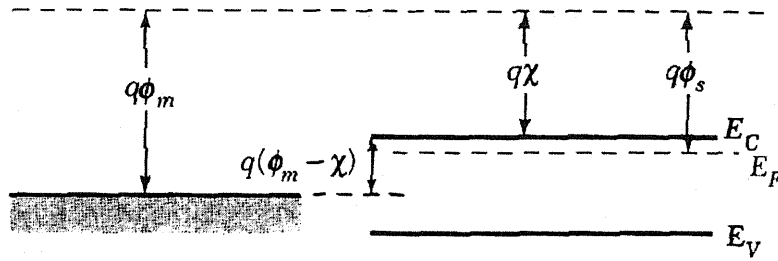


図 1-5 接触前の金属—半導体のバンド図

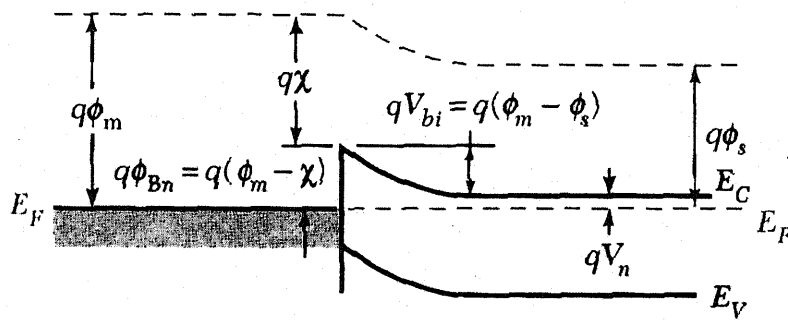


図 1-6 接触後の金属—半導体のバンド図

1-3-2 電流電圧特性

熱平衡状態では図 1-7 (a)のように金属から半導体への電子の流れと半導体から金属への電子の流れが釣り合っていて正味の電流はゼロである。

n 型半導体に対して金属に正電圧（順バイアス）を加えると空乏層にかかる電位差は図 1-7(b)のように熱平衡状態のときの Φ_{bi} から $\Phi_{bi}-V_a$ に減少する。エネルギーバンド図では半導体のフェルミ準位が金属のフェルミ準位に対して上方へ qV_a シフトし、半導体電子から見たバリアが $q(\Phi_{bi}-V_a)$ に減少する。

したがって $q(\Phi_{bi}-V_a)$ 以上のエネルギーを持つ電子の数は熱平衡状態の時に比べて $\exp\left(\frac{qV_a}{kT}\right)$ 倍増加し、半導体から金属へ流れる電流も同じ割合で増加する。一方、金属から半導体へ流れる電子は熱平衡状態とかわらないので正味の電流はほぼ半導体から電子へ流れる電流によって支配され、順方向電流は次のような式で表される。

$$J = J_s \left(\exp\left(\frac{qV_a}{kT}\right) - 1 \right) \cdots \cdots \textcircled{1}$$

ここで J_s は、真空中において加熱された金属からの熱電子放出(thermionic emission)による電子電流である。

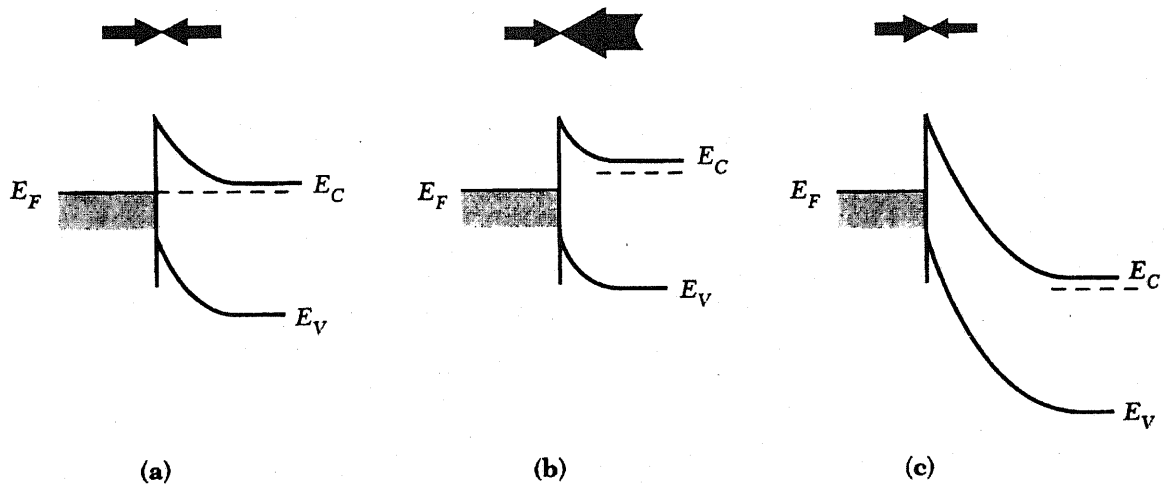


図 1-7. ショットキーダイオードの、熱電子放出モデルに基づく電流輸送特性
(a) ゼロバイアス (b) 順方向 (c) 逆方向

逆バイアスを加えると、空乏層にかかる電位差は $\Phi_{bi} + |V_a|$ へと増加し、半導体内のフェルミ準位は図 1-7 (c) のように $|V_a|$ だけ下方へシフトするので半導体内電子のバリアは $q(\Phi_{bi} + |V_a|)$ に増大する。このため半導体から金属に流れる電流は極めて小さくなり、逆バイアスでは金属から半導体に流れる電流値で飽和する。

実際のショットキーダイオードでは空乏層における再結合中心を介した順バイアスにおける再結合電流、逆バイアスにおける生成電流が発生する。このため順方向電流は理想係数 n を用いて表す。

$$J = J_s \left(\exp\left(\frac{qV_a}{nkT}\right) - 1 \right) \dots \textcircled{2}$$

n の値が 1 に近いほど良好なショットキーダイオードとみなされる。バイアス電圧が大きくなるほど直列抵抗が効いて電流は緩やかに増加する。

1-3-3 容量電圧特性

金属—半導体接合で電流電圧特性とともに重要なのは容量電圧特性である。

$$C = \left| \frac{dQ_s}{dV_a} \right| = \sqrt{\frac{q\epsilon_s N_d}{2(\phi_{bi} - V_a)}} \dots \textcircled{3}$$

$$\frac{1}{C^2} = \frac{2}{q\epsilon_s N_d} (\phi_{bi} - V_a) \dots \textcircled{4}$$

逆バイアス V_a の値を変えて容量 C を測定したとき、 $1/C^2$ は V_a に対して直線的に変化する。④式より半導体のドナー濃度 N_d 、拡散電位 ϕ_{bi} が得られ、さらに次式⑤よりショットキー障壁高さ ϕ_B を求めることができる。

$$q\phi_B = q\phi_{bi} + (E_C - E_F) \dots \textcircled{5}$$

ここではドーパント濃度が均一にドーピングされている半導体結晶について考えているが、任意の分布であっても④式は有効である。容量電圧測定を利用して半導体中のキャリア濃度を求めることができる。④式をバイアス電圧 V_a で微分して変形すると次の式が得られる。

$$N_d(x_d) = \frac{2}{q\epsilon_s} \left[\frac{-1}{d(1/C^2)/dV_a} \right] \dots \textcircled{6}$$

$C-V_a$ を特性を図 1-8 (a) に示す。これをもとに $1/C^2-V_a$ を描くと図 1-8 (b) のようになる。この場合は $1/C^2-V_a$ は直線にはならない。⑥式を用いてプロットの勾配、 $d(1/C^2)/d(V_a)$ から、図 1-8 (c) のように $N_d(x_d)$ すなわちキャリア密度 n が得られる。図 1-8 (c) において表面からある深さまでのデータが欠けているが、これはバイアス電圧がゼロにおいてすでに空乏層が拡がっているためである。

この方法は、ショットキーダイオードの容量電圧測定による半導体中のキャリア密度分布の評価法として知られていて、有効な測定技術のひとつである。

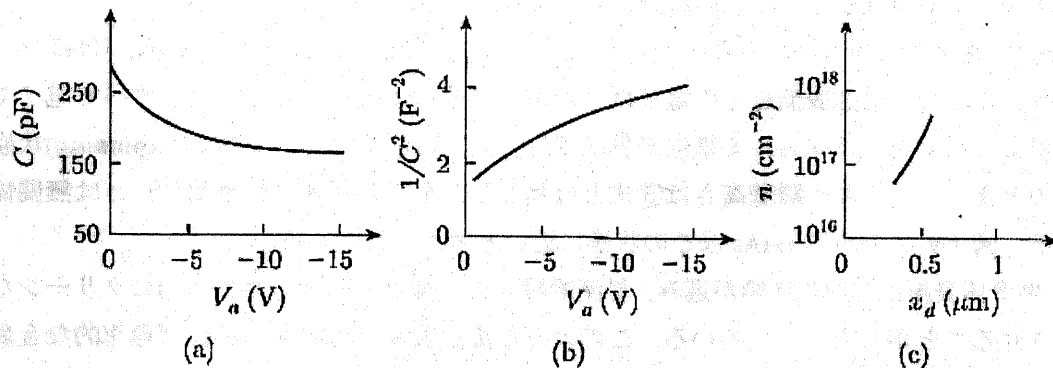


図 1-8. (a) $C-V_a$ 特性 (b) $1/C^2-V_a$ 特性 (c) キャリア密度分布

1-3-4 実際の金属—半導体界面

Φ_B と Φ_M の関係は

$$q\phi_B = q(\phi_M - X) \dots \dots \textcircled{7}$$

で表される。しかし実際は図 1-9 のように、金属の種類を変えてもそれほど大きくは変化しない。Si については金属の仕事関数の増加とともに Φ_B も増加するが、その依存性は⑦式で示されているものほど強くない。GaAs については金属の仕事関数に関する依存性は弱い。

この原因としてダングリング・ボンド(dangling bond)が考えられている。

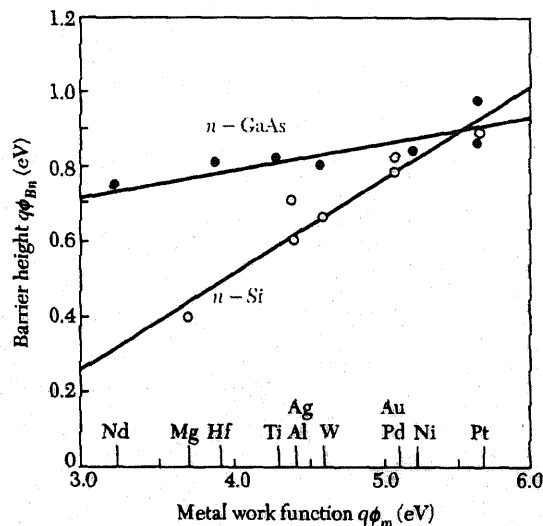


図 1-9 金属—Si, 金属—GaAs に対する障壁高さ^[6]

半導体表面の最表面の原子は共有結合を完成することができず、それぞれの原子には未結合のボンドが残っていて、これをダングリング・ボンド(dangling bond)という。このダングリング・ボンドは表面準位を形成して、電子を捕獲する。表面準位の発生要因は他にも多くあり、表面に吸着した水分子や酸素原子などのために発生する場合もある。

表面準位の密度が大きくバンドギャップ内に連続的に分布し、その一番上の準位がほぼフェルミ準位に等しい場合は結晶表面近くの電子はこの準位に捕らえられ、表面準位はすべて電子で埋まる。このような状況ではフェルミ準位が界面準位に固定されていて、ピン止め(pinning)状態という。このときショットキー障壁高さは⑤式とは異なり、金属の種類(仕事関数)とは無関係に一定となる。図 1-9 における GaAs はこの状態に近いと考えられている。

近年、半導体表面の清浄化技術が進み、界面絶縁体や不純物を除去した原子的にクリーンな表面を形成させることが可能となっている。このような洗浄表面に金属をつければ理想的な金属—半導体界面が形成できると考えられるが、依然として別の問題が残っている。例えば、一見清浄な表面にも原子レベルで表面ステップや空孔があり、それらが表面準位を形成する。また金属が半

導体表面に堆積されると、金属内電子の波動関数が半導体側に侵入して新たな準位を形成する。

このように一般には金属—半導体のショットキー接合においては、全く不純物のない完璧な接合面を形成することは不可能で、界面準位（不純物準位）がバンドギャップ内に形成されることが知られている。

1-4 複素インピーダンス

複素インピーダンスの周波数依存性から、試料の等価回路を得ることをインピーダンススペクトロスコーピー（Impedance spectroscopy）と呼ぶ。本研究では素子のインピーダンス測定はLCRメータ（Agilent4282A）を用いて行った。

インピーダンスは、交流回路における電圧と電流の比で、直流電流におけるオームの法則の電気抵抗の概念を拡張し、交流電流に適用したものである。複素数の形で表され、周波数に依存しない抵抗成分を実数で、周波数に依存する成分を虚数で表し、その両者の和の形で表される。

誘電率（比誘電率の実部） ϵ 、抵抗率 ρ （または電気伝導率 $\sigma = 1/\rho$ ）、面積 S 、厚さ d の物質をコンデンサとしたとき、それをキャパシタンス $C = \epsilon_0 \epsilon S/d$ と電気抵抗 $R = \rho d/S$ の並列接続とみなして、それぞれのインピーダンス $Z_c = (i\omega C)^{-1}$ （ ω は角周波数）と $Z_R = R$ の合成インピーダンスを考えると次式のようになる。

$$\frac{1}{Z} = \frac{1}{R} + i\omega C \Leftrightarrow Z = \frac{R}{1+i\omega C} = \frac{R(1-i\omega C)}{1+(i\omega C)^2} \dots \textcircled{8}$$

$$\text{Re } Z = \frac{1}{1+(\omega RC)^2} R, \quad \text{Im } Z = -\frac{\omega RC}{1+(\omega RC)^2} R$$

この式から、周波数 $\omega = (RC)^{-1}$ を境にして $\text{Re } Z$ は $\omega \rightarrow 0$ のとき R に近づくが、これは低周波では R とみなせることを意味する。逆に $\omega \rightarrow \infty$ のときは 0 に近づくが、これは高周波では R を無視できることを意味している。また $\text{Im } Z$ は $\omega = (RC)^{-1}$ で最大値 $R/2$ をとり、高周波や低周波の極限では 0 となる。

ω をパラメータとしたとき、 $\text{Re } Z$ と $\text{Im } Z$ が複素平面上に描く軌跡を求めるためには、 $|Z|^2 = (\text{Re } Z)^2 + (\text{Im } Z)^2$ を計算して ω を消去すればよく、

$$\left(\text{Re } Z - \frac{R}{2} \right)^2 + (\text{Im } Z)^2 = \left(\frac{R}{2} \right)^2 \dots \textcircled{9}$$

となる。この式は $(R/2, 0)$ を中心として、半径 $R/2$ の円を表すが、 $\text{Im } Z < 0$ であるので、虚部が負の範囲だけの半円となる。この方法により半円の直径から R や C の値が得られる。

理想的な複素インピーダンスの半円の場合に、特徴的な点に対応する ω を考える。まず半円の頂

点となる ω は、式⑨から $\text{Re } Z = \text{Im } Z = R/2$ のときで、そのとき $\omega = \omega_0 = 1/RC$ である。また、実部が $\text{Re } Z = R/2 \pm R/4$ でなす角が 60 度のときは $\omega = \sqrt{3}\omega_0, \frac{1}{\sqrt{3}}\omega_0$ 、虚部が $\text{Im } Z = R/4$ で、なす角が 30 度のときは $\omega = (2 \pm \sqrt{3})\omega_0$ である。これを図示すると図 1-10 のようになる。

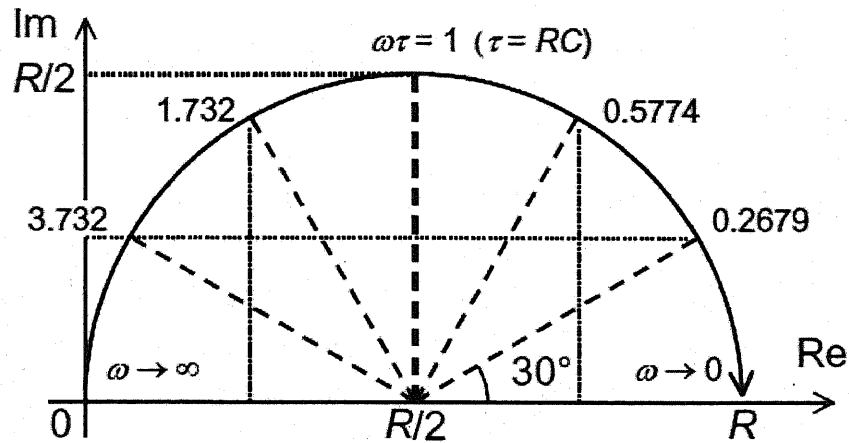


図 1-10. 周波数と半円上の点の対応^[16]

1-5 バイポーラ型抵抗メモリ素子における抵抗スイッチング現象発現のメカニズム

現在のところ、バイポーラ型抵抗メモリ素子の抵抗スイッチング現象発現のメカニズムとして提唱されている説は数多く、系ごとに異なっており統一的なモデルはつくられていない。その中で、金属—半導体界面にショットキー障壁を持つ系については界面準位への電荷の注入—放出モデルというモデルが提唱されている^[17]。一般に金属—半導体のショットキー接合においては、全く不純物のない完璧な接合面を形成することは不可能で、界面準位と呼ばれる不純物による準位が形成されることが知られている^[18]。この準位への電荷の出し入れを電圧印加で制御することにより障壁高さや空乏層幅が変化し、抵抗スイッチング現象が発現していると考えられている^{[19][20]}。

第2章 研究の目的

抵抗スイッチング現象はペロブスカイト型酸化物 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ や二元系酸化物 NiO などの様々な遷移金属酸化物を用いた系で主に報告されているが、その動作原理については素子ごとに多種多様である。抵抗メモリ素子は一般的に金属 / 酸化物半導体 / 金属の積層構造からなり、その中で金属-酸化物半導体界面にショットキー障壁を持つ系については精力的に研究が行われている。この系においては、金属-半導体のショットキー界面に形成された不純物準位への電荷の注入および放出によって障壁高さや空乏層幅が変化し、抵抗スイッチング現象が発現するというモデルが提案されている[17]。

本研究の目的をまとめると次の二点になる。

- (i) 金属-半導体界面にショットキー障壁を持つ系における抵抗スイッチング現象発現メカニズムとして提唱されている、「界面準位への電荷の注入-放出モデル」の検証を行う。
- (ii) LRS の抵抗値の経時劣化の温度依存性を調べ、抵抗スイッチングが電荷のトラップにより起こる現象であることの検証を行う。

第3章 本研究で使用した装置

第3章では、本研究で使用した主な装置についてその原理と用途を簡潔に記す。

3-1 電子ビーム蒸着装置

本研究で作製した素子の、Au, Ptなどの金属薄膜電極は新領域創成科学研究科物質系専攻 Hwang 研究室の電子ビーム (Electron Beam) 蒸着装置 (ANELVA 社製 L-045E 多目的小型蒸着装置 図 3-1) を用いて蒸着した。

薄膜を作製するには真空チャンパー内の空気をできる限り排除することが必要である。十分な平均自由行程 (mean free path) を確保しないと、薄膜物質が良好な膜成長に必要なエネルギーを保持したまま基板まで到達しないこと、残留気体中の活性な成分が蒸着物質と化学反応を起こしてしまうこと、などが理由として挙げられる^[21]。そのため、真空チャンパー内を油回転ポンプ (RP) 及びクライオポンプで真空引する。RP は中空円筒に吸入口と排出口が取り付けられた構造をしている。吸入口には弁がついていて、円筒内の気圧が一気圧より高くなると開く。ローターの回転によって円筒内の気体をかきだし、油が常にローターと密着することで、吸入された気体と圧縮された気体を分離している。クライオポンプでは、真空装置の中にクライオパネルと呼ばれる冷却面が挿入してあり、そこに装置内の気体を付着させることによって気体を液化し圧力を下げる。パネルの背面には低温の He ガスが流れていて、10 ~ 20 K の低温が保たれている。クライオポンプで大気圧の気体を排気すると、発生する凝縮熱が冷凍能力を超えるため実際は凝縮が起きない。そこで RP によりあらかじめ 10^1 Pa 程度まで排気しておく必要がある。

真空引き後、電子銃 (e-gun) に加速電圧 4kV 程度を印加し、熱電子をフィラメントから発射させると、電子ビームは磁場により曲げられて蒸着原料であるターゲットに当たる。このビームは高いエネルギー密度を持ち、蒸着材料の加熱・蒸気化に使われる。この蒸着法には、ハース (試料用るつぼ) を水冷することにより蒸着源ポートからの汚染が抑制できる、また高融点金属でも蒸着することが可能であるという長所がある。

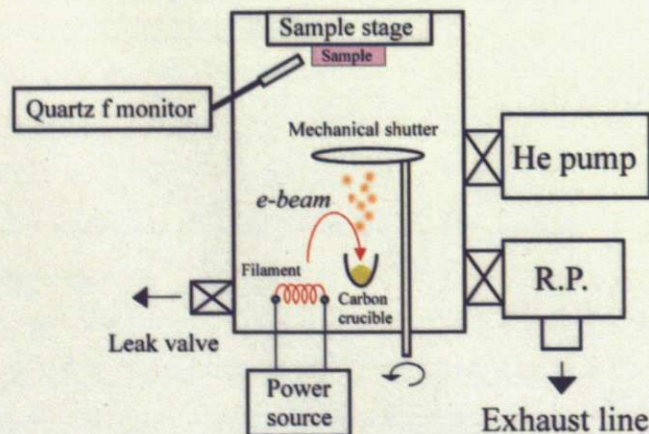


図 3-1. 電子ビーム蒸着装置の構造^[22]

3-2 電流電圧測定装置

Pt / $Ti_{1-x} Nb_x O_2$ / Ti 素子の電流電圧特性の測定には、半導体パラメータアナライザ (Agilent4155C) または KEITHLEY237, 極低温プローバ (Nagase 電子機器) を用いた。スイープ電圧は半導体パラメータアナライザ, パルス電圧は KEITHLEY237 により印加した。極低温プローバはチャンバー内の温度, 真空度, 大気成分などの環境を変えることができる。本研究では経時劣化の温度依存性を測定するために使用した。

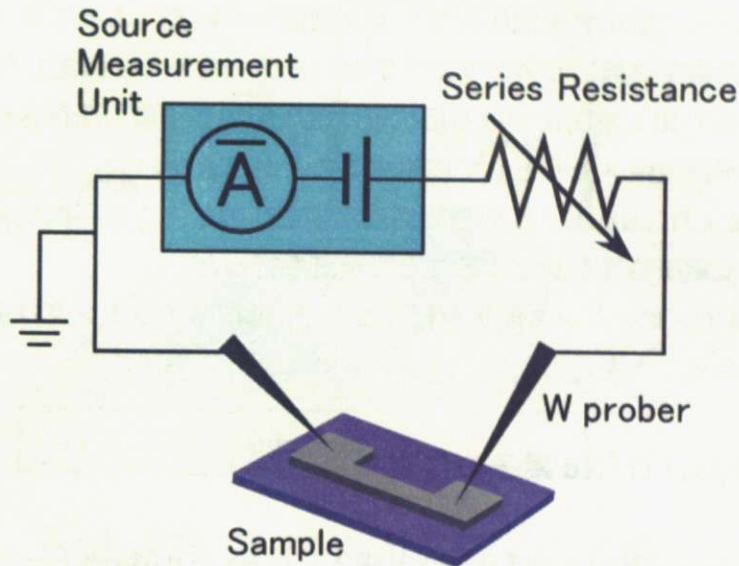


図 3-2. 電流電圧測定装置の構造^[22]

3-3 インピーダンス測定装置

Pt / $Ti_{1-x} Nb_x O_2$ / Ti 素子の複素インピーダンス測定は, LCR メータ (Agilent4284A) および KEITHLEY2000 multimeter を用いて行った。4284A プレシジョン LCR メータは 20Hz ~ 1MHz までの周波数領域でのインピーダンスが測定できる。また KEITHLEY2000 multimeter は実効電圧のモニタとして使用した。

3-4 PPMS : Physical Property Measurement System

PPMS (Quantum Design 社 model 6000) は電気伝導度, 磁気抵抗, ゼーベック係数, ホール特性, 磁化率, 半導体デバイスの $I-V$ 特性など様々な物性が測定できる万能装置である。本研究では $Ti / Ti_{1-x} Nb_x O_2 / Ti$ 素子抵抗率の温度依存性測定に使用した。

第4章 金属 / $Ti_{1-x}Nb_xO_2$ / Ti 積層素子の抵抗スイッチング現象

本章では、第2章で示した目的のうちの(i)を行う。抵抗メモリ素子には、電流電圧曲線に対してヒステリシスをもつ、不揮発性であるという二つの性質が必要である。

メモリとは on(1), off(0)という二つ(またはそれ以上)の異なった状態をとることによって情報を記憶するデバイスである。ReRAM では低抵抗状態と高抵抗状態がそれぞれ on 状態, off 状態に対応して、それらの抵抗値を電圧印加により制御している。よって素子に電圧を印加した際、行きと帰りの電流電圧曲線にヒステリシスがないとメモリとして機能しないことになる。

また、電圧印加後の読み出し電圧における抵抗値は電圧印加終了後も保存されていなければならず、そうでなければ不揮発性メモリとして応用することができない。

本章ではまず、金属 / $Ti_{1-x}Nb_xO_2$ / Ti の積層構造素子を作製し、これが抵抗メモリ素子として機能するかについて電流電圧特性を測定することで検証を行った。

次にこの素子の複素インピーダンス測定を行うことで、抵抗スイッチングは金属-半導体界面で起こっている現象であることを示した。

4-1 金属 / $Ti_{1-x}Nb_xO_2$ / Ti / Au 素子の作製

抵抗メモリ素子は、株式会社フルウチ化学より購入した Nb が 0.05wt% ドープされた TiO_2 単結晶 ((001) オリフラ付き片面研磨, n 型半導体, 厚さ 0.5mm) をダイヤモンドにより 5mm×5mm 程度の適当な大きさに切って、その上下面(ab 面)に金属電極を蒸着することにより作製した。その手順は以下のようにになっている。なお Nb が 0.05wt% ドープされた TiO_2 の組成は $Ti_{0.999571}Nb_{0.000429}O_2$ であるが、煩雑さを避けるため本論文ではすべて $Ti_{1-x}Nb_xO_2$ と表記する。

1. $Ti_{1-x}Nb_xO_2$ 単結晶をエタノール中でホットプレートにより煮沸、その後超音波洗浄を行った。続けてアセトン、超純水中でも同様の洗浄を行った。洗浄後ピーカーから取り出し、しみが出来ない様にすぐにブローで表面の水滴を飛ばし、さらに乾燥機 (150 °C程度) に入れて、基板表面を完全に乾燥させた。
2. 裏面(非研磨面)に、電子ビーム蒸着装置(図 3-1)を用いて Ti 電極をおよそ 500nm 蒸着した。膜厚は水晶振動子膜厚計によりモニターした。続いて Ti の酸化を防ぐために Au を 300nm 程度蒸着した。
3. 表面(研磨面)にマスクをつけて、電子ビーム蒸着装置により Ti, Au, Pt の三種類の金属電極を蒸着した。膜厚はどの金属の場合にも 500nm 程度である。金属電極が Ti の場合のみ、Au を重ねて蒸着した。

以上で金属 / $Ti_{1-x}Nb_xO_2$ / Ti / Au の積層構造素子になるが、Ti 電極の酸化を防ぐために非研磨面

に蒸着した Au と研磨面の Ti に重ねて蒸着した Au は抵抗スイッチング現象には全く関係していないので、本論文では金属 / $Ti_{1-x}Nb_xO_2$ / Ti / Au 素子あるいは Au / Ti / $Ti_{1-x}Nb_xO_2$ / Ti / Au と書かず、単に金属 / $Ti_{1-x}Nb_xO_2$ / Ti 素子と表記することとする。

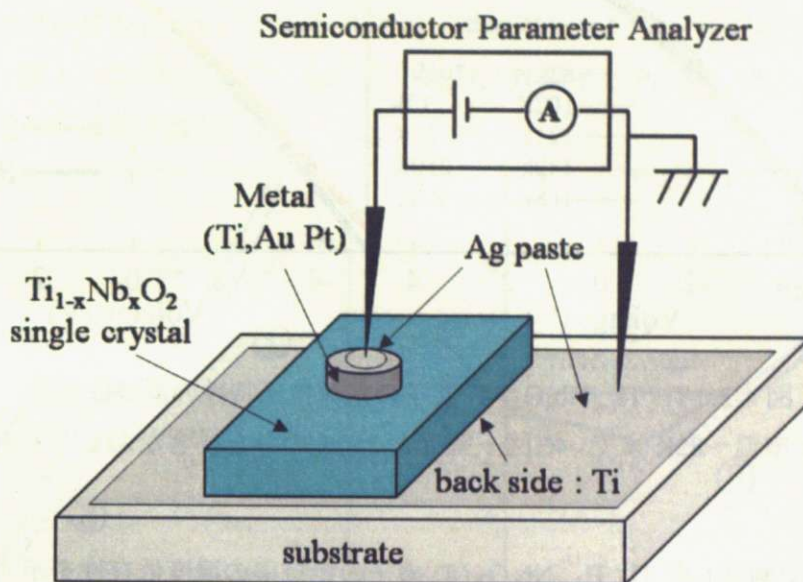


図 4-1. 金属 / $Ti_{1-x}Nb_xO_2$ / Ti 素子のデバイス構造

4-2 電流電圧特性

本研究では金属 / n 型半導体のショットキー接合をつくることによる抵抗メモリ効果の発現を目指しているので、 $Ti_{1-x}Nb_xO_2$ に対してオーミック接触となる及びショットキー接合となる金属をそれぞれ用意し、両者を比較してショットキーの場合のみ抵抗メモリ効果を示す、ということを確認する必要がある。前者は Ti，後者は Au，Pt を用いた。

4-2-1 Ti / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧特性

図 4-2 に、Ti / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧特性の温度依存性を示す。室温付近～250K はほぼオーミックとなっているが、250K 以下で非線型性が現れ始め、230K 以下では完全に非線型となっている。室温～250K の領域においても+側と-側でわずかな傾きの違いがあるが、これは非研磨面の電極が全面に蒸着されているのに対し研磨面ではマスクをつけている一部分のみが蒸着されているという非対称性に起因する影響であると考えられる。

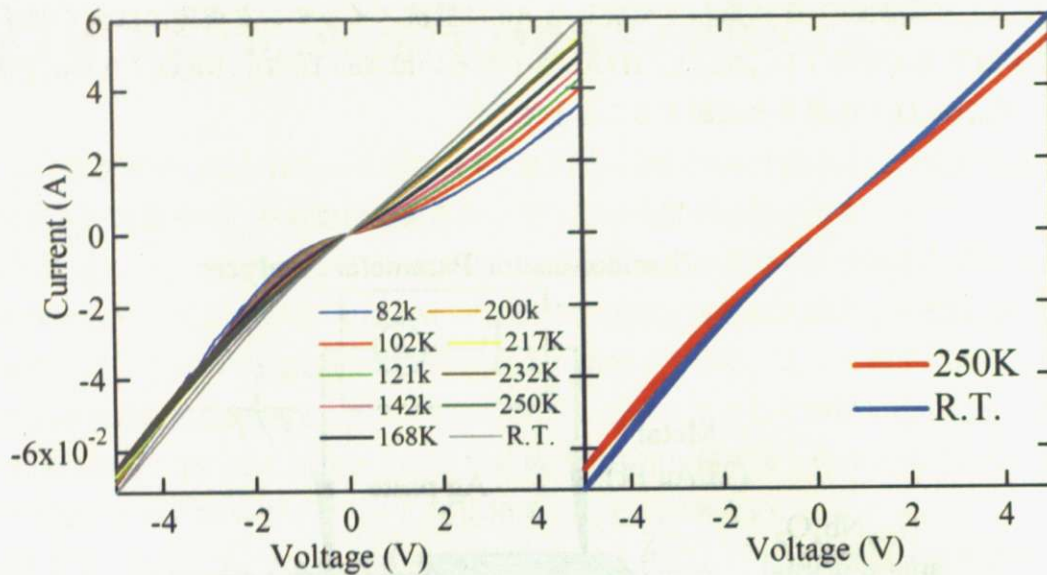


図 4-2. Ti / Ti_{1-x}Nb_xO₂ / Ti 素子の電流電圧特性の温度依存性
 左図：室温～82K まで 右図：室温と 250K のみを描きなおしたもの

図 4-3 に、PPMS で測定した Ti / Ti_{1-x}Nb_xO₂ / Ti 素子の抵抗率の温度依存性を示す。研磨面は直径 320 μ m の円状の Ti 電極、非研磨面には全面に Ti を蒸着したため、完全な円柱近似はできないが、ここでは直径 320 μ m、高さ 500 μ m (Ti_{1-x}Nb_xO₂ の厚さ) の円柱であるとして値を計算した。

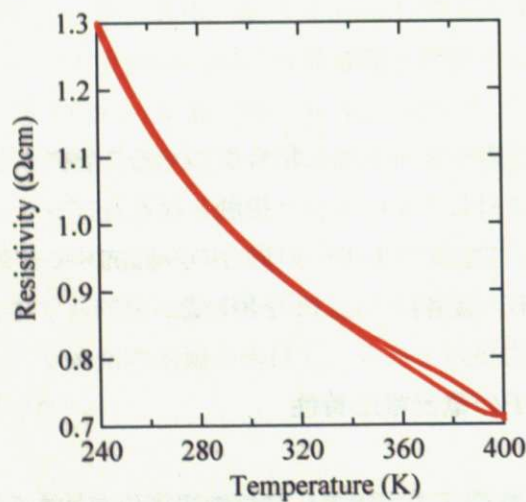


図 4-3. Ti / Ti_{1-x}Nb_xO₂ / Ti 素子抵抗率の温度依存性

温度が上がるにつれて抵抗率が減少していることから、半導体的挙動であることが確認できた。室温における抵抗率はおよそ 0.96 Ω cm であり、報告されている値 4.50 Ω cm と比較するとわずかに小さいが、これは抵抗率を円柱近似で見積もったことによる誤差の影響などが原因として考えられる。

4-2-2 Au (Pt) / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧曲線のヒステリシス

次に、 $Ti_{1-x}Nb_xO_2$ に対してショットキー接触となる Au, Pt を電極として用いた素子の電流電圧特性について議論する。

作製した素子が抵抗メモリ素子として機能するためには、読み出し電圧において異なる二つ以上の抵抗値をもたなければならない。これは電流電圧曲線がヒステリシスをもたなければならないことを意味する。図 4-4 に示すように、Au / $Ti_{1-x}Nb_xO_2$ / Ti 素子と Pt / $Ti_{1-x}Nb_xO_2$ / Ti 素子はいずれもではヒステリシスが観測された。

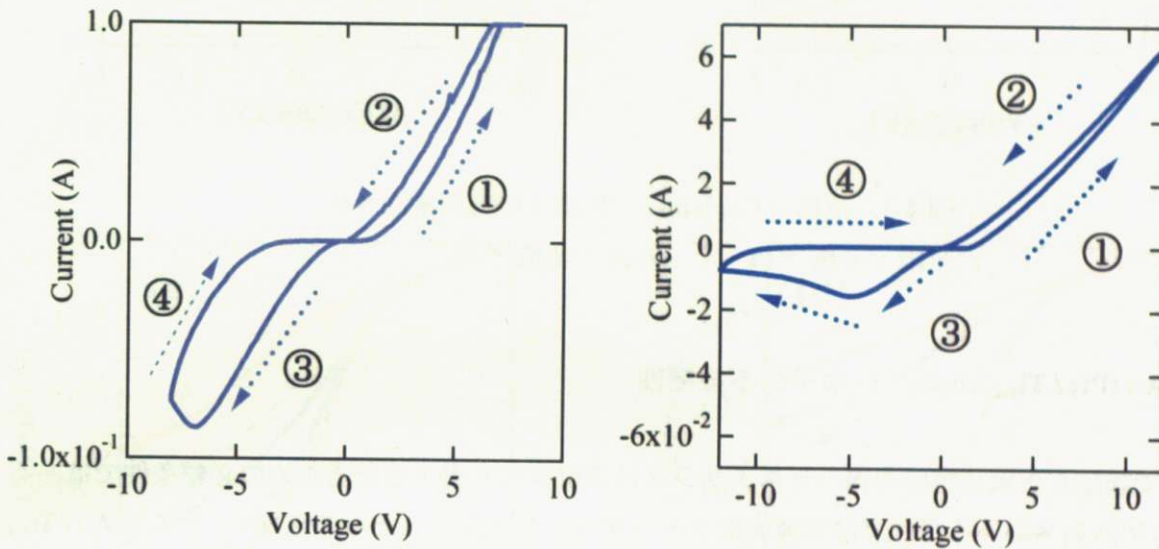


図 4-4. 金属 / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧特性

左図：金属 = Pt 右図：金属 = Au

素子に順（正）バイアスを印加すると HRS から LRS(① → ②)へ、逆（負）バイアスを印加すると LRS から HRS (③ → ④) へとスイッチングする。すなわち Au や Pt などの金属を電極として用いれば抵抗メモリ素子として使える可能性があることがわかる。またこの結果は金属-酸化物半導体界面のショットキー障壁が抵抗スイッチング現象に重要であるという既存のモデル^[17]と一致する。

抵抗メモリ素子を ReRAM に応用する場合、読み出し電圧（通常 0.1V~1V 程度の低電圧であると考えられる）において異なる抵抗値を持っていないなければならない。したがってたとえ素子が電流電圧曲線のヒステリシスを持っていても、読み出し電圧における抵抗値が行きと帰りで同じであるなら抵抗メモリ素子として使うことは出来ない。そこで図 4-4 の原点付近を拡大した図を図 4-5 に示す。

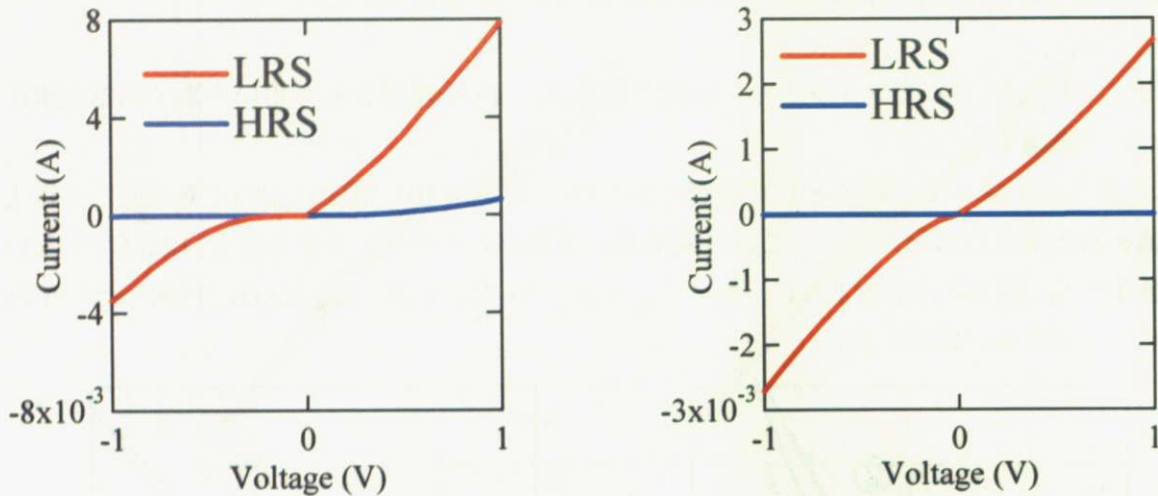


図 4-5. 金属 / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti 素子の電流電圧特性

左図：金属 = Pt 右図：金属 = Au

4-2-3 Au (Pt) / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti 素子の不揮発性

4-2-2 で議論した電流電圧曲線のヒステリシスは抵抗メモリ素子となるための必要条件ではあるが、ヒステリシスがあるだけでは不揮発性メモリ素子として使うことはできない。そこで Au / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti 及び Pt / $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ / Ti 積層構造素子における不揮発性の発現を確認した。図 4-6 は Au 電極の場合である。図 4-6 (a) は 6V の電圧印加をステアモードで行い、直後に 1V の電圧印加をしたときの電流電圧特性である。0V → 6V と 6V → 0V は電流電圧曲線にヒステリシスがあるが、直後の 0V → 1V での測定において、素子は 0V → 6V と同じ曲線をたどっており、高抵抗状態に戻ってしまっている。これは素子が最終状態の抵抗値を記憶していない、すなわち揮発性であることを示している。図 4-6 (b), (c), (d) のように 7V, 8V, 10V では完全には高抵抗状態に戻っていないものの、ある程度の緩和が認められる。

図 4-6 (e) のように 12V まで電圧を印加すると、完全に最終状態の抵抗値が記憶され、不揮発性となる。このように、不揮発性を発現させるには素子にある程度の高電圧を印加する必要がある。

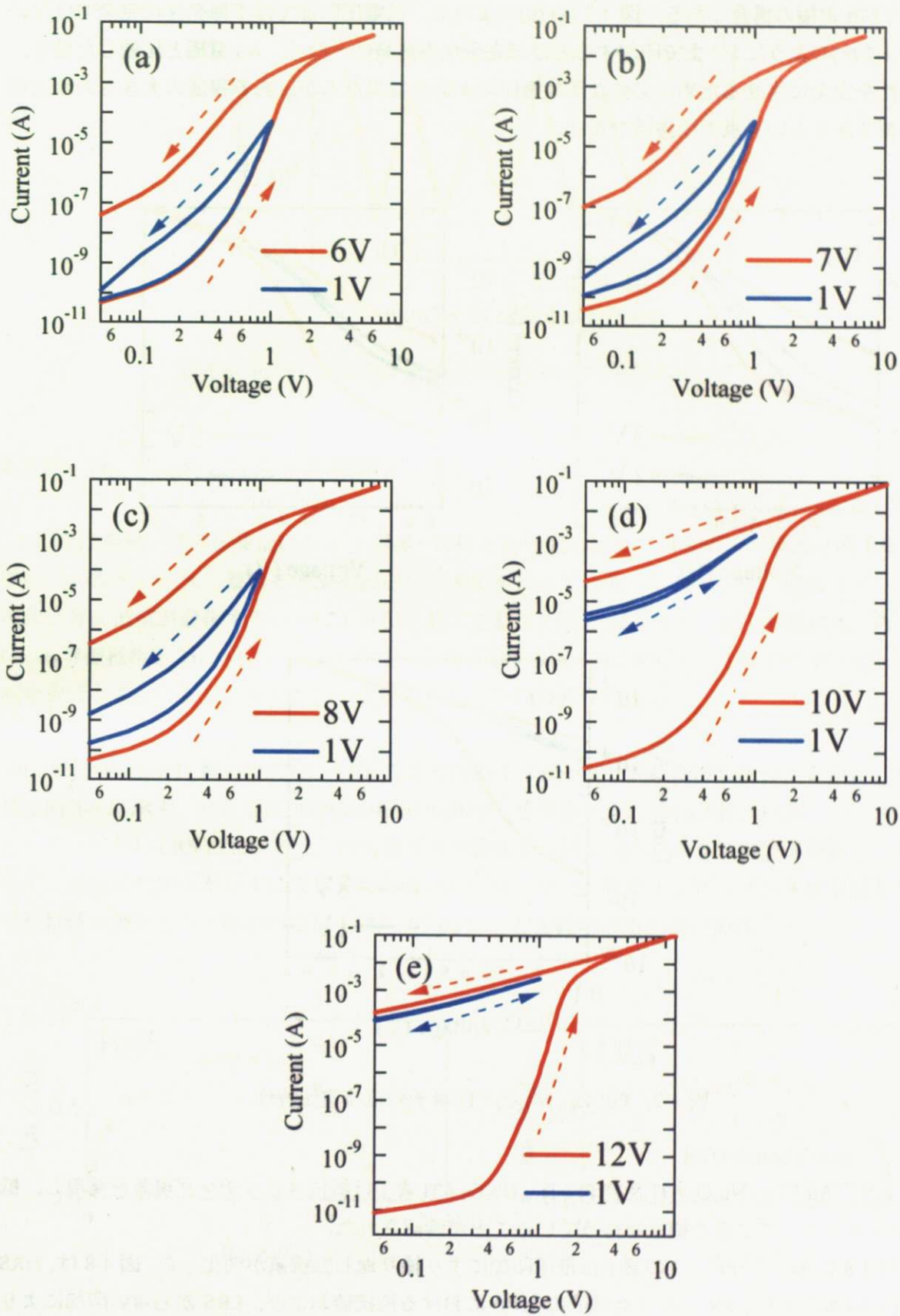


図 4-6. $\text{Au}/\text{Ti}_{1-x}\text{Nb}_x\text{O}_2/\text{Ti}$ 素子の電流電圧特性

図 4-7 は Pt 電極の場合である。図 4-7 (a) (b) のように、低電圧印加では不揮発性は完全ではないが、図 4-7 (c) のように 8V まで印加するとほぼ完全な不揮発性となる。Au 電極と比較した場合、不揮発性を完全にさせるために必要な印加電圧の大きさは異なるが、ある程度の大きさの印加電圧が必要であるという点では共通である。

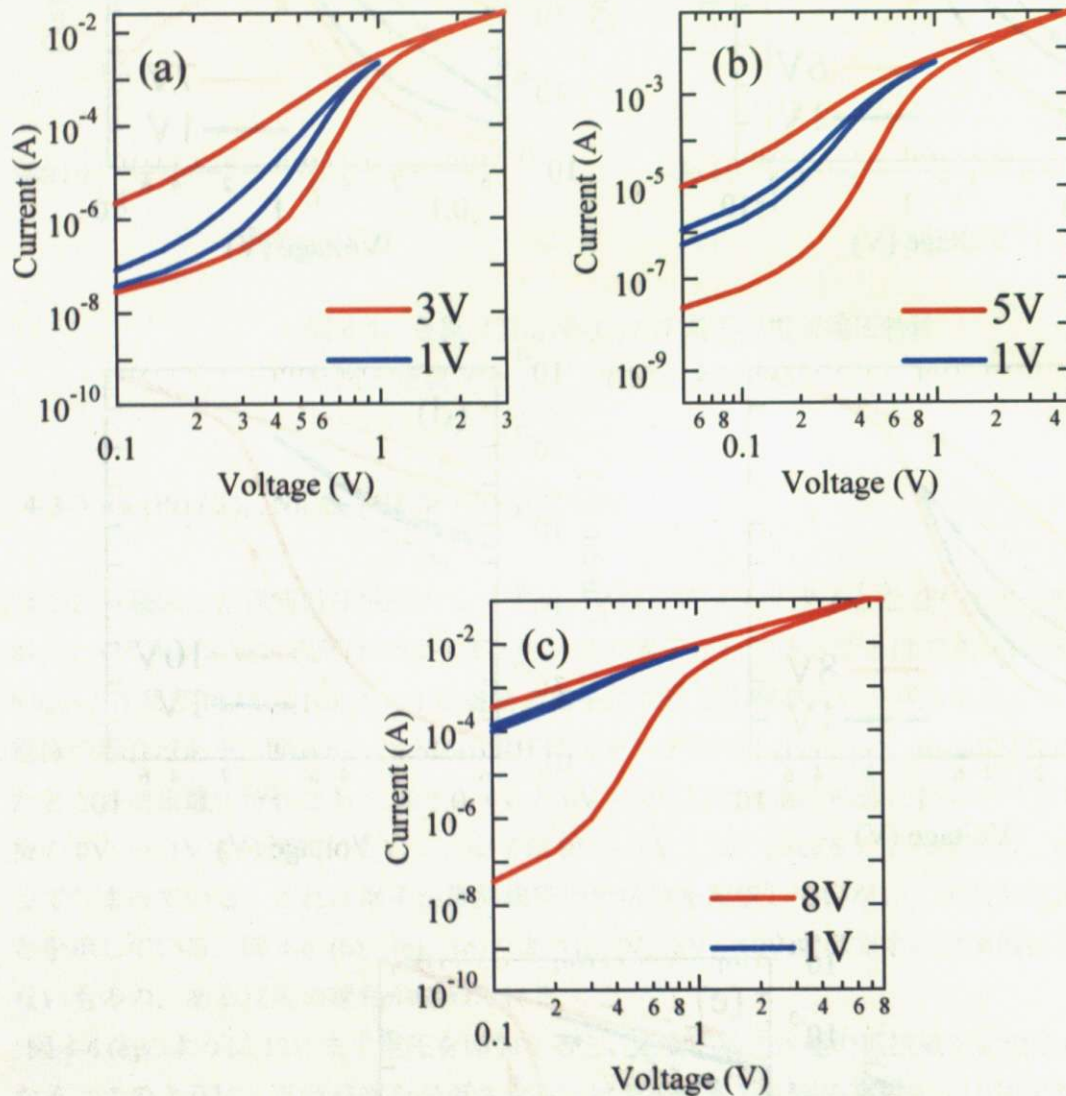


図 4-7. Pt / $Ti_{1-x}Nb_xO_2$ / Ti 素子の電流電圧特性

以上より、Au / $Ti_{1-x}Nb_xO_2$ / Ti 及び Pt / $Ti_{1-x}Nb_xO_2$ / Ti 素子は抵抗スイッチング現象を発現し、抵抗メモリ素子として必要な機能を持っていることが確認された。

また図 4-8 に示すように、この素子は電圧印加により繰り返し抵抗値が変化した。図 4-8 は、HRS から 8V 印加により LRS となった素子の 0.1V における抵抗値および、LRS から -8V 印加により HRS となった素子の -0.1V における抵抗値である。抵抗メモリ素子は何度も書き込みをしても壊れないような耐久性が必要であり、繰り返しスイッチングは素子に必要な機能の一つである。

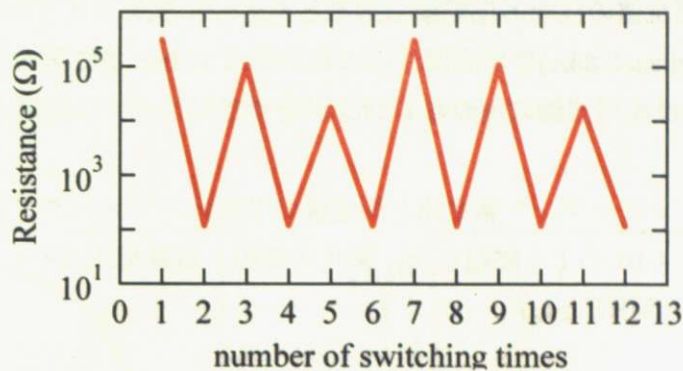


図 4-8. Pt / Ti_{1-x}Nb_xO₂ / Ti 素子の繰り返しの抵抗スイッチング

4-3 Pt / Ti_{1-x}Nb_xO₂ / Ti 素子の複素インピーダンス測定

本研究は金属—半導体界面にショットキー障壁を持つ系の抵抗スイッチング現象に関して、界面準位への電荷の注入—蓄積モデルを仮定して考察を行っている。したがって、抵抗スイッチング現象は界面抵抗が変化することにより引き起こされていると仮定する。素子の抵抗は、Pt / Ti_{1-x}Nb_xO₂ 界面抵抗と Ti_{1-x}Nb_xO₂ バルク抵抗の合成であり、Pt / Ti_{1-x}Nb_xO₂ / Ti 素子のインピーダンス測定を行うことによりこれら二つの成分の寄与の分離を試みた。

Pt / Ti_{1-x}Nb_xO₂ / Ti 素子の HRS, LRS それぞれのインピーダンスの周波数依存性を測定した。結果を図 4-9 に示す。測定条件は電圧の振幅 0.005V, 重畳電圧 0V, 測定周波数領域 20Hz ~ 1MHz とした。ただし LRS においては、後の第 5 章で議論する経時劣化により抵抗値が緩和してしまうので、測定は時間をかけずに素早く行わなければならない。またインピーダンス測定前と測定後で抵抗値の確認をし、緩和が著しく進んでいないことを確かめる必要がある。

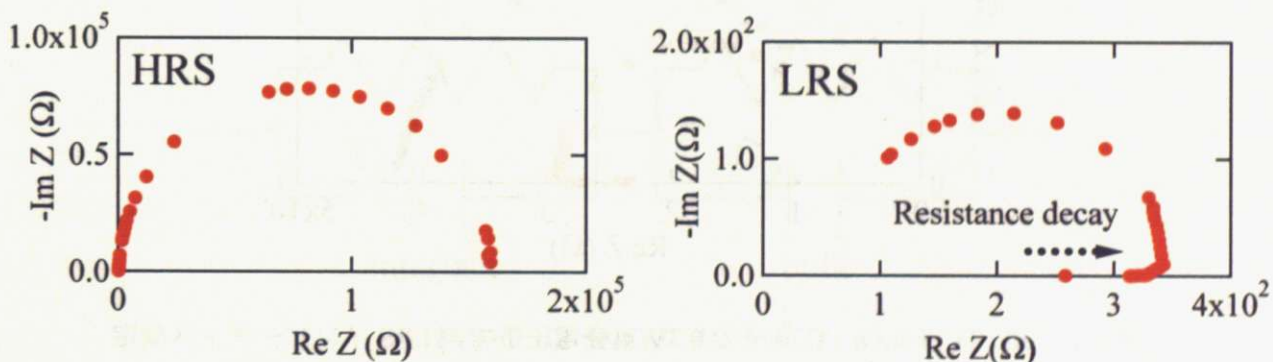


図 4-9. Pt / Ti_{1-x}Nb_xO₂ / Ti 素子のインピーダンス測定

左図 : HRS 右図 : LRS

電圧の振幅, 重畳電圧はそれぞれ 0.005V, 0V, 測定周波数領域は 20Hz ~ 1MHz

図 4-9 右図で、低周波領域においては測定点が実軸上付近を右に移動している。これは第 5 章で議論する LRS での抵抗値の経時劣化現象であると考えられる。

また LCR メータ(Agilent4284A)では高周波側のレンジは 1MHz までであるが、図 4-9 右図のように低抵抗状態においては高周波側の周波数レンジが足りておらず、これ以上高周波領域での測定は不可能であった。

LRS の抵抗値を、インピーダンス測定前と測定後で半導体パラメータアナライザにより行ったところ、それぞれ図 4-10 のようになった。電圧の振幅、重畳電圧はそれぞれ 0.005V, 0V, 測定周波数領域は 20Hz~1MHz とした。

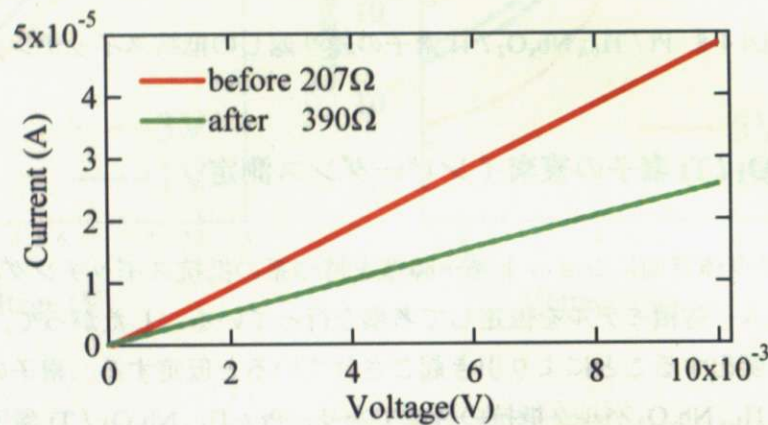


図 4-10. インピーダンス測定前後での LRS 素子の抵抗値

図 4-10 より、インピーダンス測定前後で抵抗値が 2 倍弱変化している。これは直流電圧を重畳することにより防ぐことが出来ると考えられる。0.3V のバイアス電圧を重畳し再測定を行った結果、図 4-11 のようになった。

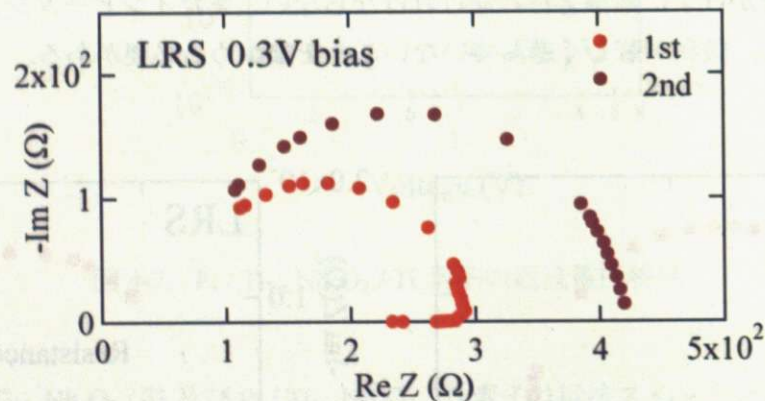


図 4-11. Pt/Ti_{1-x}Nb_xO₂/Ti 素子の 0.3V 重畳電圧下での LRS インピーダンス測定電圧の振幅、重畳電圧はそれぞれ 0.005V, 0.3V, 測定周波数領域は 20Hz~1MHz

0.3V の重畳電圧をかけても一回目の測定では抵抗値の緩和が観測された。測定時間を 3 分程度

と短くしてもやはり緩和は観測されてしまうので、このような経時劣化は防ぐことはできないと考えられる。二回目の測定では緩和はほとんど観測されなかった。そこでLRSのインピーダンスとしては二回目の測定の値（図4-11の2ndのプロット）を採用した。

HRSとLRSの測定結果のフッティングカーブは次のようになる。

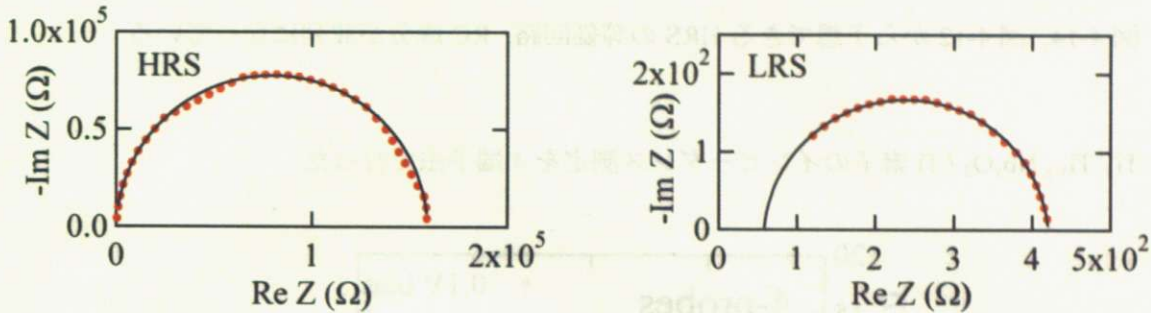


図4-12. Pt/Ti_{1-x}Nb_xO₂/Ti素子のインピーダンス測定

左図：HRS 右図：LRS

点：測定値 実線：フッティングカーブ

フッティングカーブは、測定値の集合を半円と仮定して、その円に最も近い方程式をIgorにより求めたものであり、それぞれ次のようになっている。

$$\text{HRS} : (\text{Re } Z - 79655)^2 + (-\text{Im } Z - 2090)^2 = 79696^2 \dots \textcircled{10}$$

$$\text{LRS} : (\text{Re } Z - 239.09)^2 + (-\text{Im } Z - 14.923)^2 = 181.73^2 \dots \textcircled{11}$$

ここで、Pt/Ti_{1-x}Nb_xO₂界面とTi_{1-x}Nb_xO₂バルクの寄与を分離するため、図4-13のような等価回路を仮定する。

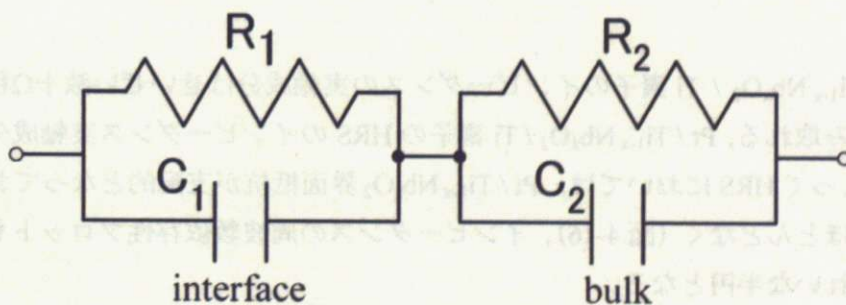


図4-13. 2つのRC並列回路

しかし図4-12左図HRSのインピーダンス測定の結果を見ると、HRSでは図4-14のように抵抗とキャパシタンス成分の並列回路に見られる、原点付近を通る半円型となっている。

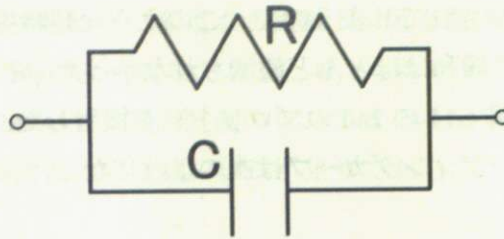


図 4-14. 図 4-12 から予想できる HRS の等価回路. RC 成分が並列になっている

ここで, $\text{Ti} / \text{Ti}_{1-x}\text{Nb}_x\text{O}_2 / \text{Ti}$ 素子のインピーダンス測定を 4 端子法で行った.

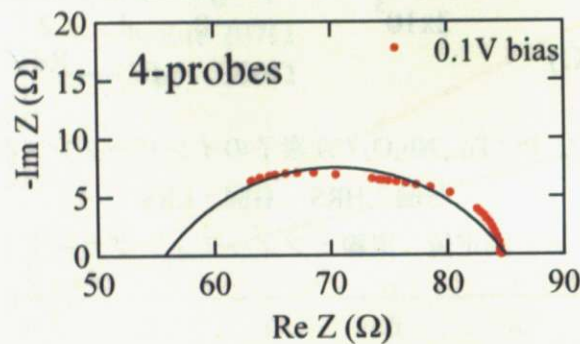


図 4-15. $\text{Ti} / \text{Ti}_{1-x}\text{Nb}_x\text{O}_2 / \text{Ti}$ 素子のインピーダンス測定

実線: 測定値 点: フィッティングカーブ

電圧の振幅, 重畳電圧はそれぞれ 0.005V, 0.1V, 測定周波数領域は 20Hz ~ 1MHz

図 4-15 のデータプロットは円の一部分であり, その方程式は

$$(\text{Re } Z - 70.321)^2 + (-\text{Im } Z + 10.475)^2 = 17.981^2 \dots \textcircled{12}$$

となる.

これより $\text{Ti} / \text{Ti}_{1-x}\text{Nb}_x\text{O}_2 / \text{Ti}$ 素子のインピーダンスの実軸成分はせいぜい数十 Ω 程度であり, 図 4-12 左図から読み取れる, $\text{Pt} / \text{Ti}_{1-x}\text{Nb}_x\text{O}_2 / \text{Ti}$ 素子の HRS のインピーダンス実軸成分と比較すると極めて小さい. よって HRS においては, $\text{Pt} / \text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ 界面抵抗が支配的となっており, $\text{Ti}_{1-x}\text{Nb}_x\text{O}_2$ バルクの影響はほとんどなく (図 4-16), インピーダンスの周波数依存性プロットも界面の影響のみを反映したきれいな半円となる.

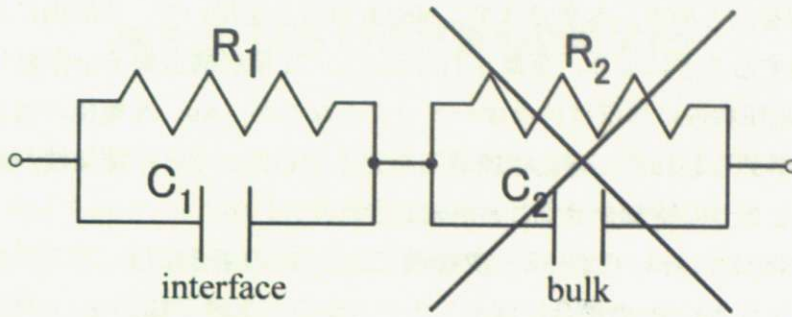


図 4-16. HRS の等価回路. バルクのインピーダンスは界面に比べて小さいので無視できる.

一方 LRS においては, 界面抵抗に加えてバルク抵抗の影響も無視できないので, 両者の影響が反映されて原点を通る半円とはならない. したがって等価回路も図 4-13 に示すような 2 つの RC 回路となる.

温度を 300K から 400K にあげて測定した結果を図 4-17 に示す.

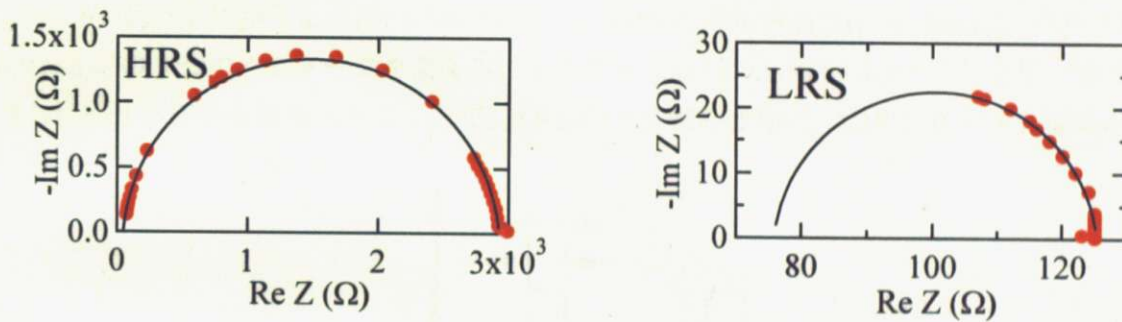


図 4-17. 400K における Pt/Ti_{1-x}Nb_xO₂/Ti 素子のインピーダンス測定

左図 : HRS 右図 : LRS

点 : 測定値 実線 : フィッティングカーブ

フィッティングカーブの円の方程式は, それぞれ次のようになった.

$$\text{HRS} : (\text{Re } Z - 1488.3)^2 + (-\text{Im } Z + 112.92)^2 = 1445.3^2 \dots \textcircled{13}$$

$$\text{LRS} : (\text{Re } Z - 100.6)^2 + (-\text{Im } Z + 2.3934)^2 = 24.858^2 \dots \textcircled{14}$$

300K と 400K のフィッティングカーブを比較すると, HRS では絶対値は 400K の場合の方が 2 桁程度小さいが, いずれの場合も原点付近を通る円となる. また LRS では円は原点を通らず, Ti_{1-x}Nb_xO₂ バルクの影響を反映している. したがって HRS では界面抵抗が支配的で, LRS ではバルクの影響もある, という構図は 300K と 400K で共通の傾向といえる.

以下、本章の内容をまとめる。本章では $Ti_{1-x}Nb_xO_2$ 単結晶を用いて、研磨面に金属電極、非研磨面に Ti 電極を蒸着することにより、金属 / $Ti_{1-x}Nb_xO_2$ / Ti 積層構造素子を作製した。研磨面が Ti 電極の場合は電流電圧特性はほぼ純粋なオーミックとなるが、Au, Pt 電極の場合には電流電圧特性にヒステリシスがあらわれた。また印加電圧を大きくしていくと不揮発性が発現し、抵抗メモリ素子として必要な 2 つの特性を示すことが確認された。

金属電極が $Ti_{1-x}Nb_xO_2$ に対してオーミック接触である Ti の場合にはこれらの特性を示さず、ショットキー接触となる Au, Pt の場合には示したことから、金属 / $Ti_{1-x}Nb_xO_2$ 界面のショットキー障壁が抵抗スイッチング現象発現に寄与していると考えられる。

次に、Pt / $Ti_{1-x}Nb_xO_2$ / Ti 素子のインピーダンス測定を LCR メータと KEITHLEY2000 multimeter を用いて行った。HRS においては Pt / $Ti_{1-x}Nb_xO_2$ 界面抵抗が支配的で $Ti_{1-x}Nb_xO_2$ バルク抵抗は無視できるのでコールコールプロットは原点付近を通る半円型となるが、LRS においては界面、バルクの両成分の寄与がある。Ti / $Ti_{1-x}Nb_xO_2$ / Ti の PPMS による抵抗率測定の結果と併せて考えると、抵抗スイッチング現象は界面の抵抗値が変化することにより起こる現象であることが示唆された。

以上の結果は、金属 / 酸化物半導体界面にショットキー障壁を持つ抵抗スイッチング現象のメカニズムと考えられている「界面準位への電荷の注入—放出モデル」によく合致しており、このモデルの妥当性を示すものとなっている。

第5章 LRS の抵抗値の経時劣化

HRS と LRS を比較すると、HRS は抵抗値の点からも初期状態に近いはずなので、長時間にわたって安定であると考えられる。一方の LRS は時間とともに徐々に緩和してゆくという現象が観測された。充分時間が経過した極限においては高抵抗状態と同程度の抵抗値にまで戻ってしまうことも考えられる。抵抗メモリ素子を ReRAM デバイスとして応用するためには、このような経時劣化を防がなくてはならない。

この原因を探るため、本章では HRS にある素子に順バイアスを印加して LRS にスイッチングさせ、抵抗値の緩和のパルス電圧依存性及び温度依存性の測定を行った。

5-1 パルス電圧依存性

HRS から LRS へとスイッチングさせたあと、LRS の抵抗値を読み出すのに、パルス電圧を印加している。本節では、このパルス電圧印加が抵抗値の緩和にどのように影響するかについて考察する。

パルスは図 5-1 に示すように、パルス幅(pulse width)、パルス高さ(pulse height)、パルス間隔(pulse interval)、の 3 つのパラメータを変えることで様々な波形のものを印加することができる。これにさらにパルス回数を変化させることで、LRS の抵抗値の緩和に、印加したパルス電圧がどのように影響しているかを調べた。

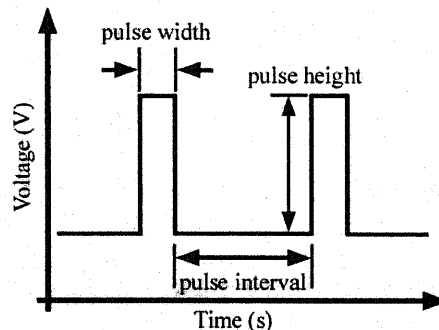


図 5-1. パルス波形

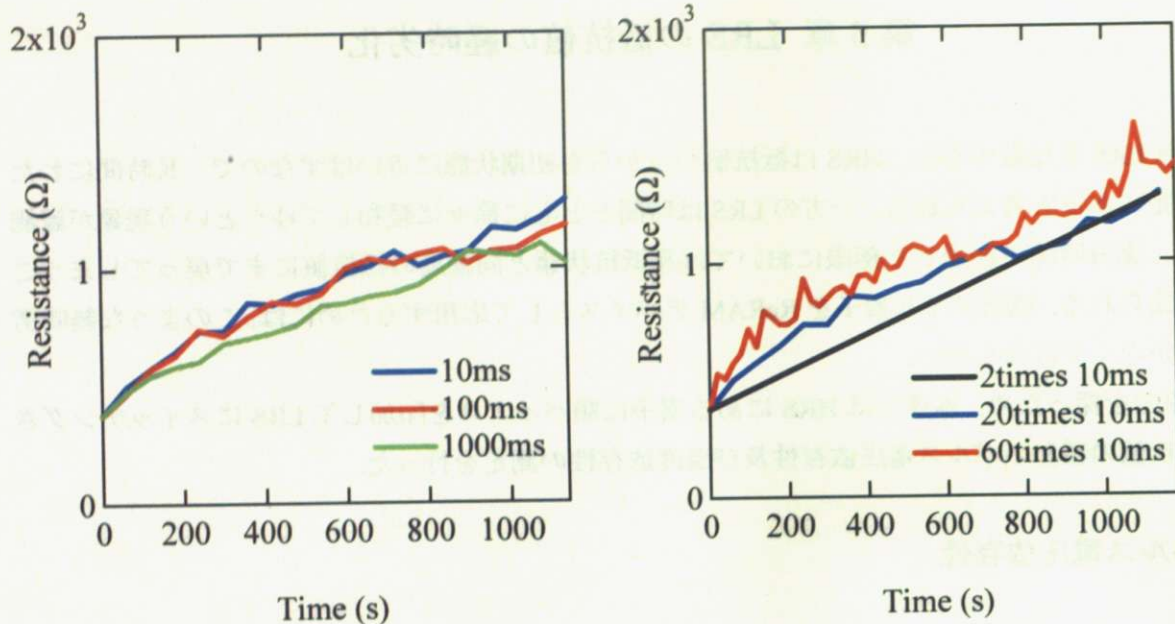


図 5-2. 緩和のパルス電圧依存性. 印加電圧はすべて 0.01V, 測定はすべて室温で行った.
 左図: パルス回数(20回), パルス幅とパルス間隔の和(60000 ミリ秒)を一定にしてパルス幅を変えたもの
 右図: パルス幅 (10 ミリ秒), パルス間隔(59990 ミリ秒)を一定にしてパルス回数を変えたもの

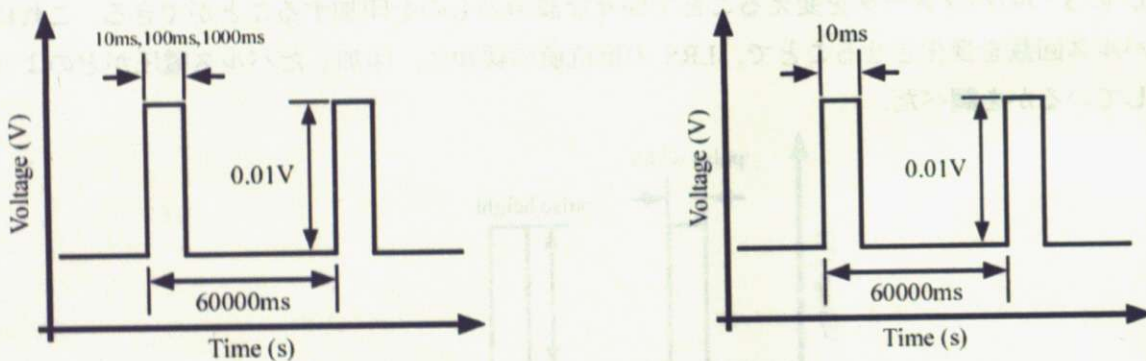


図 5-3. 図 5-2 の測定で印加したパルス波形

図 5-2 では, 測定ごとに t (時間) - R (抵抗値) 曲線に多少の乱れはあるものの, 0.01V の大きさのパルス電圧をかけた際, その回数や印加時間を変えたことによる緩和の仕方には目立った差異はみられなかった. すなわち, 抵抗値読み出しのために印加した 0.01V のパルス電圧は緩和には影響せず, 時間とともに抵抗値が増大していくことがわかる.

次にパルス幅を 10 ミリ秒, パルス回数を 20 回, パルス間隔を 60 秒に固定して, 印加電圧の大きさを変えることにより緩和特性がどのように変わるかを調べた. その結果が図 5-4 である.

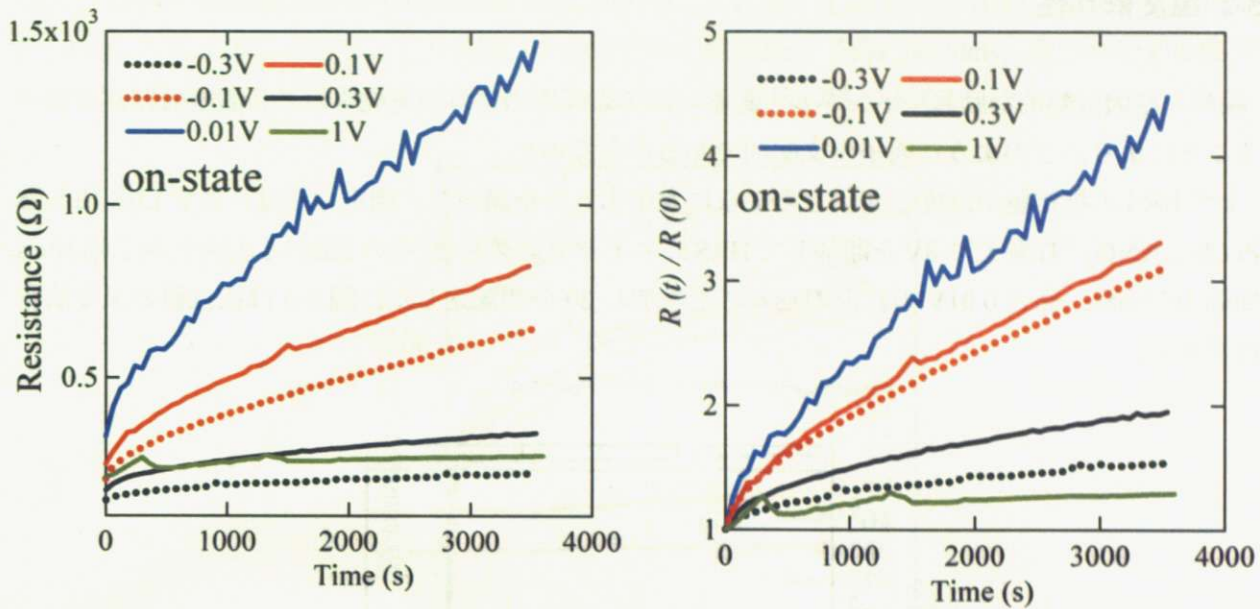


図 5-4. 左図：緩和のパルス電圧依存性
 右図： $t=0$ における抵抗値を1としたときの $R(t)/R(0)$ の値

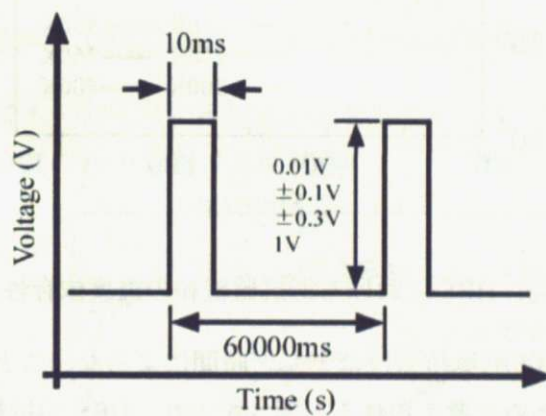


図 5-5. 図 5-4 の測定で印加したパルス波形

印加電圧の極性によらず絶対値が大きくなるにつれて緩和が抑制されていることがわかる。これは測定の際の印加電圧が素子の低抵抗状態を維持させるのに寄与しているためと考えられる。

5-2 温度依存性

緩和の原因は熱的な励起やトンネル, あるいはその両方の寄与が考えられる. 温度依存性を調べるにより, どのような因子が支配的であるかを探った.

まず HRS の抵抗値が温度と共にどのように変化するかを調べた. 測定方法は, まず LRS にある Pt/Ti_{1-x}Nb_xO₂/Ti 素子に -8V を印加して HRS にスイッチングさせ, その後図 5-3 右図と同じ幅 10ms, 間隔 59990ms, 高さ 0.01V の波形のパルスを印加し 20 分間測定した. 図 5-6 は抵抗値の温度依存性である.

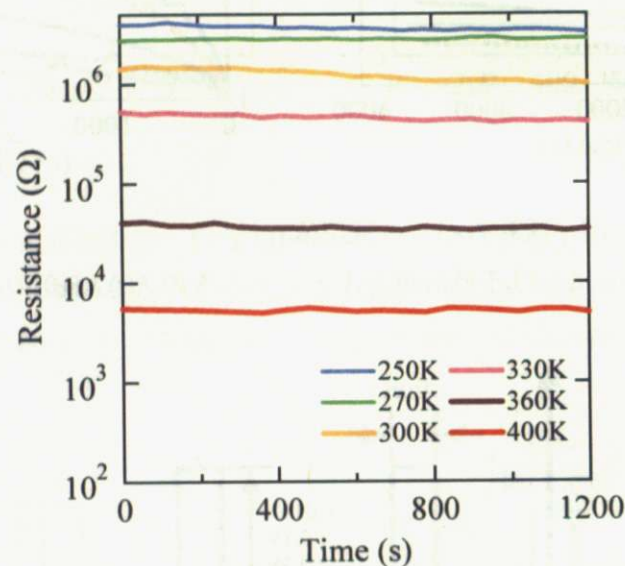


図 5-6. HRS における抵抗値緩和の温度依存性

HRS では, どの温度においても抵抗値はほとんど時間によらないことがわかる. HRS は初期状態と同じで安定状態であるためと考えられる. 図 5-6 より, HRS の抵抗値は, 温度の上昇に伴ってかなり急激に減少する. 前章の PPMS による Pt/Ti_{1-x}Nb_xO₂/Ti 素子の抵抗率の測定結果から考えて Ti_{1-x}Nb_xO₂ バルクの抵抗値の変化は 250K~400K の温度領域でせいぜい 2 倍程度であるのに対し図 5-6 から読み取れる抵抗値は, 250K と 400K ではおよそ 3 桁程度変化している. これは界面抵抗自体がかなり温度依存性を持っていると考えることができる. すなわち温度が上昇するとバリア障壁を越える電子の数が增加するので, 抵抗値は減少する.

次に、LRSの抵抗値の経時劣化を測定した。HRSにあるPt/Ti_{1-x}Nb_xO₂/Ti素子に+8Vを印加してLRSにスイッチングさせ、その後図5-3右図と同じ幅10ms、間隔59990ms、高さ0.01Vの波形のパルスを印加し60分間測定した。図5-7は抵抗値の温度依存性である。

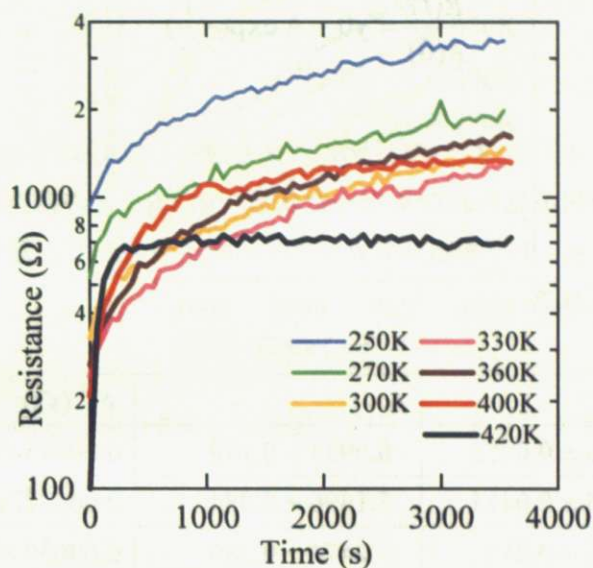


図 5-7. LRS における抵抗値緩和の温度依存性

LRSではどの温度においても時間と共に抵抗値が上昇していくことがわかる。この緩和の仕方の速さを比較するために、各温度の $t=0$ における抵抗値を1として規格化した図5-8を以下に示す。

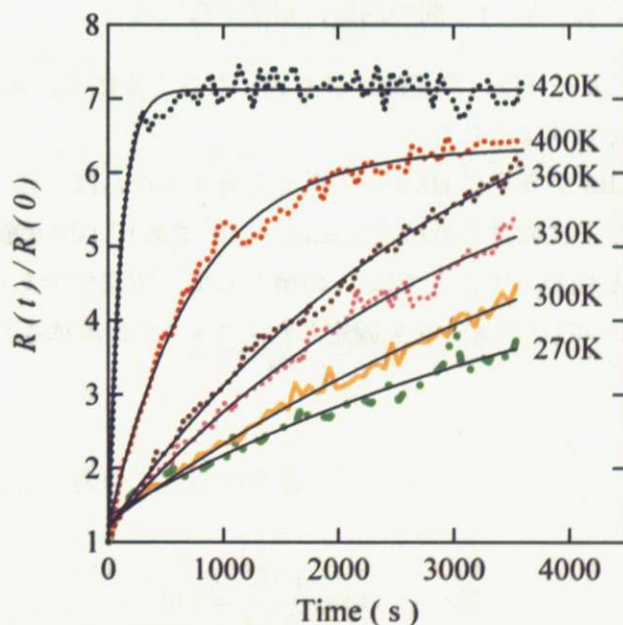


図 5-8. LRS における抵抗値緩和の温度依存性
縦軸は $t=0$ における抵抗値を1として規格化した
点：測定値 実線：フィッティングカーブ

図 5-8 より、LRS の抵抗値の緩和は明確な温度依存性を示し、温度が高くなるにつれて緩和が速

くなっていることがわかる。1-5 節で議論した「界面準位への電荷の注入—放出モデル」を前提とすると、この原因としては、界面準位に注入された電荷の熱励起による放出が考えられる。

$$\frac{R(t)}{R(0)} = y_0 - A \exp\left(-\frac{t}{\tau}\right) \cdots \cdots \textcircled{15}$$

抵抗値の緩和は y_0 , A , τ^{-1} の 3 つのパラメータを設定した⑮式であらわされると仮定する。 y_0 は充分時間が経過し、緩和が見られなくなった状態での LRS との抵抗比である。 $t=0$ で⑮式の左辺は 1 なので、 A は $A=y_0-1$ である。また τ^{-1} は τ の逆数であり、最も強く温度依存性を示すパラメータであると考えられる。

T(K)	y_0	A	τ^{-1} (s ⁻¹)
420	7.1226 ± 0.0258	6.0933 ± 0.178	0.0091349 ± 0.000501
400	6.3465 ± 0.0414	5.1496 ± 0.0842	0.0013228 ± 4.92e-05
360	8.4356 ± 0.313	7.2474 ± 0.286	0.00030716 ± 2.21e-05
330	7.1368 ± 0.382	5.9566 ± 0.35	0.00030822 ± 3.27e-05
300	7.4978 ± 0.762	6.2421 ± 0.735	0.00018738 ± 3.14e-05
270	5.5387 ± 0.755	4.1924 ± 0.72	0.00022048 ± 5.75e-05

表 5-1. 各パラメータの係数と温度の関係
 y_0 , A , τ^{-1} 間の関係に制限がない場合

図 5-8 のフィッティングカーブは、測定値と最も近くなるように y_0 , A , τ^{-1} を決めたものであり、それらの値は表 5-1 に示すようになる。

十分時間が経過した時 LRS が完全に HRS まで戻ると考えるならば、 y_0 は抵抗変化比(ON / OFF ratio)となる。しかしこの素子における抵抗変化比は $\sim 10^3$ であり、図 5-8 を見る限りでは $y_0 \sim 10^3$ となるとは考えにくい。したがってここでは y_0 の値として、実験値である 6.9 を採用する。すると $A=5.9$ となり、この 2 つのパラメータを固定した上で τ^{-1} の温度依存性を考える。

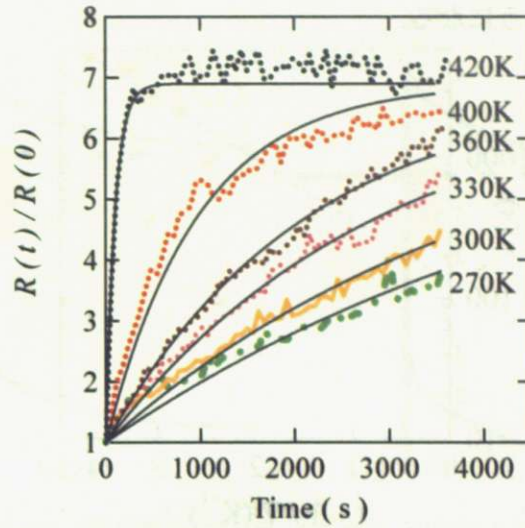


図 5-9. $y_0 = 6.9$, $A = 5.9$ とした場合のフィッティングカーブ

温度と τ^{-1} の関係は次表 5-2 のようになる。

T(K)	τ^{-1} (s ⁻¹)
420	0.010281
400	0.0010219
360	0.0004643
330	0.000343
300	0.0002349
270	0.0001827

表 5-2. 温度と τ^{-1} の関係 : $y_0 = 6.9$, $A = 5.9$ とした場合

緩和時間 τ と温度 T の関係を

$$\frac{1}{\tau} = \nu \exp\left(-\frac{E}{k_B T}\right) \dots \dots \textcircled{16}$$

とにおいて⑩式を変形すると、次のようにかける。

$$\ln \tau = \frac{E}{k_B T} - \ln \nu \dots \dots \textcircled{17}$$

ただし k_B はボルツマン定数, ν は定数, E は活性化エネルギーである。

T と $\ln \tau$ の関係は図 5-10 のようになる。

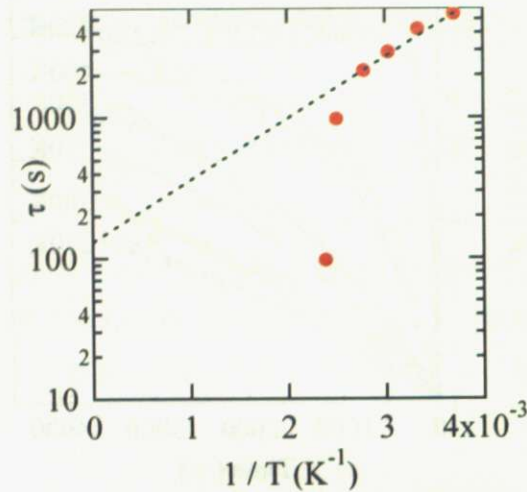


図 5-10. 緩和時間の温度依存性

$T = 400K$, $420K$ については直線からの逸脱が大きかったため除外した。図 5-10 の点線の傾きは活性化エネルギー E/k_B を表し、 $\ln \tau$ 軸との切片は T が十分大きいときの緩和時間を表す。これらを求めると $E/k_B = 1020$, $\ln \tau$ 軸との切片は 4.88 なので、活性化エネルギーは $0.088eV$, $T \rightarrow \infty$ のときの緩和時間は $131.6s$ となる。

本章では、LRS の経時劣化現象に注目し、その温度依存性を調べた。温度を高くするほど緩和が速くなるという結果が得られたことから、図 5-11 のように界面準位に注入された電荷の熱励起が抵抗値の経時劣化の原因であると考えられる。この電荷の熱的な励起は素子が HRS 状態になるまで続くのではなく、浅いトラップサイトにある電荷が $0.088eV$ の障壁を越えて抜けていき、深いサイトにある電荷はそのまま残る。浅いトラップサイトにある電荷は深いトラップサイトにある電荷に比べると、室温においては $1/100$ 程度と少ない。浅いトラップサイトの電荷が抜けた状態は LRS でも HRS でもなく中間の抵抗値をもち、この状態に至ったとき飽和し以降はその状態で安定となる。この状態における抵抗値は $y_0 = 6.9$ より LRS の 6.9 倍であり、バンドダイアグラムは図 5-12 で表される。

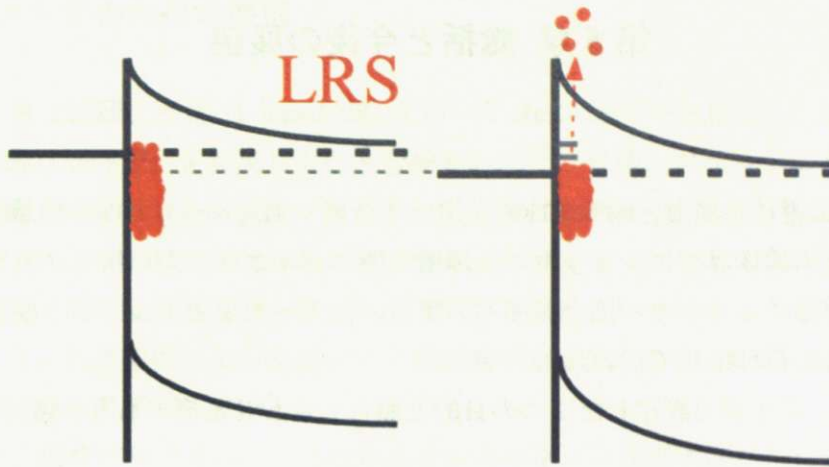


図 5-11. 界面準位にトラップされた電荷の緩和

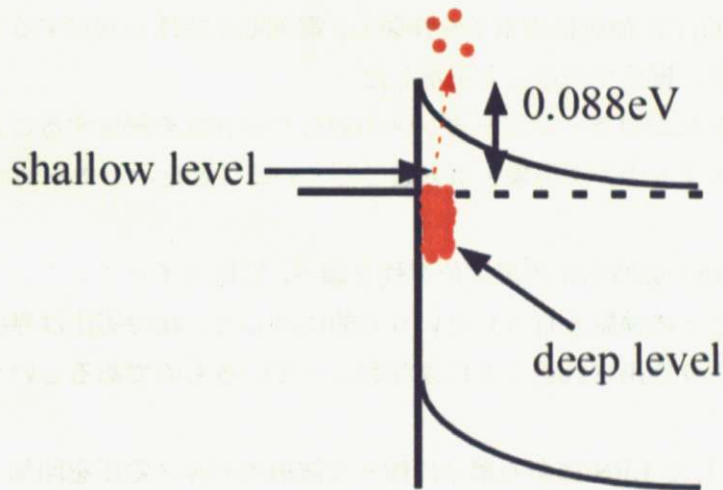


図 5-12. LRS 経時劣化のモデル

第6章 総括と今後の展望

6-1 研究の総括

本研究は、二元系遷移金属酸化物 Nb-TiO₂ を用いて金属 / Ti_{1-x}Nb_xO₂ / Ti の積層構造素子を作製し、金属-酸化物半導体界面にショットキー障壁を持つバイポーラ型抵抗スイッチング現象に関して、金属-半導体ショットキー接合界面への電荷の注入-放出モデルという既存の動作メカニズムのモデルの検証を目指して行われた。

本研究の成果を、第2章で設定した2つの目的と照らし合わせる形でもう一度述べる。

(i) 「金属-半導体界面にショットキー障壁を持つ系における抵抗スイッチング現象発現メカニズムとして提唱されている、「界面準位への電荷の注入-放出モデル」の検証を行う」という目的に対して、このモデルの妥当性を確認することができた。

まず金属 / Ti_{1-x}Nb_xO₂ / Ti 積層構造素子を作製し、電流電圧特性を測定することでショットキー障壁が抵抗メモリ効果に重要であることを示した。

さらに HRS と LRS におけるインピーダンスの周波数依存性を測定することで金属-半導体界面の抵抗変化が抵抗スイッチング現象を引き起こしていることを示した。

(ii) 「LRS の抵抗値の経時劣化の温度依存性を調べ、抵抗スイッチングが電荷のトラップにより起こる現象であることの検証を行う」という目的に対して、経時劣化は界面準位に注入された電荷が熱的な励起により放出されることにより起こっているものであるというモデルを提案した。

まず補助的な実験として LRS にある素子に様々な波形のパルス電圧を印加しその抵抗値の時間依存性を測定した。その結果、抵抗値の緩和はパルス電圧の幅、間隔、回数にはよらず時間と共に進むが、印加するパルス電圧の絶対値を大きくすることで低抵抗状態の維持に寄与し、緩和速度を制御できることを示した。

そして緩和速度の温度依存性の測定を行うことにより、温度を高くするほど緩和が速くなるという結果が得られたことから、界面準位に注入された電荷の熱励起が抵抗値の経時劣化の原因であるという可能性を指摘した。ただしこの緩和は HRS 状態に戻るまで続くのではなく、浅いトラップサイトにあるキャリアが 0.088eV の障壁を越えたところで飽和する。

さらなる知見を得るにはより詳細な界面準位の考察が必要であると考えられる。例として電場変調分光法がある^[26]。この方法は電場印加に伴う吸収スペクトルの変化を高感度に観測でき、界面の電子状態の精密な観測を可能にする。この評価法を用いれば電圧印加による界面電子状態と界面伝導特性の変化の関係についての知見を得ることができると期待されている。

6-2 不揮発性メモリの今後の展望

2007年12月、富士通研究所はTi-doped NiOを用いたReRAM素子を作製し、従来のReRAM素子に比べて飛躍的な高性能化を実現したことを発表した^[27]。今後、フラッシュメモリの代替として高速・低消費電力・低コストの混載メモリとして実用化を目指すとしている。

またReRAMに限らずPRAM, FeRAM, MRAMなどフラッシュメモリに変わる次世代不揮発性メモリは基礎研究、実用化の両面から急ピッチで開発が進められている。さらなるセルサイズのシュリンク、すなわち微細化による集積化など魑魅魍魎が跋扈する厳しい開発競争が今も世界の各研究所、企業で繰り広げられている。

多くの人、モノ、情報が時空を超えてつながるインターネット社会すなわちユビキタス社会の実現は国家プロジェクトであり、不揮発性メモリがコアテクノロジーとしてその中心に位置していることは疑う余地がない。本研究が、このような来たるべきユビキタス社会を支える次世代不揮発性メモリのひとつであり、かつ最も有望視されているReRAMの実用化へ向けた一助となることを期待している。

参考文献

- [1] 逢坂哲爾 記録・メモリ材料ハンドブック 朝倉書店
- [2] 猪俣浩一郎 不揮発性磁気メモリ MRAM 工業調査会
- [3] S. Q. Liu *et. al.*, *Appl. Phys. Lett.*, **76**, 2749 (2000)
- [4] A. Beck *et. al.*, *Appl. Phys. Lett.*, **77**, 139 (2000)
- [5] 松本 亮 東京大学大学院新領域創成科学研究科物質系専攻 修士論文 (2007)
- [6] 松本智 半導体デバイスの基礎 培風館 電気・情報工学系テキストシリーズ 5
- [7] メモリ技術解説 <http://journal.mycom.co.jp/news/2002/09/05/09.html>
- [8] Yoshito. Jin, *Jpn. J. Appl. Phys.*, **45**, 3243 (2006)
- [9] Y. W. Xie *et. al.*, *J. Appl. Phys.*, **100**, 033704 (2006)
- [10] W. W. Zhuang *et. al.*, *Tech. Dig. Int. Electron Devices Meet., San Francisco*, 2002, p. 193
- [11] T. W. Hickmott, *J. Appl. Phys.*, **33**, 2669 (1962)
- [12] J. Gibbons *et. al.*, *solid-State Electron*, **7**, 785 (1964)
- [13] J. G. Simmons *et. al.*, *Proc. R. Soc. London A*, **301**, 77 (1967)
- [14] S. Seo *et. al.*, *Appl. Phys. Lett.*, **85**, 5655 (2004)
- [15] S. M. Sze *et. al.*, *PHYSICS OF SEMICONDUCTOR DEVICES 3rd edition WILEY* (2006)
- [16] 福永 守 早稲田大学工学部理工学研究科博士論文 (2006)
- [17] A. Sawa *et. al.*, *Appl. Phys. Lett.*, **85**, 4073 (2004)
- [18] ショットキー障壁 <http://staff.aist.go.jp/shiro-hara/schottkytop.html>
- [19] T. Fujii *et. al.*, *Appl. Phys. Lett.*, **86**, 012107 (2005)
- [20] T. Fujii *et. al.*, *Phys. Lev. B*, **75**, 165101 (2007)
- [21] 金原 粲 薄膜の基本技術[第二版] 東京大学出版会
- [22] 今野 陽介 東京大学工学部応用化学科卒業論文 (2006)
- [23] A. Baikalov *et. al.*, *Appl. Phys. Lett.*, **83**, 957 (2003)
- [24] S. Tsui *et. al.*, *Appl. Phys. Lett.*, **85**, 317 (2004)
- [25] X. Chen *et. al.*, *Appl. Phys. Lett.*, **87**, 233506 (2005)
- [26] 赤穂博司 新しい物理現象や動作原理に基づくナノデバイス・システムの創製
http://www.jst.go.jp/kisoken/crest/report/heisei18/pdf/pdf17/17_2/005.pdf
- [27] 富士通研究所プレスリリース <http://pr.fujitsu.com/jp/news/2007/12/14-3.html>

謝辞

本研究を行うにあたり、たくさんの方々にお世話になりました。

高木英典教授は、よく食事をご一緒させていただきました。ありがとうございました。毎日楽しそうに酸化物の物性などについてディスカッションする姿を見て、やはり人間好きなことをして過ごすのが一番幸せなんだと感じました。私もそのように気ままに生きたいと思いました。

野原実准教授には会食、輪講などを通してたくさんのことを学び、優秀な大人になるための勉強をさせていただきました。まだまだヨチヨチ歩きですが、将来的にはとびっきり優秀な大人に成長したいと思います。

中村吉伸助教は論文などをたくさんいただいたり、学会間近の時期に野球ネタで何時間も盛り上がるなど数々の修羅場を共有することができました。おかげさまで多少のことには動揺しないようになり、人間的にふたまわりほど成長できたと思います。

高山知弘助教は壁一枚はさんで席が向かいにありましたが、いつも熱心に仕事をされている様子を見て刺激されました。壁一枚向こうでいつも寝てる or さわいでるばかりで申し訳ございませんでした。

藤原さんにはいつもドラえもんのように道具をだしていただいて、おかげさまでもうムチャクチャでしたがねじこんでなんとかとにもかくにも凌ぎ切ることができました。ありがとうございました。はやく自立できるようにがんばりたいです。三年ものあいだ重い荷物というか足枷というかおもりを背負わせてしまい申し訳ございませんでした。

富田さんとはつくばと柏だったのであまりお会いする機会がなかったのですが、修論をみせていただいたり、スポーツ大会でご一緒させていただいたり、本当にお世話になりました。

芝山先輩には酒の席で何度もご一緒させていただくなどお世話になりました。

疋田助教をはじめとするHwang研究室の方々にはEB装置のトラブル等で何度もご迷惑をお掛けしてしまいましたが、そのたびに丁寧にやさしく対応していただきました。本当にありがとうございました。

秘書の飯田さん、和泉さん、八島さんにはたくさんのお話を聞かせていただいたり、修論の進み具合を気にかけていただいたりと数え切れないぐらいお世話になりました。本当にありがとうございました。出世払いということで契約が成立していると思うので何年か後に恩返しをしたいと思います。

先輩がた、同期のみなさんは三年間のお付き合いでしたがあっという間でした。研究室に残る人も旅立つ人もそれぞれの道でご活躍されることを祈っております。アーメン

後輩のみなさんとはポンチーしたことしか思い出せません。みんなわたしのかわいい養分でした。わたしが作り上げた研究室のつまむ伝統だけは絶やすことのないよう努力してください。

最後に、私の研究生生活を支えてくれた家族、親戚、友人の方々に深く感謝の意を表したいと思います。

2008年3月