

修士論文

CMOS イメージセンサのための  
蓄積時間・バイアス電圧自動調整システム

門馬 太平

東京大学大学院 工学系研究科 電子工学専攻

学籍番号 56457

指導教員 浅田 邦博 教授

2007 年 2 月 2 日提出

# 目次

第 1 章	序論	1
1.1	研究の背景と目的	1
1.2	スマートイメージセンサ	2
1.3	本論文の構成	5
第 2 章	CMOS イメージセンサのための自動調整手法	6
2.1	既存の調整手法	6
2.2	CMOS イメージセンサの構造と提案手法における調整要素	7
2.3	撮影画像のヒストグラムを用いた画質自動調整	9
2.3.1	ヒストグラムによる画質評価	9
2.3.2	提案手法による画質自動調整調整	13
2.4	調整手法の評価	15
2.4.1	評価環境	15
2.4.2	撮影環境の変化に対する有効性	18
2.4.3	撮影対象の種類による有効性	24
2.5	より細粒度な調整手法の検討	28
2.5.1	画像の領域毎の並列調整	28
2.5.2	補間による調整領域の連続性の確保	28
2.5.3	細粒度調整手法の初期評価	30
第 3 章	自動調整機能を備えた CMOS イメージセンサの設計	38

目次		ii
3.1	ピクセル回路 . . . . .	40
3.2	A-D コンバータ . . . . .	40
3.3	ヒストグラム処理ユニット . . . . .	41
3.4	フィードバック制御ユニット . . . . .	43
第 4 章	自動調整機能を備えた CMOS イメージセンサの評価	48
4.1	A-D コンバータの性能評価 . . . . .	48
4.2	調整機能の動作確認 . . . . .	49
第 5 章	結論	51
5.1	まとめ . . . . .	51
5.2	今後の課題 . . . . .	52
参考文献		53
謝辞		55

# 目次

1.1	スマートイメージセンサ . . . . .	2
1.2	従来のイメージセンサとスマートイメージセンサの比較 . . . . .	3
2.1	CMOS イメージセンサのピクセル回路 . . . . .	8
2.2	撮影画像とそのヒストグラムの例 . . . . .	10
2.3	蓄積時間を理想より長くした場合の撮影画像とそのヒストグラムの例 . . . . .	11
2.4	蓄積時間を変化させた際の平均値と中間値の差の変動 . . . . .	13
2.5	フィードバックを用いた調整手法の概念図 . . . . .	14
2.6	調整手法のフローチャート . . . . .	16
2.7	評価環境 . . . . .	17
2.8	シミュレーションに用いた撮影用画像 . . . . .	19
2.9	蓄積時間とバイアス電圧の変動に対するヒストグラムの最大値と最小値 の差の等高線表示 (明るい環境) . . . . .	19
2.10	シミュレーションにより最適と判断された画像 (明るい環境) . . . . .	20
2.11	蓄積時間とバイアス電圧の変動に対するヒストグラムの最大値と最小値 の差の等高線表示 (暗い環境) . . . . .	21
2.12	シミュレーションにより最適と判断された画像 (暗い環境) . . . . .	21
2.13	シミュレーションにより最適と判断された画像のヒストグラム (明るい 環境) . . . . .	22
2.14	シミュレーションにより最適と判断された画像のヒストグラム (暗い環境)	22
2.15	シミュレーションによる自動調整の様子 . . . . .	23

2.16	シミュレーションに用いた撮影用画像 (抽象画像 1) . . . . .	24
2.17	シミュレーションに用いた撮影用画像 (抽象画像 2) . . . . .	25
2.18	シミュレーションにより最適と判断された画像 (抽象画像 1) . . . . .	26
2.19	シミュレーションにより最適と判断された画像 (抽象画像 2) . . . . .	26
2.20	シミュレーションにより最適と判断された画像のヒストグラム (抽象画像 1) . . . . .	27
2.21	シミュレーションにより最適と判断された画像のヒストグラム (抽象画像 2) . . . . .	27
2.22	複数の行を単位とした並列調整の概念図 . . . . .	29
2.23	緩衝領域の設定 . . . . .	29
2.24	3つの独立した調整領域の設定 . . . . .	31
2.25	撮影対象の明るさが場所によって異なる場合に、画像全体を単位として調整した場合の最適画像 . . . . .	33
2.26	2つの独立した領域に対する調整 . . . . .	34
2.27	撮影対象の明るさが場所によって異なる場合に、画像全体を 2 領域に分けて調整した場合の最適画像 . . . . .	35
2.28	緩衝領域の高さを 10 ピクセルとした場合の最適画像 . . . . .	35
2.29	緩衝領域の高さを 30 ピクセルとした場合の最適画像 . . . . .	36
2.30	緩衝領域の高さを 50 ピクセルとした場合の最適画像 . . . . .	36
3.1	設計したセンサのチップ写真 . . . . .	39
3.2	設計したセンサのブロック図 . . . . .	40
3.3	ピクセル回路のレイアウト . . . . .	41
3.4	サブレンジング型 A-D コンバータのブロック図 . . . . .	42
3.5	フラッシュ A-D コンバータの抵抗ラダー . . . . .	42
3.6	最大/最小/中間値算出回路のブロック図 . . . . .	44
3.7	平均値算出回路のブロック図 . . . . .	45
3.8	ダイナミックレンジ算出/飽和検出回路のブロック図 . . . . .	46

# 表目次

2.1	評価に用いた CMOS イメージセンサの仕様 [14] . . . . .	17
2.2	調整領域の大きさによる最適な調整値の変化 (図 2.8) . . . . .	32
2.3	調整領域の大きさによる最適な調整値の変化 (図 2.16) . . . . .	32
3.1	設計したセンサの主な仕様 . . . . .	38

# 第 1 章

## 序論

### 1.1 研究の背景と目的

近年、デジタルカメラをはじめとする半導体光素子を利用した撮像機器の普及が進んでいる。半導体を用いた撮像用の素子としては、古くから画質の面で CCD(Charge Coupled Device) 方式 [1] に一日の長があったが、最近では様々な研究によって、CMOS(Complementary Metal Oxide Semiconductor) イメージセンサ [1] の画質も実用に堪えうる程度まで向上してきており、注目を集めている。CMOS イメージセンサの大きな利点は、CCD のように製造のために専用のプロセスを必要とせず、今日様々な LSI の製造に用いられている標準の CMOS プロセスを利用して製造できるという点である。このため、CMOS イメージセンサを用いると、図 1.1 のように同一チップにセンサ本体と A-D コンバータやコントローラ、プロセッサといった周辺回路を集積し、1 チップで完結したセンサシステムを構築する事が可能である。こうしたシステムは特にスマートイメージセンサと呼ばれている。スマートイメージセンサの代表的な例としては 3 次元距離計測が可能なセンサなどが挙げられ [5, 6]、他にも様々な機能を持ったセンサシステムが登場している。

このような CMOS イメージセンサの普及により、その応用範囲は多岐に渡っている。それに伴い、利用される環境も室内と屋外、朝と夜、晴れの日と曇りの日…等、様々な変化すると考えられる。このように利用環境が変化したとき、センサが最適な画像を出力するためのパラメータ (例えば、蓄積時間や増幅器のバイアス電圧など) も変化するはずである。このようなパラメータを周囲の環境の変化に応じて自動的に調整し、常に最適な撮

影画像が得られるセンサシステムが理想である。

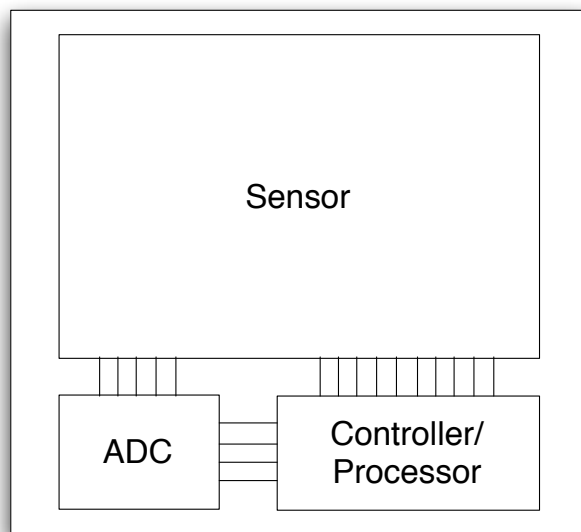


図 1.1 スマートイメージセンサ

例えばデジタルカメラの場合、周囲の明るさに応じてシャッタースピードを何段階かに調整する機能があるが、CMOS イメージセンサではこのような調整機構をセンサと同一チップ上に実装する事が可能であるので、より高速・高精度な調整が行えるのではないかと考えられる。そこで本研究では、様々な撮影環境で常に最適な画像が得られるセンサシステムの構築を目的とする。

本論文ではそれに先立ち、ハードウェア化への布石として CMOS イメージセンサのための画質の自動調整手法を提案し、その有効性を PC 上に構築した評価環境でシミュレーションを行う事により確認する。そして、実際に調整機能を備えたイメージセンサの設計を行い、その性能の評価を行う。

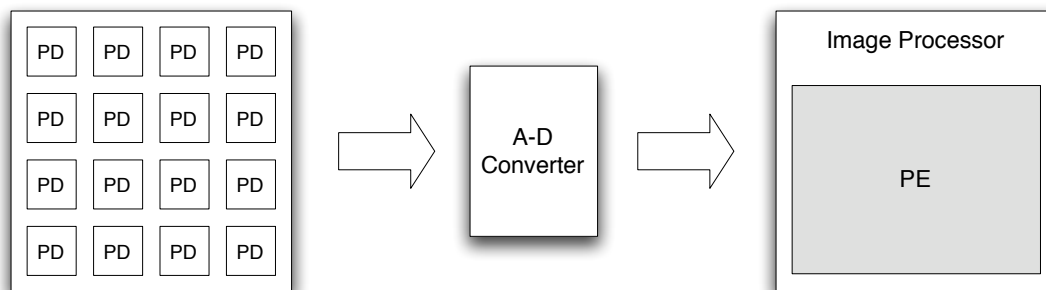
## 1.2 スマートイメージセンサ

スマートイメージセンサとは従来のイメージセンサに信号処理機能を持たせたものであり、他にコンピューショナルセンサ、インテリジェントセンサ、ビジョンチップなどと呼ばれている [2-4]。近年の CMOS 集積回路技術の急激な進歩により、イメージセンサ

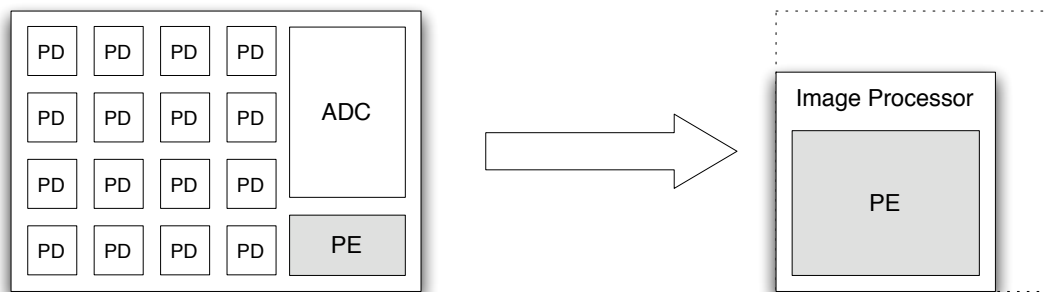


と同一のチップ上に様々な信号処理回路の実装が可能になったことや、イメージセンサ自体の高機能・高性能化への要求の高まりなどを背景として、盛んに研究が行なわれている。

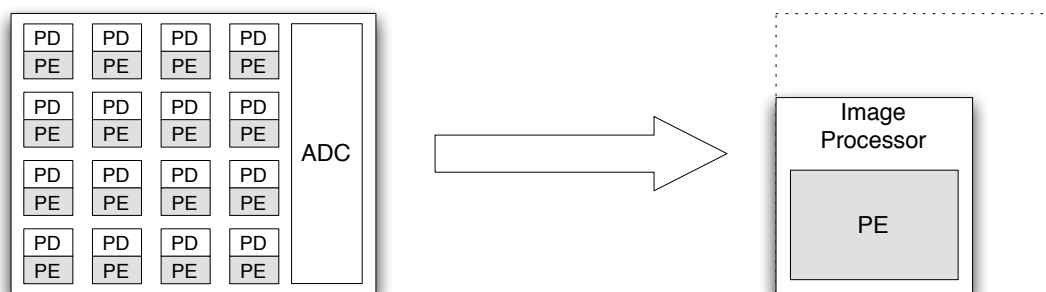
PD: Photo Diode  
 PE: Processing Element  
 ADC: A-D Converter



(a) Conventional Image Sensor



(b) Smart Image Sensor



(c) Smart Image Sensor with Pixel-Parallel Processing

図 1.2 従来のイメージセンサとスマートイメージセンサの比較

従来の画像処理システムでは、図 1.2(a) のように画像入力に対して A-D 変換、信号の転送、信号処理の順に独立した処理回路で行われてきた。このような画像入力と信号処

理が独立に行なわれる構成の場合、面積等の制約が小さいために信号処理自体の自由度は高いものの、撮像された画像情報すべてを信号処理部に転送する必要があるためにオーバーヘッドが大きくなる。またセンサへの情報のフィードバックも難しくなる。一方でセンサ自体に信号処理回路を含んだスマートイメージセンサでは、図 1.2(b),(c) のようにセンサ面上で前処理的な信号処理を行ったり、より柔軟な機能を実現する事が可能になる。図 1.2(c) は特にピクセル単位での並列処理を行うスマートイメージセンサであり、3次元計測や動き検出 [7,8] など、特にパフォーマンスが要求される応用ではこのような形態のものが用いられる事が多い。

スマートイメージセンサの特徴としては、

- 撮像時の 2 次元配列をそのまま生かした処理が可能
- 信号処理回路によりピクセル回路の実装面積が小さくなり、高解像度化が難しい
- 信号処理回路によりセンサ全体の消費電力の増大

などが挙げられる。1 つめの 2 次元配列をそのまま生かした処理は、従来のようにイメージセンサとは独立に信号処理を行う場合、チップの外に信号を出さなければならないため、どうしてもパッケージのピン数の制限により同時に処理できる画素の数の制約を受けてしまう。一方スマートイメージセンサでは、センサのピクセル回路に直接信号処理回路を実装したり接続したりする事が可能であるため、よりパフォーマンスの高い処理が可能になる。2 つめと 3 つめに挙げた問題点である信号処理回路の面積や消費電力については、集積回路技術の進歩により次第に小さくなっていくと考えられる。

このように、スマートイメージセンサの最大の特徴は、受光部であるピクセル回路の内部や同一チップ上に信号処理機能を持たせることであり、CMOS 回路との親和性の高い CMOS イメージセンサが用いられることが多い。スマートイメージセンサは面積上の制約により集積できる処理回路に限られるため、汎用的な機能をもつイメージセンサよりは、それぞれの目的に特化した機能を持つセンサとして発展していくだろう。

### 1.3 本論文の構成

第2章で本研究が提案する CMOS イメージセンサのための自動調整手法について紹介し、その有効性について評価を行う。第3章では実際に設計を行った調整機能付きの CMOS イメージセンサについて、その構成と動作のアルゴリズムについて説明を行う。第4章では設計したセンサの評価をシミュレーションにより行い、最後に、第5章で結論としてまとめと今後の課題について述べる。

## 第2章

# CMOS イメージセンサのための自動調整手法

本章では提案する自動調整手法を紹介し、どのように機能するのかを説明する。2.1 節ではまず既存のイメージセンサの調整手法について紹介し、その問題点を述べる。2.2 節では CMOS イメージセンサのピクセル回路の構造から、調整可能な箇所について議論する。2.3 節では実際に提案手法について詳細に説明し、2.4 節でその評価を行う。最後に 2.5 節において提案手法を拡張し、並列化の可能性についての検討を行う。

### 2.1 既存の調整手法

CMOS イメージセンサの撮影画質を自動調整する既存の手法としては、大きく分けて

- AGC (Automatic Gain Control; 自動利得制御)
- AE (Automatic Exposure; 自動露光)

の2通りが挙げられる。

前者の AGC を用いた手法 [9,10] では、イメージセンサからの出力電圧をゲイン調整により A-D コンバータの入力電圧範囲まで増幅し、ダイナミックレンジを広げることができるのが利点である。しかし、センサのピクセル回路自体の特性は変化させないため、そもそも露光の条件が適切でないような場合には、白色や黒色が飛んだ状態の画像をそのまま

出力してしまうという欠点がある。

後者の AE を用いた手法は、市販のデジタルカメラにおいても一般的に使われている。これはあらかじめ保持している数点の露光時間の中から、撮影環境の明るさに応じて適切なものを選択して利用するという手法である。この手法では選択可能な露光時間が限定されているために実装や調整の容易さの面で利点があるが、必ずしも選択された露光時間が適切であるとは限らないという問題点がある。また、明るさが常に変動する環境でリアルタイムに調整を行う事が難しい等の欠点もある。AE を用いたイメージセンサの研究例としては、画素毎に 4 段階の露光時間に調整可能なイメージセンサに関する研究 [11] が挙げられる。

## 2.2 CMOS イメージセンサの構造と提案手法における調整要素

まず、CMOS イメージセンサの構造から、センサのパラメータとしてどの部分が調整可能かを考える必要がある。図 2.1 に本研究でターゲットとしている CMOS イメージセンサのピクセル回路とその周辺部の回路図を示す。図中の破線で囲んだ部分が 1 画素に相当し、これが二次元格子状に並べられている。このピクセル回路の構成は、回路内にそれぞれリセット、行選択、増幅用の 3 つの N 型 MOS トランジスタを含むスタンダードな CMOS APS(Active Pixel Sensor) [12, 13] である。フォトダイオードに蓄積された電荷が増幅器であるソースフォロワを通じて A-D コンバータへと入力され、デジタルの画素値が出力される構造になっている。この構造は、従来のピクセル内に増幅器を持たない PPS(Passive Pixel Sensor) と区別され、信号伝達の際にノイズの影響を受けにくいのが特徴である。

この APS 構造を持つ CMOS イメージセンサの調整要素としてまず考えられるのが、フォトダイオードの蓄積 (露光) 時間である。これは光学的なカメラで言うシャッタースピードに相当し、CMOS イメージセンサではピクセル回路内のリセット信号 (RST) と行/列選択信号のタイミングでこれを制御する。明るい環境と暗い環境では、当然ながら適切な蓄積時間の長さは異なるはずなので、蓄積時間を適切に調整する事によって常に良

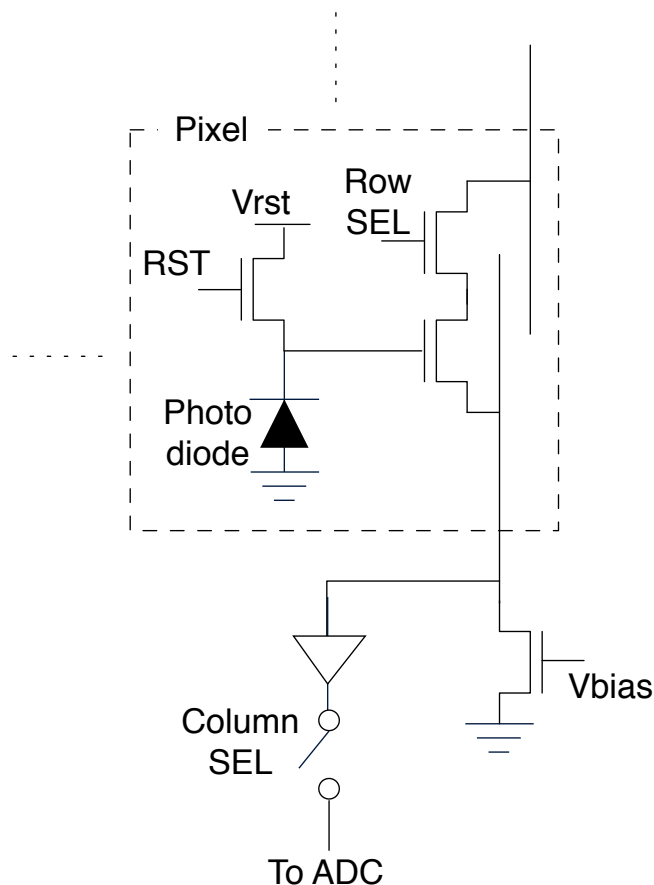


図 2.1 CMOS イメージセンサのピクセル回路

好きな撮影画像が得られるようになることが考えられる。リセット電圧 ( $V_{rst}$ ) を調整することによっても似た効果が得られるが、蓄積時間の場合はデジタル値として制御可能な利点があり、こちらを調整する方がハードウェアの資源が少なく済む。

次に考えられるのが、ソースフォロワの負荷となっているトランジスタのバイアス電圧 ( $V_{bias}$ ) である。これは画素のアナログ出力値に直結する重要な要素であり、環境によって最適なバイアス電圧が変化する可能性がある。蓄積時間が線形的な要素であったのに対して、こちらは非線形的な要素である。非線形的な効果を調整に導入することにより、適応範囲が広がることが期待される。

以降、本論文ではこの2つの要素を調整対象として議論を進めていく。なお、バイアス電圧という言葉は、特に断りが無ければピクセル回路のソースフォロワ増幅器の負荷トラ

ンジスタのバイアス電圧を示すこととする。

## 2.3 撮影画像のヒストグラムを用いた画質自動調整

画像の特徴を表す指標として、横軸に画素値 (画素の量子化ビット数が 8bit であれば 0 ~ 255; 0:黒, 255:白) を横軸に、画像中の出現数を縦軸に取ったヒストグラムと呼ばれるグラフがしばしば用いられる。本研究では、イメージセンサの撮影画像のヒストグラムを解析する事により、センサの調整を行う事を考えた。ヒストグラムを用いる事により、

- 実際の撮影画像を解析した上での正確なフィードバックが可能
- 局所的だけではなく、大域的にも最適な調整値を求める事が可能

という利点がある。

イメージセンサで撮影する対象が同一でも、明るさなどの撮影する環境の変化によって撮影画像のヒストグラムは変化する。そのため、環境の変化に伴う撮影画像の画質の変動を抑制し、常に適切な画質の出力を得るためには、前節で挙げた撮影時の調整要素を適切に変化させる必要がある。すなわち、撮影画像の画質を最適にするよう調整するためには、調整要素の変化に伴うヒストグラムの変化と撮影画像の画質の良さをいかに結びつけるかが重要である。

### 2.3.1 ヒストグラムによる画質評価

まず、調整要素を変化させると撮影画像やヒストグラムがどのように変化するかを確認してみる、図 2.2 に撮影画像の例とそのヒストグラムを示す。例えばこの画像を蓄積時間を長くして撮影すると、図 2.3 のような撮影画像とヒストグラムに変化する。このように、蓄積時間を長くすることによってヒストグラムは白レベル側にシフトするという結果が確認できる。同様に蓄積時間を短くすると、ヒストグラムが黒レベル側にシフトする事が確認できる。

では、実際にヒストグラムと撮影画像の画質はどのようにに対応するのか。本研究では、ヒストグラムから撮影画像の画質を評価する指標として、

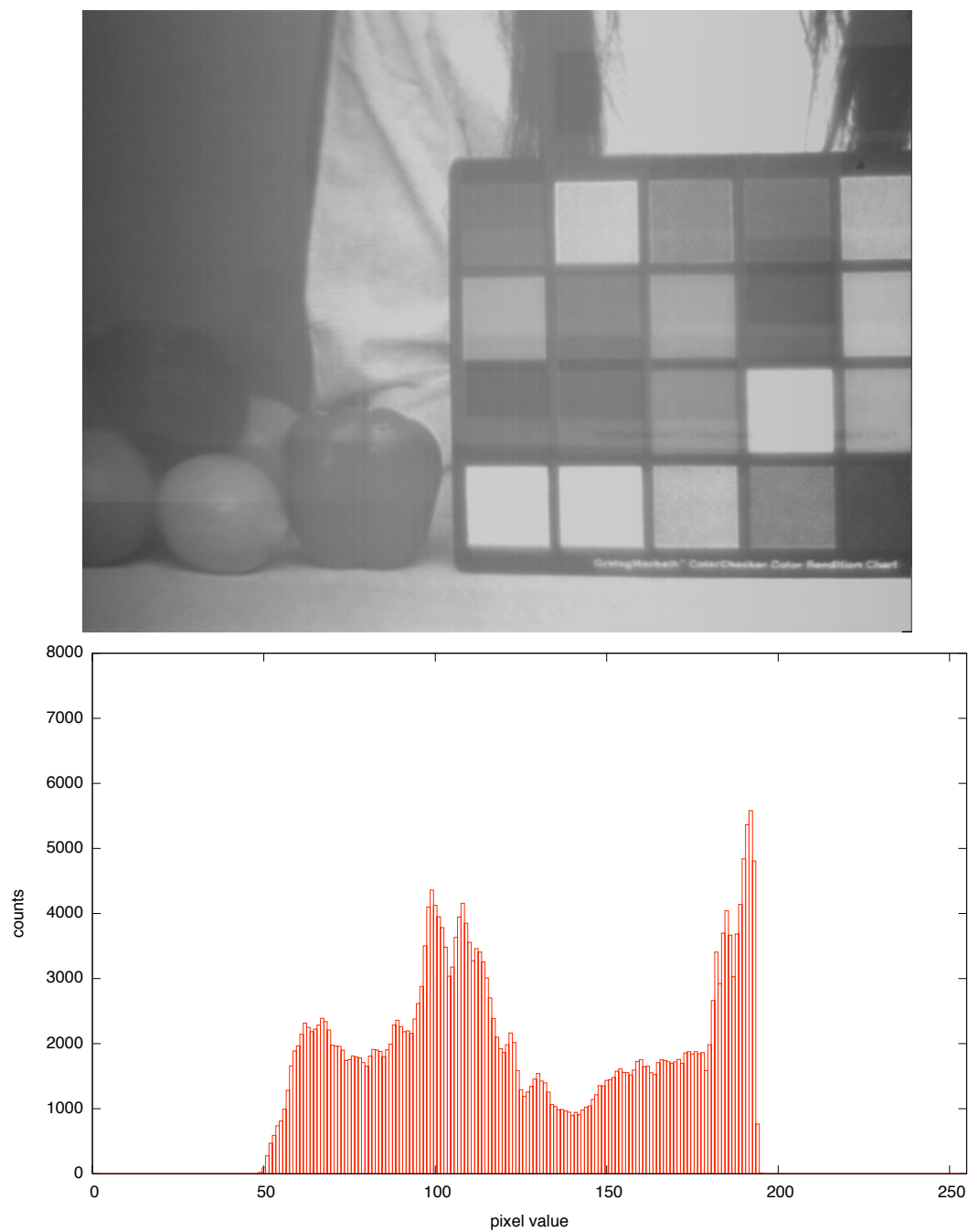


図 2.2 撮影画像とそのヒストグラムの例

- ヒストグラムの広がり
- ヒストグラムの飽和度合い



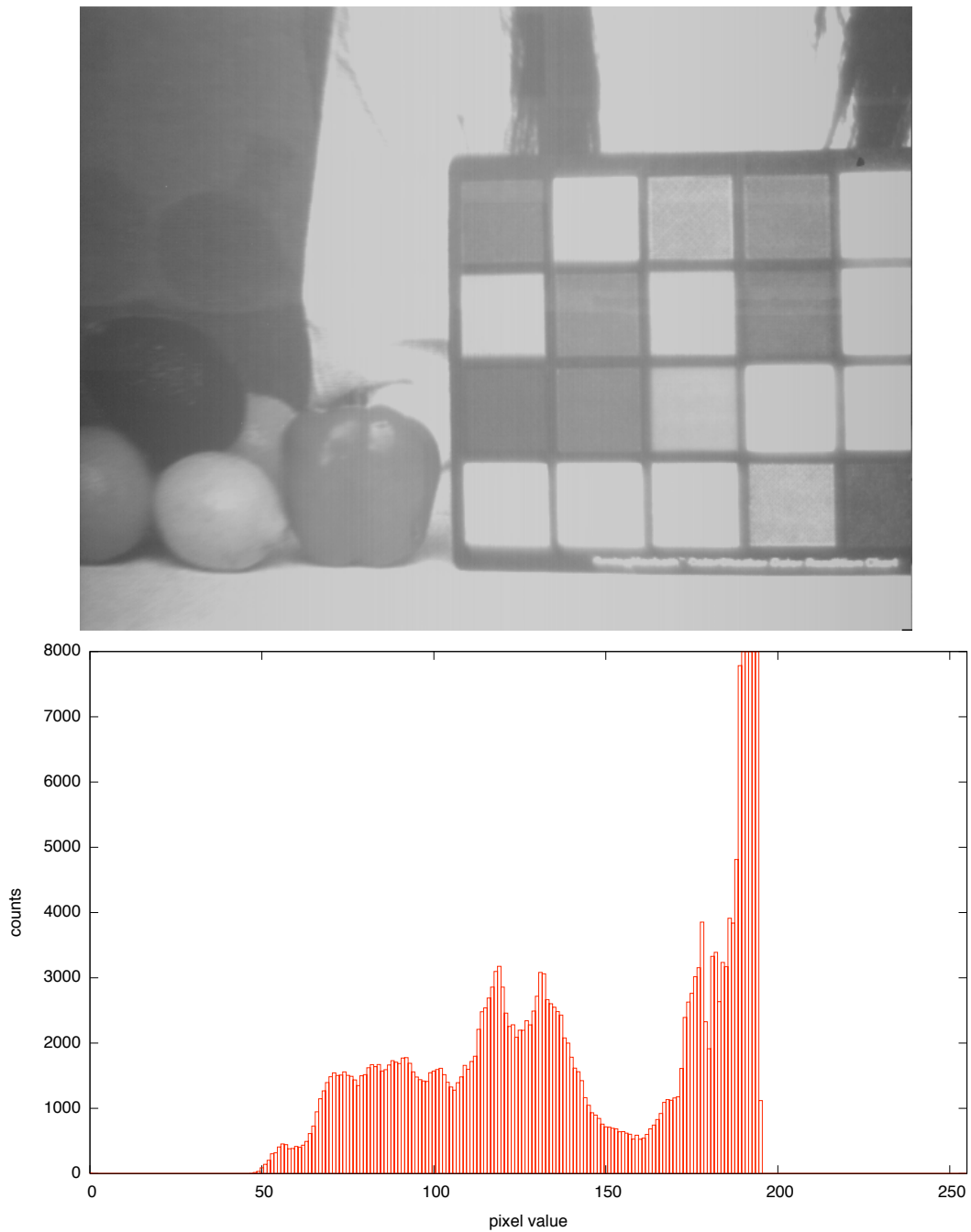


図 2.3 蓄積時間を理想より長くした場合の撮影画像とそのヒストグラムの例

の 2 点に着目した。

まず一つ目はヒストグラムの広がりである。ヒストグラムの広がり大きいという事は、センサからの出力が A-D コンバータの許容する入力電圧範囲を広く使っているとい

う事を表す。すなわち、ヒストグラムの広がりや画像のダイナミックレンジの大きさを示す指標であると言える。センサの持つ理論上のダイナミックレンジを撮影時に限界まで使うためには、環境に応じてヒストグラムの広がりや可能な限り大きくなるように調整する必要がある。

そしてもう一つはヒストグラムの飽和度合いである。イメージセンサのアナログ的な出力には、当然上限（白レベル）と下限（黒レベル）がある。そのため、蓄積時間が極端に長すぎれば上限付近に、短すぎれば下限付近に、それぞれヒストグラム中の画素値の出現頻度が集中する事になる。先の図 2.3 は蓄積時間を長くしすぎて撮影した画像とヒストグラムの例であり、画像からはカラーチャート部の色が白く飛んでしまっているのが、ヒストグラムからは白レベル側に画素値が集中していることが確認できるだろう。

すなわち、たとえヒストグラムの広がりや大ききても、ヒストグラムが飽和している状態では撮影画像で得られるべき情報の一部が失われているという事であり、望ましい状況ではない。よって、ヒストグラムが飽和していない範囲で、可能な限りヒストグラムの広がりや大きき状態にするのが撮影画像の画質を自動的に調整する際に重要な点であると言える。

以上をふまえて実際にヒストグラムを画質評価の指標とするためには、画質の良さをヒストグラムから得られる何らかの具体的な数値で表現する必要がある。一つ目のヒストグラムの広がりについては、そのままヒストグラムより画素の最大値と最小値の差を求めれば良いが、二つ目のヒストグラムの飽和度合いについては、ヒストグラムから直接対応する数値を得ることはできない。

ここで、撮影画像の画素値の平均値と中間値 (middle value) に着目する。ここで言う中間値とは、画素の最大値と最小値の中央の値と定義され、いわゆるメディアンとは異なる。いま、ヒストグラムが飽和していない状態では、最大値、最小値、ピークの山がほぼ同じように変化するため、調整する要素の変化に対して画素の平均値と中間値はほぼ同じように追従する。しかし、飽和が始まると、調整要素の変化に対して最大値や最小値はほぼ不変となり、画素値のピークの山のみが変動するようになるため、中間値の変動は平均値の変動と比較して小さくなる。この事を考慮すると、平均値と中間値の差の変動がヒストグラムの飽和度合いを評価する適切な指標になるのではないかと考えられる。

図 2.4 は実際に CMOS イメージセンサを用いて、ある画像を蓄積時間を変化させながら撮影した際の、画素の平均値と中間値の差をプロットしたグラフである。蓄積時間が 40ms を超えたあたりで急に変動が大きくなっており、ヒストグラムを参照すると、この蓄積時間付近を境に白レベルの飽和が始まっている事が確認できる。これより、平均値と中間値の差はヒストグラムの飽和度合いを評価する指標として妥当であると言う事ができるだろう。

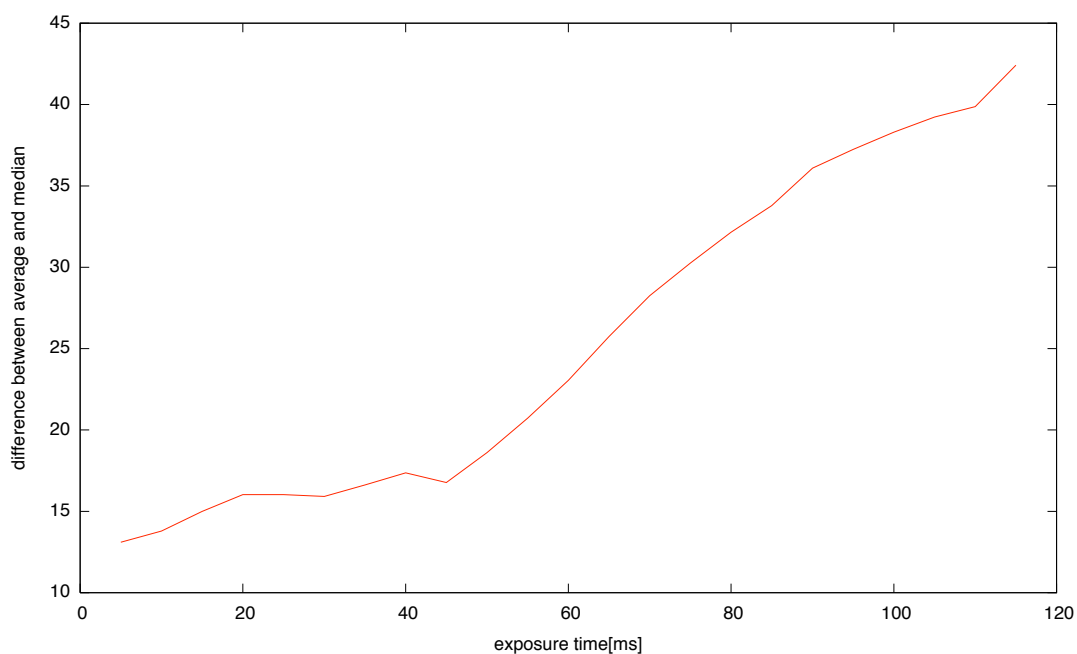


図 2.4 蓄積時間を変化させた際の平均値と中間値の差の変動

### 2.3.2 提案手法による画質自動調整調整

本節では、実際にどのような手順で調整が行われるかを述べる。前節で述べたように、調整の際に重要な要素は 2 つ、すなわちヒストグラムの広がり大きく、かつヒストグラムの飽和度合いを小さくする事である。この 2 つの要素がそれぞれ

- 画素の最大値と最小値の差
- 画素の平均値と中間値の差

という統計量に対応するということは前節で述べた。よって、調整可能な2つのパラメータを変えながら画像を撮影してこれらの統計量の変化をモニタし、最適な値に近づけるようイメージセンサ側にフィードバックを行うのが調整の作業である。図 2.5 に概念図を示す。

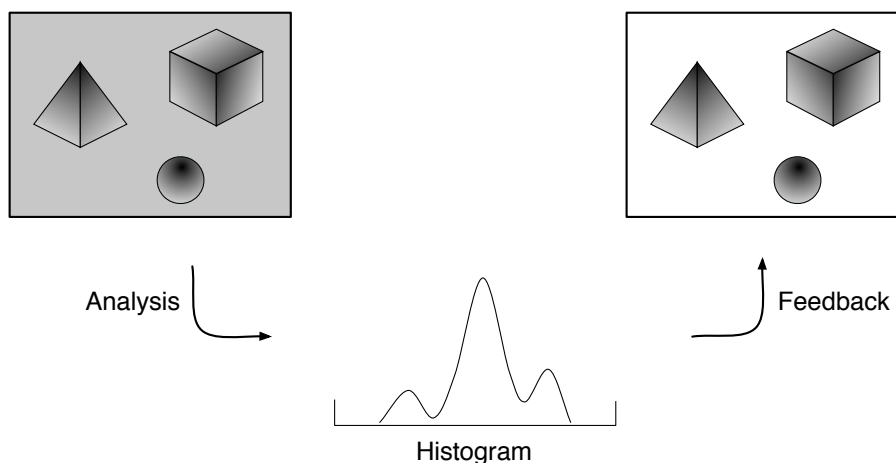


図 2.5 フィードバックを用いた調整手法の概念図

提案手法による具体的な調整は次のような手順で行われる。また、図 2.6 に調整の流れのフローチャートを示す。基本的な流れとしては蓄積時間とバイアス電圧について独立に最適なパラメータを算出し、2つのパラメータのいずれも最適と判断された時点で調整を完了する。

- 初期状態として、蓄積時間とバイアス電圧の調整値を最小にする
- 蓄積時間の調整は次の手順で行う
  1. 蓄積時間を増加させる
  2. 撮影を行う
  3. ヒストグラムから最大値と最小値の差を求める
    - － もし蓄積時間の増加前よりも差が小さくなっていれば、6. へ
  4. ヒストグラムから平均値と中間値の差を求める
    - － もし平均値と中間値の差の変化量が閾値を超えていれば、6. へ
  5. 「バイアス電圧調整完了フラグ」を消して 1. へ

6. 蓄積時間を増加前の値に設定する
    - もし「バイアス電圧調整完了フラグ」が立っていれば、調整完了
  7. 「蓄積時間調整完了フラグ」を立ててバイアス電圧の調整へ
- バイアス電圧の調整は次の手順で行う
    1. バイアス電圧を増加させる
    2. 撮影を行う
    3. ヒストグラムから最大値と最小値の差を求める
      - もしバイアス電圧の増加前よりも差が小さくなっていれば、6. へ
    4. ヒストグラムから平均値と中間値の差を求める
      - もし平均値と中間値の差の変化量が閾値を超えていれば、6. へ
    5. 「蓄積時間調整完了フラグ」を消して1. へ
    6. バイアス電圧を増加前の値に設定する
      - もし「蓄積時間調整完了フラグ」が立っていれば、調整完了
    7. 「バイアス電圧調整完了フラグ」を立てて蓄積時間の調整へ

以上の流れにより、最適な画像が得られる事が期待される。実際のシステムにおいては、センサと同一チップ上に集積されたコントローラにより実装されることになる。

## 2.4 調整手法の評価

前節で取り上げた手法の有効性を検討するため、本研究室で開発された既存の CMOS イメージセンサ [14] を用いて実際に画像を撮影し、提案手法によって最適な画像が得られるかどうかを確認した。

### 2.4.1 評価環境

表 2.1 に評価に用いた CMOS イメージセンサの仕様を示す。このセンサは図 2.7 に示すように接続されている FPGA 上のコントローラにより制御され、Fast SCSI インターフェースを介して接続されているホスト PC から撮影の命令を行うシステムになっている。センサからはグレースケールの 256 階調の画像がビットマップデータとして得ら

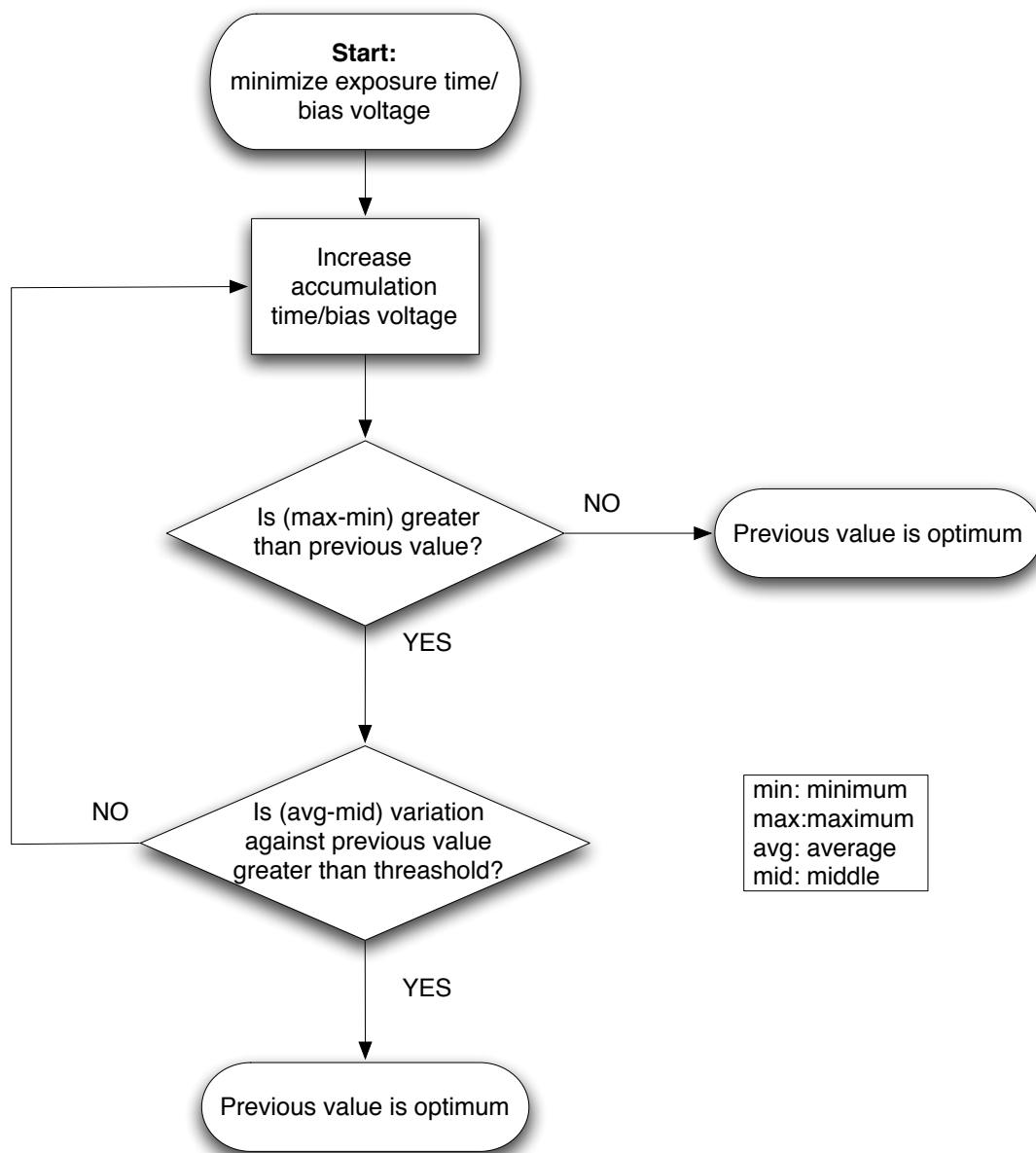


図 2.6 調整手法のフローチャート

れる。

既存のシステムに調整機構を直接組み込む事は不可能なので、イメージセンサで撮影された画像のビットマップデータを PC に直接転送し、PC 上で提案手法をシミュレーションするという形で行った。シミュレータは C 言語で書かれており、センサからの出力のビットマップデータを読み込んだ上で前節で述べた手法を適応し、最適なものを選び出す

表 2.1 評価に用いた CMOS イメージセンサの仕様 [14]

Technology	2P3M 0.6um CMOS process
Die size	8.9mm×8.9mm
# pixels	640 × 480 pixels (VGA)
# FETs	1.12M FETs
Pixel size	12.0um×12.0um
Fill factor	29.54%

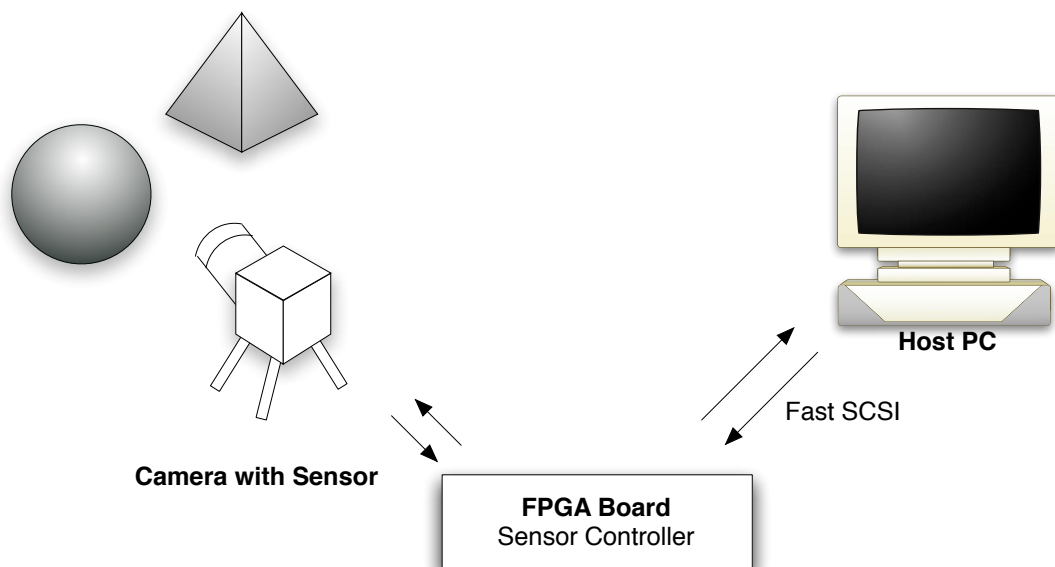


図 2.7 評価環境

ようになっている。実際のセンサ上で「蓄積時間を増加させて撮影する」動作は、シミュレータ上では「蓄積時間を増加させて撮影した画像を読み込む」動作に相当し、バイアス電圧についても同様であるので、入力するビットマップデータはあらかじめ蓄積時間とバイアス電圧を細かく変化させながら十分な量を撮影して用意しておく必要がある。

## 2.4.2 撮影環境の変化に対する有効性

提案手法の評価に際しては、まず、撮影を行う環境が変化しても常に最適な撮影画像が得られるかを確認する必要がある。そこで、明るい環境と暗い環境のそれぞれにおいて、

- 明るい環境
  - 蓄積時間 20 点 (5ms~100ms, 5ms 間隔)
  - バイアス電圧 11 点 (200mV~1000mV)
- 暗い環境
  - 蓄積時間 25 点 (10ms~250ms, 10ms 間隔)
  - バイアス電圧 11 点 (200mV~1000mV)

のようにパラメータを変化させて撮影を行い、PC 上にビットマップデータを転送した。その後、それぞれの環境で得られた画像数百枚の中から前項で述べたシミュレータによって最適と思われる画像を取り出し、それが妥当であるかを検討する事によって評価を行った。

撮影に用いた画像を図 2.8 に示す。カラーチャートを含むカラーの自然画像である。撮影環境の明るさの調整は、撮影対象を照らす光源の光量を調整する事により行った。

### 明るい環境における最適画像

図 2.9 に明るい環境における撮影画像について、画素の最大値と最小値の差を等高線表示したグラフを示す。横軸はバイアス電圧の変動、縦軸は蓄積時間の変動を表している。暗くなっている部分は調整時に飽和していると判断された部分であり、この部分の値は意味を持たない。

シミュレータにより最適と判断されたのは図 2.9 中の×印の付近であり、このときの画像を図 2.10 に示す。蓄積時間は 25ms、バイアス電圧は 450mV であった。





図 2.8 シミュレーションに用いた撮影用画像

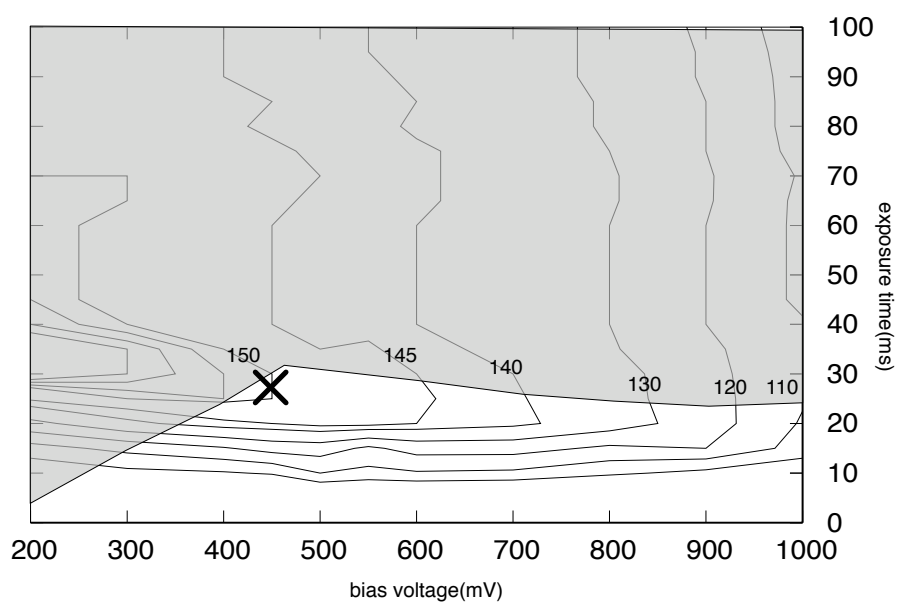


図 2.9 蓄積時間とバイアス電圧の変動に対するヒストグラムの最大値と最小値の差の等高線表示 (明るい環境)

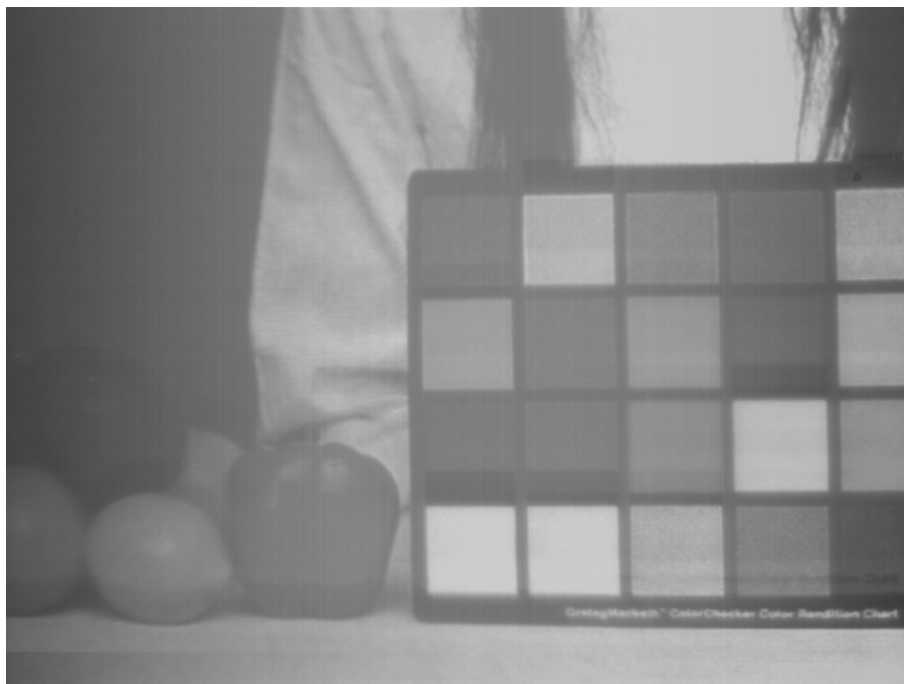


図 2.10 シミュレーションにより最適と判断された画像 (明るい環境)

### 暗い環境における最適画像

同様に図 2.11 に暗い環境における撮影画像について、画素の最大値と最小値の差を等高線表示したグラフを示す。横軸はバイアス電圧の変動、縦軸は蓄積時間の変動を表している。暗くなっている部分は調整時に飽和していると判断された部分であり、この部分の値は意味を持たない。

提案手法により最適と判断されたのは図 2.11 中の×印の付近であり、このときの画像を図 2.12 に示す。蓄積時間は 70ms、バイアス電圧は 450mV であった。

### 2つの環境における最適画像の比較

図 2.13 と図 2.14 に、図 2.10 と図 2.12 に示した画像のヒストグラムを示す。これらのヒストグラムを比較すると、撮影時の明るさが全く違うにも関わらず、概形やピーク的位置などが非常に似通っている事が分かる。よって、得られた画像はいずれも同程度に最適であると考えられる。このように、周囲の環境の明るさが異なっても、ほぼ同一の最適画

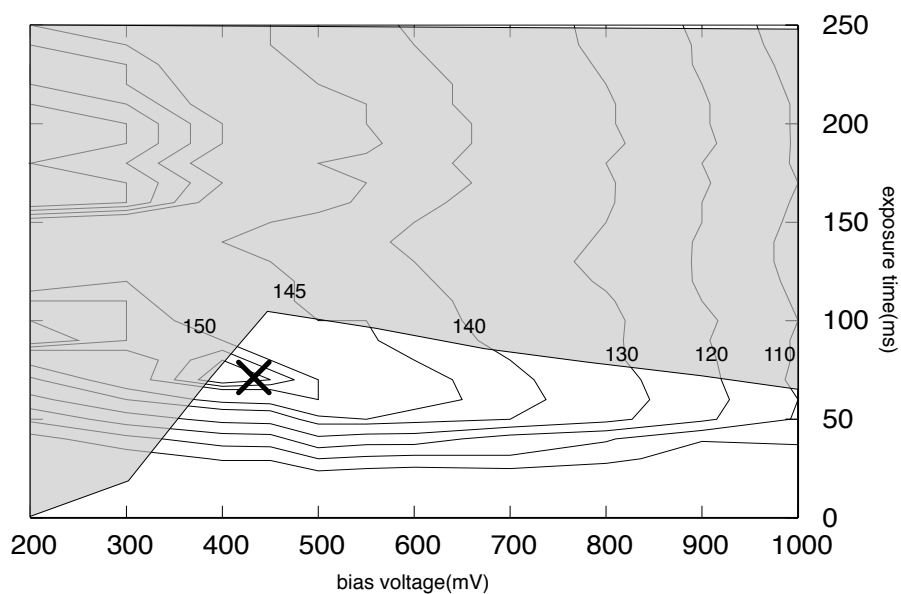


図 2.11 蓄積時間とバイアス電圧の変動に対するヒストグラムの最大値と最小値の差の等高線表示 (暗い環境)

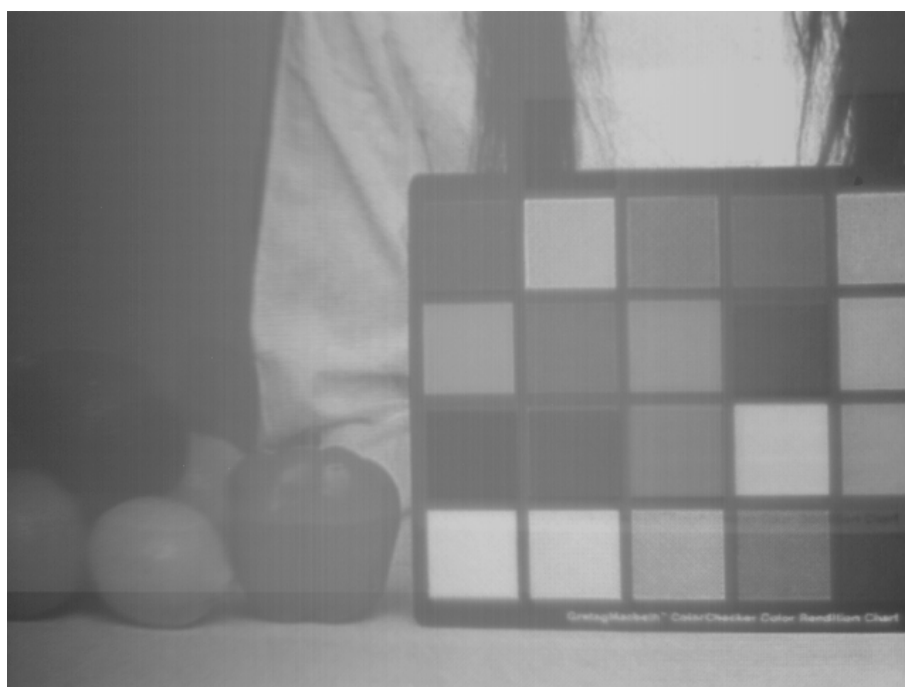


図 2.12 シミュレーションにより最適と判断された画像 (暗い環境)

像が得られる事から、撮影環境の変動に対する提案手法の有効性が確認できたと言える。

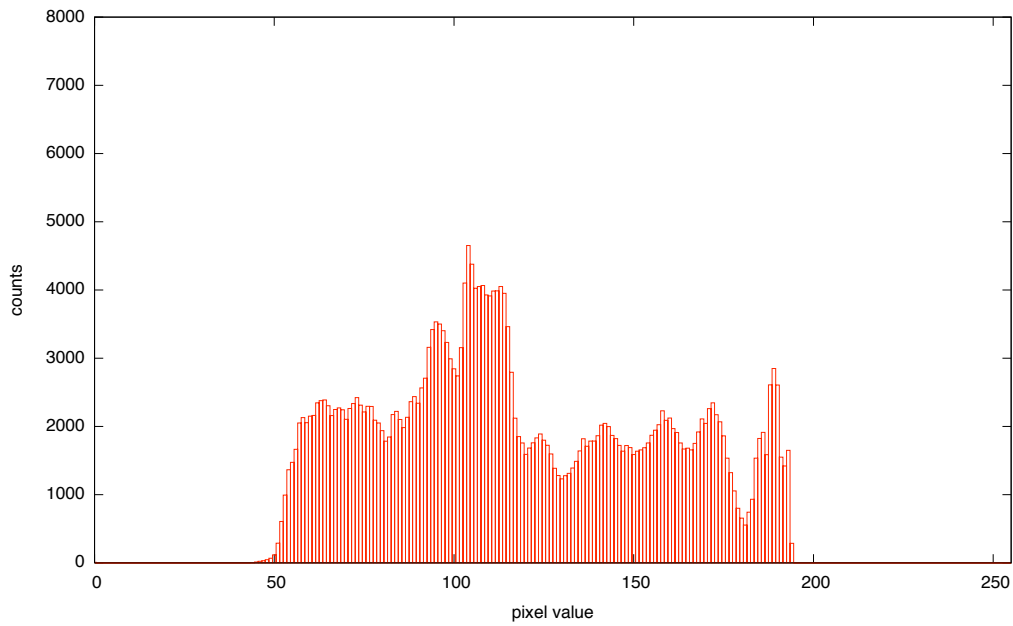


図 2.13 シミュレーションにより最適と判断された画像のヒストグラム (明るい環境)

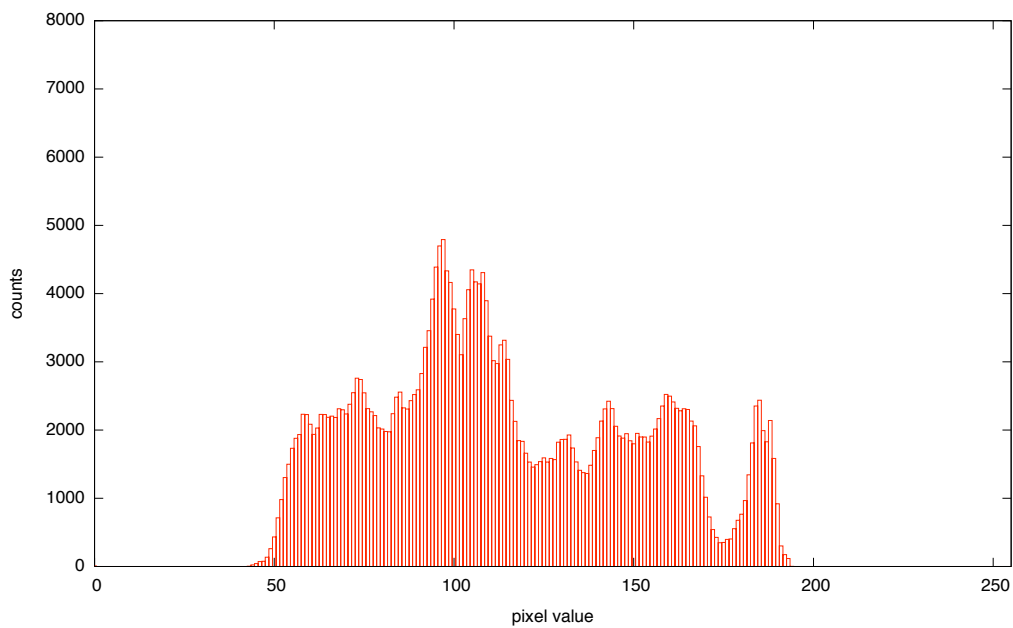


図 2.14 シミュレーションにより最適と判断された画像のヒストグラム (暗い環境)

図 2.15 に、シミュレーションによる自動調整の様子を示す。

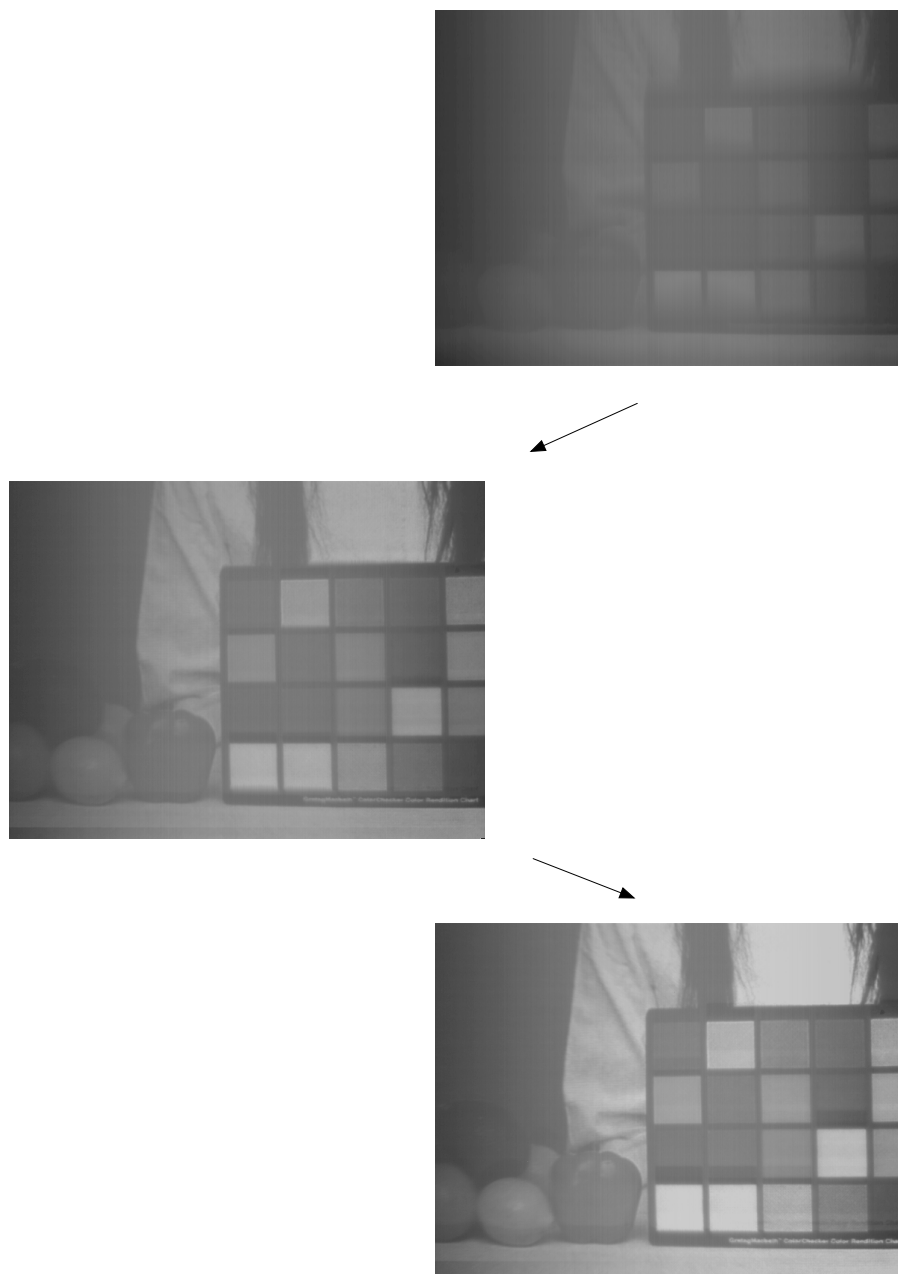


図 2.15 シミュレーションによる自動調整の様子

### 2.4.3 撮影対象の種類による有効性

自然画像に対する有効性は前節で確認できたが、実際の用途では自然画像だけではなく、様々な種類の画像を撮影する事が考えられる。よって、これらの場合にも調整手法が有効であるかを確認しておく必要がある。

そこで、図 2.16 と図 2.17 に示す、コンピュータグラフィクスで作成されたような抽象画像に対する有効性を調べてみた。図 2.16 はカラー画像、図 2.17 は白黒 2 値の画像である。いずれも自然画像と比較して色の変化がはっきりとしており、特定の色を多く含むのが特徴である。これらの画像について、同様に

- 蓄積時間 20 点 (5ms~100ms, 5ms 間隔)
- バイアス電圧 11 点 (200mV~1000mV)

とパラメータを変化させて撮影を行い、シミュレータにより最適画像を選択した。

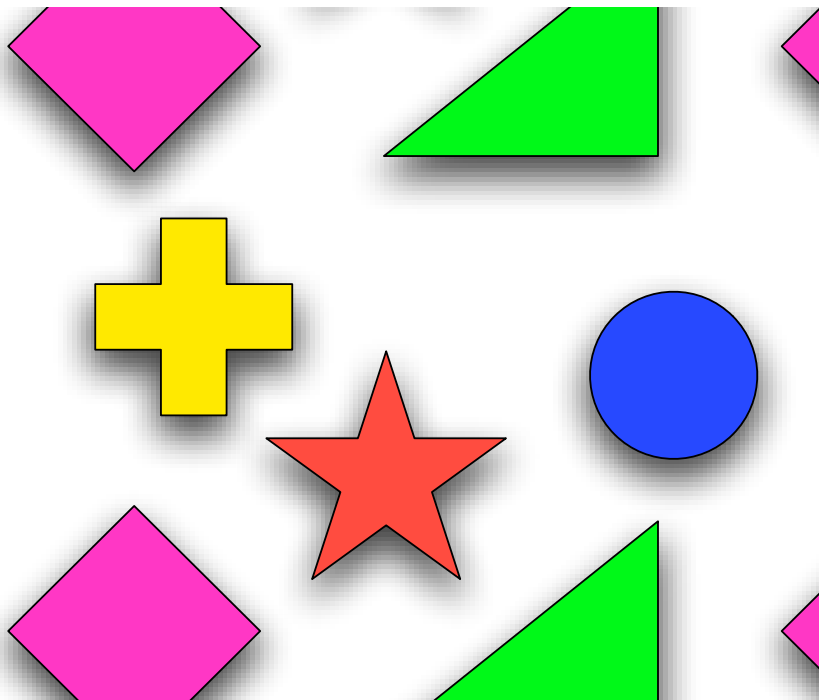


図 2.16 シミュレーションに用いた撮影用画像 (抽象画像 1)

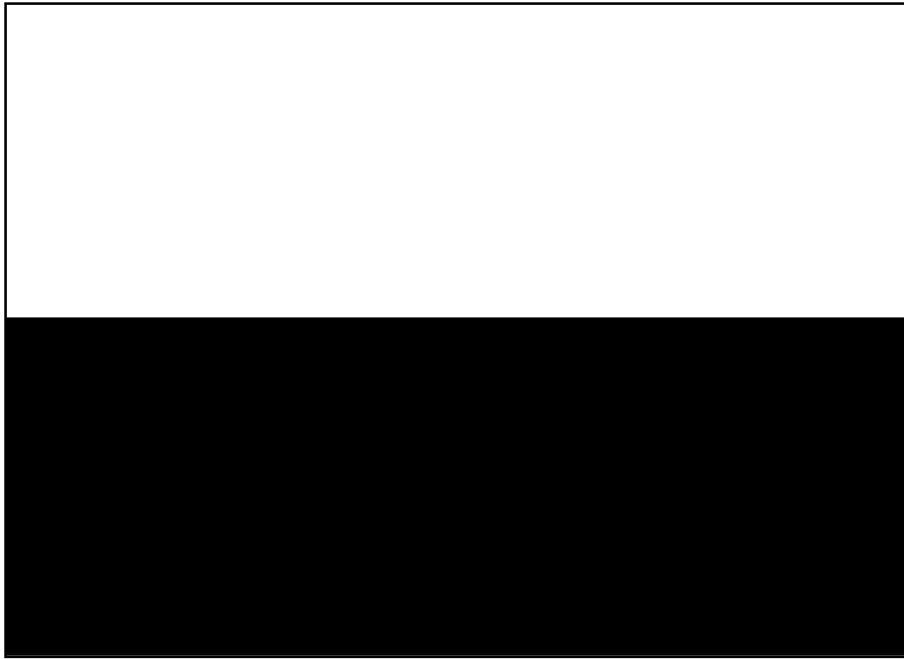


図 2.17 シミュレーションに用いた撮影用画像 (抽象画像 2)

図 2.18、図 2.19 に提案手法により最適と判断された画像を示す。図 2.18 は蓄積時間が 45ms、バイアス電圧は 500mV で、図 2.19 は蓄積時間が 15ms、バイアス電圧は 450mV である。

図 2.20、図 2.21 に最適と判断された画像のヒストグラムを示す。図 2.21 については、白と黒の部分がそれぞれヒストグラムの 2 つのピークに表れている事が確認できるだろう。他の条件で撮影された画像と比較するといずれも良好な画像とヒストグラムが得られており、このような種類の画像に対しても提案手法の有効性が確認できた。

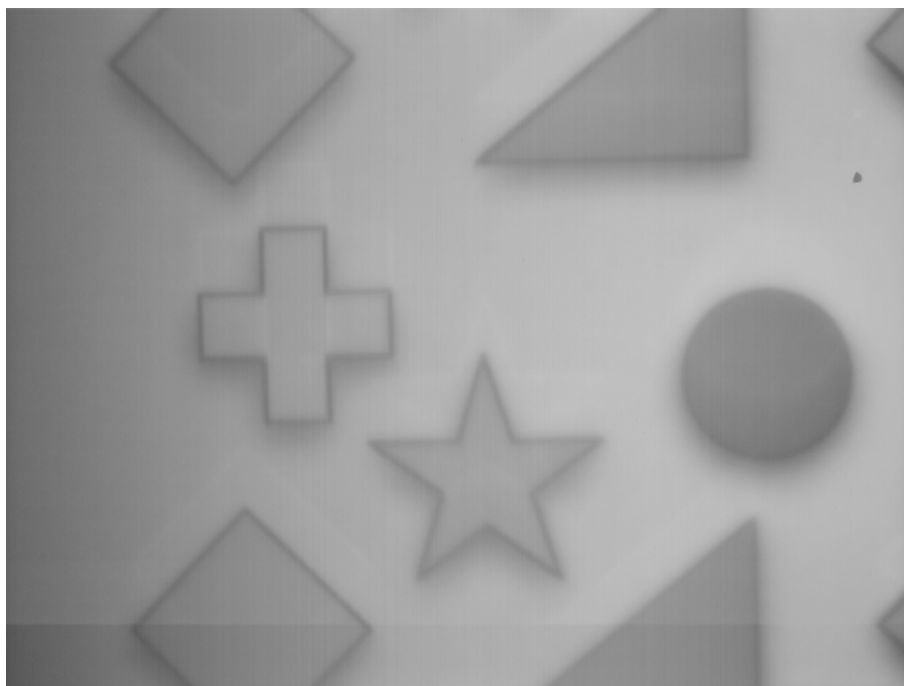


図 2.18 シミュレーションにより最適と判断された画像 (抽象画像 1)

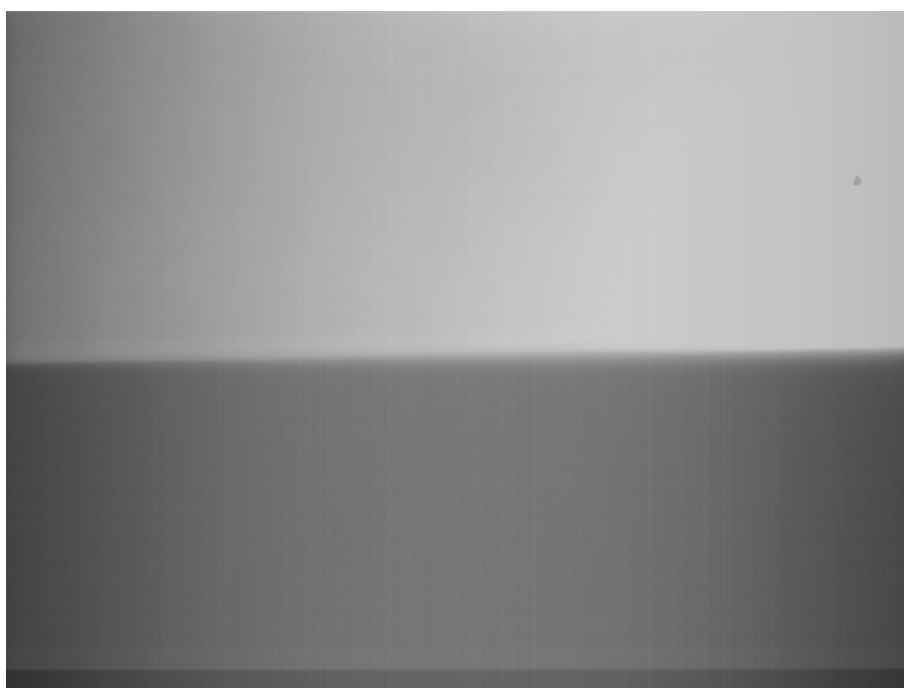


図 2.19 シミュレーションにより最適と判断された画像 (抽象画像 2)



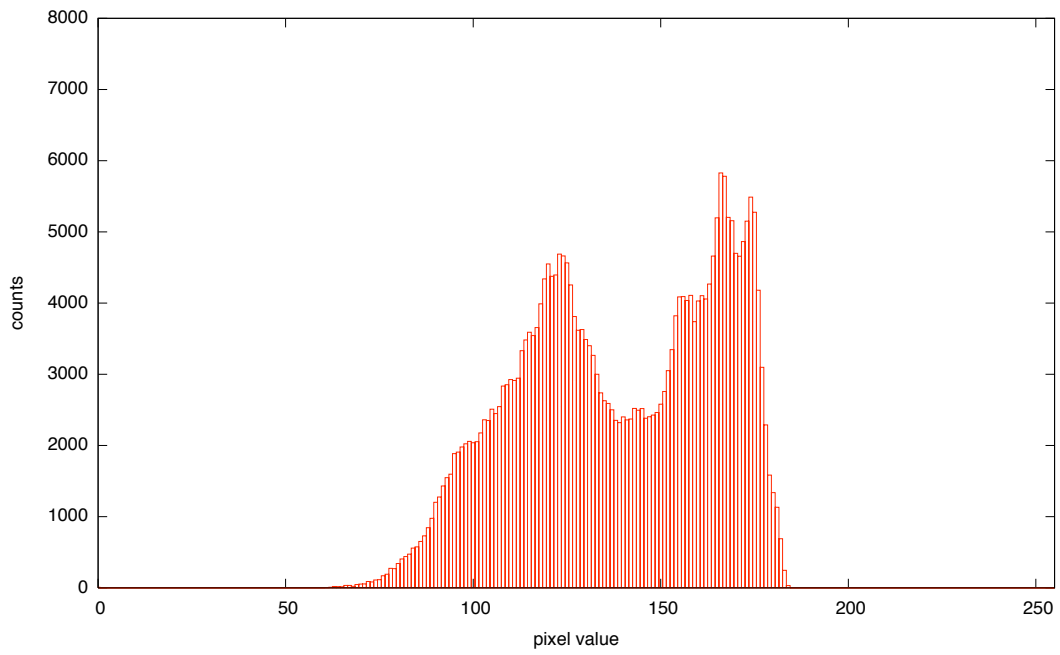


図 2.20 シミュレーションにより最適と判断された画像のヒストグラム (抽象画像 1)

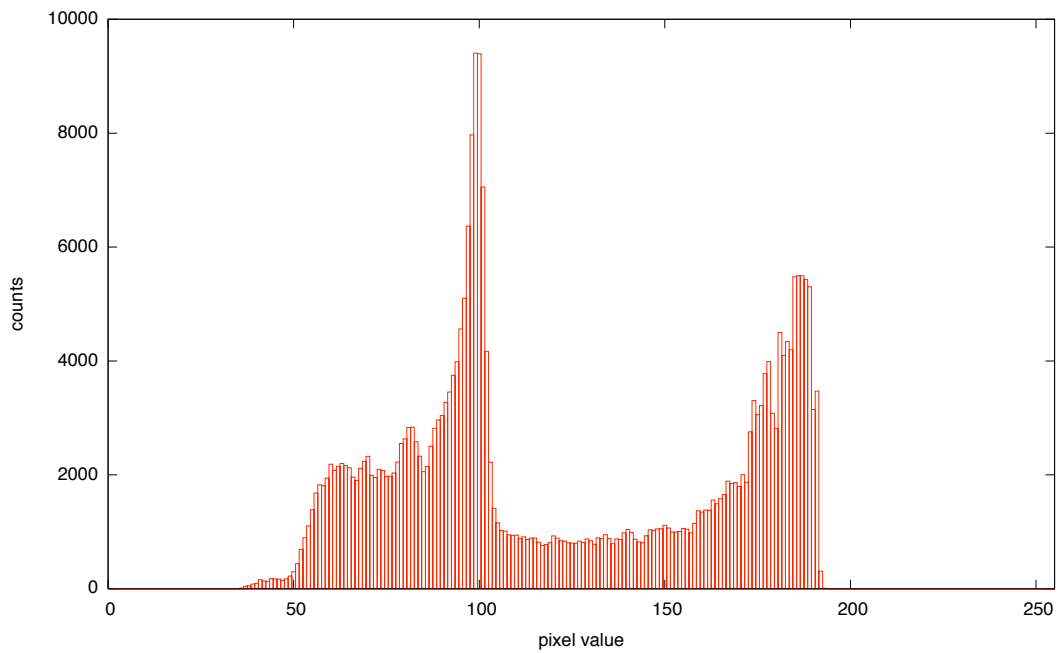


図 2.21 シミュレーションにより最適と判断された画像のヒストグラム (抽象画像 2)

## 2.5 より細粒度な調整手法の検討

前節までに CMOS イメージセンサのための調整手法の提案と評価を行ってきたが、これまでに述べてきた調整手法は、基本的に1枚の撮影画像単位でのヒストグラムの解析とフィードバックに基づいたものであった。これは非常にプリミティブな手法であるが、序論で述べたスマートイメージセンサの特徴を生かすためには、よりハードウェア指向な調整手法の検討が必要である。そこでまず始めに考えられるのが、調整する粒度をより細かくし、1枚の画像単位ではなく画像の特定の領域毎に並列化してフィードバックを行う手法である。粒度が細くなることによって、撮影対象の明るさにむらがあり、部分毎に適切な蓄積時間が異なるようなケースにも対応できると考えられる。本節では、提案手法の細粒度化について初期検討を行う。

### 2.5.1 画像の領域毎の並列調整

前節までに述べてきた手法を画像の領域毎に適応する際に一番の問題となるのが、粒度をどの程度に設定すべきかという問題である。ヒストグラムを解析することによって調整を行うという性質上、ある程度の画素数が無いと安定した結果が得られないため、極端に粒度を下げすぎる(調整の並列度を上げすぎる)ことは不可能である。よって、イメージセンサのピクセルの二次元配列の数行を1単位として領域を設定するのが適切であると思われる。具体的には図 2.22 のように設定した領域毎に独立した調整ユニットを配置し、それぞれが担当する領域に対して調整を行うという方法を考える。

### 2.5.2 補間による調整領域の連続性の確保

単純に領域に分割して独立に調整を行うだけでは、領域と領域の境目で不連続な継ぎ目が発生し、不自然な画像になってしまうという問題がある。そこで、図 2.23 に示すように、2つの領域にまたがる箇所に緩衝領域を設定する。

この緩衝領域における蓄積時間とバイアス電圧の最適値は2つの領域の最適値から線形補間によって決定される。すなわち、図 2.23 の領域 (a) における最適値を  $O_a$ 、領域 (b)

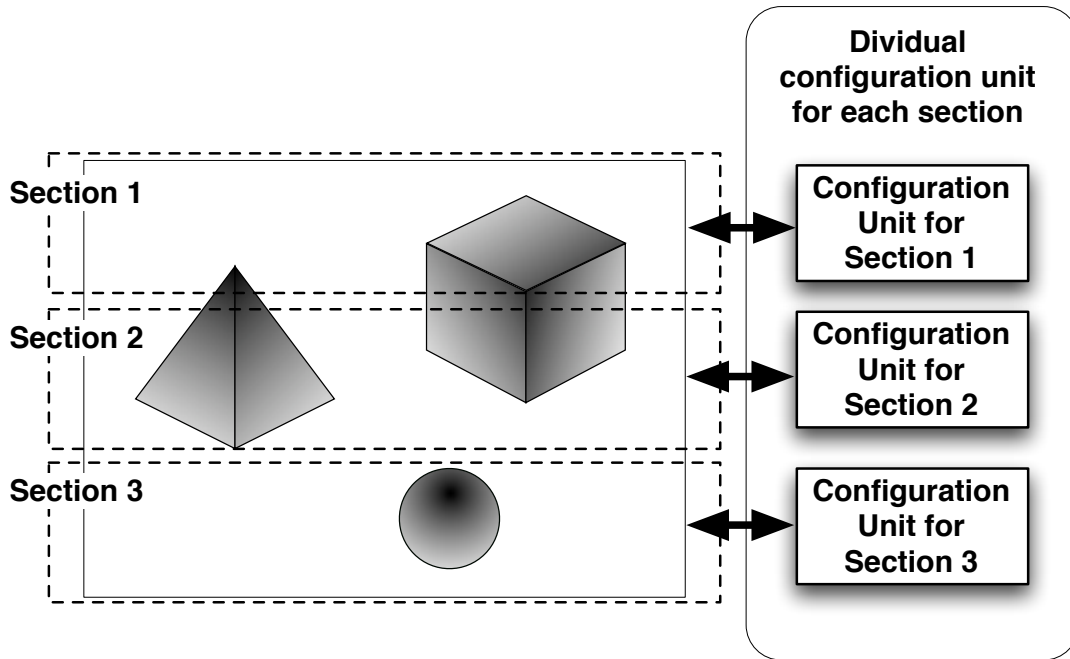


図 2.22 複数の行を単位とした並列調整の概念図

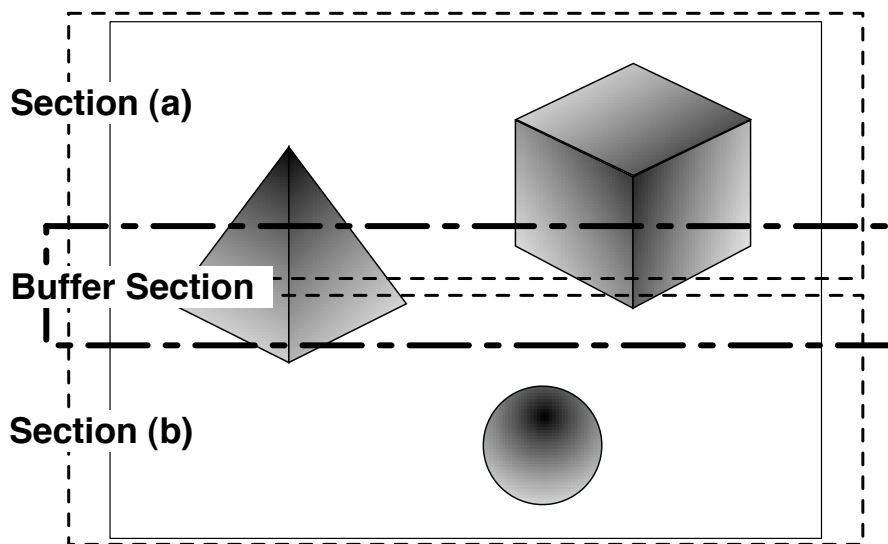


図 2.23 緩衝領域の設定

における最適値を  $O_b$ 、緩衝領域の大きさを  $L$  行とすると、緩衝領域の領域 (a) 側から  $l$

行目 ( $l = 0, 1, 2, \dots$ ) の最適値  $O_l$  は、

$$O_l = \left(1 - \frac{l}{L-1}\right) \cdot O_a + \left(\frac{l}{L-1}\right) \cdot O_b$$

と求めることができる。この線形補間の計算は除算を含むため、そのままハードウェアで実装するのには適していない。理由は、この計算が2領域の最適値を決定してからでないと行えないため、計算に必要なクロック数が多いとフィードバックを行うまでのオーバーヘッドが大きくなってしまふからである。そのため、実際にはあらかじめ補間後の値を計算してROMに保持しておき、2領域の最適値からテーブルルックアップ方式で値を決定するのが良いと思われる。この方法であれば、計算時間のオーバーヘッドは最小に抑える事ができる。一方で問題になるのは回路面積上のオーバーヘッドだが、蓄積時間、バイアス電圧のそれぞれが20点程度の候補から最適値が選ばれることを仮定し、緩衝領域の大きさを50行、値を8bit精度で保持するとしてルックアップテーブルに必要な容量を見積もると、

$$8 \times 20 \times 20 \times 2 \times 50 = 320k[\text{bits}]$$

すなわち、ワード長1バイトで40kワードのROMがあれば全てのテーブルを保持可能である。この程度であれば面積上の問題もそれほど多くないと考えられる。

### 2.5.3 細粒度調整手法の初期評価

基本的な調整のアルゴリズム自体は2.3節で述べたものと同じなので、ここでは次の3点を明らかにする必要がある。

- 安定した調整のためには、最低何行程度の領域が必要か
- 領域により最適な調整値が異なる場合、適切に調整を行うことが可能か
- 上の場合、さらに緩衝領域を導入することにより、撮影画像に十分な連続性を確保することが可能か

まずは1つ目の最小調整可能領域について検討を行うため、前節で評価に用いた図2.8と2.16の各画像について、画像の中で調整に使う画素を限定してどの程度まで有効な調整が可能であるかをシミュレーションにより調査した。具体的には、図2.24に示すよう

に撮影画像のうち 120 行目、240 行目、360 行目を中心に 3 つの領域を設定し、それぞれの領域が独立に調整を行う。その結果、3 つの領域でそれぞれで最適と判断された調整値が十分小さな範囲に収まっていれば適切な調整が行われていると判断する。このシミュレーションを領域の大きさを 10 行～240 行の範囲で変えながら行った。なお、図 2.17 の画像については、横方向のランダム性が十分でないために評価には不適切と判断し、シミュレーションは行っていない。

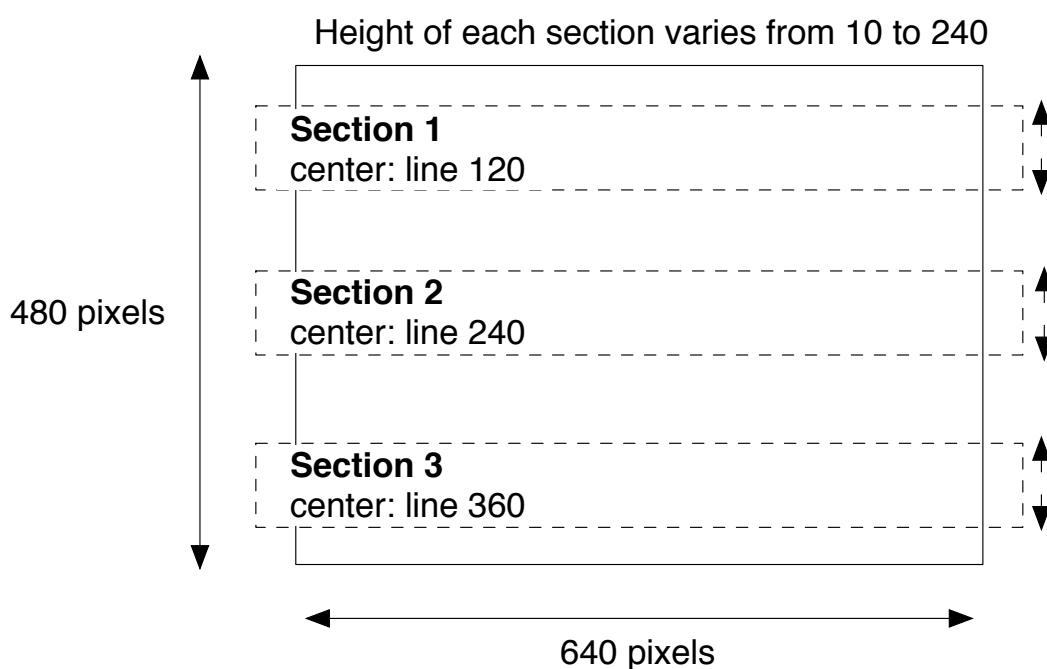


図 2.24 3 つの独立した調整領域の設定

このシミュレーションの結果を表 2.2、2.3 に示す。それぞれ図 2.8 と 2.16 の画像に対応している。Accumulation Time と Bias Voltage の項については 3 領域における最適な調整値をそれぞれカンマ区切りで示してある。 $\Delta\text{Acc.}$  と  $\Delta\text{Bias}$  は、それぞれ各領域において最適と判断された蓄積時間とバイアス電圧の最大値と最小値の差を表す。この差から調整が適切に行われているかどうかを判断する。なお、領域の高さが 90 ピクセル以上の場合については、いずれもほぼ結果が一定であるので省略している。

この結果から判断すると、撮影画像の横方向のランダム性が十分であれば、70 ピクセル程度の高さがあれば領域毎の差は十分小さくなり、提案手法をそのまま適用して調整が可

表 2.2 調整領域の大きさによる最適な調整値の変化 (図 2.8)

Height	Accumulation Time[ms]	Bias Voltage[mV]	$\Delta$ Acc.	$\Delta$ Bias
10	5, 30, 25	400, 400, 500	25	100
20	10, 20, 15	450, 400, 500	10	100
30	10, 20, 25	450, 400, 450	15	50
40	15, 25, 10	400, 450, 450	15	50
50	10, 20, 10	450, 450, 400	10	50
60	25, 20, 25	450, 450, 450	5	0
70	25, 20, 20	400, 450, 450	5	50
80	30, 25, 25	450, 450, 450	5	0

表 2.3 調整領域の大きさによる最適な調整値の変化 (図 2.16)

Height	Accumulation Time[ms]	Bias Voltage[mV]	$\Delta$ Acc.	$\Delta$ Bias
10	30, 25, 40	500, 400, 500	15	100
20	40, 25, 35	450, 400, 450	15	50
30	30, 40, 25	450, 450, 450	15	0
40	35, 35, 30	450, 400, 500	5	100
50	40, 40, 35	450, 500, 450	5	50
60	45, 40, 45	500, 450, 450	5	50
70	45, 45, 40	500, 500, 500	5	0
80	50, 45, 45	500, 450, 500	5	50

能であると言えるだろう。

続いて、領域により最適な調整値が異なる場合、適切に調整を行うことが可能かを確認するために次のような実験を行った。

まず、図 2.8 の画像について、上 1/3 程度を照明により明るく照らし、下 2/3 程度は照明がほぼ当たらない状態で CMOS イメージセンサを用いて撮影を行った。撮影の条件は以下の通りである。

- 蓄積時間 24 点 (5ms~120ms, 5ms 間隔)
- バイアス電圧 11 点 (200mV~1000mV)

これらの撮影画像に対して 2.4 節と同様のシミュレーションを行うと、図 2.25 が最適な画像として得られた。このときの蓄積時間は 30ms、バイアス電圧は 450mV であった。

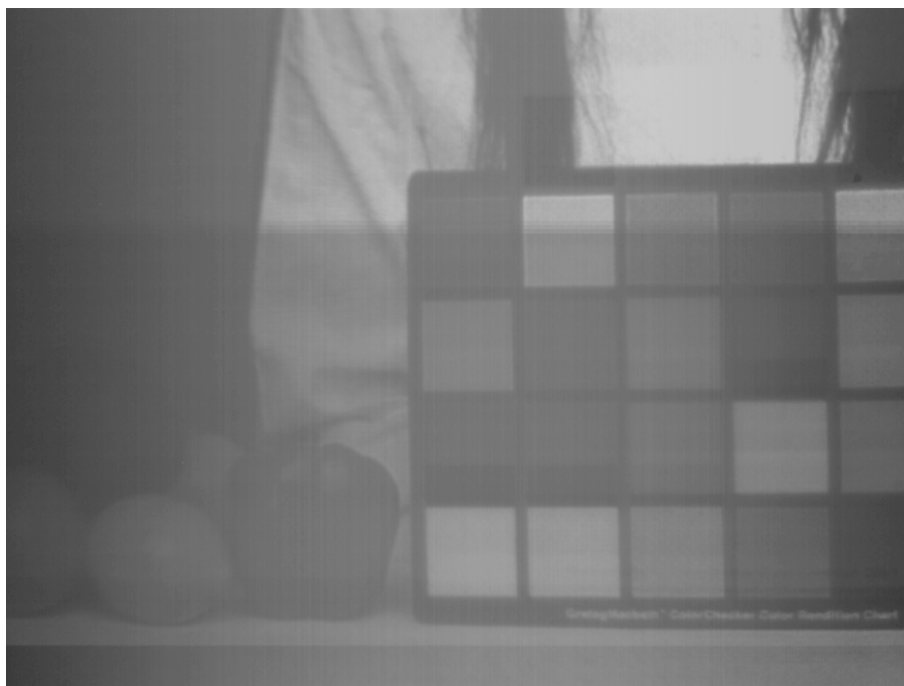


図 2.25 撮影対象の明るさが場所によって異なる場合に、画像全体を単位として調整した場合の最適画像

この画像を見ると、明るく照らされている画像の上部については適切に調整されているが、光の当たっていない下部については露光不足により黒く潰れてしまっている。これ

は、撮影画像全体を単位として調整を行う場合、上部の明るい箇所で飽和を検出してしまふと、下部の暗い箇所の露光が不十分でも調整が完了してしまうためである。このようなケースで適切に調整を行うためには、より細かい粒度で調整を行う必要がある。そこで、図 2.26 のように画像の上半分と下半分の 2 つの領域を設定し、それぞれについて独立に調整を行った結果を図 2.27 に示す。



図 2.26 2つの独立した領域に対する調整

このように、調整の粒度を細かくすることにより、画像の下半分についても適切に調整が行われている様子が確認できる。画像の中央からやや上の付近については露光不足により暗いままだが、これは調整の粒度をさらに細かくすれば解決すると考えられる。

最後に、図 2.27 の調整結果に対して緩衝領域を設定し、2つの領域の境界において連続性が得られるかどうかを確認した。緩衝領域の高さは、境界を中心にして 10、30、50 ピクセルの 3 通りに設定した。

図 2.28～2.30 に、それぞれ緩衝領域を 10、30、50 ピクセルの高さに設定した場合の最適画像を示す。10 ピクセルの場合はまだ中央付近の境界線が認識可能だが、30 ピクセルになると認識は難しくなり、50 ピクセルでは境界付近が十分な連続性を持っていることが確認できる。このように、比較的大きな領域を緩衝領域として用意すれば、領域の境界付近の不連続性にうまく対処できることが示された。



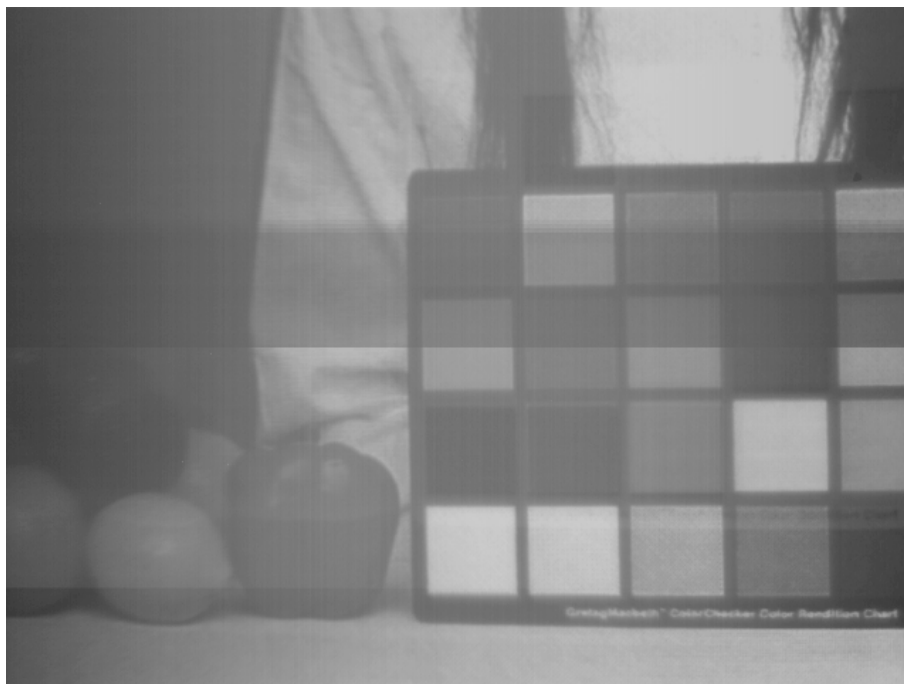


図 2.27 撮影対象の明るさが場所によって異なる場合に、画像全体を 2 領域に分けて調整した場合の最適画像

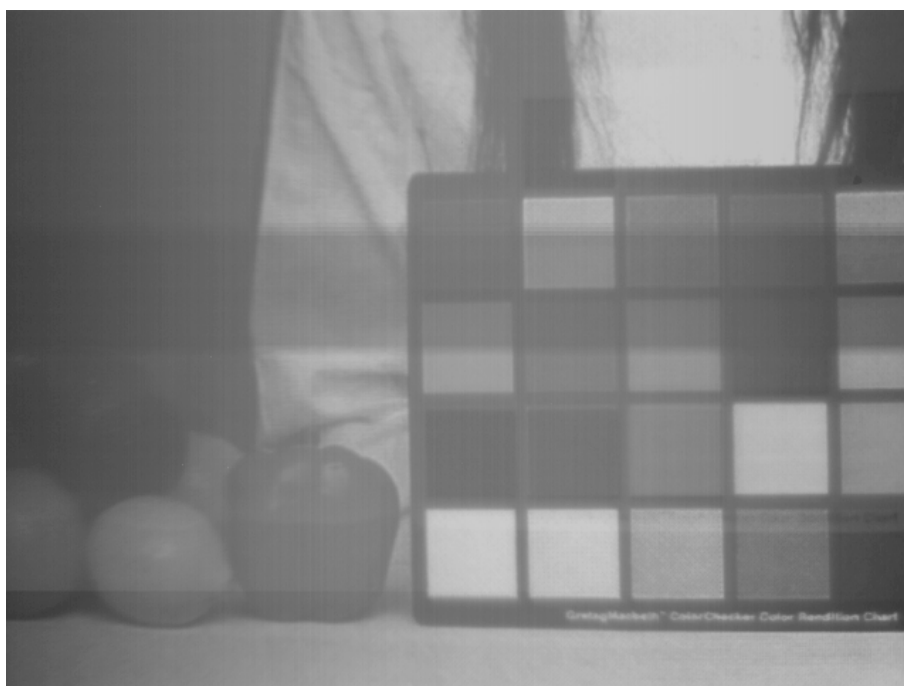


図 2.28 緩衝領域の高さを 10 ピクセルとした場合の最適画像

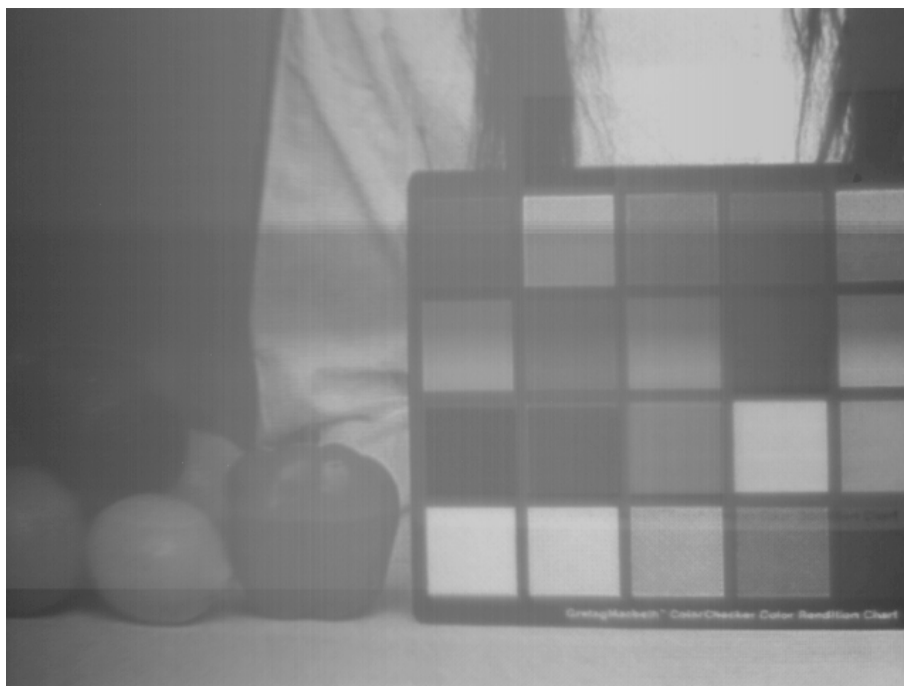


図 2.29 緩衝領域の高さを 30 ピクセルとした場合の最適画像

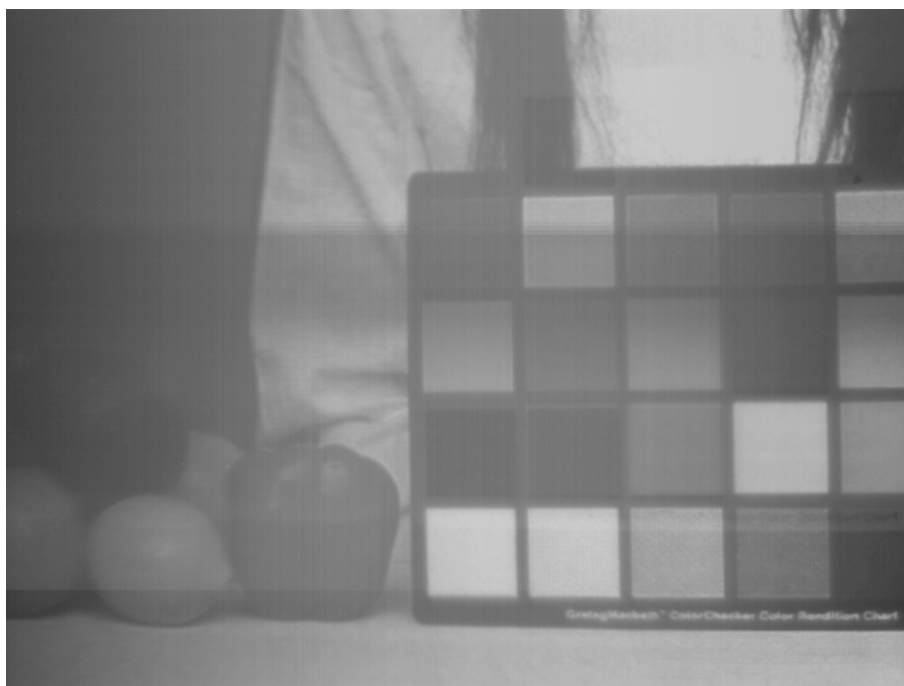


図 2.30 緩衝領域の高さを 50 ピクセルとした場合の最適画像

以上の評価により、より粒度の細かい調整の可能性を確認する事ができたと言えるだろう。今回は行方向の細粒度化のみについて検討を行ったが、より実用性を高めるためには列方向の議論も必要である。これについては今後の課題としたい。

## 第3章

# 自動調整機能を備えた CMOS イメージセンサの設計

第2章でシミュレーションにより調整手法の有効性が確認できたため、ハードウェアとして実際に調整機能を備えたイメージセンサの設計を行った。表 3.1 にこのセンサの主な仕様を、また図 3.1 にチップの写真を示す。このセンサは  $0.35\mu\text{m}$  の CMOS プロセスで設計され、 $4.9\text{mm}\times 4.9\text{mm}$  のダイ上に実装されている。

表 3.1 設計したセンサの主な仕様

Technology	2P3M $0.35\mu\text{m}$ CMOS process
Die size	$4.9\text{mm}\times 4.9\text{mm}$
# pixels	$256 \times 256$ pixels
Pixel size	$8.4\mu\text{m}\times 8.4\mu\text{m}$
Fill factor	29.02%

このチップは主に次の4つの部分から構成されている。設計したチップのブロック図を図 3.2 に示す。以降、これらの4つのユニットについて、その構成と動作アルゴリズムを説明を行う。

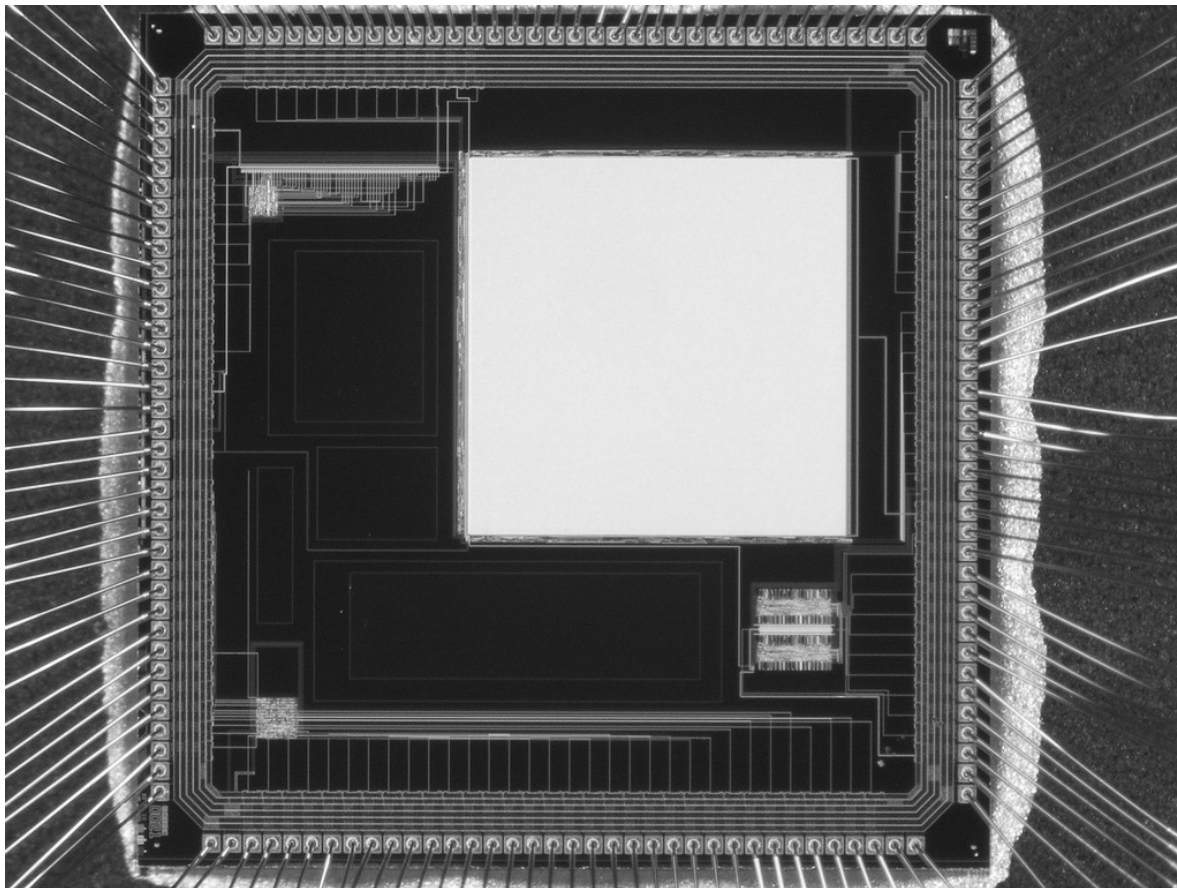


図 3.1 設計したセンサのチップ写真

■ピクセル回路とその周辺回路 2次元画像を撮影するための CMOS イメージセンサであり、行デコーダ、列デコーダ、画素値の読み出し回路などで構成されている。読み出された値は A-D コンバータに入力される。

■A-D コンバータ ピクセル回路からのアナログ出力の画素値をデジタル値に変換する。

■ヒストグラム処理ユニット A-D コンバータによってデジタル化した画素値から、撮影した画像の画素の最大値や平均値等の各種統計量を計算する。

■フィードバック制御ユニット ヒストグラム処理ユニットにより計算された統計量を参照して蓄積時間とバイアス電圧を制御し、イメージセンサ部にフィードバックを行う。

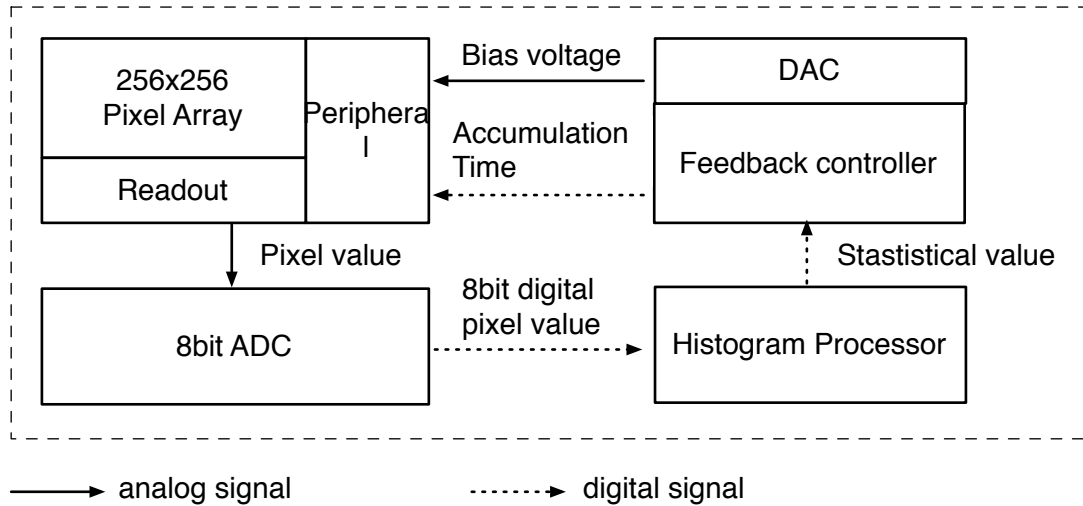


図 3.2 設計したセンサのブロック図

### 3.1 ピクセル回路

このセンサに用いられているピクセル回路は図 2.1 で既に示した CMOS APS 構成になっている。図 3.3 にこのピクセル回路のレイアウトを示す。フォトダイオードは P 基板-N 拡散の PN 接合で構成されている。この他にリセット用、ソースフォロウ用、行選択用の 3 つの N 型 MOS トランジスタを含んでいる。各トランジスタのゲート長は  $0.4\mu\text{m}$  である。1 ピクセルの大きさは  $8.4\mu\text{m}\times 8.4\mu\text{m}$ 、ピクセル回路の面積のうち受光部であるフォトダイオードの占める面積の割合は 29.04% となっている。

### 3.2 A-D コンバータ

設計したセンサには 8bit の A-D コンバータが搭載されている。この A-D コンバータは、4bit のフラッシュ型 A-D コンバータ 2 つからなるサブレンジング型の構成をとっている。1 つ目の ADC で MSB 側の 4bit を決定した後に D-A コンバータでアナログ値に変換され、入力との残差を求める。その値が 2 つ目の ADC に入力され、残りの LSB 側の 4bit が得られる。フラッシュ ADC は図 3.5 に示すようなダミーパターン付きの抵抗ラダーと、差動増幅器によるコンパレータにより構成されている。8bit 分の精度を確保す

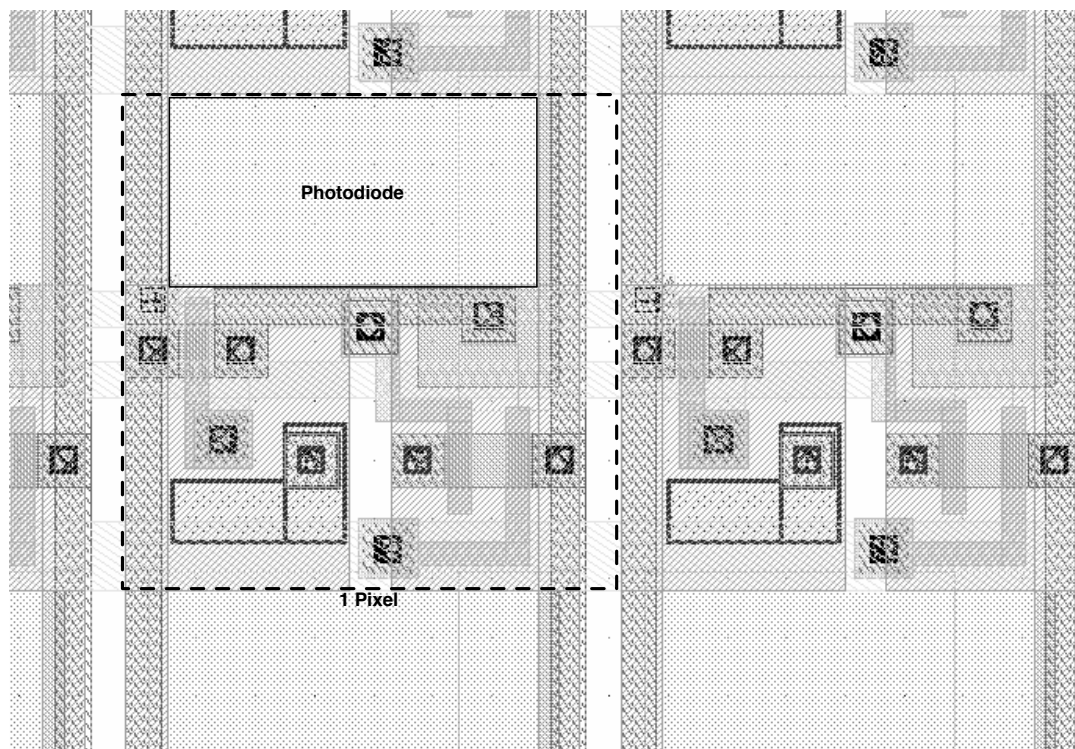


図 3.3 ピクセル回路のレイアウト

るために、各 ADC/DAC は実際には 5bit 分の精度が確保されており、LSB の 1bit を捨てて出力している。

この A-D コンバータからの出力は次項のヒストグラム処理ユニットに渡されるほか、センサ自体の出力としても利用することができる。ただし、画像出力用にはより精度の高い A-D コンバータが要求される事も想定されるので、アナログ出力を外部の A-D コンバータを用いて画素値を得る事も可能な構成になっている。

A-D コンバータのチップ上での面積はおよそ  $300\mu\text{m} \times 1100\mu\text{m}$  である。

### 3.3 ヒストグラム処理ユニット

このユニットには A-D 変換された 8bit の画素値が入力されるため、完全なデジタル回路である。Verilog-HDL で動作の記述を行い、Synopsys 社の Design Analyzer [15] を用いて論理合成を、同じく Synopsys 社の Milkyway/Astro [15] により配置配線を行うこ

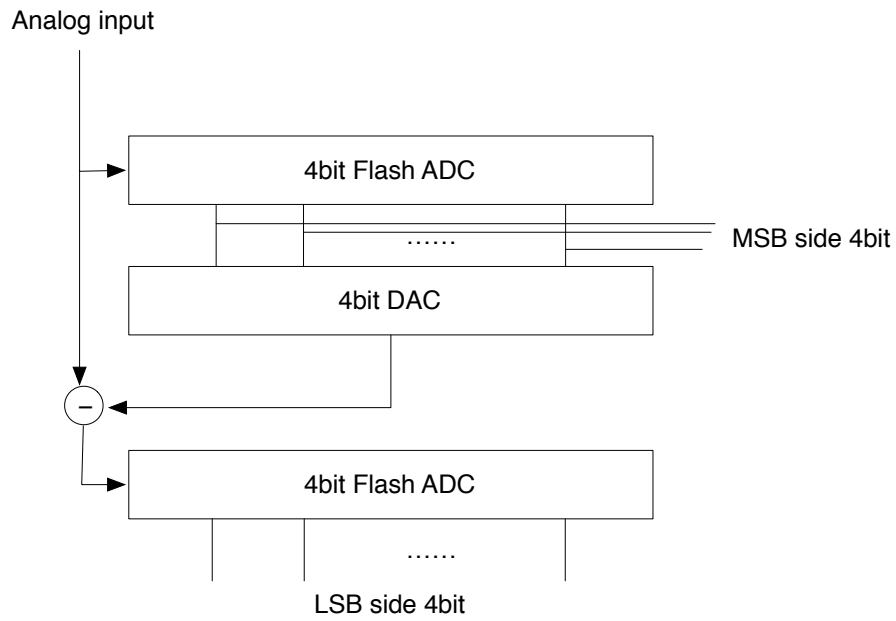


図 3.4 サブレンジング型 A-D コンバータのブロック図

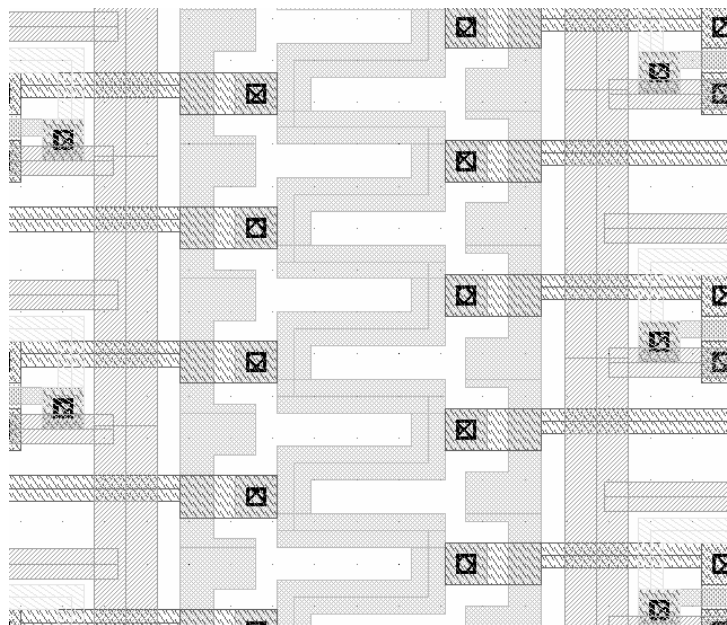


図 3.5 フラッシュ A-D コンバータの抵抗ラダー

とにより設計した。

最大値、最小値、中間値を求める回路は比較的単純であり、図 3.6 にそのブロック図を



示す。構成としては 9bit の加算器 1 つと 8bit の比較器 2 つ、そしてシフタ 1 つであり、1 クロックで最大値と最小値を求めた後、次の 1 クロックで加算と右シフトを利用する事によって最大値と最小値の中央の値を求めている。なお、加算器のが 9bit であるのは、桁上りを考慮する必要があるからである。一方、平均値を求める回路はやや複雑で、毎サイクル動作する部分と 256 サイクルに 1 回動作する部分に分かれる。図 3.7 にそのブロック図を示す。毎サイクル動作する部分はピクセルの 2 次元配列の画素値のうち、ある 1 行の平均値を求めており、1 行にあたる 256 ピクセル分の合計値を 16bit の加算器によって求めている。256 画素分の合計値が求まると、図 3.7 の破線で囲まれている部分が動作し、1 行分の合計値を 8bit 右シフトする事により平均値を求める。この際、1 行分の平均値が記憶されていたレジスタは 0 にリセットされる。こうして求まった 1 行分の平均値は、全ての行の平均値の合計を記憶するレジスタに加算される。これを 256 回繰り返して、最後に全ての行の平均値の合計を 8bit 右シフトする事により、画素全体の平均値が求まる。設計したイメージセンサは画素の数が行・列共に 256 と 2 のべき乗であるので、計算コストの高い除算を使わずに加算と右シフトのみで平均値を求める事ができる。

このような構成により、画素値の読み出しと並列して各種統計量の計算を行う事ができる。読み出しの度に逐次値が更新され、全てのピクセルを読み出したときには既に計算が完了しているので、オーバーヘッドを極力抑えて次のフィードバック制御ユニットを動作させる事が可能になる。

このユニットのチップ上の面積はおよそ  $300\mu\text{m} \times 250\mu\text{m}$ 、設計上の最大動作周波数は 200MHz である。

### 3.4 フィードバック制御ユニット

このユニットはデジタル回路とアナログ回路で構成されており、デジタル回路の部分については前節のヒストグラム処理ユニットと同じく Verilog-HDL と Synopsys 社の論理合成/配置配線ツールを用いて設計を行った。

デジタル回路部分は 2.3 節で述べた流れをほぼそのままハードウェアとして実装している。まずは図 3.8 に示す構成の演算器で、前節のヒストグラム処理ユニットから渡された最大/最小/平均/中間値の処理を行い、ダイナミックレンジの算出と飽和の検出を行う。

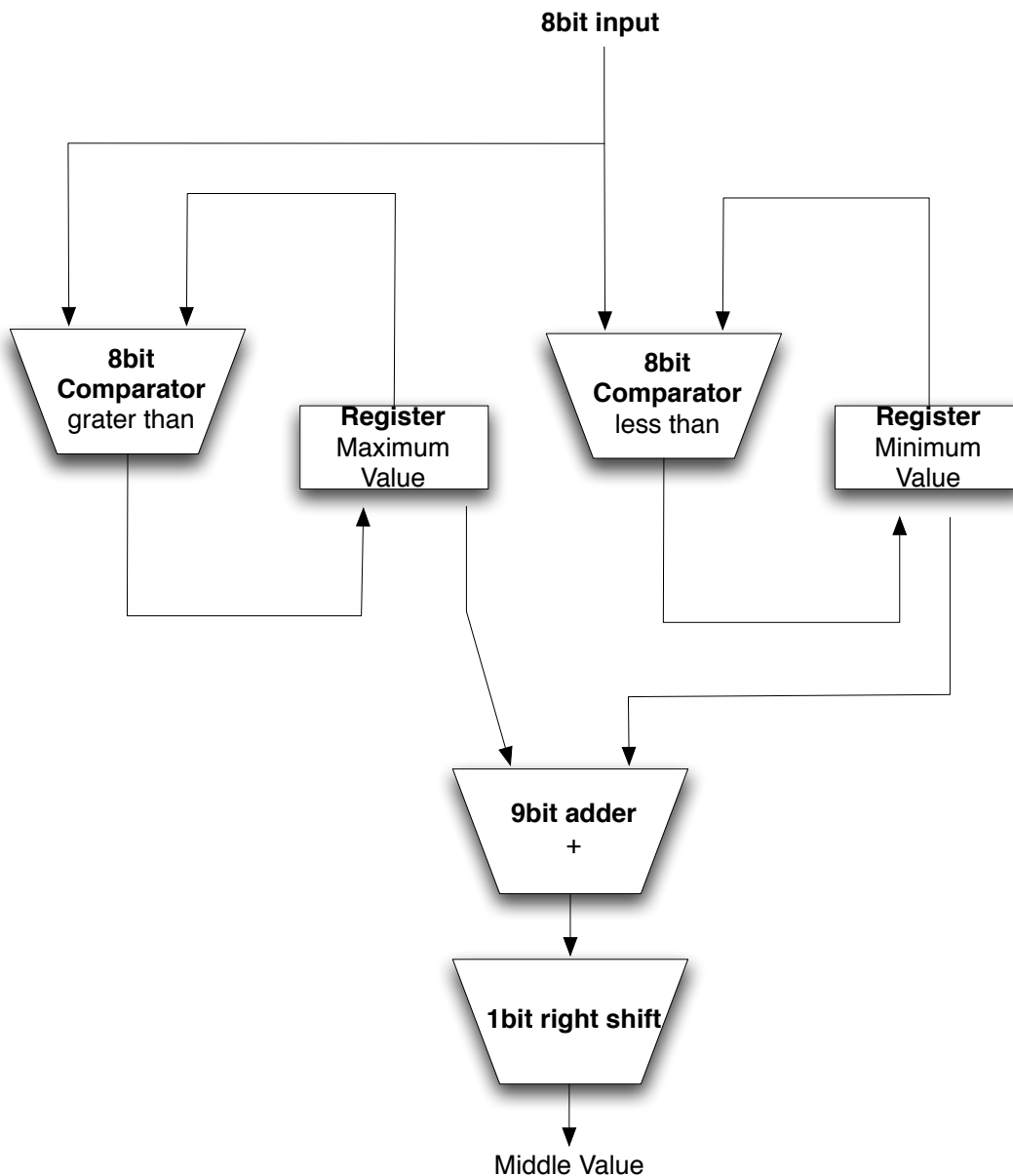


図 3.6 最大/最小/中間値算出回路のブロック図

最大値と最小値については差が調整パラメータの変化前より大きくなっているかを調べれば良いので、8bit の減算器で差を求めた後に比較器で調整前の値と比較する動作を行う。一方、飽和の検出に使われる平均値と中間値については、その差の変化量が閾値を超えるか超えないかを判断する必要がある。まずは 8bit の減算器で現時点の差を求めた後、調整前の平均値と中間値の差からの変化量を再び減算器で求め、最後に比較器で変化量が閾

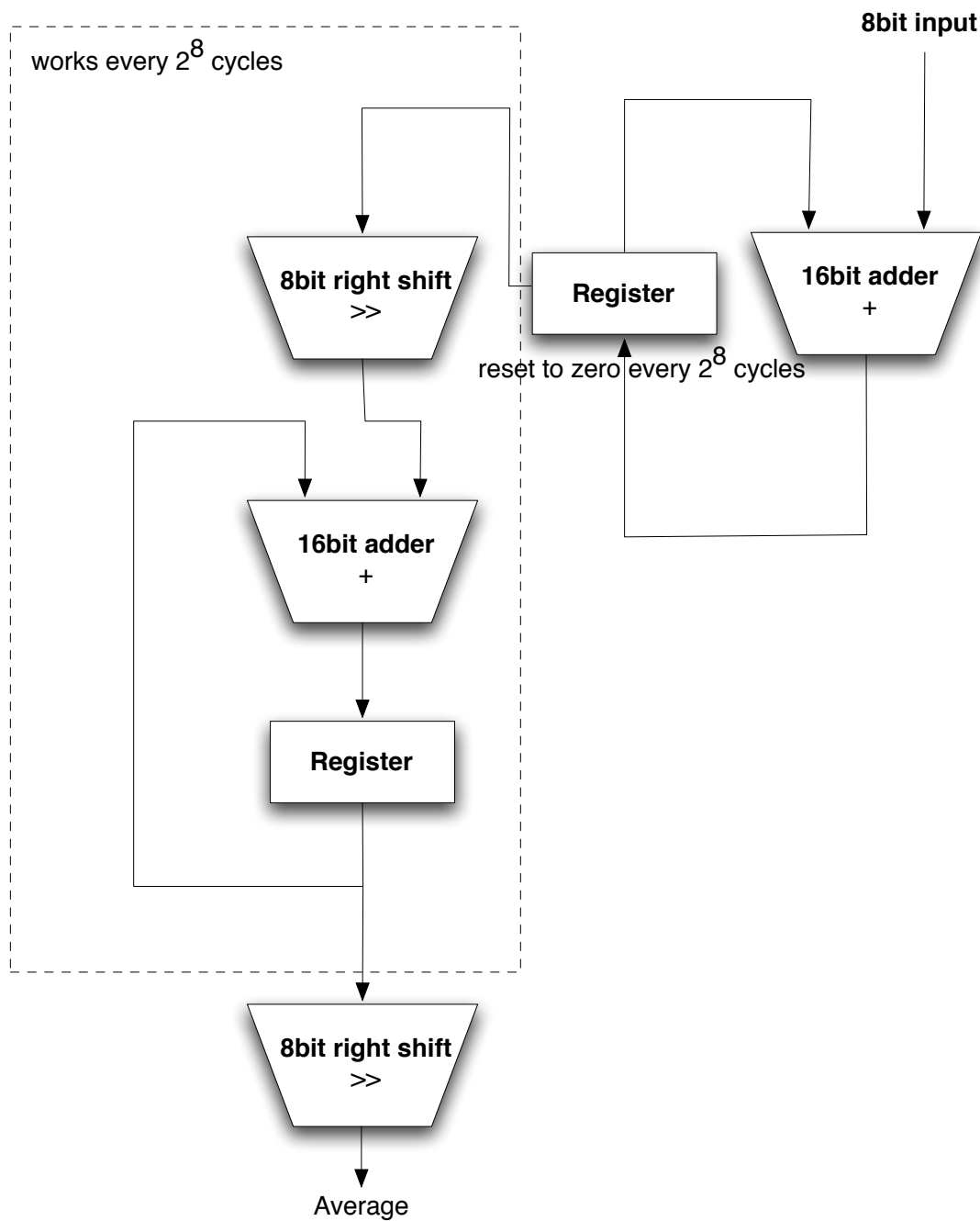


図 3.7 平均値算出回路のブロック図

値を超えていないかを調べる。これらの2つの比較結果はそれぞれダイナミックレンジが低下したこと、飽和が検出されたことに対応し、入力から1クロックで求める事が可能である。閾値については、チップの外から入力して決定することができる。

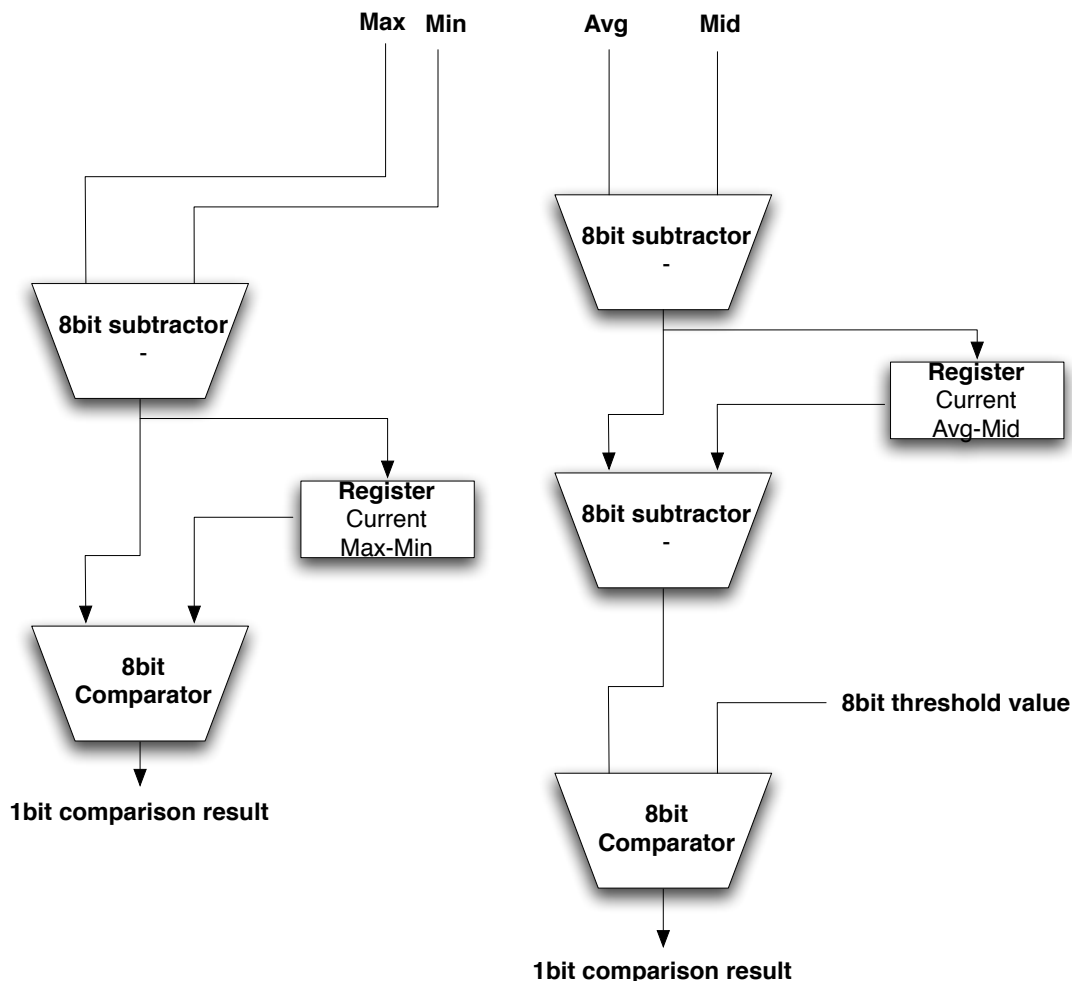


図 3.8 ダイナミックレンジ算出/飽和検出回路のブロック図

次に、求められた比較結果を用いて実際に蓄積時間とバイアス電圧の制御を行う。もし、ダイナミックレンジの低下もしくは飽和が検出されれば、1つ前の調整値に戻し、そうでなければ調整値を一定量増加させる。蓄積時間については蓄積の際にカウントアップされるカウンタの上限の値をデジタル値として直接制御するため、加算器1つで調整を行うことが可能である。バイアス電圧についてはデジタル値のままでは制御が不可能なので、電圧値を保持する 8bit のデジタル値を制御した上で、D-A コンバータによりアナログ値に変換される。

DAC については、アナログ値としての精度は 1V ほどの範囲を 10mV オーダで変化させられる程度で良いので、LSB の精度は期待せずに抵抗ラダーによりシンプルな 8bit の

DAC を構成している。

このユニットの面積はおよそ  $150\mu\text{m} \times 150\mu\text{m}$ 、設計上の最大動作周波数は 200MHz である。また DAC の面積はおよそ  $350\mu\text{m} \times 450\mu\text{m}$  である。

## 第4章

# 自動調整機能を備えた CMOS イメージセンサの評価

第3章で設計を行った自動調整機能を備えた CMOS イメージセンサについて、シミュレーションにより評価を行った。本章では、A-D コンバータ、ヒストグラム処理ユニット、フィードバック制御ユニットの評価の結果を示す。

### 4.1 A-D コンバータの性能評価

まず、入力したアナログ値が正しく 8bit のデジタル値に変換されるかを確認するために、Synopsys 社の HSPICE [15] を用いてシミュレーションを行った。0V から 3.3V までの電圧を 10mV 刻みで入力として与えたところ、いずれも正しいデジタル値の出力が得られた。

次に、有効ビット数がどの程度あるのかを確認した。サブレンジング型の A-D コンバータはフラッシュ型の A-D コンバータの組み合わせであり、精度は抵抗ラダーのばらつき、比較器の差動増幅器のオフセット電圧のばらつき、そして残差を求める回路の誤差によって決定する。ばらつきが十分に小さいと仮定すると、問題となるのは残差を求める回路の誤差であり、この回路についての評価を行った。1.65V から 3.3V までの電圧を 10mV 刻みで入力し、3.3V との差を HSPICE によるシミュレーションによって求めた。その後、結果を正しい値と比較し、誤差を算出した。この時の最大誤差は 4.3mV であり、

電源電圧が 3.3V の場合の有効ビット数  $b$  は

$$\begin{aligned}\frac{3.3}{2^b} &= 0.0043 \\ \log_2(0.0043 \cdot 2^b) &= \log_2 3.3 \\ b &= \log_2 3.3 - \log_2 0.0043 \\ &= 1.722 + 7.861 \\ &= 9.58 \text{ [bit]}\end{aligned}$$

となり、8bit 分の精度は確保できていることが確認された。

## 4.2 調整機能の動作確認

まずは、ヒストグラム処理ユニットが正しく統計量を求めることができているかを確認するために、配置配線後のレイアウトから Cadence 社の Dracula [16] を用いて回路の抽出を行い、Synopsys 社の Nanosim [15] を用いてシミュレーションを行った。その結果、試験した 100 程度の入力パターン (65536 個の 8bit 整数値をランダムに入力) に対し、いずれ場合も正しく最大、最小、中間、平均値が求められていることを確認した。なお、レイアウトから抽出した寄生容量を含めた場合の最大動作周波数は 175MHz 程度であった。

次に、実装した調整機能が正しく動作しているかを確認するために、次の手順で評価を行った。

1. 2.4 節で使用した CMOS イメージセンサの撮影画像から各画素の値をテキストに出力し、テストベクタを作成する
2. テストベクタをシミュレータに入力し、ヒストグラム処理ユニットとフィードバック制御ユニットのシミュレーションを行う
3. フィードバック制御ユニットの出力として得られた蓄積時間、バイアス電圧の設定値を参照し、該当する画像から新たなテストベクタを作成する
4. 2. に戻る
5. 以上を、フィードバック制御ユニットが調整終了の信号を出力するまで繰り返す

このようにして 2.4 節で用いた明るい環境と暗い環境の撮影画像について調整機能の動

作確認を行ったところ、いずれも PC 上でのシミュレーションと同じ結果が得られた。以上のことから、ヒストグラム処理ユニットとフィードバック制御ユニットが正しく動作していることが確認できた。



## 第5章

# 結論

### 5.1 まとめ

本論文では、CMOS イメージセンサのための画質自動調整機構として、出力画像のヒストグラムを解析する事により最適な蓄積時間とバイアス電圧を調整する手法を提案した。その上で、

- 既存の CMOS イメージセンサから得られた撮影画像を用いて PC 上で提案手法を評価し、実際に明るさの異なる環境において最適な画像が得られるように蓄積時間やバイアス電圧を自動調整することができる事を確認した。
- 撮影画像全体で行ってきた調整を、小さい領域に分割して並列に行うための初期検討を行い、安定した調整結果を得るには最低限どの程度の領域が必要かを見積もった。またこの際、複数の領域の境界付近で出力画像の連続性を確保するための手段について評価を行い、線形補間によって連続性が確保できることを確認した。
- 提案手法をハードウェアとして実装するために設計を行ったイメージセンサについて概要を述べ、各ユニットの性能評価をシミュレーションにより行った。

以上の結果は、様々な撮影環境で常に最適な画像が得られるセンサシステムの実現に向け、有意義なものであると考えられる。

## 5.2 今後の課題

今後の課題としては、以下のものが挙げられる。

- 時間上の都合により不可能であった実チップによる測定を行い、動作を確認する。
- 細粒度の調整手法について、ハードウェア化の際に必要なリソースの検討を行い、適切な粒度を決定した上でハードウェアへの実装を行う。
- フォトダイオードの蓄積の途中で画素値を読み出し、1フレーム内で調整を行う手法について検討を行う。

## 参考文献

- [1] 米本 和也, “CCD/CMOS イメージ・センサの基礎と応用,” CQ 出版, 2004.
- [2] C. Koch and H. Liu, “Vision Chips Implementing Vision Algorithms with Analog VLSI Circuits,” *IEEE Computer Society Press*, 1995.
- [3] A. Moini, “Vision Chips or Seeing Silicon,” University of Adelaide, Massachusetts, 1997.
- [4] K. Aizawa, “Computational Sensors - Vision LSI,” *IEICE Transactions on Information and Systems*, Vol. E82-D, No. 3, pp. 580-588, Mar. 1999.
- [5] V. Brajovic, K. Mori, and N. Jankovic, “100 frames/s CMOS Range Image Sensor,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 256-257, Feb. 2001.
- [6] S. Yoshimura, T. Sugiyama, K. Yonemoto, and K. Ueda, “A 48k frame/s CMOS Image Sensor for Real-Time 3-D Sensing and Motion Detection,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 94-95, Feb. 2001.
- [7] T. Nezuka, T. Fujita, M. Ikeda, and K. Asada, “A Binary Image Sensor with Flexible Motion Vector Detection using Block Matching Method,” *In Proceedings of the IEEE Asia and South Pacific Design Automation Conference*, pp. 21-22, Jan. 2000.
- [8] Z. Li and K. Aizawa, “Vision Chip for Very Fast Detection of Motion Vectors: Design and Implementation,” *IEICE Transactions on Electronics*, Vol. E82-C, No. 9, pp. 1738-1748, Sep. 1999.

- [9] J. K. Lee, D. Y. Chang, G. S. Kang, and S. H. Lee, "A Single-Chip CMOS CCD Camera Interface Circuit with Digitally Controlled AGC," *In Proceedings of the IEEE Asia and South Pacific Design Automation Conference*, pp. 45-48, Jan. 1999.
- [10] T. H. Oh and S. H. Lee, "Single-Chip CMOS CCD Camera Interface Based on Digitally Controlled Capacitor-Segment Combination," *IEEE Transactions on Circuits and Systems*, Vol. 47, Issue 11, pp. 1338-1343, Nov. 2000.
- [11] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, and M. Furuta, "A Wide Dynamic Range CMOS Image Sensor with Multiple Exposure-Time Signal Outputs and 12-bit Column-Parallel Cyclic A/D Converters," *IEEE Journal of Solid-State Circuits*, Vol. 40, Issue 12, pp. 2787-2795, Dec. 2005.
- [12] R. Nixon, S. Kemeny, C. Staller, and E. Fossum, "128×128 CMOS Photodiode-Type Active Pixel Sensor with On-Chip Timing, Control and Signal Chain Electronics," *In Proceedings of the SPIE Conference on Charge-Coupled Devices and Solid-state Optical Sensors V*, Vol. 2415, pp. 117-123, 1995.
- [13] A. Krymski, D. Van Blerkom, A. Andersson, N. Bock, B. Mansoorian, and E. R. Fossum, "A High Speed 500 Frames/s 1024×1024 CMOS Active Pixel Sensor," *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 137-138, Jun. 1999.
- [14] Y. Oike, M. Ikeda, and K. Asada, "Design and Implementation of Real-Time 3-D Image Sensor With 640×480 Pixel Resolution," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 4, pp. 622-628, Apr. 2004.
- [15] Synopsys, Inc., <http://www.synopsys.com/>
- [16] Cadence Design Systems, Inc., <http://www.cadence.com/>

## 謝辞

本研究を進めるに当たり、指導教員である浅田邦博教授には、ご多忙であるにも関わらず、研究の方針や内容について鋭い御指摘、御助言をしていただき、非常にお世話になりました。また、池田誠助教授には、本研究を進めるにあたり、適切な御助言をして頂きました。心から感謝致します。

本研究を進めるにあたり、数多くの御助言、御支援を下さいました助手の佐々木昌浩氏、鄭若彤氏に深く感謝致します。

谷内出悠介氏には、研究の進め方、内容に対する御助言など、研究の基礎から懇切丁寧なご指導、ご助言を頂きました。先生方よりも近い立場で根気強く、親身に面倒を見ていただき、非常にお世話になりました。同氏の協力なくしては、本論文が完成することはなかったでしょう。

吉田浩章氏、飯塚哲也氏には、日頃から研究内容についての的確なアドバイスをいただきました。深く感謝致します。

他にも、浅田・池田研究室の皆様には研究や論文執筆、研究室での生活のサポートなど様々な面で御協力いただき、大変お世話になりました。心より感謝しております。

チップ試作にあたり、御協力いただいた東京大学大規模集積システム設計教育センター、ローム株式会社、凸版印刷株式会社心から感謝致します。