

修士論文

三線式自己同期伝送方式の
電磁干渉実験評価

曹溶成

東京大学大学院 工学系研究科 電子工学専攻

学籍番号 56469

指導教官 浅田邦博 教授

2007年2月2日提出

目次

第1章	序論	1
1.1	研究の背景と目的	1
第2章	自己同期シリアル伝送方式と電磁干渉	4
2.1	自己同期シリアル伝送方式	4
2.1.1	パラレル伝送方式からシリアル伝送方式へ	4
2.1.2	自己同期シリアル伝送方式	5
2.1.3	自己同期伝送方式のメリット	7
2.2	電磁干渉	7
第3章	自己同期伝送方式の設計	10
3.1	各伝送方式の実装回路	10
3.1.1	送信回路	10
3.1.2	受信回路	11
3.2	シミュレーション結果	15
3.3	試作チップの回路構成	16
3.3.1	VCO (Voltage-Controlled Ring Oscillator : 発信器)	16
3.3.2	Frequency Divider(分周器)	18
3.3.3	SERDES(Serializer/Deserializer : シリアル/パラレル変換器)	18
3.3.4	PRBS(PseudoRandom Bit Sequence)	20
3.3.5	低電圧3線3相式送信回路	23
3.4	チップシミュレーション結果	25
3.5	試作チップのレイアウト	26
第4章	試作チップの評価	29
4.1	チップ出力信号の確認	29
4.1.1	測定方法	29
4.1.2	VCOの出力周波数	30
4.1.3	各伝送方式の出力波形	30
4.2	内部インターフェイスの測定結果	30

4.2.1	測定装置	32
4.2.2	最大送受信レート	32
4.2.3	消費電力	35
4.3	測定結果に対する検討	39
4.4	回路構成の改良案	42
4.4.1	自己同期伝送方式の受信部	42
4.4.1	3線3相式の送信回路	42
4.5	低電圧3線3相式送信回路の出力波形	44
第5章	電磁干渉モデルの提案	45
5.1	測定装置	45
5.2	電磁干渉モデル	47
5.3	電磁干渉測定の予備実験	47
第6章	結果と残された課題	51
	参考文献	53
	本研究に関する発表	55
	謝辞	56

目次

1.1	微細化による配線ピッチの変化	1
1.2	ゲート遅延と配線遅延の変化	2
1.3	GALSアーキテクチャ	2
2.1	3線3相式伝送方式の状態変移図	5
2.2	2線4相式伝送方式の状態変移図	6
2.3	4線4相式伝送方式の状態変移図	6
2.4	EMIシミュレーションモデル	8
2.5	電磁分布のシミュレーション結果	9
3.1	3線3相式送信回路	10
3.2	winner_take_allの回路構成	11
3.3	2線4相および4線4相式の送信回路	11
3.4	3線3相式の受信回路	12
3.5	伝送レートが1Mbpsの場合の同期信号の再生	13
3.6	伝送レートが5Mbpsの場合の同期信号の再生	13
3.7	配線遅延に対するWinner_Take_Allの動作特性	14
3.8	2線4相式および4線4相式の受信回路	14
3.9	3線3相式インターフェイスのシミュレーション結果	15
3.10	2線4相式および4線4相式送信回路のシミュレーション結果	15
3.11	シリアルインターフェイスおよび周辺回路	16
3.12	N段接続のマルチパスリング発信器	17
3.13	VCOシミュレーション結果	17
3.14	周波数分周回路	18
3.15	分周回路シミュレーション結果	18
3.16	8ビット変換のシリアライザ	19
3.17	シリアライザのシミュレーション結果	19
3.18	8ビット変換のデシリアライザ	20
3.19	デシリアライザのシミュレーション結果	21
3.20	パラレルPRBS発信器	21

3.21	PRBSチェッカー	22
3.22	PRBSシミュレーション結果	22
3.23	低電圧3線3相式送信回路	23
3.24	低電圧3線3相式送信回路	24
3.25	低電圧3線3相式送信回路のシミュレーション結果	25
3.26	チップレベルシミュレーション結果	25
3.27	試作したチップ写真	27
3.28	送信部の回路ブロック	27
3.29	バッファを駆動させる場合とさせない場合の消費電力の違い	28
4.1	伝送方式出力波形確認の実験装置	29
4.2	出力波形確認用のボード	30
4.3	VCO動作周波数の測定結果	31
4.4	シミュレーション結果との比較	31
4.5	各伝送方式の測定波形	31
4.6	内部インターフェイス測定用ボード	32
4.7	出力信号パターン1	33
4.8	出力信号パターン2	33
4.9	出力信号パターン3	34
4.10	3線3相式出力波形	34
4.11	2線4相式出力波形	34
4.12	4線4相式出力波形	35
4.13	送信部の消費電力	36
4.14	各伝送方式における信号遷移方式	36
4.15	3線3相式インターフェイスの消費電力	37
4.16	3線3相式インターフェイスの消費電力	38
4.17	3線3相式インターフェイスの消費電力	38
4.18	3線3相式の送信部	38
4.19	電源電圧による消費電力	39
4.20	受信回路の出力波形	40
4.21	PRBSからのデータパタン	41
4.22	4線4相式受信回路の位相バラツキ	41
4.23	自己同期伝送方式の受信部	42
4.24	3線3相式の送信回路改良案	43
4.25	3線3相式の送信回路改良案のシミュレーション結果	43
4.26	低電圧3線3相式送信回路の測定波形	44

5.1	コイルレイアウト	45
5.2	コイルの形状	46
5.3	電磁干渉測定装置	46
5.4	電磁干渉モデル	47
5.5	予備実験の概要図	47
5.6	コイルからの測定波形[入力信号:2線4相式]	48
5.7	コイルからの測定波形[入力信号:S+S-]	49
5.8	電磁干渉測定結果	49

表目次

2.1	基板リターン電流[mA]	7
2.2	正規化電磁強度分布[%]	7
2.3	正規化電解強度分布[%]	8
2.4	放射電力[W]	8
3.1	信号遷移時の電流経路	24
3.2	各伝送方式の最大データ送信レート	26
4.1	各送信回路の最大データ送信レート	35

第1章 序論

1.1 研究の背景と目的

半導体プロセス技術の微細化が行われる中でローカルモジュールの動作周波数は増加しつつあり、1GHz を超える信号を扱うデジタル回路はもはや珍しいものではない。例えば、PCI Special Interest Group によって2007年1月15日に発表されたPCIe 2.0の最終規格ではデータ伝送レートが既存の2倍である5Gbpsになっている [1]。

このように高速なデジタル信号を扱うシステムでは、信号を単なる論理の置き換えとして取り扱うことはできない。チップ内部では非常に高速な電流の変化が起こり、チップの配線構造に対するインダクタンス効果によって発生するEMI(Electromagnetic Interference) が信号の遅延および信頼性に悪影響を及ぼすためである。

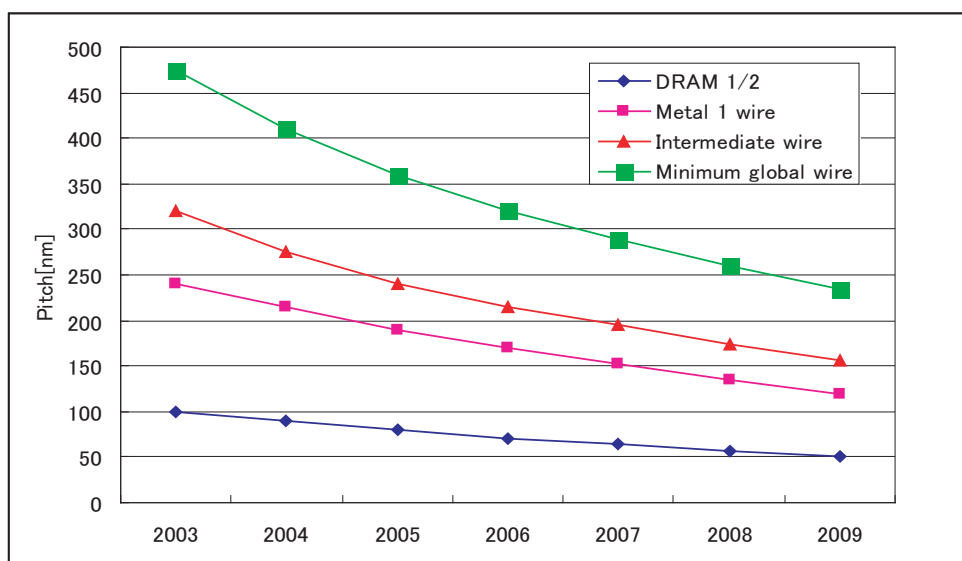


図 1.1. 微細化による配線ピッチの変化

また、半導体プロセス技術の微細化とともに配線のピッチが小さくなっている。図 1.1 に微細化による配線ピッチ減少傾向を示す。配線ピッチの減少は寄生効果により配線遅延の増加につながる。

図 1.2 にはそれぞれのプロセスにおいてのゲート遅延と配線遅延の変化を示している [2]。ゲート遅延はプロセスの微細化とともに小さくなることに対し、配線遅延は逆に大きくなっていくことが分かる。以前には相対的に小さかった配線遅延が VLSI の性能に大きく影響するようになったのである。

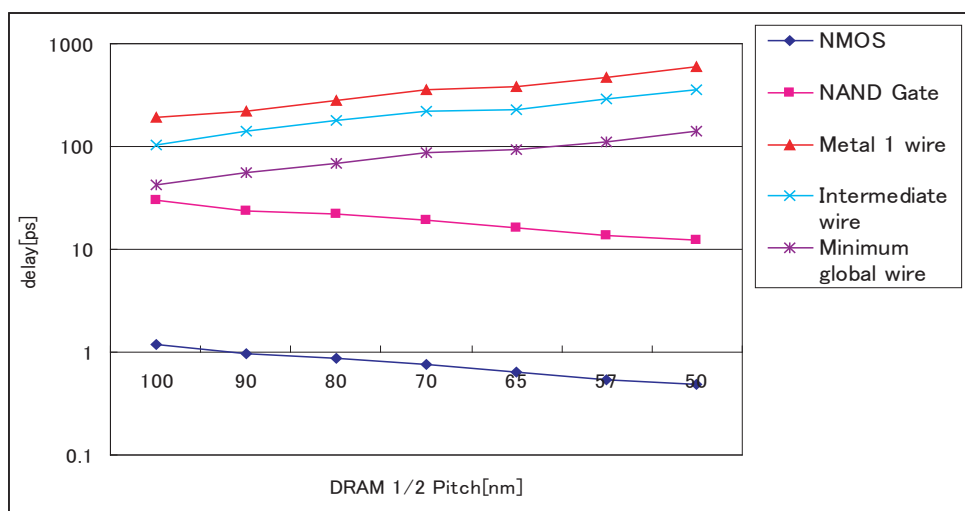


図 1.2. ゲート遅延と配線遅延の変化

それで現在のプロセス技術においては、グローバル配線で高速に信号を伝送することは難しくなっており、メモリアクセスからパイプラインデータ制御まで同じクロック信号源で行う同期式システムでは、クロック分配において設計コストが大きくなる。

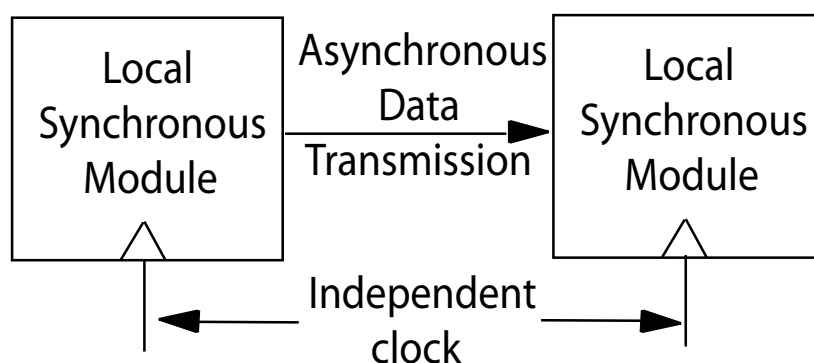


図 1.3. GALS アーキテクチャ

そこで図 1.3 のようにローカルモジュールを高速クロックにより駆動させて、その間のグローバルデータ伝送を非同期的に行う方式 (GALS : Globally Asynchronous Locally Synchronous) が有望視されている [3]。

本研究室ではデータと同期信号のビット間符号化を行うことで、GALS アーキテクチャにおいてのモジュール間高速非同期データ伝送に適合できる 2 つの自己同期デジタル伝送方式に注目し、その EMI 評価を行った。伝送線路間のインダクタンス、キャパシタンスをモデリングすることで得られたシミュレーション結果、3 線 3 相式が 2 線 4 相式に比べて EMI 特性が優れていることが示された [4]。

本論文では、3 つの自己同期デジタル伝送方式を実現するインターフェイス回路を提案し、試作したチップの測定結果を示す。また、各伝送方式の EMI 実測評価を行うためのモデルを提案する。

本論文において、第2章では自己同期シリアル伝送方式動作概念と電磁干渉のシミュレーション結果を示す。第3章では、各自己同期伝送方式のインターフェイスを構成する送受信回路および周辺回路を説明する。第4章では、試作したチップの性能評価結果を示す。第5章では、各伝送方式の EMI 実測評価を行うためのモデルを提案する。最後に第6章では、研究内容を総括し残された課題を述べる。

第2章 自己同期シリアル伝送方式と電磁干渉

2.1 自己同期シリアル伝送方式

現在 GALS アーキテクチャおよびボード上のチップ間通信、またはパソコンと周辺機器の間の通信は主に非同期通信によって行われている。伝送方式は素子の製造プロセス技術の発展と、それに伴うアプリケーションのデータ量と伝送スピードの増加に対応するために進展を重ねてきており、パラレル伝送方式からシリアル伝送方式へと技術変移が行われている。

この節ではまず、パラレル伝送方式からシリアル伝送方式へと技術変移が行われる背景を述べた後に、本研究で注目しているた3つの自己同期シリアル伝送方式の動作概念およびそのメリットについて述べる。

2.1.1 パラレル伝送方式からシリアル伝送方式へ

パラレル伝送方式とシリアル伝送方式の違いは回線の数（ピンの数）の同期信号の伝達方法にある。32ビットのデータをパラレル伝送方式で伝送する場合は32個のチャンネルが必要になるが、シリアル伝送方式で伝送する場合は1つのチャンネルで伝送することになる。このようにシリアル伝送方式は回線の数（ピンの数）という面ではパラレル伝送方式より効率がよい伝送方式である。しかし、同期信号を考えるとその優位性は逆転する。パラレル伝送方式ではすでに32個のチャンネルが設けられているので一つのクロックですべての信号を送ることができるものの、シリアル伝送方式では32ビットデータをパラレル伝送方式と同じ時間で伝送するためには32倍早いクロック信号が必要になるのである。

早い同期信号を使わないといけないというデメリットを持つシリアル伝送方式は、数MHzだけで動作するプロセッサしか作れない時代では懸命な選択ではなかった。そのため、今まではパラレル伝送方式を中心にインターフェイスアーキテクチャが発展されてきたのである。

同期信号を上昇させることが困難であることと、大量のデータを伝送できることから初期の伝送方式としてパラレル伝送方式が採用されたのであるが、プロセス技術の発展とともにプロセッサの動作周波数がGHz帯に達している現在では、その方式における物理的限界による問題が見えてくる。

その問題の一つとして回線間干渉がある。複数の回線を高い周波数で同時に動作させ

るとEMIによる回線間信号干渉によって間違っただデータを伝送する可能性が高くなるのである。パラレル伝送方式においてのこの問題を解決するためにPCB(print circuit board) 基板にはさまざまな方法が取り入られている。その一つとして多層レイヤー方式があるが、このようなPCB上の回路でも干渉問題が発生するため、レイヤー間にグランド線を追加し干渉を避けるための工夫をしている。

しかし、パラレル伝送方式においてのこのような対処法は多層のレイヤーを使わないといけなく、設計コストも高くする。プロセス技術の発展によって同期信号の周波数を用意に上げることができる現在においては、シリアル伝送方式を使うと同じ性能を少ないレイヤーでより簡単に実現することができる。

パラレル伝送方式が持つ問題のもう一つは回線間遅延時間のバラツキである。GHz帯の高い周波数での信号の波長が短くなり線路の形状に違いにより遅延時間の差が生じるのである。この場合は、複数のチャンネルで同期を取って信号を伝送するというパラレル伝送方式そのものが成り立たなくなる。シリアル伝送方式では回線間遅延時間を考慮する必要がなく、設計コストがパラレル伝送方式より低くなる。

このように高速伝送レートを実現するための伝送方式としては、設計上の物理的制約によってシリアル伝送方式がパラレル伝送方式より優れているため、シリアル伝送方式への注目が高くなっているのである。

2.1.2 自己同期シリアル伝送方式

GALSアーキテクチャに適合する伝送方式として自己同期伝送方式がある。この伝送方式はデータとともにビット間同期信号をエンコードすることによって、送信側でのクロック周波数の変化がそのまま受信側に伝わることを特徴とする。この節ではその3つの伝送方式として、3線3相式と2線4相式、また4線4相式の動作概念を説明する。

3線3相式伝送方式

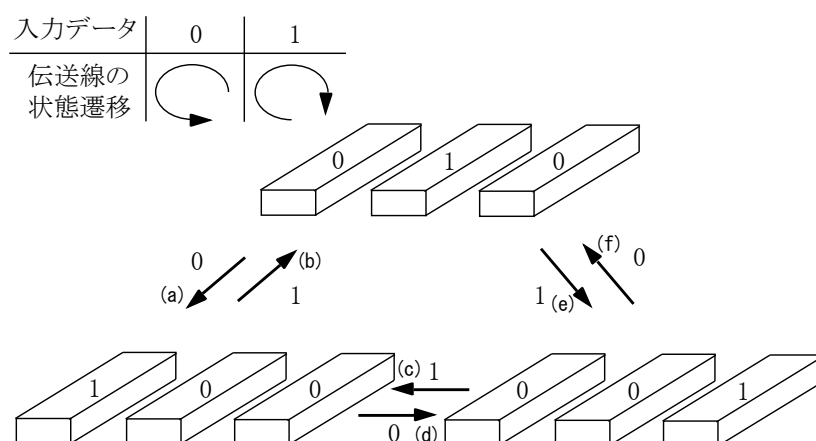


図 2.1.3 線3相式伝送方式の状態遷移図

データと同期信号を3つの信号線に対し(100,010,001)のようにエンコードする方式である。状態の遷移はクロック信号に同期してとデータによって図2.1のように行われる。入力データが1の時は時計方向に、入力データが0の時は反時計方向に3線の状態が変わる。

すべての状態遷移において3つの信号線の内いずれか2つの信号線で立ち上がり立ち下がりが生じるため、リターン電流は大幅にキャンセルされる。それでクロック信号とデータが同時に送れることと、EMI特性に優れているが利点として考えられる。

2線4相式および4線4相伝送方式

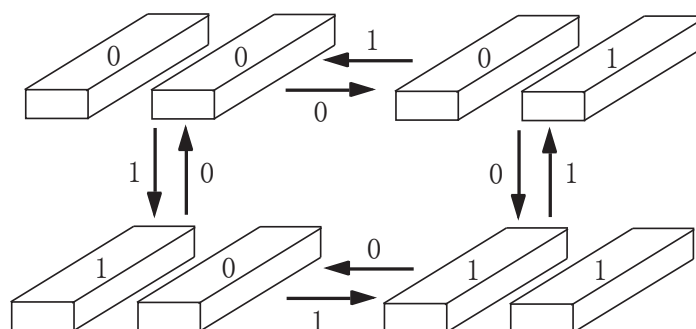


図 2.2. 2線4相式伝送方式の状態遷移図

2線4相伝送方式はデータと同期信号を2つの信号線に対し、(00,01,10,11)のようにエンコードする方式である。信号線の状態変化によって同期信号とデータを同時に送ることができる[5]。その状態遷移を図2.2に示す。送信側のクロック信号に同期して信号線の状態が変化し、受信側ではその状態変化からタイミング情報を得ることができる。しかし、この方式ではリターン電流がグランド線と基盤に流れるため、大きなリターンループを作り、ノイズにおいて問題点がある。

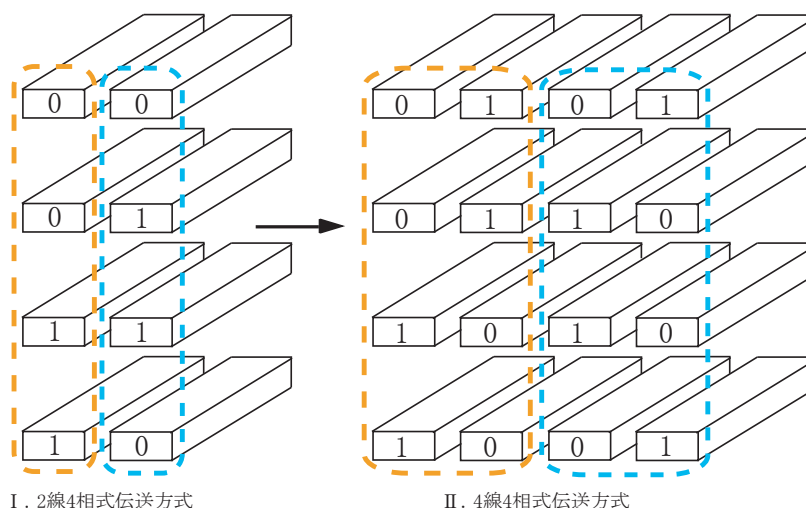


図 2.3. 4線4相式伝送方式の状態遷移図

4線4相伝送方式は図2.3に示されているように2相式伝送方式の各線の0と1の状態を2つの線で01と10に置き換えた伝送方式であって、(0110,0101,1010,1001)の4つの状態を持つ。2線4相式と同じく同期信号とデータを同時に送ることができる。また、2つの信号線が差動対をなすためEMI特性においても優れていると考えられるものの、3相式伝送方式に比べると配線数が一つ多く、配線面積やピン数において不利である。

2.1.3 自己同期伝送方式のメリット

大規模なチップにおいてチップ全体に同期クロック信号を供給することは困難であることから、モジュール単位で高速に同期を行うことが現実的である。この場合、グローバル配線を通るデータはチップ間データ通信で行われている手法と同様にタイミング信号を含んだ方式を用いる必要がある。

自己同期伝送方式はビットごとに同期信号が内在する伝送方式である。複数ビットに対して同期を取り、信号を伝送する方式では、配線遅延などによるビット間伝送遅延のバラツキを考慮しなければならない。チップの複雑な配線網において信号遅延を正確に見積もり高速な動作を達成しようとする、設計およびテストのコストが大きくなると予想される。しかし、自己同期伝送方式は1ビット単位の遅延だけを考慮すればよいので設計マージンが大きく、容易にスループットを上げられると考えられる。

また、送信側でシステムの作業量に応じてデータ伝送レートを変えた場合、その情報がビット単位でエンコードされて受信側に伝わるため、受信側で瞬時にその変化に対応することができ、伝送レートにフレキシブルな伝送方式でもある。現在プロセッサの省電力化のための一つの方法として注目されている DVFS(Dynamic Voltage and Frequency Scaling) 方式を実現することにおいても自己同期伝送方式の動作周波数にフレキシブルに対応できるという特徴は大きなメリットになると考えられる [6]。また、消費電力を下げるために電源電圧を回路の作業量に応じて変えるという概念は、本研究が注目している EMI に対する対策とも関連するところがあり、この分野への自己同期伝送方式の応用も大いに期待できる [7]。

2.2 電磁干渉

この節では、3線3相伝送方式および2線4相伝送方式の電磁干渉評価をするために先輩の李楠が行ったシミュレーション結果を示す。[4]

評価モデルは、2相式モデルとして [SSG]、G[SS] を、3相式モデルとして [+S-SS]、[+SS-S] の4つを使用した(図.2.4)。ここでSは信号線、Gはグランド線を表す。これまでに、グローバル配線のインダクタンスの影響を抑えるために、電源あるいはグランド線を信号線と平行するように設計し、それをリターン電流パスと使用することでインダクタンスを小さくする方法がとられている。2相式モデル [SSG]、G[SS] はそれらをモデル化したものである。3相式モデルの+S、-S はそれぞれ電流の立ち上がり、立ち下りを意味する。提案された3相式伝送方式では、すべての状態遷移において2つ

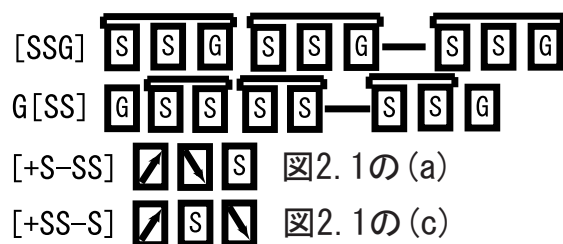


図 2.4. EMI シミュレーションモデル

の信号線で立ち上がりと立ち下がりが起きることをモデル化したものである。

各モデルに対して、 $0.18\mu\text{m}$ プロセスのパラメータに基づき、電流源が5mA、動作周波数が1、3、5[GHz]の場合の10ビットの平行配線によって生じる基板リターン電流、磁界、電界、放射電力のシミュレーション結果を示す。

表 2.1. 基板リターン電流 [mA]

周波数	2相式		3相式	
	[SSG]	G[SS]	[+S-SS]	[+SS-S]
1GHz	34.84	44.00	0.96	0.003
3GHz	13.25	25.29	1.42	0.007
5GHz	6.77	12.83	0.97	0.0006

表 2.2. 正規化磁界強度分布 [%]

周波数	2相式		3相式	
	[SSG]	G[SS]	[+S-SS]	[+SS-S]
1GHz	100	156	23	33
3GHz	41	92	20	28
5GHz	25	49	17	22

1. 基板リターン電流: 表.2.1の結果から3相式伝送方式の基板リターン電流が2相式の場合より小さいことが分かる。周波数が高くなるほど2相式伝送において基板リターン電流が小さくなる。これは、周波数が高くなると配線のインピーダンスが高くなるためである。

2. 磁界強度分布: 1[GHz]の時の[SSG]モデルの磁界を100%として、相対的な磁界の大きさを表した(表.2.2)。[SSG]モデルの2相式伝送方式と3相式伝送方式の磁界分布はほぼ同じである。この結果から2相式伝送方式において、信号線の間をグランド線を挟んで置くことで誘導磁界の干渉を下げられることが分かる。

表 2.3. 正規化電界強度分布 [%]

周波数	2相式		3相式	
	[SSG]	G[SS]	[+S-SS]	[+SS-S]
1GHz	100	107	80	86
3GHz	100	115	38	53
5GHz	100	117	22	41

表 2.4. 放射電力 [nW]

周波数	2相式		3相式	
	[SSG]	G[SS]	[+S-SS]	[+SS-S]
1GHz	10.24	14.32	2.66	0.001
3GHz	727.93	947.23	163.36	0.063
5GHz	5082.72	5592.93	1080.67	0.43

3. 電界強度分布: このシミュレーション結果(表 2.3)からは、3相式伝送方式が2相式伝送方式に比べて電界強度分布を大幅に削減できることが示せた。

4. 放射電力: 2相式伝送方式に比べて、3相式伝送方式が、基板リターン電流が小さく、また電流ループも小さい。そのため、表 2.4のように放射電力が小さくなることが示された。

以上の結果より3相式伝送方式が2相式伝送方式に比べて電磁干渉問題において優れていることがシミュレーションで示された。

第3章 自己同期伝送方式の設計

3.1 各伝送方式の実装回路

3線3相伝と2線4相式、4線4相式伝送方式を実現するインターフェイス回路を送信回路と受信回路に分けて説明する。

3.1.1 送信回路

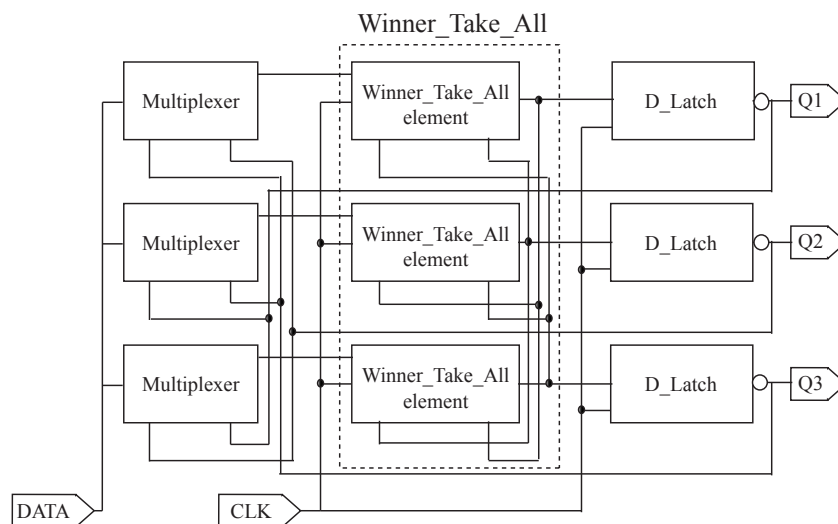


図 3.1.3 線 3 相式の送信回路

- 3線3相式

指導教官である浅田先生が提案した3線3相式送信回路を図3.1に示す。Winner_Take_AllとD-Latchはそれぞれマスタ・スレーブラッチの役割をする。

Winner_Take_Allの具体的な回路図は図3.2に示すとおりである。この図からも分かるようにWinner_Take_AllはSR_latchを3線信号へと拡張したものであって、その3つの出力の中で1つが0の場合、他の2つの出力を1に固定させる機能をもっている。このブロックにより、3線3相式伝送方式信号に合ったエンコード状態を常に保つことができる。また、送信回路内部で自動的に(1,0,0)の出力状態を生成することができるため、外部から初期状態を与えなくても3線3相式データエンコードを行うことができる。

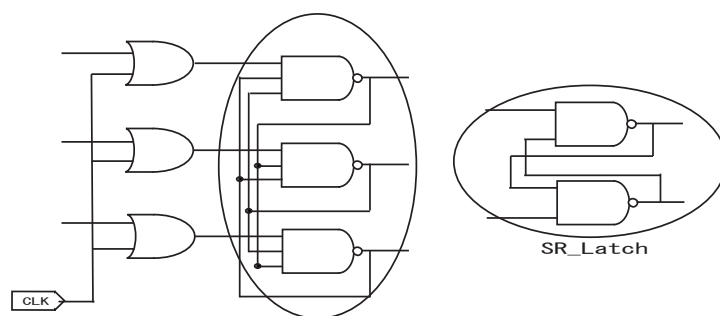


図 3.2. winner_take_all の回路構成

D-Latch でラッチされた信号は Multiplexer にフィードバックされる。Multiplexer では入力データ (DATA) の値によってフィードバックされた現在の3つのエンコード信号を次のクロックでどの方向 (時計方向、反時計方向) に遷移させるか決める。これらの各ブロックの動作により、データ (DATA) と同期信号 (CLK) が3線3相式伝送方式にエンコードされ、3つの出力信号 (ES:Encoded Signal) が生成される。

- 2線4相式

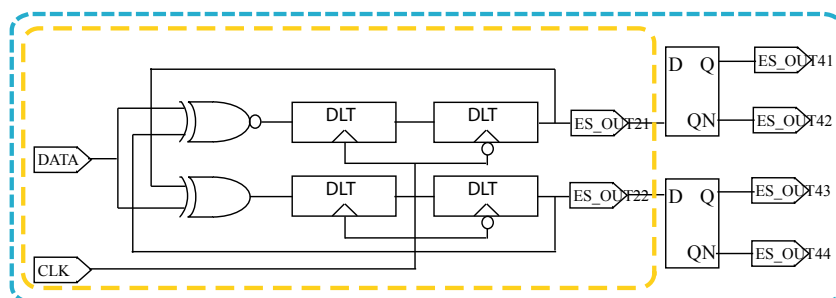


図 3.3. 2線4相式および4線4相式の送信回路

2線4相式伝送方式の状態遷移条件から論理解析を行って得られる送信回路を図3.3に示す [8]。2相式伝送方式の送信回路はマスタ・スレーブラッチにXOR、XNORを組み合わせただけで実装できる。また、その回路構成の非対称性から外から初期値を与えなくても内部的に2相式伝送方式の状態設定が行われる。

4線4相式伝送方式の送信回路は、2線4相式伝送方式の送信回路出力端子に、2出力端子 (Q、QN) を持つ D-Latch を設けることによって実現できる。

3.1.2 受信回路

- 3線3相式

指導教官である浅田先生が提案した3線3相式の受信回路を図3.4に示す。送信回路から送られてきた3つの3相式エンコード信号 (ES) には、チップ内部の配線長の差などによる位相ばらつきが生じられると考えられる。そこで、Receiverの前列には Winner_Take_All と同じ論理回路を置くことで受信した3つの信号の位相ばらつきを補正できるようにした。

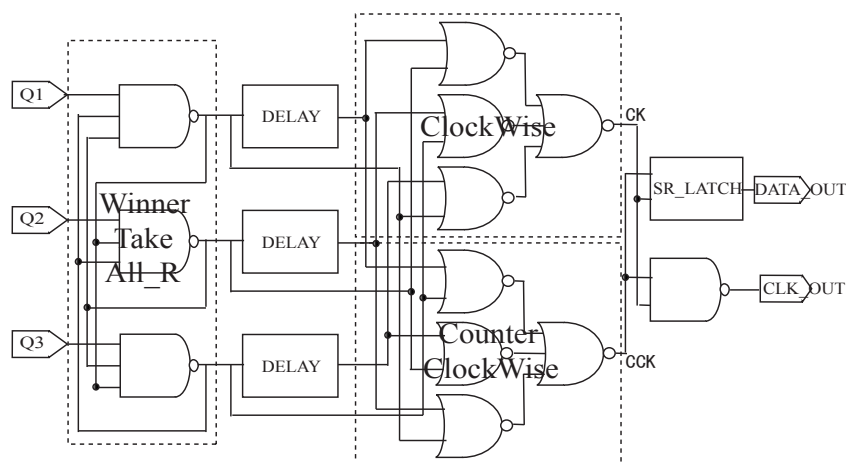


図 3.4.3 線 3 相式の受信回路

Winner_Take_All で位相補正された 3 相式エンコード信号 (ES) を遅延要素に入力し、その前後の信号を比べることで 3 相式エンコード信号 (ES) がどの方向 (時計方向・反時計方向) に遷移したのかを検出する。ここで得られた 2 つの信号、CK (ClockWise)、CCK (CounterClockWise) を用いてデータ (DATA) と同期信号 (CLK) をデコードする。

図 3.5 と図 3.6 に 3 線 3 相式伝送方式において送信回路の伝送レートが違う場合の受信回路からクロック信号が再生される様子を示す。入力としては 3 線 3 相式伝送方式の送信信号が一定の方向 (時計周り) に遷移しているとき、つまりデータ 1 をずっと送っている場合の結果である。2 つの図を比較することで分かるように伝送レートが変わっても再生されるクロック信号の幅は変化しない。これは今回の提案している受信回路においては信号の遷移方向を比較するために遅延要素を用いているためであって、遅延要素に入力される信号とそれから出力される信号の遅延時間によってクロック信号の幅が決まってしまうのである。このことは 2 つの図において遅延要素に入力される信号 (W3) とそれから出力される信号 (WW3) 波形の重なる部分の幅が再生されるクロックの信号幅を一致することからも確かめられる。

それで今回提案した受信回路を用いて受信できるデータ伝送レートはこの遅延要素による遅延時間によって決まる。つまり、遅延要素による遅延時間を短くするほど受信できる伝送レートが高くなるのである。今回行った試作では、この遅延要素の遅延時間を 120ps にし、受信できる最大データ伝送レートが 8Gbps の受信回路を作った。

次に Receiver での Winner_Take_All 回路の有効性を検証するために行ったシミュレーション結果を図 3.7 に示す。

3 つの入力中 1 つだけに位相バラツキが生じたと想定し、インバータ 6 個で構成した遅延要素で遅延を加えてシミュレーションを行った。その結果、デコードされるクロック信号の幅にばらつきが生じるものの、データとクロックが正しく同期した出力が得られた (図 3.7(a))。しかし、Winner_Take_All をなくした Receiver に対し

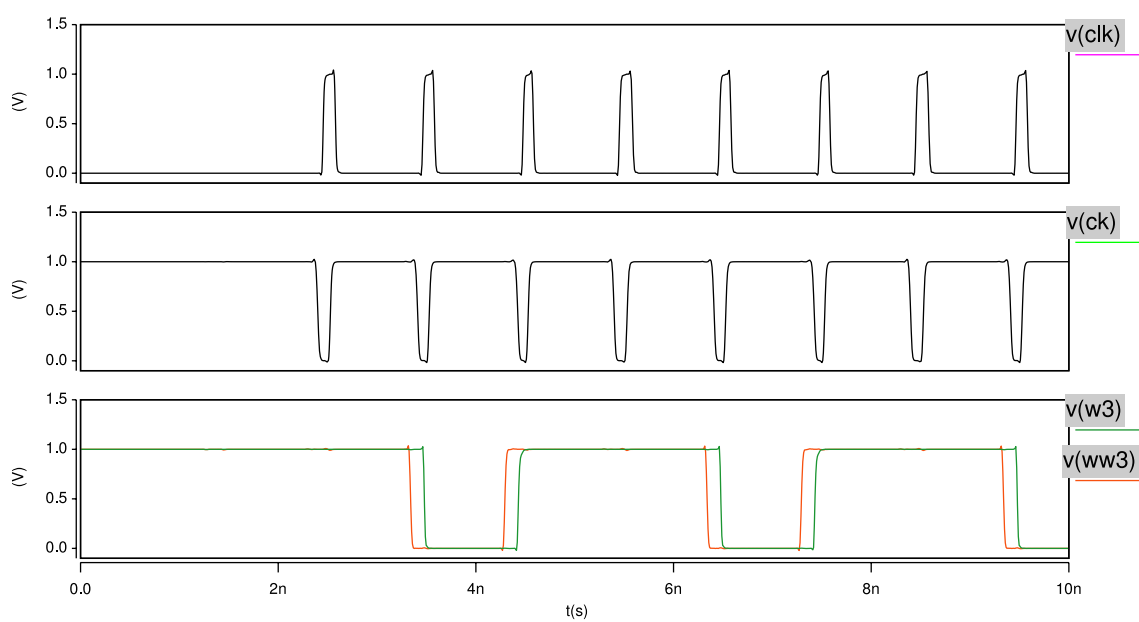


図 3.5. 伝送レートが 1Mbps の場合の同期信号の再生

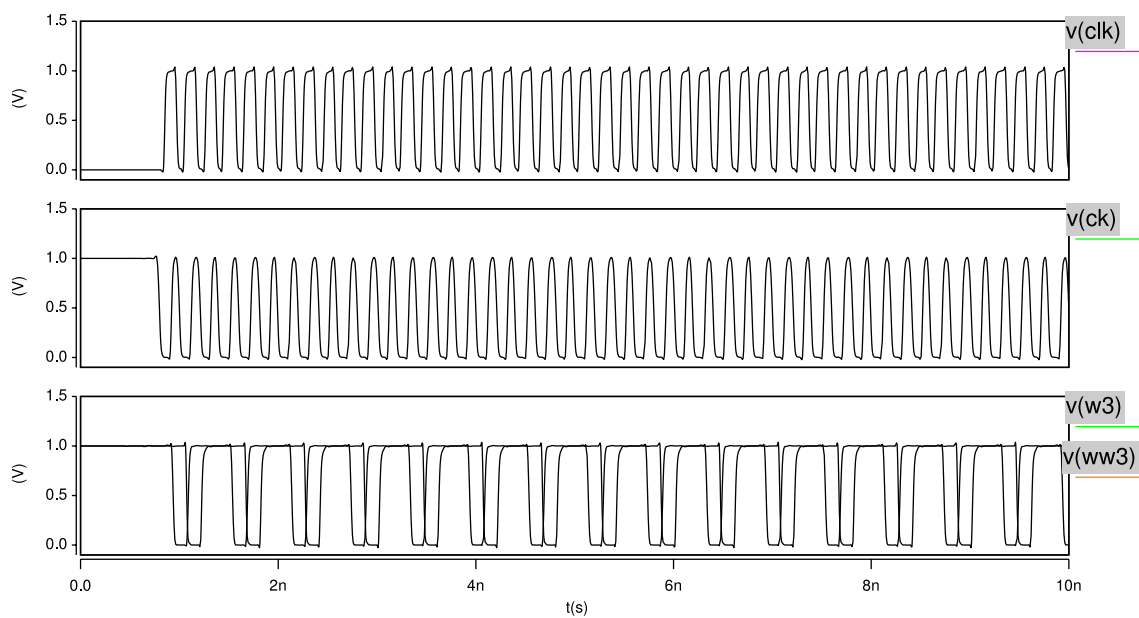


図 3.6. 伝送レートが 5Mbps の場合の同期信号の再生

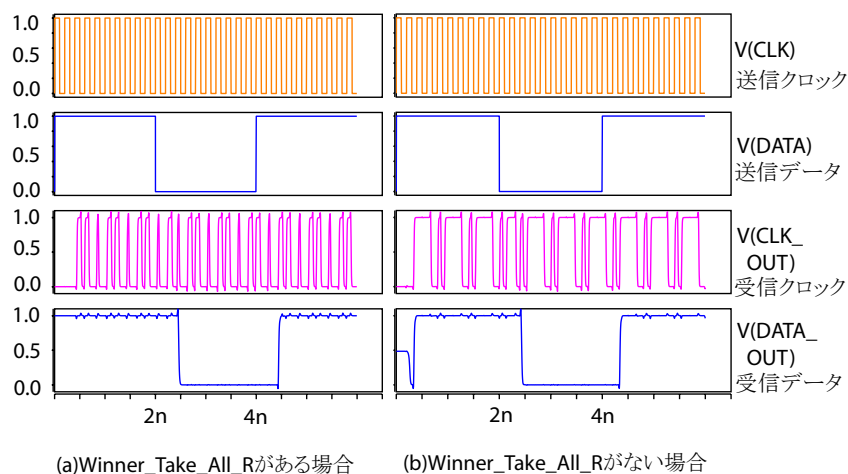


図 3.7. 配線遅延に対する Winner_Take_All の動作特性

て同じ条件で行ったシミュレーション結果では、クロック信号が正しくデコードされなくなった(図 3.7(b))。この結果により、今回提案する受信回路は3線3相式伝送方式を実現する上で、配線遅延のばらつきを吸収できる回路であるといえる。

● 2線4相式および4線4相式

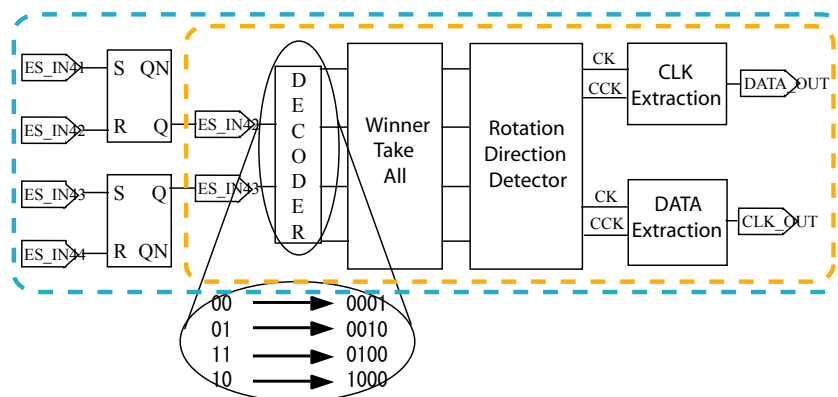


図 3.8. 2線4相式および4線4相式の受信回路

図 3.8 に2線4相式の受信回路のブロック図に示す。前述した3線3相式の受信回路で使用した Winner_Take_All ブロックが位相ばらつきに対し補正能力を持つことがシミュレーション結果確認されたため、2線4相式の受信回路にも適用した。そのために、2線4相式の各状態を Winner_Take_All を用いることができる信号形式に変えるブロックをおくことにした。それによって、全体として受信回路の構成が3線3相式のそれをそのまま拡張させたもので実現できることが分かる。

4線4相式伝送方式の受信回路は、送信回路構成において2線4相式送信回路を用いたことから分かるように2線4相式の受信回路の入力端子にSR-latch を設けることで実現できる。

3.2 シミュレーション結果

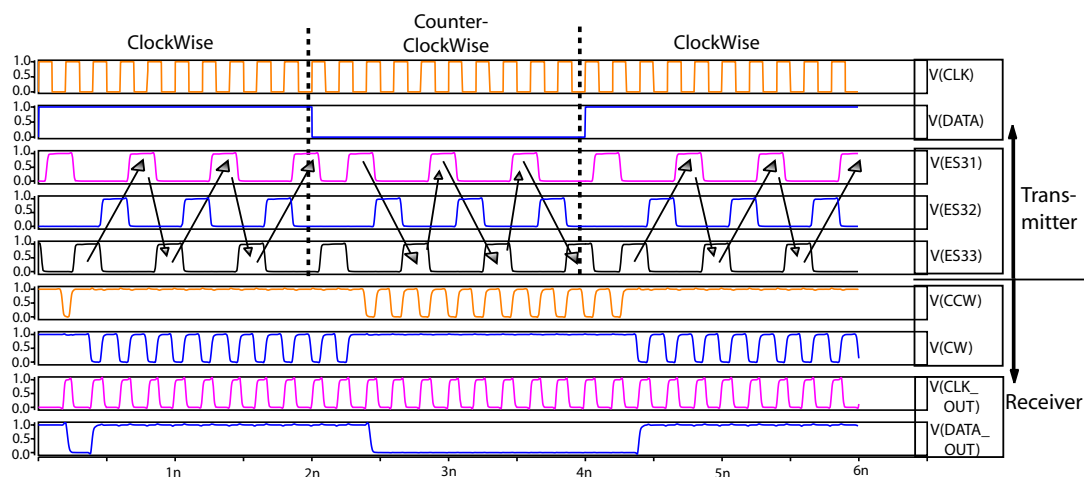


図 3.9. 3 線 3 相式インターフェイスのシミュレーション結果

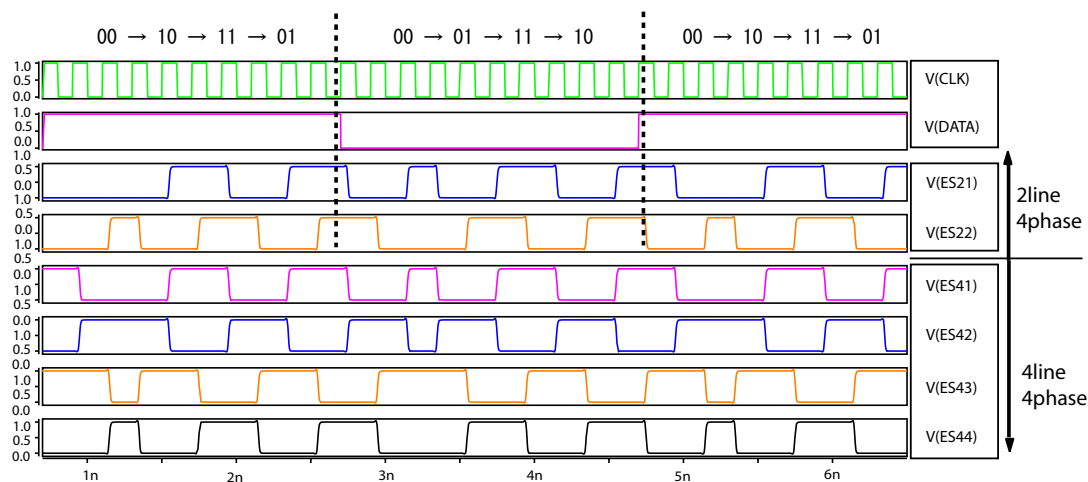


図 3.10. 2 線 4 相式および 4 線 4 相式送信回路のシミュレーション結果

各伝送方式の送信回路および受信回路回を ASPLA90nm 環境でシミュレーションした結果を図 3.9 に示す。(クロック周波数:5[GHz])

3 線 3 相式インターフェイスにおいて 3 つの出力信号 (ES) の遷移方向は、送信回路への入力データによって決まり、CLK 信号に同期して変化する。送信回路への入力データの値によって同期信号の変化とともに 3 つの出力信号 (ES) の遷移方向が変わる。つまり、DATA が 1 の時は ES が時計方向に遷移し、DATA が 0 の時は反時計方向に遷移し、3 線 3 相式伝送方式が実現されている。また、受信回路では ES の遷移方向をによって CCW と CW 信号が生成され、送信したデータと同期信号がデコードされる。それで、今回提案した送信回路と受信回路を用いて 3 線 3 相式伝送方式のインターフェイスが実装できることが確認された。

2線4相式の送信回路も入力データによって同期信号とともに4つの状態の遷移方向が変わることが図??から確認された。また、4線4相式送信回路の出力信号は2線4相式の2つの信号が差動対になって拡張されていることが分かる。

3.3 試作チップの回路構成

プロセス技術の微細化とともに配線構造の寄生効果による配線遅延のばらつきが大きくなっている。そのため、パラレル信号を同期させて伝送するインターフェイスを設計することは困難である。そこで、チップ間およびチップ内ブロック間通信においては、SERDES(Serializer/Deserializer)回路を送信側と受信側にそれぞれおき、その間の通信を高速なシリアルインターフェイスで行う方法が注目を集めている [9]。自己同期伝送方式はビット同期信号が内在し、かつ3線3相式伝送方式はEMIが小さい伝送方式であるため、高速シリアルインターフェイスに適した伝送方式である。

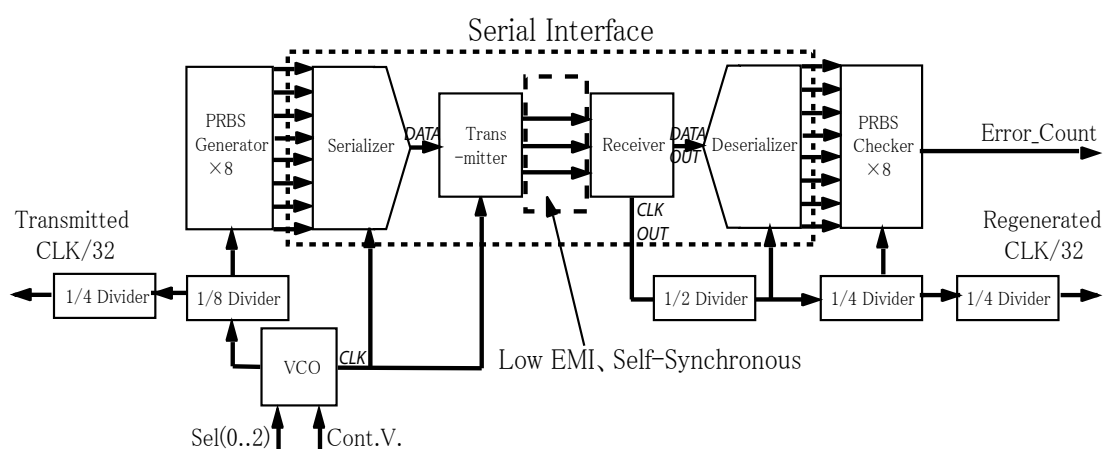


図 3.11. シリアルインターフェイスおよび周辺回路

そこで、本研究ではまず図 3.11 に示すように SERDES 回路を含めた自己同期シリアルインターフェイス (3線3相式、2線4相式、4線4相式) を試作し、PRBS (Pseudo Random Bit Sequence) ジェネレータおよび PRBS チェッカーを用いてその動作特性を確認できるようにした。この節では、各インターフェイスの性能評価のために用いた周辺回路を説明する。

3.3.1 VCO(Voltage-Controlled Ring Oscillator : 発信器)

チップ内部で高周波のクロックを生成するために、Wave_Look_Ahead 型 VCO を設計した。(図 3.12)

VCO において発信周波数をあげるためには、各段の遅延時間を最初化することが必要である。今回試作した構造では、メインループ (P 入力) に加わって補助的な S 入力をつけてある。前段のメインループから入力が伝わってくる前に S 入力各段の PMOS をスイッチングさせておくことで遅延時間の最初化を図っている [10]。

コントロール電圧 [Vcont] は NMOS のゲート入力に接続されている。Vcont を上げるほど NMOS は導通しやすくなり、それによって NMOS のドレイン側に接続されている PMOS のスイッチングスピードを変えることで発信周波数を制御する回路構成になっている。図 3.13 に示しているように 5 段接続の VCO に対し、ASPLA90nm で試作した結果最大発信周波数 8.2GHz のシミュレーション結果が得られた。

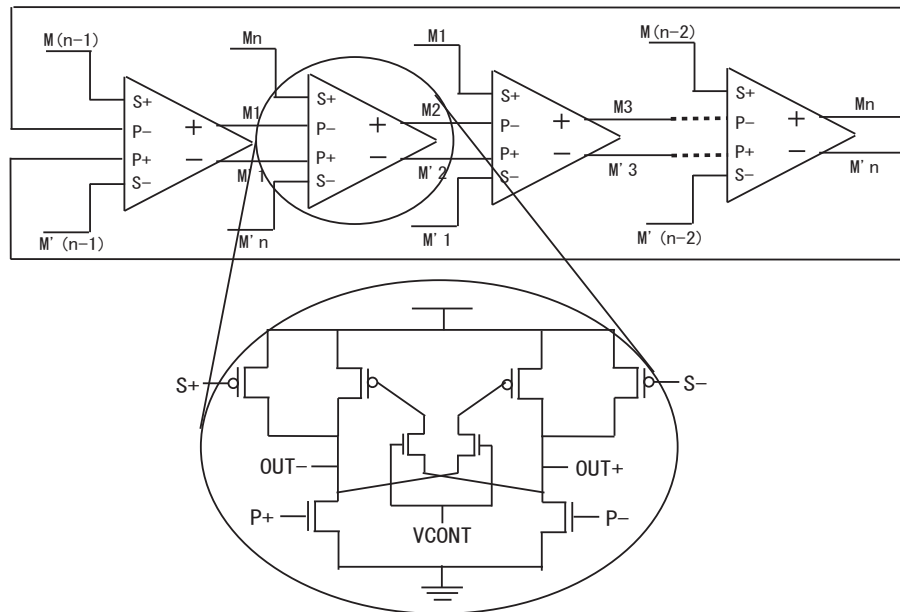


図 3.12. N 段接続のマルチパスリング発振器

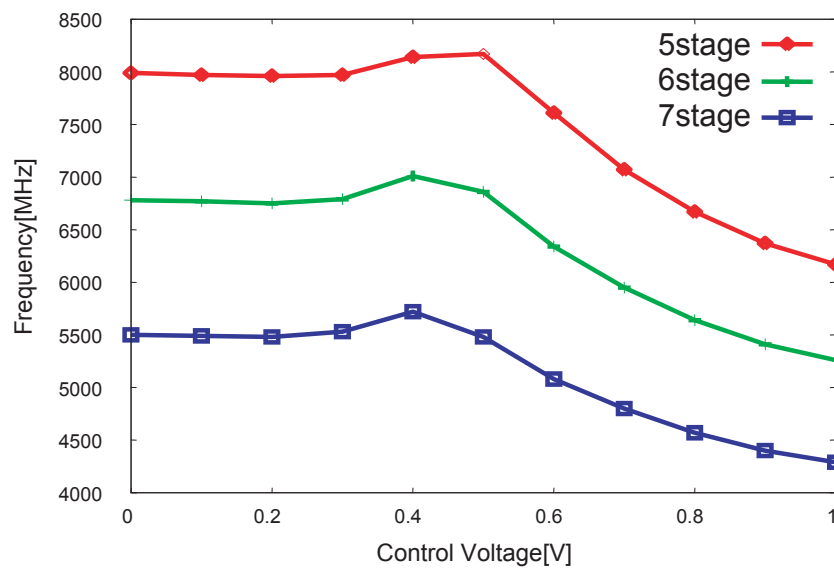


図 3.13. VCO シミュレーション結果

3.3.2 Frequency Divider(分周器)

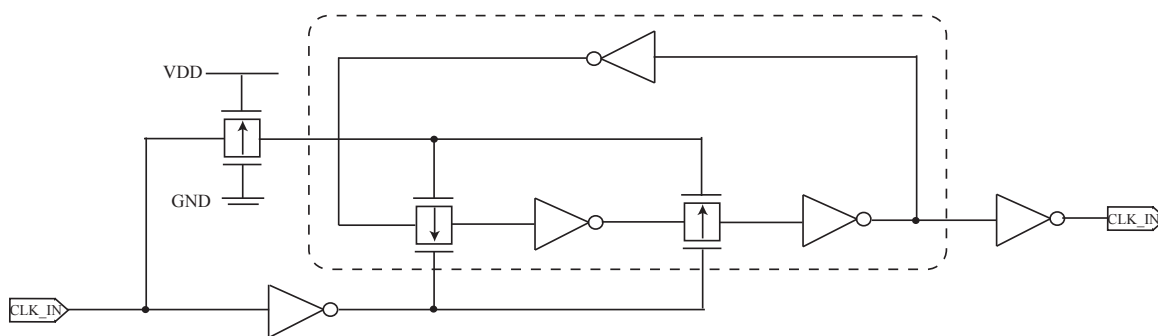


図 3.14. 周波数分周回路

次に説明する SERDES 回路におけるクロック分周を行うための回路を説明する。この回路はトランスミットゲートとインバータだけで構成されていて、点線で囲んでいるブロック（トランスミットゲート2個、インバータゲート3個）の遅延時間の合計により分周できる周波数範囲が決まる [11]。

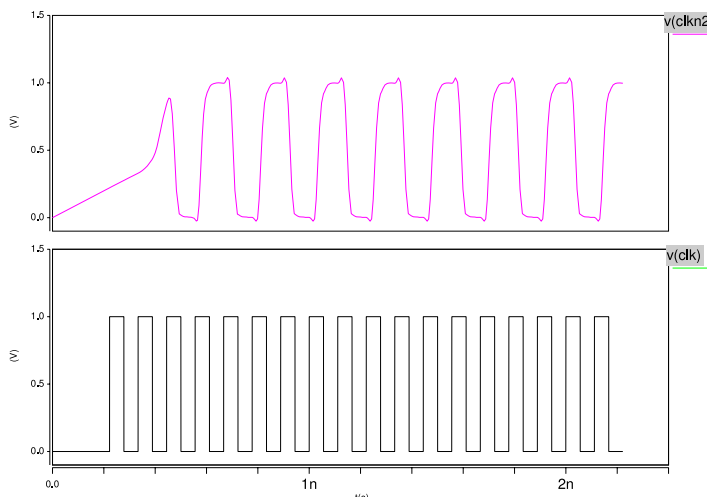


図 3.15. 分周回路シミュレーション結果

図 3.15 に示しているように、試作では最大 9GHz まで分周できる分周回路を作ることができた。

3.3.3 SERDES(Serializer/Deserializer：シリアル/パラレル変換器)

シリアルインターフェイスを構成するために、SERDES 回路 (Serializer/Deserializer) を試作した。高速シリアル・パラレル変換を行うためにビットカウンタからコントロール信号を生成する回路方式ではなく、分周したクロックを使って変換を行う回路方式を用いた [12]。

シリアライザは、2 入力のパラレル信号に対してその周波数より 2 倍速いクロックでラッチする信号の切り替えを行うブロックで構成されている (図 3.16)。このブロックの動作により伝送レート Nbps の 2 つのパラレル信号が伝送レート 2Nbps のシリアル信号に変換される。このブロックを重ねることによりシリアルに変換できるパラレル信号の幅が大きくなる。

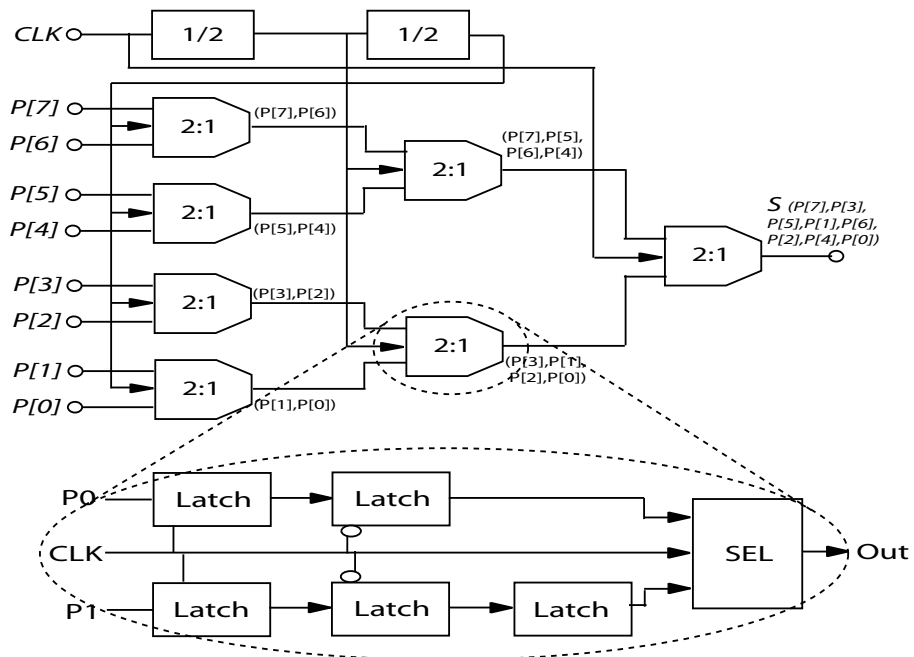


図 3.16. 8 ビット変換のシリアライザ

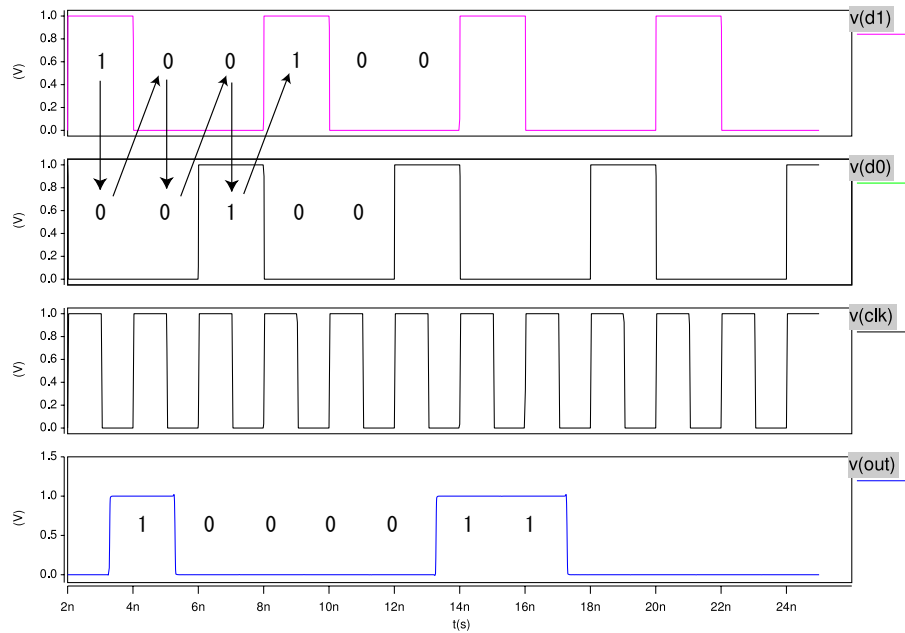


図 3.17. シリアライザのシミュレーション結果

図3.17にシリアル変換ブロックのシミュレーション結果を示す。入力されるデータ伝送レートと同じ周波数と持つクロック信号を使って、クロック信号が0と1の時に、2つの平行入力をそれぞれラッチすることで、平行からシリアルに変換を行っていることが分かる。今回の試作では8ビット平行信号をシリアルに変換するシリアライザを設計した。

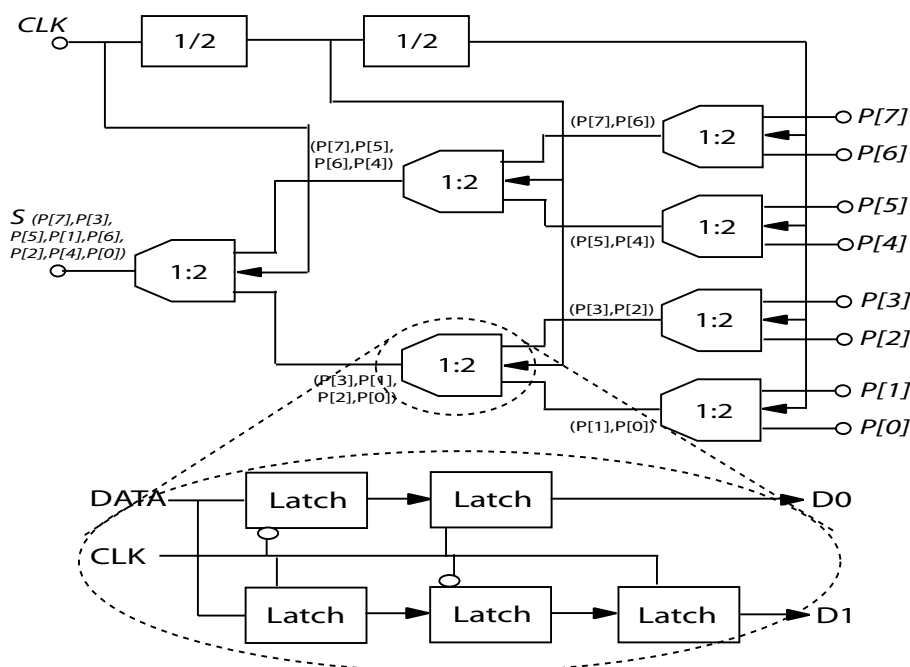


図 3.18. 8ビット変換のデシリアライザ

デシリアライザは、入力されるシリアルデータの伝送レートに対して、2倍遅いクロックの0と1でラッチする信号の切り替えを行うことで、シリアル信号を2つの平行信号に変換するブロックから構成されている。図3.19にそのシミュレーション結果を示す。このブロックを使うとSERDES回路を構成することにおいて、受信側では入力データ伝送レートより2倍遅い同期信号だけをを用意すればよいことになる。このブロックの動作により伝送レート2Nbpsのシリアル信号が伝送レートNbpsの2つの平行信号に変換される。

これらの回路方式を用いて、今回の試作では最大伝送レート7GbpsのSERDES回路を試作することができた。

3.3.4 PRBS(PseudoRandom Bit Sequence)

今回試作したインターフェイスは送信側と受信側間の伝送は各伝送方式に従いシリアルで行われるものの、SERDES回路をつけることで見かけ上平行インターフェイスとして動作する。

このインターフェイスを評価するために、図3.11に示すように平行PRBS発生器とPRBSチェッカーを用いる。ここでは、各ブロックの回路構成および動作原理を説明する [12]。

平行PRBS発生器:

PRBS回路とはその名前から用意に推測できるように乱数を発生させる回路である。一般的なPRBS発生器はクロックごとに1つの信号しか生成できないが、ここで示す回路はクロックごとに複数の信号が生成できる。n個のフリップフロップを使用すると $2^n - 1$ のPRBSが生成されるのは従来の方法と同じであるが、mビットの信号を生成するにはm個のXORゲートが必

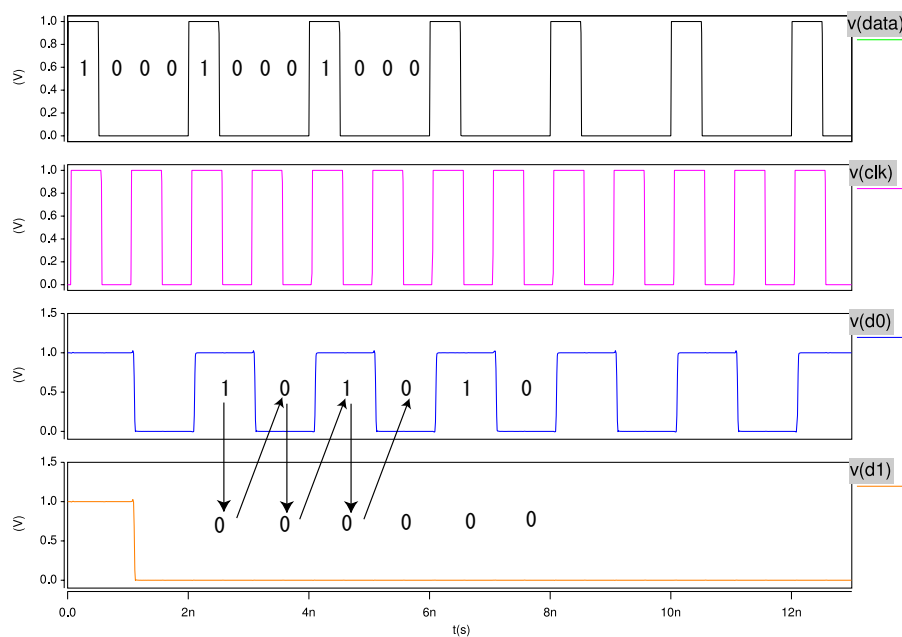


図 3.19. デシリアライザのシミュレーション結果

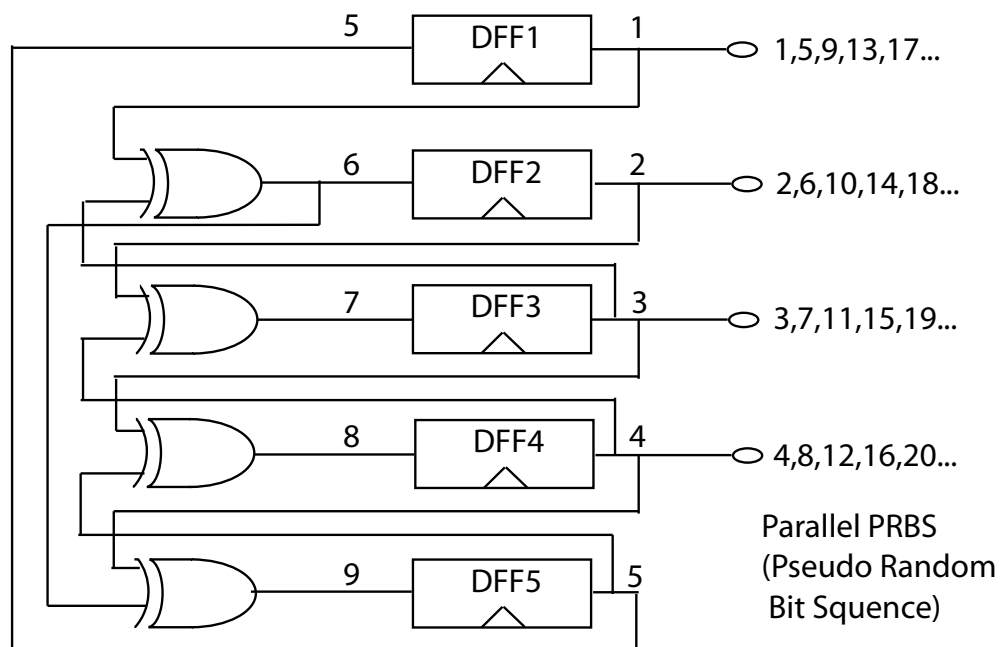


図 3.20. パラレル PRBS 発生器

要になる。図 3.20 に 4 ビットの平行 PRBS 発生器に必要なフリップフロップと XOR ゲート間の配線を示す。

今回の試作ではこの回路を 2 つ用いることによって 8 ビットの PRBS を生成し、インターフェイスの入力信号として用いた。

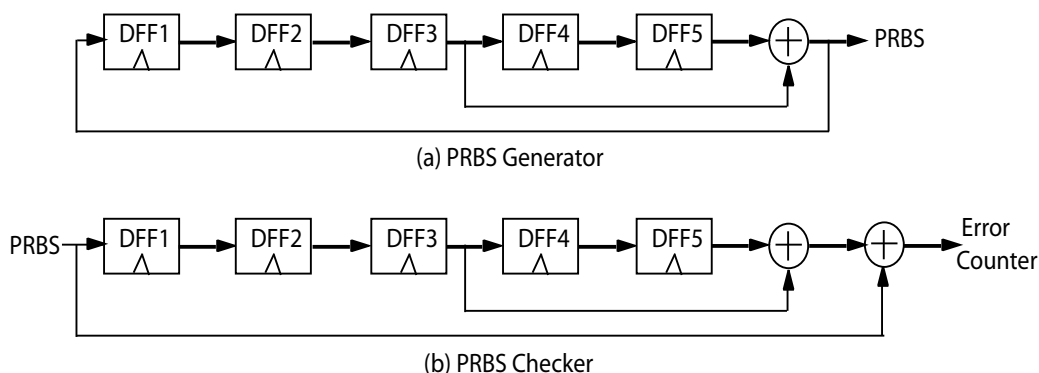


図 3.21. PRBS チェッカー

PRBS チェッカー:

PRBS チェッカーでは、PRBS 発生器と同数のフリップフロップを使用し、またそれと同じ PRBS を発生するように XOR ゲートが配線される。ただし、PRBS 発生器では XOR からの出力信号が 1 段目のフリップフロップにフィードバックされて新しい信号を生成するのに対し、PRBS チェッカーではその出力信号が 1 段目の DFF の入力信号と比較される (図 3.21(b) の 2 個目の XOR)。PRBS 発生器において XOR から出力される信号と 1 段目の DFF に入力される信号は同じであるので、PRBS チェッカーの 2 個目の XOR で比較される 2 つの信号も同じになるはずである。それら 2 つの信号が異なると 2 個目の XOR からエラー信号 (論理値 1) が出力される。その信号をカウントすることでインターフェイスに中に正しく送受信が行われているかをモニターすることができる。

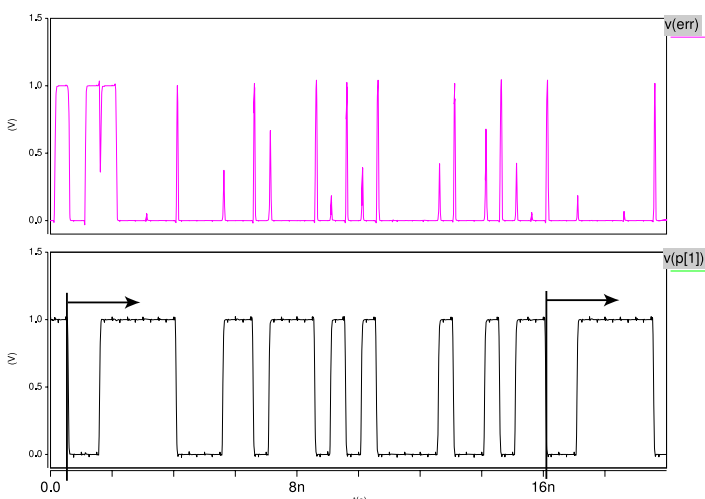


図 3.22. PRBS シミュレーション結果

図 3.22 に PRBS と PRBS チェッカーの動作周波数 5GHz 時のシミュレーション結果を示す。図 3.22 下段のグラフが PRBS の出力波形である。今回試作した PRBS 回路は 5 個の DFF から構成

されており、 $31(=2^5-1)$ 個のランダムパターンが生成され、その繰り返し信号が4ビットの平行信号として出力される。図3.22上段のグラフはPRBSチェッカーからの出力波形である。初期状態が不定の間はエラー信号が発生されるものの、正しくPRBSから生成された信号が入力されるとエラー信号が発生されないことがわかる。信号の遷移時に見られるブリッジはEXORの2つ入力に対する応答時間の違いによるものであって、信号が安定している間にエラー信号をカウントすることでエラー信号を検出することができる。

3.3.5 低電圧3線3相式送信回路

高速チップ間通信においては現在LVDS (Low Voltage Differential Signaling) 方式が広く使われている。近年チップ間伝送レートは微細化技術によるチップの動作周波数の増加とともに増加しGHz帯に及ぶ伝送レートが要求されている。通信回路において同じ負荷(または、伝送線路)に対し、同じ駆動力をもって送信を行う場合は、信号の電圧レベルが低い方がいい。それは信号の立ち上がり時間がその回路につながっている負荷とその回路がもっている駆動力によって決まり、信号の電圧レベルが大きいほど信号の立ち上がりに長い時間がかかるためである。つまり、信号レベルが小さいほど高速通信に向いている。低電圧で信号を送るとノイズマージンが小さくなる恐れがあるが、LVDS方式では、差動伝送方式を使うことによってノイズ耐性を大きくしている。

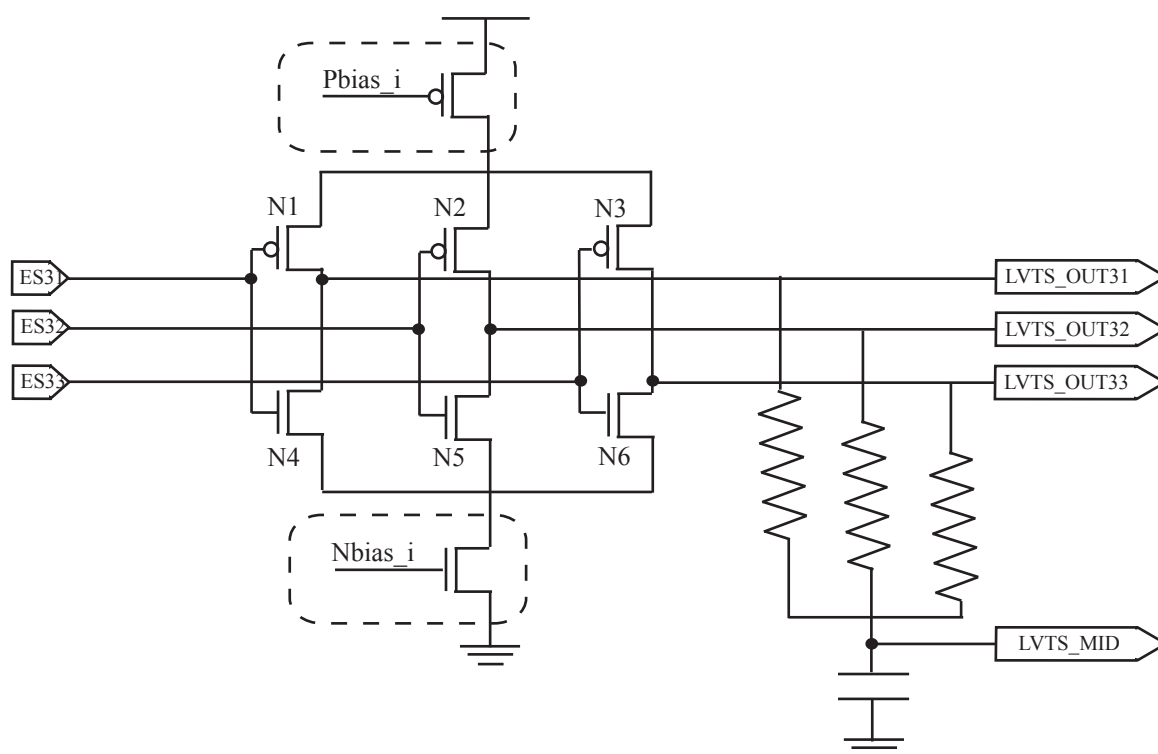


図 3.23. 低電圧3線3相式送信回路

本研究で注目している自己同期伝送方式である3線3相伝送方式はビット間同期信号を含むだけでなく、差動伝送方式を3つの信号線に拡張したものであるため、LVDS方式を用意に適応させることができる。

ここではVDECの佐々木助手が試作した3線3相式伝送方式のチップ間高速通信のための送信回路である低電圧3線3相式送信回路の動作概念を説明する。図3.23にその回路図を示す。

今回試作した低電圧3線3相式送信回路は5つの入力信号と4つの出力信号を持っている。まず回路全体の電流を制御するための電流源としてPbiasとNbiasの2つの入力を持っている。低電圧3線3相式送信回路はカレントモード回路であって常に一定の電流が流れるため、データ伝送レートに関係なく一定の消費電力を保つ特性を持つ。今回の試作では回路に与える電流レベルの正確な制御を行えるためにチップの外から電流を入力できるようにした。その電流回路を図3.24左側に示す。

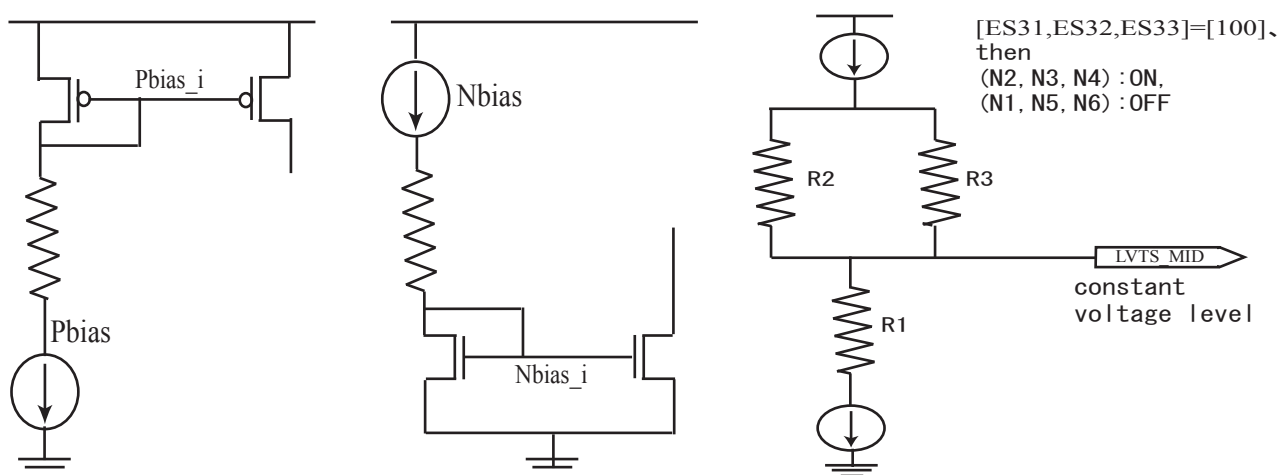


図 3.24. 低電圧3線3相式送信回路の電流源回路および信号遷移時の等価回路

入力信号ES1、ES2、ES3にはチップ内部に作っておいた3線3相式送信回路から生成される出力信号を用いることにした。図3.24の右側には入力信号が[ES1,ES2,ES3]=[1,0,0]の場合のLVTS回路の等価回路を示す。この時、電流は並列接続されたR2とR3を流れてR1を通過してグランドに流れることになる。

3線3相式伝送方式は3つの出力信号の中で常に1つだけが1の電圧レベルを持つので、どの場合においてもその等価回路の構成は変わらない。

表 3.1. 信号遷移時の電流経路

[ES1,ES2,ES3]	[1,0,0]	[0,1,0]	[0,0,1]
電流経路	[R2//R3] R1	[R1//R3] R2	[R1//R2] R3

このとき、低電圧3線3相式送信回路に供給される電流の値は外から一定に保っているため、LVTS_MID端子の電圧は常に一定に保たれる。また、入力信号によって電流が流れる経路が切り替えられることによって、抵抗での電圧降下を用いて電源電圧より低い振幅を持つ信号を発生させるのである。

図3.25に低電圧3線3相式送信回路のシミュレーション結果を示す。この時、電流源の値は4mAとして一定である。電源電圧1V以下の電圧レベルで3線3相式送信回路からの入力に追従し信号の伝送が行われていることが分かる

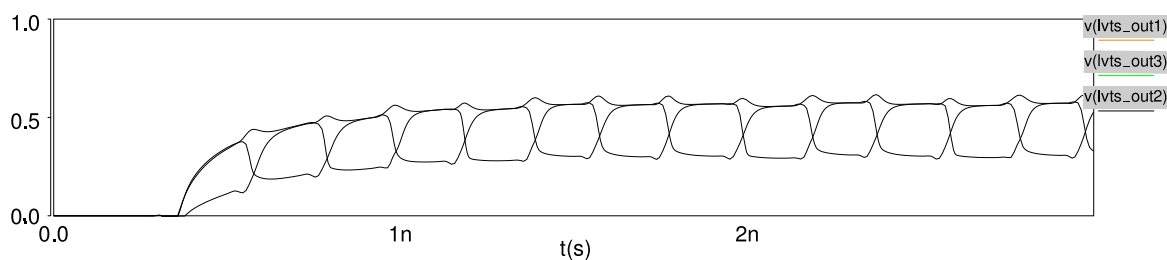


図 3.25. 低電圧 3 線 3 相式送信回路のシミュレーション結果

3.4 チップシミュレーション結果

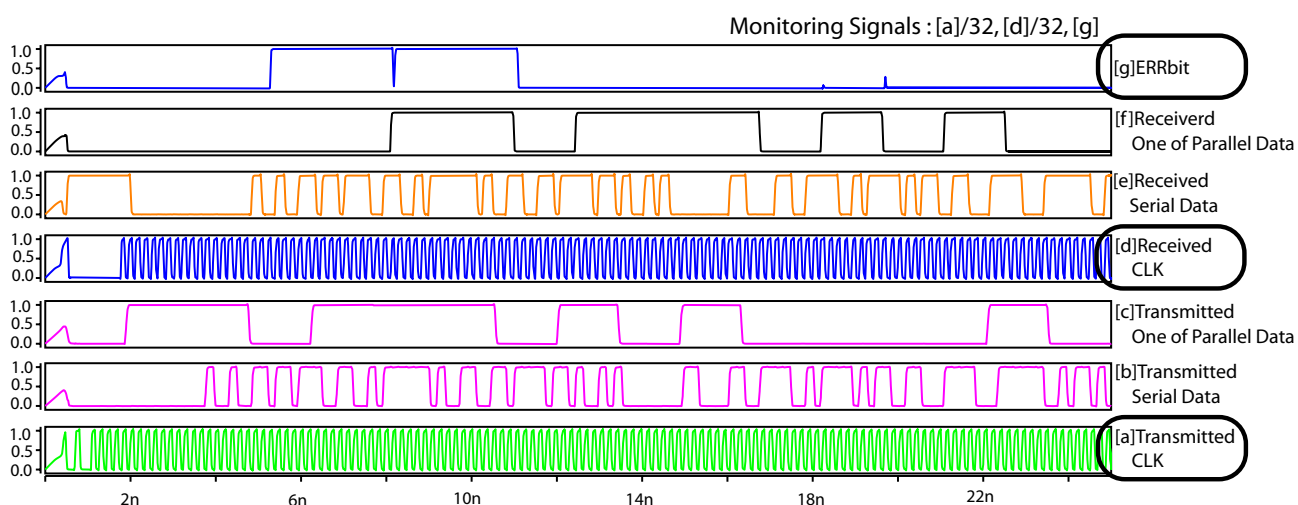


図 3.26. チップレベルシミュレーション結果

周辺回路を含めて行ったインターフェースのシミュレーション結果 (ASPLA90nm、動作周波数 5Gbps) を図 3.27 に示す。

まず、送信側では VCO によってクロックを生成され、パラレル PRBS 発信器が動作する。ランダムに発生された 8 ビットの入力信号はシリアルライザによってシリアル信号に変えられる。この時、パラレル信号 1 つの伝送レートよりシリアル信号の伝送レートが 8 倍になっていることが図 3.27(b),(c) から分かる。

受信側では各自己同期伝送方式の送信回路によってエンコードされたデータとクロック信号が受信回路によって正しく再生されていることが分かる。また、受け取ったデータはデシリアルライザによってパラレル信号に戻され、PRBS チェッカーにより送信した信号が正しく受信されたかを確認する。図 3.27(g) から分かるように正しく伝送されている状態ではエラー信号が生成されず、この信号からインターフェースの送受信状態をモニターすることができることが確認された。

今回試作したチップでは図 3.11 にも示しているように、送信側のクロック信号の 32 分周と受信側のクロック信号の 32 分周、またエラー信号をチップの外に出力させることで各インターフェースの伝送状態をモニターできるようにした。

表 3.2 には、シミュレーション結果得られた各インターフェイスの最大データ伝送レートを示す。

表 3.2. 各伝送方式の最大データ伝送レート

伝送方式	3 線 3 相式 [GHz]	2 線 4 相式 [GHz]	4 線 4 相式 [GHz]
送信回路	5.8	7.5	7.4
送受信回路	5.4	5.1	5.1

各送信回路が伝送させることができる各伝送方式の最大データ伝送レートと、受信回路まで合わせてインターフェイスを構成した場合の最大データ伝送レートに分けて示した。インターフェイス全体の性能のボトルネックになっている部分は受信回路であることが分かる。

また、送信回路の最大データ伝送レートにおいて、2 線 4 相式と 4 線 4 相式はその回路構成がほとんど同じであることから伝送レートも同じレベルである。

3 線 3 相式の送信回路の最大データ伝送レートが他の 2 つの方式のそれより低いのは、その回路の構成によるものであって、3 線 3 相式信号の信頼性を保つために取り入れた Winner_Take_All ブロックがエンコーディングを行う際に大きい負荷となるためである。2 線 4 相式および 4 線 4 相式送信回路の場合、各回路ブロックのファンアウトが 1 から 2 であるのに対し、Winner_Take_All の場合はファンアウトが 3 であり、また互いに出力レベルを参照する構成になっているため負荷が大きく、それによる遅延時間が長くなってしまっている。今回の試作では ASPLA90nm のスタンダードセルをベースにして送信回路を製作したが、今後 3 線 3 相式のデータ伝送レートを上げるためには Winner_Take_All 専用のセルまたは、スタティックではなくカレントモードベースの Winner_Take_All 回路を考案することが必要である。

3.5 試作チップのレイアウト

図 3.27 に今回試作したチップのレイアウトを示す。チップの中央には 3 つの自己同期伝送方式（4 線 4 相式、3 線 3 相式、2 線 2 相式）の内部インターフェイスをおいた。また、今回試作した送信回路がちゃんと 3 線 3 相式と 2 線 2 相の伝送方式に合った出力信号を発生させているかを確認するために送信回路の出力を IO ピンに接続させた。それと、3 線 3 相式の送信回路の高速チップ間通信用の低電圧 3 線 3 相式送信回路設けて、その性能評価も行うことができるようにした。

また、各送受信ブロックの電源はすべて IO の電源とは別の配線を用いることにし、自在にオン・オフできるようにすることで各伝送方式における消費電力の評価もできるようにした。

図 3.28 には各インターフェイスの送信部に含まれている回路ブロックの詳細を示す。送信部には各インターフェイスを高速に動作させることができる 3 つの VCO を設けておいた。各 VCO は図 3.13 に示しているようにコントロール電圧によって周波数が変わる。また、外からセレクト信号を入力することで内部でどの VCO の出力周波数を送信回路を駆動させるのに使うかを選択できるようにした。VCO から生成されたクロック信号は PRBS、シリアルライザまたは送信回路に入力されて各回路ブロックを駆動させることになる。

PRBS から生成されたデータと同期信号をエンコードした各伝送方式の出力信号は受信回路に伝送させる前に、大きいバッファを通ることになる。図 3.27 のチップ写真からも分かるよう

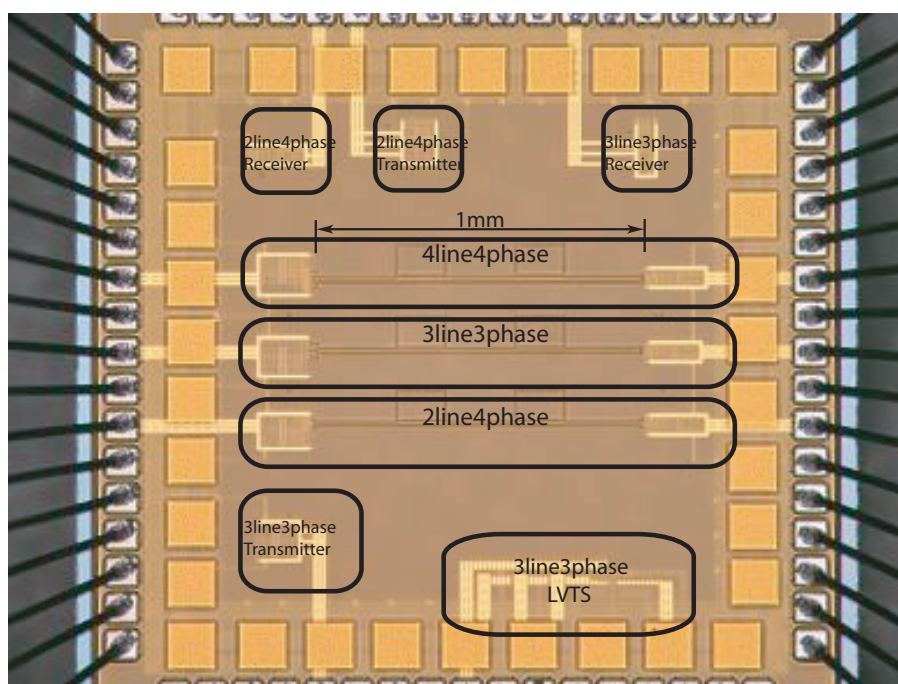


図 3.27. 試作したチップ写真

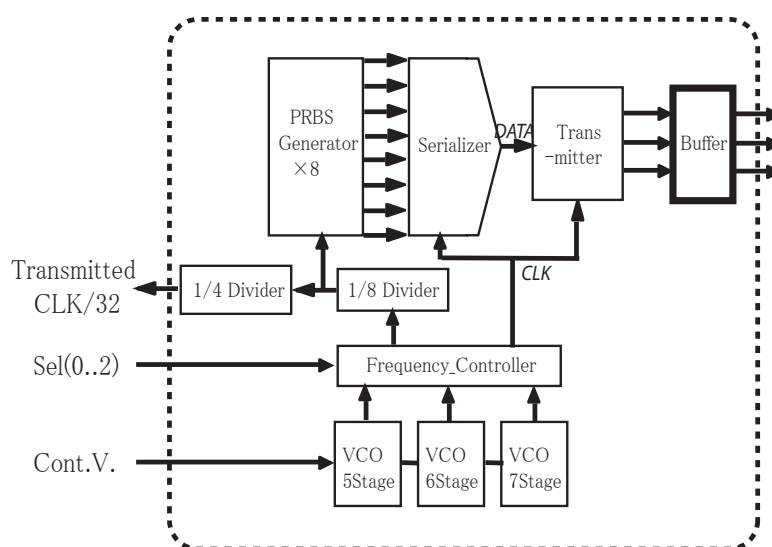


図 3.28. 送信部の回路ブロック

に送信部と受信部の1mmも離れており、その間の長い配線による大きい負荷を高速に駆動させるためである。

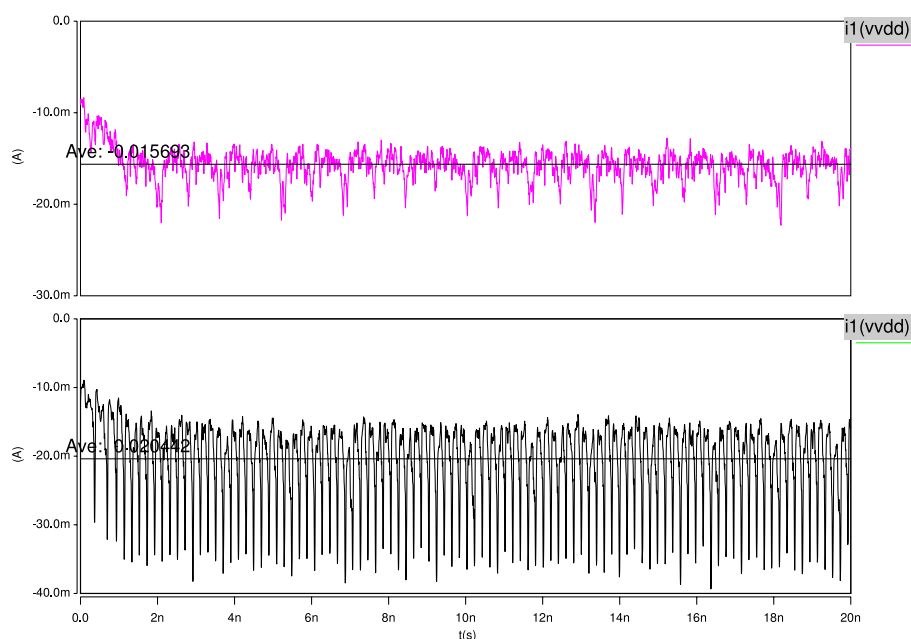


図 3.29. バッファを駆動させる場合とさせない場合の消費電流の違い

図 3.29 には、図 3.28 の回路ブロックにおいてバッファがある場合とない場合でどれだけ消費電力に差があるのかを示す。図 3.29 の上段部のグラフがバッファがない場合の送信部電源の電流の波形で、図 3.29 の下段のグラフがバッファがある場合の送信部電源の電流の波形である。平均値で比較すると約 5mA も差があり、バッファが送信部において占める消費電力の割合が 25%にも及ぶことが分かる。

このことは送信回路からエンコーディング信号が生成されてバッファが駆動されている場合と駆動されていない場合で消費電力において大きい差が生じることを意味する。今回の試作では、受信回路をも含めたインターフェイス全体の最大伝送レートの評価は送受信側から出力されるクロック信号と受信側の PRBS チェッカーから生成されるエラー信号を用いて行うことはできるものの、送信回路だけの最大伝送レートを直接モニターすることができない。しかし、各伝送方式の送信回路の電源を切り分けることができるので、駆動周波数を変えた場合の消費電力の変化をモニターすることで、チップ内部のバッファの駆動状態を、つまり送信回路の駆動状態を確認することができる。

第4章 試作チップの評価

4.1 チップ出力信号の確認

今回試作したチップからは3線3相式と2線4相式の送信回路の出力信号およびVCOから生成されるクロックの32分周した信号が出力される。これらの信号を確かめることで各伝送方式が正しく実装されたかを確認する。

4.1.1 測定方法

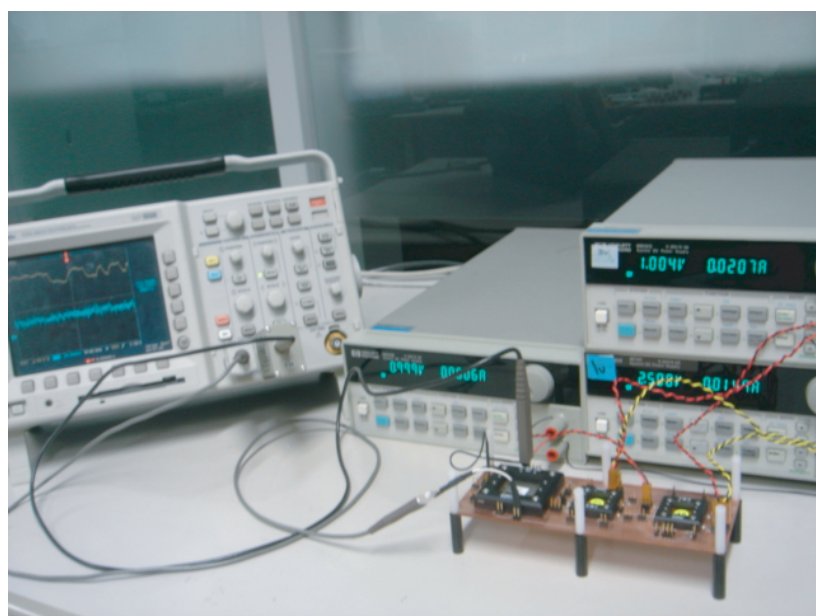


図 4.1. 伝送方式出力波形確認の実験装置

図 4.1 に 3 線 3 相式と 2 線 4 相式の出力波形を確認するための測定装置を示す。この測定では ASPLA90nm チップ電源用の直流電源 2 つと、VCO の出力周波数制御電圧用の直流電源 1 つ、また 500MHz 帯域（サンプリング周波数 5GHz）の Tektronix オシロスコープを使用した。

図 4.2 には今回の測定で使用したボードを示す。このボードには 3 つのチップが載っていて右側と真ん中の 2.5mm 角チップ 2 つは今回試作したチップで、左側の 5mm 角のチップは伝送線路上の EMI を測定するためのチップである。左側のチップの詳細に対しては、第 5 章で説明する。



図 4.2. 出力波形確認用のボード

左側のチップからはチップ内部にあるVCOを駆動させてその周波数の32分周を確認することで内部のVCOの動作周波数を求めることができる。

真ん中のチップでは、左側にあるチップから生成されたクロック信号を用いて3線3相式と2線4相式の送信回路を駆動させてその出力信号を確認することで、各伝送方式および周辺回路が正しく実装されたかを確認する。

4.1.2 VCOの出力周波数

図 4.3 に、4 個のチップの測定から求めた VCO 動作周波数を示す。また、図 4.4 右には VCO のシミュレーションにおいて温度を 85、125 に設定した場合と、測定結果の比較を示す。その結果、温度 125 において約 600MHz 程度の違いが見られていて、VCO ブロックにおいての局所的な高温、または電源ノイズによるロジックセルの遅延時間の増加がその原因として考えられる。

4.1.3 各伝送方式の出力波形

図 4.5 には各伝送方式の送信回路からの出力をボード上で計った波形である。左図が2線4相式の出力波形で、右図が3線3相式の出力波形である。PRBSからランダムデータが生成されていて、各伝送方式のエンコード信号がクロックに同期して生成されていることが確かめられた。

4.2 内部インターフェイスの測定結果

今回試作したチップでは3つの自己同期伝送方式(3線3相式、2線4相式、4線4相式)のインターフェイスをオンチップで実装し、その内部動作状態を3つの出力信号

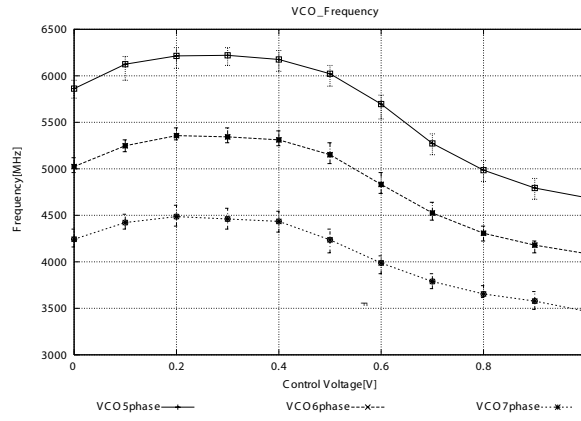


図 4.3. VCO の出力周波数測定結果

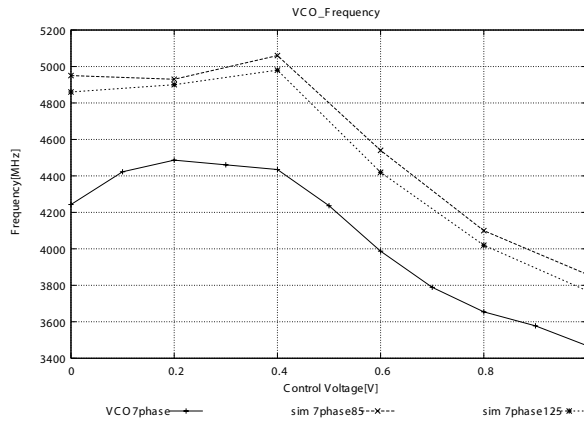


図 4.4. シミュレーション結果との比較



図 I: 2 線 4 相式の送信信号

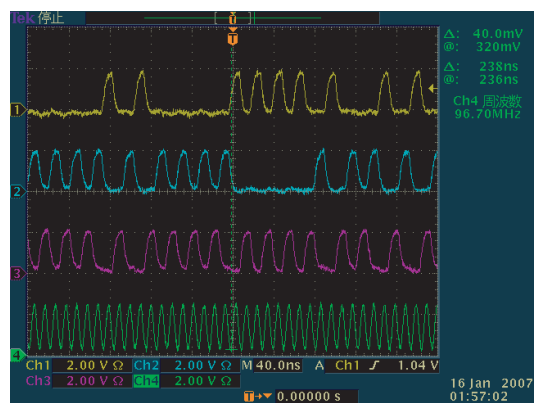


図 II: 3 線 3 相式の送信信号

図 4.5. 各伝送方式の測定波形

(送信回路の動作周波数の32分周、受信回路の動作周波数の32分周、受信回路からのエラー信号)でモニターできるようにした。また、各インターフェイスの送信部と受信部の電源を切り分けることも可能である。

この節ではこれらの測定結果を示すとともに、提案した回路の性能評価を行う。

4.2.1 測定装置

この測定では、前の実験と同じく、3つの直流電源と500MHz帯域(サンプリング周波数5GHz)のTektronixオシロスコープを使用する。図4.6には内部インターフェイス測定用のボードを示す。

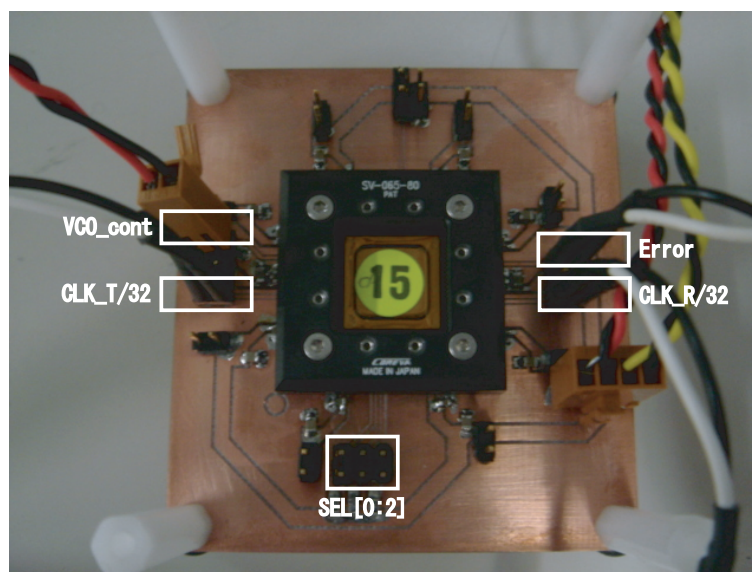


図 4.6. 内部インターフェイス測定用ボード

この測定では各伝送方式ごとに個別の測定用PCBを製作した。

ボード上のSEL[0:2]でVCOを選択し、Vcont電圧を0Vから1Vの間で0.1V間隔でステップ上に変化させることで、内部インターフェイスの駆動周波数を変化させることができるようにした。また、チップからの3つの出力信号の1GHz帯域のTektronixプローブを使ってモニターできるように測定用のピンを設けた。

4.2.2 最大送受信レート

この測定では、送信回路の動作周波数を32分周した信号と受信回路から再生された同期信号の32分周、またPRBSチェッカーからのエラー信号をモニターすることで各伝送方式の最大送受信レートを求める。

出力信号パターン

図4.7、図4.8、また図4.9に送信部の入力クロック(32分周)および受信部からの再生クロック(32分周)の測定パターンを示す。インターフェイスが正常に送受信してい

る場合は図 4.7 左のような波形が測定されるのに対し、受信回路が動作しない場合は図 4.7 右のような出力波形が見られる。

送信回路の伝送レートが受信回路の最大受信レートを超えて受信回路が誤動作するようになると図 4.8、図 4.9 のような出力波形が見られる。送信回路の伝送レートが受信回路の最大受信レートを超え始めた時は、図 4.8 右に示されるように受信回路から出力される再生クロック (32 分周) の周期が一定ではなくなり、正常動作時の出力信号周期より長い周期を持つ波形が見られる。これは受信回路が入力信号 (送信回路の出力信号) の遷移に追従できず、正しく同期信号を生成できなくなったためである。さらに送信回路の伝送レートを上げると図 4.9 に示されるように送信部の同期信号とはまったく異なる同期信号が受信部から出力されることになる。

今回の測定では、図 4.8 の出力信号パターンが観測され始める伝送レートをインターフェイスの最大送受信レートとして判断する。

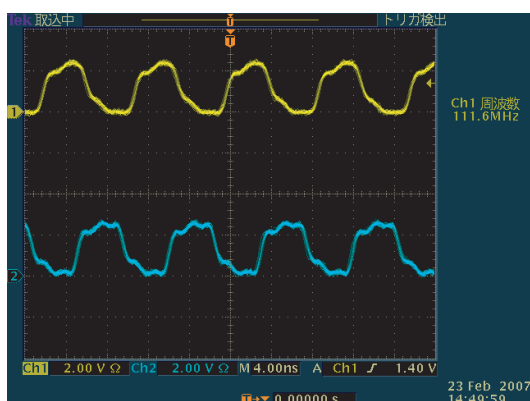


図 I: 正常動作時

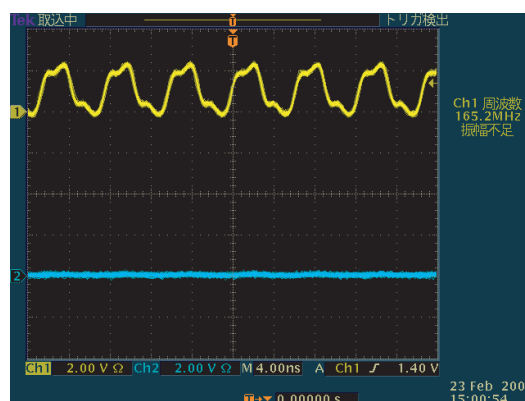


図 II: 動作しない時

図 4.7. 出力信号パターン 1

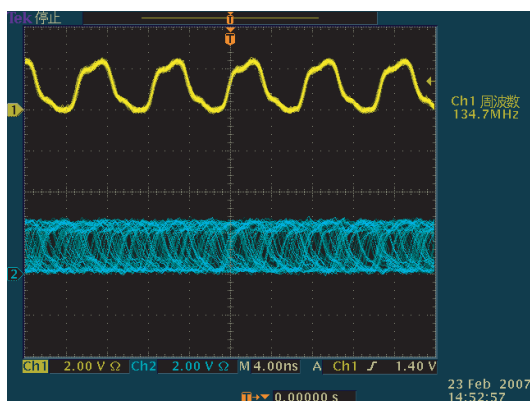


図 I: 誤動作パターン 1

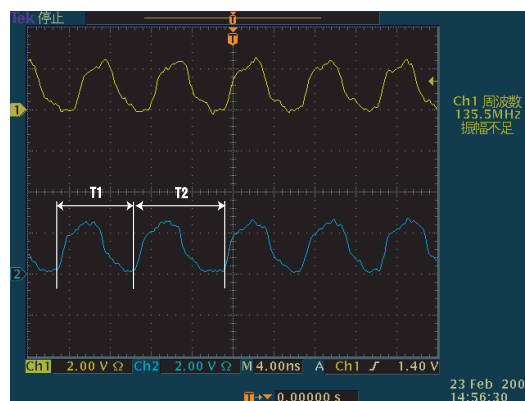


図 II: 誤動作パターン 1(ストップ)

図 4.8. 出力信号パターン 2

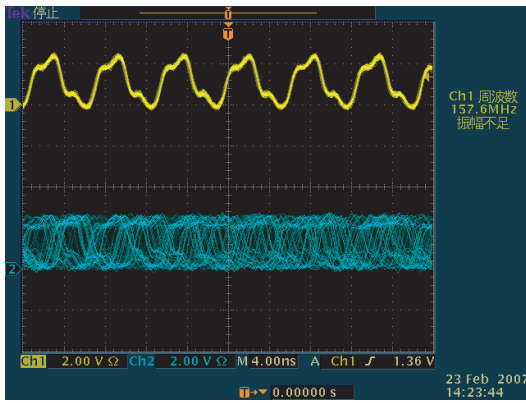


図 I: 誤動作パターン 2

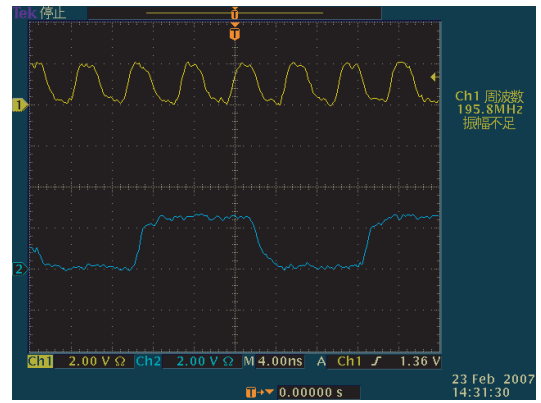


図 II: 誤動作パターン 2(ストップ)

図 4.9. 出力信号パターン 3

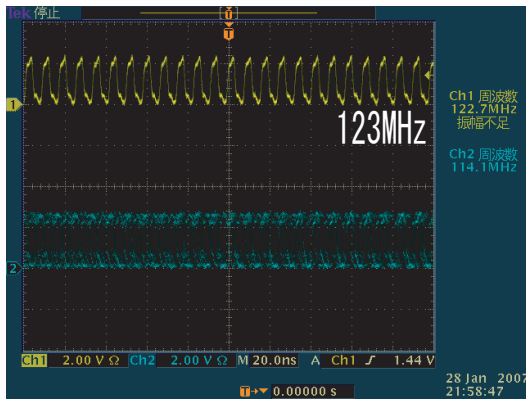


図 I: 同期信号の比較

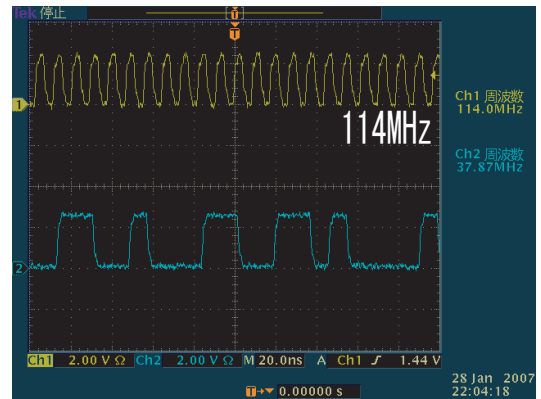


図 II: エラー信号の発生

図 4.10. 3線3相式の出力波形

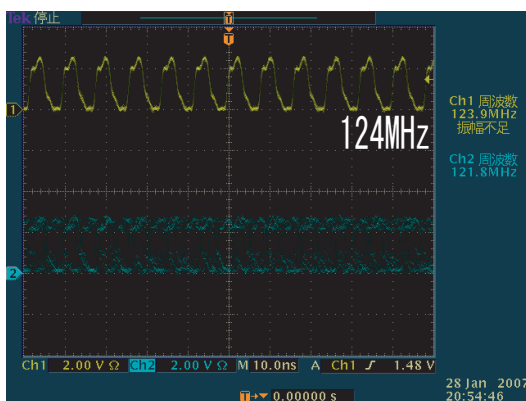


図 I: 同期信号の比較

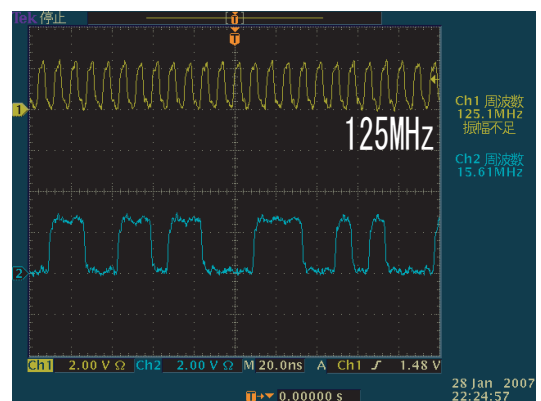


図 II: エラー信号の発生

図 4.11. 2線4相式の出力波形

測定結果

図 4.10、図 4.11、また図 4.12 に各伝送方式のインターフェイスにおいて図 4.8 の出力信号パターンが見られ始める伝送レートと、その時のエラー信号を示す。図 4.8 の出力信号パターンが見られる時、エラー信号も発生することが観測された。

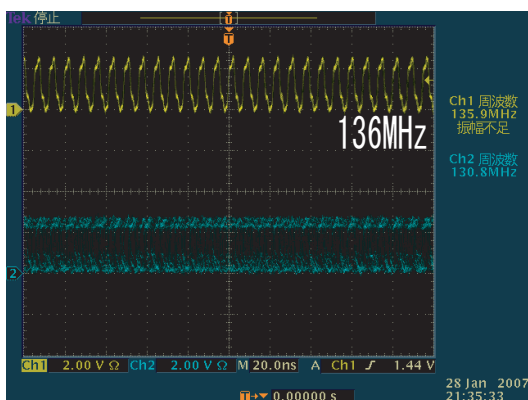


図 I: 同期信号の比較

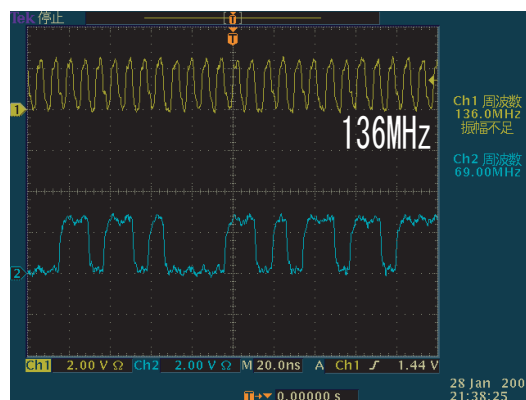


図 II: エラー信号の発生

図 4.12. 4 線 4 相式の出力波形

表 4.2 に測定結果得られた各伝送方式の最大送受信レートとシミュレーション結果得られた最大送受信レートをまとめて示す。

表 4.2. 各伝送方式の最大データ送受信レート

伝送方式	3 線 3 相式	2 線 4 相式	4 線 4 相式
測定結果 [Gbps]	3.6	4	4.35
シミュレーション結果 [Gbps]	5.4	5.1	5.1

4.2.3 消費電力

各伝送方式の送信部と受信部の電源を切り分けることで提案した送受信回路の消費電力評価を行う。また、第 3 章で説明したように送信回路の消費電力の変動を確認することで、送信回路の最大データ伝送レートも求めることにする。

伝送方式による送信部の消費電力

図 4.13 に 7 段構成の VCO (VCO_7STAGE) を選択した場合の各送信部の動作周波数に対する消費電力変化を示す。3 線 3 相式と 4 線 4 相式の消費電力がほぼ同じくらいで、2 線 4 相式の消費電力より高いことが分かる。

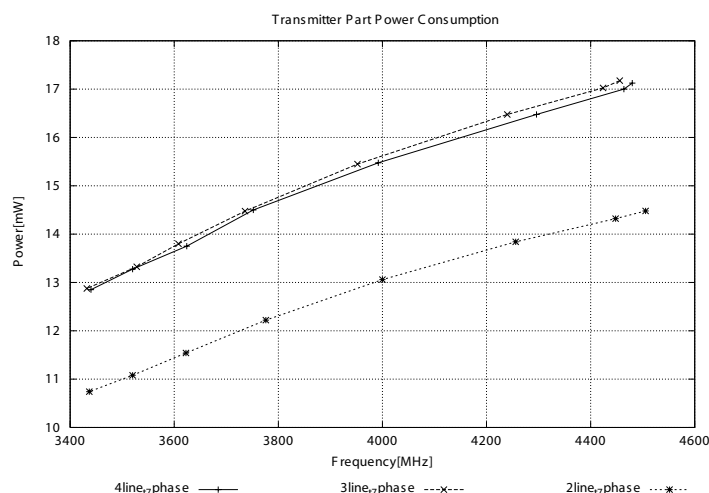


図 4.13. 送信部の消費電力

第3章で説明したように試作したチップの送信部の消費電力において、各伝送方式の出力バッファが占める割合は全体の25%を占めている。そのため、このような消費電力の差は各伝送方式の信号遷移方式の違いによるものであると推測できる。

図 4.14 には各伝送方式での信号遷移時の様子を示している。

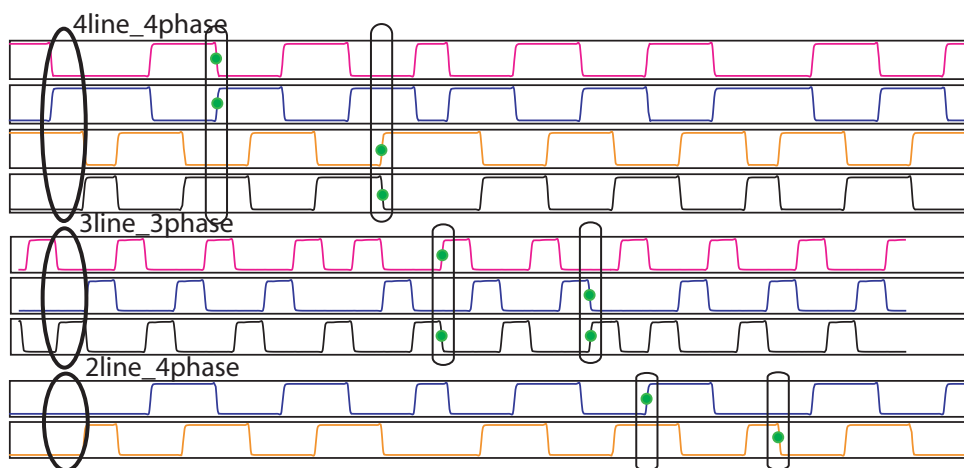


図 4.14. 各伝送方式における信号遷移方式

3線3相式と4線4相式はある信号線が遷移する時発生するEMIをキャンセルするために、その隣の配線に差動信号を置く方法を取っている。つまり、信号遷移時には常に逆方向に遷移する2つの信号線があるため電磁界の拡散が抑えられる伝送方式である。それでデータを伝送するには、必ず2つの信号線でレベル変化が起こる。

それに対し、2線4相式伝送方式では信号遷移時に発生するEMIに対するアクティブキャンセル方法は取っていない。それでデータを伝送する際、2つの信号線の中で1つだけが遷移していることが分かる。

今回の試作では、低電圧3線3相式送信回路以外のすべての回路においてCMOSス

ティックセルを用いて設計を行っているため、信号遷移時の電源線とグランド線との貫通電流によって消費電力が決まる。データ伝送時に2つの信号線で遷移が起こる3線3相式と4線4相式に比べて2線4相式では1つの信号線でしか遷移が起こるので、バッファでの消費電力は半分程度になるはずである。送信回路消費電力の測定結果にはこのような各伝送方式の信号遷移方式の違いが反映されたのである。

送信部と受信部の消費電力

図4.15と図4.16、また図4.17には4個のチップを測定した結果得られた各インターフェイスの送信部および受信部の伝送レートによる消費電力の変化を示す。

図4.15において、ある伝送レート以上で送信部の消費電力が急激に減少することが分かる。これは第3章で説明したように送信回路の最大データ伝送レートによることであって、ある動作周波数以上では送信回路が動作できなくなり(送信回路のラッチが動作しない)、バッファが電力を消費しなくなるためである。また、送信部消費電力が急激に変化する周波数帯で受信回路の消費電力も0に落ちることが観測される。これは受信回路への入力信号がなくなっていることを意味し、この周波数帯が送信回路の最大送信レートであることが分かる。それで、今回試作した3線3相式送信回路の最大送信レートは4.58GHz(+0.18,-0.2(Gbps))であることが分かる。

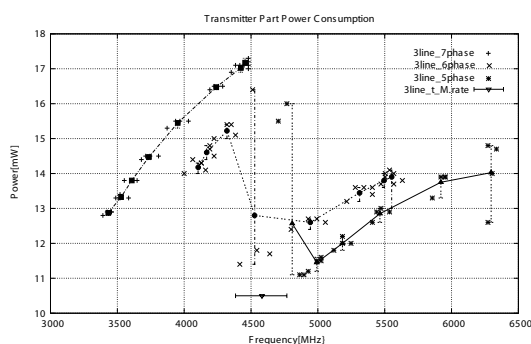


図 I: 送信部の動作周波数による消費電力

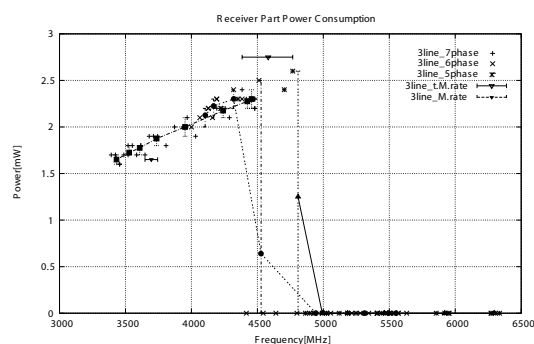


図 II: 受信部の動作周波数による消費電力

図 4.15. 3線3相式インターフェイスの消費電力

図4.16、図4.17においては、送信部の消費電力において図4.15のような急激な減衰は見られない。また、送信部消費電力の減衰が始まるところで受信部の消費電力が0に落ちることもなかったため、これから送信回路の最大送信レートを求めることは無理がある。この結果は送信部において、送信回路に同期信号を入力するバッファの動作限界により、ある周波数以上の高い同期信号が正しく送信回路に供給できなかったためである。実際、シミュレーションにおいても高い周波数帯になると、バッファの誤動作により同期信号が正しく入力できないことが確認された。

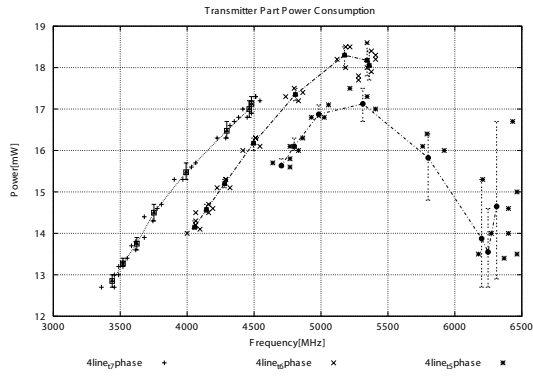


図 I: 送信部の動作周波数による消費電力

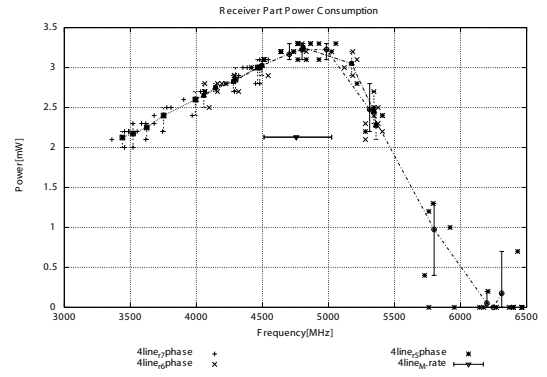


図 II: 受信部の動作周波数による消費電力

図 4.16. 4線4相式インターフェースの消費電力

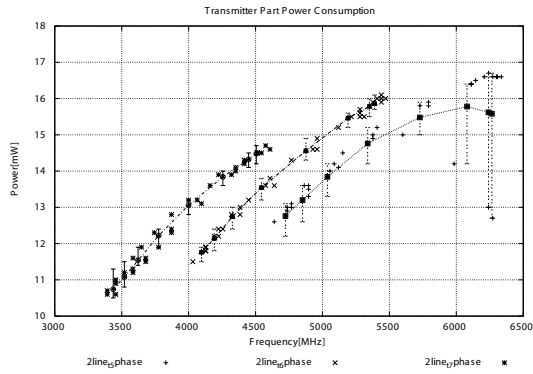


図 I: 送信部の動作周波数による消費電力

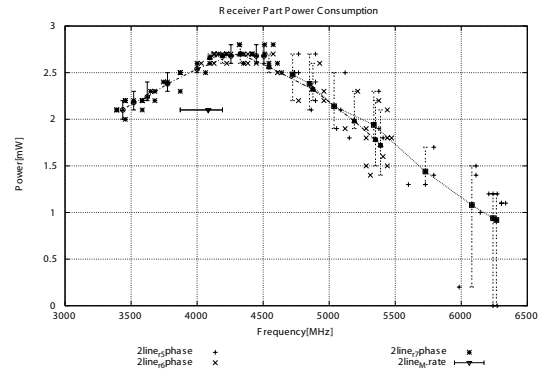


図 II: 受信部の動作周波数による消費電力

図 4.17. 2線4相式インターフェースの消費電力

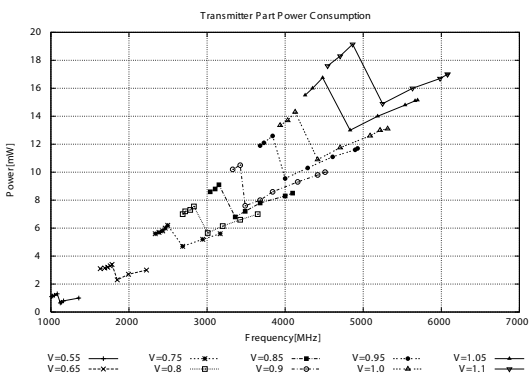


図 I: 送信部の電源電圧による消費電力

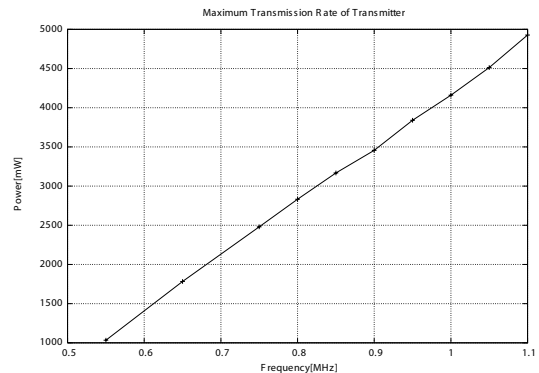


図 II: 電源電圧による最大送信レート

図 4.18. 3線3相式送信部

電源電圧による送信部の消費電力

図 4.18、図 4.19 に、送信部で 6 段構成の VCO を選択して電源電圧を変化させた場合の消費電力の変化を示す。

図 4.18 においては、電源電圧の変化に伴って消費電力が急激に変化する周波数帯が線形的に変化することが分かる。それから求めた各電源電圧においての 3 線 3 相式送信回路の最大送信レートを図 4.18 右に示す。

図 4.19 においては、2 線 4 相式と 4 線 4 相式送信部の消費電力が周波数の増加に伴って一定に増加することが確認されるものの、送信回路に同期信号を入力するバッファ能力の限界により高周波領域になるとその傾きが減衰することが確認される。

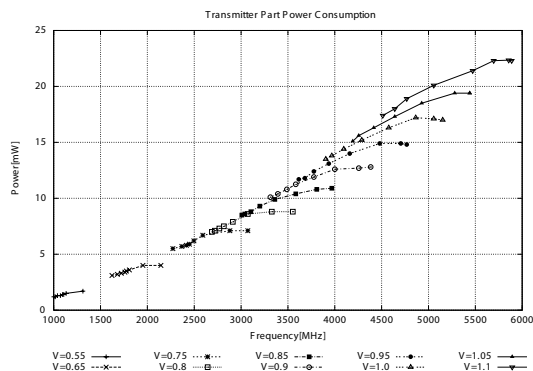


図 I: 4 線 4 相式送信部

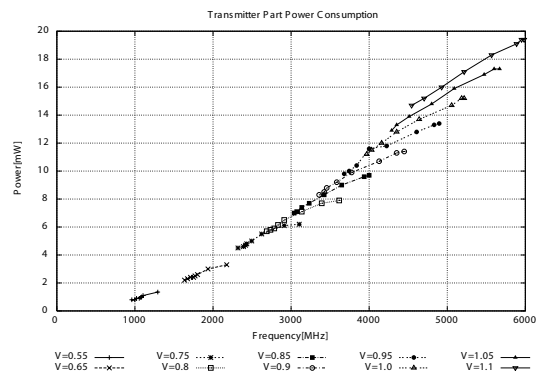


図 II: 2 線 4 相式の送信部

図 4.19. 電源電圧による消費電力

4.3 測定結果に対する検討

表 4.2 においてシミュレーション結果と測定結果に違いが現れたのに対し、今回試作した回路の構成から以下のような原因が考えられる。

まず、各インターフェイスの最大送受信レートにおいて、性能のボトルネックになっている受信回路の問題が測定結果に影響していると考えられる。図 4.15 には今回試作した 3 線 3 相式受信回路のデータ受信レート 5Gbps 時のシミュレーションから得られた出力波形を示す。

受信回路から再生された同期信号の波形に注目してみると、波形の振幅にバラツキが多く、一番多い時は 30ps も違いがあることが分かる。つまり、5Gbps 動作時を考えた場合、受信回路に入力されるデータのパターンによっては再生されるクロック信号に 30 % の程度の位相ずれが生じる可能性があることである。

受信回路の出力信号においてこのように位相のずれが発生する理由は、回路レイアウトの構成にある。今回の試作ではすべて受信回路の設計において CMOS スタンダードセルをベースにしてあるが、例えば同じ NAND の 2 つの入力に対しても各入力信号に対する出力信号の応答速度が違う。低い周波数領域ではこれらの差は無視できる

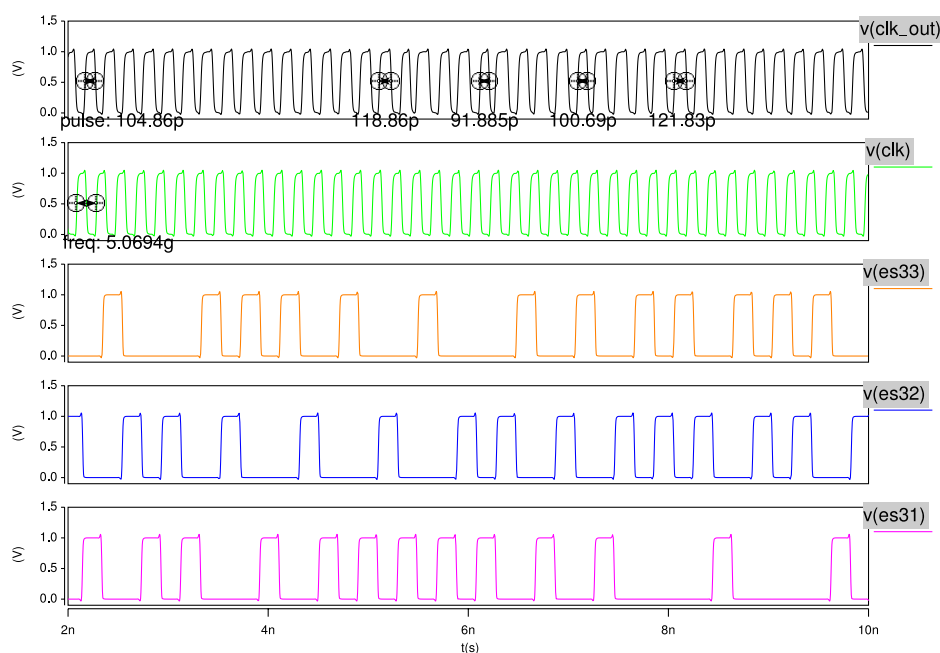


図 4.20. 受信回路の出力波形

程度であるが、GHz レベルの高い周波数域ではその差が出力信号に顕著に現れるのである。

このように受信回路からの再生されるクロック信号の位相ずれが大きい場合は、送信側のクロック信号を正確に再生することが難しくなるのである。

次に考えられる原因としては、PRBS から生成されるデータパターンの問題である。今回試作した PRBS では外から初期値を設定することなく、電源とクロック信号を入力することで回路内部で初期値がランダムに決まって、パターンが生成される構造になっていて、PRBS から生成されるパターンを外から制御することはできない。図 4.15 には、PRBS から生成されるランダムパターンを示している。

3 線 3 相式と 2 線 4 相式入力データとしては、比較的ランダムな入力データが発生しているが、4 線 4 相式のそれに対しては 0 と 1 の繰り返しという非常に単調な入力データが生成されている。

図 4.22 は 4 線 4 相式受信回路においてシミュレーションから得られた入力データパターンによる再生同期信号の位相バラツキの変化を示している。単調な入力データの場合が通常の入力データの場合に比べて再生クロックの位相バラツキが小さい。また、4 線 4 相式の最大送受信レートが 5.1Gbps から 5.6Gbps に上げることが確認された。つまり、今回試作した受信回路においては再生クロックの位相バラツキが大きいため、入力データパターンに最大送受信レートが大きく左右されるのである。

以上のことからインターフェイスを評価する上で最大送受信レートと入力データの関連性を確認するために、まず PRBS から生成されるパターンをチップを外から制御し、それをモニターすることができるようにする必要がある。また、PRBS において

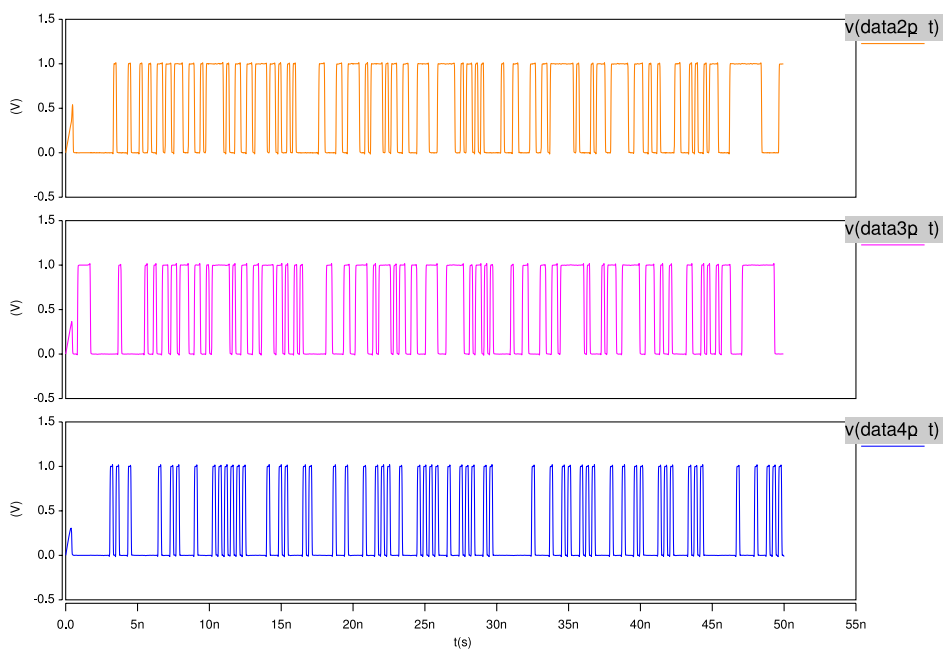


図 4.21. PRBS からのデータパターン

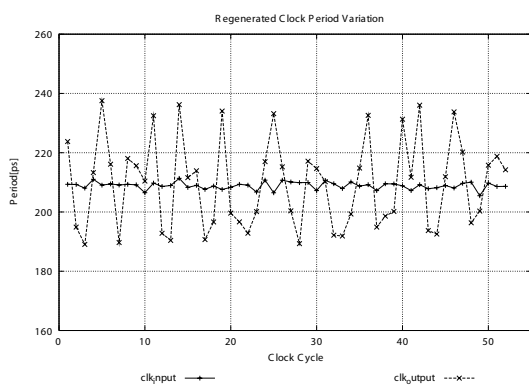


図 I: 単調な入力データの場合

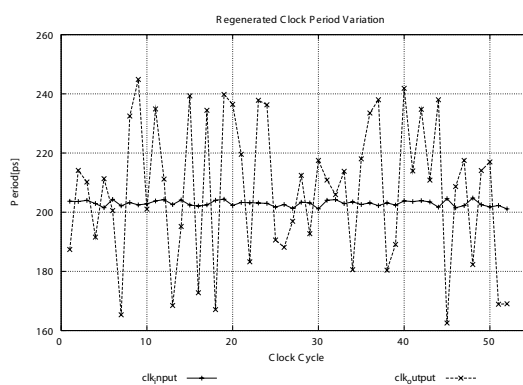


図 II: 通常の入力データの場合

図 4.22. 4 線 4 相式受信回路の位相バラツキ

n 個の DFF に対し $2^n - 1$ の長さを持つランダムパターンが生成されるので今回の試作の時より数の多い DFF を使用して PRBS を設計することが望ましい。

次に、受信回路から再生される同期信号の位相バラツキを減らすことで最大受信レートを上げる必要がある。そのためには、受信回路専用のレイアウトを作ることによって各ブロックにおいて出力信号の応答時間の違いを減らすことが求められる。

4.4 回路構成の改良案

4.4.1 自己同期伝送方式の受信部

前節で説明したように受信回路での位相バラツキを抑えることができたとしても、伝送線路から入力される信号には周辺回路の電磁干渉により位相バラツキが含まれる可能性がある。しかし、自己同期伝送方式はデータと同期信号をビット単位で符号化することを特徴とする伝送方式であって、仮に入力信号のビット間に位相バラツキが含まれているとしてもデータの再生クロックの間には必ず同期が取れているはずである。それで図 4.23 のように受信回路から得られた同期信号を用いて再生されたデータを FIFO (First In First Out) に非同期的に入力させて、そのデータを受信部の独立クロック信号を用いて出力させる構造を用いると、入力信号に内在する可能性のある位相バラツキをも吸収できるインターフェイスが実現できると考えられる。

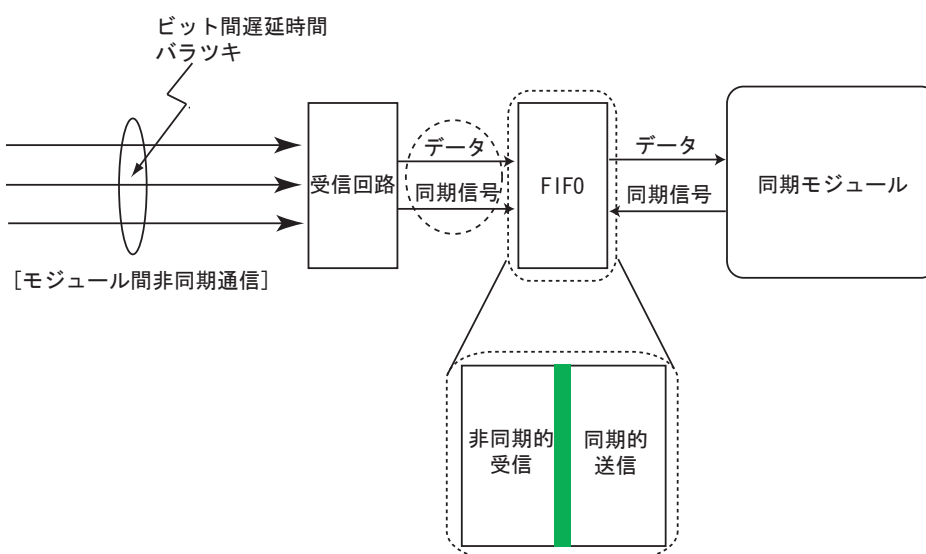


図 4.23. 自己同期伝送方式の受信部

4.4.2 3線3相式の送信回路

試作チップの測定結果、3線3相式送信回路の最大伝送レートは2線4相式、また4線4相式送信回路より低いことが示された。これは3線3相式送信回路構成において Winner_Take_All ブロックの出力負荷が大きく、その遅延時間が長いためである。この

Winner_Take_All ブロックは出力信号を入力にフィードバックさせる構造を採っているため、セルの幅を均一に大きくさせるだけでは、遅延時間を減らすことはできない。

そのため、図 4.24 のように Winner_Take_All ブロックと同じタイミングで信号遷移が行われるラッチを容易し、その出力を Winner_Take_All の入力にフィードバックさせて Winner_Take_All ブロックの遅延時間を減少させるようにした。これは、Winner_Take_All ブロックでの結線の方法により 3 線 3 相式信号の遷移方向が予め決まっているため、次のクロックタイミングでフィードバックにされるべき 3 線 3 相式信号が予想できることから可能である。この構造の次の段に Multiplexer を含めたラッチを配置すると、入力データによって遷移方向を変えることができるはずである。図 4.25 に、この構造をレイアウトした時の出力波形を示す。シミュレーション結果において、従来の 3 線 3 相式送信回路の最大送信レートが 5.6Gbps であったのに対し、この構造では 8.3Gbps にまで送信レートを上げることができた。

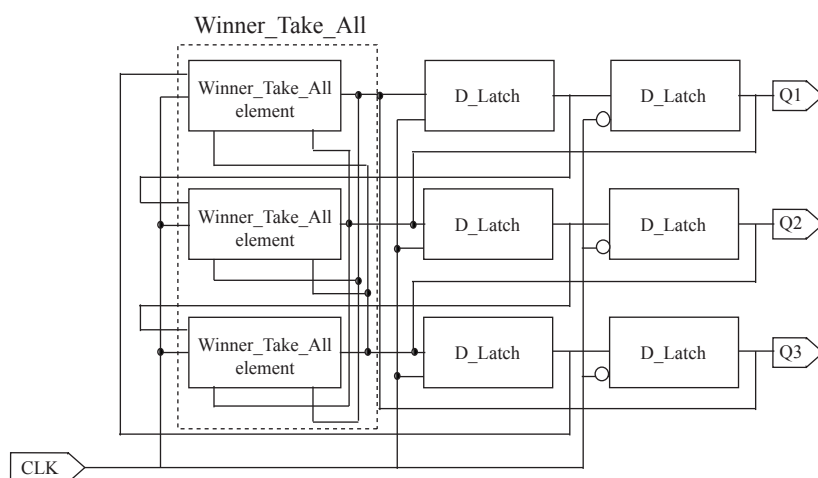


図 4.24. 3 線 3 相式の送信回路改良案

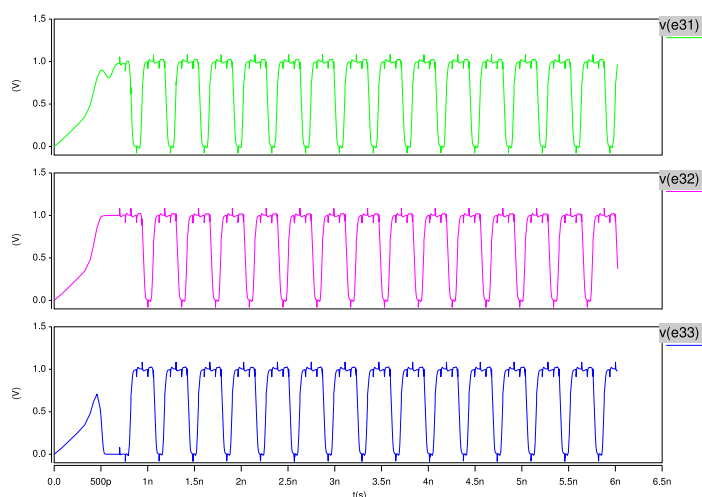


図 4.25. 3 線 3 相式送信回路改良案のシミュレーション結果

4.5 低電圧3線3相式送信回路の出力波形

今回VDEC助手の佐々木さんが試作したチップ間高速通信のための3線3相式送信回路の出力波形の測定結果を示す。測定はHP54750Aのデジタルオシロスコープを使って行った。

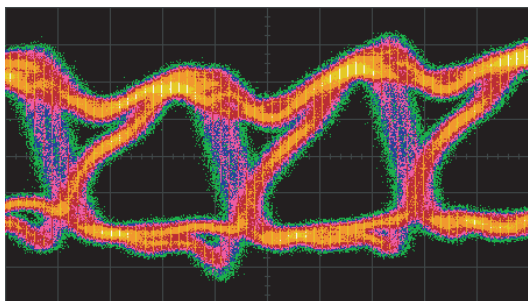


図 I: 動作周波数 1.4Gbps

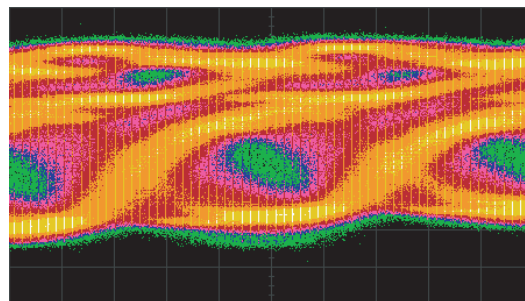


図 II: 動作周波数 3.9Gbps

図 4.12. 低電圧3線3相式送信回路の測定波形

測定結果、3線3相式伝送方式で低電圧信号伝送が実現できることを確認した。

第5章 電磁干渉モデルの提案

本研究で注目している自己同期伝送方式である3線3相式は、ある信号線でレベル変化が起こる際に生じる基板および他の線路に対する電磁干渉をキャンセルするために他の2つの信号線の中で必ず逆方向のレベル変化が起きるようにするという、アクティブキャンセル法を取っている。それに対し2線4相式は、そのように差動で変化する信号方式を取っていないものの3線3相式に比べ信号線の数1つ少ないことから、電磁干渉キャンセル方法として伝送線路の隣にグラウンド線をシールド線として設けるパッシブキャンセル法が適応できると考えられる。

本研究室ではシミュレーションにより3線3相式が2線4相式に比べて電磁干渉問題において優れていることを示した。この章では伝送線路による電磁干渉のオンチップ実測評価を行うためのモデルを提案することにする。

5.1 測定装置

図5.1に伝送線路上の電磁干渉を実測するためのチップ写真を示す。真ん中には3つの信号線があり、その隣には伝送線路から生じた電磁界を測定するためのコイルを設けている。

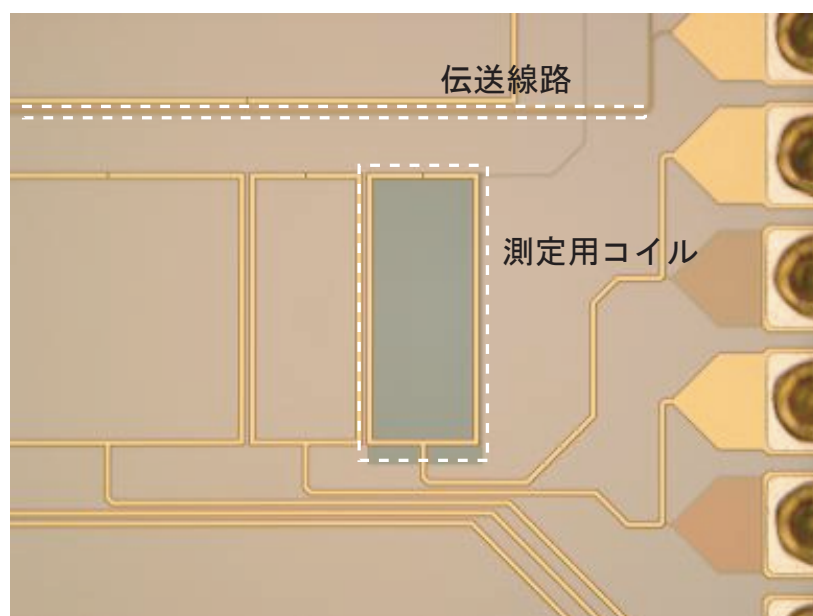


図 5.1. コイルレイアウト

図 5.2 には今回測定で用いたコイルの形状を示す。グラウンドに繋がるコイルの赤い部分が測定用の端子に繋がる青い部分をカバー形状になっており、グラウンドと測定端子の間のコモンモードノイズの影響を削減できる形状になっている。

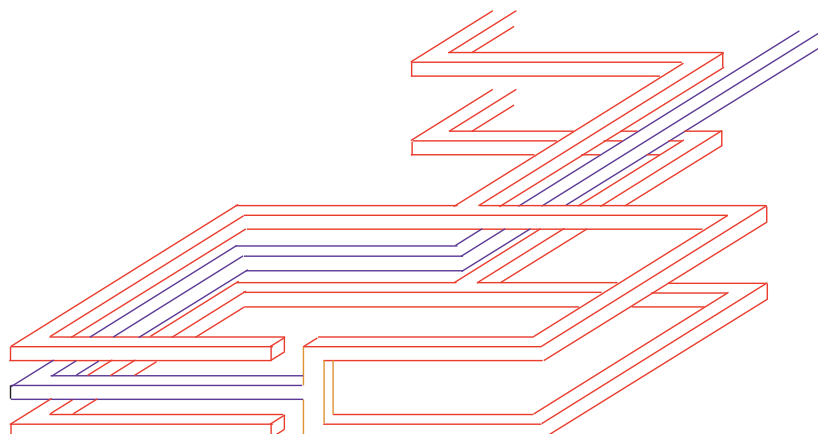


図 5.2. コイルの形状

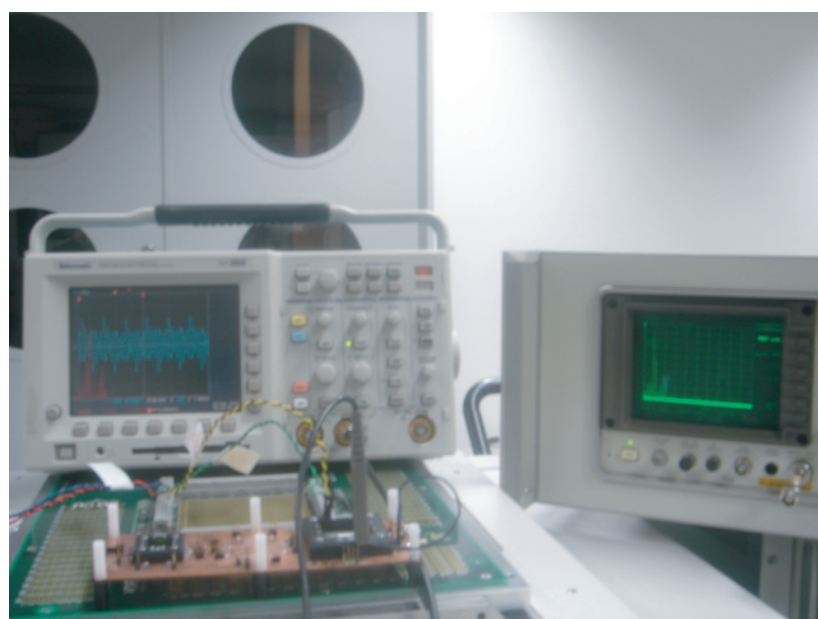


図 5.3. 電磁干渉測定装置

図 5.3 には今回測定を行うために用いた装置を示す。まず測定で使うチップには HP83000 のテストを使って信号パターンを入力させている。それと伝送線路から発生した電磁界によってコイルに発生する信号波形はコイルの両端を 1GHz 帯域の差動プローブで測定し、500MHz 帯域 (サンプリング周波数 5GHz) の Tektronix オシロスコープモニタしている。またをオシロスコープから計算した FFT(Fast Fourier transform) 結果と 50GHz 帯域のスペクトラムアナライザ (HP8565E) で確認したコイルが

らの信号波形の周波数特性を比較することによってオシロスコープから出力される波形がその装置の帯域に影響されていないことを確認している。

5.2 電磁干渉モデル

図5.4には伝送線路によって発生するEMIを評価するために今回測定で使うコイルと伝送線路の電磁干渉モデルを示す。

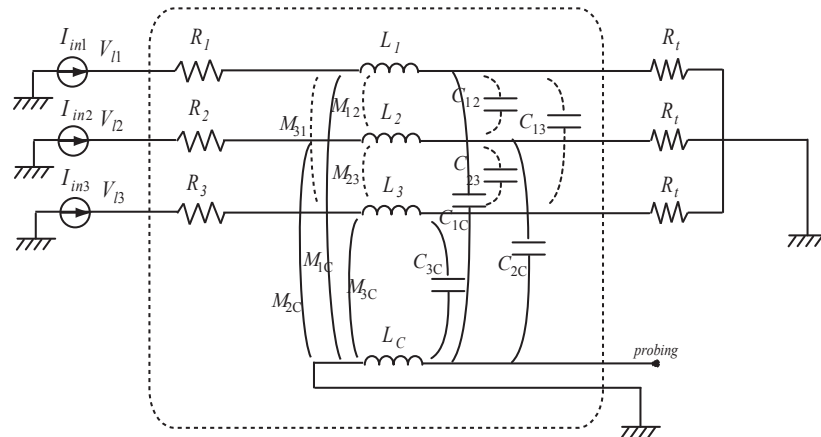


図 5.4. 電磁干渉モデル

伝送線路とコイルの間には静電カップリングおよび電磁カップリング要素があると考えられる。測定および理論計算で各要素のパラメタを求めた上で、2線4相式と3線3相式の電磁干渉問題の実測評価を行う。

5.3 電磁干渉測定の予備実験

図5.5にはモデル評価の予備実験として行った測定の概要図を示す。

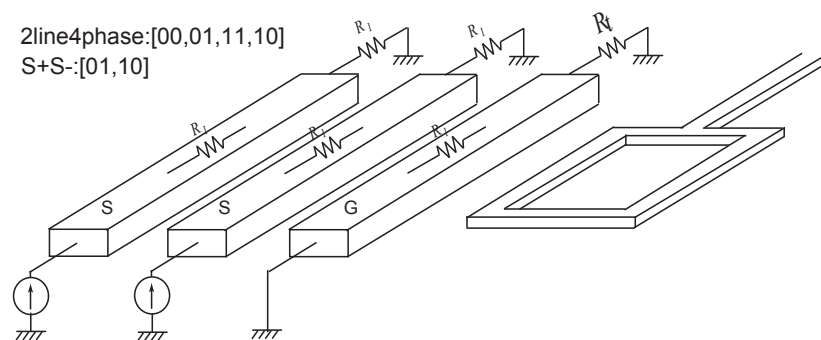


図 5.5. 予備実験の概要図

3つの伝送線路の中でコイル側にある1つの伝送線路を抵抗でグラウンドに終端し、残りの2つの伝送線路で信号を伝送した場合、信号の入力パターンによる電磁干渉を測定した。

入力信号パターンは、2線4相式の信号パターンである(00、01、11、10)の繰り返し信号と、3線3相式の部分モデルである(01、10)差動信号の繰り返し信号の2つにした。

チップ内の各伝送線路は225Ωの直流抵抗成分を持っている。今回信号線として用いる真中と左側にある伝送線路は線路の直流抵抗成分と同じ225Ωの抵抗を用いてグラウンドに終端した。この2つの信号線に対し5V振幅の信号パターンを入力した。

コイル側にあるグラウンドに終端された伝送線路は寄生インダクタンスをもっているため大きいループコイルとして働き、信号線から発生する電磁界の変化を妨げる機能をすると考えられる。その寄生インダクタンスによる磁界シールドの影響を確認するために、コイル側にある伝送線路に対しては225Ωの抵抗で終端した場合と、1MΩの抵抗で終端した場合の2つの測定を行った。

1MΩの抵抗で終端した場合は、線路内で電流の変化が225Ωの抵抗で終端した場合より少ないため、電磁シールドとしての働きが小さくなることが予想される。

図5.6はコイル側の信号線の終端抵抗の大きさによるコイルからの測定波形の違いを示している。入力信号パターンは2線4相式の(00,01,11,10)の繰り返し信号であって、伝送レート20Mbps時の測定波形である。グラフの上段には真ん中の伝送線路流れる信号の波形を、下段にはコイルから測定して電磁干渉による出力波形を示す。

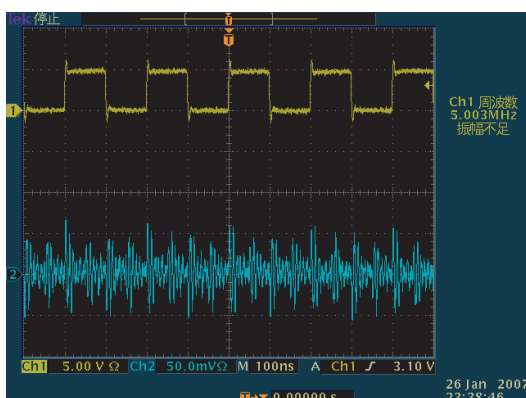


図 I: 225Ω 終端

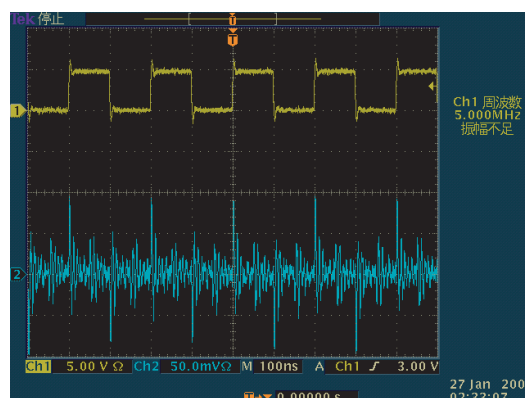


図 II: 1MΩ 終端

図 5.6. コイルからの測定波形 [入力信号 : 2線4相式]

入力信号パターンの変化時にコイルからの出力信号にピーク値がみられていて、この出力が信号線に流れる電流の変化による発生した磁界によるものと考えられる。また、コイル側の線路の1MΩの抵抗で終端した場合が225Ωの抵抗で終端した場合より出力波形のピーク値が大きく、大きい抵抗で終端することによって電磁シールドとしての働きが小さくなることが分かる。

図5.7に図5.6の場合と同じく、伝送レート20Mbpsの場合の3線3相式の部分モデルである(01,10)の差動入力に対するコイルの電磁干渉による出力波形を示す。この図でもコイル側の線を1MΩで終端した場合がコイルからの出力波形のピーク値が大

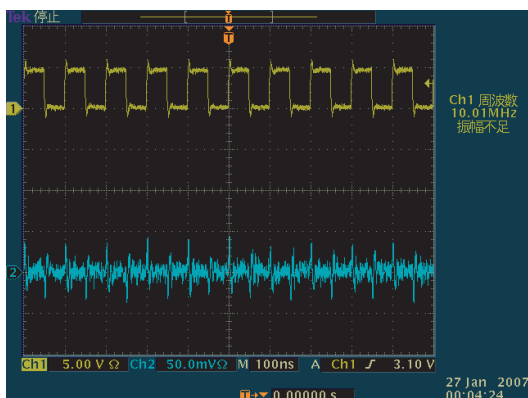


図 I: 225 終端

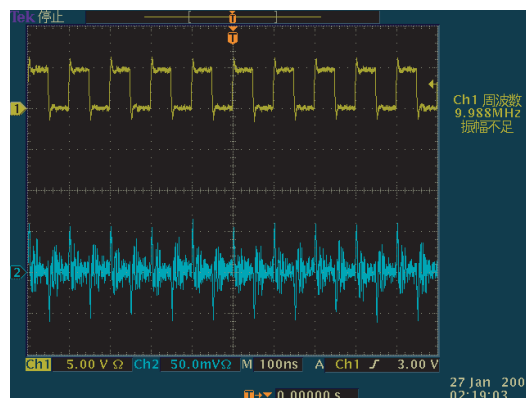


図 II: 1M 終端

図 5.7. コイルからの測定波形 [入力信号 : S+S-]

きく、図 5.6 と同じ傾向が見られた。また、図 5.6 に比べて図 5.7 のコイルからの出力波形のピーク値が小さいことから、差動信号方式による電磁干渉に対するアクティブキャンセルの効果も正しく測定で検出できていると考えられる。

図 5.8 に周波数を変えた場合の各条件でのコイルから測定される電磁干渉による出力の電力を示す。

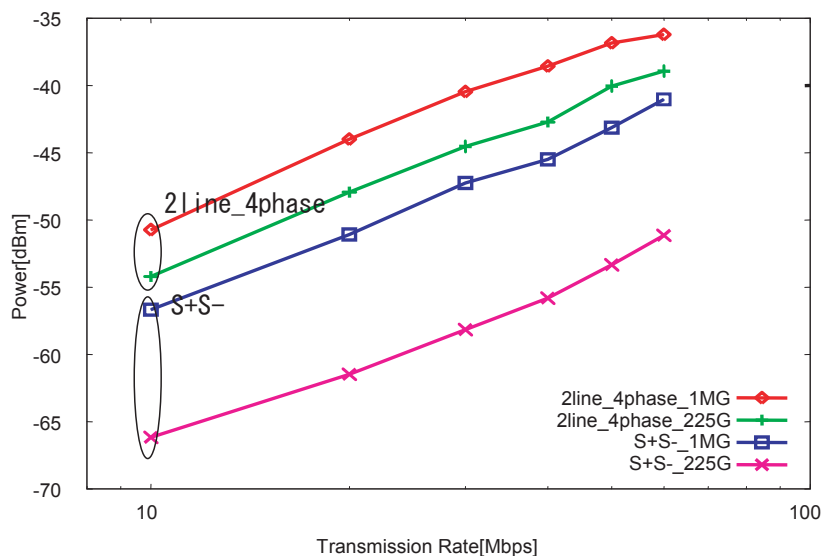


図 5.8. 電磁干渉測定結果

この結果からもコイル側の伝送線路の終端抵抗の大きさを変えた場合の電磁シールド効果の違いが分かる。また、終端抵抗 225 の場合と終端抵抗 1M のどの場合においても 2 線 4 相式の信号パターンよりも 3 線 3 相式の部分モデルである差動入力に対する電磁干渉によるエネルギーが小さく、信号の差動対によるアクティブキャンセル方法を用いることの有用性が測定結果からも確認することができた。

以上の結果をも用いて図5.4に示す電磁干渉モデルのためのパラメタを求め、3線3相式と2線4相式の電磁干渉に対する実測評価を行う。

第6章 結論と残された課題

プロセス技術に微細化のとともにチップ内のローカルモジュールの動作速度は増加しているものの、配線ピッチが短くなることによる寄生効果によってグローバル配線を用いてチップ全体を同じ同期信号で駆動させることは難しくなっている。それでローカルモジュールを高速クロックにより駆動させて、その間のグローバルデータ伝送を非同期的に行う方式(GALS : Globally Asynchronous Locally Synchronous)が提案されている。

本研究室ではデータと同期信号のビット間符号化を行うことでローカルモジュール間的高速非同期通信に適合する自己同期伝送方式に注目し、その中から2線4相式伝送方式と3線3相式伝送方式に対してEMI(Electro-Magnetic Inteference)シミュレーションを行った。その結果、伝送線路上の信号遷移時に発生する電磁干渉をキャンセルするための方法として、差動信号によるアクティブキャンセル法を取る3線3相式が伝送線路隣にグランド線を配置させることで電磁干渉をキャンセルする2線4相式比べてEMI特性が優れていることが示された。

それで本研究では、まず3線3相式と2線4相式、また4線4相式の3つの自己同期伝送方式の実装するための回路方式を提案し、その試作を行った。浅田先生により提案された3線3相式伝送方式の送信回路ではWinner_Take_Allブロックを用いることにした。このブロックは3つの出力信号の中必ず1つの信号が0になるように働くために、送信回路の中で3線3相式の信号方式の信頼性を保つ役割するだけでなく、電源を入れた場合に自動的に内部状態がセットされるので外から初期状態を与える必要がなくなる。しかし、このブロックは入力に出力のフィードバックを掛ける仕組みになっているために、負荷がおおくそれによって遅延時間が長くなるために最大送信レートを下げる原因になっている。

3線3相式の受信回路では遅延要素の用いてその入力と出力の違いを比較することで伝送レートと同じ周波数をもつ同期信号を再生することができる回路方式を取った。再生される同期信号の幅はその遅延要素の遅延時間によって決まるので、この回路方式においては受信回路の最大受信レートと遅延要素の遅延時間には密接な関係がある。つまり遅延要素による遅延時間が短いほど最大受信レートが大きくなるのである。

今回試作した受信回路では、受信できるデータレートが送信回路の最大伝送レートよりも小さくなり、インターフェイス全体性能のボトルネックになっている。その原因の一つとしては再生される同期信号の位相バラツキがある。今回試作ではCMOSスタンダードセルをベースにして受信回路を設計したが、一つのセルの2入力においても各入力の出力応答時間はそれぞれ違う。低い動作周波数で動いている時はそれによる影響は見られないものの、GHz帯の高い周波数になるとその影響は顕著に現れる。受信回路の動作周波数を向上させるためには、位相バラツキが少なくなるようにレイアウトを作成

することが必要である。

2線4相式と4線4相式伝送方式の送信回路はその伝送方式を実現するための簡単なロジックブロックによって構成される。この回路では3線3相式のWinner_Take_Allのような負荷の大きいブロックがないため、3線3相式送信回路よりも容易に最大伝送レートを上げることができた。

また、2線4相式と4線4相式の受信回路は3線3相式の受信回路をそのまま4相方式に拡張させた回路であって、3線3相式の場合と同じく、出力信号の位相バラツキ問題を抱える受信回路がインターフェイス全体の性能のボトルネックになっている。

試作したチップの測定では、3線3相式と2線4相式の伝送方式が正しく動作していることを確認し、送信回路の最大送信レートがシミュレーション結果の予想範囲にあることが分かった。最大送受信レートにおいてはシミュレーション結果との違いが見られたが、検討案を出し次回の試作にフィードバックできるようにした。

また、2線4相式、3線3相式伝送方式の簡易モデルに対し電磁干渉測定を行い、理論とおりの特性が見られることを確認した。

残されている課題は、電磁干渉モデルの各パラメタを理論計算および測定によって求めてそれをもとに各伝送方式の信号パターンによって発生する電磁干渉の実測評価を行うことである。

参考文献

- [1] “ PCI Special Interest Group ”
- [2] “ International Technology Roadmap for Semiconductors ”
- [3] Smith, S.F, “ An asynchronous GALS interface with applications, ”*IEEE Workshop on Microelectronics and Electron Devices*, p. 41 - 44, 2004
- [4] Nan Li, Makoto Ikeda, Kunihiro Asada, “ Analysis of Low Noise Three-Phase Asynchronous Data Transmission, ”*Proceeding of ESSCIRC*, p. 479 - 482, 2005
- [5] “IEEE 1394 BUS”
- [6] Qiang Wu, Philo Juang, Margaret Martonosi, Douglas W. Clark, “ Voltage and Frequency Control With Adaptive Reaction Time in Multiple-Clock-Domain Processors, ”*Proceeding of the 11th Int’l Symposium on High-Performance Computer Architecture*, 2005
- [7] Thomas D. Burd, Robert W. Brodersen, “ Design Issues for Dynamic Voltage Scaling, ”*Proceeding of the International Symposium on Low Power Electronics and Design*, p. 9 - 14, 2005
- [8] 柴山 潔、“ 論理回路とその設計 ”、近代科学社
- [9] Teifel. J, Manohar.R, “ A High-Speed Clockless Serial Link Transceiver, ”*Proceeding of Ninth International Symposium on Asynchronous Circuits and Systems*, , p. 151 - 161, 2003
- [10] Yalcin Alper Eken, Johm P. Uyemura, “ A 5.9GHz Voltage-Coltrolled Ring Oscillator in 0.18 μ m CMOS, ”*IEEE Journal of Solid-State Circuits*, p. 230 - 233, 2003
- [11] Nogawa.Masafumi, Ohtomo Yusuke, “ A 16.3-GHz 64:1 CMOS Frequency DIVIDER, ”*Proceeding of the Second IEEE Asia Pacific Conference*, p. 95 - 98, 2000
- [12] Seongwon Kim, Mohit Kapur, Mounir Meghelli, Alexander Rylyakov, “ 45-Gb/s Nan SiGe BiCMOS PRBS Generator and PRBS Checker, ”*IEEE Custom Integrated Circuits Conference*, p. 313 - 316, 2003

- [13] 山本剛志, 池田誠, 浅田邦博, “三相式データエンコード方式を用いた誘導性ノイズの低減化手法,” 集積回路研究専門委員会主催研究会, 信学技報, vol.102, No.272, p.25-30 平成14年8月

本研究に関する発表

- [1] 曹 溶成, 佐々木 昌浩, 池田 誠、浅田 邦博、”低EMI自己同期高速伝送方式
インターフェイス”、電子情報通信学会、総合大会、2007年3月 発表予定

謝辞

本研究を進めるのにあたり、日頃から暖かい御指導をして頂き、また適切な御助言をして頂きました浅田邦博教授、池田誠助教授に心から深く感謝いたします。

研究の様々な面から数多くの助言をして頂きました浅田研究室助手の佐々木昌浩氏、鄭若丹^シ氏に深く感謝いたします。大学院生の吉田浩章氏、飯塚哲也氏、谷内出悠介氏、金允王景氏、風間大輔氏、橋本紘和氏、石井健氏、門馬太平氏、梁志成氏、技官の鈴木真一氏、秘書の丸山由香子氏、横地順子氏に深く感謝します。

本研究で行ったチップ試作は東京大学大規模集積システム設計教育センターを通し株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NECエレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われたものである。