

東京大学 大学院新領域創成科学研究科
基盤科学研究系物質系専攻

平成 20 年度
修士論文

ペロブスカイト酸化物 SrTiO_3 と KTaO_3 への
電界効果キャリアドーピング

Electrostatic Carrier Doping in Perovskite Oxides SrTiO_3 and KTaO_3

2009年1月27日提出
指導教員：高木 英典 教授

76144：松村 亮太

目次

第1章	序論	4
1.1	緒言	4
1.2	ペロブスカイト遷移金属酸化物	5
1.3	種々の物質へのキャリアドーピングとその効果	6
1.3.1	バンド絶縁体へのキャリアドーピング	7
1.3.2	モット絶縁体へのキャリアドーピング	7
1.3.3	銅酸化物高温超伝導体の場合	9
1.4	電界誘起キャリアドーピング	10
1.4.1	電界効果トランジスタ	10
1.4.2	実際のFETと閾値電圧	12
1.4.3	FETのデバイス特性	14
1.4.4	電界効果移動度	16
1.5	研究の目的	17
第2章	試料作製と測定	18
2.1	はじめに	18
2.2	パリレン (Parylene)	19
2.3	試料作製	22
2.4	抵抗測定	24
2.4.1	高抵抗試料の測定	24
2.4.2	FETの測定セットアップ	27
第3章	SrTiO₃ – FETとデバイスの諸特性	28
3.1	チタン酸ストロンチウム SrTiO ₃	28
3.1.1	酸化物半導体材料	28
3.1.2	電子物性	29
3.2	パリレンゲート絶縁膜の特性	31
3.2.1	パリレン膜の耐電圧	31
3.2.2	パリレン膜の誘電率	32
3.2.3	金ペーストの影響	33
3.3	SrTiO ₃ – FETの室温特性	33
3.3.1	SrTiO ₃ 単結晶表面	33

3.3.2	デバイス特性	34
3.3.3	電界効果移動度	36
3.3.4	ゲート掃引時の履歴	37
3.4	チャネルドメインの不均質性	38
3.4.1	チャネルドメインの不均質性	38
3.4.2	絶縁体へのキャリアドーピング	40
第4章	KTaO₃ – FET	42
4.1	はじめに	42
4.2	タンタル酸カリウム KTaO ₃	42
4.3	KTaO ₃ 基板の表面処理	44
4.4	室温におけるデバイス特性	47
4.5	低温測定	49
第5章	結論	51

第1章 序論

1.1 緒言

無機酸化物、特に遷移金属酸化物は、物性物理学、固体化学の分野において最も熱心な研究がおこなわれている分野の1つである。その最大の理由は、遷移金属酸化物が、様々な興味深い物理現象の舞台を提供しているという点にある。近年、固体化学の知見に加えて計算機による第一原理バンド計算を駆使することによって興味深い物性をもつ酸化物を探索・合成する研究や、これらの物性を外場によって制御して新しい電子デバイス材料として利用しようという研究も積極的におこなわれており、遷移金属酸化物への注目は今後も高まるであろうと考えられる。

半導体や強相関電子系ではキャリア数密度が電子系の物理状態を決定している大切なパラメータの1つである。それゆえ物性物理学において、何らかの方法で物質に電子又はホールをドーピングして物性の変化を調べることは大変基礎的かつ重要である。キャリアドーピングの方法は幾つか存在するが、遷移金属酸化物の物性研究においては、母物質に不純物を添加することによる化学的なドーピングが最も効果的であり、従って主流である。しかしその容易さと引き換えに、不純物による試料の乱れや母物質そのものの組成や構造の変化から完全に逃れることはできない。

化学的なドーピングではなく、不純物を生じない物理的なドーピング方法の1つに電界誘起キャリアドーピングがある。簡潔に述べるとこれは物質の上にキャパシタ素子を構築し、電圧（電界）をかけることで物質界面に電荷を強制的に誘起させる方法である。この方法は以前より電界効果トランジスタ（FET：Field-Effect-Transistor）としてシリコンエレクトロニクスに應用されているが、非常に平坦で清浄な界面を持つ試料が要求されることから、酸化物のキャリアドーピングへの応用は困難であった。しかし近年、結晶研磨技術の進歩や、酸化物薄膜のエピタキシャル成長技術の発展により、単位格子のレベルで平坦な酸化物試料を得ることができるようになってきている。それに伴って種々の酸化物に対して、電界誘起キャリアドーピングによって物性を変化させ、制御しようという研究も徐々に進展してきている [1]。化学的なドーピング方法に比べればまだ技術的な制約の多い手法ではあるが、いずれはこれらの研究が、化学的なドーピングの難しい物質に対して電界誘起キャリアドーピングを適用することによって新奇な物性を発掘しようという、物性探索の新しい手法の開発に繋がると考えられる。またこの手法は連続的にかつ可逆的にキャリア密度を変化させることができるため、キャリア密度の変化によって物質の電子状態を自由自在に切り替えるスイッチング素子として活用できる可能性もある。このことから酸化物電界効果トランジスタの作製はエレクトロニクス材料としての酸化物の可能性にも道を開くことができると考えられる。

本研究において我々は、比較的容易に平坦な表面を得る手法が確立されている代表的な酸化物絶縁体 SrTiO₃ と KTaO₃ をチャンネルとした電界効果トランジスタを作製してキャリアをドーブす

1.2. ペロブスカイト遷移金属酸化物

ることにより，室温及び低温において半導体的な振る舞いを観測することを試みる．それによってこの手法が複数の酸化物で有効であることを明らかにし，電界誘起キャリアドーピングの物性探索の一手法としての可能性を示すことを最終的な目的としている．

1.2 ペロブスカイト遷移金属酸化物

銅酸化物における高温超伝導 [2] やマンガン酸化物における超巨大磁気抵抗 (CMR)[3] を始めとして，遷移金属酸化物の中でも特に興味深い物性を示す化合物はペロブスカイト構造及びその類縁構造を持つ酸化物に多い．酸素の結晶場によって分裂した d 軌道と電荷，スピンの自由度が結びついて複雑な電子物性を示すこれらの酸化物について現在まで膨大な研究されてきた．ペロブスカイト構造酸化物の示す高温超伝導や CMR，軌道秩序, 磁性といった物性の多くは電子同士の相関効果が重要な寄与をしていると考えられている．そのため物質中の電子密度，キャリア密度を変えることによって電子相が大きく変化するということがたびたび起こる．例えば銅酸化物の高温超伝導は，もともと反強磁性絶縁体であった物質に元素置換によってキャリアをドーピングしてやることによって発現する．キャリア密度及びキャリアドーピングによる相制御はペロブスカイト酸化物の電子物性の理解に欠かすことができない．

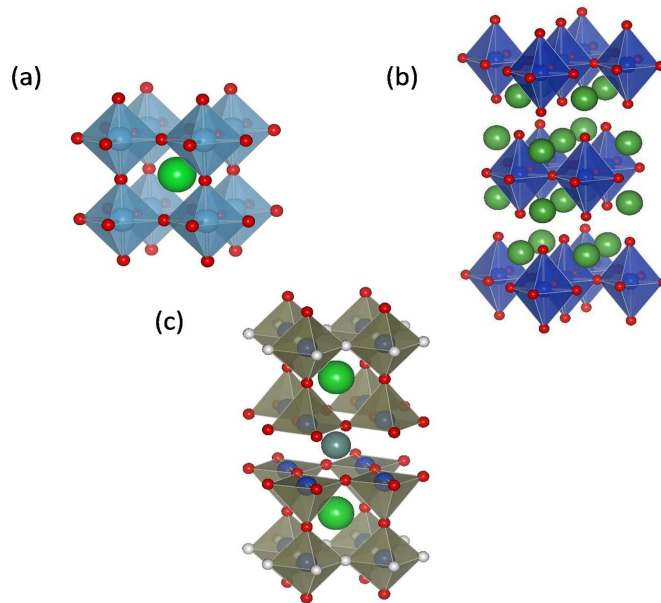


図 1.1: (a) ペロブスカイト構造 ABO_3 . (b) 層状ペロブスカイト構造 A_2BO_4 . (c) 高温超伝導銅酸化物 $YBa_2Cu_3O_7$

図 1.1 はペロブスカイト化合物及び代表的な類縁化合物の結晶構造を表わしている． $SrTiO_3, KTaO_3$ は (a) にある ABO_3 組成の典型的なペロブスカイト構造をとる．(b) は高温超伝導物質である銅酸化物 La_2CuO_4 が代表的な例であり，(c) はペロブスカイト類縁構造をとる転移温度が 90K を超え

1.3. 種々の物質へのキャリアドーピングとその効果

る高温超伝導物質 $\text{YBa}_2\text{Cu}_3\text{O}_7$ である。

物質例	物性
$\text{SrTiO}_3, \text{KTaO}_3$	酸化物半導体
BaTiO_3	強誘電体
$\text{La}_{1-x}\text{Sr}_x\text{TiO}_3$	Mott 型金属絶縁体転移
$\text{La}_{2-x}\text{Sr}_x\text{CuO}_4, \text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$	高温超伝導
$\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$	巨大磁気抵抗

表 1.1: ペロブスカイト酸化物と物性

本研究のターゲットである $\text{SrTiO}_3, \text{KTaO}_3$ は絶縁体である。これらの物質の伝導帯は遷移金属 Ti や Ta の d 軌道に由来していることがわかっているが、それぞれ 4+, 5+ の価数をとるのでこれらの原子には d 電子が存在していない。ゆえにキャリアがないことによる典型的なバンド絶縁体となっている。しかしこれらの物質に元素置換による化学的なキャリアドーピングをおこなうと、絶縁体から n 型半導体、さらに金属に転移することがわかっており、代表的な酸化物半導体材料として知られている。

元素	電子配置	酸化状態	電子配置
Ti	$[\text{Ar}]3d^24s^2$	Ti^{4+}	$[\text{Ar}]3d^0$
Ta	$[\text{Xe}]4f^{14}5d^36s^2$	Ta^{5+}	$[\text{Xe}]4f^{14}5d^0$

表 1.2: 遷移金属 Ti, Ta の $\text{SrTiO}_3, \text{KTaO}_3$ 内での電子状態

1.3 種々の物質へのキャリアドーピングとその効果

元素置換による化学的なキャリアドーピングや本研究の主題である電界効果キャリアドーピング、光による電子正孔対生成、ヘテロ接合界面への変調ドーピング等、物質にキャリアを注入する方法はいくつかあるが、どの手法であれキャリア数の変化が最も直接的に影響するのは輸送特性である。キャリアドーピングによって金属絶縁体転移のように物質の電子相そのものを変えてしまうこともあるし、そうでない場合であってもキャリア数の増加は多くの場合導電性の向上につながる。我々は酸化物絶縁体へのキャリアドーピングを扱っているが、ドーピングする固体の絶縁体の違いによって”キャリアドーピング”の意味は大きく異なる。固体の絶縁体は主にバンド絶縁体とモット絶縁体の二種類に分類されるが、バンド絶縁体へのキャリアドーピングは伝導帯へのキャリア注入を意味しているのに対し、モット絶縁体へのキャリアドーピングは電子相関の強さを変えることに大きな意味がある。

1.3. 種々の物質へのキャリアドーピングとその効果

1.3.1 バンド絶縁体へのキャリアドーピング

バンド絶縁体と半導体の区別をしないとすれば，現代エレクトロニクスに不可欠である Si 半導体こそがバンド絶縁体へのキャリアドーピングの最も身近な例であるといえる [4, 5].

Si に周期表で右隣の P を不純物として添加すると，P は Si 結晶中でその 1 つ余計な電子を放出し，自らは相対的に陽イオン不純物となる．放出された電子は，この P 陽イオン（ドナー）の作るクーロンポテンシャルにトラップされているが，その束縛は弱く，熱的に容易に励起されるので電子はほとんど自由に Si 中を動き回る．こうして Si に電子がドーピングされる．一方，Si に周期表で左隣の Al を添加すると，Si に対して最外殻電子の 1 つ足りない Al は相対的に陰イオン（アクセプター）として振る舞い，その分ホールを結晶中に放出する．放出されたホールもほぼ自由に結晶中を動くことが可能である．酸化物絶縁体である $\text{SrTiO}_3, \text{KTaO}_3$ への電子ドーピングはバンド絶縁体へのドーピングにあたる．例えば Sr を La で，K を Ca でそれぞれ置換してやることによって伝導帯に電子を注入することができる．あるいは酸素欠損を導入することによっても電子をドーピングすることが可能である．ドナー準位は伝導帯下端にあり，多くの電子が伝導帯に励起される．このように，バンド絶縁体へのキャリアドーピングの本質は伝導帯キャリア数を増加させることにある．

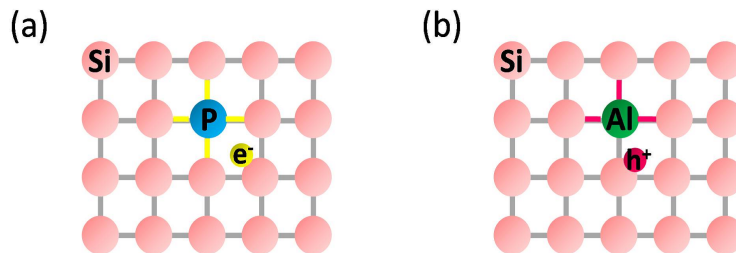


図 1.2: (a) Si 結晶中の P 原子．共有結合に使われない余計な P の原子は結晶中に放出される．(b) Si 結晶中の Al 原子．4 つの共有結合に足りない 1 つの電子の空席は 1 つのホールとして振る舞う．

1.3.2 モット絶縁体へのキャリアドーピング

モット絶縁体は電子同士のクーロン斥力によって電子が固体中を自在に動けないことに起因する絶縁体である [6, 7]．図 1.3(a) にあるように各原子サイトにいる電子は隣接サイトにいる電子との間のクーロン斥力を感じるために，隣のサイトに移ることができず局在する．ここにホールをドーピングする，すなわち電子を一つ抜くと，それによって他の電子はかるうじて隣のサイトに移動することが可能になるため電子系は電流を流すようになる (図 1.3(b))．さらにドーピングをおこなえば電子相関は弱まりついには通常の金属に変化する．僅かなホールのドーピングにより，局在していたすべての電子が遍歴性を回復するという点においてバンド絶縁体の場合とは大きく異なる．モット絶縁体へのドーピングは既に存在する多数の電子の相関の強さを変えるところにそ

1.3. 種々の物質へのキャリアドーピングとその効果

の本質がある．

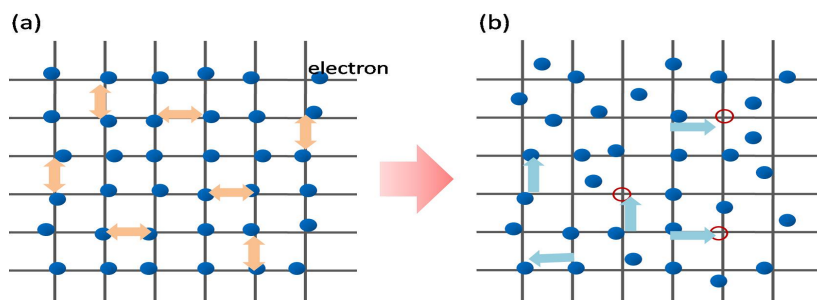


図 1.3: モット絶縁体へのドーピング．(a) モット絶縁体では電子が互いにクーロン力によってサイトに局在している．(b) 少数のホールをドーピングするだけで局在していた多数の電子が遍歴性を回復し金属化する．

モット絶縁体へのドーピングの代表的な例としてはモット絶縁体ペロブスカイト酸化物 LaTiO_3 がある [8, 9]． SrTiO_3 と異なりこの物質では Ti は $3+$ であるから各 Ti には電子が一つ存在しており，これらの電子は互いのクーロン斥力によって Ti サイトに局在している．この物質の La を Sr で僅かに置換することによりこのモット絶縁体にホールをドーピングすることが可能である．図 1.4(b) は Sr 置換または酸素供給によりドーピングされた物質 $\text{La}_{1-x}\text{Sr}_x\text{TiO}_{3+\delta/2}$ のドーピング量を変えたいくつかの試料について測定した抵抗率の温度依存性を表している．ドーピング量を多くしてゆくと絶縁体的な振る舞いから金属的な振る舞いに変化することがわかる．

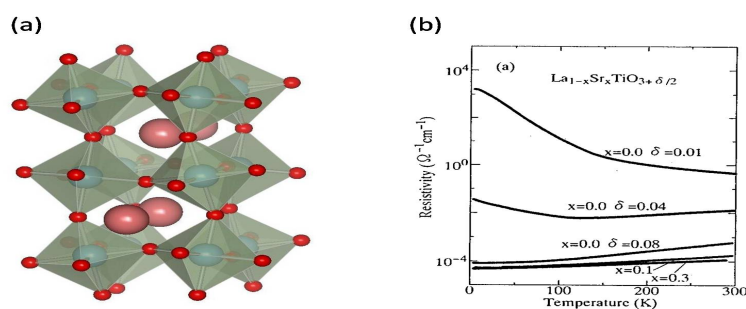


図 1.4: (a) ペロブスカイト酸化物 LaTiO_3 ．(b) LaTiO_3 のドーピング量制御による金属絶縁体転移 [10]．

1.3. 種々の物質へのキャリアドーピングとその効果

1.3.3 銅酸化物高温超伝導体の場合

超伝導を示す銅酸化物 $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ [11] はモット絶縁体へのキャリアドーピングによって電子相が大きく変化する例である。ペロブスカイト類縁構造を持つ銅酸化物高温超伝導体と呼ばれている物質は一般に、電気伝導を担う CuO_2 層と、絶縁体的なブロック層が交互に積み重なった構造をしている (図 1.5)。Sr が入っていない物質、 La_2CuO_4 は低温でも超伝導を示さない反強磁性絶縁体であるが、 La^{3+} サイトの一部を 2 価の Sr^{2+} イオンで置き換えると、電気的な中性を保つために 1 つのホールが CuO_2 層に注入される。1 ユニットセルあたり x 個のホールが CuO_2 層にドーピングされたことになる。図 1.5(c) は化学的に Sr のドーピング量 x を変化させ、キャリア数をコントロールした $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ の電子相図である。低温では $x=0.05$ から $x=0.25$ までのドーピング量で超伝導相が現れているのがわかる。また x が十分に小さい場合は超伝導ではなく反強磁性秩序が発達したモット絶縁体であることがわかっている。すなわち超伝導はモット絶縁体にホールをドーピングしていく過程で現れることになる。これほどまでに高い転移温度をもつ理由については目下精力的に研究されているが、母物質のモット絶縁体がドーピングによって破壊されたあとに生じる異常な金属相が高温超伝導の起源に深く関わっているということがわかってきている。

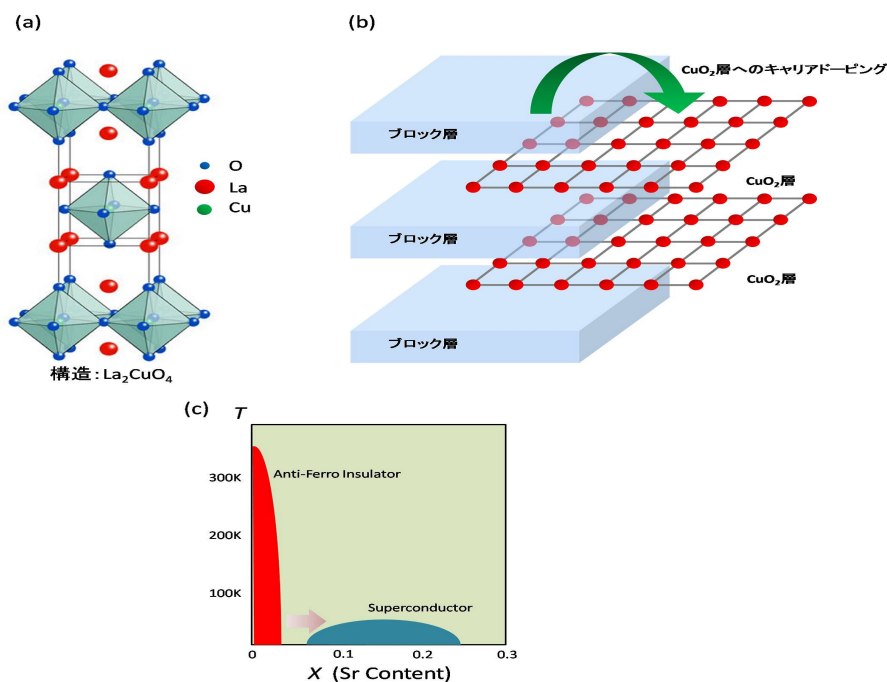


図 1.5: (a) 代表的な銅酸化物高温超伝導体 $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$. (b) ブロック層の不純物置換が CuO_2 面へのキャリアドーピングを引き起こす . (c) $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ 超伝導相図概略 .

1.4 電界誘起キャリアドーピング

多くの場合，元素置換による化学的キャリアドーピングはその簡便さから非常に有用なキャリア導入手法である．しかしこの手法はその簡便さと引き換えに，不純物による乱れの発生や格子のゆがみ，組成や構造の変化など，キャリアをドーピングする母物質に少なからず悪影響を与えることとなる．電界効果キャリアドーピングは元素置換に代わる方法の一つである．この方法の利点は主に二つある．すなわち

- 乱れないキャリア導入の方法である．
- 電界によって注入するキャリア数を連続的にかつ可逆的に変化させることができる．

乱れの効果は本来見られるはずの物性を隠してしまう恐れがあるため，不純物を導入する必要のないこの方法は物質の純粋な性質を知るために有望である．さらに化学的なドーピングによって注入及び制御できるキャリア数の幅やその精度は物質に大きく依存するのに対し，電界効果ドーピングは原理的にはあらゆる物質に適応可能な普遍的な手法である．

1.4.1 電界効果トランジスタ

電界誘起キャリアドーピングは，電界効果トランジスタ（FET:Field-Effect Transistor）というデバイスによって実現される [4]．FET の基本的な構造は下図に示すように，金属/絶縁体/半導体の三層からなるキャパシタにソース及びドレイン電極を組み合わせたものとなっている．絶縁物質を間にして金属（ゲート電極）と半導体間に定電圧をかけるとキャパシタの原理によって金属界面および半導体界面に電荷が誘起される（図 1.6）．金属側を高電圧にすれば半導体界面には負電荷すなわち電子が，金属側を低電圧にすれば半導体界面には正電荷すなわちホールがドーピングされたことになる．この状態でソースドレイン間に電位差があれば，半導体界面に蓄積したキャリアが電界によって駆動され，二つの電極間に電流が流れる．電流が流れる半導体界面をチャネル領域という．このような原理からゲート電極の電圧を変化させることによってソースドレイン電極間の電流をスイッチすることが可能であり，また作製が容易な積層構造をしているために，FET は現在エレクトロニクスに必要不可欠な素子の一つとなっている．

1.4. 電界誘起キャリアドーピング

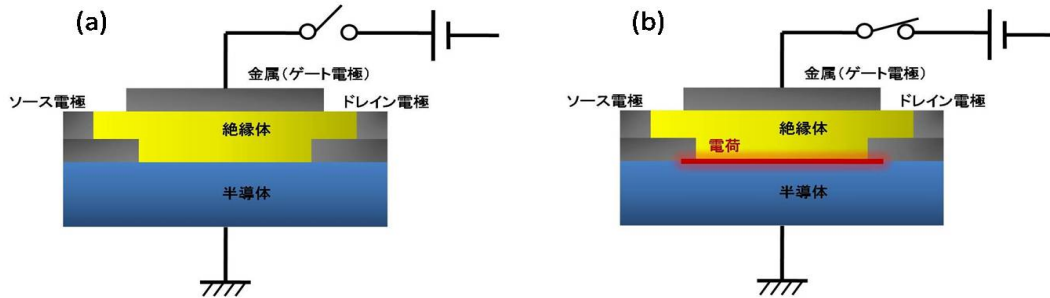


図 1.6: (a) ゲート端子に電圧（ゲート電圧）が印加されていなければキャリアはドーピングされない．
(b) ゲート電圧を印加すると半導体界面にキャリアがドーピングされる．

金属・絶縁体・半導体という三層構造は FET で最も頻繁に用いられており，MISFET(Metal-Insulator-Semiconductor FET) と呼ばれている．特に絶縁物質として SiO_2 等の無機酸化物が用いられる場合が多いので，MOSFET(Metal-Oxide-Semiconductor FET) とも呼ばれる．実際は半導体物質として不純物ドーピングされた n 型もしくは p 型半導体が多く使用されることが多く，従ってゲート電圧が印加していない場合であってもチャンネル層にはキャリアがわずかに存在している．図 1.7 は n 型半導体を用いた MISFET のバンド図である．正のゲート電圧を印加すると外部正電場のポテンシャルを感じて半導体界面付近のバンドが歪められ，界面付近に負電荷が蓄積される．理想的な MISFET ではゲート電極と半導体とは絶縁物質で隔てられているのでゲート電圧印加によって電流は流れない．

1.4. 電界誘起キャリアドーピング

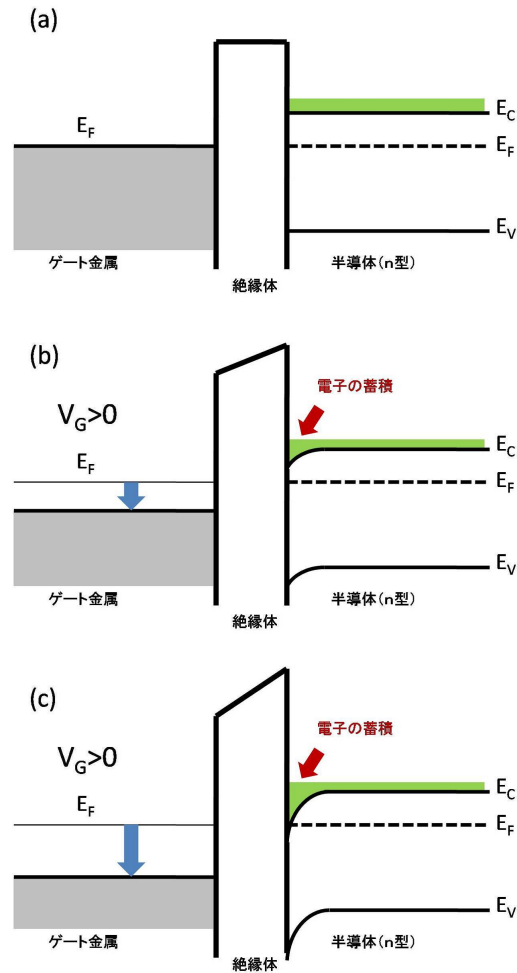


図 1.7: n 型半導体を使用した理想的な MISFET のバンド描像 . (a) ゼロゲート電圧 . (b)(c) 正のゲート電圧によって界面付近のバンドが曲がり電子が蓄積される .

1.4.2 実際の FET と閾値電圧

これまで述べてきた理想的な MISFET であれば、キャパシタ構造によって界面に誘起されるキャリアの二次元数密度 n_{\square} はゲート電圧に単純に比例するはずである . すなわち ,

$$n_{\square} = \frac{C}{q} V_G \quad (1.1)$$

ここで C は FET のキャパシタンス , q はキャリアの電荷 , V_G はゲート電圧である . ゲート電極 , 絶縁体 , 半導体が単純な積層構造をなしている場合 , FET のキャパシタンス C は平行平板型のコ

1.4. 電界誘起キャリアドーピング

ンデンサのそれで十分近似できる．

$$C = \epsilon \frac{S}{d} \quad (1.2)$$

d, ϵ はそれぞれ絶縁物質の厚さ，誘電率であり， S は単位面積である．

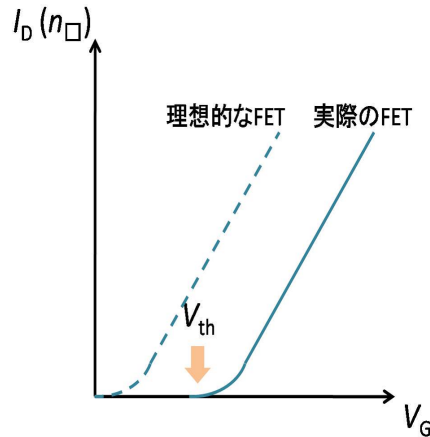


図 1.8: ゲート電圧に対するドレイン電流の理想的な応答と実際の応答.

しかし，実際のデバイスにおいてはキャリア密度とゲート電圧はこのように単純な比例関係にはない．実際には図 1.8 のように，ゲート電圧がある閾値以下にある場合は自由なキャリアのドーピングはなされない．この閾値電圧の原因はゲート絶縁体や半導体界面近傍の不純物，或いは界面の乱れによるトラップ準位などである．これらは半導体基板そのものの乱れや FET 作製プロセスにより生じる界面の汚染によって引き起こされる．ドーブされた電荷はこのような準位に捕獲され，自由キャリアとして振る舞うことができない．特に酸化物半導体の場合，平坦な表面を得ることが困難なことによる界面準位が大きな閾値を生んでしまう要因であると思われる．

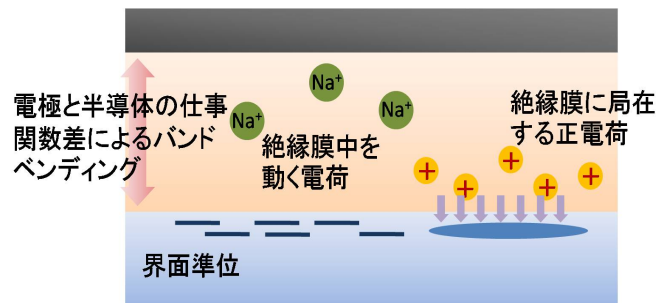


図 1.9: 閾値及びデバイス動作に影響を与える様々な要因.

1.4. 電界誘起キャリアドーピング

単位面積当たりのトラップ準位数を n_{trap} とすると，これに起因する閾値電圧は単純には

$$n_{trap} = \frac{C}{q} V_{th} \quad (1.3)$$

となる．ゲート電圧と自由キャリア密度の関係は以下のようなになる．

$$n_{free} = \frac{C}{q} (V_G - V_{th}) \quad (1.4)$$

1.4.3 FET のデバイス特性

実際に静電誘起キャリアドーピングをおこない，キャリアが適切にドーピングされていることを確かめるには，ソースドレイン電極間に電位差を与えてチャンネルに流れる電流（ソースドレイン電流）を測定すればよい．ゲート電圧が閾値より大きく，半導体界面にチャンネル層が形成されている場合における典型的なソースドレイン間の電圧電流特性は図 1.10 のようになる．ドレイン電流の振る舞いはドレイン電圧の大きさによって大きく 2 つの場合に分けることができる．すなわち，ドレイン電圧が比較的小さいときは電圧の増加に伴ってドレイン電流も増加する傾向にあり（線形領域），ドレイン電圧がある値に達するとそれ以上ではドレイン電流はあまり変化しなくなる（飽和領域）．これらの領域で FET が実際にどのような電子状態にあるのかを示しているのが図 1.11 である．

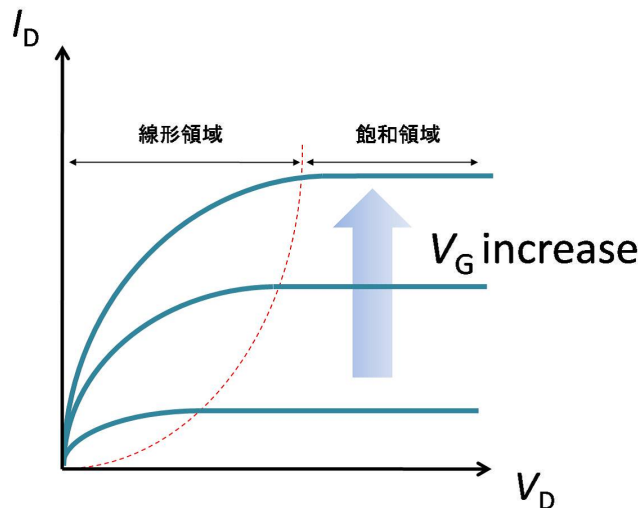


図 1.10: 典型的な MOSFET のドレイン電圧電流特性

1.4. 電界誘起キャリアドーピング

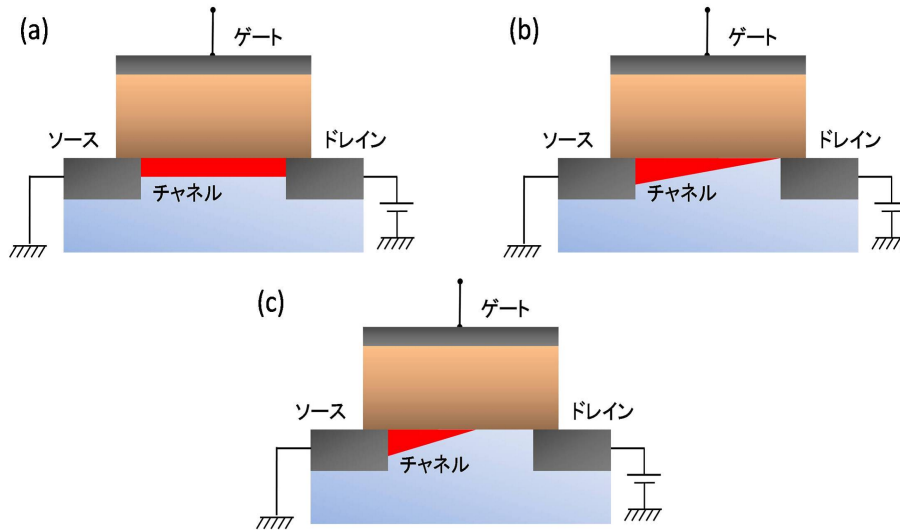


図 1.11: (a) 線形領域 . (b) ドレイン電圧が飽和電圧に等しいとき . (c) 飽和領域

ドレイン電流が小さい場合，電子はソースからドレインまで誘起されているため，チャンネルは抵抗である．従ってドレイン電圧が増加すれば電流も増加する．これを線形領域という．ドレイン電圧がある閾値に達すると界面における実効的なゲート電圧が減少するため，チャンネル層はドレイン側から消滅し始める．この状態はピンチオフ (pinch-off) と呼ばれている．ピンチオフではドレイン端にドーパされる電荷がちょうど 0 であるから，ドレイン電圧の閾値は $V_G - V_{th}$ に等しい．さらにドレイン電圧を上げるとチャンネル端はソース電極側に移動してゆく．このときチャンネル端の電圧は閾値に等しいままであるから，チャンネルを流れる電流はドレイン電圧に関わらず一定である．この領域を飽和領域という．

これについてさらに詳細な解析を加える．まずドレイン電圧がゲート電圧よりも十分小さい線形領域の状態にいる場合を考える．ソースからドレインに向かって x 軸を取り，ソース端子を $x = 0$ ，ドレイン端子を $x = L$ とする．任意の x におけるチャンネルの電荷密度 Q は

$$Q = -C(V_G - V_{th} - V_A(x)) \quad (1.5)$$

ここで C は単位面積当たりの FET キャパシタンス， $V_A(x)$ はその点でのチャンネルの電位である． $V_A(x)$ については通常接地してあるソース端子においては 0，ドレイン端子 ($x = L$) においてはドレイン電圧 V_D に等しいという条件のみ付け加える．チャンネル内の電子はソースドレイン間の電界によって駆動され電流となる．任意の位置での電流は

$$I(x) = \mu \times Q \times W \times E(x) \quad (1.6)$$

である．ここで μ はチャンネルの移動度， W はチャンネル幅， $E(x)$ はドレイン電圧による位置 x の電

1.4. 電界誘起キャリアドーピング

場を表している．また $E(x)$ は電圧と

$$E(x) = -\frac{dV_A(x)}{dx} \quad (1.7)$$

の関係にあるはずである．チャンネル内に湧き出しは存在しないので電流は場所によらず一定であることから，(1.5) と (1.7) を (1.6) に代入すると電流は

$$I(x) = \mu \cdot W \cdot C \cdot (V_G - V_{th} - V_A(x)) \cdot \frac{dV_A(x)}{dx} \quad (1.8)$$

この表式を全区間で積分すれば

$$\int_0^L I(x) dx = I_D \cdot L = \mu W C (V_G - V_{th} - \frac{V_D}{2}) V_D$$
$$I_D = \mu \frac{W}{L} C (V_G - V_{th} - \frac{V_D}{2}) V_D \quad (1.9)$$

これが線形領域でのドレイン電圧電流特性である．特にピンチオフ領域においては

$$V_{Dsat} = V_G - V_{th} \quad (1.10)$$

が成立しているので飽和電流は

$$I_{Dsat} = \frac{1}{2} \mu C \frac{W}{L} V_{Dsat}^2 \quad (1.11)$$

となる．飽和領域においてはチャンネルは減少し，ドレイン側にはキャリアのいない空乏層が形成されている．さらにドレイン電圧を上げてこの空乏層が広がるだけなので，ピンチオフ以降のソースドレイン間の微分伝導率は0である．すなわち

$$\frac{dI_D}{dV_D} = 0 \quad (1.12)$$

であるから飽和領域における電流はピンチオフの場合に常に等しい．

1.4.4 電界効果移動度

電界効果ドーピングされたキャリア層の物理的な特性の一つの指標となるのが電界効果移動度である．ドレイン電流は

$$I_D = \mu \frac{W}{L} C (V_G - V_{th} - \frac{V_D}{2}) V_D \quad (1.13)$$

で表わされる．これを V_G で微分すると

$$\frac{dI_D}{dV_G} = \mu \frac{W}{L} C V_D \quad (1.14)$$

これより電界効果移動度 μ_{FE} は以下のように定義される．

$$\mu_{FE} = \frac{L}{W} \frac{1}{C V_D} \frac{dI_D}{dV_G} \quad (1.15)$$

1.5. 研究の目的

四端子測定において電圧端子間距離を D , 端子間の電位差を $V_{12} = V_1 - V_2$ とすると, 二次元抵抗率 R_{\square} は

$$R_{\square} = \frac{W}{D} \frac{V_{12}}{I_D} \quad (1.16)$$

と表わされる. これより電界効果移動度の表式 (1.15) は

$$\mu_{FE} = \frac{1}{C} \frac{d}{dV_G} \left(\frac{1}{R_{\square}} \right) = \frac{1}{C} \frac{d\sigma}{dV_G} \quad (1.17)$$

と表わせる.

1.5 研究の目的

酸化物に対する電界効果キャリアドーピングの難しさはある意味, 清浄な酸化物界面を得ることの難しさでもある. 我々は平坦な表面を容易に得ることのできる酸化物絶縁体である SrTiO₃, KTaO₃ を利用し, なるべく表面にダメージを与えないデバイス作製プロセスを利用しながら特性のよい FET 作製を作製した. また低温での物性制御を見据えて, 低温で動作する FET を得ることを目指した. すなわち

- 有機物パリレンをゲート絶縁膜に利用した, 従来よりも特性のよい SrTiO₃-FET, KTaO₃-FET の作製.
- 室温及び低温での輸送特性の測定と極低温まで動作するデバイス作製.

第二章ではゲート絶縁体物質であるパリレンを利用した FET の作製プロセスとデバイス測定について説明する. 第三章では SrTiO₃ を用いた FET の, 第四章では KTaO₃ を用いた FET についてのデバイス特性についての結果を述べる.

第2章 試料作製と測定

2.1 はじめに

SrTiO₃ および KTaO₃ 単結晶への電界誘起キャリアドーピングをおこない固体中の電子系の物性を制御するためには、酸化物単結晶基板上に電界効果トランジスタを作製してその輸送特性を測定することが必要である。Ueno ら [13] は FET の絶縁物質としてアモルファス Al₂O₃ を利用した SrTiO₃ の電界効果トランジスタを動作させることに成功した。また、Nakamura ら [13] は絶縁物質として、有機物であるパリレン (Parylene) を用いた SrTiO₃-FET を作製し、室温から液体ヘリウム温度まで動作させてその特性を詳細に調べている。Ueno らは Al₂O₃ をスパッタする際の条件によっては基板に余計なキャリアがドーピングされて伝導体的な振る舞いをしてしまうと述べている。また Nakamura らが Parylene を絶縁物質として選択した理由は、この物質が Al₂O₃ よりも成膜の際の基板へのストレスが少ないため、酸化物基板を出来るだけ清浄かつ平坦に保つことが可能だからである。これにより極力界面の乱れを少なくし、トラップ準位の減少及び移動度の向上を狙っている。彼らを含め、SrTiO₃ への電界効果ドーピングに関する研究を進める多くのグループの報告により、絶縁物質の成膜時に酸化物界面に与えるダメージが FET 特性に大きな影響を及ぼすことがわかってきている。多くのゲート絶縁膜材料の中で我々のグループはパリレンを使用した酸化物 FET 作製の研究をおこなった。

本研究では主に以下の作業及び実験をおこなった。

- 研究室内での FET 作製装置と低温までの輸送特性測定系の立ち上げをおこなった。
- SrTiO₃ 単結晶基板を用いた FET を作製してデバイス動作を確認し、立ち上げた装置でのデバイス作製条件の決定を行った。
- パリレンを利用した KTaO₃-FET を作製し、室温及び低温での輸送特性を測定した。

バルク試料におけるホール測定の結果では KTaO₃ は SrTiO₃ に比べて移動度が高い。KTaO₃ の単結晶基板に parylene で FET を作製することができれば、移動度の大きな優れた特性をもつ酸化物トランジスタを得ることができると考えられる。この章の前半は有機絶縁物質 parylene の性質とその成膜の方法について詳細な説明を加え、酸化物 FET の作製プロセスを紹介する。

この章の後半では、作製した酸化物トランジスタの抵抗測定と測定系の製作について説明する。電界によってキャリアがドーピングされているかどうかは、ソースドレイン間の抵抗を測定すればわかるが、ソースドレイン間の二端子抵抗測定に加えて四端子抵抗測定も可能となるよう、チャンネル部分に電圧測定用端子を作りこんだ FET を使用した。さらに我々は MISFET の半導体部にノン

2.2. パリレン (PARYLENE)

ドープの酸化物絶縁体を用いている。従ってゲート電圧がゼロであるならば、ソースドレイン間の抵抗は大変高い ($> 10^{12}$)。そしてある程度のゲート電圧を印加するとキャリアが注入されて半導体あるいは金属に変化するため、抵抗は低下するはずである ($\sim 10^6$)。このようにスイッチングによる電気抵抗の変化を見るには何桁ものオーダーにわたって抵抗変化を測定せねばならない。特に高抵抗状態における測定では1ピコアンペアオーダーの電流の測定が必要となるため、微小電流測定可能な電流計とノイズを極力抑えた測定系が必要となる [12]。高抵抗測定系にまつわる我々の工夫についても紹介を加える。

2.2 パリレン (Parylene)

パリレンは有機ポリマーの一種であり、その薄膜は優れたバリア特性、絶縁特性から様々な分野においてコーティング素材として使用されている。例えば、高い絶縁性、耐水性、成膜時の隙間浸透性等から複雑な電子回路の、或いは車載回路等の過酷な状況下に置かれることの多い電子機器のコーティング剤として重宝されている。パリレンの正式な名称は poly-para-xylylene であり、その一部を様々な官能基で置換した誘導体も一般にパリレンの名称で呼ばれている (図 2.1, 表 2.1)。

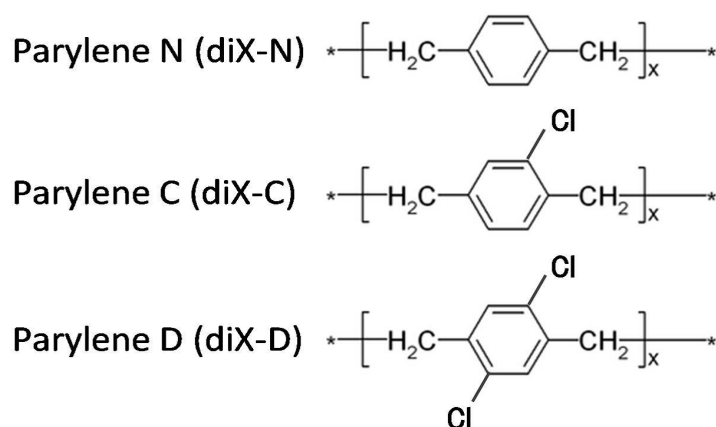


図 2.1: パリレン (Parylene) 及びその代表的な誘導体. コーティングにおいては Parylene-C が標準的に用いられている。これ以外にも様々な用途に応じて、耐熱性や耐薬品性等が強化された多くの誘導体が開発されている。

2.2. パリレン (PARYLENE)

パリレン	比誘電率	耐電圧 (MV/cm)	体積抵抗 (cm)
Parylene-N	2.65	2.76	1.4×10^{17}
Parylene-C	3.10	2.72	6.9×10^{16}
Parylene-D	2.90	2.65	3.1×10^{16}

表 2.1: パリレンの電気特性

キャパシタという点から考えると、絶縁膜として優れた材料としては誘電率が高いことと単位厚みあたりの耐電圧が大きいことの二点が挙げられる。

$$n_{\square} = \frac{C}{q} V_G = \epsilon \frac{1}{q} \times \frac{V}{d} \quad (2.1)$$

の関係より、単位面積当たりのキャリア数密度 n_{\square} は絶縁膜の誘電率 ϵ と絶縁膜中の静電場 (V/d : 単位厚みあたりのゲート電圧) の大きさに比例する。従って絶縁膜の誘電率と耐電界が大きい物質の方が注入できる最大のキャリア数は多くなり、ひいてはゲートによって制御できる電子相の幅も広がるはずである。

	比誘電率	耐電圧 (MV/cm)
Parylene-C	3.10	2.72
HfO ₂	~ 20	8.5
Al ₂ O ₃	~ 10	~ 6
SiO ₂	3.9	~ 10

表 2.2: 代表的なゲート絶縁材料の電気特性

表 2.2 は実際のエレクトロニクスで使用されている材料も含め代表的な絶縁体の比誘電率と耐電圧を表している。Parylene は誘電率や耐電圧の点では他の材料に比べて優れているとはいえない。むしろ先の議論からは Al₂O₃ 等その他の絶縁材料を使った方が良い特性をえることができると考えられる。しかし、Parylene にはその他の材料にはない FET を作製する際に長所となるべき特性が存在する。それが、基板へのストレスが小さい成膜プロセスである。

図 2.2 は Parylene の成膜プロセスを表している。一般的なコーティングの際に使用される元物質はパラシクロファンと呼ばれる 2 量体であり、これは市販されているものを利用している。図に示した特殊な構造の真空容器中にこの物質を入れ、ヒーターで 120 程度まで加熱させる。それによって 2 量体は気化し、700 に熱した石英管中を流れることによってさらに熱分解されて単量体パラキシリレンとなる。さらに基板の設置された容器に流入したパラキシリレン蒸気は室温

2.2. パリレン (PARYLENE)

に保たれた酸化物基板上で重合して絶縁膜を形成する．このプロセスの長所は，基板を常に室温に保ちながら成膜できることである．スパッタリング等の他の手法では基板を高温に保たねばならないことが多く，加熱時に基板に与えるストレスはどうしても大きくなりがちである．またこのような方法では強制的にはじき出されたターゲット物質によって基板を傷めることも多く，好ましくない．それに対してパリレンの成膜プロセスにおいては，基板温度は室温のままで，穏やかに重合反応が進行するので基板に与えるダメージは少ない．FETをはじめとしたデバイスでは基板界面の乱れの影響が特性に反映されるため，絶縁膜の成膜時のダメージを極力少なくすることでFETの特性向上につながるはずである．実際有機物においてはパリレンをゲート絶縁膜とした特性のよいFETが得られている [15, 16] ．

2.3. 試料作製

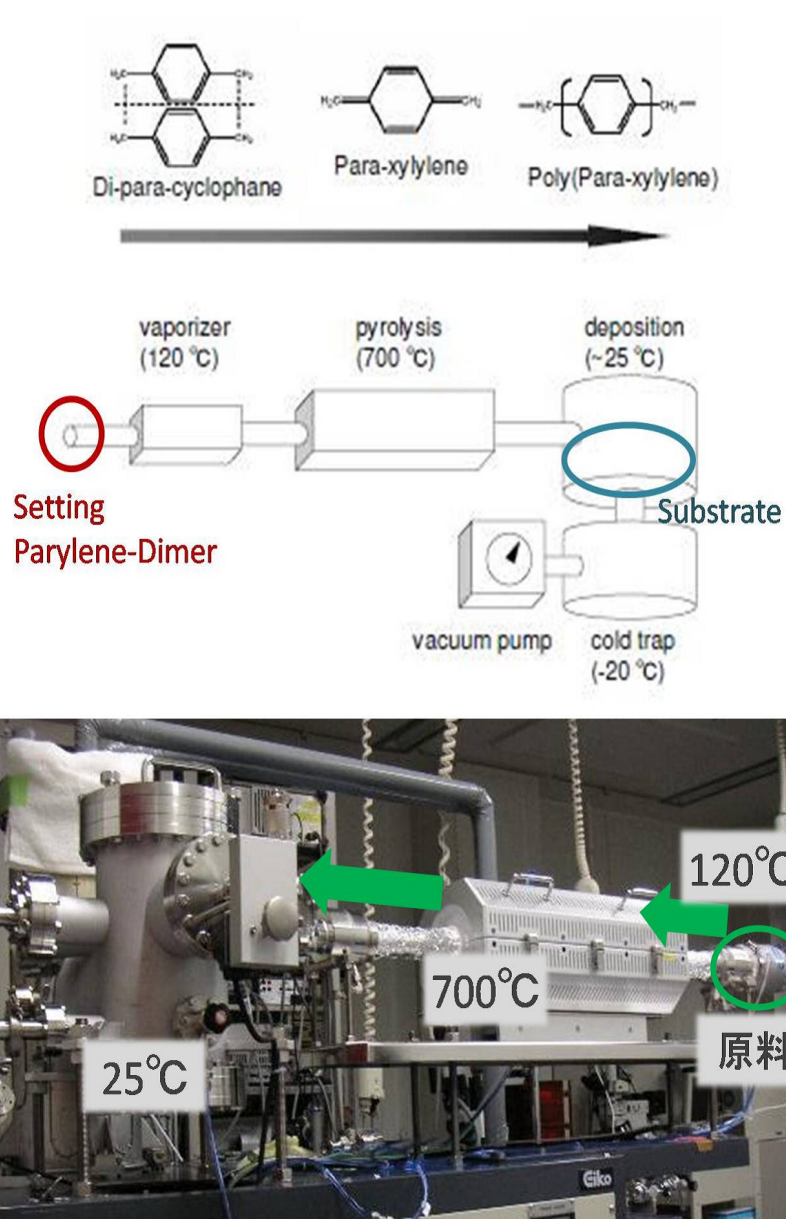


図 2.2: パリレン (Parylene) の成膜プロセス及び蒸着装置 (写真).

2.3 試料作製

今回使用した酸化物である SrTiO_3 及び KTaO_3 の単結晶基板はメーカー製造の (001) 方位 $10 \times 10 \times 0.5\text{mm}$ の大きさのものを利用している. SrTiO_3 はフルウチ化学と信光社の基板を, KTaO_3 は

2.3. 試料作製

アース製薬の基板を使っている．このうち信光社の SrTiO_3 基板は研磨されたのちに化学エッチング処理によってさらに表面の平坦化がなされている．その他の基板は研磨処理がされているのみである．研磨メーカーごとの基板の違いについては後の章において考察を加える．

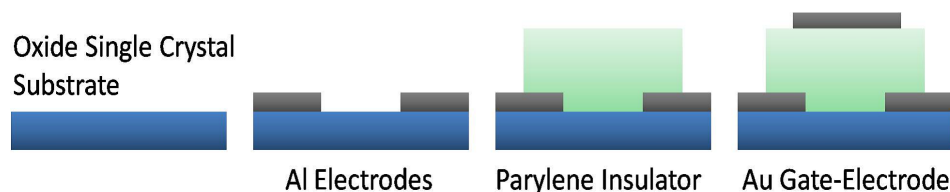


図 2.3: 試料作製.

まず，ソースドレイン電極及び四端子 Hall 測定用の電圧端子を蒸着する．これらの電極にはアルミニウムを使用しており，ニッケルマスクの上からタングステンボートの抵抗加熱によって数十 nm ほど蒸着する．その後にパリレンゲート絶縁膜を成膜する．成膜には特殊な真空チャンバーを利用し，先述したプロセスによって成膜する．油拡散ポンプによってチャンバー内を 10^{-3} Pa 以下の真空状態にしたのち，ヒーターを加熱してパリレンを気化，分解させ，重合を開始する．この間余計なパリレンはポンプとコールドトラップによって常に除去され続ける仕組みとなっている．膜厚は数百 nm ~ $1\mu\text{m}$ 程度となるよう仕込む原料の量を調節する．今回は使用したパリレンは第三化成の diX-C(Parylene-C) である．最後に再び抵抗加熱によって金のゲート電極をパリレン膜上に蒸着する．厚さは数十 nm 程度である．

各工程で基板の上にゴミや塵がなるべくつかぬようにするために，マスクは使用ごとにアセトン，エタノール，純水で洗浄し，蒸着時には基板とマスクとの間にスペーサーを挿んでマスクによる基板汚染を防いでいる．

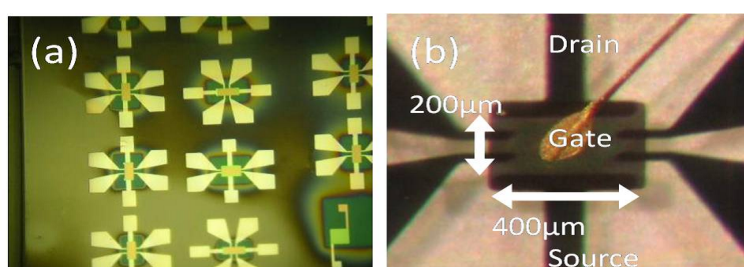


図 2.4: 作製した KTaO_3 FET デバイスの写真.(a) $1 \times 1\text{cm}$ の基板に 9,10 個のデバイスを作製可能.(b) デバイスのチャンネルサイズは $200 \times 400\mu\text{m}$. Hall 測定可能なように 4 つの電圧測定端子を持つ．ゲート電極には $\phi 25\mu\text{m}$ の金線を金ペーストで固定し，コンタクトをとっている．

2.4 抵抗測定

チャンネルの電気特性を測定するために、ソースドレイン電極及び電圧端子を使って二端子抵抗測定又は四端子抵抗測定をおこなう必要がある。作製したサンプルは単結晶基板ごとチップホルダーにセットし、ソースドレイン電極と電圧端子はワイヤーボンディングで、ゲート電極は金ペーストと金線によってそれぞれホルダー側のターミナルへ接続している。測定には高抵抗測定が可能かつゲート電圧用の高電圧電源として利用可能な半導体パラメータアナライザー (Agilent 4155C) を用いている。また、室温における測定では半導体測定用室温プローバーを、低温における測定では、Quantum Design 社の PPMS を He 温度までの冷却機及び温度コントローラとして使用している。PPMS は高抵抗測定には向かないために測定器としては利用してはしておらず、その代わりに PPMS に挿入した試料へ直接ケーブルを通して 4155C へ接続することができるようにプローブを製作した。

2.4.1 高抵抗試料の測定

ゲート電圧が印加されていない SrTiO₃ 及び KTaO₃ は絶縁体である。従ってソースドレイン端子間に定電圧をかけた場合、その間の電流は非常に小さい (~pA)。また、高電圧をゲート電極に印加することで絶縁膜が破壊されるのを防ぐため、ゲート電極からの微小なリーク電流を正確にモニターする必要がある。このような高抵抗、微小電流の測定ではノイズ及び測定系のリークの存在に常に気を遣わなければ、たとえ高精度の測定器を使用している場合であっても、真の値を得ることはできない。主なノイズは外部電子機器からの輻射であり、リークはケーブル外部への漏れ電流である。

外部電磁波によるノイズについては測定系を金属でシールドした空間内に置くことによって大幅に抑制することができる。ケーブルも同軸ケーブルや金属被覆されたものを使い、外線をグラウンドに接続することで同様の効果を期待することができる。またケーブルは長ければ長いほど周囲のノイズを拾いやすい。測定器から試料までの距離をなるべく短くすることによってもノイズの低減が可能である。

ケーブルからの漏れ電流も誤差の要因となりやすい。微小電流測定においては、信号線を被覆していたとしてもそこからのわずかな漏れ電流も測定値に大きく影響することがあるためである。この問題の対策としては、高抵抗の誘電体を使用した同軸ケーブルを利用することとケーブルにガード線を取り付けることによって漏れ電流を抑えることが挙げられる。高抵抗の誘電体にはポリエチレンやテフロンを利用した同軸ケーブルを使うことで通常は十分であり、同時に外線によるシールド効果を得ることができる。

2.4. 抵抗測定

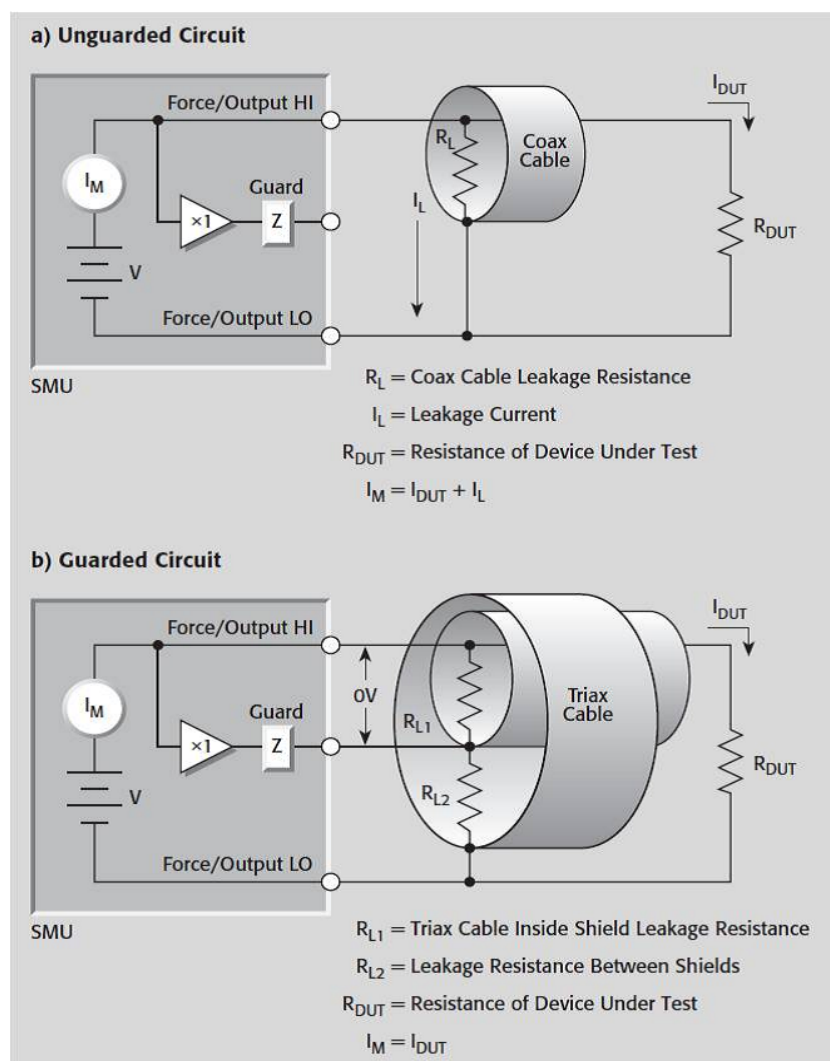


図 2.5: ガードの原理.(a) 二重同軸の場合．中心線は信号はハイレベル側に，外シールド線はローレベル側にそれぞれ接続する．(b) 三重同軸の場合．内側のシールド線は適当なアンプを介して中心線と等電位となるようになっている．[17]

2.4. 抵抗測定

それに加えてガード線を設けることで格段にリークを減少させることができる．図 2.5 はガードの基本的な原理を表している．通常の二重同軸ケーブルの場合，中心線は信号用，外側シールド線はグラウンド (測定器のローレベル側) に接続して使用される．この場合測定器は，試料を流れる電流とケーブルの漏れ電流を両方測定してしまうこととなり，特に試料が高抵抗で試料電流が微小な場合はこの影響は大きい．そこで (b) のようにもう一つのシールド線を中心線と外線の間に挿む．この内側の線 (ガード線) はローインピーダンスでゲイン 1 のアンプを介して信号線と等電位になるようにしている．このとき中心線とガード線は等電位のため，二線間の漏れ電流はない．ガード線とシールド線間には電位差があるために原理的には電流が流れるが，これは測定回路には関係ないので無視してよい．従って試料電流のみが測定にかかることとなる．三重同軸ケーブルはこのように中心線，誘電体，ガード線，絶縁体，外シールド線の三重構造になっており，高抵抗測定に適している．大概の半導体パラメータアナライザはガード用の増幅回路を備えており，三重同軸を直接接続することで漏れ電流を抑制してくれるようになっている．

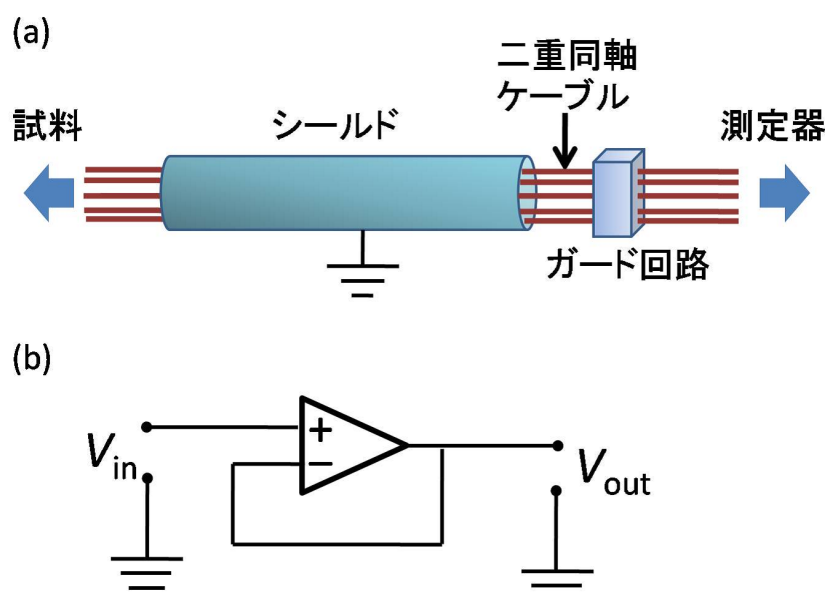


図 2.6: (a) ファンクションプローブモード図．(b) オペアンプを使った典型的なボルテージフォロワ回路．中心線電圧を入力し出力をガード線 (二重同軸ケーブルの外シールド線) に接続する． [18]

今回作製した低温用プローブは Quantum Design 社のマルチファンクションプローブをベースにした．半導体パラメータアナライザからプローブまでは三重同軸ケーブルを使用している．プローブにおいては，直径 1cm 程度のプローブ管内を複数本通せる適当な三重同軸が見当たらなかったため，外径 $\phi 1.8\text{mm}$ の二重同軸ケーブルを通して (図 2.6(a))．二重同軸の外シールド線はガード電位とすべく，オペアンプを使用したボルテージフォロワ回路 (図 2.6(b)) によって中心線と等電位にあるようにしている．オペアンプは入力抵抗のなるべく小さいものを利用する必要がある．今回は National Semiconductor 社の LMC662 オペアンプを使用した．入力バイアス電流はお

2.4. 抵抗測定

よそ 2fA である．さらにプローブの金属シールド管をグラウンドに落として外部ノイズ侵入を防いでいる．

2.4.2 FET の測定セットアップ

デバイスを作製した基板はチップホルダにセットし，ファンクションプローブ又は室温プローバーに設置して輸送特性の測定をおこなった．半導体パラメータアナライザーと 200V までの高電圧を印加可能な電源装置 (Agilent 41501B) を組み合わせて使用している．図 2.7 は通常の四端子測定用のセットアップである．ドレイン電極には電流駆動のために通常数 V の電圧を印加しておき，ソース電極は接地してある．半導体パラメータアナライザーは各測定チャンネルに，電圧印加電流測定または電流印加電圧測定のいずれかのセットアップが可能である．ゲート及びソースドレイン端子には電圧印加電流測定の設定で電源装置兼電流計として，四端子測定用の電圧端子には電流印加電圧測定 (電流=0A) の設定で仮想電圧計として用いている．

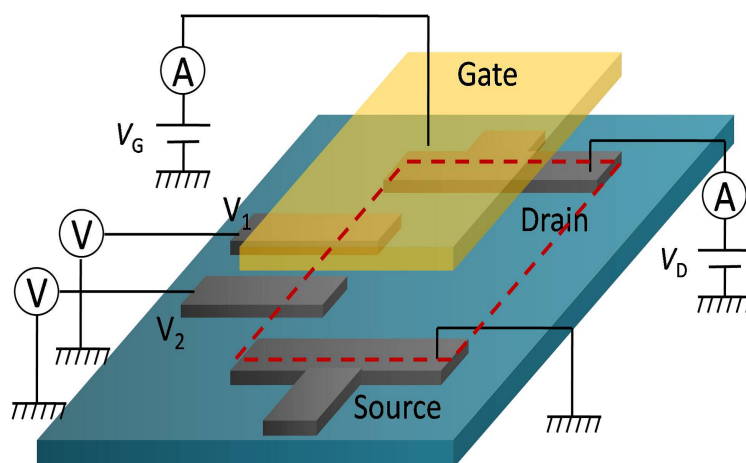


図 2.7: 四端子測定のセットアップ．

第3章 SrTiO₃ – FETとデバイスの諸特性

3.1 チタン酸ストロンチウム SrTiO₃

3.1.1 酸化物半導体材料

SrTiO₃ は基礎理学においても、工学においても非常に重要な物質である。この物質は立方晶ペロブスカイト構造を有し、ノンドーピングではバンドギャップが 3.2eV の透明なバンド絶縁体である。しかし少量の La ドーピング, Nb ドーピング, あるいは酸素欠損を導入することによって容易に電子が注入されて n 型半導体となる。SrTiO₃ が酸化物材料として優れている点は幾つか存在するが、まずその巨大な誘電率が挙げられる。

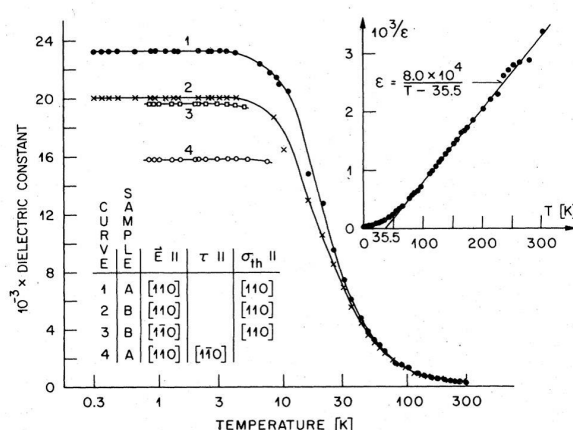


図 3.1: SrTiO₃ の比誘電率の温度依存性 . [19]

図 3.1 は SrTiO₃ の比誘電率を表わしている。比誘電率は室温で 300 程度でありこの値はかなり大きい。さらに低温でも常誘電性を保っており、 10^4 を超える性質がある。これは低温においては量子揺らぎの効果によって分極が整列しないためであると考えられている。SrTiO₃ と後に紹介する KTaO₃ は誘電性に関してこのような顕著な性質を示し、共に量子常誘電体と呼ばれる物質群に属している。このような大きな誘電性を持つため、セラミックコンデンサに利用されたり、ナノスケール LSI 技術に欠かせない *high-k* 絶縁材料への応用が期待されている。

図 3.2 は SrTiO₃ の移動度の温度依存性を測定したものである。室温ではおよそ $1\text{cm}^2/\text{Vs}$ という

3.1. チタン酸ストロンチウム SrTiO₃

酸化物半導体の中では比較的大きな値を示す。低温では $10^4 \text{cm}^2/\text{Vs}$ を超える大きな移動度を示す。これは SrTiO₃ の巨大な誘電率によって不純物の静電ポテンシャルの有効サイズが小さくなるため、キャリアの散乱を抑制するからであると考えられている。

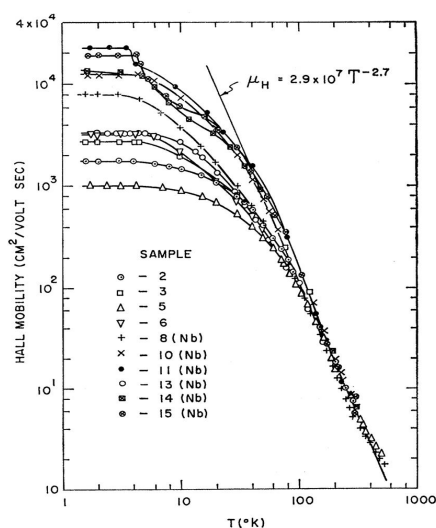


図 3.2: 化学置換によって電子を導入した SrTiO₃ の Hall 移動度 . [20]

別の大きな特徴は単位格子レベルで平坦な表面を持つ単結晶及び薄膜を作製することができるという点である。多くの酸化物において、清浄な表面を作り出すのは通常大変困難である。SrTiO₃ はその中でも表面処理技術が開拓されており、現在は単位格子 1 層の明瞭なステップテラス構造が観察できる単結晶基板を簡単に手に入れることが可能である。そのため他の多くの機能性酸化物薄膜成長のための基板として用いられている。これは FET によるキャリアドーピングにとって必要不可欠な性質である。単結晶表面の乱れを少なくすることでトラップ準位を減少させ、ドーピングしたキャリアが局在してしまうのを防ぐことができるためである。

3.1.2 電子物性

SrTiO₃ は比較的少数のキャリアドーピングによって絶縁体から半導体、金属まで電子相が変化する。さらにドーピングされた金属相はおよそ 300mK 以下では超伝導体に転移することが分かっている [21]。図 3.3 は SrTiO₃ 及び、その他の代表的な半導体及び超伝導体の状態相図の概略である。SrTiO₃ では、比較的低キャリア密度で超伝導転移する銅酸化物よりもさらに低いキャリア密度で金属、超伝導が実現されている。このように低キャリアドーピングによって物性が変化することも FET による相制御では有利である。ゲート電場によって誘起されるキャリア層の界面鉛直方向の実際の深さを 10nm 程度であると見積もって 2 次元キャリア密度に直すと、およそ $7 \times 10^{12}/\text{cm}^2$

3.1. チタン酸ストロンチウム SrTiO_3

のキャリアドーピングによって超伝導相まで到達できることになる(図 3.3 下図)。界面乱れによるトラップ準位等を見無視するとドーピング出来るキャリア量はゲート絶縁膜の耐電圧に依存している。パリレンでは原理的には $10^{13}/\text{cm}^2$ 程度までドーピング可能であるから、極低温で動作する FET が実現できれば SrTiO_3 の超伝導をゲート電界によってスイッチングすることも可能であると思われる。最近別のタイプの FET によって電界誘起の超伝導転移を実現したという報告もなされている。[23]

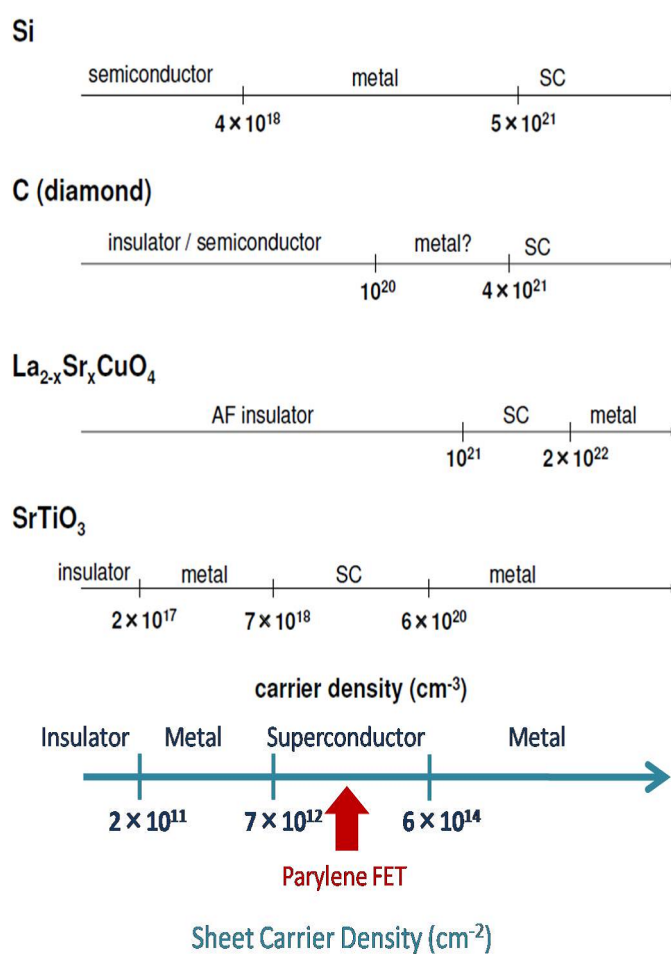


図 3.3: シリコン, ダイヤモンド, 銅酸化物高温超伝導体 $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ 及び SrTiO_3 の電子相図。横軸はキャリア密度。

3.2. パリレンゲート絶縁膜の特性

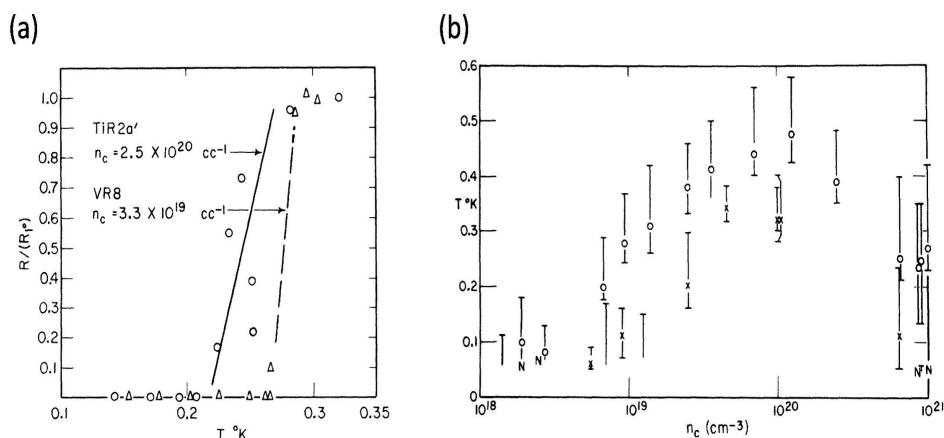


図 3.4: (a) ドープされた SrTiO_3 の抵抗の極低温での振る舞い．[21](b) 超伝導転移温度のキャリア密度依存性．[22]

3.2 パリレンゲート絶縁膜の特性

3.2.1 パリレン膜の耐電圧

FET 作製の前段階として、パリレン絶縁膜の特性を調べた。特に絶縁破壊電圧とパリレンの厚さの関係を把握しておくことはデバイス作製上重要である。我々はパリレンの厚みを色々変えた FET を SrTiO_3 基板上に作製し、素子の厚みと絶縁破壊電圧の関係を調べた。図 3.5 はパリレンの厚みを変えたいくつかの FET における絶縁破壊電圧の大きさをプロットしたものである。実験では半導体パラメータアナライザ付属の高電圧ユニットを利用してゲート電圧を印加しながらゲート電極からリーク電流をモニターしている。リークの急激な増加が確認されたゲート電圧を絶縁破壊電圧とした。なおパリレン膜厚は基板の高さをゼロとして測定した値を使用している。この図からは絶縁破壊までの耐圧はパリレンの厚みに比例しているということがわかる。ここから導かれる物質固有の耐電界はパリレンの場合、 2.53MV/cm であった。この値は知られている Parylene-C の耐電圧 2.71MV/cm におおよそ一致している。

3.2. パリレンゲート絶縁膜の特性

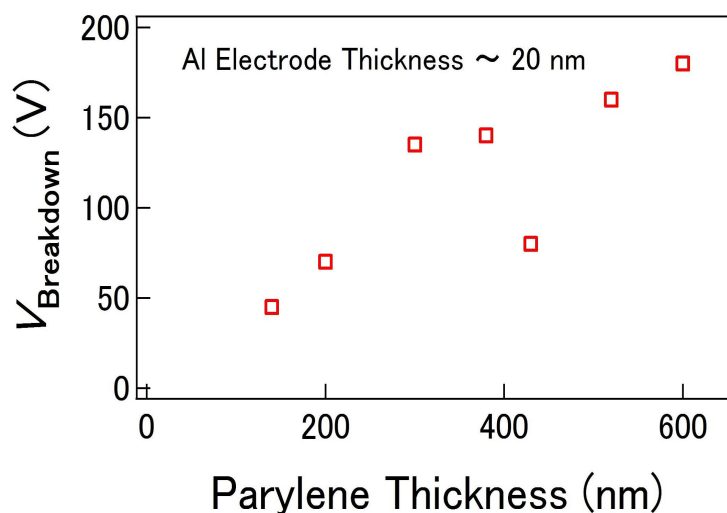


図 3.5: FET 絶縁破壊電圧のパリレン膜厚依存性 .

3.2.2 パリレン膜の誘電率

パリレン膜の誘電率が温度によって大きく変化してしまう場合キャパシタンスはもはや一定ではない。FET 特性の温度変化依存性を調べる際にはこのことを考慮しなければならないので、予めパリレンの誘電率の温度依存性を調べた。図 3.6(a) にあるようにシリコン基板上にパリレンを Al と Au で挟んだ平行平板キャパシタを作製した。このキャパシタンスを LCR メータで測定してパリレンの比誘電率を求めた(図 3.6(b))。結果的にはパリレンの誘電率は 4K まではほとんど変化しないことがわかった。

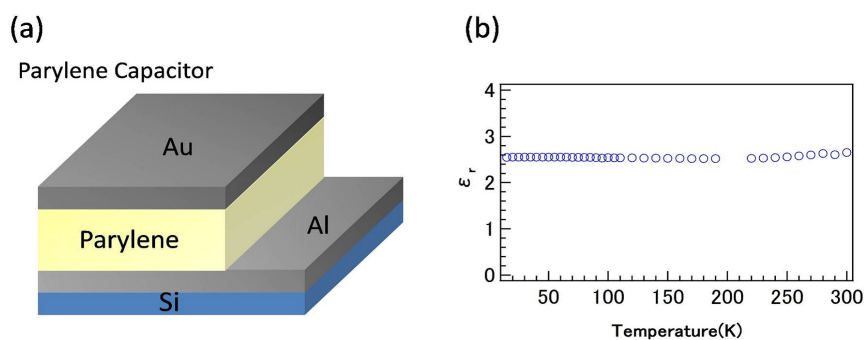


図 3.6: (a) シリコン基板上に作製したパリレンキャパシタ (b) 4K までは誘電率の温度依存性はほとんどないといえる。

3.2.3 金ペーストの影響

FET を測定する際、ゲート電極に導線 (25 μ m 金線) を固着させるために金ペーストを利用して、界面に余計なダメージを与えぬよう FET は常に室温以下に保つため、金ペーストも焼きつけタイプではなく、室温乾燥タイプのもの (徳力化学 シルベスト 8560-1A) を利用した。図 3.7 はゲート電極に金ペーストを塗布してから大気中で何時間乾燥させるかによってゲート電極のリーク電流がどのように変化するかを測定したものである。30 分、2 時間、6 時間の 3 つの場合について測定を行っている。どの場合も絶縁破壊を起こす電圧は等しいが、リーク電流の大きさは時間をかけて乾燥させたほうが明らかに小さい。高電圧をかけることによってパリレン膜中への金粒子のマイグレーションが起こり、リーク電流の増加を引き起こしている可能性がある。今回使用している金ペーストは室温 1.5 時間以上乾燥が標準となっているものだが、実際に FET のゲート電極上に使用する場合はペーストを塗布してから室温で一晩以上放置してペーストを完全に固化してから測定をおこなうようにしている ..

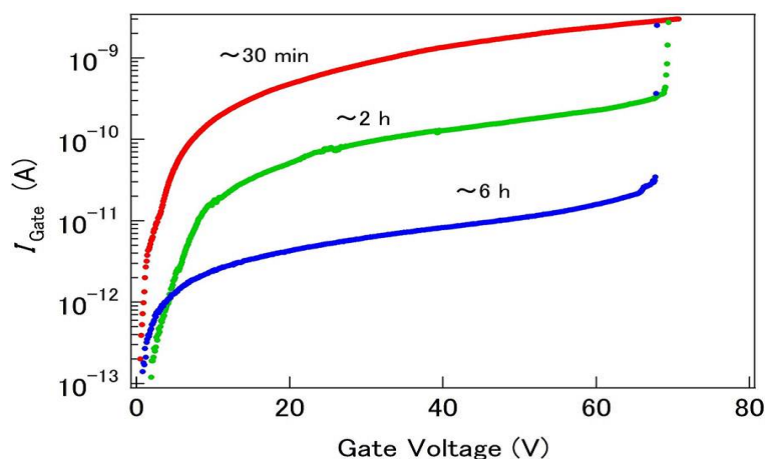


図 3.7: ゲート電極上の金ペーストの乾燥時間と、ゲート電圧掃引時のリーク電流との関係。

3.3 SrTiO₃ – FET の室温特性

3.3.1 SrTiO₃ 単結晶表面

今回使用した SrTiO₃(001) 単結晶基板はフルウチ化学及び信光社の 2 つのメーカーから購入したものである。フルウチ化学の基板は研磨のみがなされたものであり、信光社の基板は研磨後さらにエッチングを施して平坦化処理がなされている。基板がどれだけ清浄で平坦かは FET 動作に大きく影響を与える。我々は FET を作製する前に原子間力顕微鏡 (AFM) で 2 種類の基板表面を観察した。図 3.8(a),(b) はそれぞれエッチングなし、エッチングありの SrTiO₃ 基板表面の AFM 像である。両方の基板ともステップテラス構造が確認できるが、明らかのようにエッチング処理をして

3.3. SrTiO₃ – FET の室温特性

ある基板の方がより平坦であることがわかる．今回はアニール等の処理は特に施さず，入手したままの基板の上に FET を作製している．

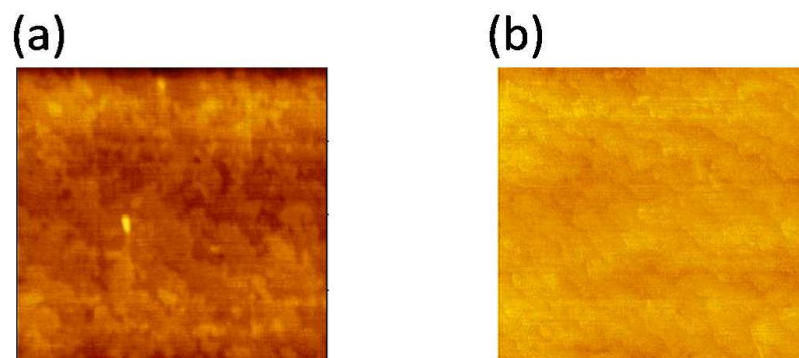


図 3.8: (a) フルウチ化学の SrTiO₃ 基板．エッチングなし．(b) 信光社の SrTiO₃ 基板．エッチングあり．共に 2×2μm.

3.3.2 デバイス特性

エッチング処理の施されていないフルウチ化学と施されている信光社の 2 種類の基板について同様に FET を作製した．図 3.9 はゲート電圧に対するドレイン電流特性の結果である．どちらの基板もあるゲート電圧を境にドレイン電流が大きく増加しており，電界効果によるキャリアドーピングに成功していることがわかる．複数の FET を作製して動作特性を比較したが，結果としてエッチング処理の有無は FET の特性にほとんど関係ないことがわかった．ゲート閾値やリーク電流の差などはメーカーの違いというよりもデバイス個々の性能の差である．AFM 像ではエッチング処理をしている基板の方が清浄なステップテラス構造が観察されるにもかかわらず，その特性は，デバイス間のばらつきを平均すれば，エッチング処理していない基板とほとんど大差がない．AFM では表面のステップテラス構造の大きさの違いは確認できるが，どれほどトラップ準位が存在するのかを知ることはできない．エッチング処理によって界面はより平坦になっているが，酸素欠損などのミクロな乱れはエッチングではあまり取り除くことはできないのかもしれない．理由は不明であるが，いずれにせよデバイス特性においては AFM で観察できるような界面の物理的な違いは，少なくとも室温においては，あまり関係ないようである．

3.3. SRTiO₃ – FET の室温特性

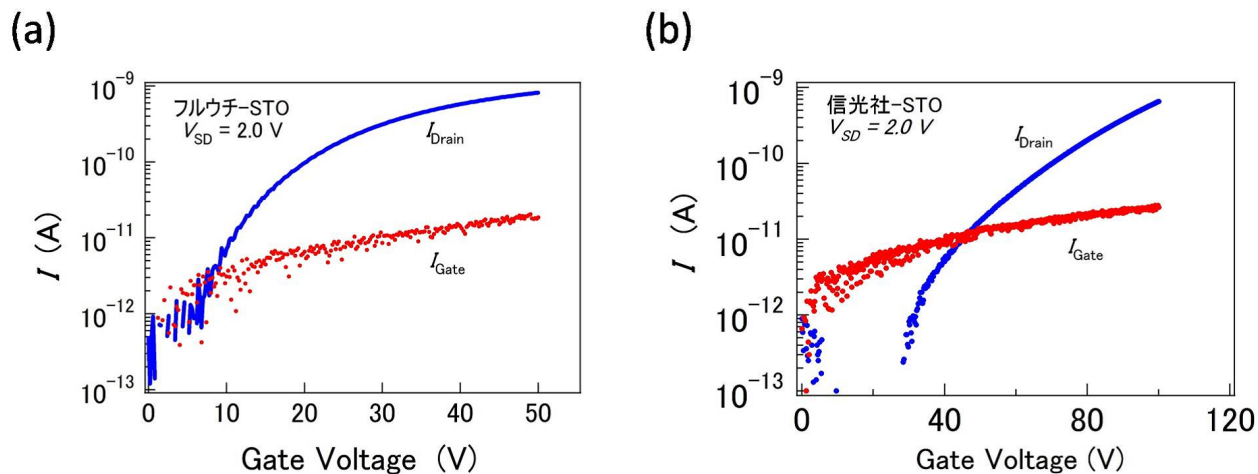


図 3.9: (a) フルウチ化学の基板．エッチング処理なし．(b) 信光社の基板．エッチング処理あり．デバイス特性における 2 社の基板の差はほとんど確認できなかった．

我々はパリレンを使った室温で動作する SrTiO₃-FET の作製に成功した．図 3.10 は各ゲート電圧に対してドレイン電圧電流特性をプロットしたものである．典型的な FET の電流電圧特性が確認できている．

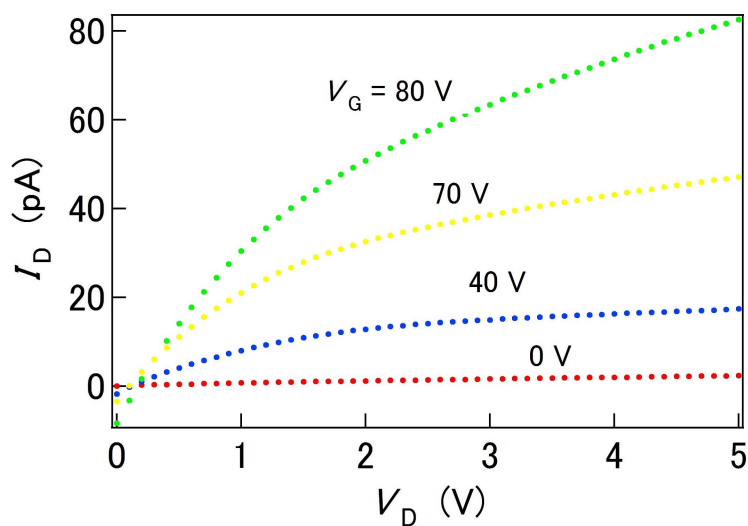


図 3.10: SrTiO₃-FET の各ゲート電圧におけるドレイン電圧-ドレイン電流特性．

3.3.3 電界効果移動度

図 3.11 はある FET のドレイン電流，及び電界効果移動度のゲート電圧特性である．典型的な MOSFET の場合，電界効果移動度のゲート電圧依存性は小さい．しかし我々の FET の場合，ゲート電圧に対して移動度が単調に増加する傾向にある．この試料の場合，閾値である 10V から移動度が増加しはじめ，さらに 50V 付近において再び大きく増加している． $Q = CV_G$ から算出した 50V におけるキャリア密度は $1.6 \times 10^{12}/\text{cm}^2$ である．キャリアの注入による金属絶縁体転移によってキャリアの性質が大きく変化したことが電界効果移動度の急激な増加につながっているのかもしれない．あるいはまったく別の見方であるが，チャンネル層は，ゲート電圧によって成長するキャリア密度が不均質なドメインの連結であると仮定する．するとある大きさ以上のドメインが大半を占めるようになると急激にドメイン同士のパスがつながって電流の増加を引き起こす，マクロなパーコレーション転移的な効果によって電界効果移動度の見かけの上昇につながっているとも考えられる．

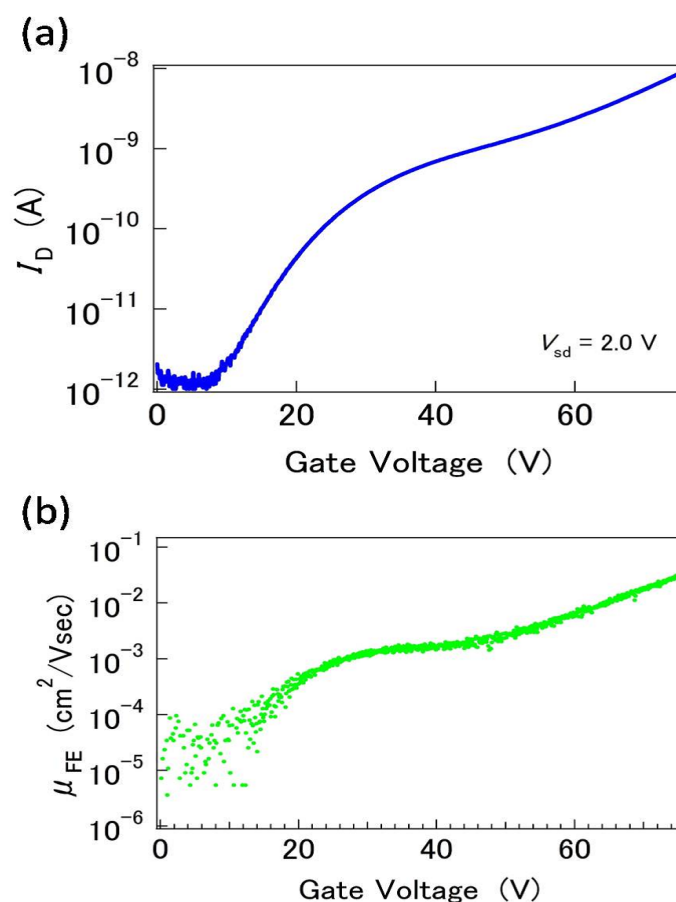


図 3.11: (a) ドレイン電流特性.(b) 電界効果移動度.

3.3.4 ゲート掃引時の履歴

ゲート電圧掃引によるドレイン電流特性にはいくつかの特徴がみられる．その一つは，ゲート掃引を繰り返すほどデバイスの応答がよくなってゆくということである．これはほぼすべての FET にあてはまる特徴であった．図 3.12 はある SrTiO₃-FET において 0V から 50V のゲート電圧掃引を 3 回繰り返した結果である．回を重ねるごとにドレイン電流の大きさは大きくなってゆく．閾値は多少の増減はあるものの大きな変化はなかった．さらに，この FET を一時間放置した後に同様の掃引をおこなうと，ドレイン電流の大きさは放置前の最後の掃引よりも減少することもわかった (図 3.13) ．

この現象の確かな理由は不明であるが 1 つの考えうる理由としては，一度ゲート電圧を印加した場所にはある時間だけ誘起されたキャリアが残留するからである．ゲート絶縁膜界面がいわゆるフラッシュメモリの効果を持つとすれば，同じゲート電圧でも回を重ねるごとにドーピングするキャリア数は多くなり，従ってドレイン電流は増加することが説明できる．また別の理由としては，誘起されるキャリア密度には場所ごとに大きな不均一性があり，一度ゲート電圧を印加した場所はその後は誘起されるキャリア密度の改善が起こる，ということも考えられる．すなわち場所ごとに局所的なキャパシタンスの値を持っているが，それらは何回もゲート電圧を印加し続ければ次第に理想的なキャパシタンス，FET のマクロな構造のみで求められるもの，に近づいてゆくということである．この立場に立つと，掃引の回を重ねるごとにソースドレイン電流の流れやすい領域が広がるため，電流は大きくなることが説明される．

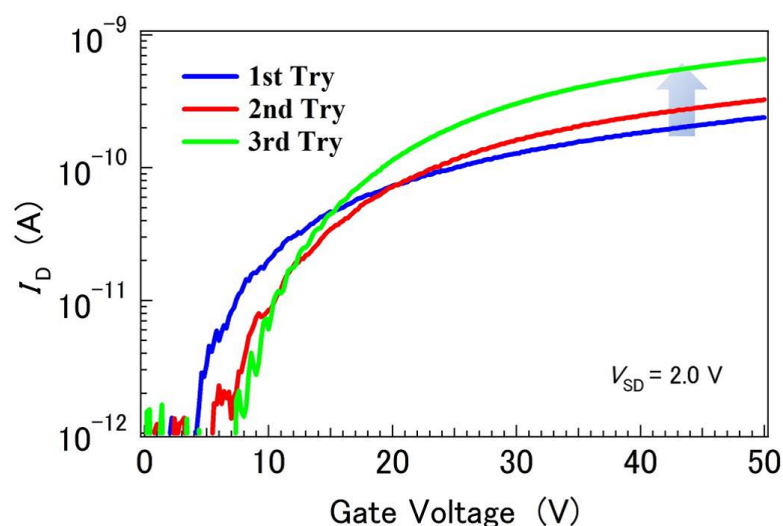


図 3.12: あるデバイスにおいて連続して三回のゲート電圧掃引を繰り返したときのドレイン電流応答の変化．掃引を繰り返すことによってだんだん FET の応答がよくなる．閾値の変化はあまりない．このデバイスは合計九回の同じ掃引を実行したが，どの場合も閾値電圧は 5V から 8V の間にあった．

3.4. チャネルドメインの不均質性

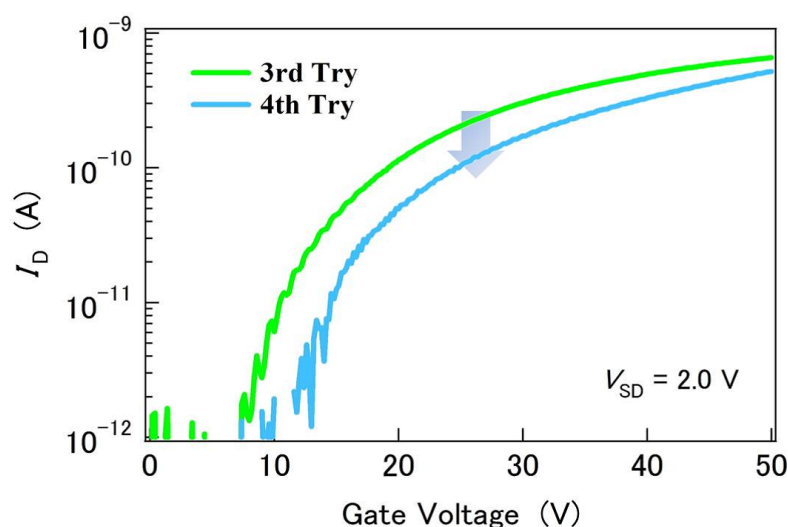


図 3.13: 図 3.12 と同一 FET における 3 回目と 4 回目のゲート電圧掃引におけるドレイン電流応答の変化。3 回目と 4 回目の掃引は一時間間隔をおいている。

3.4 チャネルドメインの不均質性

3.4.1 チャネルドメインの不均質性

図 3.14 はある試料における四端子測定の結果を表している。ドレイン電極は 2V, ソース電極は 0V に設定してドレイン電流のゲート電圧依存性及び、電圧端子 V_1, V_2 の電圧を測定している。ゲート閾値は 20V 程度であることがわかる。電圧端子はソースドレイン間距離を 3 等分する位置にそれぞれ蒸着されている。そのためゲート電圧 20V 以上でチャネルが形成されると理想的には 2V の $1/3, 2/3$ の電圧を示すはずである。しかし図からわかるようにそのようにはなっていない。しかも 1 回目のゲート掃引と 2 回目のゲート掃引における電圧端子の示す挙動は大きく異なっていることがわかる。これが正しいとすれば明らかにチャネルはソースドレイン間に均一に形成されていないことになる。しかも形成されるチャネルドメインはゲートをかけるごとにその分布が変化しているように見える。多くの FET でこのような現象が確認されている。まず可能性があるのは FET の形状によってキャパシタンスに局所的な差ができるというものであるが、膜厚計での観察では FET のゲート絶縁膜の厚さに大きな場所依存性は確認されていない。また、絶縁破壊しない程度に目一杯ゲートを印加し続ければいずれは理想的な均一チャネルになるのではないかと予想できるが、実際にゲートを印加してもそのようにはならなかった。

もちろん二つの電圧端子が正しい結果を示している FET も得られている(図 3.15)。同様にドレイン電圧は 2V である。閾値電圧以上ではこのデバイスの電圧端子はそれぞれ 1.5V, 0.7V 程度であ

3.4. チャンネルドメインの不均質性

るから、少なくともソース、ドレイン、電圧端子を含む領域においては理想的にチャンネルが形成されているのだろうと考えられる。

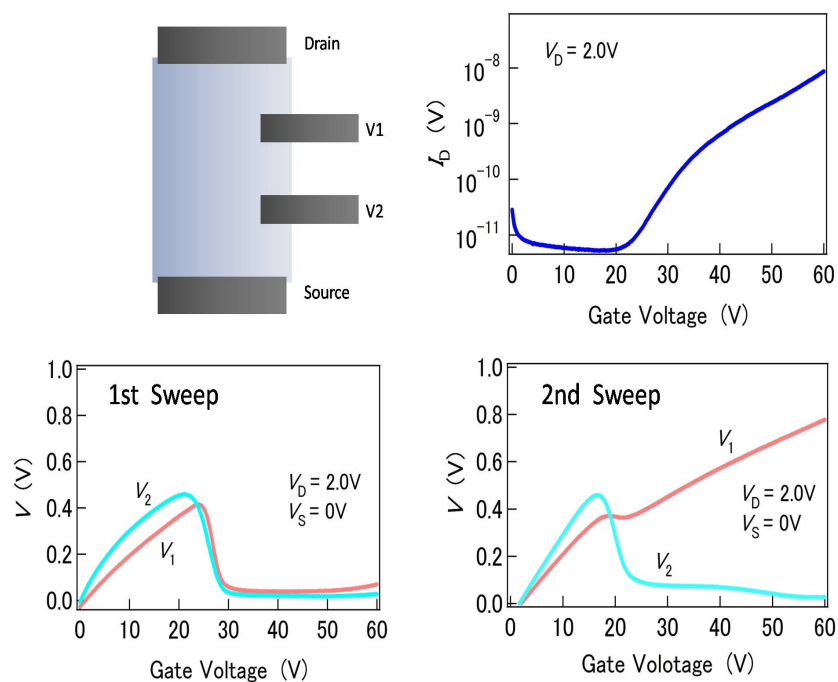


図 3.14: ドレイン電流のゲート電圧依存性と四端子測定用の電圧端子の示す電圧のゲート電圧依存性．2回の同様なゲート掃引を行った．

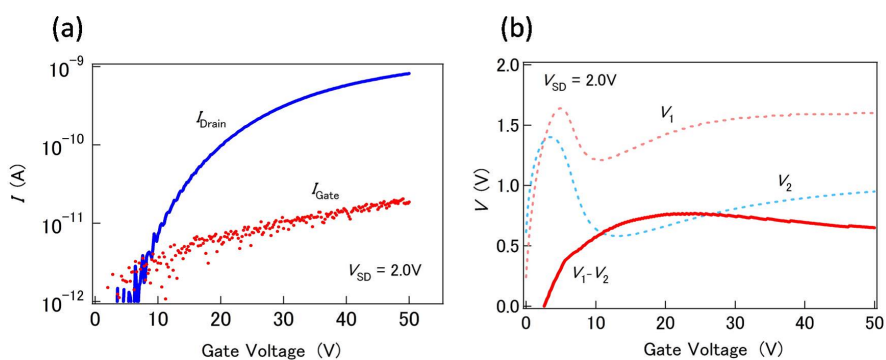


図 3.15: (a) ゲート電圧に対するドレイン電流特性．閾値は8V.(b) ソースドレイン間を3等分する位置にある2つの電圧端子の電圧測定．

3.4. チャネルドメインの不均質性

3.4.2 絶縁体へのキャリアドーピング

我々の作製しているFETの多くは、ゲート電圧を印加していない場合のSrTiO₃のソースドレイン抵抗が $10^{12} \sim 10^{10}$ 程度である。特に八割以上の試料は 10^{12} の絶縁抵抗を示している。これより小さいオーダーの抵抗の試料はデバイス作製過程において何らかの理由で酸素欠損が生じ、キャリアがごくわずかにドーピングされてしまったものと考えられることができる。この微妙にキャリアドーピングされたFETとほとんどキャリアドーピングされていないFETの間には一つの傾向があることがわかっている。それは同じ厚さの電極、ゲート絶縁膜を持つほぼ等しい2つのサンプルでは、ごくわずかにドーピングしたFETの方がゲート絶縁破壊する頻度が少なく、絶縁破壊電圧が比較的大きいということである(図3.16)。

その理由はまだ解明していないが、ひとつ考えられるのはチャネルの不均一性が関係しているの

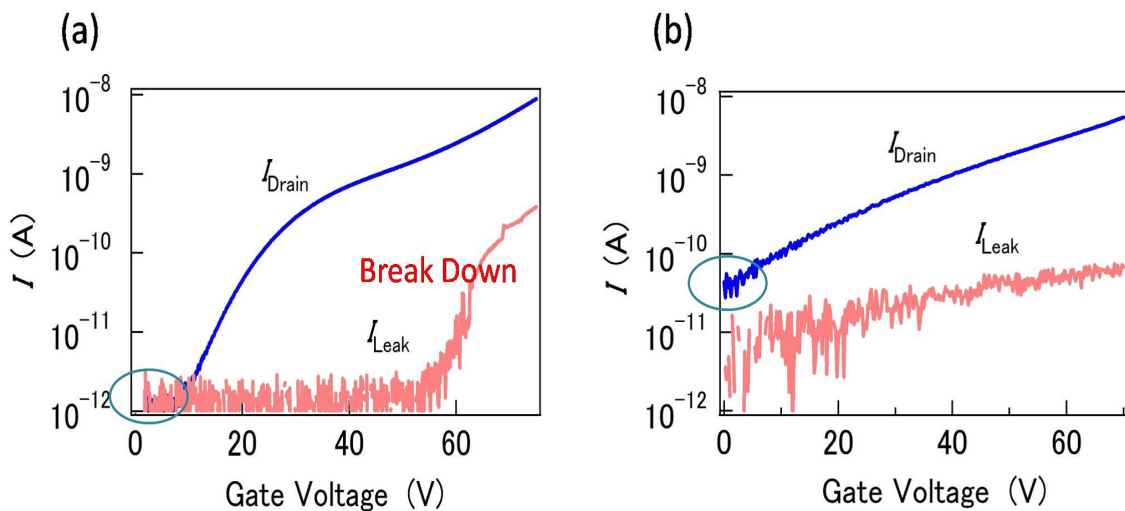


図 3.16: 同一形状を持つ2つのFETのドレイン電流のゲート電圧依存性。(a)ゲートをかけない段階でキャリアがほとんど入っていないFET。(b)何らかの理由によってわずかにキャリアが予めドーピングされたと思われるFET。

ではないかということだ。ゲート電圧の印加によって界面に注入されるキャリアはソースドレイン間の領域全体に均一にドーピングされてゆくのではなく、かなり不均一にドーピングされていくということが強く示唆されている。図3.17にあるようにもし予め微量なキャリアがドーピングされているとしたら、それによってドメイン同士の連結は促進され、完全な絶縁体にドーピングする場合よりドメインの幅は大きく、キャリア密度も均質であろうと予想できる。反対に絶縁体へのキャリアドーピングでは形成されるチャネルドメインは比較的小さい。するとこの面積の狭いドメインに電界が集中しやすいため絶縁破壊に至りやすいのではないだろうか。

また、ドメインの連結が起こりやすくなるとすれば、ゲート閾値も小さいはずである。実際我々の実験においては僅かにドーピングされたデバイスのゲート電閾値は小さい傾向にある。これは低温

3.4. チャンネルドメインの不均質性

動作するデバイス作製への一つの提案であるが、基板に酸素欠損を微量に導入しておくことで、界面の乱れは増加する可能性が高いが、低いゲート電圧閾値と大きな絶縁破壊電圧を持つ良いFETを期待することができると考えられる。

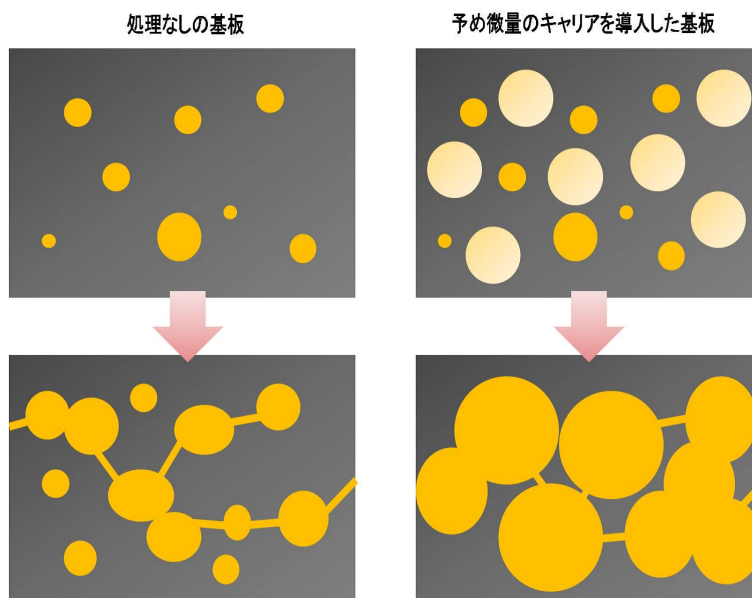


図 3.17: 同じゲート電圧でも、ゲートをかけない段階でキャリアがほとんど入っていないFETではチャンネルドメインが小さいのに対し、最初からわずかにキャリアドーピングされたFETではチャンネルドメインが広い。チャンネルが狭いとそこにかかる電界が集中するため絶縁破壊が起こりやすいと考えられる。

第4章 KTaO₃ – FET

4.1 はじめに

KTaO₃ は SrTiO₃ 同様、ペロブスカイト構造をもつ遷移金属酸化物であり、ノンドープ状態ではバンド絶縁体である。SrTiO₃ と異なり KTaO₃ は 5d 軌道からなる伝導帯を持っているのが特徴であり、5d 軌道の方が 3d 軌道よりも空間的なオーバーラップは大きく、従ってキャリア移動度は SrTiO₃ のそれよりも大きい。SrTiO₃ で成功したようにパリレンを使用して基板へのダメージを最小限に抑えた KTaO₃-FET を作製することができれば、SrTiO₃-FET より移動度の高い、高性能な酸化物デバイスを得られると考えられる。SrTiO₃ と比べれば KTaO₃ への電界効果キャリアドーピングの研究はあまり多くないが、エッチング処理や平坦薄膜の成長に関する研究は近年になって多く報告されるようになってきた [24, 25]。さらに Ueno ら [26] はアモルファス Al₂O₃ をゲート絶縁膜に利用した KTaO₃-FET の動作に成功している。

我々は KTaO₃ 単結晶基板の上にパリレンを絶縁膜とした FET を作製してその電圧電流特性を測定し、現在報告がある FET よりも特性のよいデバイスの作製を目指した。

4.2 タンタル酸カリウム KTaO₃

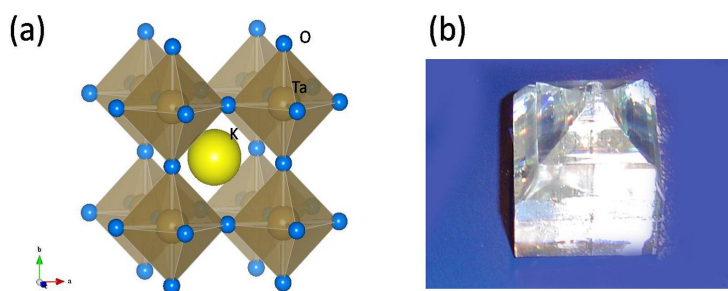


図 4.1: (a) KTaO₃ 結晶構造．典型的なペロブスカイト酸化物．(b) 単結晶は光学材料として、あるいは酸化物薄膜成長の基板として多くのメーカーが扱っている。

KTaO₃ は透明な酸化物で、ペロブスカイト構造を持つ物質である。単結晶は透過性と高い屈折率を有するために、応用上は光学レンズ材料として利用されている。KTaO₃ は光学材料として利

4.2. タンタル酸カリウム KTaO_3

用されてきたという経緯もあり，単結晶育成技術，表面研磨の技術も比較的研究が進んでいる物質である．そのため清浄な表面を持つ単結晶は SrTiO_3 同様他のペロブスカイト型酸化物の薄膜成長の基板として使用されるようになってきて，表面研磨された良質な基板をメーカーより購入することが可能となっている．この点において，なるべく清浄な界面を必要とする電界効果ドーピングのターゲット物質として KTaO_3 は他のペロブスカイト型酸化物に比べ有利である．

キャリアがドーピングされていない KTaO_3 はエネルギーギャップ 3.8eV の絶縁体である．化学的なキャリアドーピングは，例えば Ca 不純物として混ぜたり酸素欠損を導入したりするなどして容易におこなえ，一般に n 型半導体である． SrTiO_3 と KTaO_3 は酸化物半導体のなかでは比較的大きな移動度を示すことが知られているが，特に KTaO_3 の移動度は SrTiO_3 のそれよりも大きい．これは SrTiO_3 の伝導帯が主に Ti の $3d$ 軌道由来のものであるのに対し， KTaO_3 の伝導帯は主に Ta の $5d$ 軌道からなっているというのが原因であるといわれている．すなわち， $3d$ 軌道に比べて空間的に大きな $5d$ 軌道は，隣接原子との軌道の重なりが大きく，従って電子は比較的容易に結晶中を移動できる． KTaO_3 は室温ではおよそ $30\text{cm}^2/\text{Vs}$ の移動度を示し，低温では $10^4\text{cm}^2/\text{Vs}$ を超える値も報告されており [27]，エレクトロニクス材料への応用という点においても理想的な物質である．

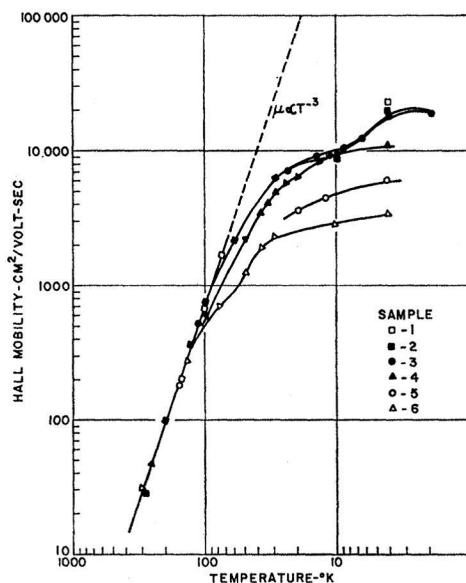


図 4.2: 酸素欠損により電子ドーピングした KTaO_3 試料のホール移動度の温度依存性．試料のキャリア数密度は $10^{17} \sim 10^{18}/\text{cm}^3$ 程度． [27]

図 4.3(a) はカルシウムをドーピングした KTaO_3 の抵抗率の温度依存性を示している [27]．キャリア数密度は $10^{17} \sim 10^{18}/\text{cm}^3$ 程度である．低温側ほど抵抗率は小さくなっており，金属的な振る舞いをしており． KTaO_3 においてもゲート電圧制御の金属絶縁体転移が観測される可能性があると考え

4.3. KTAO₃ 基板の表面処理

えられる。SrTiO₃ と KTaO₃ のもう一つの大きな違いは極低温における電子状態である。キャリア数密度がおよそ $10^{18}/\text{cm}^3$ 程度ドープされた SrTiO₃ においては 300mK 程度で超伝導転移を示す。このことから、多くの類似した性質を持つ KTaO₃ でも超伝導の可能性が指摘されていた。しかし現在希釈冷凍機による極低温まで、ドープされた KTaO₃ の超伝導は報告されていない(図 4.3)[28]。

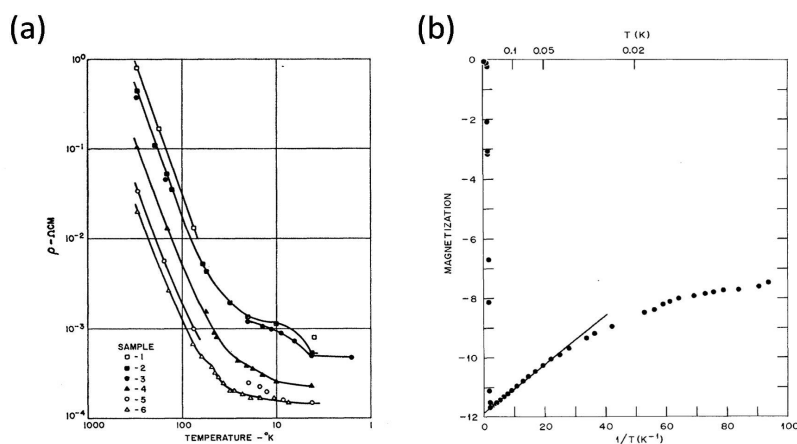


図 4.3: (a)4.2K までの抵抗率の温度依存性。試料のキャリア数密度は $10^{17} \sim 10^{18}/\text{cm}^3$ 程度。[27](b)Ca ドープされた KTaO₃ を含む試料の希釈冷凍機を使った極低温までの磁化測定。Ca ドープ KTaO₃ からの超伝導シグナルは確認できない。[28]

4.3 KTAO₃ 基板の表面処理

我々が使用した KTaO₃(001) 基板は、メーカーから購入したものである。主にはアース製薬の基板を利用している。KTaO₃ 基板の原子レベルで平坦な表面を得る研究もおこなわれるようになってきてはいるが、これらの基板は基本的には CMP (Chemical Mechanical Polishing: 化学機械研磨) によって清浄な表面を取り出している処理しかしていない。我々は購入した基板をいくつかの条件でアニーリング処理し、それぞれの基板に FET を作製し、特性を調べた。

4.3. KTAO₃ 基板の表面処理

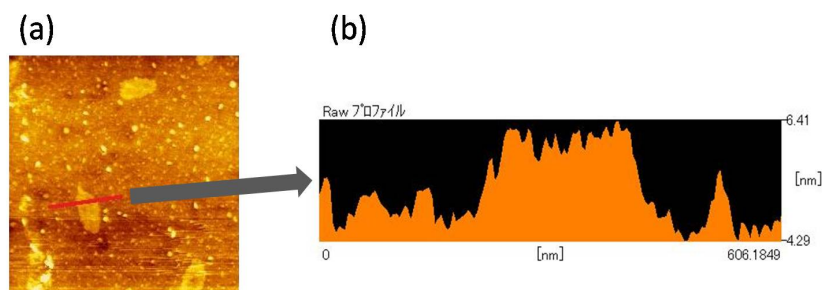


図 4.4: (a) 購入したアース製薬の KTaO₃(001) 基板の AFM 像．大きさは $2 \times 2 \mu\text{m}$. (b) 多数のナノスケール粒塊が確認できる．厚さは数 nm.

まず，図 4.4 は何も処理を加えていない KTaO₃ 基板の AFM 像である．表面に大きさが数 nm から数百 nm 程度の粒塊が無数に見られる．ステップテラス構造は確認できなかった．我々はこの基板に 2 種類のアニール処理を試みた．1 つ目は大気中において 800 °C で 1 時間のアニール，2 つ目は酸素フロー中で 700 °C で 1 時間のアニールである．1 つ目の方法は Nakamura らによって SrTiO₃ の表面処理で試みられており，2 つ目は Ueno らが KTaO₃-FET 作製の際の表面処理に使用した方法である．

Nakamura らによれば，1 つ目の方法では SrTiO₃ のステップテラス構造の改善が見られているが，FET 動作確認されていない．Nakamura らはこの原因をアニール処理によって酸素欠損が少なくなったため，酸素欠損による多少のキャリアが存在していることが特性のよい FET に必要である，と説明している．では KTaO₃ ではどうであろうか．SrTiO₃ の場合と異なり，KTaO₃ 基板はアニール処理せずに最初からステップテラス構造を持つ基板を手に入れることができていない．基板の乱れがあまりにも大きい場合には界面のトラップ準位を増加させ，FET には不利であるはずだ．アニール処理によってある程度平坦な基板を得ることはやはり良好なデバイス動作のために必要であろう．

2 つ目の方法は酸素雰囲気でのアニールである．従って大気中に比べてさらに酸素欠損は少なくなるだろうと予想できる．しかし Ueno らはこの方法によってステップテラス構造が得られていることを報告している．我々もこの前例に倣い，酸素雰囲気下でアニールしてみることにした．

4.3. KTAO₃ 基板の表面処理

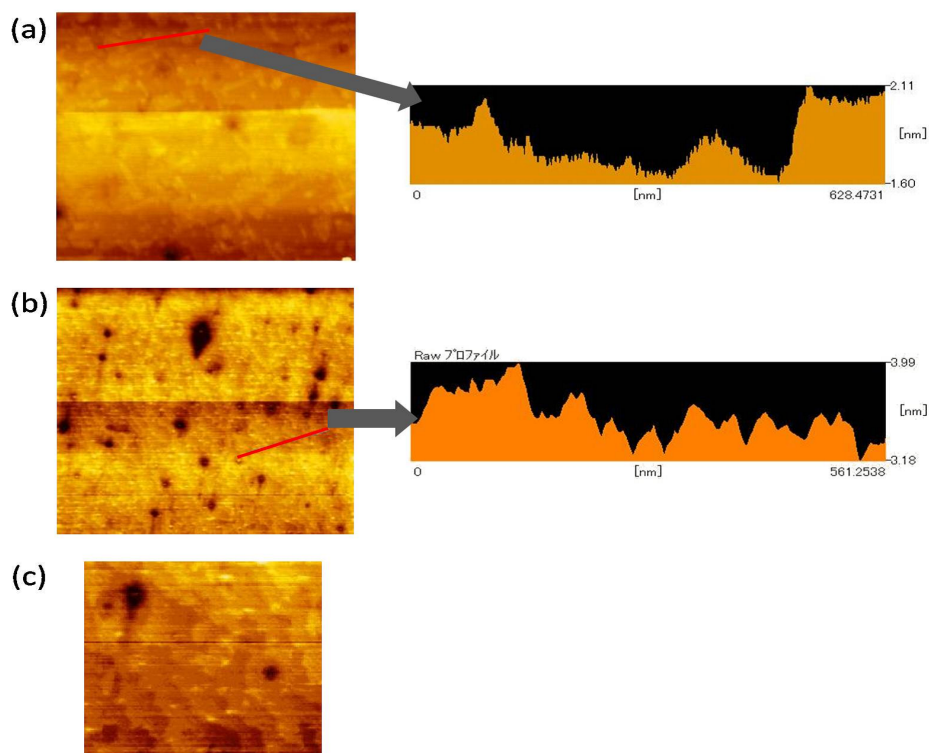


図 4.5: (a)800 大気中で 1 時間アニールした KTAO₃(001) 基板の AFM 像 (2 × 2 μm). (b)700 酸素雰囲気中で 1 時間アニールした KTAO₃(001) 基板の AFM 像 (2 × 2 μm). (c) 酸素アニール基板の 0.5 × 0.5 μm AFM 像．細かなステップテラス構造らしきものが確認できる．

図 4.5 はこれら 2 種類の条件でアニールした KTAO₃ 基板の AFM 像である．大気中でアニールした基板は一見平坦なようにも見えるが，粒塊であった領域が広がってテーブル状に変化しただけであることがわかる．このテーブル部分も厚さは数 nm 程度ある．この部分の組成がどのようなものかを特定することはできなかったが，KTAO₃ でない別の物質が析出しているようである．実際大気中でアニール後にこのような粒塊が見出されたと報告されており [25]，この粒塊について，表面においてアニールの効果で K が欠損したために析出した Ta₂O₅ の可能性を挙げている．一方，酸素雰囲気下でアニールした基板では，多少狭いが幅数十 nm 程度のステップ構造らしきものが無数に発達しているのが確認できる．

このように，AFM 像を見ただけでは酸素アニールした基板が FET の基板として有望であるように見える．さらに我々はアニール無し基板も含めて 3 種類の KTAO₃ 基板で実際に FET を作製し，動作するかどうかを確認した．図 4.6 はその結果である．やはり酸素アニールしたサンプルのみデバイス動作をすることが確認された．これはおそらくアニリングの効果で平坦な表面に再構成されたことによって界面トラップ準位が減少したためと考えられる．入手している基板の枚数等の制限もあり，現時点ではまだ酸素アニールの温度や時間を変えてさらに良い条件を求める実験

4.4. 室温におけるデバイス特性

はおこなっていない。以降の実験においては常に、酸素雰囲気下で 700 ，1 時間の条件でアニールした KTaO_3 基板を使用した。

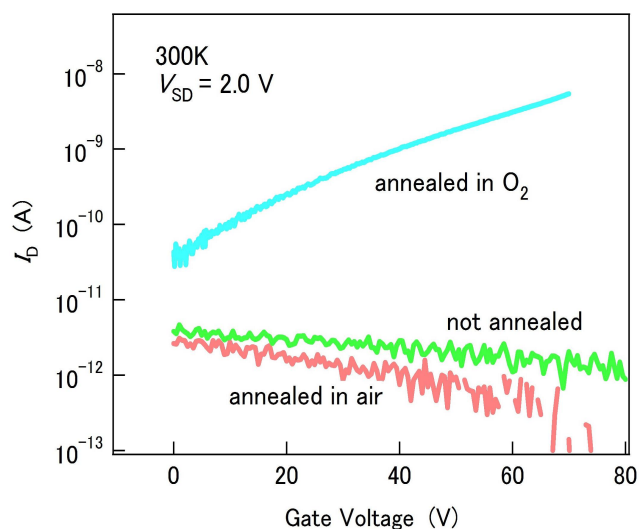


図 4.6: 各アニール処理した基板で作製した KTaO_3 -FET のゲート電圧に対するドレイン電流特性。

4.4 室温におけるデバイス特性

KTaO_3 -FET を作製して室温での特性を測定した。基板への酸素アニール処理以外は、作製プロセスは SrTiO_3 -FET の場合と全く変わらない。図 4.7 は代表的な KTaO_3 -FET デバイスのゲート電圧に対するドレイン電流応答、及び電界効果移動度である。得られた on/off 比は最高で 10^4 程度、電界効果移動度は $0.1\text{cm}^2/\text{Vs}$ を超えるデバイスを作製することに成功している。これは現在我々が得ている SrTiO_3 -FET の電界効果移動度に比べて一桁大きい値である。2 つの物質について同様の作製条件で複数の FET について特性を比較したが、 KTaO_3 を用いた FET の方が多くの場合移動度は大きいことがわかった。この違いはまず SrTiO_3 と KTaO_3 の物性のから来していると考えられる。5d 軌道に由来する幅の広い伝導帯のためバルク試料では KTaO_3 の方が SrTiO_3 よりも移動度は大きい。FET においてもこのバルクの性質を反映した特性を示しているものと考えられる。また AFM で表面を観察する限り SrTiO_3 基板の方が圧倒的に平坦に見える。それにも関わらずゲート閾値は SrTiO_3 -FET のそれと大差なく、 SrTiO_3 -FET よりも大きな電界効果移動度を持っている。このことから AFM 像で見られるような界面の物理的な乱れは FET の挙動にあまり影響を与えないのではないかと考えられる。

4.4. 室温におけるデバイス特性

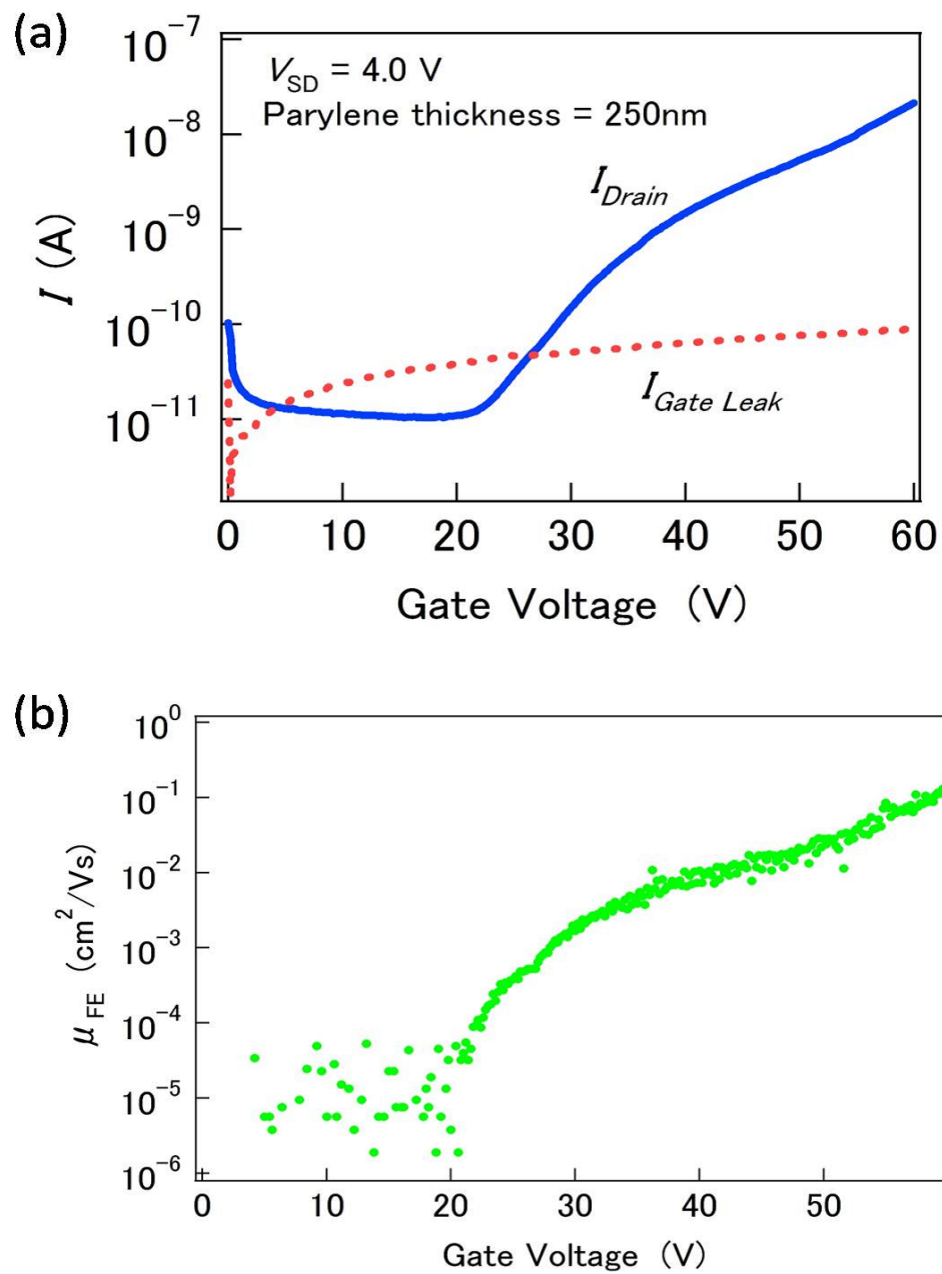


図 4.7: (a) KTaO₃-FET のゲート電圧に対するドレイン電流特性 . (b) 電界効果移動度.

4.5. 低温測定

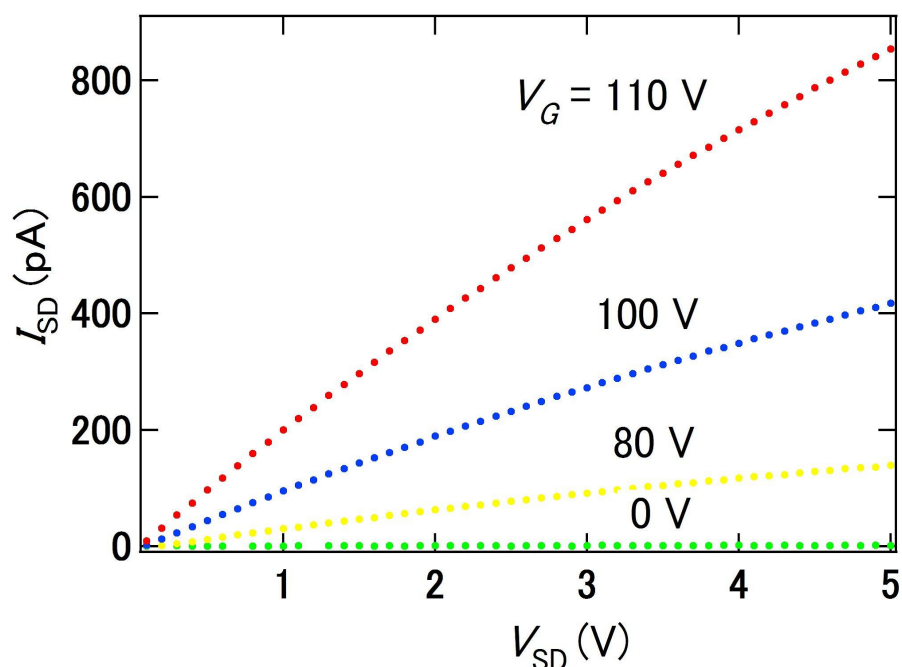


図 4.8: KTaO₃-FET の各ゲート電圧に対するドレイン電圧電流特性 .

4.5 低温測定

KTaO₃-FET の低温での特性を調べた . 現時点で低温測定に成功しているデバイスは少ない . 図 4.9 はある FET について 300K, 270K, 260K の 3 つの温度についてゲート電圧に対するドレイン電流応答を表わしている . ゲート電圧の閾値は温度の低下とともに上昇する傾向がみられるが , 閾値以降のドレイン電流の応答曲線はどの温度においてもほぼ変化していない . 従って電界効果移動度は温度によって一定である . 現在は 260K までしか測定できていないが , 絶縁破壊しなければ恐らく 200K までは応答するデバイスを作製することは可能であろう . しかしゲート閾値がこのまま温度に比例して大きくなるとすると 200K 程度でパリレンの耐電圧に到達してしまう . それ以下の温度で動作させるには何らかの対策が必要となるだろう .

4.5. 低温測定

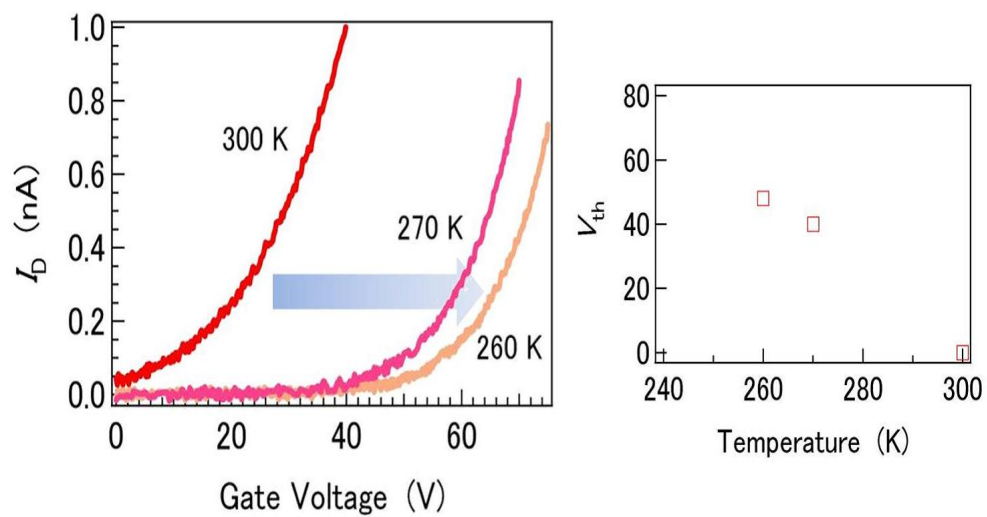


図 4.9: KTaO_3 -FET の室温以下でのドレイン電流応答．ゲート電圧の閾値は温度が下がるごとに上昇する傾向にある．

第5章 結論

本研究では酸化物へのキャリアドーピングを主題として， $\text{SrTiO}_3, \text{KTaO}_3$ をベースとした低温まで動作する電界効果トランジスタの作製を目指した．界面の乱れをなるべく少なくし，トラップ準位を生まないために我々は有機絶縁体物質であるパリレン (Parylene) をゲート絶縁膜として使用した．作製した FET はどちらの物質とも室温動作には成功し，on/off 比は 10^4 程度，移動度は SrTiO_3 -FET では $0.04\text{cm}^2/\text{Vs}$ ， KTaO_3 -FET では $0.1\text{cm}^2/\text{Vs}$ であった．低温では 200K 程度まで動作するデバイスを KTaO_3 -FET において得ることにしか成功していないが，これは装置のトラブル等で低温測定できた試料の数が絶対的に少なかったためで，100K 程度までならば動作する FET を作製するのに特に技術的な問題はないと考えている．これについては目下実験中である．残念ながらそれ以下～液体 He 温度で動作するデバイスを得ることはまだ出来ていないが，先行研究では SrTiO_3 -FET において実現していることから，デバイス作製過程におけるなんらかの技術的な問題が原因であると考えている．本研究を通して考えた FET デバイスの特性改善及び低温動作の実現への技術的な提案をまとめると以下のようなになる．

- デバイス作製環境のさらなる清浄化．
- 基板の処理．
- デバイススケールの縮小．

まずデバイスの作製環境のさらなる改善を進めることは必要である．現在では作業机，各種蒸着装置はすべて通常の実験室に設置してある．蒸着用マスクの着脱などをおこなう作業スペースは唯一清浄機をついたクリーンスペースであるが，デバイスの移動時は常に大気に晒されていることとなる．できることならば全てクリーンルーム内で作業するべきであるが，そうでなくとも，作製から測定までの時間を短縮することやなるべく高真空中で保管することによって基板表面への汚染防止を徹底することが重要である．またマスク及びステージの洗浄及び乾燥も入念に行うべきであろう．

2つ目は基板の処理である．ごく微量のキャリアを酸素欠損によって予め注入しておくことは低温への動作に向けて有効な方法である，ということを提案してきた．低真空の状態の数分から数十分だけ基板をアニール処理すればごく少量のキャリアを注入できる．これによって基板へのスムーズなキャリア注入が実現され，低温でも動作するのではないかと考えている．

最後にデバイスのスケールを小さくすることも有効なのではないだろうか．もちろんチャネル長が短いほど抵抗は小さくなるのだから，応答は大きくなることは間違いない．しかし多くのデバイスにおいてはソースドレイン間距離が小さい方が，デバイスが“動作する確率”も高いことが

分かっている．すなわちゲート電圧が絶縁破壊電圧に達する前にドレイン電流が立ち上がり，FET動作が確認される割合が，短チャネルデバイスの方が高いのである．この結果はキャリア密度のマクロな不均質性を大きく示唆する．ソースからドレインまで金属的なドメインによるパスが(比較的低い閾値電圧で)通るか否かは明らかにチャネル長に依存する．FETのダウンサイジングは特性の改善のみならず歩留りの改善にもつながるのではないだろうか．さらにはデバイスのサイズダウンはゲート絶縁膜の耐電圧向上にも効果的であろう．絶縁体の耐電圧は物質そのものの性質よりも，含有する不純物や質の空間的なばらつきに大きく依存する．あるいは電極金属の拡散による影響も考えられる．デバイスそのものを小さくすることはそれだけゲート絶縁膜の小さな体積にのみ電場をかけるということなので，耐圧の弱い部分を避けられる確率が大きくなる．従ってサイズの大きなデバイスよりも高いゲート電圧を期待することができるだろう．

次に測定に関してであるが，我々の測定のほとんどはただ単にゲート電圧を印加してドレイン電流の応答を見るというものであった．測定機器の制限もあり，ホール測定による移動度やキャリア密度の測定は，特に KTaO_3 においてはまったく手つかずである． KTaO_3 の方が SrTiO_3 に比べて高移動度であり，低温におけるFET輸送特性は大変興味深い．うまくいけば，あるいは量子ホール効果等の特異な量子現象の観測も期待できるかもしれない．もう一つは金属絶縁体転移である．電界効果キャリアドーピングのそもそもの目的は電界による電子相制御である．その一歩として電界制御による酸化物絶縁体の金属絶縁体転移の観測及び SrTiO_3 の超伝導転移の観測は大きな意味がある．いずれの課題にせよまず低温で動くデバイスを作製することが必要であろう．

参考文献

- [1] C. H. Ahn, A. Bhattacharya, M. Di Ventra, J. N. Eckstein, C. Daniel Frisbie, M. E. Gershenson, A. M. Goldman, I. H. Inoue, J. Mannhart, A. J. Millis, A. F. Morpurgo, D. Natelson, and J. -M. Triscone, *Rev. Mod. Phys.* **78**, 1185 (2006).
- [2] J. G. Bednorz and K. A. Muller, *Z. Phys. B* **64**, 189 (1986).
- [3] Y. Tokura and Y. Tomioka, *J. Magan. Magn. Mater* **200**, 1 (1999).
- [4] S. M. Sze, *Semiconductor Devices : Physics and Technology*, (John Wiley & Sons, Inc, 2002).
- [5] C. Kittel, *Introduction to Solid State Physics*, 8th ed. (John Wiley & Sons, Inc, 2005).
- [6] F. Gebhard, *the Mott Metal-Insulator Transition: Models and Methods*, (Springer-Verlag, 1997)
- [7] 十倉好紀, 強相関電子と酸化物, (岩波, 2002).
- [8] K. Kumagai, T. Suzuki, Y. Taguchi, Y. Okada, Y. Fujishima, Y. Tokura, *Phys. Rev. B.* **48**, 7636 (1993).
- [9] Y. Okada, T. Arima, Y. Tokura, C. Murayama, N. Mofî, *Phys. Rev. B.* **43**, 9677 (1993).
- [10] M. Imada, A. Fujimori, and Y. Tokura, *Rev. Mod. Phys.* **70**, 1039 (1998).
- [11] K. Kishio, K. Kitazawa, S. Kanbe, I. Yasuda, N. Sugii, H. Takagi, S. Uchida, K. Fueki, and S. Tanaka, *Chem. Lett.*, 429 (1987).
- [12] 大塚洋一, 小林俊一, 実験物理学講座 11 輸送現象測定, (丸善, 1999).
- [13] K. Ueno, I. H. Inoue, H. Akoh, M. Kawasaki, Y. Tokura, and H. Takagi, *Appl. Phys. Lett.* **83**, 1755 (2003)
- [14] H. Nakamura, H. Takagi, I. H. Inoue, Y. Takahashi, T. Hasegawa, and Y. Tokura, *Appl. Phys. Lett.* **89**, 133504 (2006)
- [15] V. Podzorov, V. M. Pudalov, and M. E. Gershenson, *Appl. Phys. Lett.* **82**, 1739 (2003).
- [16] V. C. Sundar, J. Zaumseil, V. Podzorov, E. Menard, R. L. Willett, T. Someya, M. E. Gershenson and J. A. Rogers, *Science* **303**, 1644 (2004).

-
- [17] *Low Level Measurements Handbook*, 6th ed. (Keithley).
- [18] 谷腰欣司, オペアンプ回路入門講座 基礎知識の習得から電子回路設計の実務まで, (電波新聞社, 2008).
- [19] K. A. Muller, H. Burkard, *Phys. Rev. Lett.* **19**, 3593 (1979)
- [20] O. N. Tufte, P. W. Chapman, *Phys. Rev.* **155**, 796 (1967).
- [21] J. F. Schooley, W. R. Hosler, and M. L. Cohen, *Phys. Rev. Lett.* **12**, 474 (1964)
- [22] J. F. Schooley, W. R. Hosler, E. Ambler, J. H. Becker, M. L. Cohen, and C. S. Koonce, *Phys. Rev. Lett.* **14**, 305 (1965).
- [23] K. Ueno, S. Nakamura, H. Shimotani, A. Ohtomo, N. Kimura, T. Nojima, H. Aoki, Y. Iwasa, and M. Kawasaki, *Nature Mater.* **7**, 855 (2008).
- [24] H. J. Bae, J. Sigman, S. J. Park, Y. H. Heo, L. A. Boatner, D. P. Norton, *Solid-State Electronics* **48**, 51 (2004).
- [25] H. Bae, J. Sigman, D. P. Norton, and L. A. Boatner, *Appl. Surf. Sci.* **241**, 271 (2005).
- [26] K. Ueno, I. H. Inoue, T. Yamada, H. Akoh, Y. Tokura, and H. Takagi, *Appl. Phys. Lett.* **84**, 3726 (2004).
- [27] S. H. Wemple, *Phys. Rev.* **137**, A1575 (1965).
- [28] J. R. Thompson, L. A. Boatner, and J. O. Thomson, *Journal of Low Temperature Physics.* **47**, 467 (1982).