

修士論文

オンチップ伝送線路のモデリングと最適化

**Modeling and Optimization of  
On-Chip Transmission Line**

平成 18 年 2 月 3 日 提出

指導教官  
藤島 実 助教授

東京大学大学院 工学系研究科  
電子工学専攻

学籍番号 : 37-46398

谷本 英之

# 目次

第1章 序論 .....	1
第2章 オンチップ伝送線路の概要 .....	3
2.1 伝送線路の概要 .....	3
2.1.1 分布定数回路と $RLGC$ パラメータ .....	3
2.1.2 伝送線路の回路特性 .....	5
2.1.3 伝送線路の評価 .....	7
2.2 オンチップ伝送線路の損失となる物理現象 .....	8
2.2.1 シリコン基板導電性 .....	9
2.2.2 表皮効果 .....	10
2.2.3 近接効果 .....	11
2.3 従来のオンチップ伝送線路 .....	12
2.3.1 コプレナ導波路 .....	13
2.3.2 マイクロストリップ線路 .....	16
2.3.3 スローウェーブコプレナ導波路 .....	19
2.4 まとめ .....	22
第3章 スローウェーブ伝送線路のモデリング .....	23
3.1 SWTL の実装 .....	23
3.1.1 メタルデンシティルール .....	23
3.1.2 SWTL の形状 .....	25
3.2 SWTL の測定 .....	27
3.2.1 オンチップ測定の概要 .....	27
3.2.2 伝送線路パラメータの抽出法 .....	30
3.2.3 SWTL の測定値 .....	32
3.3 形状依存特性モデリング .....	33
3.3.1 $R$ 、 $L$ の計算 .....	33
3.3.2 $C$ 及び $G$ の計算 .....	36
3.3.3 実測値とモデル計算値との比較 .....	39
3.4 周波数依存特性を考慮したモデリング .....	40
3.4.1 基板誘導結合と表皮効果 .....	40
3.4.2 シールド及びビアの抵抗 .....	42
3.4.3 考案したモデル .....	43

3.4.4	周波数依存特性を考慮したモデルの検証.....	46
3.5	まとめ.....	48
第4章	伝送線路の構造解析及び最適化.....	49
4.1	波長短縮の効果.....	49
4.2	波長を短縮する形状.....	51
4.3	実測結果.....	52
4.3.1	波長.....	53
4.3.2	$Q$ 値.....	54
第5章	結論.....	57

## 第1章 序論

近年携帯電話は急速に社会に普及した。機器相互の無線接続に用いられる Bluetooth や、無線 LAN も本格的に普及しつつある[1]。第 2 世代携帯電話では無線通信に、800MHz 帯及び 1.5GHz 帯の周波数が用いられていたが、第 3 世代の携帯電話では、2GHz 帯が主に使用されている。次世代通信方式においては、さらに高い周波数帯が使用される見込みである。Bluetooth では 2.4GHz 帯が使用されるが、これを代替ないし補完する技術として注目されている UWB (Ultra Wide Band) では、3~10GHz が用いられる。また無線 LAN では 2.4GHz 帯、5GHz 帯が利用されているが、将来的には総務省により無許可で使用可能な無線通信用周波数として割り当てられている 60GHz 帯 (日本の場合 59GHz~66GHz) の開拓・利用が期待される。無線通信で使用する周波数は、世代ごとに高くなる傾向がある。その理由の 1 つは周波数帯の不足である。数 GHz 帯はすでに利用しつくされており、新しいサービスを始められる余地が少ない[2]。また、一般に高い周波数を用いるほど、伝送速度は高速化する。従って、データ通信高速化の観点からも、無線通信において高周波帯を使用することが望まれる。

現在市場に出回っている LSI の圧倒的多数は CMOS プロセスによって製造されている。スケールメリットにより、CMOS の LSI は非常に高いコスト競争力を持つ。それにもかかわらず、無線通信 (RF) 用の LSI に関しては化合物半導体プロセスなどで製造される事が一般的で、CMOS で実装されることは稀であった。その理由は CMOS はトランジスタ性能において、化合物半導体プロセスに劣る事、及び CMOS におけるシリコン基板の導電性から、化合物半導体プロセスに比べ受動素子特性が劣る事にある。しかし、近年の CMOS 製造プロセスの微細化により、トランジスタ性能において、CMOS は化合物半導体プロセスにくらべ遜色の無いレベルに達しつつある。図 1.1 に CMOS プロセスとその他のプロセスの最大発振周波数  $f_{\max}$ 、及びその報告された年の関係を示す。

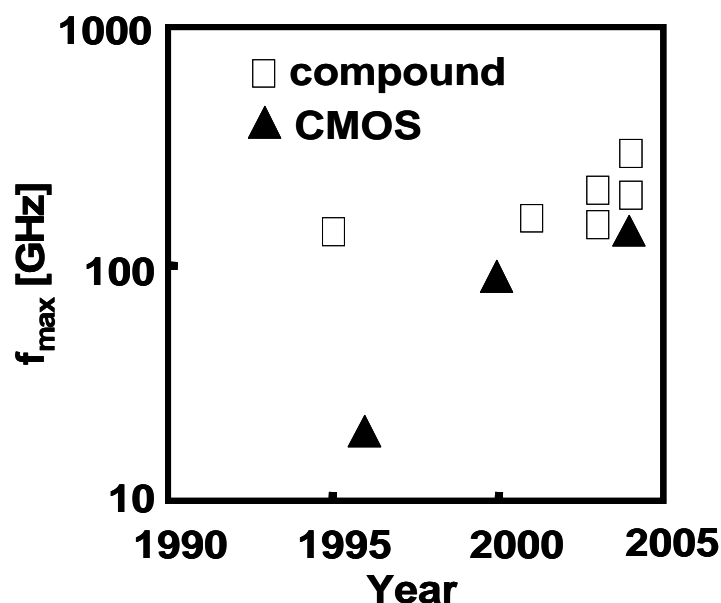


図 1.1 各プロセスの  $f_{\max}$  比較

微細化による MOSFET 性能の進歩によって、数 GHz で動作するものについては、CMOS プロセスで実装される RF 回路 (RF-CMOS) が見られるようになってきた。コスト優位な CMOS プロセスで高周波 RF 回路を実装する事ができれば、周波数帯域不足の解消、無線通信の高速化に大きく貢献できることが予想される。しかし依然として、受動素子においてシリコン基板損失は問題であり、トランジスタゲインの小さくなる高周波で動作する RF-CMOS は未だ実現されていない。高周波 RF-CMOS 実現にあたって、受動素子の特性改善が主要な課題となる。すなわち、受動素子の低損失化が不可欠である。もちろんより低い周波数領域においても、消費電力などの観点から受動素子が低損失であることが求められる。

本研究の目的は、低損失な受動素子を実現することにある。高周波では、オンチップインダクタの代わりにオンチップ伝送線路が用いられる事が多くなる。ここで、低損失なオンチップ伝送線路であるスローウェーブコプレーナ導波路 (SCPW) が提案されている。SCPW の特性を含む、オンチップ伝送線路の概要を 2 章で述べる。この SCPW を微細化の進んだプロセスで実装することは困難であるため、SCPW を修正したスローウェーブ伝送線路 (Slow wave transmission line : SWTL) 構造を提案した。本構造を回路設計に用いるために必要となるモデルを作成し、また試作した伝送線路の実測値とを比較することで、モデルの精度の検証を行った。これについて 3 章で述べる。加えて受動素子には低損失であるのみならず、小型・省面積であることも求められる。そこでオンチップ伝送線路の構造を解析し、小型化可能な非対称同軸導波路 (Asymmetric coaxial waveguide : ACW) 構造を提案した。その効果を、実際に ACW 構造を試作して測定することで実証した。伝送線路の小型化について、4 章で述べる。そして、5 章で結論を述べる。

## 第2章 オンチップ伝送線路の概要

本章では従来のオンチップ伝送線路について説明する。まず、議論の前提となる伝送線路そのものの性質を述べ、続いてオンチップ伝送線路（集積回路製造プロセスを用いて実装される伝送線路）の概要を説明する。そして、従来の伝送線路について、それぞれの構造や電気回路的、電磁気的特長を述べる。

### 2.1 伝送線路の概要

電流、電磁波、光などのエネルギーを伝送する媒質ないし機構を、伝送線路と呼ぶ。これは広い意味での伝送線路の定義であり、同軸ケーブル、導波管、光ファイバーもこの定義に含まれる。しかし以下では、同軸ケーブルの様に 1.電気信号（電磁波）を伝播し、2.信号線及びグランド線から構成され、3.TEM 波モードが仮定でき、4.電気回路的特性を得るために用いられる、伝送線路を議論の対象とする。以下に伝送線路の概要を述べる。ここでは、伝送線路を取り扱うための基礎となる、分布定数回路及び、特性インピーダンスや伝播定数などのパラメータについて説明する。

#### 2.1.1 分布定数回路と $RLGC$ パラメータ

配線上を信号が伝播する場合、信号の波長  $\lambda$  が、配線長  $l$  に対して十分大きければ、配線における電圧・電流はその位置に依らず一定とみなせる。しかし、厳密には電圧・電流は位置に依存しており、 $\lambda$  が  $l$  と同じ程度の寸法になると、回路の設計においてこの電圧・電流の位置への依存性を考慮する必要がある。

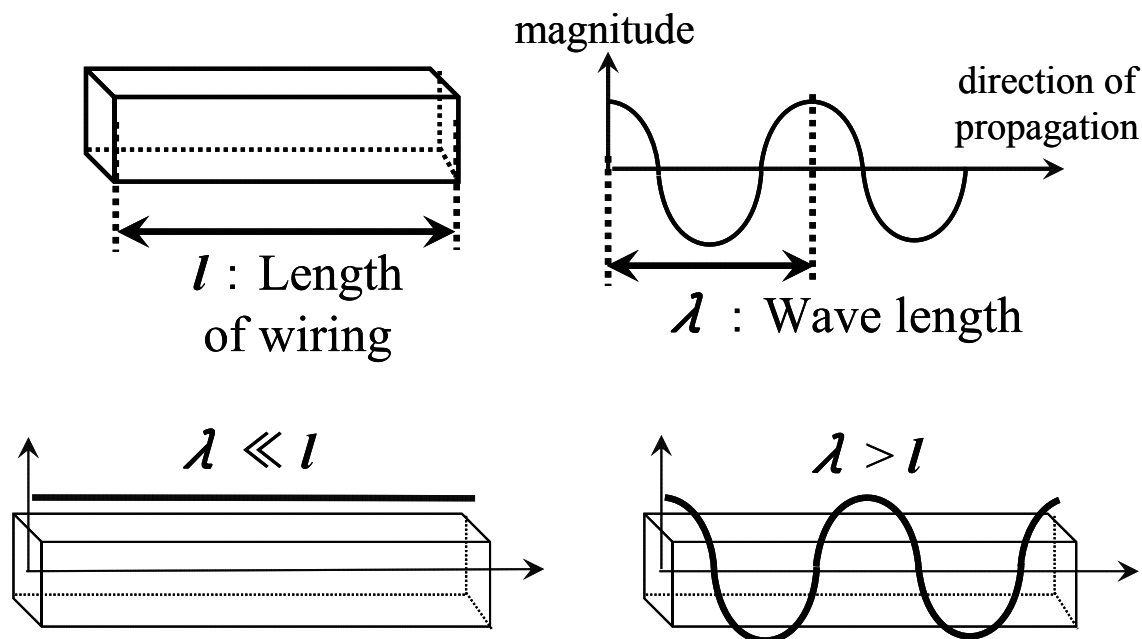


図 2.1 配線長と波長との関係

配線には抵抗、インダクタンス、容量などの回路素子が分布して存在している。電流・電圧が位置に依らず一定であれば、これらの回路素子はそれぞれ 1 点に集中して存在しているという近似ができる。このようにして取り扱い方を、集中定数回路という。これに対して、電流・電圧を考慮する場合を分布定数回路といい、伝送線路は分布定数回路として取り扱われる。

伝送線路の断面形状は一定であるため、線路を微小な回路が接続されたものと考えた場合、どの微小区間においても分布するパラメータは同一である。図 2.2 に同軸ケーブルの例を示す。同軸線路中の  $dx$  なる微小区間を考える。伝送線路は、 $dx$  がゼロとなる極限における微小区間の等価回路が、無限個接続されたものとして理解される。この微小区間等価回路は、信号伝播方向に対して直列な抵抗  $R$ 、インダクタンス  $L$ 、並列なコンダクタンス  $G$  及び容量  $C$  よりなる。 $RLGC$  は、伝送線路の断面形状により決まる（図 2.3）。この  $RLGC$  パラメータにより、伝送線路における減衰や位相の回転が評価される。

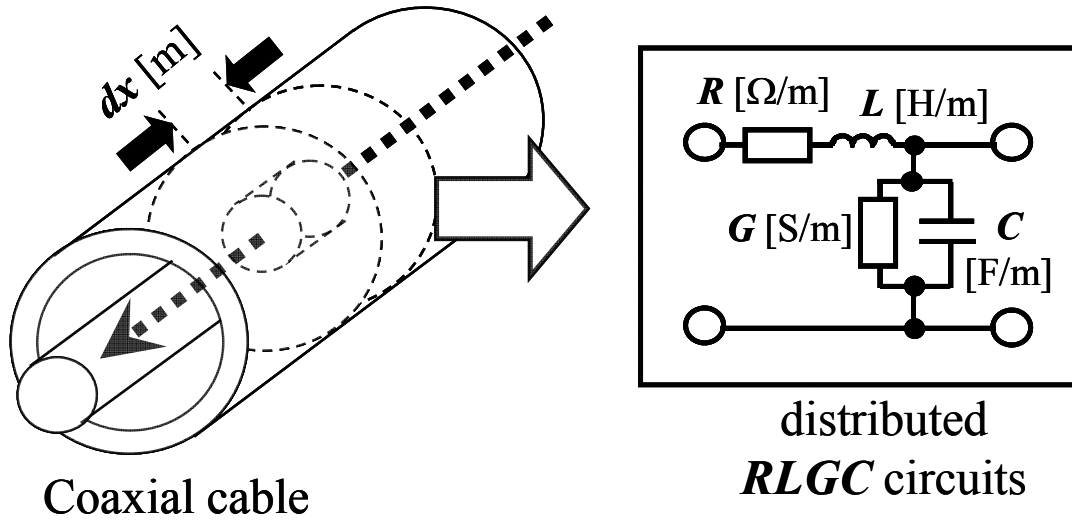
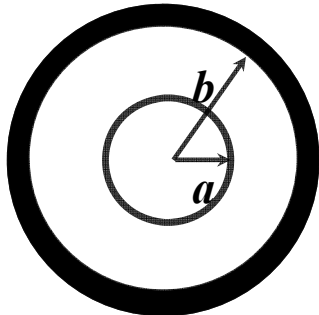


図 2.2 伝送線路の微小区間等価回路



$\sigma$  : conductivity

$\mu$  : permeability

$\tan \delta$  : dielectric tangent

{

$$R = \frac{1}{2\pi\sigma a^2} [\Omega / m]$$

$$L = \frac{\mu}{2\pi} \ln \frac{b}{a} [H / m]$$

$$G = \frac{2\pi\omega \tan \delta}{\ln b/a} [S / m]$$

$$C = \frac{2\pi\epsilon}{\ln b/a} [F / m]$$

図 2.3 同軸ケーブルの  $RLGC$  パラメータ

### 2.1.2 伝送線路の回路特性

ここでは素子として伝送線路を用いる場合の、電気回路的な特性を述べる。上に述べた **RLGC** の値を用いて、伝送線路中の電圧・電流を計算する手順を説明する。ここで **RLGC** の値から、特性インピーダンス  $Z_0$ 、及び伝播定数  $\gamma$  がそれぞれ(2.1)式、(2.2)式によって計算される。特性インピーダンスの単位は  $\Omega$  であり、伝播定数は無単位である。

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2.1)$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (2.2)$$

特性インピーダンス  $Z_0$ 、伝播定数  $\gamma$  は共に複素数であり、特に(2.3)式に示すように  $\gamma$  の実部と虚部はそれぞれ減衰定数  $\alpha$ 、位相定数  $\beta$  として定義される。単位はそれぞれ Np/m 及び rad/m である。

$$\gamma = \alpha + j\beta \quad (2.3)$$

図 2.4 に示すような特性インピーダンス  $Z_0$ 、伝播定数  $\gamma$ 、及び長さ  $l$  の伝送線路を考える。このポート 1 側に電圧  $V_1$ 、電流  $I_1$  が加えられたときに、ポート 2 側において生じる電圧  $V_2$ 、電流  $I_2$  の関係は、(2.4)式で表される。

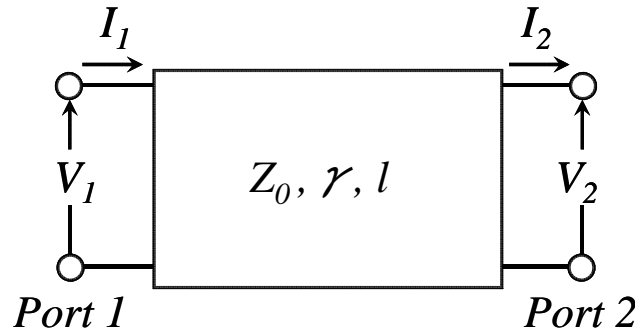


図 2.4 伝送線路における電圧・電流の関係

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} \cosh(\gamma l) & Z_0 \sinh(\gamma l) \\ \frac{\sinh(\gamma l)}{Z_0} & \cosh(\gamma l) \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (2.4)$$

ポート 2 側に、 $Z_L$  なるインピーダンスが接続されている場合 ( $V_2 / I_2 = Z_L$ )、ポート 1 側のインピーダンス ( $V_1 / I_1 = Z$ ) は、(2.5)式であらわされる。



$$Z = Z_0 \frac{Z_L \cosh(\gamma l) + Z_0 \sinh(\gamma l)}{Z_L \sinh(\gamma l) + Z_0 \cosh(\gamma l)} \quad (2.5)$$

この式は、ポート 2 側のインピーダンス  $Z_L$  が、特性インピーダンス  $Z_0$ 、伝播定数  $\gamma$ 、長さ  $l$  の線路を介して  $Z$  なるインピーダンスに変換されたという事を意味する。すなわち、伝送線路はインピーダンスの変換に用いる事ができる。

伝送線路は受動素子であるインダクタまたはキャパシタとして使用できる。ここで、単純化のため、無損失を仮定すると、 $R=0$ 、 $G=0$  となる。これにより、特性インピーダンス  $Z_0$  は実数、伝播定数  $\gamma$  は純虚数 ( $\gamma=j\beta$ ) となる。これにより、(2.5)式は(2.6)式のようになる。

$$Z = Z_0 \frac{Z_L \cos(\beta l) + Z_0 \sin(\beta l)}{Z_L \sin(\beta l) + Z_0 \cos(\beta l)} \quad (2.6)$$

ポート 2 側が短絡されている場合 ( $Z_L=0$ ) の、ポート 1 側のインピーダンス  $Z$  は(2.7)式の様になる。

$$Z = jZ_0 \tan \beta l \quad (2.7)$$

すると  $0 \sim \beta l \sim \pi/4$  の範囲で、 $Z$  は純リアクタンスとなる。このように、伝送線路の一端をショートすることで、伝送線路をインダクタの代わりとして用いる事が可能になる。これを、ショートスタブという。 $LC$  の値が既知であれば、ショートスタブの実装物理長を変化させる事で、リアクタンスを調節できる。ここで、インダクタにおけるインダクタンスの値は 3 次元形状によって求まる。これに対し、伝送線路の  $L$  及び  $C$  は断面形状のみから求まるため、一般にインダクタに比べ、特性の見積もりが容易になる。

一方、ポート 2 側が開放されている場合 ( $Z_L=\infty$ ) の、ポート 1 側におけるインピーダンスは(2.8)式の様になる。ここで、ショートスタブの特性を導出する場合と同様に、無損失 ( $R=0$ 、 $G=0$ ) を仮定している。

$$Z = \frac{Z_0}{j \tan \beta l} \quad (2.8)$$

上式より、 $0 \sim \beta l \sim \pi/4$  の範囲においてサセプタンスとなり、容量として用いることができる。このように、一方の端子を開放とした伝送線路をオープンスタブという。

### 2.1.3 伝送線路の評価

ここでは、伝送線路の評価方法について述べる。伝送線路の  $Q$  値は、伝播定数の実部  $\alpha$  及び虚部  $\beta$  とから(2.9)式のように定義される。

$$Q = \frac{\beta}{2\alpha} \quad (2.9)$$

この意味を説明するために、伝送線路における減衰及び位相の回転について考える。ここで、(2.4)式においてポート 2 側に、 $Z_L$  なるインピーダンスが接続されている場合の  $V_1$  及び  $I_1$  をそれぞれ求めると、(2.10)式、(2.11)式のように表される。

$$V_1 = \left( \cosh(\gamma l) + \frac{Z_0}{Z_L} \sinh(\gamma l) \right) V_2 \quad (2.10)$$

$$I_1 = \left( \frac{Z_0}{Z_L} \sinh(\gamma l) + \cosh(\gamma l) \right) I_2 \quad (2.11)$$

特性インピーダンスは、線路中を伝播する信号の電圧と電流の比を意味する。従って、 $Z_L = Z_0$  とすると、ポート 2 における電圧と電流の不連続が無くなる。この場合、伝送線路における電圧と電流は、無限の長さを持つ場合と等価となる。 $Z_L = Z_0$  として、ポート 1 側とポート 2 側の関係を入れ替えると、以下ようになる。

$$V_2 = (e^{-\alpha l}) (e^{-j\beta l}) V_1 \quad (2.12)$$

$$V_2 = (e^{-\alpha l}) (e^{-j\beta l}) V_1 \quad (2.13)$$

この式において、線路が無限長の場合（あるいは、インピーダンス不整合による反射が生じない場合）、ポート 2 側の電圧・電流は、ポート 1 の電圧・電流に対して、距離  $l$  離れた時点で振幅が  $\exp(-\alpha l)$  となり位相は  $\beta l$  遅れている。従って(2.9)式の  $Q$  値は、いかに少ない損失で、伝送線路中を伝播する信号の位相が回転するかを表している。

また、微小区間の  $RLGC$  パラメータより、信号線に対して直列な  $R$  及び  $L$ 、並列な  $G$  及び  $C$  それぞれについて、 $Q_L$  及び  $Q_C$  が以下のように定義される。

$$Q_L = \frac{\omega L}{R} \quad (2.14)$$

$$Q_C = \frac{\omega C}{G} \quad (2.15)$$

この式と  $Q$  値とは、以下のような関係を持つ。

$$\frac{1}{Q} = \frac{1}{Q_L} + \frac{1}{Q_C} \quad (2.16)$$

従って伝送線路の  $Q$  値を向上させ低損失化させるためには、微小区間等価回路における損失  $R$ 、及び損失  $G$  を、それぞれ  $\omega L$ 、 $\omega C$  に対して小さくなるような断面構造を取る必要がある。

## 2.2 オンチップ伝送線路の損失となる物理現象

受動素子を回路で用いるためには、設計時にその特性が予測される必要がある。オンチップ伝送線路は、ショートスタブとして用いる事で、オンチップインダクタを代替する事ができる。オンチップインダクタの特性は、その巻き数や線幅、線間隔などが相互にかつ 3 次元的に影響を及ぼして決まるのに対して、ショートスタブの特性は伝送線路の断面形状と実装長の 2 つが独立に寄与している。すなわち(2.7)式において断面形状より定まる  $Z_0$ 、 $\beta$ （あるいは  $RLGC$ ）が分かっているならば、実装長を変化させる事による特性の変化は容易に予測できる。特に高周波において、オンチップ伝送線路によるショートスタブは、オンチップインダクタよりも特性が予想しやすくなる[3]。従って、高周波回路設計においてオンチップ伝送線路が用いられる事が多い。

また、オンチップ伝送線路においてはそのサイズも重要である。集積回路において、回路の実装面積が増えることは、コストが増加する事を意味する。伝送線路の実装面積は、主にその長さによる。ここで、伝送線路中を伝播する信号の波長は(2.17)式で求められる。

$$\lambda = \frac{1}{\omega \sqrt{LC}} \quad (2.17)$$

ここで、伝送線路の電気回路的特性は、その実装長  $l$  における電気長  $\theta$  で決まる。電気長  $\theta$  は(2.18)式により求まる。

$$\theta = \frac{l}{\lambda} \quad (2.18)$$

$\theta$  は実装長  $l$  の伝送線路における伝播信号の位相回転が、その何波長分に相当するかを意味している。波長  $\lambda$  が大きい場合、同じ電気長を得るためには、実装長  $l$  も長くする必要がある。また、(2.17)式より波長は周波数に反比例する。従って高周波動作の回路ほど、伝送線路を用いるメリットが大きくなる。ここで、図 2.5 に 2GHz、5GHz、60GHz における伝送線路の 1/4 波長の長さを示す。これらはすなわち電気長 0.25 を実現するために必要となる、実装長である。

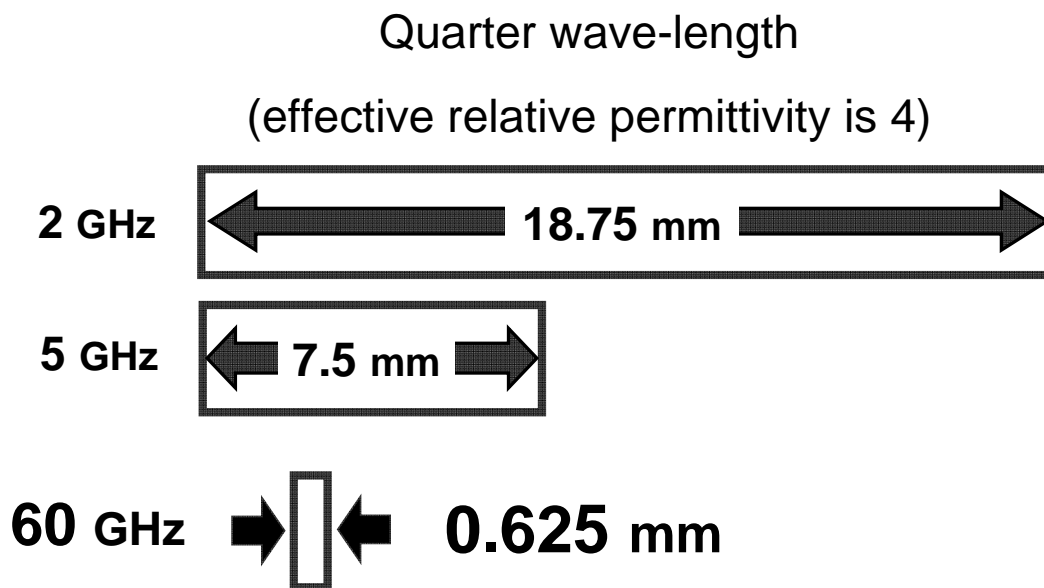


図 2.5 各周波数における伝送線路 1/4 波長の比較

オンチップ受動素子になるべく低損失 ( $Q$  値が高い) 事が望ましいのは当然であるが、高周波回路設計にあたってはトランジスタゲインが低下するため、より一層低損失であることが求められる。以下に高周波において、オンチップ伝送線路の損失となる物理現象を述べる。

### 2.2.1 シリコン基板導電性

CMOS プロセスはシリコン基板上に回路が実装される。このシリコンは、他のプロセスで用いられる半導体に比べ、導電性が高い。従って、CMOS におけるオンチップ伝送線路では、このシリコンの持つ導電性が生じる特性の悪化を考慮して用いられる必要がある。

一般に化合物半導体の抵抗率は  $10^7 \sim 10^9 \Omega\text{cm}$  程度であるのに対して、CMOS プロセスにおけるシリコン基板の抵抗率は数  $10 \Omega\text{cm}$  程度である[4]。そのため、シリコンには誘導性あるいは容量性カップリングを通して電流が流れてしまい、損失を生じる。例えば、オンチップ・インダクタではこの影響が顕著であり (図 2.6)、化合物プロセスと CMOS プロセスとでは、同様の形状のインダクタであっても、CMOS オンチップインダクタは  $Q$  値や自己共振周波数が共に低くなる[5]。また、基板損失による素子特性の劣化は複雑であるため、高周波におけるモデリングも難しくなる[4]。基板とのカップリングによる損失は、オンチップ伝送線路の  $RLGC$  パラメータに対して、 $R$  及び  $G$  を増加させ、 $L$  を若干低下させるように作用する。 $C$  への影響は小さい。

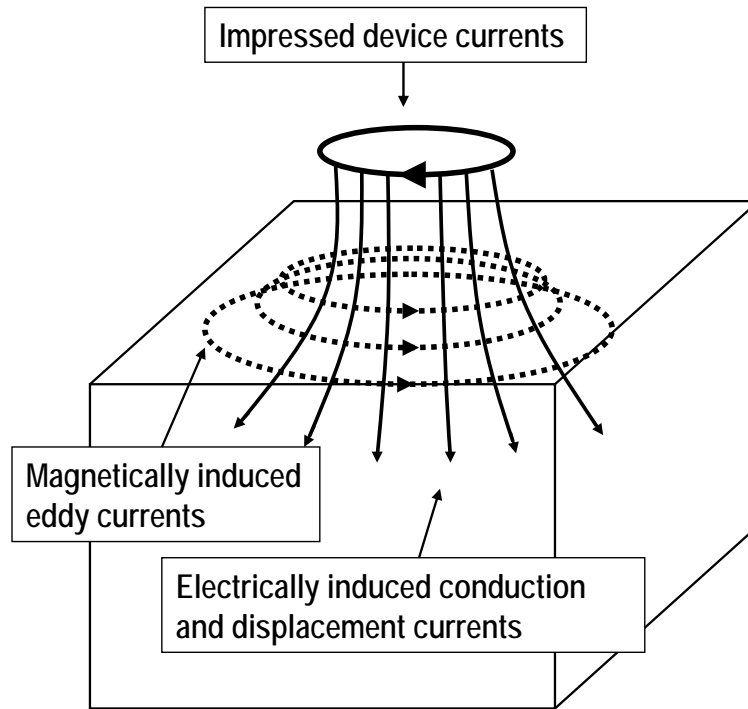


図 2.6 オンチップインダクタにおけるシリコン基板とのカップリング

### 2.2.2 表皮効果

伝送線路中の金属配線に電流が流れると磁界が発生する。伝送線路において、インダクタンスは信号電流とグラウンド電流と 1 巻きのコイルと考えることで理解される。すなわち、この 1 巻コイルと鎖交する磁束により伝送線路のインダクタンスが決まる。一方、ここで配線の内部にもインダクタンスが存在する。これを内部インダクタンスという。ここで、配線中の信号の周波数が高くなると、配線自身のインダクタンスにより、配線内部のインダクタンスは配線表面に比べて高くなる。これにより、配線の内部には電流は流れにくくなり、配線表面の電流密度は増加する。これを表皮効果という。配線表面から配線内部への電流密度の分布は、指数関数的に減少する。ここで、表皮深さ  $\delta$  は(2.19)式のように定義される。

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}} \quad (2.19)$$

ここで、 $\omega$  は角周波数、 $\mu$  は配線の透磁率（通常の CMOS プロセスでは真空透磁率となる）、 $\sigma$  は配線の導電率である。配線表面から深さ  $r$  だけ進んだ地点における電流密度  $J$  は、配線表面の電流密度を  $J_0$  とすると、(2.20)式で表される。

$$J = J_0 e^{-\frac{r}{\delta}} \quad (2.20)$$

すなわち、表皮深さは信号電流密度が  $1/e$  ( $e$  は自然対数の底) まで減衰する深さを表している (図 2.7)。

周波数が低く、表皮深さが配線幅や厚みよりも大きい場合には、配線にはほぼ様な電流が流れることになる。そのため電流により発生するインダクタンスはほぼ一定となる。ところが周波数が増加していき、表皮深さが配線幅や厚みより小さくなっていくにつれてインダクタンスの値は減少していくことになる。ここで、表皮深さが配線幅、配線厚みが表皮厚より大きくなるということはすなわち配線の内側には磁界が存在できなくなってくることを意味している。電流によって生じる磁束が配線内部へと侵入するためにはある程度の時間が必要となるが、周波数が高くなってくると十分磁束が内部へ進入する以前に電流の向きが変わってしまうからである。このため配線内部の磁界の減少、すなわち、インダクタンスの低下を招くことになる。また、配線内部では周波数の増加に伴って磁界が弱くなるのみならず、同様に電界も弱くなる。このため、配線の内側では電流が流れにくくなり、外側の限られた部分にだけ電流が流れるようになる。このように、表皮効果はインダクタンス  $L$  の減少と共に抵抗  $R$  の増加も招く。電流が流れうる面積が小さくなるということはすなわち抵抗が増加するということであるので、周波数の増加と共に配線抵抗は増加することになる。以上のように、周波数の増加と共に表皮効果の影響は大きくなり、配線抵抗の増加、インダクタンスの減少を招く。

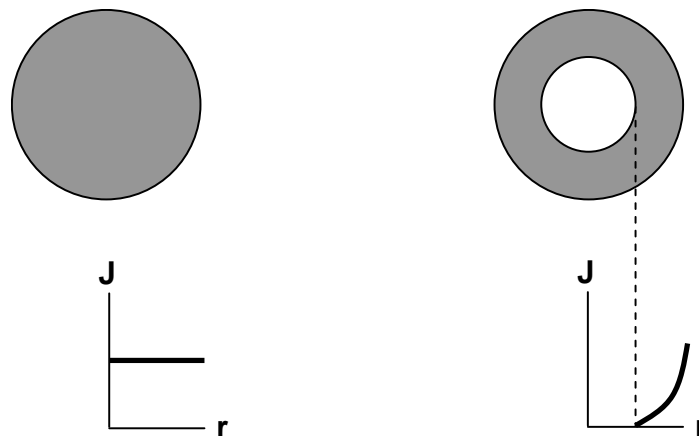


図 2.7 表皮深さによる電流密度の変化

### 2.2.3 近接効果

配線が近接して配置されている場合、これらの配線同士で近接効果を生じる[6]。集積回路において、実装面積を小さく抑えようとする、必然的に配線と配線とを近接して配置する必要が

ある。したがって、近接効果が影響を考慮する必要がある。オンチップ伝送線路においては、信号線とグランド線とを近接して配置することでこの近接効果の影響が大きくなる。この現象は図 2.8 のように表されることになる。各配線に流れる電流はそれぞれ磁界を生じることになる。この電流により、別の配線では鎖交する磁束が変化しレンツの法則により渦電流が流れることになる。この渦電流により、電流に偏りが生じることになる。このように配線に流れる渦電流により、配線内の電流密度に偏りが生じ、抵抗が  $R$  増加することになる。また表皮効果のときと同様に、配線内の磁界は減少することになる、つまりインダクタンス  $L$  成分も減少する。

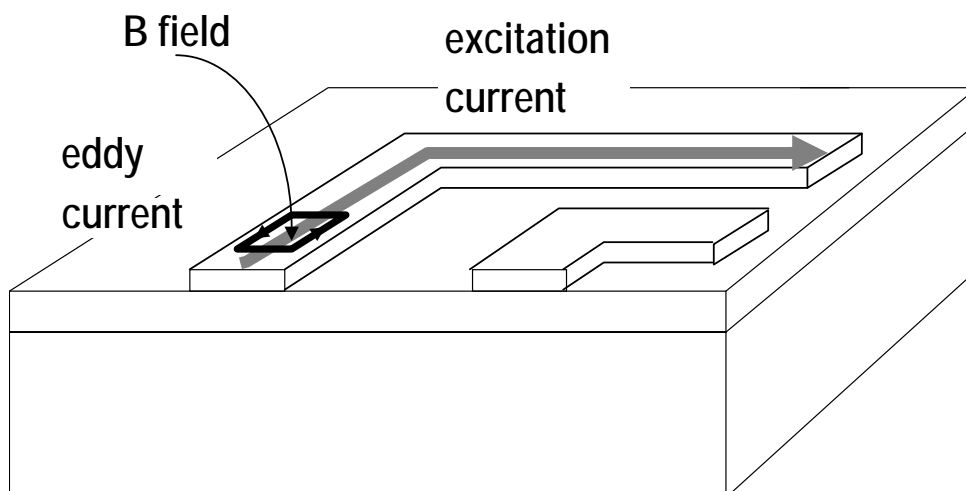


図 2.8 配線同士の近接効果

## 2.3 従来のオンチップ伝送線路

オンチップ伝送線路は、集積回路製造プロセスによって実装される。ここで、CMOS 集積回路プロセスを抽象化したものを図 2.9 に示す。ここではメタルのみを表しており、トランジスタや不純物拡散層などは省略している。まずシリコン基板の上に酸化膜を作り、その上にメタルの配線層が作られる。この配線層において、設計規則で許される範囲で、自由にメタルを配置することができる。ここで、設計規則として主に受動素子実装に影響するのは、メタル配線の最小線幅や最大線幅などを規定したものや、各層におけるメタルの密度の偏りを禁じたものなどである[7]、[8]。なお、この配線の厚みは、製造プロセス固有の値となり、設計者は変更できない。最下位のメタル配線層の上には、酸化膜を通して1つ上のレベルのメタル配線層が設けられている。この層でも、先の説明と同様に設計規則で許される範囲で、自由にメタルを配置することができる。相互の配線層はビアと呼ばれるメタル小片で接続できる。ビアは上下のメタル配線層のみを繋ぐメタルの小片である。従って、ビアによって信号線またはグランド線を構成するような事はできない。一方、異なるメタル配線層それぞれに存在する配線を、ビアで接続し等価的にメタル配線層2つ分の厚みを持つ配線

とする事は可能であるが、ビアによる接続は信号の通る断面積が限られてしまう点に注意する必要がある。最上位及びそれより一段下のメタル配線層は、それらより下の階層より厚み大きい。従って、太い配線（低抵抗）を用いたい場合には最上位の配線を用いる。図 2.9 では、5つのメタル配線層（5層）のプロセスを例として説明している。

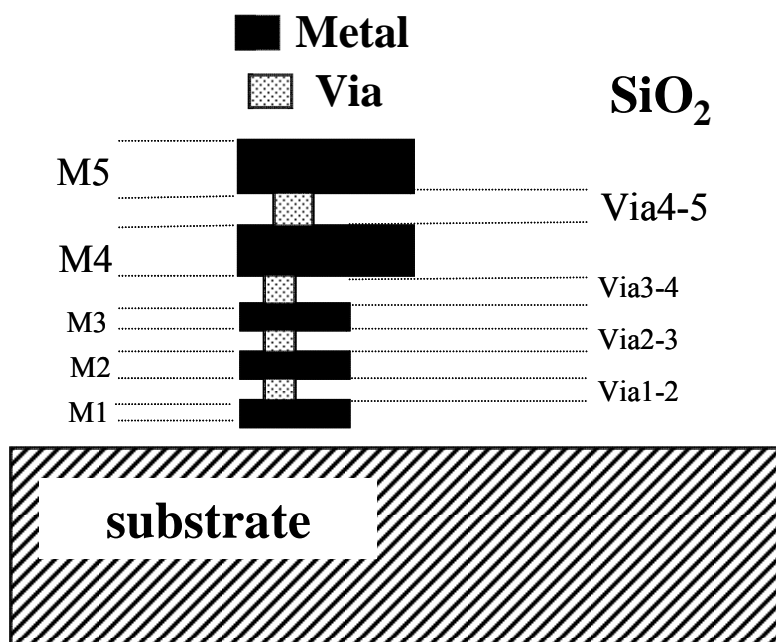


図 2.9 CMOS プロセスにおけるメタルレイアウト例

上にも述べたように、CMOS プロセスの利点は何よりもその低コストにある。製造プロセスを変更するためには、特別な工程を要し、その利点を打ち消すことに繋がる。従って、CMOS オンチップ伝送線路の実装は、所与のプロセスに従って行われる必要があり、必然的に実装形状などが限られてくる。オンチップ伝送線路として、従来コプレーナ導波路（Coplanara Waveguide : CPW）及びマイクロストリップ線路（Microstrip Line : MSL）が主に用いられてきた。以下ではそれらについて、構造及び特徴を解説する。これらを踏まえて、これらより低損失な特性を得られるスローウェーブコプレーナ導波路（Slow-wave Coplanara Waveguide : SCPW）について述べる。

### 2.2.1 コプレーナ導波路

コプレーナ導波路（CPW）は、信号線と2つのグランド線とからなる。信号線及びその両側に配置されたグランド線が、同じ平面上に実装される。この構造と、CMOS プロセスで実装した例を、図 2.10 に示す。



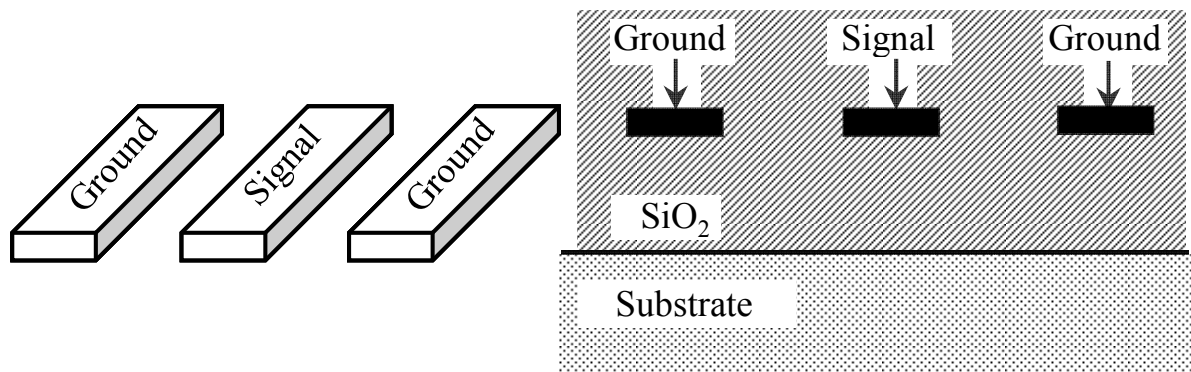


図 2.10 CPW の形状

ここで、CPW の信号線及びグランド線は、プロセスにおける最上位層メタルを用いて構成される。その理由は、最上位層メタルは一般に（グローバル配線に用いられるため）配線厚が最も大きく、信号線の抵抗を下げるができるためである。先に述べたように、CMOS において基板として用いられるシリコンは、導電性を持つ。信号またはグランドがシリコン基板とカップリングを起こすと、損失を生じる。従って、抵抗を下げるために最上位より 1 段ないし 2 段下のメタル層を併せて使用されることはありうるが、通常は最上位のメタル層のみで構成される。CPW の実装において、酸化シリコン絶縁膜の比誘電率などの値は、プロセスによる所与のものであり、設計者は変更できない。従って、CPW を実装するにあたって、その設計自由度は信号線の幅及び信号線とグランドとの間隔のみとなる。

次に CPW の特徴を説明する。CPW の断面形状について 2 次元電磁界シミュレーションを行い、 $Q$  値を評価した。その結果を図 2.11 に示す。ここで、シミュレーションパラメータを表 2.1 に示す。シミュレーションには、ANSOFT 社の 2D-Extractor を用いた。

表 2.1 CPW のシミュレーションパラメータ

配線の幅	8 $\mu\text{m}$
配線－グランド 間隔	2～56 $\mu\text{m}$
配線の厚み	2 $\mu\text{m}$
メタル導電率	$4 \times 10^7 \text{ S/m}$
配線から基板への距離	4.5 $\mu\text{m}$
酸化膜の比誘電率	4.15
酸化膜の誘電正接	0.001
シリコンの比誘電率	12
シリコンの導電率	100 S/m
周波数	60 GHz

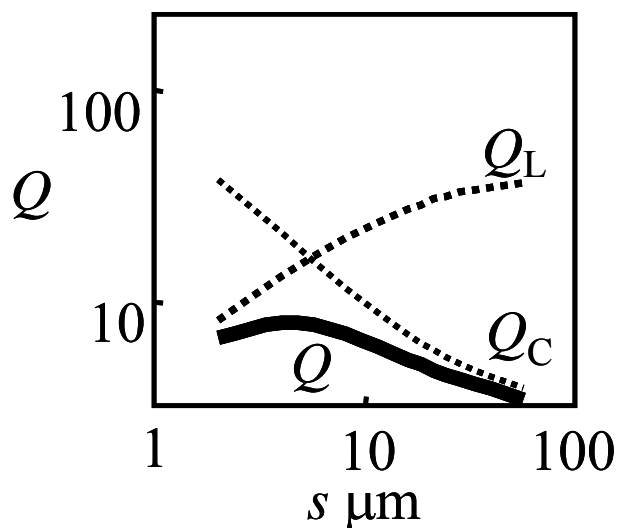


図 2.11 CPW の Q 値

Q 値は CPW における信号線とグランド線との間隔  $s$  の増加に対して減少する。ここで図 2.11 には  $Q$  値に加えて、 $Q_L$  及び  $Q_C$  をプロットしている。 $Q$  値は  $1/Q = 1/Q_L + 1/Q_C$  で表され、 $Q_L = \omega L/R$ 、 $Q_C = \omega C/G$  である。次に、図 2.12～図 2.15 に  $RLGC$  パラメータをそれぞれ示す。

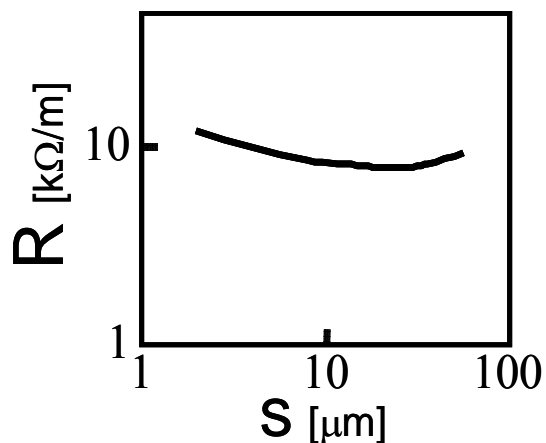


図 2.12 CPW の抵抗

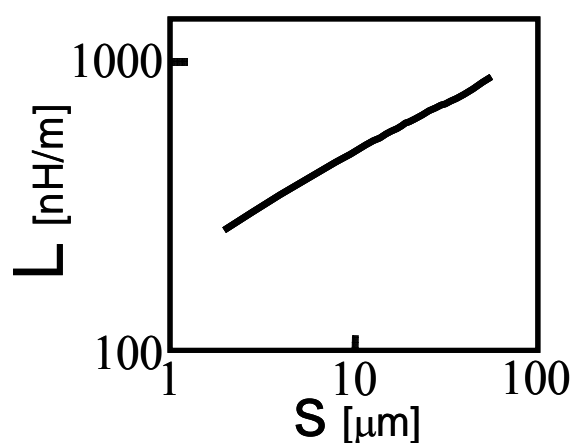


図 2.13 CPW のインダクタンス

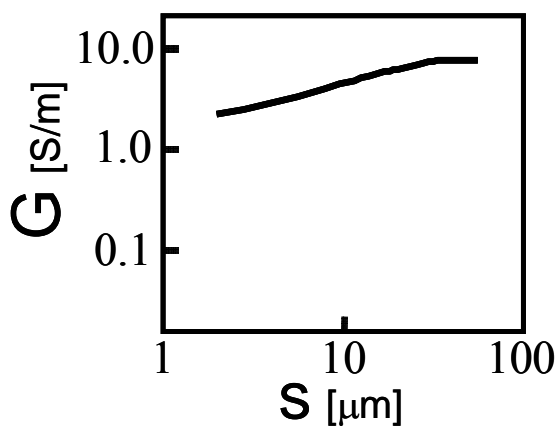


図 2.14 CPW のコンダクタンス

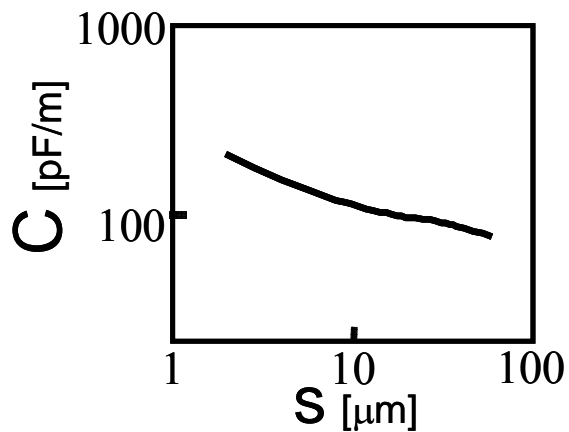


図 2.15 CPW の容量

CPW は信号線から両グランドまでの距離によって  $L$  の値が決まる。ここで、信号電流とグランド電流のループを仮想的な 1 巻きのコイルと考える。すると電流が一定という条件のもとでは、このコイルを鎖交する磁束は信号-グランド間隔  $s$  を広げるほど多くなる。そのため、 $s$  の増加に対して  $L$  が上昇する。これを図 2.16 に示す。また、信号線とグランド線の近接効果は、両者を離すほど弱くなる。従って、 $s$  を広げるほど  $Q_L$  は上昇する。一方  $s$  を広げることで、容量  $C$  が低下した、信号からグランドへの電気力線がシリコン基板を通りやすくなる。これを図 2.17 に示す。従って、 $s$  を広げる事で  $G$  が大きくなるため、 $Q_C$  は低下してゆく。

このように  $s$  の変化に対して  $Q_L$  は上昇し  $Q_C$  は低下する。ここで、 $1/Q = 1/Q_L + 1/Q_C$  という関係より、 $Q$  値はどちらか低い方の値に制限されるため、両者の特性がクロスする点において  $Q$  値が最大となる。

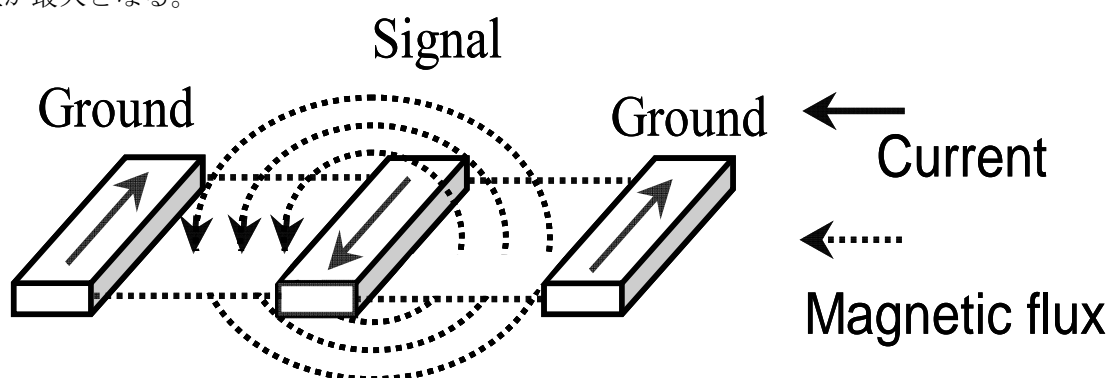


図 2.16 CPW における磁束

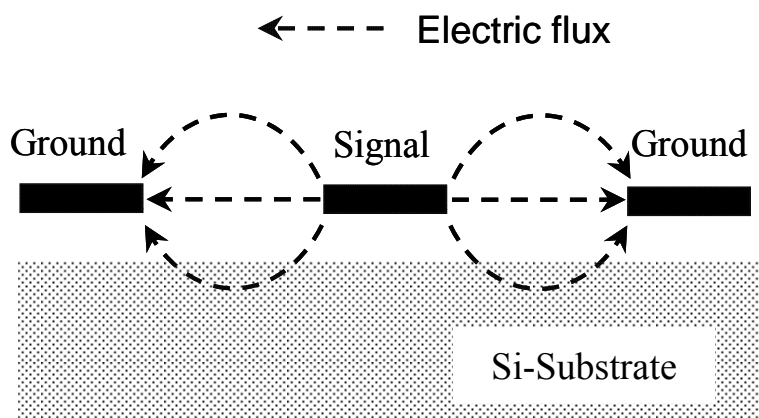


図 2.17 CPW における電気力線

### 2.3.2 マイクロストリップ線路

マイクロストリップ線路 (MSL) は、信号線の下にメタル平面によるグランドを配置した構造となっている。これを CMOS プロセスで実装した例を、図 2.18 に示す。

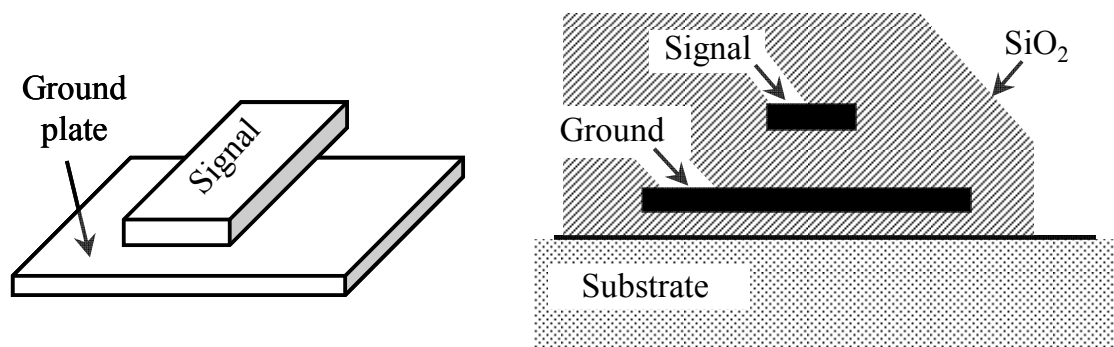


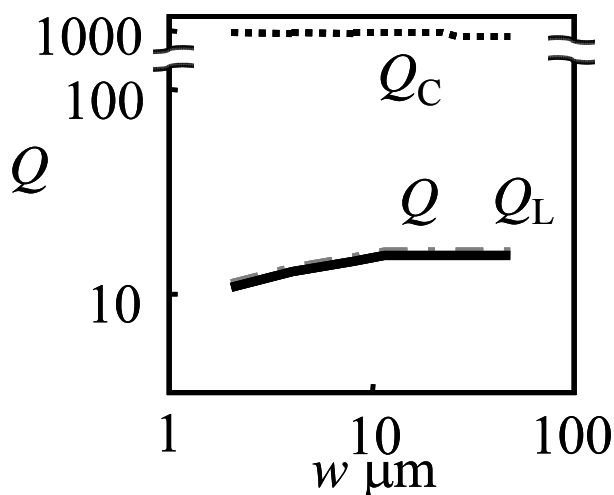
図 2.18 MSL の形状及び実装例

MSL の信号線は、プロセスにおける最上位層メタルを用いて構成される。その理由は、最上位層メタルは一般に（グローバル配線に用いられるため）配線厚が最も大きく、信号線の抵抗を下げることができるためである。またこれに対して、グランド面は最下位層メタルを用いて構成される。MSL において、信号線とグランド面との間隔は、グランド面をレイアウトする配線層をどこにとるかによって、理論上数通り通りの値をとり得る。しかし、信号－グランド間隔が遠い方が、近接効果による損失が抑えられるため、最下位のメタル層を用いられる。その他に酸化シリコン絶縁膜の比誘電率などの値は、プロセスによる所与のものであり、設計者は変更できない。従って MSL を実装するにあたって、その設計自由度は、信号線の幅  $w$  のみとなる。

次に MSL の特徴を説明する。MSL の断面形状について 2 次元電磁界シミュレーションを行い、 $Q$  値を評価した。その結果を図 2.19 に示す。ここで、シミュレーションパラメータを表 2.2 に示す。シミュレーションには、ANSOFT 社の 2D-Extractor を用いた。

表 2.2 MSL のシミュレーションパラメータ

配線の幅	1～50 $\mu\text{m}$
配線の厚み	2 $\mu\text{m}$
メタル導電率	$4 \times 10^7 \text{ S/m}$
グランドと配線との距離	4.5 $\mu\text{m}$
酸化膜の比誘電率	4.15
酸化膜の誘電正接	0.001
シリコンの比誘電率	12
シリコンの導電率	100 S/m
周波数	60 GHz

図 2.19 MSL の  $Q$  値

$Q$  値は MSL の唯一の設計パラメータとなる  $w$  に対して、ほぼ一定の値となる。 $RLGC$  パラメータの観点より、MSL における  $Q$  値について考察する。図 2.19～図 2.22 に  $RLGC$  パラメータをそれぞれ示す。

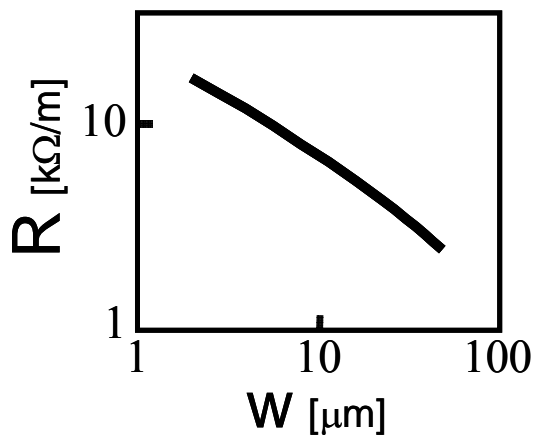


図 2.19 MSL の抵抗

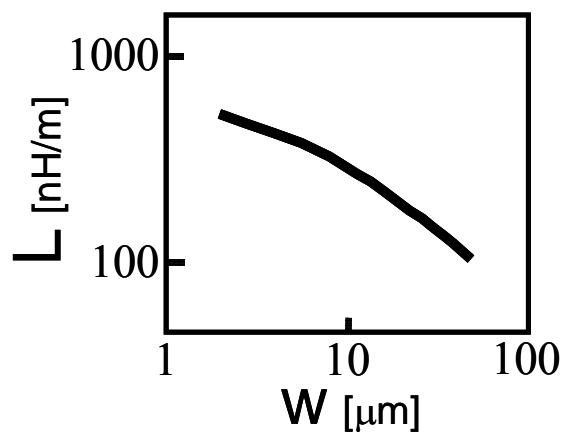


図 2.20 MSL のインダクタンス

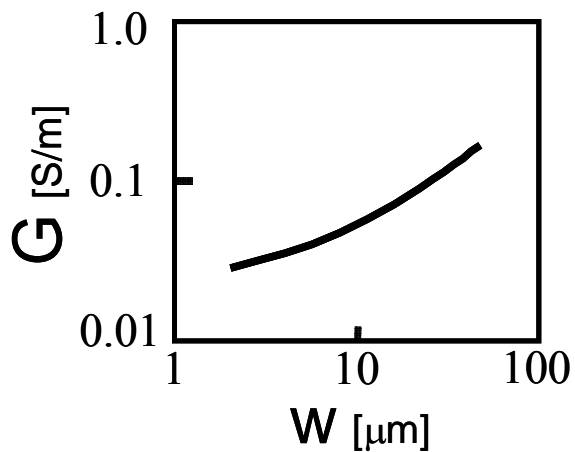


図 2.21 MSL のコンダクタンス

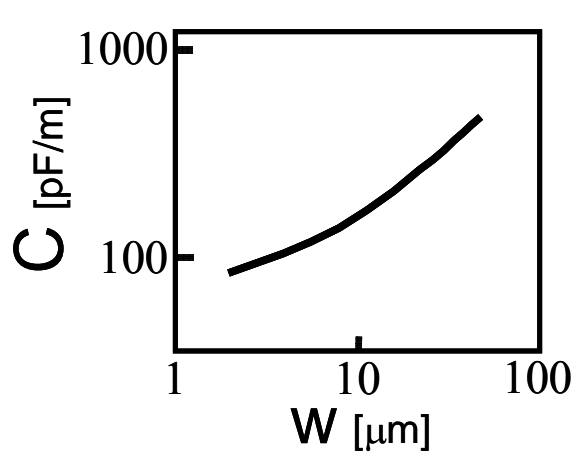


図 2.22 MSL の容量

MSL ではシリコン基板は信号線から遮蔽されているため、損失に寄与しない。従って、 $G$  は主にシリコン酸化膜の誘電正接により生じる。シリコン酸化膜の誘電正接は小さいため、 $G$  も小さくなる。また、最下位メタル配線層と最上位メタル配線層の厚みは一般に小さい。これにより容量  $C$  は増加する。従って、MSL の  $Q_c$  は高くなる (図 2.23)。一方 MSL において、CPW における信号-グランド間隔  $s$  に相当するのは、最下位メタル配線層と最上位メタル配線層の厚みである。これはプロセス固有の値であり、変更できない。加えて、CPW によって実現できる  $s$  に比べ、この信号線とグランド面との間の酸化膜の厚みは小さいため、信号-グランドのループにおける鎖交磁束を増加させることができない。あるいは、信号線幅  $w$  を細くすることで、電流密度を高め、生じる磁束を増やすことができる。しかしこれは同時に、配線の抵抗  $R$  が増加する事を意味する。よって MSL においては、 $Q_L$  を増加させることができない (図 2.24) ため、 $Q$  値が大きく上昇することはない。

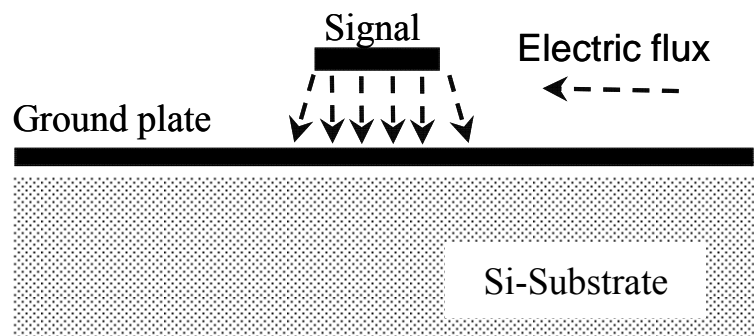


図 2.23 MSL における電気力線

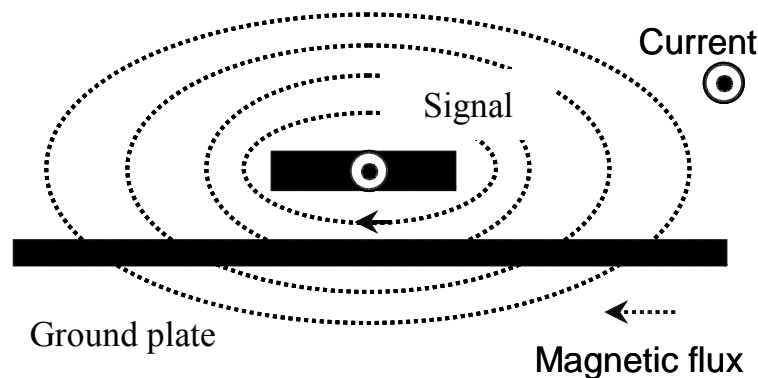


図 2.24 MSL における磁束

### 2.3.3 スローウェーブコプレナ導波路

スローウェーブコプレナ導波路 (SCPW) は図 2.25 の様に、CPW と同様の信号線及びグランド線に加えて、信号線に対して垂直なフローティングストリップメタルを配置している[9]。

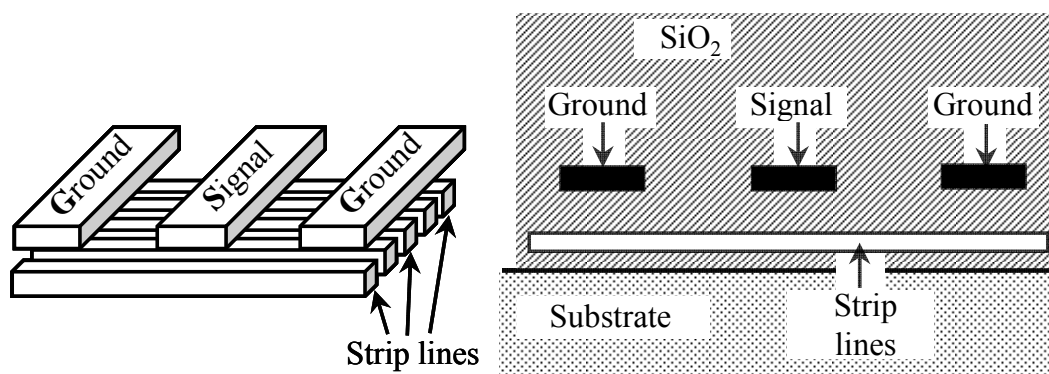


図 2.25 SCPW の形状及び実装例

ここで、信号線下のストリップラインシールドは、図 2.26 に示すように信号線からグランドに至る電気力線を終端する。従って、基板損失がシールドされているため CPW と比べて  $G$  が低くなる。また、SCPW の容量  $C$  は信号及び直下のストリップラインシールド間の容量と、ストリップラインシールドからグランドまでの容量との直列接続で考えられる。このように電気力線が短絡されるため、 $C$  が上昇する。

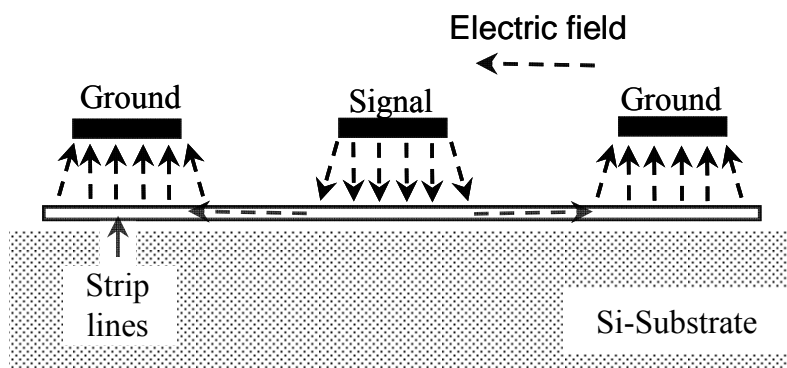


図 2.26 SCPW における電界

また、シールドは信号に平行なグランド電流を流さない。従って、生じる磁束は CPW の場合と同様に考える事ができる。この様子を図 2.27 に示す。従って、 $Q_L$  及び  $Q_C$  を両方高く取る事ができる。

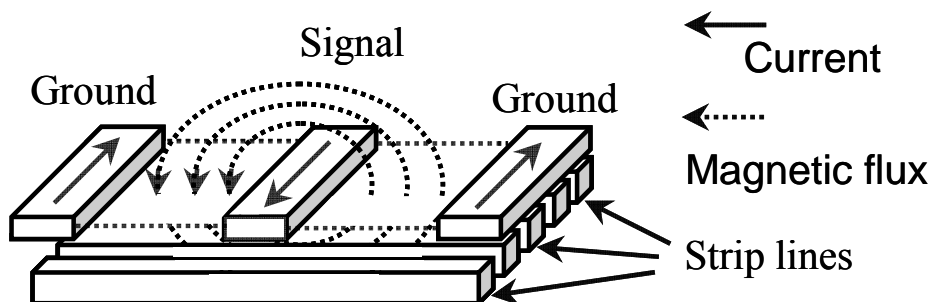


図 2.27 SCPW における磁界

ここで、2次元電磁界シミュレータは、断面形状のみからそのRLGCパラメータを求めるため、ストリップラインシールドを取り扱うことはできない。そこで、図 2.28 に示すように、ストリップラインシールドの持つ導電率の異方性に注目した。ここでストリップラインシールドは信号伝播方向に対して垂直な電流を流すが、信号伝播方向に対しては物理的に接続されていないため、電流を流さない。これを同様の異方導電性をもつ材料で近似し、シミュレーションを行った(図 2.28)。なお、シミュレーションに用いたパラメータは、CPW 及び MSL と同様である。

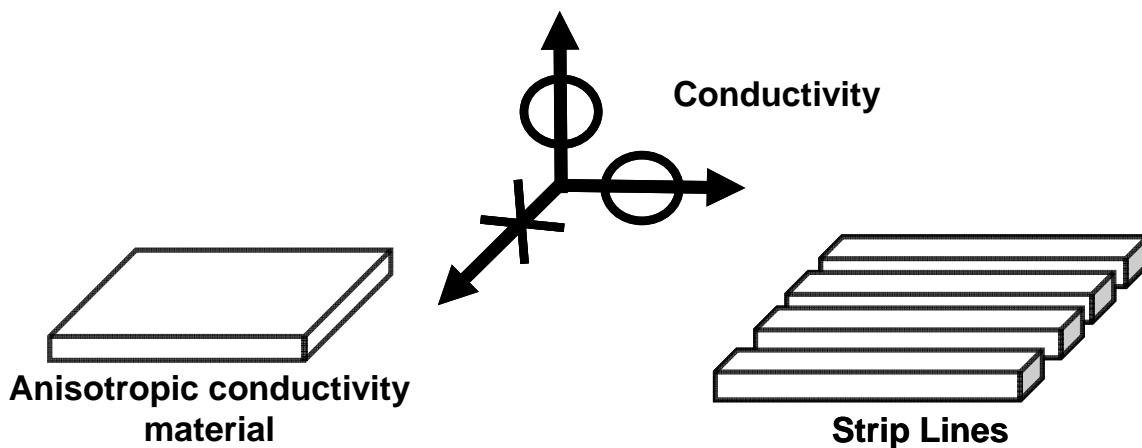


図 2.28 ストリップラインシールドの異方導電性

図 2.29 は SCPW 及び MSL、CPW のシミュレーションから求めた  $Q$  値をプロットしている。また、図 2.30 及び図 2.31 に  $Q_L$  及び  $Q_C$  を比較した図を示す。これより SCPW は MSL と同等の高い  $Q_C$  が得られており、CPW と同様に、 $s$  を広げることで  $Q_L$  が高くなるという特性を持っていることが分かる。シミュレーション結果より SCPW は、MSL 及び CPW に対して 2 倍以上の  $Q$  値を実現可能であることが示された。

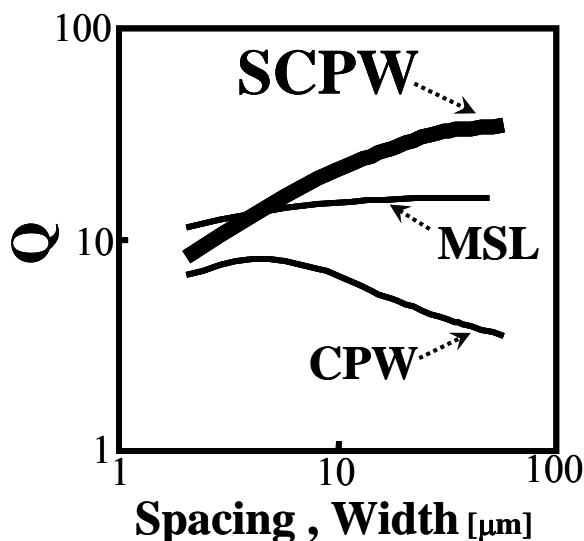
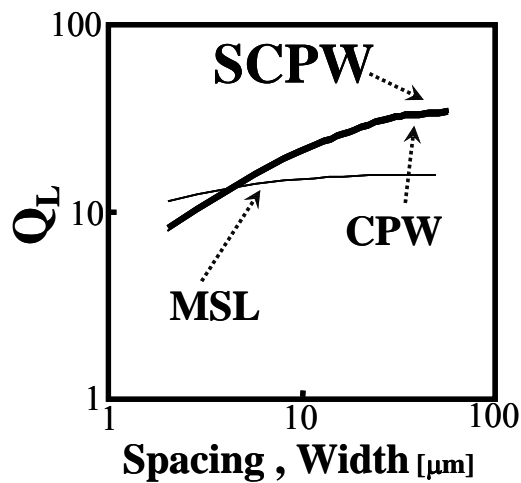
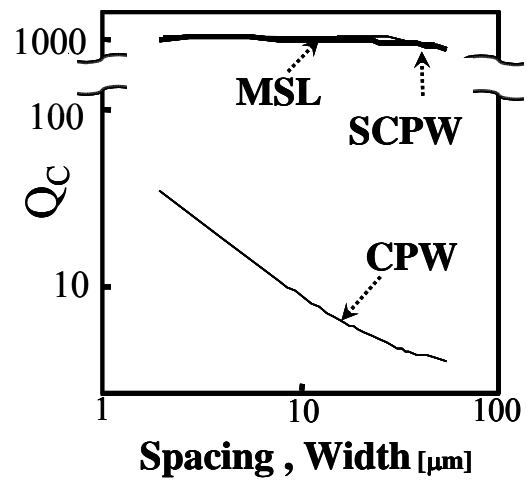


図 2.29 各形状の  $Q$  値比較



図 2.30 各形状の  $Q_L$  比較図 2.31 各形状の  $Q_C$  比較

## 2.4 まとめ

伝送線路は、**RLGC** からなる微小区間等価回路が無限個接続されたものとして解析される事を説明し、その評価の尺度となる  $Q$  値、 $Q_L$ 、 $Q_C$  の定義を述べた。またオンチップ伝送線路において損失の要因となる基板の導電性、表皮効果、近接効果について述べた。これらをもとに、従来のオンチップ伝送線路構造であるマイクロストリップ線路 (MSL)、コプレーナ導波路 (CPW)、スローウェーブコプレーナ導波路 (SCPW) の構造を示し、各伝送線路構造の  $Q$  値、 $Q_L$ 、 $Q_C$  を電磁界シミュレーションで求める事でそれぞれの特性を示した。 $Q$  値を高めるには  $Q_L$  及び  $Q_C$  を共に高くとる必要があるが、CPW は基板の導電性による誘電損失で  $Q_C$  が低下し、MSL は信号電流とグランド電流とが近接した構造であるため  $Q_L$  が低くなる。これに対して SCPW 構造は、信号線に対して垂直なストリップメタルラインを用いることで、基板をシールドして  $Q_C$  を高めつつ、信号電流とグランド電流とを遠ざけ  $Q_L$  を高める事ができ、同一プロセスにて実装される MSL、CPW に対して 2 倍以上の  $Q$  値が達成可能である事を示した。

## 第3章 スローウェーブ伝送線路のモデリング

スローウェーブコプレーナ導波路 (SCPW) [9]は、信号線及びグランド線の下に、信号線に対して垂直なフローティングのストリップラインメタルを敷き詰めることで、シリコン基板による誘電損失をシールドし、シリコン基板損失の生じるコプレーナ導波路 (CPW) に比べ  $Q_c$  を高くすることができる。また、グランド線を信号線より遠ざけて配置する事ができ、信号電流とグランド電流とによる電流ループに鎖交する磁束を増やすことができる。これによって、インダクタンスを増加させることができるため、信号線とグランド線とが近接しているマイクロストリップ線路 (MSL) に比べ  $Q_L$  が増大する。これにより SCPW は一般的な CMOS プロセスにおいて、従来用いられていた CPW 及び MSL に対して 2 倍以上の  $Q$  値が達成可能である。

しかし SCPW の構造は微細化の進んだプロセスでは、実装に適さない。従って、SCPW の構造を修正し、ナノメートル CMOS プロセスへも対応可能なスローウェーブ伝送線路 (Slow-wave transmission line : SWTL) 構造を提案した[10]。本構造を用いることでゲート長 100nm 以下の CMOS プロセスにおいても、低損失な伝送線路を実現できる。この SWTL を回路設計において用いる事で、回路を低損失化し、またはトランジスタのゲインマージンを広くとることができる。また、現在は SWTL のモデルは存在せず、回路設計に用いることができない。そのため、SWTL の微小区間  $RLGC$  パラメータをモデリングした。

以下に、SWTL の構造及び試作した SWTL の特性を示す。また、SWTL のモデリング手順を述べる。最後に、本モデルより計算された特性を実測値と比較することで、モデルを検証した結果について述べる。

### 3.1 SWTL の実装

微細化されたプロセスでは、歩留まり低下を防ぐため、回路設計時点から製造上の問題を考慮に入れる (Design for Manufacturing:DFM) 必要がある。ここでは、オンチップ伝送線路の特性に特に大きな影響を与える、メタルデンシティルールについて説明する。続いて、SCPW の実装における問題点を示し、SWTL の構造を説明する。そして伝送線路の測定法を示し、測定された SWTL の特性を示す。

#### 3.1.1 メタルデンシティルール

SCPW 形状は、CPW にフローティングのストリップメタルを加えただけで、非常にシンプルな構造であり、その実現に高抵抗基板あるいは MEMS によるシリコン基板の加工などの特殊なプロセスを必要としない。すなわち一般的な CMOS プロセスで実装可能である。しかし、微細化された CMOS プロセスで SCPW を実装する場合、メタルデンシティルールの制約を受ける。

メタルデンシティルールとは、チップにおけるメタルの偏った配置を禁じる設計規則である。チップ内においてメタルの密度が偏っていると、製造工程における機械化学研磨 (Chemical

mechanical polish : CMP) においてバラツキが生じ、歩留まりが低下する。従って設計時点においても、決められた値（ミニマムデンシティ）より低いメタル密度は許されない。同様にマキシマムデンシティを超えて、メタルを高密度で配置することも許されない[11]。メタル密度のチェックは、図 3.1 に示すようにチップ全域及び、各小区間についてそれぞれ行われる。そのため、面積の大きな伝送線路はその影響を受けやすい。多層メタル CMOS プロセスを用いた場合の SCPW 実装断面形状を図 3.2 に示す。SCPW は大きな空白があり、微細化の進んだ（設計規則の厳しい）プロセスでは必然的にデンシティルールに抵触する。また、デンシティルールを避けるため、SCPW の空白部を小さくする、すなわち信号グランド間隔を狭めることは、SCPW の利点を殺す結果となる。

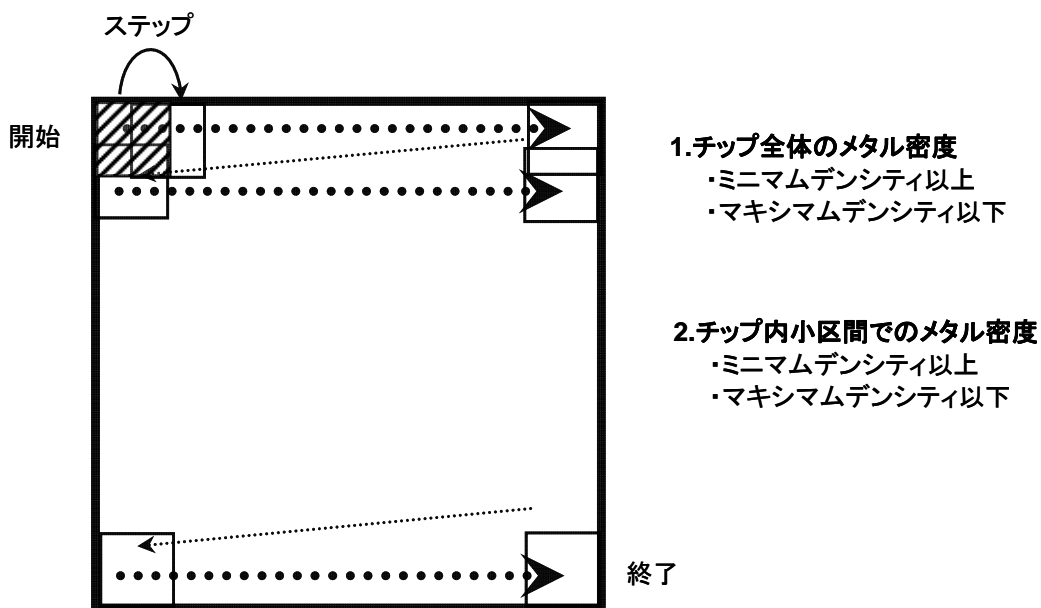


図 3.1 デンシティルールの概要

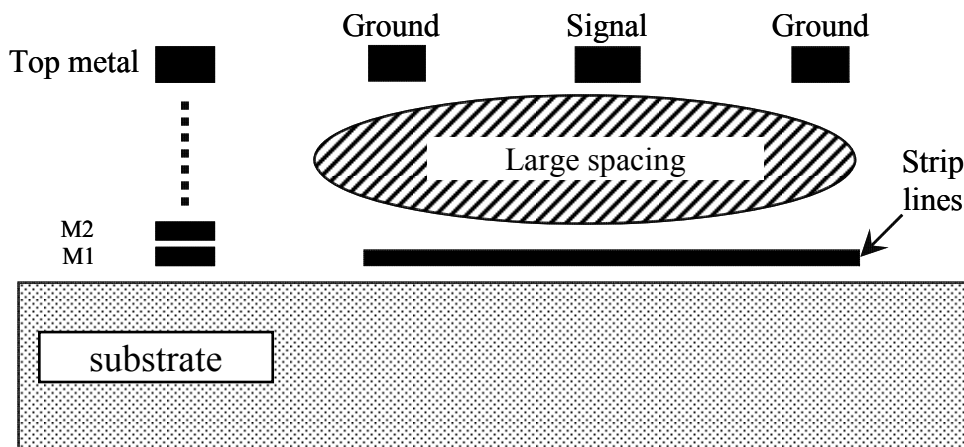


図 3.2 SCPW へのデンシティルールの影響

### 3.1.2 SWTL の形状

先に述べた様に微細化されたプロセスでは、各種設計規則が複雑かつ厳格であり、特に、チップ中のメタル密度の偏りを制限するデンシティールールが、受動素子の設計に大きく影響する。信号線とグランド線との間隔を広げる事で良い特性の得られる SCPW では、メタルの密度が設計規則に比べて低すぎる（ミニマムデンシティに抵触する）ことが問題となる。メタル密度が低すぎる場合、ダミーメタルを挿入する[11]。これは空白部に、メタル小片を配置するものである（図 3.3）。このダミーメタルの挿入により、素子の特性が不安定化しモデル化が困難になる。

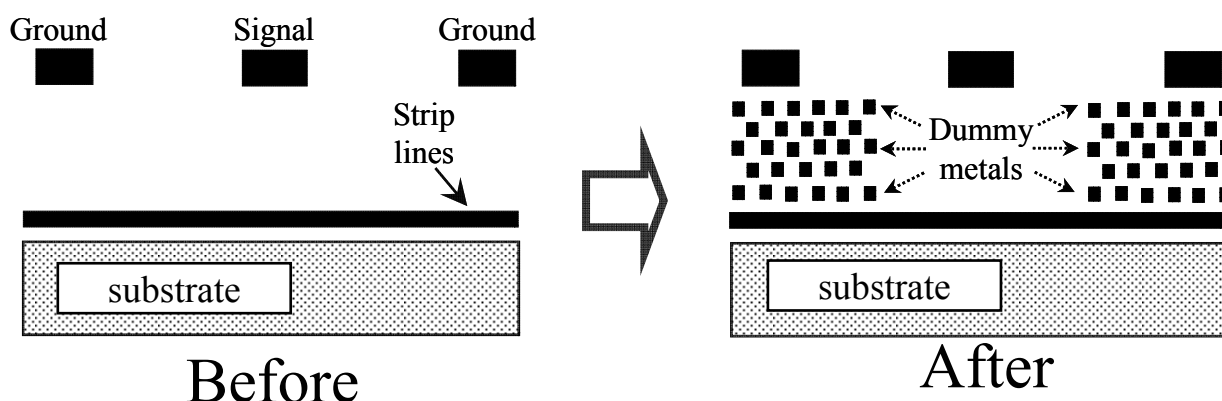


図 3.3 ダミーメタルの挿入

そこで、このメタルデンシティールールを満たすために、図 3.4 に示すようなダミーグランドを用いた。これは、グランド線から、信号線に垂直なメタルを伸ばして配置するというものである。SWTL 構造において、信号線とその両側に配置されたグランド線は、信号線として使用する事が可能な最上層のメタルで構成されている。両脇のグランドからは、信号線に向かってダミーメタルラインが伸びている。このメタルラインは、信号線方向に垂直に切り込みが作られており、その間隔は一定としている。これにより、メタルライン上には信号電流に平行な電流は流れず、伝送線路におけるインダクタンスには寄与しない。信号電流をグランド電流に対して遠ざけることで、鎖交する磁束が増してインダクタンスは増加する。本構造では、グランド電流は信号電流に対して位置的に遠く保たれるため、インダクタンスを減少させることなく、最上位メタル層のデンシティールールを満たすことができる。中間のメタル層においても、同様のダミーグランド構造を使用し、デンシティールールを満たしている。各層におけるグランドは、ビアを通して相互に接続されている。最下位のメタル層においては両ダミーグランドが接続されている。従って、この最下層のダミーグランドは SCPW におけるストリップラインシールドと同様に、シリコン基板への電界の入射を妨げ、誘電損失の発生を抑える。しかし、ここでダミーグランドはグランド電位に接続されており、SCPW に比べてモデリングが容易である。また、ダミーメタル小片を挿入する必要がなく、これによる特性の変化も当然生じない。

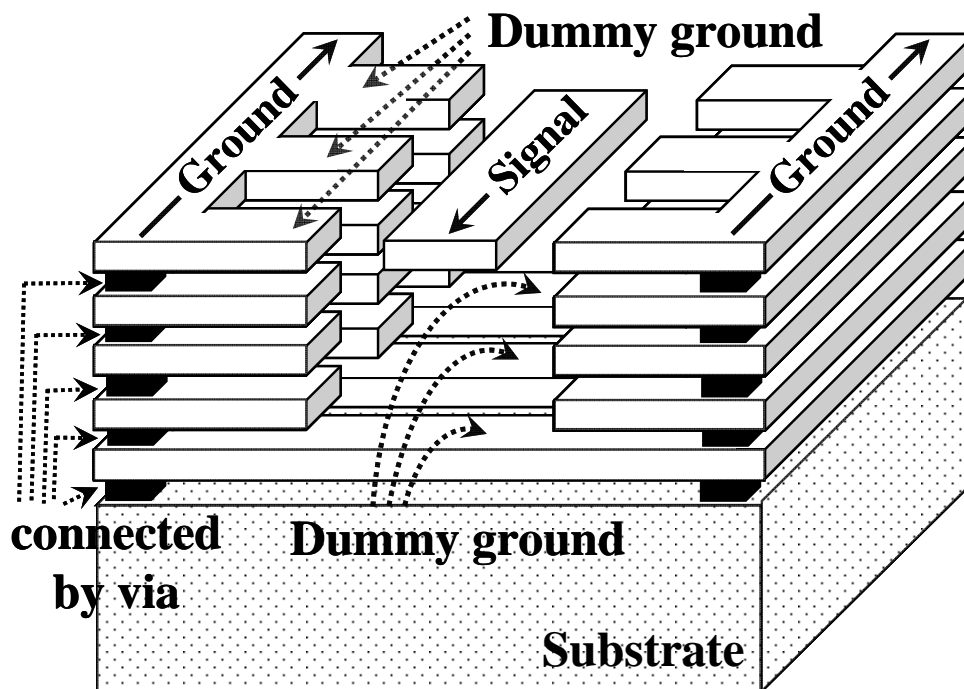


図 3.4 ダミーグランド形状の概要

90nmCMOS プロセスを用いて、5 タイプの SWTL を試作した。図 3.5 及び表 3.1 に実装した SWTL の概要を示す。

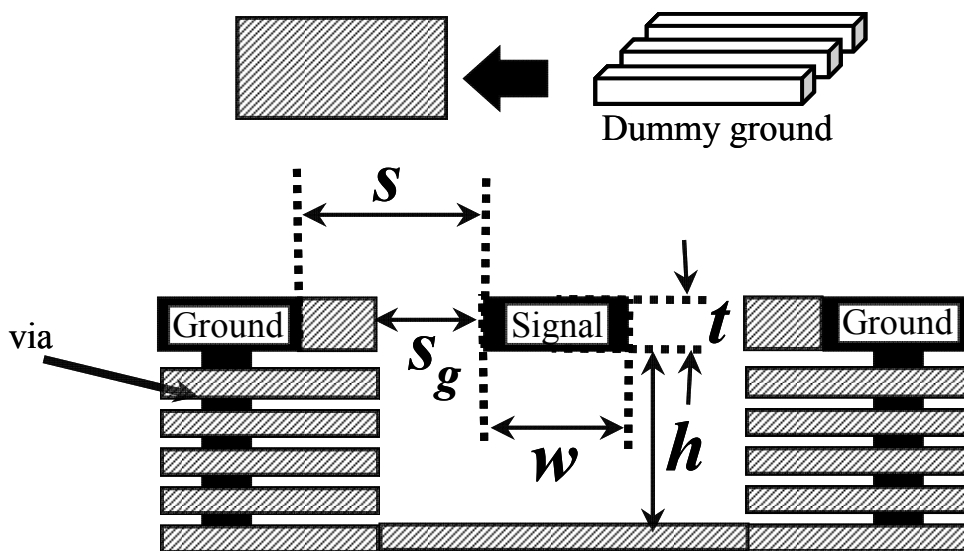


図 3.5 実装した SWTL のパラメータ概要

表 3.1 実装した SWTL のパラメーター一覧

	I	II	III	IV	V
$w [\mu m]$	12	12	12	12	12
$s [\mu m]$	14	24	34	44	84
$s_g [\mu m]$	14	14	14	14	14
$t [\mu m]$	1.5	1.5	1.5	1.5	1.5
$h [\mu m]$	1.35	1.35	1.35	1.35	1.35

## 3.2 SWTL の測定

ここでは、まずオンチップ素子の測定方法を説明する。そこから、伝送線路 RLGC パラメータを抽出する方法を示し、それにより得られた SWTL の特性を示す。

### 3.2.1 オンチップ測定の詳細

ここでは、オンチップ素子の評価方法を説明する。高周波における素子特性は、散乱パラメータ（S パラメータ）で評価される。S パラメータの評価はネットワークアナライザにより行われる。本測定には Anritsu 社の Vector Network Analyzer 37397C を用いた。図 3.6 に、実装された伝送線路のチップ写真を示す。

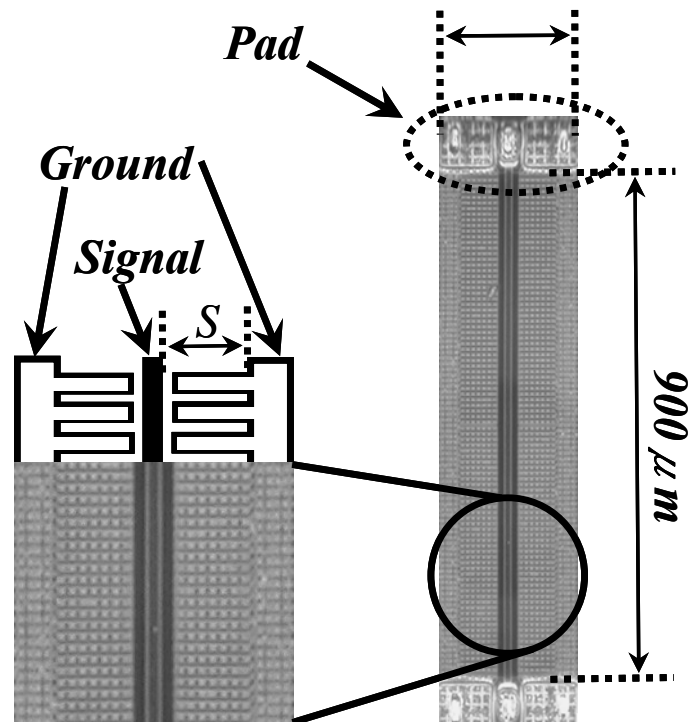


図 3.6 SWTL のチップ写真

このように測定対象となるチップの面積は小さいため、測定端子として微小な針（プローブ）を用いて、これをチップに接触させるプロービングと呼ばれる手法が用いられる。図 3.7 にプロービングの様子を示す。ここでは、GSG と呼ばれる、信号針を両側のグランド針でシールドするタイプのプローブを用いている。プロービングのために、被測定対象である集積回路側においては、最上層メタルを用いて、パッドと呼ばれる部分を作成しておく。測定パッドの形状や面積は、測定用プローブの形状にあらかじめあわせて設計される。このパッド上の酸化膜及び保護膜は、製造プロセスにおいて取り除かれる。この測定パッドと、実際に測定したい端子（Device Under Test : DUT）を配線により繋ぐことで、パッドを介して回路中に埋め込まれている素子特性を測定する。

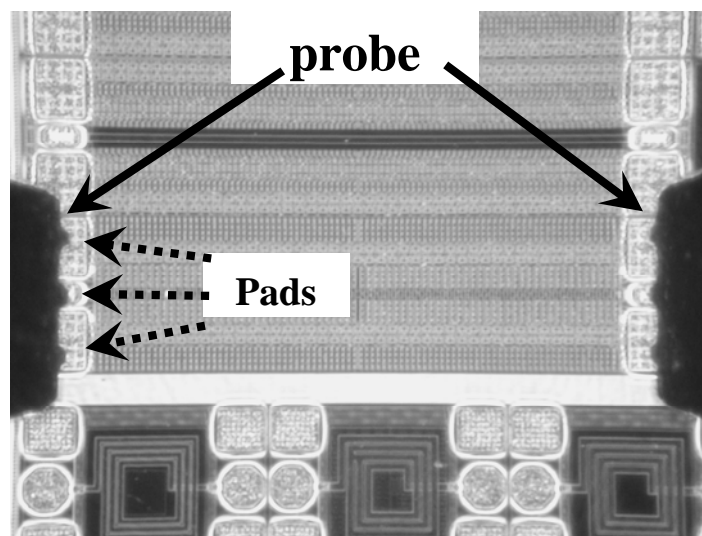


図 3.7 プロービングの様子

プロービングによって得られた S パラメータは、当然パッドの特性を含んでいる。従って、DUT の正味のデータを得るためには、パッドの影響を取り除く必要がある。そのために、De-embed と呼ばれる手法を用いる [12]。ここで、測定データには図 3.8 の様に、DUT に対して並列なパッド寄生容量と直列なパッド寄生抵抗が接続されていると考えられる。従ってこのパッドのみのデバイス（オープンパターン）、及びパッド端子を短絡したデバイス（ショートパターン）をあらかじめ設計しておくことで、これらの特性を用いて図 3.9 に示すように、パッドの影響を取り除く。

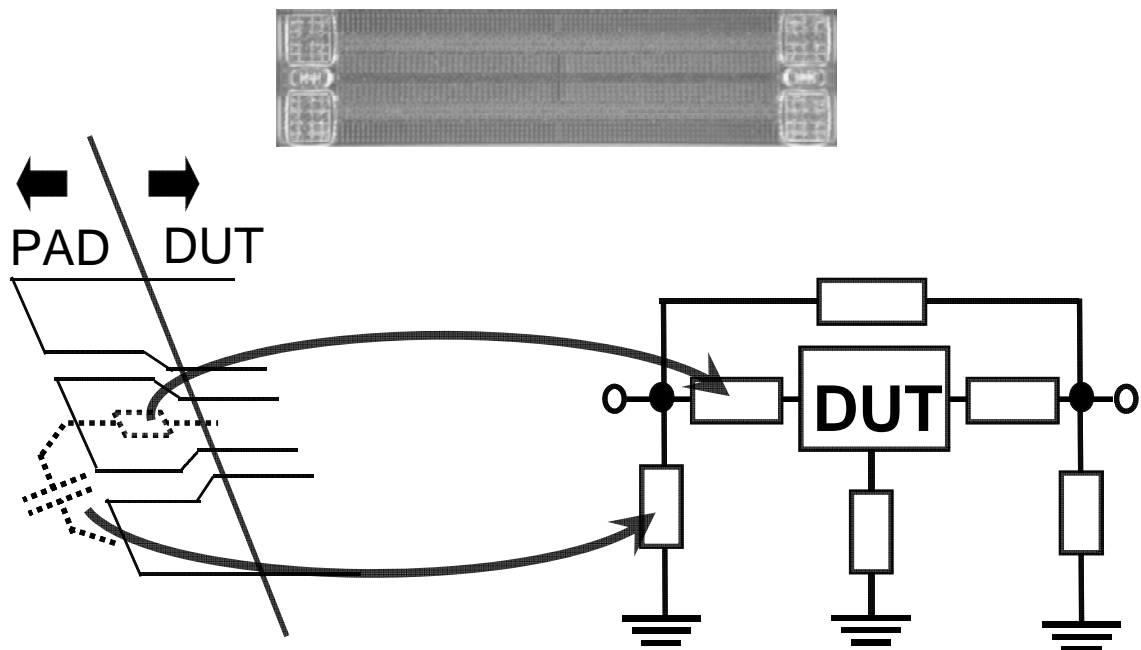


図 3.8 パッドによる寄生抵抗及び寄生容量

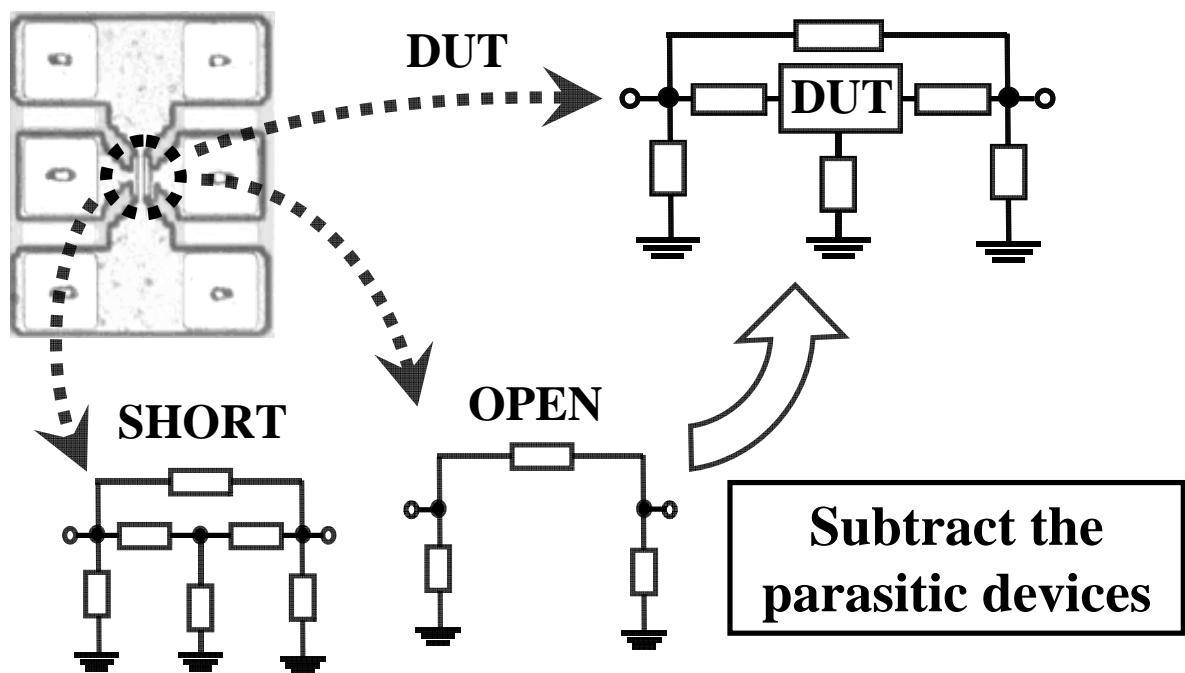


図 3.9 De-embed の概要

これを式で表すと、(3.1)式のようになる。

$$Z_{DUT} = (Y_{DUT} - Y_{OPEN})^{-1} - (Y_{SHORT} - Y_{OPEN})^{-1} \quad (3.1)$$



DUT、OPEN、SHORT の測定データをそれぞれ Y パラメータとし、まず DUT 及び SHORT から OPEN パターンの影響（寄生容量）を取り除く。次にそれらを Z パラメータに変換し、寄生容量を取り除いた DUT の Z パラメータ ( $Z_{DUT}$ ) から、同じく寄生容量を取り除いた SHORT の Z パラメータ ( $Z_{DUT}$ ) を差し引く。これにより、DUT の正味の Z パラメータが得られる。

### 3.2.2 伝送線路パラメータの抽出法

上に述べた手順を通して測定・処理された S パラメータをもとに、伝送線路パラメータを抽出する。最初に特性インピーダンス  $Z_0$  及び伝播定数  $\gamma$  の抽出を行う。伝送線路両端の関係式は(3.2)式で与えられ、これは F パラメータ (ABCD パラメータ) の形式となっている。F パラメータは図 3.10 に示すように定義される。一方、S パラメータは図 3.11、(3.3)式に示すように定義されている。

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} \cosh(\gamma l) & Z_0 \sinh(\gamma l) \\ \frac{\sinh(\gamma l)}{Z_0} & \cosh(\gamma l) \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (3.2)$$

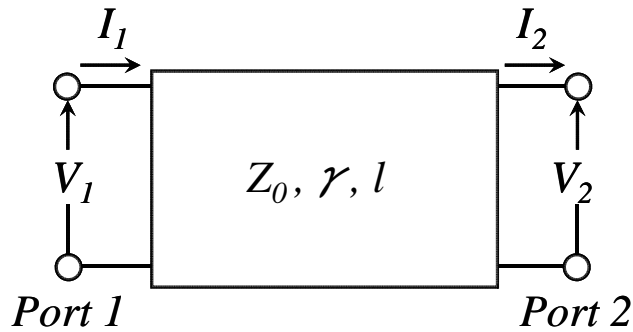


図 3.10 F パラメータの定義

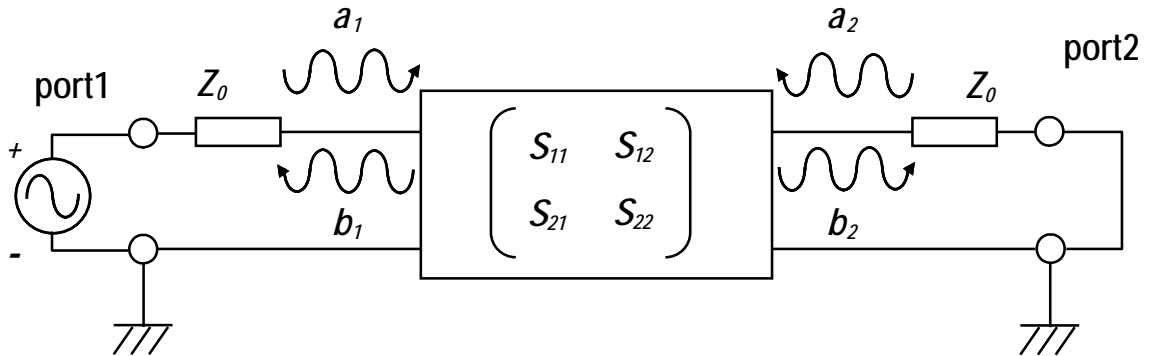


図 3.11 S パラメータの定義

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (3.3)$$

ここで、 $a_1$  及び  $a_2$  は各ポートに入射する電力、 $b_1$  及び  $b_2$  は各ポートから反射する電力である。これらは共に測定系における特性インピーダンス  $Z_s$  で規格化して求められている。 $a_1$ 、 $a_2$ 、 $b_1$ 、 $b_2$  及び  $V_1$ 、 $V_2$ 、 $I_1$ 、 $I_2$  は(3.4)式～(3.7)式に示す関係にある。従って、S パラメータから(3.8)式及び(3.9)式の関係が得られる。

$$a_1 = \frac{V_1 / \sqrt{Z_s} + I_1 \cdot \sqrt{Z_s}}{2} \quad (3.4)$$

$$a_2 = \frac{V_2 / \sqrt{Z_s} - I_2 \cdot \sqrt{Z_s}}{2} \quad (3.5)$$

$$b_1 = \frac{V_1 / \sqrt{Z_s} - I_1 \cdot \sqrt{Z_s}}{2} \quad (3.6)$$

$$b_2 = \frac{V_2 / \sqrt{Z_s} + I_2 \cdot \sqrt{Z_s}}{2} \quad (3.7)$$

$$Z_0 = Z_s \frac{\sqrt{1 + S_{11} + S_{22} + (S_{11}S_{22} - S_{12}S_{21})}}{\sqrt{1 - S_{11} - S_{22} + (S_{11}S_{22} - S_{12}S_{21})}} \quad (3.8)$$

$$\gamma = \frac{1}{l} \ln \left( \frac{(1 - S_{11}S_{22} - S_{12}S_{21}) \pm \sqrt{(1 - S_{11}S_{22} - S_{12}S_{21})^2 + (2S_{21})^2}}{2 \cdot S_{21}} \right) \quad (3.9)$$

(3.9)式における  $l$  は線路長である。 $RLGC$  は、これらにより求められた特性インピーダンス  $Z_0$  及び伝播定数  $\gamma$  とから計算できる。

### 3.2.3 SWTL の測定値

上記の  $\gamma$  を用いて、次のように  $Q$  値を得ることができる。

$$Q = \frac{\text{Im}[\gamma]}{2\text{Re}[\gamma]} = \frac{\beta}{2\alpha} \quad (3.10)$$

この式により求めた 110GHz までの  $Q$  値を、図 3.12 に示す。同図より、SWTL の  $Q$  値は 10 を超えており、CPW 及び MSL に比べ、2 倍以上の値を持つ。

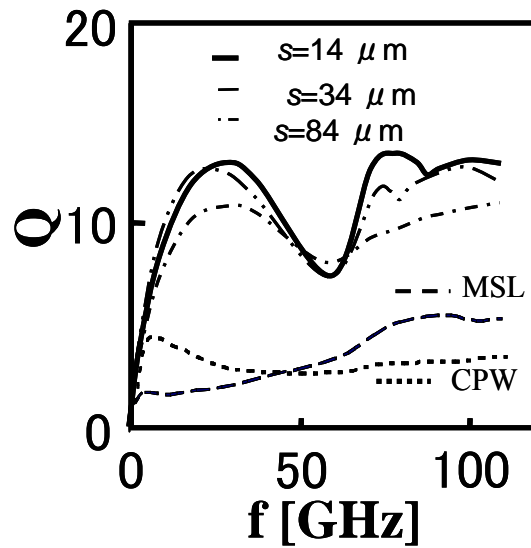


図 3.12 測定値より計算された  $Q$  値

ここで、SWTL の線路中の波長  $\lambda$  が伝送線路の実装長  $l$  に対して、 $l = \lambda/2$  よりも短くなる周波数を超えると、特性インピーダンス  $Z_0$  の計算精度は大きく低下する[13]。図 3.13 に 110GHz までの特性インピーダンス  $Z_0$  値を示す。

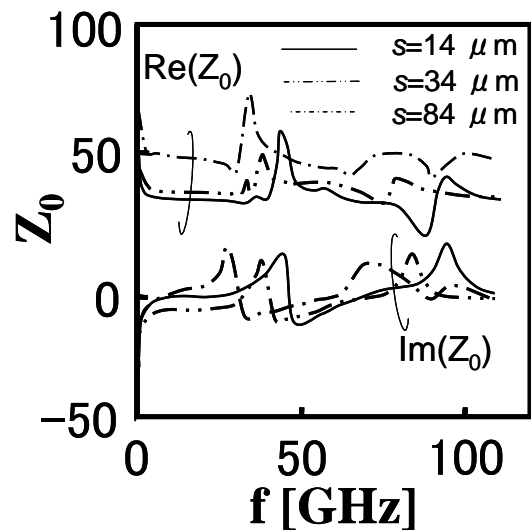


図 3.13 測定値より計算された特性インピーダンス  $Z_0$

伝送線路の **RLGC** パラメータは、特性インピーダンス  $Z_0$  及び伝播定数  $\gamma$  から求める。しかし、図 3.13 に示すように、特性インピーダンスの抽出値は、数 10GHz 以降で大きなピークが生じており、値を求めることができない。従って、抽出可能な RLGC パラメータも 10GHz 以下までに限られる。

### 3.3 形状依存特性モデリング

上に述べたように、SWTL は低損失な特性を得る事ができる。しかし、SWTL には伝送線路の実装や、パラメータの最適化にあたって必要となるモデルが存在しない。そこで SWTL の形状に依存した特性をモデリングした。この手順について述べる。図 3.14 は試作した SWTL を抽象化したものである。この SWTL の微小区間における、単位長さ当たりの抵抗  $R$ 、インダクタンス  $L$ 、容量  $C$ 、コンダクタンス  $G$  をモデリングする。

ここで、伝送線路における電流の分布は  $R$  及び  $L$  に関係し、電位の分布は  $G$  及び  $C$  に関係する。これらを分けて、順に述べる。

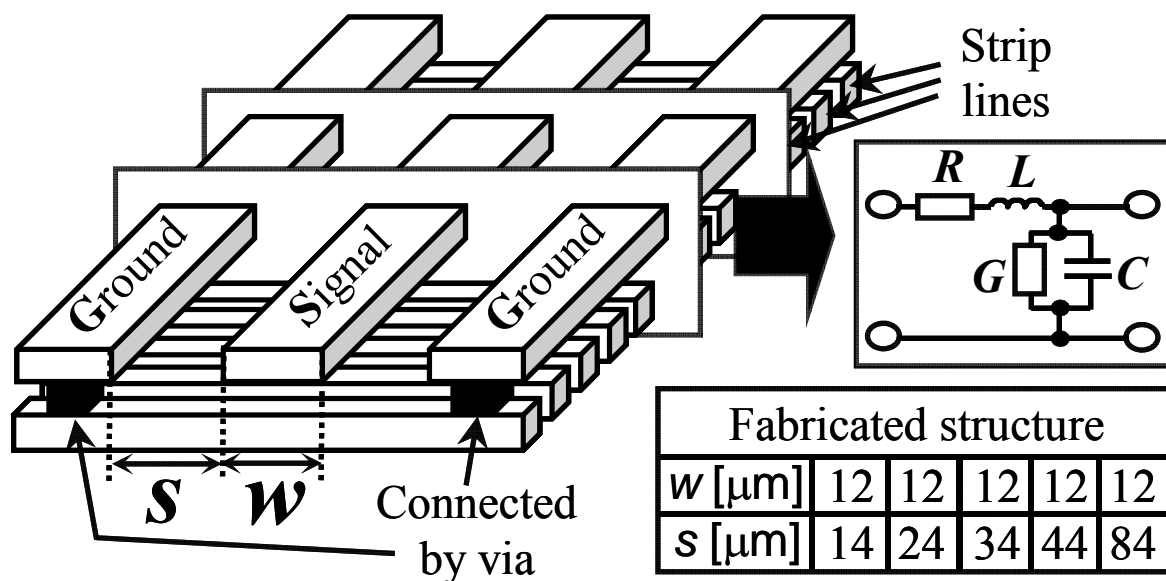


図 3.14 SWTL の形状依存モデリング概要

#### 3.3.1 $R, L$ の計算

試作した形状の伝送線路において、電流の分布を考える。ここで、ダミーメタルに流れる電流は、信号電流に対して垂直であるため、微小区間 **RLGC** 等価回路モデルにおいて信号伝播方向に定義される  $R$  及び  $L$  の値には影響しない。従って、信号線及びグランド電流のみを考慮すれ

ばよい。 $R$ は電流の流れる断面積で決まり、 $L$ は信号電流とグランド電流の距離によって求まる。この電流の分布はCPWと相似をなしている（図3.15）。従って、 $R$ 及び $L$ の計算には、CPWのモデルを適用する。

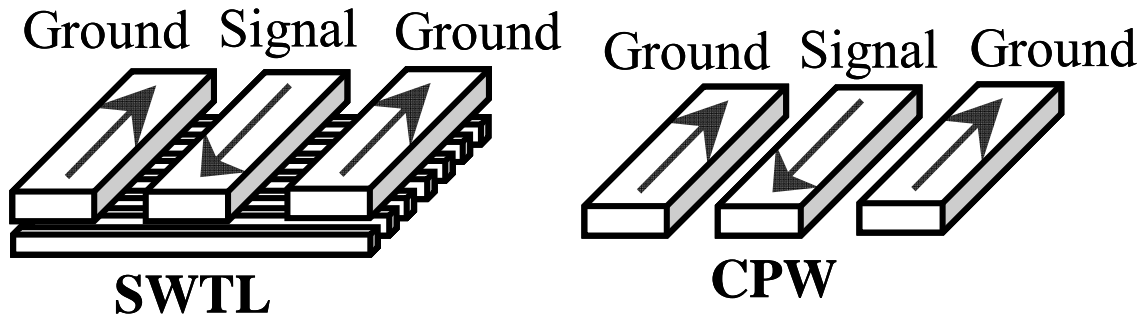


図 3.15 SWTL 及び CPW における電流

CPWの単位長さ当たりの抵抗 $R$ 、及びインダクタンス $L$ を求めるにあたって、その形状パラメータを図3.16のように定義する。

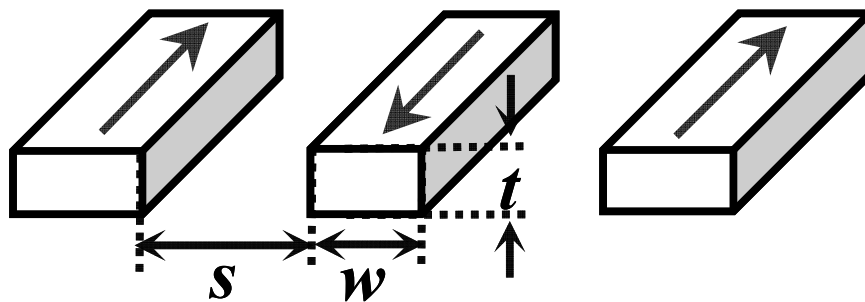


図 3.16 CPW の断面積

ここで、単位長さ当たりの抵抗は、信号線の幅 $w$ 及び厚み $t$ 、金属の導電率 $\sigma$ とから(3.11)式で表される。なお、グランド線は十分な太さを持っておりその抵抗は低いと考えて、無視する。

$$R = \frac{1}{\sigma w t} \quad (3.11)$$

単位長さ当たりのインダクタンスの計算は複雑になる。コプレーナ導波路の信号線及びグランド線はそれぞれ長方形の断面積をした配線からなる。これをコンフォーマルマッピングと呼ばれる計算手法により、計算しやすい断面形状への変換を行う[14]。これにより、コプレーナ導波路の特性インピーダンスは(3.12)式のように求まる。

$$Z_0 = \frac{30 \pi}{\sqrt{\epsilon_{eff}}} \frac{K(k')}{K(k)} \quad (3.12)$$

ここで、 $\epsilon_{eff}$ は伝送線路における実効比誘電率であり、以下のように定義される。

$$\epsilon_{eff} = c_0^2 LC = \left( \frac{\beta}{\omega} \right)^2 \quad (3.13)$$

無損失 ( $R=0$ ,  $G=0$ ) を仮定すれば、

$$Z_0 = \sqrt{\frac{L}{C}} \quad (3.14)$$

$$\beta = \omega \sqrt{LC} \quad (3.15)$$

となる。従って両者より、単位長さ当たりのインダクタンス  $L$  は(3.16)式のように求まる。

$$L = \pi 10^{-7} \left( \frac{K(k')}{K(k)} \right) \quad (3.16)$$

ここで、 $K(k)$ 、 $K(k')$ は第一種完全楕円積分である。 $k$  及び  $k'$  は以下のように定義される。

$$k = \frac{w}{2s + w} \quad (3.17)$$

$$k' = \sqrt{1 - k^2} \quad (3.18)$$

第一種完全楕円積分の比は、 $k$  が 0~0.707 の範囲のとき以下の近似で求める事ができることが知られている。

$$\frac{K(k)}{K(k')} = \frac{2\pi}{\ln\left(2 \frac{\sqrt{1+k'} + \sqrt[4]{4k'}}{\sqrt{1+k'} - \sqrt[4]{4k'}}\right)} \quad (3.19)$$

しかし、この近似は最大で 5% 程度の誤差を生じえるため、厳密な式で求める方が望ましい。厳密な第一種完全楕円積分は以下の式で求められる。

$$K(k) = \int_0^{\frac{\pi}{2}} \frac{d\theta}{\sqrt{1 - k^2 \sin^2 \theta}} \quad (3.20)$$

この式を近似式に対してより厳密に解くために、数学計算ソフト MATLAB を用いた。

これらに加えて、厳密な計算では、配線の厚み  $t$  を考慮する必要がある。ここで、厚み補正係数  $f_t$  を以下のように定義する。

$$f_t = \frac{1.25 t}{\pi} \left( \frac{1 + \ln(4\pi w)}{t} \right) \quad (3.21)$$

厚みの補正を考慮に入れることで、線幅  $w$  及び、信号—グランド間隔  $s$  は以下のように変換される。

$$w' = w + f_t \quad (3.22)$$

$$s' = s - f_t \quad (3.23)$$

これより、 $k$  及び  $k'$  を定義しなおす。その結果、インダクタンスの計算式は以下のようになる。

$$k_t = \frac{w_t}{2s_t + w_t} \quad (3.24)$$

$$k_t' = \sqrt{1 - k_t^2} \quad (3.25)$$

$$L = \pi 10^{-7} \left( \frac{K(k_t')}{K(k_t)} \right) \quad (3.26)$$

これらより求めた、CPW の単位長さあたりの抵抗  $R$  及びインダクタンス  $L$  を、SWTL の  $R$  及び  $L$  として求める。

### 3.2.2 C 及び G の計算

一方ダミーメタルの電位はグランドに接続されているため、グランドの電位となる。そのため、 $C$  及び  $G$  についてはこれを考慮する必要がある。信号電位とグランド電位が最も近いのは、信号及び直下のダミーメタルシールドの間であり、信号及びグランド間の電界は、この付近に集中して生じている。SWTL 構造は SCPW と異なり、信号線直下のシールドが両側のグランド線と接続されているため、グランドとストリップラインシールドとの間に生じる容量を考慮する必要は

ない。従って、断面の電位分布及び電界は MSL と同様であるため、MSL のモデルが適用可能である（図 3.17）。ダミーメタルシールドが、電界の基板への入射を妨げる。また単純化のため、シールドの電気抵抗はほぼ無視できるとすると  $G$  はシリコン酸化膜の誘電正接  $\tan\delta$  のみから求められる。

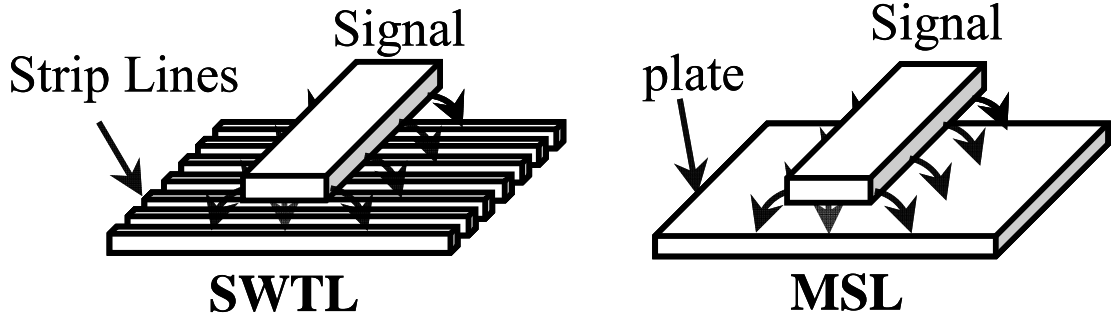


図 3.17 SWTL 及び MSL における電界

ここで、MSL の断面形状におけるパラメータを以下のように定義する。

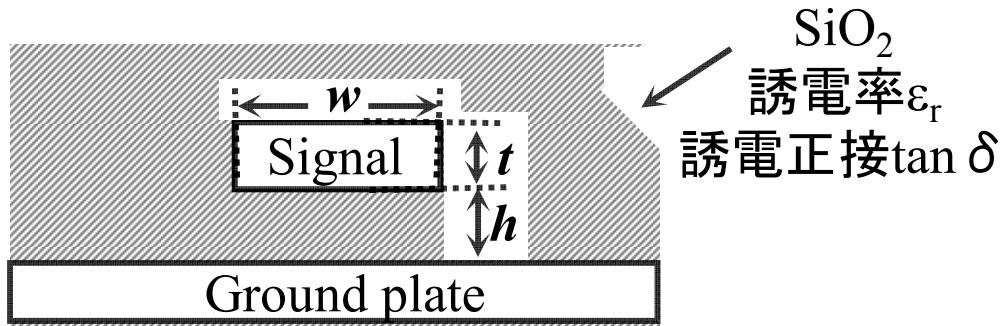


図 3.18 MSL の断面形状及びパラメータ

MSL の特性インピーダンスは以下の式で与えられる。

$$Z_0 = \frac{\eta_0}{2\sqrt{2}\pi\sqrt{\epsilon_r + 1}} \ln\left\{1 + \frac{4h}{w'} \left[ \frac{14 + 8/\epsilon_r}{11} \frac{4h}{w'} + \sqrt{\left(\frac{14 + 8/\epsilon_r}{11}\right)^2 \left(\frac{4h}{w'}\right)^2 + \frac{1 + 1/\epsilon_r}{2} \pi^2} \right]\right\} \quad (3.27)$$

また、線幅  $w$  が直下のグラウンドまでの高さ  $h$  より大きいときは、以下の式が得られる。



$$\varepsilon_{eff} = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \sqrt{1 + \frac{12h}{w}} \quad (3.28)$$

(3.27)式における  $w'$  は、信号線幅  $w$  の厚みを考慮して補正したものであり、以下のように定義される。

$$w' = w + \Delta w' \quad (3.29)$$

$$\Delta w' = \Delta w \left( \frac{1 + 1/\varepsilon_r}{2} \right) \quad (3.30)$$

$$\Delta w = \frac{t}{\pi} \ln \left( \frac{4e}{\sqrt{\left(\frac{t}{h}\right)^2 + \left(\frac{1/\pi}{w/t + 1.1}\right)^2}} \right) \quad (3.31)$$

これより、式を整理することで、以下の式が得られる。

$$C = \frac{\varepsilon_r}{9 \bullet 10^9 k_3 k_4} \quad (3.32)$$

$$k_1 = \frac{w}{h} + \left( 1.73 + \frac{1.73}{\varepsilon_r} \right) \left( \left( \frac{t}{h} \right)^2 + \left( \frac{t}{w\pi + t} \right)^2 \right)^{-\frac{1}{2}} \quad (3.33)$$

$$k_2 = \frac{20.4 + 11.6/\varepsilon_r}{K_1^2} \quad (3.34)$$

$$k_3 = \ln \left( 1 + k_2 + \sqrt{k_2^2 + \frac{79 + 79/\varepsilon_r}{k_1^2}} \right) \quad (3.35)$$

$$k_4 = \sqrt{1 + \frac{\varepsilon_r - 1}{\varepsilon_r + 1} \sqrt{1 + 12/k_1}} \quad (3.36)$$

また、コンダクタンス  $G$  は容量  $C$  の値と、酸化シリコンの誘電正接  $\tan\delta$  とから、以下の式により求まる。

$$G = \tan \delta(\omega C) \quad (3.37)$$

ただし、酸化シリコンの誘電正接は十分小さいものとして扱われるため、通常は無視される。これらより求めた、MSL の単位長さあたりのキャパシタンス  $C$  を、SWTL の  $C$  として求める。

### 3.3.3 実測値とモデル計算値との比較

ここで、1GHz における試作デバイス実測値から計算した  $RLC$  と、モデルから計算した  $RLC$  の値とを図 3.19～図 3.21 に比較する。本デバイスの試作は 7 層メタル、1 層ポリシリコンの 90nmCMOS プロセスを用いて行われた。測定には Anritsu 社の Vector Network Analyzer 37397C を用いた。

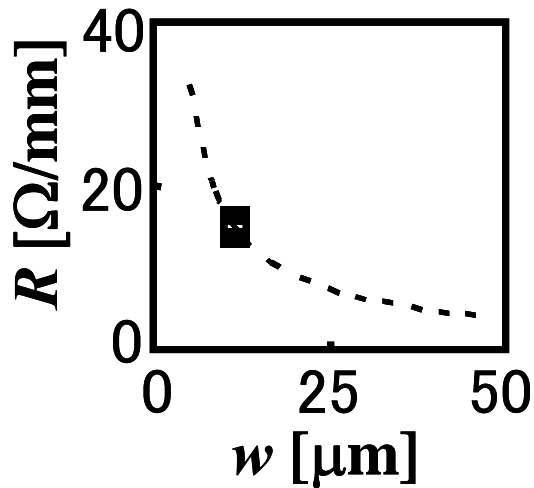


図 3.19 抵抗  $R$  の比較

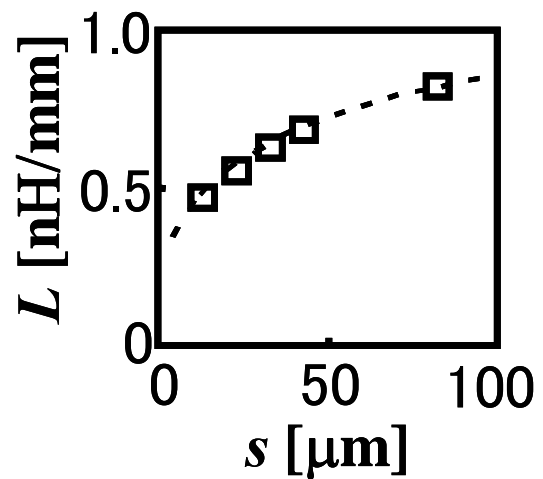


図 3.20 インダクタンス  $L$  の比較

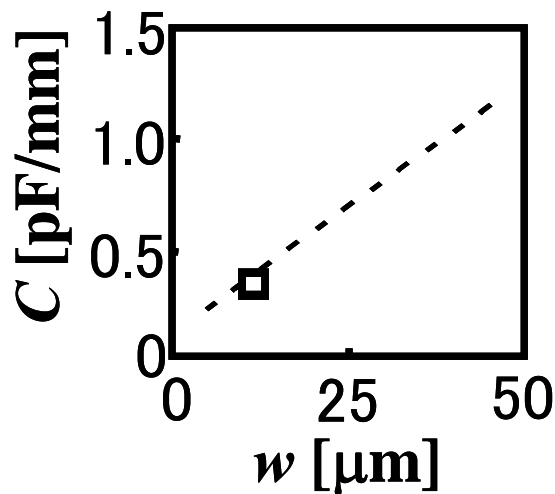


図 3.21 容量  $C$  の比較

これらの結果より、モデルから計算された値は、実測値に対して 10%以内の精度を持っていることが示された。

### 3.4 周波数依存特性を考慮したモデリング

上に、SWTL の形状依存特性モデルを説明した。この形状依存モデルは、CPW 及び MSL のモデルを適用することで得られたもので、1GHz のデータには非常に良く一致している。これにより、数 GHz 程度で動作する RF 回路などでの、SWTL の実装が可能となる。しかし、高周波における物理現象はさらに複雑であり、形状依存特性モデルだけでは高周波における設計精度が低下すると考えられる。そこで、表皮効果やシリコン基板との誘導結合などを考慮し、形状のみならず周波数にも依存した特性を表せるモデルを考案した。以下にそれらについて述べる。

#### 3.4.1 基板誘導結合と表皮効果

図 3.22 に形状依存特性モデルを用いて計算された  $R$  の値と、10GHz までの実測値とを比較する。表 3.1 に示したように、全試作パターンにおいて、信号線幅は  $12\mu\text{m}$  である。形状依存特性モデルでは、抵抗  $R$  を信号線断面積のみから計算しているため、各パターンに対して同じ値となっている。これに対して、実測値の抵抗  $R$  は、周波数によって増加しており、なおかつその増加の仕方は信号線ーグランド線間隔に依存している。

ここで、信号線における表皮効果による抵抗の増加は、断面形状が同一であることから、全パターンで同じ傾向を示すはずである。また、パターン信号線ーグランド線間隔を広げる事で、信号電流とグランド電流は遠ざけられ、両者の近接効果が低下すると考えられる。すなわち抵抗  $R$  は全パターンにおいて同一であるか、あるいは近接効果の観点からは、信号線ーグランド線間隔を広げる事で低下してゆくはずである。しかし、実測値ではこれらに反して、信号線ーグランド線間隔を広げる事で増加してゆく。この現象は、本形状依存特性モデルでは説明できず、他の原因も考慮する必要がある。

そこで図 3.23 に示すように、信号線とシリコン基板が誘導性結合を生じているというモデルを考案した。

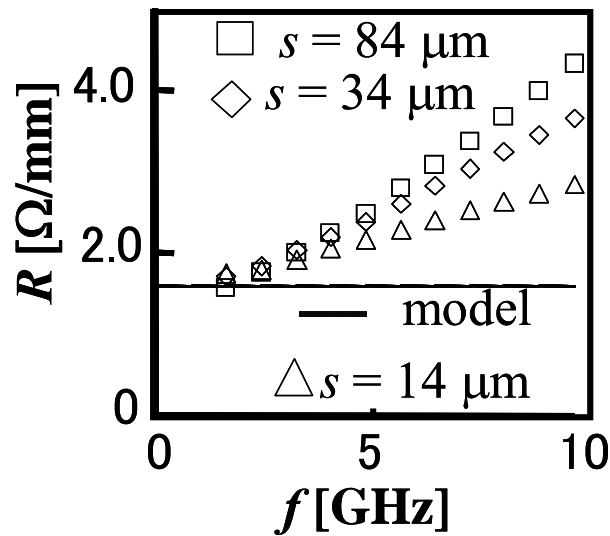
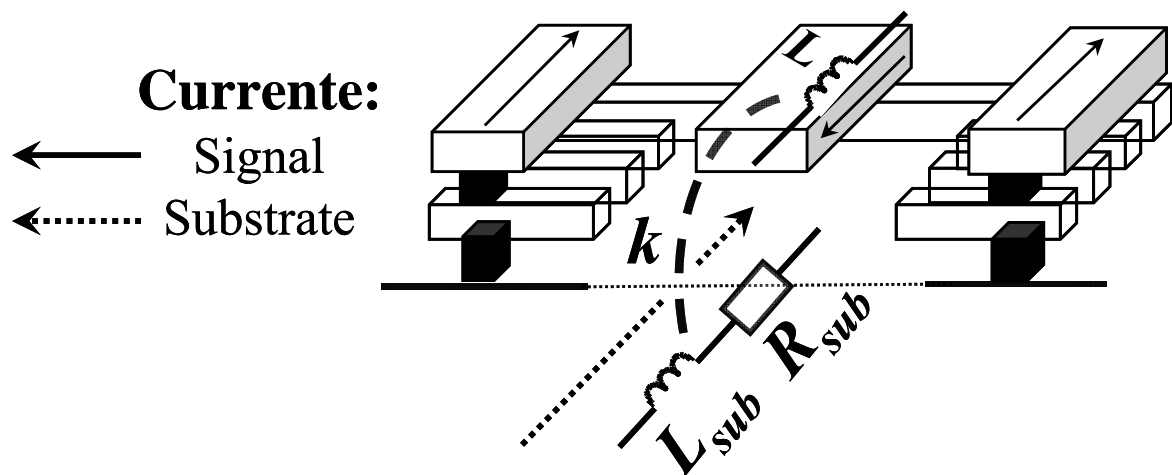
図 3.22 形状依存特性モデル及び実測値の  $R$  周波数特性比較

図 3.23 基板の寄生回路モデル図

図 3.23 における  $R_{sub}$  及び  $L_{sub}$  は、シリコン基板における単位長さ当たりの抵抗及びインダクタンスである。 $k$  は  $L_{sub}$  及び信号線のインダクタンス  $L$  の誘導結合係数である。ここで従来の CPW においては、基板導電性が誘電損失として作用し、特性が低下するのを避けるため、信号線とグラウンド線の間隔は  $10\mu\text{m}$  程度で用いられる。このグラウンド線が信号線に近い場合は、それぞれの電流によってシリコン基板に生じる磁束が打ち消しあい、シリコン基板との誘導性結合は弱くなる。これに対して実装した SWTL は信号線とグラウンド線の間隔は、 $14\mu\text{m} \sim 84\mu\text{m}$  と広い。従って  $R$  及び  $L$  の計算において、CMOS プロセスで実装される CPW で計算される値に加えて、SWTL ではシリコン基板との誘導性結合を考慮に入れる必要がある。

基板の寄生回路を考慮することで、 $R$  及び  $L$  は、以下に示すように  $R'$  及び  $L'$  に拡張される。

$$R' = R + \frac{\omega^2 k^2 L L_{sub} R_{sub}}{R_{sub}^2 + (\omega L_{sub})^2} \quad (3.38)$$

$$L' = L - \frac{\omega^2 k^2 L L_{sub}^2}{R_{sub}^2 + (\omega L_{sub})^2} \quad (3.39)$$

また、先にも述べたように高周波では表皮効果を考慮する必要がある。表皮効果により、導体内部の電流密度が低下するため、抵抗は増加する。ここで表皮深さは電流の流れる断面積が大きいほど、その影響が顕著に現れる。そのため、大きな断面形状を持つ基板は、表皮効果の影響が現れやすいと考えられたため、基板における抵抗  $R_{sub}$  において表皮抵抗の項を取り入れた。

### 3.4.2 シールド及びビアの抵抗

一般に誘電体の誘電性説により、容量  $C$  に対してコンダクタンス  $G$  が並列に生じる。ここで、(3.37)式によって計算したコンダクタンス  $G$  と実測値の周波数特性を図 2.24 に比較する。

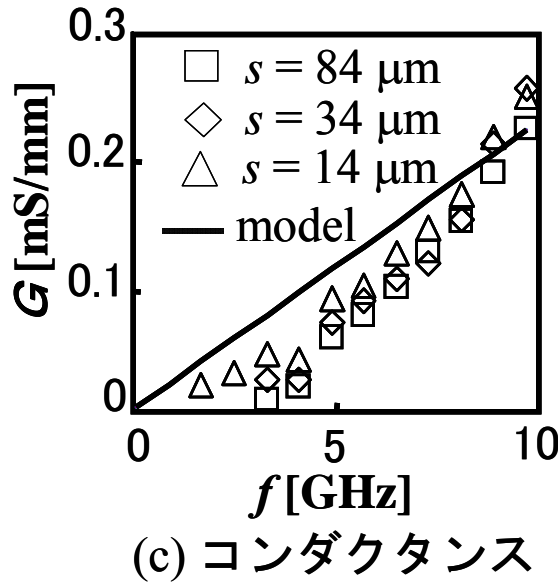


図 3.24 形状依存特性モデル及び実測値の  $G$  周波数特性比較

誘電損失から計算されるコンダクタンス  $G$  の傾向は、実測値とは異なっている。すなわち、誘電損失モデルから計算するコンダクタンス  $G$  はその定義から分かるように周波数に比例しているのに対して、実装した SWTL におけるコンダクタンス  $G$  は周波数の二乗に比例する様な特

性となっており、周波数特性を上手く表せていない。また本計算において、誘電正接は 0.01 としており、これは実態とかけ離れた値であると考えられる[15]。

一方 SWTL においては、容量  $C$  に対して直列にシールド及びビアによる抵抗が接続されていると考えられる。これを図 2.25 に示す。

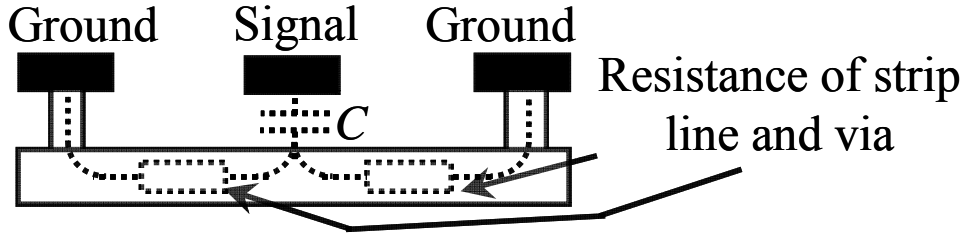


図 3.25 シールド及びビアによる抵抗

ここで、容量  $C$  に対して直列な抵抗を  $R_{GND}$  と定義する。ここで誘電損失を無視した場合、 $R_{GND}$  により等価並列容量  $C'$  及び等価並列コンダクタンス  $G'$  は以下のように表される。

$$C' = \frac{C}{1 + (\omega C R_{GND})^2} \quad (3.40)$$

$$G' = \frac{\omega^2 C^2 R_{GND}}{1 + (\omega C R_{GND})^2} \quad (3.41)$$

$R_{GND}$  が、 $1/\omega C$  に比べ十分大きい場合、以下ようになる。

$$C' = C \quad (3.42)$$

$$G' = \omega^2 C^2 R_{GND} \quad (3.43)$$

本モデルでは周波数特性を考慮するにあたって、誘電損失に比べてストリップラインシールド及びビアの抵抗の方が影響が大きいと考え、これを取り入れた。

### 3.4.3 考案したモデル

図 3.26 に考案した SWTL の微小区間等価回路モデルを示す。この等価回路モデルにおける各パラメータ単位長さあたりの値で定義される。まず、信号線における抵抗  $R_S$ 、及びインダクタ

ンス  $L_s$ 、信号ーストリップライン間の容量  $C_p$ 、ストリップライン及びビアの抵抗  $R_{GND}$  について述べる。 $R_s$ 、 $L_s$  及び  $C_p$  は、形状依存モデルにおける  $R$ 、 $L$ 、 $C$  と同様である。また、 $R_{GND}$  はストリップラインシールド及びビアの抵抗である。これらを表 4.2 に示す。ただし前述した様に、高周波では特性インピーダンスの抽出が行えず、 $RLGC$  が評価できるのが 10GHz 以下に限られる。信号線及びストリップ線、ビアは寸法が小さく、10GHz 以下で顕著な影響がでるとは考えにくい。従って表 4.2 では  $R_s$  及び  $R_{GND}$  において、表皮効果の項は取り入れていない。

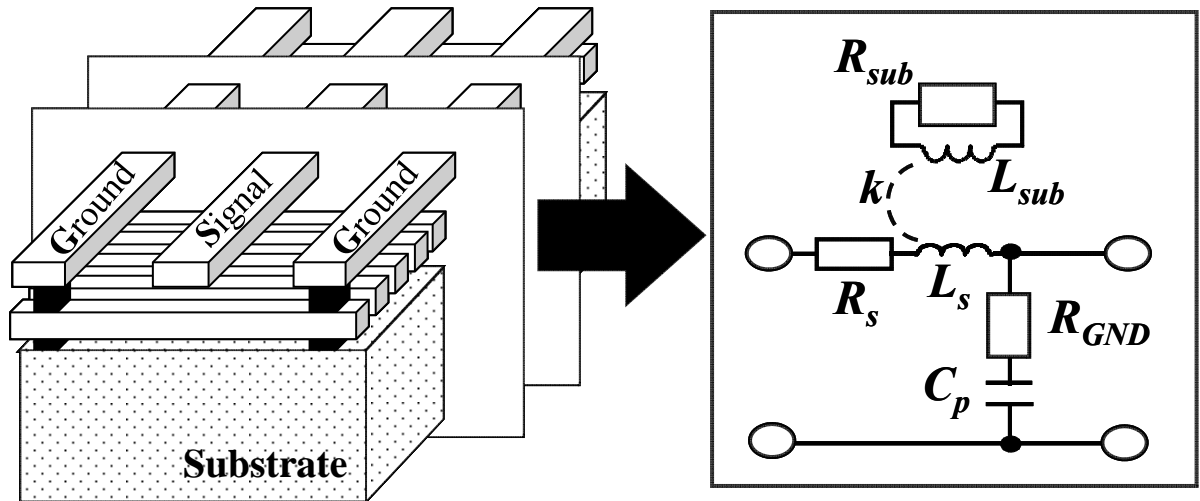
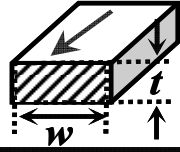
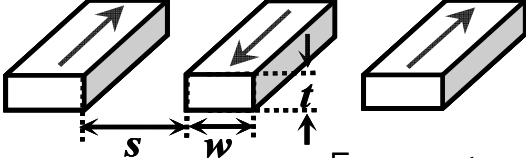
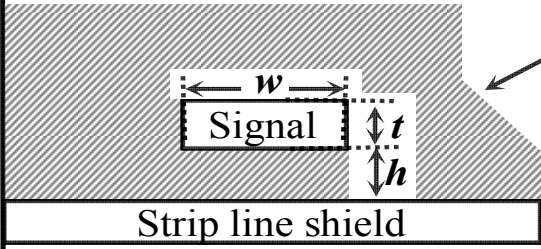
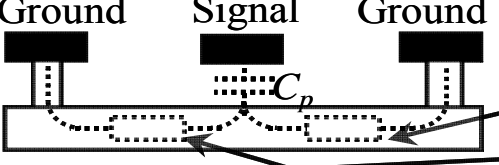


図 3.26 SWTL の周波数特性モデリングにおける微小区間等価回路

表 4.2 SWTL の等価回路パラメータ計算式

$R_s$	 <p>Signal <math>\rho</math> : Resistivity of metal</p> $R_s = \frac{\rho}{wt}$
$L_s$	 $L_s = \pi 10^{-7} \frac{K(k')}{K(k)}$ $A_t = \frac{1.25t}{\pi} \left[ 1 + \ln \left( \frac{4\pi w}{t} \right) \right]$ $k = \frac{w + A_t}{w + 2s - A_t} \quad k' = \sqrt{1 - k^2}$ <p><math>K(k), K(k')</math> : complete elliptic integral of the first kind</p>
$C_p$	 <p>SiO<sub>2</sub>(relative permittivity : <math>\epsilon_r</math>) Strip line shield</p> $C_p = \frac{\epsilon_r}{9 \bullet 10^9 k_3 k_4}$ $k_1 = \frac{w}{h} + \left( 1.73 + \frac{1.73}{\epsilon_r} \right) \left( \left( \frac{t}{h} \right)^2 + \left( \frac{t}{w\pi + t} \right)^2 \right)^{\frac{1}{2}}$ $k_2 = \frac{20.4 + 11.6/\epsilon_r}{K_1^2} \quad k_3 = \sqrt{1 + \frac{\epsilon_r - 1}{\epsilon_r + 1} \sqrt{1 + 12/k_1}}$ $k_4 = \ln \left( 1 + k_2 + \sqrt{k_2^2 + \frac{79 + 79/\epsilon_r}{k_1^2}} \right)$
$R_{GND}$	 <p>Ground Signal Ground <math>R_{GND}</math> : Resistance of strip line and via</p>

次に、基板電流に関するパラメータである、 $R_{sub}$ 、 $L_{sub}$  及び  $k$  について述べる。 $R_{sub}$  及び  $L_{sub}$  はシリコン基板における単位長さ当たりの抵抗及びインダクタンスである。 $k$  は基板寄生インダクタンス  $L_{sub}$  及び信号線におけるインダクタンス  $L_s$  相互の誘導結合係数である。それぞれのパラメータの定義及び近似式を図 3.27、(3.44)式～(3.46)式に示す。



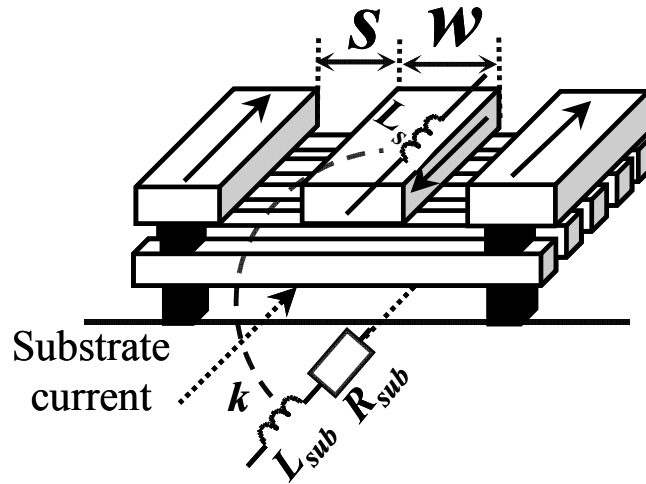


図 3.27 基板電流に関するパラメータの定義

$$R_{sub} = 210 s \sqrt{f} \quad (3.44)$$

$$L_{sub} = \frac{L_s}{100} \quad (3.45)$$

$$k = 1 - \exp\left(-0.3\left(\frac{s}{w}\right)^{3.6}\right) \quad (3.46)$$

ここで基板は信号配線よりも断面が大きいため表皮効果の影響が現れやすい。そのため、 $R_{sub}$ では表皮効果を取り入れている。SWTL では、ストリップラインシールドおよびグランドは、シリコン基板と接続されている。従って、信号ーグランド間隔  $s$  が小さくなるにつれて、電流が基板よりも抵抗の低いグランドへ流れるようになると考えられる。そこで  $R_{sub}$  の近似にあたっては  $s$  に比例する係数を与えている。また、 $L_{sub}$  は信号線のインダクタンス  $L_s$  と相関を持つと考えられる。そのため、 $L_{sub}$  は  $L_s$  に比例するとした。結合計数  $k$  は、 $s$  を広げる事で基板へ信号線電流による磁束が入射しやすくなるため増加する。また、信号線幅  $w$  を広げると、信号線中の電流密度が低下し、これによってもまた基板における磁界は弱められる。従って  $k$  は、 $s$  を広げることで増加し、 $w$  を広げることで低下する。これを考慮し 0~1 の値を持つように近似した。

#### 3.4.4 周波数依存特性を考慮したモデルの検証

先に求めた SWTL の微小等価回路モデルを、図 3.28 に示すように等価 **RLGC** パラメータに変換する。これにより本モデルと計算された 10GHz までの等価 **RLGC** パラメータと、実測値より求めた **RLGC** パラメータとを図 3.29~図 3.32 に示す。

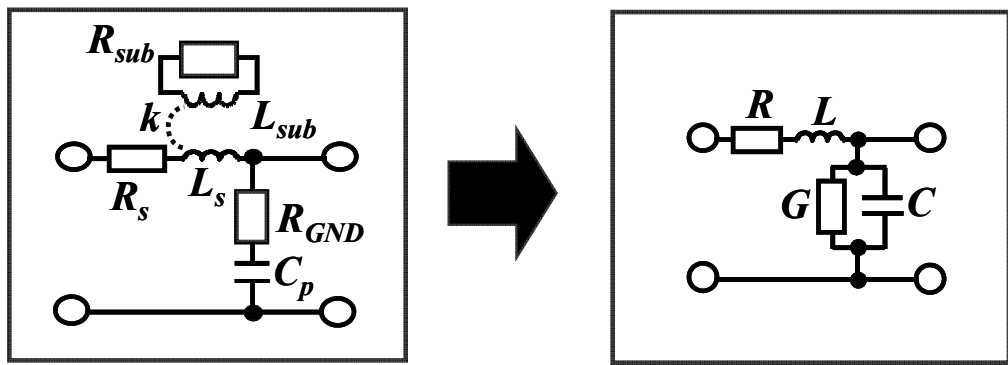


図 3.28 微小区間パラメータ相互の関係

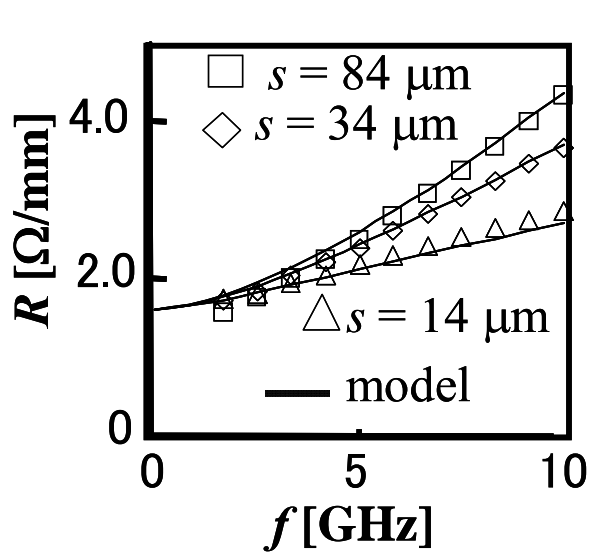
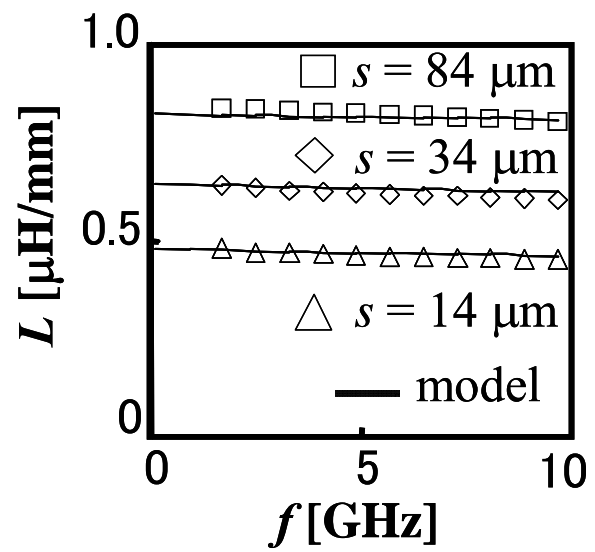
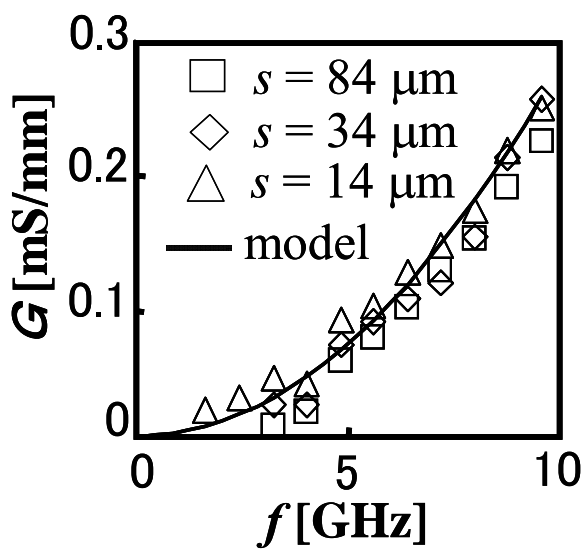
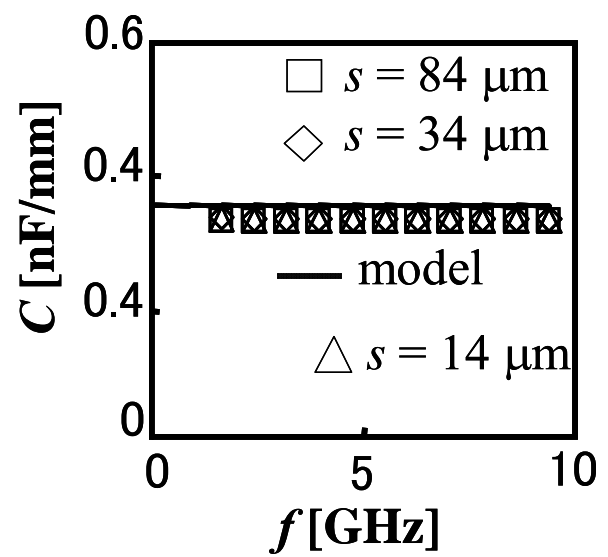
図 3.29  $R$  の計算値及び実測比較図 3.30  $L$  の計算値及び実測比較図 3.31  $G$  の計算値及び実測比較図 3.32  $C$  の計算値及び実測比較

図 3.29～図 3.32 に示すように本モデルを用いて計算した値と、実測値とを比較した結果、両者の特性は一致している。モデルより計算された値は、実測値に対して 10%以内の精度を持っている。これにより、基板との誘導結合及びストリップラインシールド・ビアの抵抗を考慮した SWTL モデルの有効性が確認された。

### 3.5 まとめ

本章では、スローウェーブコプレナ導波路 (SCPW) の構造が微細化の進んだプロセスに適さない事を示し、その構造を修正したスローウェーブ伝送線路 (SWTL) 構造を提案した。この SWTL を、コプレナ導波路 (CPW)、マイクロストリップ線路 (MSL) と共に 90nmCMOS プロセスで実装し 110GHz までの  $Q$  値を測定したところ、SWTL は 10 以上の  $Q$  値を持っており、CPW、MSL の 2 倍以上であった。これにより、SWTL がプロセスルールの制約を満たす事が可能であり、かつ低損失な特性を実現可能であることが示された。また、SWTL のレイアウト及び周波数に依存した、微小区間  $RLGC$  等価回路の特性をモデリングした。ここでインダクタンス及び容量は、CPW、MSL における計算式をそれぞれ適用し、SWTL で特に顕著となる基板との誘導性結合や、シールド及びビアによって生じる容量に直列な抵抗を併せた考慮した。このモデルから計算した値は、実測値から求めた  $RLGC$  パラメータに対して 10%以内の精度を持っており、本モデルの有効性が示された。

## 第4章 伝送線路の構造解析及び最適化

RF-CMOS において、伝送線路に限らずオンチップ受動素子には、以下のような特性が求められる。

(1) 低損失： トランジスタのゲインは周波数が上昇するにつれて下がり、特にミリ波帯の様な高周波では設計時に許されるゲインマージンが小さくなる。従って、特に高周波回路において低損失な受動素子が求められる。

(2) 省面積： アナログ回路において、能動素子の占める面積は小さく、オンチップインダクタやオンチップ伝送線路など受動素子がチップ面積の大半を占める。チップ面積はコストに直結するので、これを低減することがコストの観点から求められる。

(3) 各種デザインルールへの適合性： 微細化されたプロセスでは、歩留まり低下を防ぐため、回路設計時点から製造上の問題を考慮に入れる (Design for Manufacturing:DFM) 必要がある。そのため、受動素子の構造は、複雑かつ厳格な設計規則を満たしている必要がある。

前章では、各種デザインルールへの適合性を持ちつつ、低損失な特性が実現可能な SWTL 構造を示した。本章では、省面積という目的について考える。オンチップ伝送線路が RF 回路において使用される場合、所望の回路的特性を得るためには、一般に長い実装物理長を長く取る必要がある。伝送線路の回路的特性は、線路中を伝播する信号の波長により決まる。この線路中を伝播する波長を短くすることができれば、より短い実装長で同じ回路特性を得られる。これはすなわち、オンチップ伝送線路の実装長を短縮できる事を意味し、ひいてはチップ面積の削減に繋がる。

そこで、伝送線路の構造を解析し、線路中を伝播する信号の波長を短縮する構造を考案した。また本構造は、上記の低損失という特性を併せ持ち、なおかつ微細化されたプロセス (厳格な設計規則) でも実装可能である。これらの効果を、実際に試験デバイスを試作し、かつ測定することで実証した。以下に、それらについて述べる。

### 4.1 波長短縮の効果

図 4.1 に特性インピーダンス  $Z_0$ 、位相定数  $\beta$ 、物理長  $l$  なる無損失の伝送線路を用いたショートスタブを示す。このショートスタブにおけるインピーダンス  $Z$  について考える。

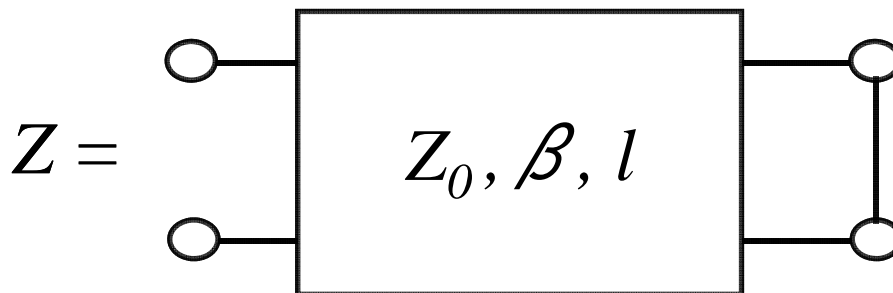


図 4.1 ショートスタブのインピーダンス

このインピーダンス  $Z$  は、(4.1)式で与えられる。

$$Z = jZ_0 \tan(\beta l) \quad (4.1)$$

すなわち、 $Z_0 \tan(\beta l)$ なるリアクタンスが得られる。従って、伝送線路ショートスタブはインダクタとして使用することができる。ここで位相定数  $\beta$  は、この伝送線路中を伝播する波長  $\lambda$  と以下の関係にある。

$$\beta = \frac{2\pi}{\lambda} \quad (4.2)$$

従って、(4.1)式は以下のように書きなおせる。

$$Z = jZ_0 \tan\left(\frac{2\pi l}{\lambda}\right) \quad (4.3)$$

ここで  $Z_0$  を一定とすると、ある  $Z$  を実現するために必要となる実装長  $l$  は  $\lambda$  との比において一意に求まる。伝送線路中を伝播する信号の波長  $\lambda$  がそれぞれ  $\lambda_1$  または  $\lambda_2$  なる伝送線路ショートスタブにおいて、 $Z_0$  が一定のとき、それぞれ  $l_1$  及び  $l_2$  のときに、おなじ  $Z$  が得られるとする。すると、この  $\lambda_1$ 、 $\lambda_2$ 、 $l_1$ 、 $l_2$  は以下のような関係を持つ。

$$\frac{l_1}{\lambda_1} = \frac{l_2}{\lambda_2} \quad (4.4)$$

すなわち、実装長と波長との比  $l/\lambda$  は一定となる。従って、この波長  $\lambda$  の値が小さければ、より小さい実装長  $l$  で同じ特性を実現することができる。

このように伝送線路の回路的特性は、線路中を伝播する信号の波長により決まる。ここで、波長  $\lambda$  は伝送線路 **RLGC** パラメータにおける単位長さ当たりのインダクタンス  $L$  及び容量  $C$  と、以下の関係にある。

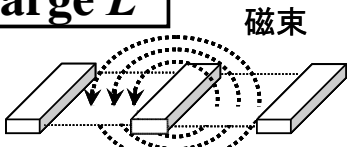
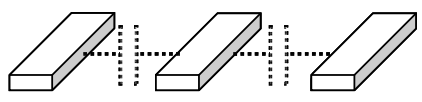
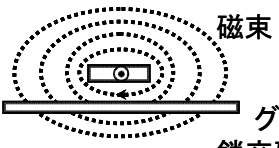
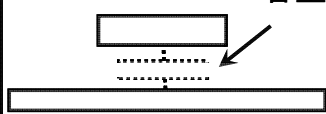
$$\lambda = \frac{1}{f\sqrt{LC}} \quad (4.5)$$

従って、波長を短縮するためには、周波数が一定であるとすれば、 $L$  及び  $C$  をそれぞれ増加させれば良い。また線路中を伝播する信号の波長を短縮することにより、より短い実装長で同じ特性が得られることになる。

## 4.2 波長を短縮する形状

上に述べたように波長を短縮するためには、容量及びインダクタンスを共に増加させればよい。ここで容量は信号の電位と、グランド電位との距離が近づくほど増加する。また、信号電流とグランド帰還電流との距離を遠ざけるほど、信号及びグランドの電流ループに鎖交する磁束が増えるため、インダクタンスは増加する。マイクロストリップ線路（MSL）では、グランド面と信号線が酸化膜厚だけ離れており、容量は大きい、同時に信号電流とグランド電流とが近くに配置されることになるため、インダクタンスも低下する。一方、コプレナ導波路（CPW）では、グランド線を信号線より遠くに配置することで、インダクタンスが増加するが、容量は低下してしまう。この関係を表 4.1 に示す。

表 4.1 CPW 及び MSL におけるインダクタンスとキャパシタンス

	波長	インダクタンス	キャパシタンス
CPW	×	<b>large <math>L</math></b>  磁束 グランドを遠ざけることで 鎖交磁束を多くとれる	<b>small <math>C</math></b>  グランドを遠ざけるほど 容量が低下
MSL	×	<b>small <math>L</math></b>  信号電流 ⊙ 磁束 グランドが近く 鎖交磁束が少ない	<b>large <math>C</math></b>  グランドが近く 容量が大きい

そこで、図 4.2 に示すように、信号線及びグランド線に対して垂直なストリップ線をダミーグランドとし、グランド電位を信号電位に近づける構造を考案した。これを非対称同軸導波路（Asymmetric Coaxial Waveguide: ACW）とする。ACW において、最上位のメタル層は容量を増加させるためのダミーグランドとして用いられる。ダミーグランドは、信号線に垂直なストリップラインにより構成されており、ビアによってグランド線に接続されている。信号線とグランド線は、それより一段下のメタル層で形成し、さらにその下のメタル層もダミーグランドとする。ダミーメタルにおいて信号方向に電流は流れない。従って、信号線とグランドを離すことにより、インダクタンスを増加させられる。またダミーグランドにより、信号の上下にグランド電位を配置することで、容量も増加する。この形状を実装するにあたっては、MEMS 加工や高誘電率酸化膜などの追加的な

プロセスは必要ない。この形状を、90nmCMOS プロセスを用いて試作した。図 4.3 に試作した伝送線路のチップ写真を示す。

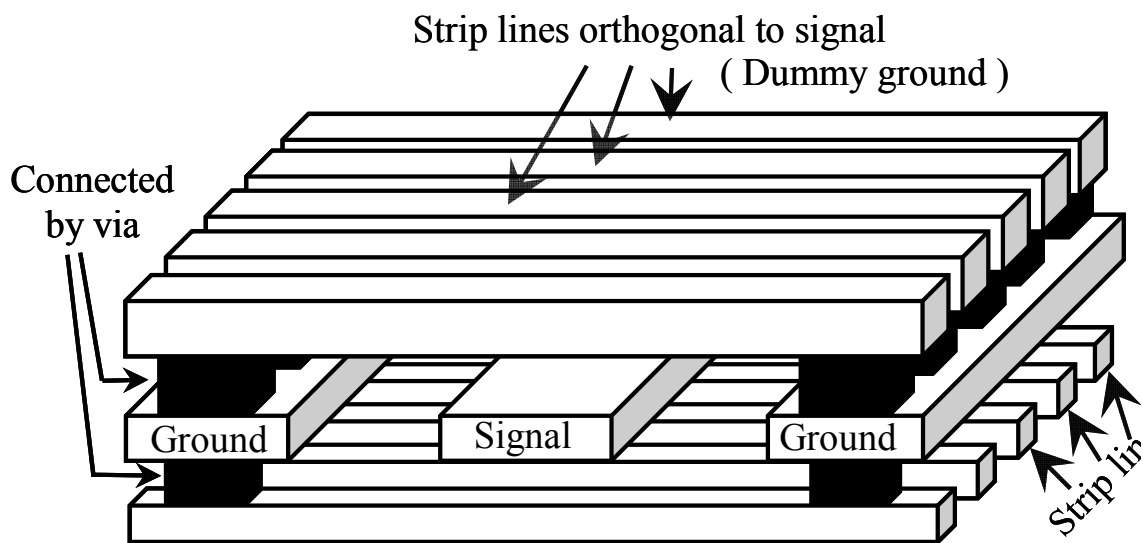


図 4.2 ACW の構造

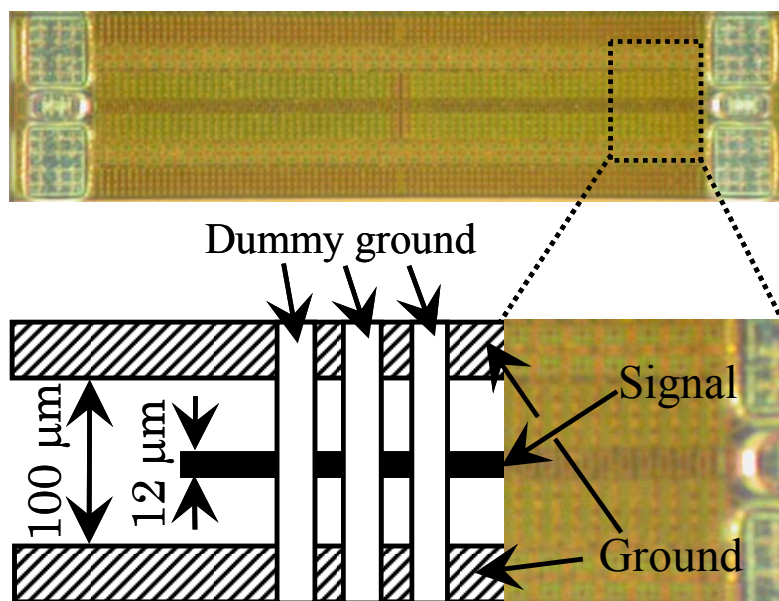


図 4.3 ACW の上面図

### 4.3 実測結果

試作した ACW 伝送線路の S パラメータを 110GHz まで測定した。これより波長、Q 値を計算し、同チップに実装した MSL 及び CPW のデータと比較する。以下にその結果を示す。

### 4.3.1 波長

波長  $\lambda$  は、伝送線路微小等価回路の **RLGC** から計算される。しかし線路中の波長  $\lambda$  が伝送線路の実装長  $l$  に対して、 $l = \lambda/2$  となる周波数を超えると、特性インピーダンスの計算精度は大きく低下する[13]。従って、伝播定数  $\gamma$  の虚部（位相定数  $\beta$ ）から、(4.6)式に示すように求める。

$$\lambda = \frac{2\pi}{\text{Im}[\gamma]} = \frac{2\pi}{\beta} \quad (4.6)$$

図 4.4 に伝播定数より計算した波長  $\lambda$  を示す。60GHz において、本形状及び、同チップに実装した MSL、CPW の波長はそれぞれ 2.46 mm、1.96 mm、0.6 mm である。従って本形状を用いて 60GHz の 1/4 波長発振器を構成する場合、図 4.5 に示すように CPW で構成する場合の 1/3 以下の長さで実装可能である。

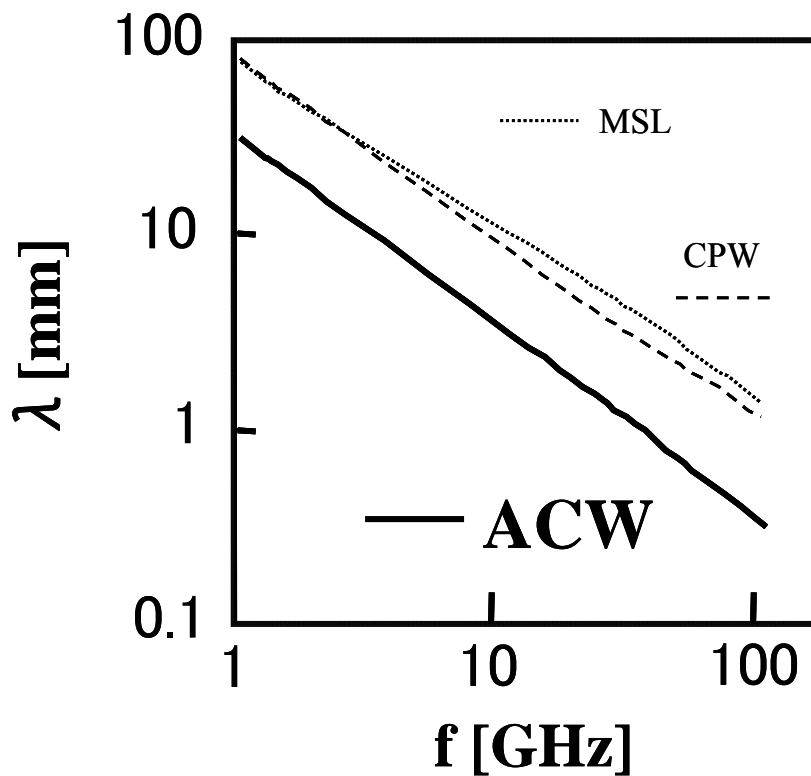


図 4.45 各形状の波長比較



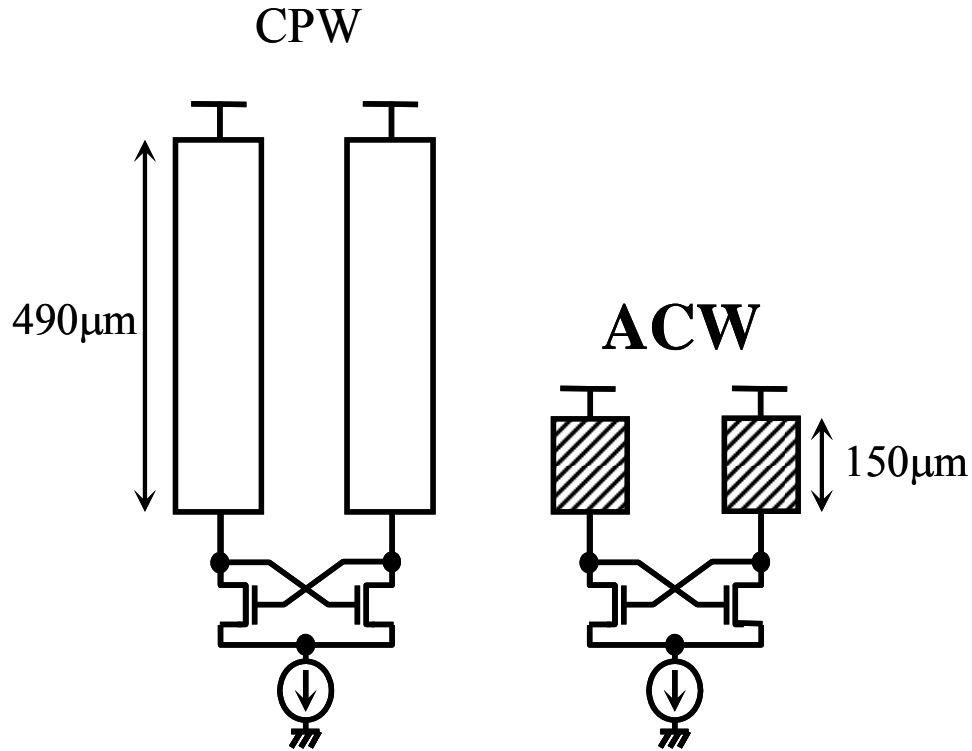


図 4.5 60GHz における 1/4 波長発振器の実装面積比較

### 4.3.2 Q 値

次に本形状の  $Q$  値について述べる。伝送線路の  $Q$  値は伝送線路  $RLGC$  パラメータより、(4.7)式及び(4.8)式に示す  $Q_L$  及び  $Q_C$  を介して、(4.9)式で定義される。

$$Q_L = \frac{\omega L}{R} \quad (4.7)$$

$$Q_C = \frac{\omega C}{G} \quad (4.8)$$

$$\frac{1}{Q} = \frac{1}{Q_L} + \frac{1}{Q_C} \quad (4.9)$$

(4.9)式は、伝送線路の  $Q$  値を向上させ低損失化するためには、 $Q_L$  及び  $Q_C$  を共に高くする必要がある事を示している。どちらかだけが高くても、全体の  $Q$  値は  $Q_L$  または  $Q_C$  のうち、低い方の値に制限される。これらの式は断面形状から  $Q$  値を考察するうえで、イメージをつかみ易い。一方、上にも述べたように、高周波のデータ（線路中の波長  $\lambda$  が伝送線路の実装長  $l$  に対して、 $l=\lambda/2$  となる周波数）では、特性インピーダンスの計算精度が大きく低下する。従って、信頼性のある  $RLGC$  パラメータを得る事ができない。そのため、ここでは  $Q$  値を(4.10)式に示すように伝播定数  $\gamma$  の実部（減衰定数  $\alpha$ ）及び虚部（位相定数  $\beta$ ）から計算した。

$$Q = \frac{\text{Im}[\gamma]}{2\text{Re}[\gamma]} = \frac{\beta}{2\alpha} \quad (4.10)$$

ACW と同一チップ上に実装された MSL、CPW の、 $\alpha$ 、 $\beta$  及び  $Q$  値を比較した。これらを、図 4.6、図 4.7、図 4.8 にそれぞれ示す。

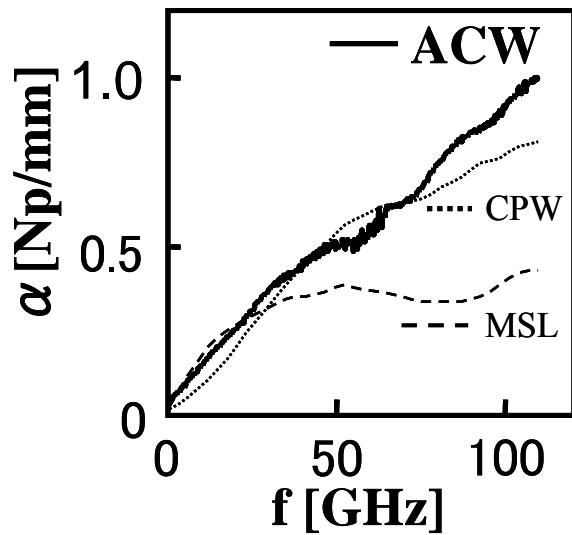


図 4.6 各形状の減衰定数比較図

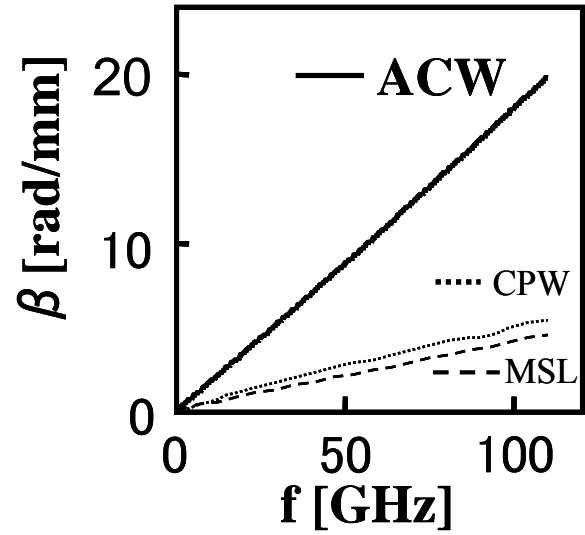


図 4.7 各形状の位相定数比較図

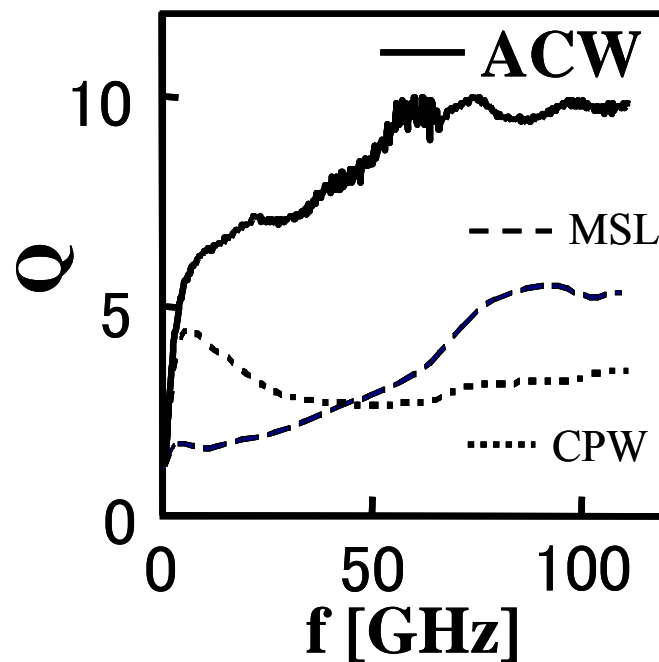
図 4.8 各形状の  $Q$  値比較図

図 4.6 に示したように ACW の単位長さ当たりの減衰定数は、CPW、MSL と比べて低くはない。しかし位相定数が大きいため、伝送線路中を伝播する信号に対する波長あたりの損失で定義される  $Q$  値では、ACW の方が高い。ACW の 60GHz における  $Q$  値は 10 である。

#### 4.4 まとめ

本性では、伝送線路の回路的特性が、線路中を伝播する信号の波長により決まり、この線路中の波長を短くすることができれば、より短い実装長で同じ回路特性を得られる事を説明した。伝送線路における線路中の波長を短縮するためには、微小区間  $RLGC$  等価回路におけるインダクタンス  $L$  及び容量  $C$  を増加させればよい。このために、グラウンドに接続された短冊状メタルを、信号線に近接して配置する非対称同軸導波路 (ACW) 構造を提案し、その構造を示した。これにより、グラウンド電流を信号電流から遠く離すことで  $L$  を増加させ、かつ信号線とグラウンド電位の短冊状メタルとの間の  $C$  を高めることができる。実装した ACW の波長を求めたところ、60GHz において、同チップに実装したコプレナ導波路 (CPW) が 1.96mm、マイクロストリップ線路 (MSL) が 2.46mm であるのに対して、ACW は 0.6mm であった。これにより、60GHz における 1/4 波長ショートスタブ発振器を実装する場合、ACW を用いれば CPW の 1/3 以下の物理長で実装可能となる。また、60GHz における  $Q$  値は、CPW が 2.7、MSL が 3.5 であるのに対して、ACW は 10 であった。これにより、ACW 構造が従来の伝送線路に比べて、省面積で実装でき、かつ低損失である事を示した。

## 第5章 結論

本研究では、CMOS プロセスで高周波無線通信回路を実装するにあたって必要となる、低損失・小型なオンチップ伝送線路の実現を目指した。そのために、ナノメートル CMOS プロセスにおいて低損失な特性が得られる、スローウェーブ伝送線路 (SWTL) 構造を提案した。これは、グランド線に加えて、短冊状のグランドを追加することでシリコン基板における誘電正接をシールドし、かつメタルデンシティルールを満たすものである。実装した SWTL の試験デバイスを測定した結果、10 以上の  $Q$  値が得られた。これは、同チップに実装したコプレナ導波路 (CPW) 及びマイクロストリップ線路 (MSL) に比べて 2 倍以上である。また、回路の設計にあたってはモデルが必要となるため、SWTL の形状及び周波数に依存した特性をモデリングした。SWTL は信号線とグランド線が離れているという特徴を持つため、本モデルでは信号線とシリコン基板との誘導性結合による項などを考慮に入れた。このモデルより計算された値は、実測値に対して 10% 以内の精度を持っており、本モデルの有効性が示された。

加えて伝送線路の回路的特長が、その線路中の信号波長に依存していることから、伝送線路中を伝播する信号を短縮することでオンチップ伝送線路を小型化可能な、非対称同軸導波路 (ACW) 構造を提案した。これは、グランドに接続された短冊状メタルを信号線に近接して配置するものである。実装した ACW の特性を測定した結果、60GHz において線路中を伝播する信号の波長は、CPW が 1.96mm、MSL が 2.46mm であるのに対して、0.6mm であった。従って、1/4 波長発振器を実装する場合、ACW を用いれば CPW の 1/3 以下の物理長で実装可能となる。また 60GHz における  $Q$  値は、CPW が 2.7、MSL が 3.5 であるのに対して、ACW は 10 であった。これにより、ACW 構造が従来の伝送線路に比べて、省面積で実装でき、かつ低損失である事を示した。

## 参考文献

- [1] <http://www.tca.or.jp/>
- [2] <http://www.soumu.go.jp/>
- [3] B.Razavi," A 60GHz Direct-Conversion CMOS Receiver",2005 ISSCC vol.1pp.400-606,Feb.2005.
- [4] C.H Doan,S.Emami,A.M.Niknejad,R.W.Brodersen, "Millimeter-wave CMOS device modeling and simulation", ISCAS 2004. Proc. of the 2004 International Symposium Vol.5,23-26,pp.524-527,May.2004
- [5] C.H.Wu,C.C.Tang,S.I.Liu,"Analysis of on-chip spiral inductors using the distributed capacitance model" IEEE Journal of Solid-State Circuits,Vol.38,Issue 6,Jun.2003
- [6] B.L.Ooi,D.X.Xu,P.S.Kooi,F.J.Lin," An improved prediction of series resistance in spiral inductor modeling with eddy-current effect",IEEE Trans. On Vol.50,Issue 9,Sep.2002
- [7] K.O.Jeppson,S.Christensson,N.Hedenstierna," Formal definitions of edge-based geometric design rules", IEEE Trans. onVol.12, Issue 1,pp.59-69,Jan. 1993
- [8] A.B.Kahng,G.Robins,A.Singh,A.Zelikovsky," Filling algorithms and analyses for layout density control", IEEE Trans. On Vol.18, Issue 4, Apr.1999
- [9] T.S.D.Cheung,J.R.Long,K.Vaed,R.Volant,A.Chinthakindi,C.M.Schnabel,J.Florkey,K.Stein,"On-chip interconnect for mm-wave applications using an all-copper technology and wavelength reduction",2003 ISSCC vol.1pp.396-501,Feb.2003.
- [10] I.C.H.Lai,H.Tanimoto,M.Fujishima , "Characterization of New High-Q Transmission Line Structure for Advanced CMOS processes",proc. IEEE Radio Frequency Integrated Cirrcuits Symp.,2006.
- [11] A.Kurokawa,T.Kanamoto,T.Ibe,A.Kasebe,W.F.Chang,T.Kage,Y.Inoue,H.Masuda," Dummy filling methods for reducing interconnect capacitance and number of fills", Quality of Electronic Design, 2005,pp.586-591,Mar.2005.

- [12] M.C.A.M.Koolen,J.A.M.Geelen,M.P.J.G.Versleijen,“An improved de-embedding technique for on-wafer high-frequency characterization”,Bipolar Circuits and Technology Meeting, Proc. of the 1991-10,pp.188-191,Sept.1991.
- [13] Y.Tretiakov,K.Vaed,w.Woods,S.Venkatadri,T.Zwick,“A new on-wafer de-embedding technique for on-chip rf transmission line interconnect characterization”,ARFTG Conference Dig. Spring 2004 63rd,pp.69-72.Jun.2004.
- [14] A.Ahmad,P.Auriol,“Conformal mapping method for calculation of rectangular winding parameters”,IEEE Trans. On Vol.28, Issue 5,part 2,pp.2823-2825,Jun. 1992.
- [15] K.Jooyong,D.P.Neikirk,“Experimental characterization of copper/low-k transmission line interconnects through microwave measurements”,Electrical Performance of Electronic Packaging,pp.93-96,Oct.2003.
- [16] S.Gevorgian,L.J.P.Linner,E.L.Kollberg,“CAD models for shielded multilayered CPW”, IEEE Trans. On Vol.43, Issue 4,part 2,pp.772-779,Apr. 1995.
- [17] V.Milanovic,M.Ozgur,D.C.DeGroot,J.A.Jargon,M.Gaitan,M.E.Zaghloul,“Characterization of broad-band transmission for coplanar waveguides on CMOS silicon substrates”, IEEE Trans. On Vol.46, Issue 5,Part 2,pp.632-640,May 1998.
- [18] J.S.Ko,B.K.Kim,K.Lee,“Simple modeling of coplanar waveguide on thick dielectric over lossy substrate”, IEEE Trans. On Vol.44, Issue 5,pp.856-861,May 1997.
- [19] K.Benaissa,J.Y.Yang,D.Crenshaw,B.Williams,S.Sridhar,J.Ai,G.Boselli,Z.Song,T.Shaoping ,S.Ashburn, P.Madhani,T.Blythe,N.Mahalingam,H.S.Shichijo,“RF CMOS on high-resistivity substrates for system-on-chip applications”, IEEE Trans. On Vol.50, Issue 3,pp.567-576,Mar. 2003.
- [20] E.Chen,S.Y.Chou,“Characteristics of coplanar transmission lines on multilayer substrates: modeling and experiments”, IEEE Trans. On Vol.45, Issue 6,pp.939-945,Jun. 1997.
- [21] M.Goano,F.Bertazzi,P.Caravelli,G.Ghione,T.A.Driscoll,“A general conformal-mapping approach to the optimum electrode design of coplanar waveguides with arbitrary cross section”, IEEE Trans. On Vol.49, Issue 9,pp.1573-1580,Sept. 2001.
- [22] F.Schnieder,W.Heinrich,“Model of thin-film microstrip line for circuit design”, IEEE Trans. On Vol.49, Issue 1,pp.104-110,Jun. 2001.

- [23] M.Fujishima,J.Kino,“Accurate subcircuit model of an on-chip inductor with a new substrate network”, VLSI Circuits 2004 Dig. of Tech. Papers,pp.376-379,Jun.2004
- [24] I.C.H.Lai,M.Fujishima, “Simple modeling expressions for substrate network of on-chip inductors”, ICMTS 2005.Proc. of the 2005 International Conference,pp.113-118,Apr.2005
- [25] T.S.D.Cheung,J.R.Long,K. Vaed,R. Volant,A.Chinthakindi,C.M.Schnabel,J.Florkey,Z.X.He,K.Stein,”Differentially-shielded monolithic inductors”,Custom Integrated Circuits Conference 2003 Proc. of the IEEE,pp.95-98.Sept.2003.
- [26] C.H.Doan,S.Emami,A.M.Niknejad,R.W.Brodersen,” Design of CMOS for 60GHz applications”,2004 ISSCC vol.1pp.440-538, Feb.2004.
- [27] W.F.Andress,D.H.Ham,”Standing wave oscillators utilizing wave-adaptive tapered transmission line”,IEEE Journal of Vol.40,Issue 3,pp.638-651.Mar.2005.
- [28] J.W.Kim,B.H.Jung,P.Cheung,R.Harjani,“Novel CMOS low-loss transmission line structure”,IEEE Radio and Wireless Conference,pp.235-238,Sept.2004.
- [29] D.M.Pozar,“Microwave Engineering”,3rd ed.,John Willy&Sons,Inc.,Hoboken,NJ,2005
- [30] B.C.Wadell,”Transmission Line Design Handbook”, Artech house,Norwood,MA,1991.

## 本研究に関する発表

- 谷本 英之, Lai Chee Hong Ivan, 藤島 実, “スローウェーブコプレーナ導波路の最適化”, 電子情報通信学会エレクトロニクスソサエティ大会, 北海道大学, Sep. 2005.
- 谷本 英之, 藤島 実, “スローウェーブコプレーナ導波路のモデリング”, 電子情報通信学会総合大会, 国士舘大学, Mar. 2006. (発表予定)
- 谷本 英之, 藤島 実, “周波数特性を考慮したスローウェーブ伝送線路のモデル”, 電子情報通信学会和文論文誌, 2006. (投稿済み)
- I.C.H.Lai, H.Tanimoto, M.Fujishima, “Characterization of New High-Q Transmission Line Structure for Advanced CMOS processes”, proc. IEEE Radio Frequency Integrated Circuits Symp., 2006.(submitted)
- I.C.H.Lai, H.Tanimoto, M.Fujishima, “On-Chip Asymmetric Coaxial Waveguide Structure for Chip Area Reduction”, VLSI Symp., 2006.(submitted)



## 謝辞

本研究は株式会社半導体理工学研究センターとの共同研究の成果の一部であり、また、本チップ試作は東京大学大規模集積システム設計教育研究センターを通し株式会社半導体理工学研究センター、富士通株式会社、松下電器産業株式会社、NEC エレクトロニクス株式会社、株式会社ルネサステクノロジ、株式会社東芝の協力で行われました。ご協力頂いた関係各位に対しまして、ここに感謝申し上げます。

本研究を進めるに当たり、多くの方々からご指導、ご協力を頂きました。特に藤島実助教授におかれましては、ご多忙の中、指導教員として、研究室ミーティングでのご助言をはじめ、論文執筆、発表資料作成において、様々なご指導を頂きました。また研究室合宿、慰労会などのイベントを通じて、研究生活を盛り上げて下さいました。ここに、感謝を申し上げます。

助手の北澤さん、秘書の渋谷さん、鈴木さんには研究生活を支援して頂きました。事務用品、消耗品の補充、各種の事務手続きの代行など、学生が研究に専念できるよう、取り計らって下さいました。また研究スタッフの安部さんには測定関連のスペシャリストとして、実験データの測定を支援して頂きました。本研究では、安部さんが丹念に測定して下さいたデータを全面的に使わせて頂いております。スタッフの皆様に感謝を申し上げます。

また、日々の研究作業は藤島研究室の先輩・同級生・後輩と共に進めてまいりました。特に論文作成やチップ設計はライさんと共同で行ったものが多くあります。これらの研究結果はライさんあってのものと思っています。山本さんは、私個人に研究上の助言を下さったのみならず、研究室全体をまとめる役割を果たして下さいました。感謝申し上げます。

他にも、色々と甘えさせて頂いた先輩の金子さん、志村さん。同じプロジェクトのメンバーであった、金子君、小林君、本良君をはじめ、アメットさん、王寧一君、渡辺君、石橋君、ワサンタマールさん、鬼塚君、王丹多君、後藤君、新山君。みなさまに感謝申し上げます。

あらためまして、本研究は共同研究機関各位、先生、スタッフの方々、学生のみなさまのご協力・ご支援あつてのものと思っていますことを、ここに申し述べさせて頂きます。ありがとうございました。