

修士論文

低消費電力ミリ波周波数  
シンセサイザ用 CMOS 回路の  
設計とモデリング

平成 19 年 2 月 2 日

指導教官 藤島 実 助教授

東京大学大学院 工学系研究科  
電子工学専攻 37-56455

本良 瑞樹

# 目次

第1章	序論	1
第2章	インダクタレス注入同期型周波数分周器	
2.1	主流な周波数2分周器	
2.1.1	マスター・スレーブ型周波数分周器	4
2.1.2	注入同期型周波数分周器	5
2.1.3	擬似注入同期型分周器の動作	6
2.2	周波数3分周器の意義	7
2.3	43 $\mu$ W 6GHz 3相ハーモニック注入同期型 CMOS 3分周器	
2.3.1	3相ハーモニック注入同期型周波数分周器の実現	8
2.3.2	提案する周波数3分周器	9
2.3.3	3相ハーモニック注入同期型周波数3分周器測定結果	11
2.4	58.8/39.2GHz デュアルモード周波数分周器	
2.4.1	デュアルモード周波数分周器の意義	14
2.4.2	提案するデュアルモード周波数分周器	15
2.4.3	デュアルモード周波数分周器の測定結果	16
2.5	まとめ	19
第3章	電圧制御発振器	
3.1	電圧制御発振器	
3.1.1	電圧制御発振器の指標	20
3.1.2	ソース接地回路による発振回路	21
3.1.3	共振回路と電圧制御発振器	23

3.2	60GHz CMOS 電圧制御発振器	
3.2.1	低損失伝送線路による共振回路	26
3.2.2	60GHz CMOS 電圧制御発振器の設計	28
3.2.3	60GHz CMOS 電圧制御発振器の測定結果	29
3.3	76GHz CMOS 電圧制御発振器	
3.3.1	76GHz CMOS 電圧制御発振器の測定結果	32
3.4	まとめ	35
<b>第4章</b>	<b>インピーダンスバランス法による共振回路インピーダンス評価</b>	
4.1	はじめに	36
4.2	電圧制御発振器による共振器特性評価	
4.2.1	インピーダンスバランス法	38
4.2.2	インピーダンスバランス法による直接評価	39
4.2.3	回路インピーダンスの評価	40
4.2.4	共振器インピーダンスの評価	40
4.2.5	評価結果	41
4.2.6	インピーダンスバランス法の応用	43
4.3	まとめ	46
<b>第5章</b>	<b>結論</b>	47
	<b>謝辞</b>	49
	<b>参考文献</b>	50
	<b>本研究に関する発表</b>	54

# 第1章 序論

近年、ミリ波無線技術は飛躍的に向上しており簡易無線(50GHz帯)や特定省電力(60GHz帯)などが割り当てられ[1]、様々なシステムが日常生活で実用化されつつある[2]。中でも自動車の車間レーダーは注目され、Adaptive Cruise Control(ACC)などの目的で専用トランシーバの開発が広く行われている[3]。

これまで無線トランシーバの送受信部には、ガリウム砒化などの化合物半導体やバイポーラ素子が用いられる場合が多かった。CMOSが使われてこなかった理由としては、アナログ回路に関してCMOSの特性は化合物半導体やバイポーラ素子よりも劣ること、さらには回路の持つ寄生抵抗および寄生容量のために消費電力が大きくなってしまふことなどがあげられる。しかし近年では、無線トランシーバの各ブロックをCMOSで構成し、ベースバンドとRFフロントエンドを1チップで実現する方法がさかんに提案されるようになってきている[4]-[6]。その背景にはCMOSプロセスの微細化によりCMOS特性が向上してきていることが上げられる。90nmプロセスでは遮断周波数 $f_c$ は140GHzに達し、ミリ波チップへの応用が十分に可能なレベルに達している。無線トランシーバのブロック図を図1.1に示す。

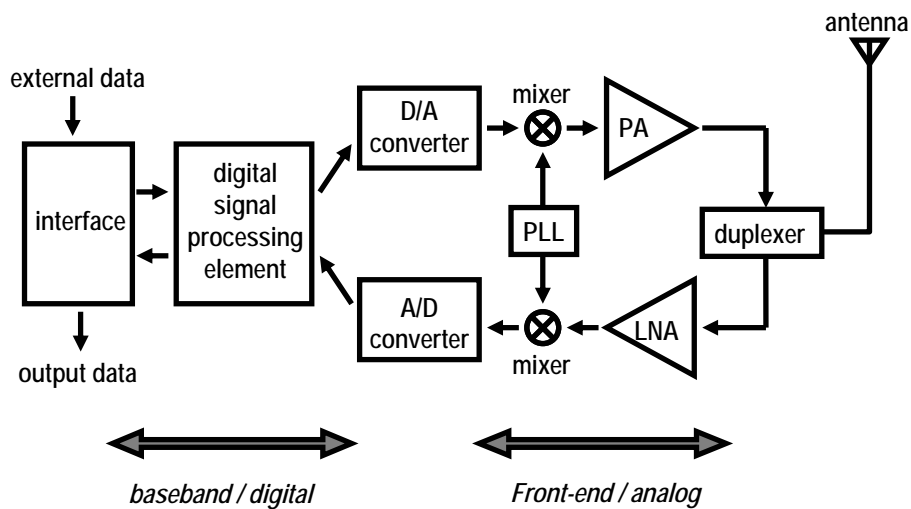


図 1.1 無線トランシーバのブロック図

ベースバンド部の回路はデジタル回路であり、低消費電力動作が可能であり集積度やコストの面でも優れているという理由から CMOS 技術を用いて構成される。従って、CMOS 技術を用いてフロントエンド部も構成することができれば 1 チップで無線トランシーバを構成することも可能となり、システムの小型化や低消費電力化につながることになる。

また、無線トランシーバの小型化を実現するためにはバッテリーの小型化が必要不可欠である。そのためにはシステム全体を低電圧・低消費電力で動作させる必要がある。

このように無線トランシーバの高速化・低消費電力化を検討する際に、図 1.1 で示された無線トランシーバのフロントエンド部において最も重要なコンポーネントは安定した搬送波を発生させる周波数シンセサイザ(PLL: Phase Locked Loop)である。無線通信において搬送波の周波数は一般に一定ではなく複数の周波数に切り替えることで、互いに干渉せずに正しくデータを送受信できるようにする。このため、搬送波を発生させる局部発振器の出力は周波数が正確に決まっている高純度な正弦波で、その周波数を切り替えられることが要求される。高純度な正弦波を出力させるものとして水晶発振器があるが、GHz 帯といった高周波数用の水晶発振器は実現不可能である。そこで、水晶発振器の低周波の入力を基に、高周波を合成するという手法が用いられる。このようなことを行う回路として、周波数シンセサイザが一般的に用いられる。無線トランシーバの高速化・低消費電力化を実現するためには周波数シンセサイザの性能の向上が必要不可欠である。周波数シンセサイザのブロック図を図 1.2 に示す。

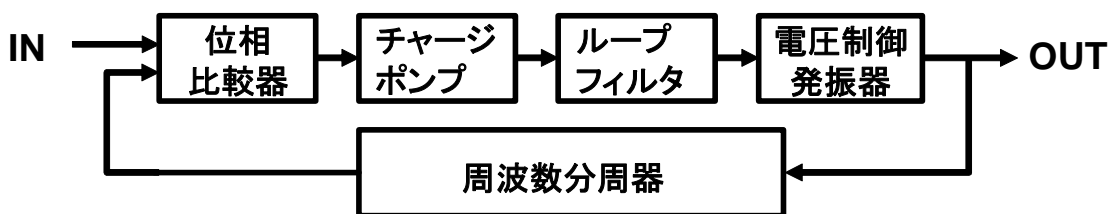


図 1.2 周波数シンセサイザのブロック図

現在、発表されている CMOS プロセスによる PLL の最高周波数は 50GHz である[7]。図 1.2 の中で最も高速に動作し、消費電力が大きい部分は PLL の出力部分である電圧制御発振回路と出力をフィードバックする部分である周波数分周器の初段である。特に分周器は多くの電力を消費し、分周器全体で考えると数 GHz 用分周器の消費電力が~10mW 程度であるのに対し、20GHz 用分周器は~600mW 程度である。つまり、周波数シンセサイザにおいて高速動作・低消費電力動作が必要な回路ブロックとしては電圧制御発振器と初段の周波数分周器である。

そこで本研究ではミリ波搬送波を直接生成する低電力 PLL の実現に向け、その中でも高速に動作し消費電力が大きい電圧制御発振器と周波数分周器に着目し、高速化と低消費電力化を目指した。ミリ波帯での回路設計で問題となるのはミリ波帯デバイス用デザインパッケージは現在のところ存在しないため、回路設計と同時にデバイスのモデリングをする必要がある点である。高い周波数で安定した特性を得るには受動デバイス特性を向上させる必要があり、設計どおりの特性の実現にはデバイスのモ

デリング精度を上げる必要がある。特にデバイス単体ではなく回路中における特性を正しく評価し手置くことが精度の高い回路を設計するために重要である。本研究では高周波電圧制御発振器の実現と合わせて、回路で用いられる共振回路などの受動デバイスの特性を評価する手法についても検討する。

以下に各章の内容について述べる。第2章では周波数分周器の高速化・低消費電力化を目指し、従来の周波数分周器について述べ、そのデメリットを解消する回路である注入同期型周波数分周器の動作について述べる。第3章ではミリ波帯とくに76GHzや60GHz帯で安定動作する電圧制御発振器の実現について述べる。第4章では電圧制御発振器に用いる共振回路の特性を、素子単体ではなく電圧制御発振器内で評価する手法について検討する。それぞれの章において実際に試作したチップの評価を行う。そして最後に第7章で結論とする。

## 第2章 インダクタレス注入同期型分周器

### 2.1 主流な周波数2分周器

#### 2.1.1 マスター・スレーブ型周波数分周器

従来から用いられてきた周波数2分周器としてマスター・スレーブ型のDフリップフロップを用いた周波数分周器がある[8]。回路図を図2.1に示す。

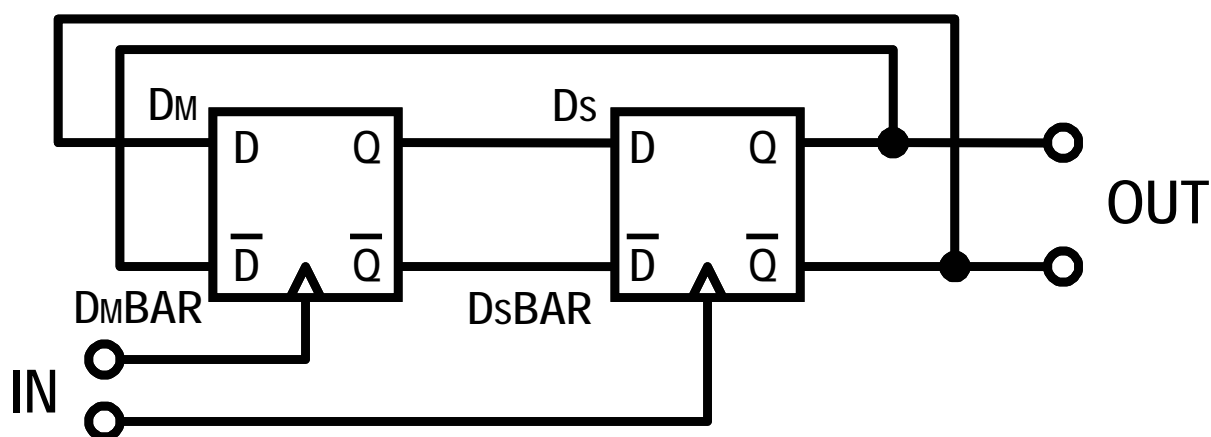


図 2.1 マスター・スレーブ型 D-フリップフロップの回路図

この回路はデジタル回路で構成されるため、回路の占有面積は非常に小さく、動作周波数範囲も広いという特徴がある。一方、この回路の最大動作周波数はトランジスタの遅延時間によって決まってくる。そのため、トランジスタの性能によって動作速度が大きく制限されてしまう。

## 2.1.2 注入同期型周波数分周器

一方、より高速動作が期待できる方式として注入同期型周波数分周器が提案されている[9-11]。その方法は以下のとおりである。発振周波数が分周したい周波数の半分くらいである発振回路を用意して、その回路に信号を入力する。その結果、入力信号により発振回路の発振状態が変調されて、出力として入力信号の半分の周波数の信号が現れるのである。この方式の場合、動作周波数は発振回路によって決まってくるため、発振周波数の高い発振回路を作成することができれば、高速動作する周波数2分周回路を作成できるという特徴がある。従来のインジェクションロックはシングルバランス・ミキサによって実現される。概要図を図2.2(a)に示す。

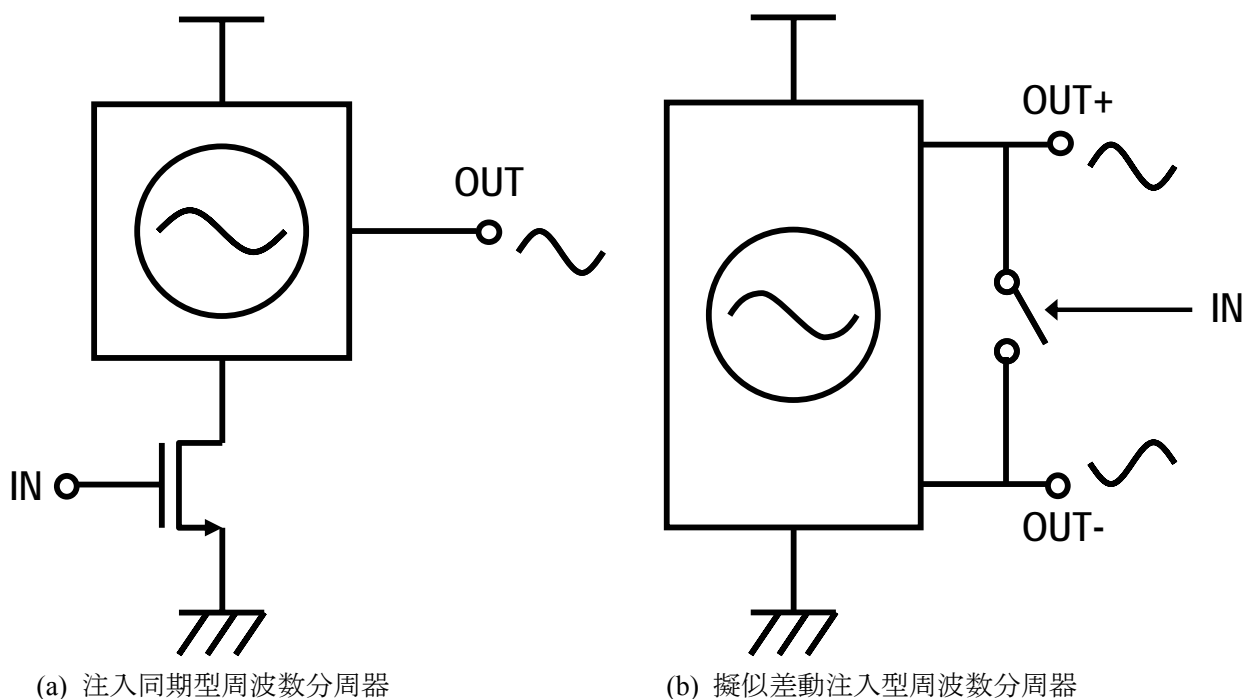


図 2.2 注入同期型周波数分周器の構成

この回路は発振回路の発振周波数によって動作周波数を決めることができるため、高速な回路を実現しやすいという利点がある。また、振幅を抑えることによって低消費電力も実現しやすい。一方、発振器と入力トランジスタが直列に接続されているために、電源電圧を下げにくいという問題点がある。また、入力トランジスタと発振器で用いられているトランジスタはミキサを構成しており、入力電圧によって発振器で用いられているトランジスタの  $g_m$  が変調される。その結果、発振状態が変調されるという方式のため、変調が間接的であるという問題点がある。

それらの問題を解決する方法として図2.2(b)に示すような擬似差動注入型と呼ばれる周波数分周器が提案されている[12]。発振器の差動出力ノード間にスイッチを挿入し、スイッチの制御により発振周



波数の変調を行う。発振している2つのノードをスイッチによって直接接続することによって変調する方式のため動作周波数範囲を広く取ることができる。また、発振器に直列に接続されているトランジスタが無いために、広い動作周波数範囲を実現しつつ電源電圧を下げることができ低消費電力な周波数分周器が実現できる。

### 2.1.3 擬似注入同期型周波数分周器の動作

擬似差動注入同期型周波数分周器の動作の概念図を図2.3に示す。図2.3において3つの状態A, B, Cを考えられるが、出力に着目するとA→B→C→Bという周期で動作する。ここで、状態A, Cは入力が高となり、スイッチによってスイッチの両端のノードOUT+, OUT-の電位が等しくなっている状態である。また、状態AではノードOUT+からノードOUT-に電流が流れ、状態CではノードOUT-からノードOUT+に電流が流れている。状態Bでは入力がLowでスイッチがOFFとなり、差動注入同期型周波数分周器の発振器は自己共振周波数で発振する。

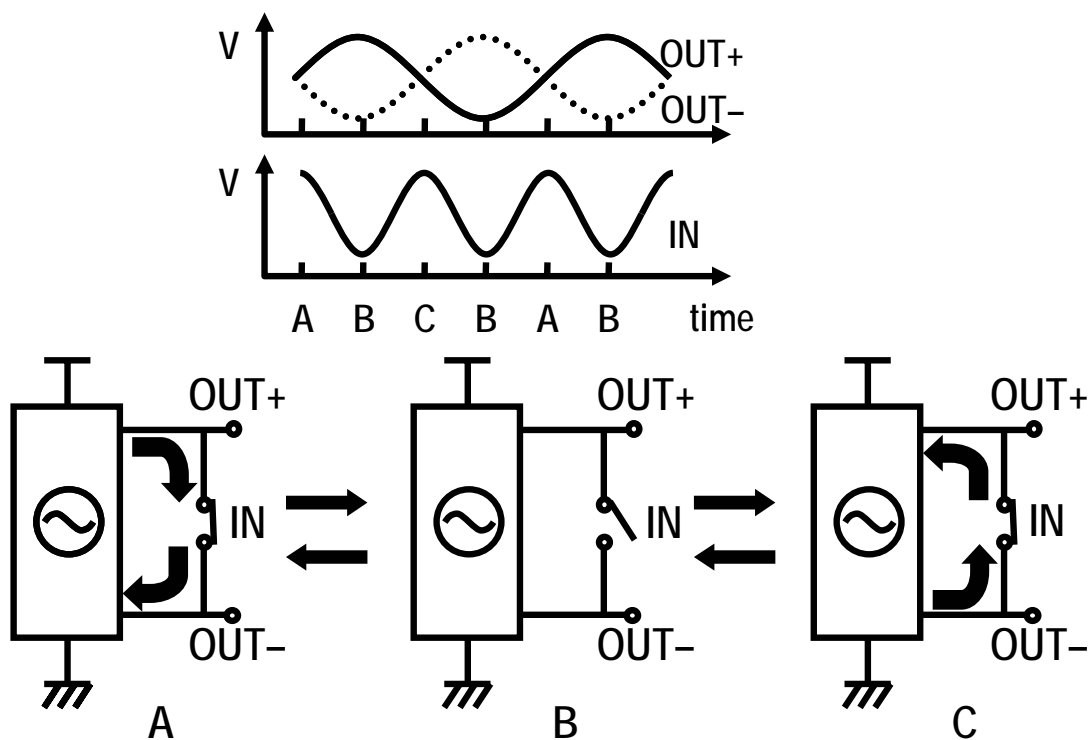
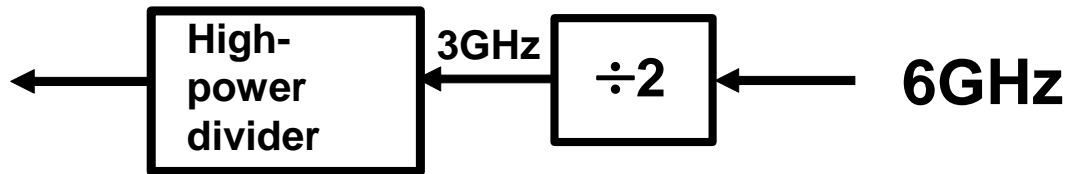


図 2.3 提案する差動注入同期型周波数分周器の動作の概念図

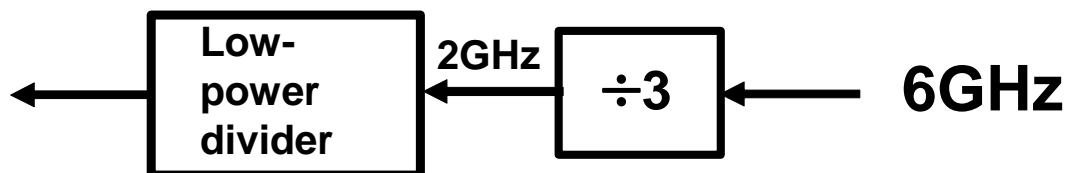
ここで、入力周波数と自己共振周波数との関係について考える。発振回路の自己共振周波数を  $f_0$ 、入力周波数を  $f_i$  とする。図 2.3 を見ると分かるように、出力が1周期変動する間に入力が2周期変動し、周波数2分周器として動作する

## 2.2 周波数3分周器の意義

第一章で述べたように、周波数分周器はPLLの消費電力の大部分を占めている。PLLにおいて周波数分周器はカスケード構造で用いられており、分周器全体の消費電力削減には各段の消費電力を削減するとともに、分周比を上げることで段数を減らすことが重要となる。同じ入力周波数に対して2分周器と3分周器を用いて分周を行うときのブロック図を図2.4に示す。



(a) 2分周器による分周



(b) 3分周器による分周

図 2.4 2分周器による分周と3分周器による分周

入力周波数6GHzを2分周器で分周すると図2.4(a)となり、次段の入力周波数は3GHzとなる。一方、3分周器を用いると図2.4(b)となり次段には2GHzが入力される。従って、次段の分周器には2分周器を用いたときに比べ低速な分周器を用いることができる。つまり、分周比の高い分周器を用いると次段以降の分周器に低消費電力分周器を用いることができ分周器全体での消費電力を削減することができる。分周比の高い分周器としてはハーモニック注入同期型周波数分周器があり、3以上の分周数を実現可能である[13]。ミリ波帯で動作する高速動作の3分周器は様々な方式が提案されているが[14,15]、LCあるいは伝送線路による共振を用いるハーモニック分周器では、占有面積が大きくロックレンジが狭いという欠点があった。そのため、共振器の代わりにリングオシレータを用いる回路も提案されている[16,17]。しかし、これらの回路ではミキサーが2.1.2の図2.2(a)のように発振器に直列に接続されているため電源電圧が下げにくく低消費電力を実現しにくい。また、トランジスタのソース抵抗によりリングオシレータのオープンループゲインが減少するためにロックレンジが狭まるというデメリットがある。

## 2.3 43 $\mu$ W 6GHz 3相ハーモニック注入同期型 CMOS 3分周器

### 2.3.1 3相ハーモニック注入同期型周波数分周器の実現

図 2. 2(b)では、低電源電圧動作を実現するために周波数混合を行う NMOSFET がリングオシレータのノード間に挿入され、インバータには直列に接続されない。その結果、低消費電力でありながら広ロックレンジを実現している。図 2. 2(b)に示すように、この NMOSFET は入力周波数により制御され、発振器出力のイコライザとして動作している。同様の性能を 3 分周器で実現するためには、注入同期型周波数 2 分周器の場合と同様、直列接続を用いずリングオシレータを利用する方式が有利である。

2 相正弦波では図 2. 5 に示すように入力 1 周期に対して 2 回イコライズポイントが存在する。イコライズのタイミングは入力波により制御されるため、出力周波数は入力周波数の 1/2 となり 2 分周器が実現できる。一方、3 相波は図 2. 6 (a)に示すように 120 度の位相差を持っているため、3 相正弦波では図 2. 6 (b)のようになりイコライズポイントが確定できない。ここで 3 相波の成分について考えてみる。基本波は図 2. 6 (a)のように 120 度の位相差を持つため相殺しあうが、3 相波の 3 次高調波成分は同じ位相を持ち、強めあう。3 次高調波を多く含む方形波を図 2. 6 (b)同様にイコライズした波形を図 2. 6 (c)に示す。各ノード電圧の 1 周期に対して 3 回のイコライズポイントが現れることが確認できる。2 分周器同様にイコライズのタイミングは入力波により制御されるため、出力周波数は入力周波数の 1/3 となるように変調され 3 分周器が実現できる。

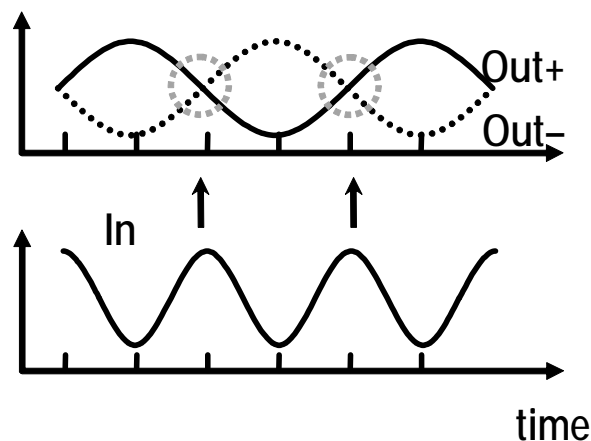


図 2.5 注入同期型 2 分周器におけるイコライズ

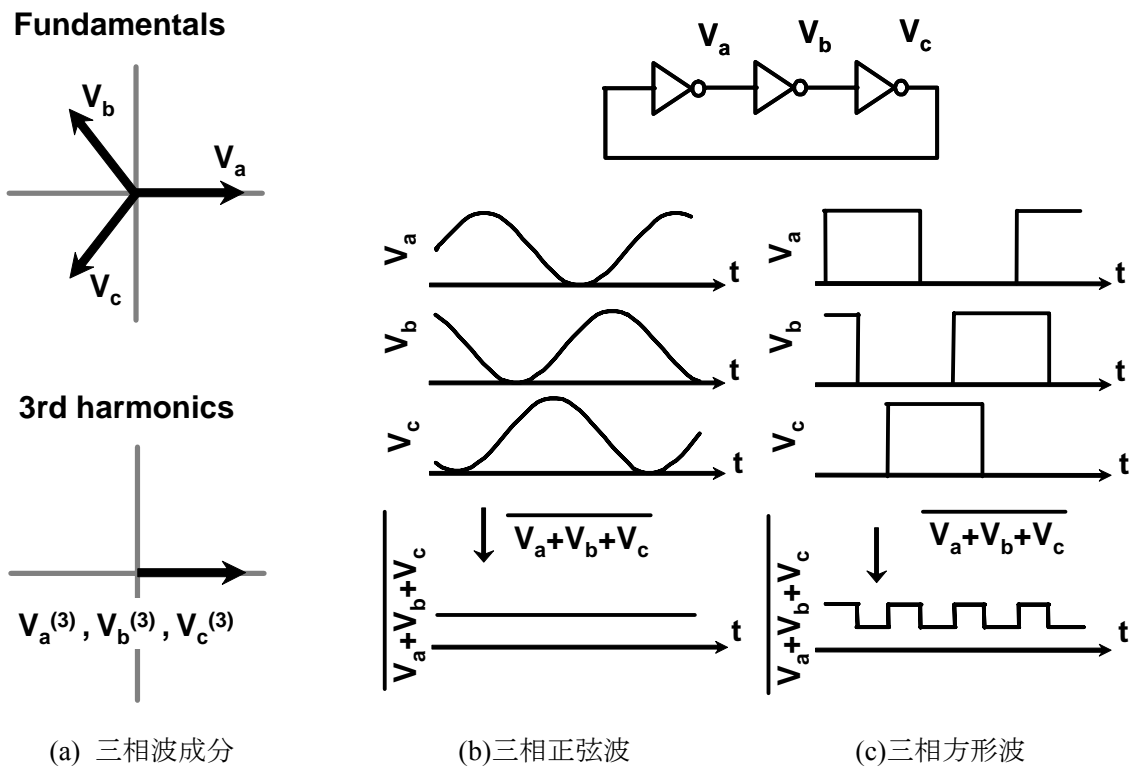


図 2.63 相波におけるイコライズ

2.3.2 提案する周波数3分周器

提案する3相ハーモニック周波数分周器のブロック図を図2.7に示す。

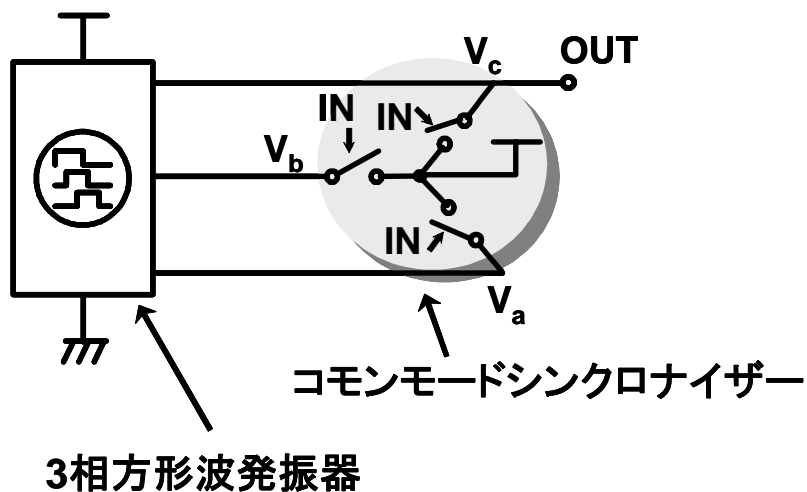


図 2.73 相ハーモニック注入同期型3分周器ブロック図

図2.7に示されるとおり、3相ジェネレータとコモンモードシンクロナイザーがキーコンポーネントで

ある。ジェネレータにより生成された3相方形波をコモンモードシンクロナイザーにより直接変調することで動作する。これらを実現する回路図を図2.8に示す。

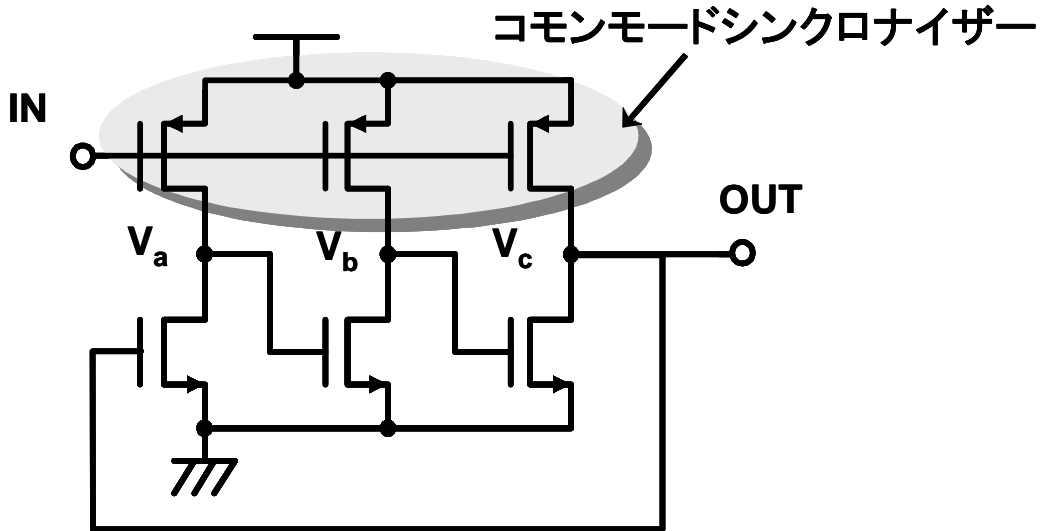


図 2.83 相ハーモニック注入同期型3分周器

信号源である三相ジェネレータの実現にはPMOS負荷インバータ3段のリングオシレータを使用した。各インバータが同一特性であるとき、各ノード電圧は $120^\circ$ の位相差をもち三相交流となる。また、リングオシレータのPMOSをコモンモードシンクロナイザーとしても使用する。

発振回路の自己発振周波数、入力周波数をそれぞれ $f_0$ 、 $f_{IN}$ とする。図2.8の回路においてPMOSスイッチが周波数 $f_{IN}$ でONになったとき、各ノード電圧はスイッチを介してプルアップされる。発振波が方形波であるとき、コモンモード電圧にはノード電圧の3倍の周波数が現れるので、ノード電圧の1周期に対して3回イコライズする点が現れる。シミュレーション結果を図2.9に示す。

まず、 $f_{IN}=3f_0$ とする。このとき、PMOSスイッチがONになる周期とコモンモード電圧の周期が等しくなり、回路は3分周器として動作する。このときの動作を図2.9(a)に示す。

$f_{IN}>3f_0$ のとき、PMOSスイッチがONになるとコモンモード電圧が最大となるように発振状態が変調される。シミュレーションによる動作波形を図2.9(b)に示す。コモンモード電圧の周期よりトランジスタがONとなる周期のほうが短いため、発振周期は短くなるように変調される。反対に $f_{IN}<3f_0$ のとき、総和の周期よりトランジスタのスイッチング周期は遅くなり周期を伸張させるように働く。

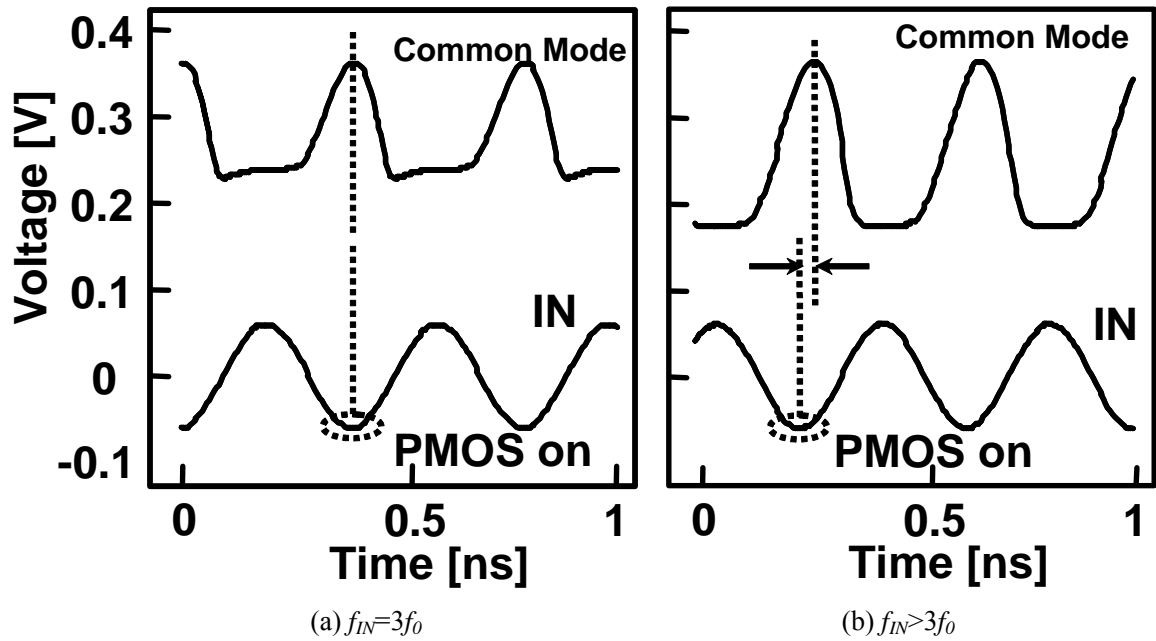


図 2.9 シミュレーション波形

2.3.3 3相ハーモニック注入同期型周波数分周器の測定結果

図 2.8 の回路を株式会社日立のプロセスにより試作を行った。試作を行ったプロセスはゲート長  $0.18 \mu\text{m}$ 、5層メタルの CMOS プロセスである。試作した周波数分周器のチップ写真を図 2.10 に示す。コアサイズは  $10.8 \mu\text{m} \times 10.5 \mu\text{m}$  である。

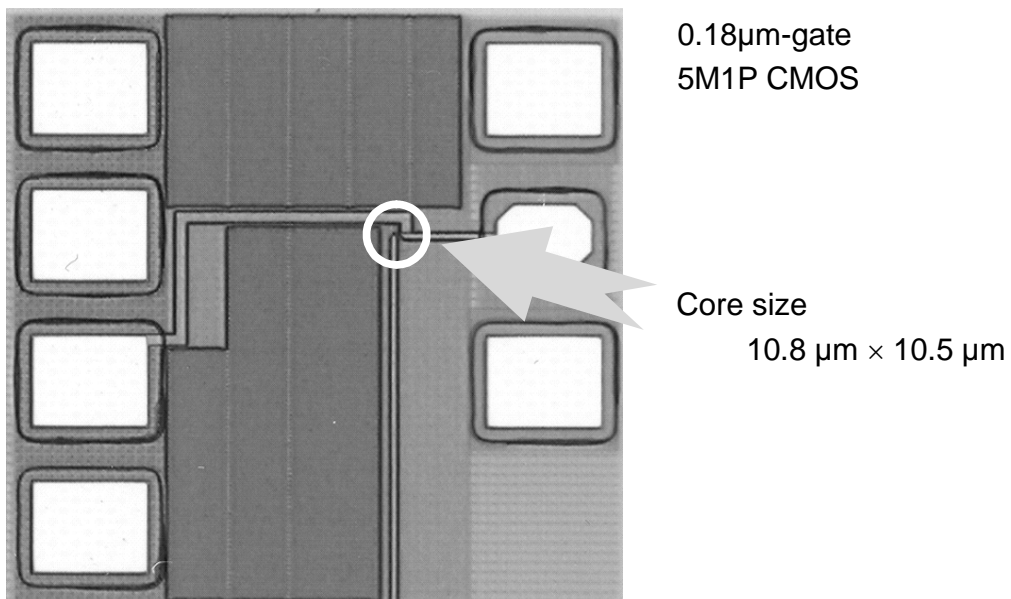


図 2.10 試作した 3 相ハーモニック注入同期型 3 分周器

リングオシレータは、電源電圧を変化することにより発振周波数が変化するため、動作周波数範囲が変化する。電源電圧 0.7V, 1.2V, 1.8V での入力に対する入力感度特性を図 2. 11 に示す。電源電圧 0.7V において、最高動作周波数 6GHz、最低動作周波数 1.2GHz を実現した。このときの消費電力は  $43\mu\text{W}$  であった。出力周波数がリングオシレータの自己発振周波数近傍では、注入電流が少なくてもロックするために感度が向上している。

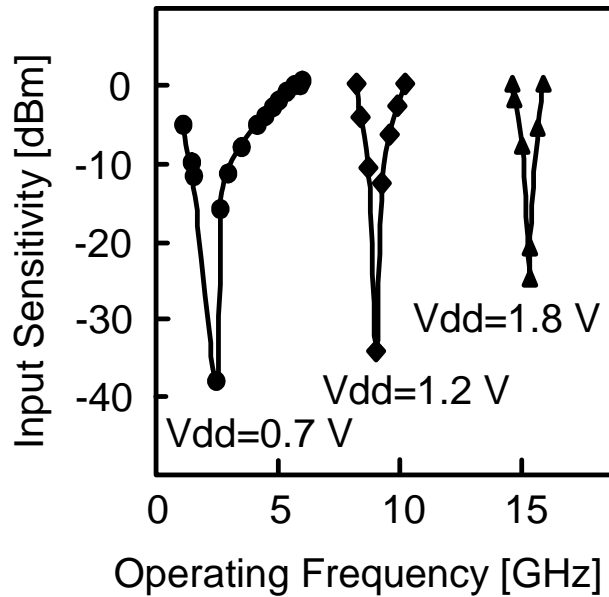


図 2. 11 電源電圧を固定したときの動作周波数と動作に必要な最小入力電力

図 2. 11 より電源電圧が低いほど入力感度が高く、動作帯域が広いことが分かる。提案する周波数分周器では 3 次高調波を用いるため方形波の生成が重要である。リングオシレータの発振波形は電源電圧により変化するが、電源電圧が高くなるに従い正弦波に近づくため分周器がロック動作できなくなっていると考えられる。電源電圧に対する発振波成分の関係のシミュレーション結果を図 2. 12 に示す。電源電圧が低くなるに従い、基本波成分の割合が低下し発振波には 3 次高調波が多く現れてくることが確認できる。従って、3 次高調波が効果的に得られる低電圧動作時において分周器の性能は向上すると考えられる。

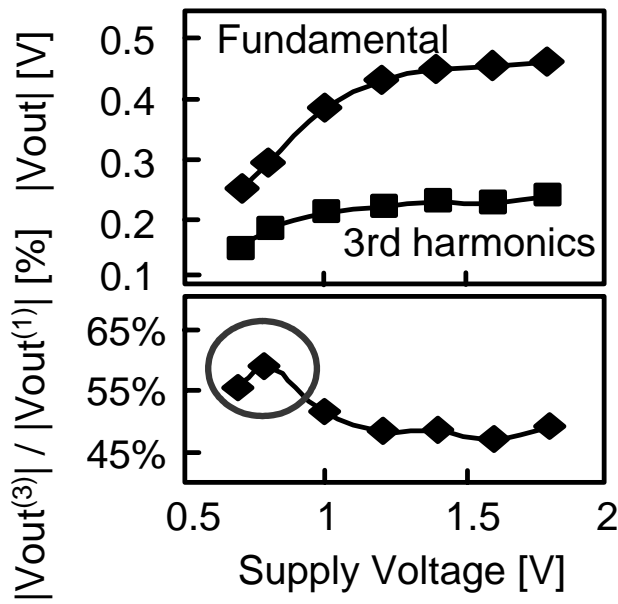


図 2.12 電源電圧に対するリングオシレータ発振波成分の変化

最後に、提案した分周器の測定結果を論文で発表されている 3 分周器の測定結果と比較する。最大動作周波数に対する消費電力とロックレンジの比較を図 2.13 に示す。電源電圧 0.7V において消費電力では  $0.1\mu\text{W}/\text{GHz}$  以下で動作し、ロックレンジは 80% である。従来のリングオシレータを用いる分周器と比較し、動作周波数では 1.2 倍、ロックレンジでは 4.4 倍の性能を実現した。

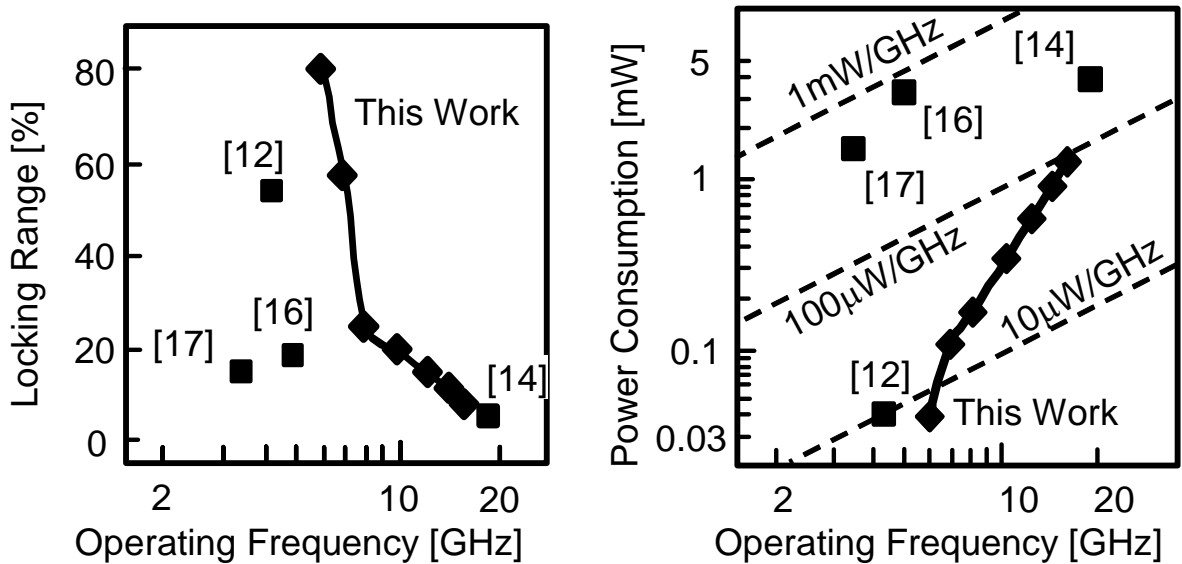


図 2.13 消費電力とロックレンジの比較

図 2.12 で検証したように電源電圧が下がるに依り動作周波数は低下するが、消費電力およびロックレンジにおいて高い性能が得られている。



## 2.4 58.8/39.2GHz デュアルモード周波数分周器

### 2.4.1 デュアルモード周波数分周器の意義

第一章で述べたように近年、ミリ波無線技術は飛躍的に向上しており、中でも自動車の車間レーダーは注目されている。周波数帯域は日本では免許が不要な特定小電力無線の帯域である 60GHz 帯と 76GHz 帯の 2 帯域が割り当てられている[1]。そのため、両帯域をカバーするには各帯域のトランシーバを切り替えて用いる必要がある。2つのトランシーバを搭載することはシステムのサイズを大きくなり無駄も大きい。共通するコンポーネントを共用できればシステムを小型化することができ、コストの面でも有利である。60.6GHz と 76.6GHz の 2つのキャリア周波数を用いるデュアルモードミリ波レーダー用スライディング IF 式のトランシーバのブロック図を図 2.14 に示す。

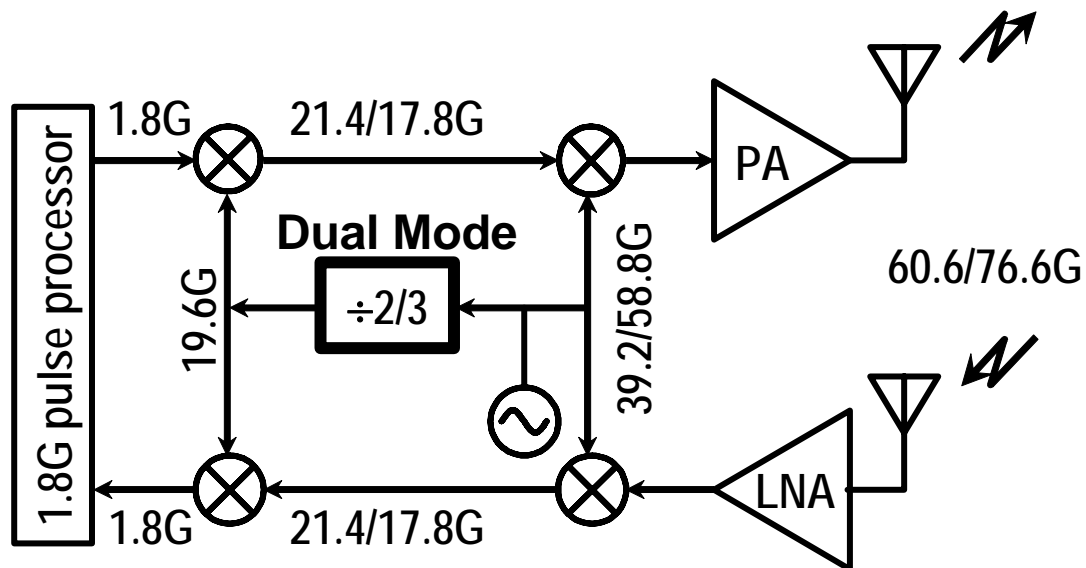


図 2.14 デュアルモードミリ波レーダー用スライディング IF 式トランシーバ

図 2.14 に示すように 58.8/39.2GHz の第 1 LO と 19.6GHz の第 2 LO を用いることにより 1.8GHz のパルス波を用いながら 2つの帯域のレーダーを実現することができる。ここで、19.6GHz の第 2 LO の生成には、58.8GHz と 39.2GHz の第 1 LO 信号をそれぞれ 3 分周と 2 分周することが必要になる。すなわち、2つの分周モードを異なる周波数帯域で使用できる分周器が必要となる。この分周器をインダクタ無しに実現できれば、LC やスタブによる共振回路が必要としないために占有面積を小さく、ロックレンジが広くとることができる。

2.4.2 提案するデュアルモード周波数分周器

提案する分周器のブロック図を図 2.15 に示す。三相矩形波発振器とイコライザで構成され、イコライザの挿入箇所により 2 分周動作と 3 分周動作のデュアルモード分周を切り替える。2 分周モードでは 2.1.3 で示した擬似注入同期型周波数分周器として動作し、3 分周モードでは 2.3.2 で提案した 3 相ハーモニック注入同期型周波数分周器として動作する。この機能を実現する回路は図 3 のようになる。

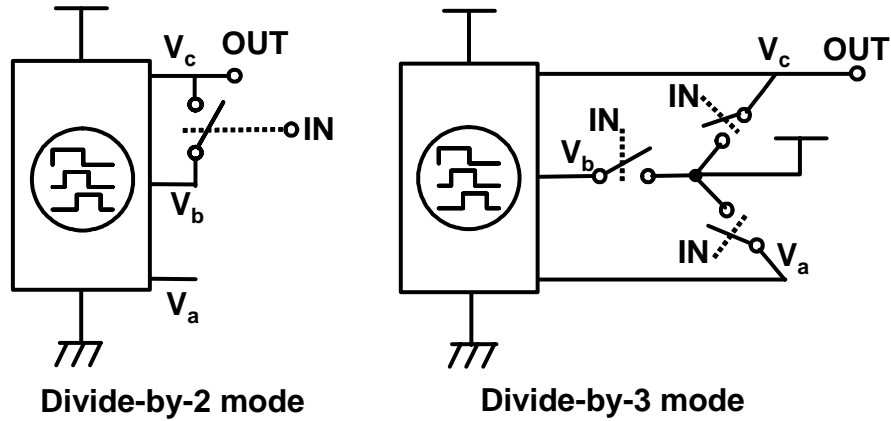


図 2.15 デュアルモード周波数分周器のブロック図

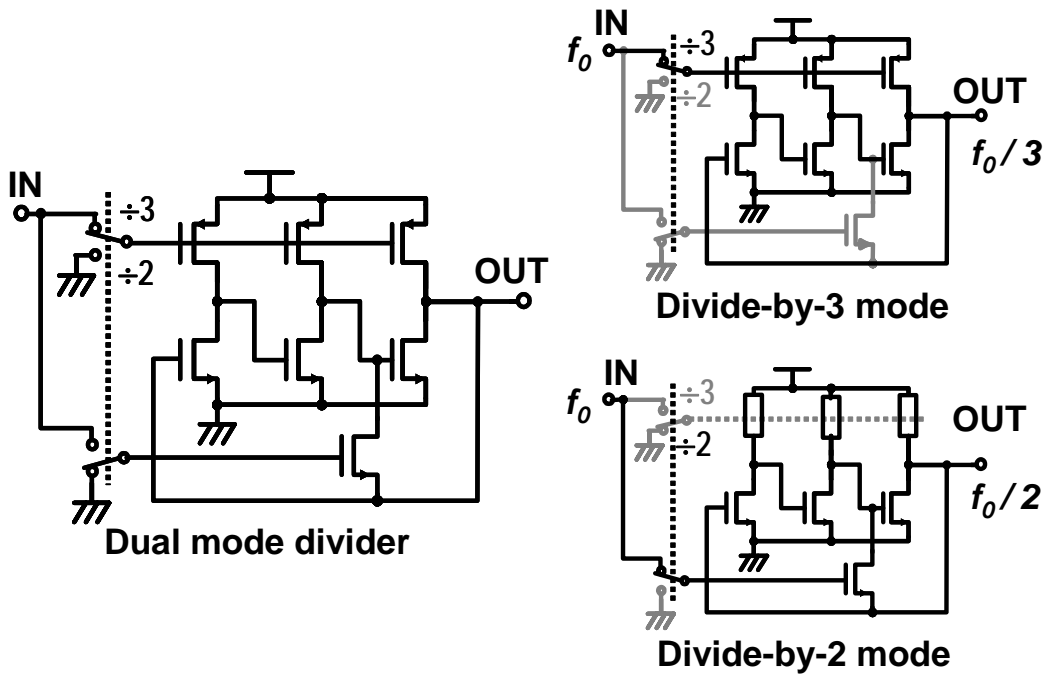


図 2.16 デュアルモード周波数分周器の回路図

3分周器を実現するとき図2.17に示すようにPMOSをイコライザとして使用し、3ノード全てをイコライズする。このとき、コモンモード電圧には3次高調波が強く現れイコライズポイントは3点となり3分周器として動作する。一方、2分周器として動作させる場合には、図2.18に示すように2つのノード間に挿入したNMOSをイコライザとして使用し、イコライズは2ノード間のみで行われる。このとき、基本波に対しイコライズが行われ2分周器として動作する。

### 2.4.3 デュアルモード周波数分周器の測定結果

図2.16の回路を株式会社STARCのプロセスにより試作を行った。試作を行ったプロセスはゲート長90nm、6層メタルのCMOSプロセスである。試作した周波数分周器のチップ写真を図2.19に示す。コアサイズは $9.2\mu\text{m}\times 5.2\mu\text{m}$ である。

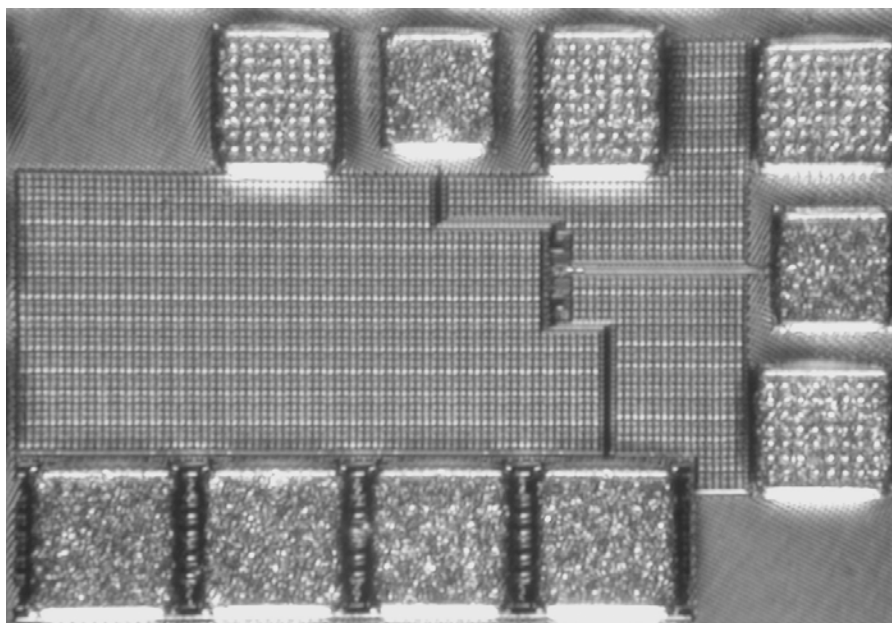


図2.19 試作したデュアルモード周波数分周器

回路の電源電圧を0.4V, 0.8V, 1.15Vとしたときの最低入力電力と動作周波数の関係を図2.20に示す。電源電圧0.4Vのとき2分周モードで8.5GHz, 3分周モードで13.7GHzで動作し消費電力は $20\mu\text{W}$ である。また、電源電圧を1.15Vとしたとき2分周モードで40.0GHz, 3分周モードで59.1GHzで動作し消費電力は1.2mWである。いずれの場合にも、分周モードによる消費電力の変化は生じない。図2.12にシミュレーション結果を示したように、電源電圧が低下するに従い3次高調波成分が強くなるため3次高調波を用いる3分周器は動作しやすくなり最小入力電力は減少する。しかし、基本波成分は

電源電圧の低下に従い弱くなるため2分周器としては動作しにくくなり最低限入力電力は増加する。

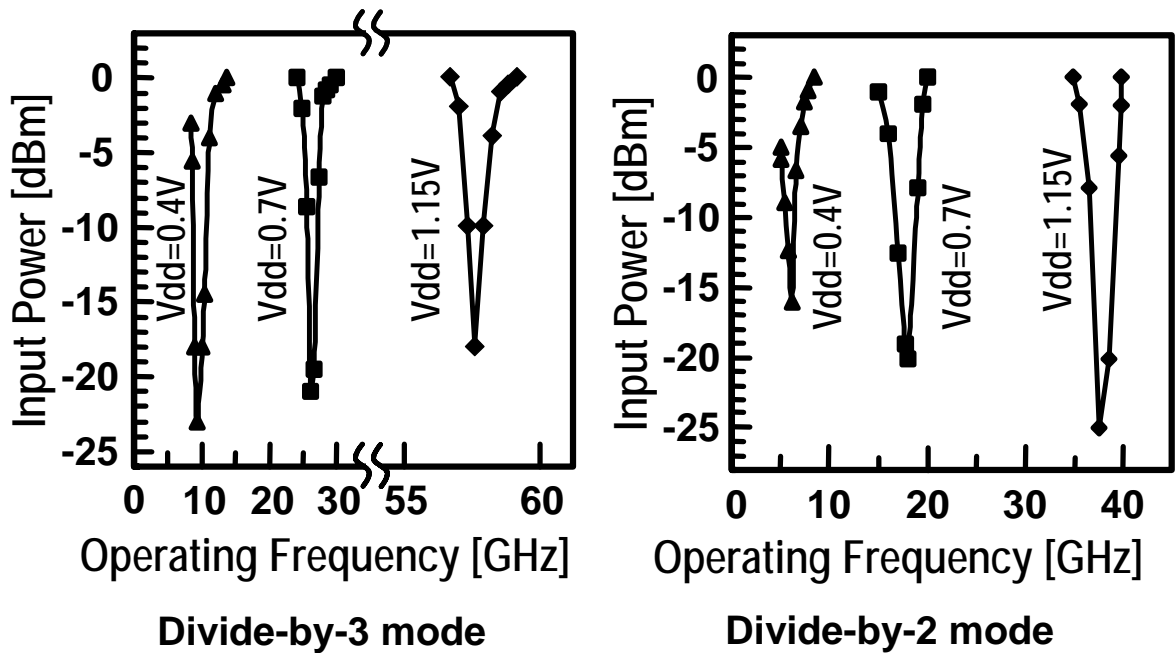


図 2.20 電源電圧を固定したときの動作周波数と動作に必要な最小入力電力

分周器がロックしているとき位相ノイズはシグナルジェネレーターからの入力により抑えられる。このとき、位相ノイズには入力波のジッタノイズが含まれている。ジッタノイズは分周器により低減され  $n$  分周したとき  $1/n$  倍になる。したがって3分周動作時の位相ノイズと2分周動作時の位相ノイズでは、3分周波に含まれるジッタノイズは2分周波の  $2/3$  倍となり  $1.8\text{dB}$  減衰する。オシレータをフリーランさせた時と分周器として動作させロックした時の位相ノイズを図 2.21 に示す。3分周時の位相ノイズは2分周時に比べ  $2\text{dB}$  減衰しており、分周比に従ってジッタノイズも減衰していることが確認できる。

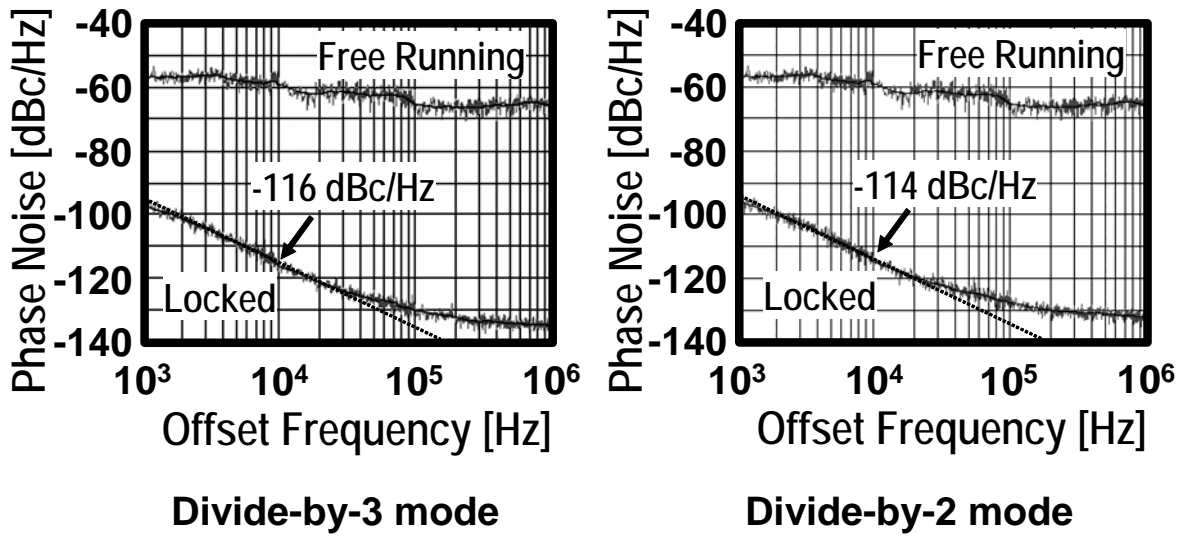


図 2.21 位相ノイズ測定結果

今までに提案されている他の分周器と消費電力およびロッキングレンジを比較したものを図 2.22 に示す。電源電圧 1.15V において 2 分周モードで 14%, 3 分周モードで 4.2% のロッキングレンジであり、最大動作周波数あたりの消費電力はそれぞれ  $28\mu\text{W}/\text{GHz}$ ,  $19\mu\text{W}/\text{GHz}$  を実現している。また、電源電圧 0.4V においては 2 分周モードで 70%, 3 分周モードで 62%、消費電力はそれぞれ  $2.9\mu\text{W}/\text{GHz}$ ,  $1.8\mu\text{W}/\text{GHz}$  である。

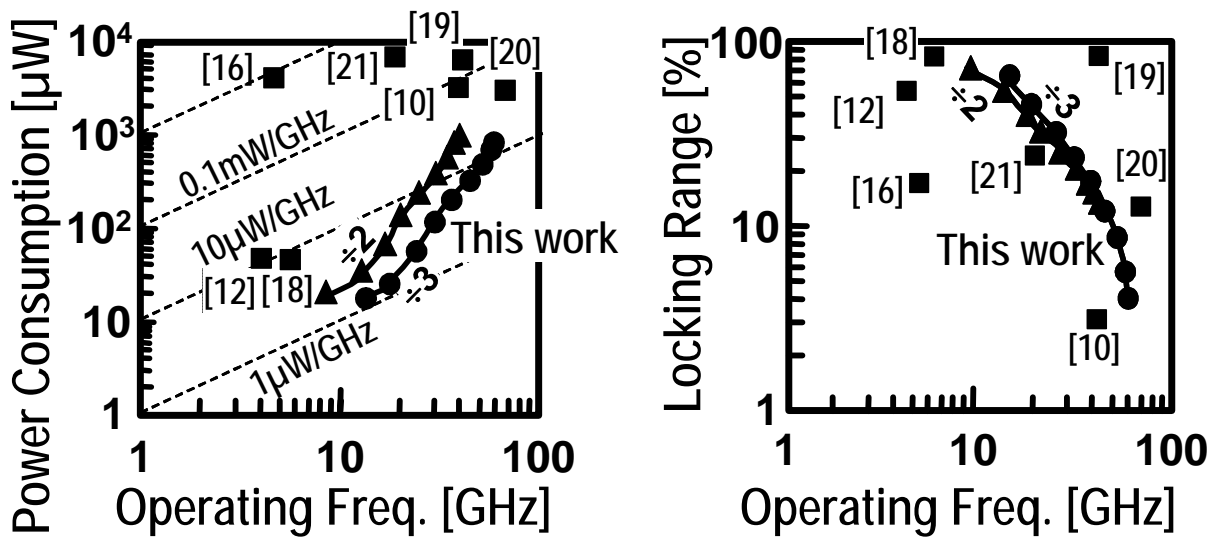


図 2.22 消費電力とロッキングレンジの比較

## 2.5 まとめ

PLLの低消費電力化のために、低消費電力で広いロックレンジを持つハーモニック注入同期型3分周器を、直列接続を用いないリングオシレータを用いて実現した。0.18 $\mu\text{m}$ プロセスを用いて試作した結果、電源電圧0.7Vにおいて消費電力43 $\mu\text{W}$ で6.0GHzで動作し、ロックレンジ80%を達成した。インダクタを用いないことによりコアサイズは10.8 $\mu\text{m}$ ×10.5 $\mu\text{m}$ と小消費面積であった。この分周器を用いることにより、PLLの一層の低消費電力化が期待される。

また、提案したハーモニック注入同期型3分周器と擬似注入同期型周波数2分周器を組み合わせることで、一つの回路で2モードの分周を行えるデュアルモード周波数分周器を実現した。電源電圧0.4Vにおいて2分周モードで70%、3分周モードで62%、消費電力はそれぞれ2.9 $\mu\text{W}/\text{GHz}$ 、1.8 $\mu\text{W}/\text{GHz}$ での動作を実現した。どちらのモードでも極低消費電力で広いロックレンジを持った分周器が実現できることを確認した。デュアルモード分周器の実現によりデュアルモードトランシーバなどのシステムが小型化かつ低消費電力で実現できることが期待される。

## 第3章 電圧制御発振器

### 3.1 電圧制御発振器

#### 3.1.1 電圧制御発振器の指標

電圧制御発振回路とは、入力電圧により発振周波数を制御できる発振回路のことである。入力電圧を  $V_{ctrl}$ 、自己角周波数を  $\omega_0$  とする。このとき発振角周波数  $\omega_{out}$  は、

$$\omega_{out} = \omega_0 + K_{VCO} V_{ctrl} \quad (3.1)$$

となる。 $K_{VCO}$  は入力電圧に対する発振角周波数の変化量である。電圧制御発振回路は単一角周波数を出力するのではなく、入力電圧に応じて出力角周波数を変化できなければならない。この変化量がどの程度あるかを示す指標としてチューニングレンジがある。最大動作角周波数を  $\omega_{max}$ 、最小動作角周波数を  $\omega_{min}$  とし、チューニングレンジを  $FTR$  とする。 $FTR$  は、

$$FTR = 2 \frac{\omega_{max} - \omega_{min}}{\omega_{max} + \omega_{min}} \quad (3.2)$$

と定義される。

また、電圧制御発振回路の性能を示す指標として位相ノイズ  $L(\Delta\omega)$  がある。ここで  $\Delta\omega$  は発振角周波数  $\omega_{out}$  からのずれを表す。位相ノイズは発振回路がどれだけ純粋な正弦波を出力しているかを表す。発振角周波数  $\omega_{out}$  の純粋な正弦波は  $\omega_{out}$  以外の成分を含まないが、純粋でない波は  $\omega_{out}$  からずれた成分も含む。位相ノイズ  $L(\Delta\omega)$  は、

$$L(\Delta\omega) = \frac{2kTF}{P_{out}} \left[ 1 + \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \right] \cdot \left( 1 + \frac{\omega_c}{\Delta\omega} \right) \quad (3.3)$$

で定義される。 $L(\Delta\omega)$  はオフセット周波数  $\Delta\omega$  のときの位相雑音、 $\Delta\omega$  はオフセット角周波数、 $\omega_0$  は発振角周波数、 $P_{out}$  は VCO の出力電力、 $F$  は発振器の雑音係数、 $k$  はボルツマン定数、 $T$  は絶対温度、 $Q$  は共振器の  $Q$  値、 $\omega_c$  は位相雑音の特性において、フリッカ雑音が支配的になる領域と熱雑音が支配的に

なる領域のコーナー周波数である。式(3.3)から、位相雑音特性を改善するためには、

- ・ 出力電力を大きくする
- ・ 雑音係数を小さくする
- ・ 共振器の  $Q$  値を高くする
- ・ フリッカ雑音のコーナー周波数を小さくする

以上を行う必要がある。特に共振器の  $Q$  値を高めることは、位相雑音に対し二乗で効いてくるため影響が大きいことが分かる。しかし、位相ノイズ  $L(\Delta\omega)$  では消費電力が考慮されていないため、現在では消費電力を加味した性能指数  $FoM$  が用いられている。 $FoM$  は、

$$FoM = 10 \log \left[ \left( \frac{\omega_{out}}{\omega_{\Delta\omega}} \right)^2 \left( \frac{1}{L(\Delta\omega) \cdot P} \right) \right] \quad (3.4)$$

で与えられる。ここで、 $P$  は消費電力を表す。

### 3.1.2 ソース接地回路による発振回路

発振回路は不安定な増幅回路として考えることが出来る。図 3.1 に示すようなループ回路を考える。ある角周波数  $\omega_0$  に対して、

$$\begin{aligned} |G(j\omega_0)| &\geq 1 \\ \angle G(j\omega_0) &= 360^\circ \end{aligned} \quad (3.5)$$

のときに回路は角周波数  $\omega_0$  で発振する。

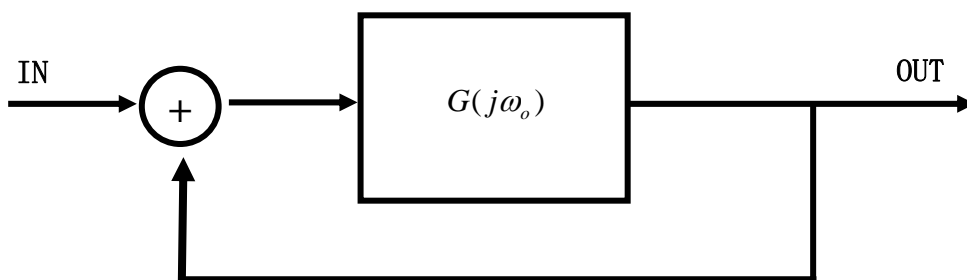


図 3.1 フィードバックを用いた増幅回路

つまり、式(3.5)が発振条件となる。増幅回路として最も一般的な回路はNMOSソース接地回路である。ここで、負荷抵抗の大きさを  $R$ 、出力端子の寄生成分をドレインの接地容量  $C$  に纏めると、回路の伝達関数  $H(\omega)$  は、

$$H(j\omega) = -g_m R \frac{1}{1 + j\omega RC} \quad (3.6)$$



$$H(j\omega) = g_m R \sqrt{\frac{1}{1 + (\omega RC)^2}} \quad (3.7)$$

$$\angle H(j\omega) = 180^\circ - \tan^{-1}(\omega RC)$$

となる。ここで、nmos ソース接地回路を2段接続してループ回路を作り、発振回路を実現することを考える。回路図を図3.2に示す。

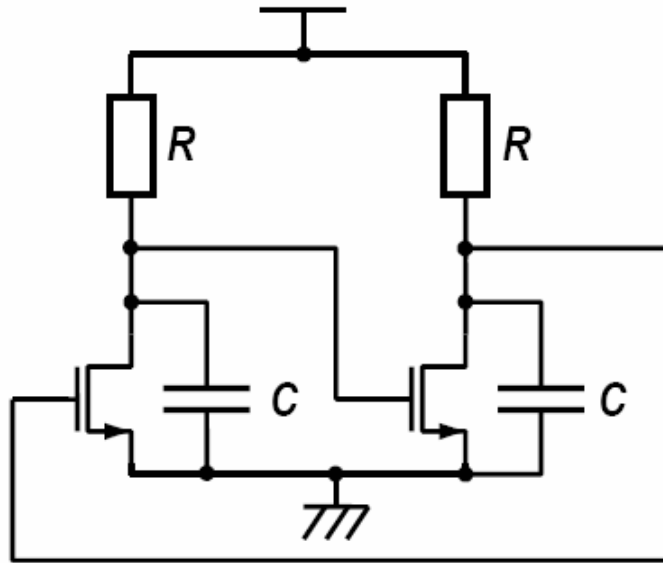


図 3.2 2段のソース接地回路

ループ回路の伝達特性は

$$G(j\omega) = H(j\omega)^2 \quad (3.8)$$

となる。このとき、式(3.5), 式(3.7)より発振条件は、

$$H(j\omega)^2 = (g_m R)^2 \frac{1}{1 + (\omega RC)^2} \geq 1 \quad (3.9)$$

$$2\angle H(j\omega) = 360^\circ - 2 \tan^{-1}(\omega RC) = -2 \tan^{-1}(\omega RC) = 360^\circ \quad (3.10)$$

となる $\omega$ が存在することである。このうち式(3.10)は $\omega = 0$ のときのみ成立するため、発振回路としては成り立たない。また、式(3.9)を満たすには出力端子の $C$ を打ち消す必要がある。そこで、負荷としてインダクタを用いると共振周波数においてキャパシタンス $C$ はインダクタンス $L$ に打ち消され発振条件を満たす。つまり、2段のソース接地回路で発振器を構成するには負荷としてインダクタンス成分を持つ共振回路が必要である。

## 3.1.3 共振回路と電圧制御発振器

3.1.2 で述べたように電圧制御発振回路を構成するにはインダクタンス成分をもった負荷が必要となる。シリコン修正回路上にインダクタを実現する方法として、メタルをらせん状に巻いてコイルを作るオンチップインダクタや、伝送線路による共振回路を構成する方法が用いられる。このとき、メタルの下にあるシリコン基板やメタルの抵抗成分の影響により純粋なインダクタンス成分のみを取り出すことは出来ない。これらの寄生成分を加味したインダクタの回路図を図 3.3 に示す。インダクタの Q 値を、

$$Q = \frac{\text{Im}(Z)}{\text{Re}(Z)} = \frac{\omega L_{ind}}{R_{ind}} \quad (3.11)$$

とすると、共振時において、

$$R_p = R_{ind} (Q^2 + 1) \quad (3.12)$$

$$L_p = L_{ind} \frac{Q^2 + 1}{Q^2} \quad (3.13)$$

となり、図 3.3 のようにシリアルパラレル変換することができる。ここで、Q 値が十分に大きいとすると  $Q^2 \gg 1$  となり、

$$R_p \approx R_{ind} Q^2 = Q \cdot \omega L_{ind} \quad (3.14)$$

となる。

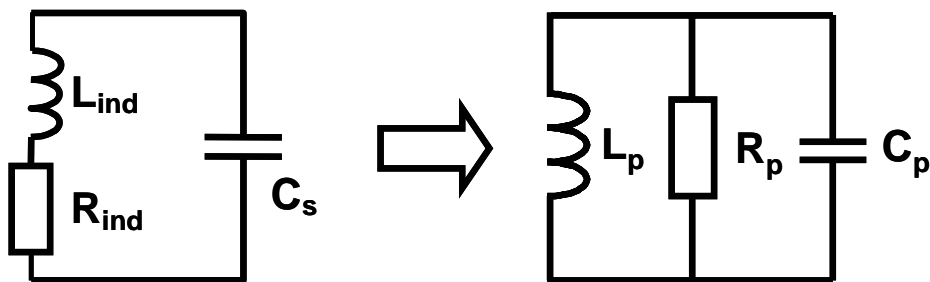


図 3.3 インダクタの回路図

図 3.3 の負荷がついた 2 段のソース接地回路を考えると、式(3.9)を満たす発振条件は、

$$\begin{aligned} |H(j\omega)|^2 &= (g_m R_p)^2 \geq 1 \\ \therefore g_m R_p &\geq 1 \end{aligned} \quad (3.15)$$

となる。

式(3.15)を確認するため回路に当てはめ検証を行う。図 3.2 において負荷として図 3.3 のインダクタ

を用いたとする。Rは負荷の抵抗成分、Cは回路の容量成分、電源電圧  $V_{DD}$  とする。また、rは回路の負性抵抗成分として、

$$r = \frac{1}{g_m}$$

とする。

このとき、負荷に流れる電流  $i_r$  は次式(3.16)～(3.18)で表される。

$$\dot{i}_r = \begin{cases} \frac{V_{DD}}{LCr} \frac{1}{\omega_0^2} \left\{ 1 - \frac{\omega_0}{\omega} e^{-at} \sin(\omega t + \phi) \right\} + \frac{V_{DD}}{RCr} \frac{e^{-at}}{\omega} \sin(\omega t + \phi) & \omega_0^2 > a^2 \quad (3.16) \\ \frac{V_{DD}}{LCr} \frac{1}{a^2} \left\{ 1 - e^{-at} (1 + at) \right\} + \frac{V_{DD}}{RCr} t e^{-at} & \omega_0^2 = a^2 \quad (3.17) \\ \frac{V_{DD}}{LCr} \left\{ \frac{1}{\omega_0^2} - \frac{1}{n-m} \left( \frac{e^{-mt}}{m} - \frac{e^{-nt}}{n} \right) \right\} + \frac{V_{DD}}{RCr} \frac{1}{n-m} (e^{-mt} - e^{-nt}) & \omega_0^2 < a^2 \quad (3.18) \end{cases}$$

$$a = -\frac{R+r}{2RrC}, \quad \omega_0^2 = \frac{1}{LC}, \quad \omega^2 = \omega_0^2 - a^2, \quad \phi = \tan^{-1} \left( \frac{\omega}{a} \right)$$

式(3.15)が成り立つとき式(3.16)または(3.17)が成り立つ。

$|r| = |R|$  すなわち  $g_m R_p = 1$  とすると、(3.17)が適用でき、

$$i_r = -\frac{V_{DD}}{R} + \frac{1}{R} \left( V_{DD} - \frac{\sqrt{LC}}{CR} V_{DD} \right) \cos \left( \frac{1}{\sqrt{LC}} t \right) \quad (3.19)$$

となる。従って角周波数、

$$\omega = \frac{1}{\sqrt{LC}} \quad (3.20)$$

で発振する。

このとき、回路容量Cがトランジスタなどの寄生成分すなわち固定容量  $C_{mos}$  と、バラクタなどによる可変容量  $C_{var}$  の総和であるとする、発振角周波数は、

$$\omega = \frac{1}{\sqrt{L(C_{mos} + C_{var})}} \quad (3.21)$$

となり、可変容量による電圧制御発振器が構成できる。

式(3.15)より発振条件を満たすには  $g_m$  または  $R_p$  を高くする必要がある。インダクタのQ値を一定

と仮定すると、発振条件を満たすために  $R_p$  を上げるには、式(3.14)より  $L_{ind}$  を上げることになる。一方、 $L_{ind}$  を上げると式(3.21)動作周波数が低下すると共に、可変容量に対してインダクタンスが相対的に大きくなるため、動作周波数帯域が狭くなってしまう。また、動作周波数上がるに従い、インダクタや伝送線路では表皮効果や基板結合などにより寄生成分が増えるため LC タンクのインピーダンスが低下し動作不能となる。そのため、動作周波数を上げつつ共振回路インピーダンスを高く保つためには  $L_{ind}$  を上げる一方で可変容量を減らす必要があり、動作周波数とチューニングレンジはトレードオフの関係にあるといえる。したがって、これらの問題を解決するには式(3.14)より、 $R_p$  を上げるには共振回路の Q 値を上げることが求められる。

つまり、広チューニングレンジ VCO を実現するには、共振回路のインダクタンスをバラクタの可変容量成分に対して小さくする必要がある。これでは共振回路のインピーダンスを高く保つことが出来なくなってしまうため、インダクタンスを大きく保たざるを得ず、実用的なチューニングレンジをもつ VCO は設計できなかった。また、大きいインダクタンスには長い線路長が必要となるため線路損失が大きくなり位相ノイズも大きくなってしまう[22-24]。

## 3.2 60GHz CMOS 電圧制御発振器

### 3.2.1 低損失伝送線路による共振回路

3.1.3 で述べたように、高速かつ広チューニングレンジを持つ電圧制御発振回路を実現するには、小さいインダクタンスを持つ Q 値の高い共振回路が必要となる。

まず、電圧制御発振器で用いられているインダクタについて考える。動作周波数が上がるに従いインダクタの線路長は波長に対して無視できない長さになるため、インダクタは集中定数としては扱えなくなり分布定数回路として扱わなければならない。すなわち伝送線路として考える必要がある。この伝送線路の役割を図 3.4 に示す。一方のポートから入射された波は伝送線路により、もう一方のポートに時間遅れを持って伝達される。伝えられた波はネガティブコンダクタンス $-g_m$ の働きを持つ MOSFET により増幅されたあと反射して戻る。伝送線路は中央でプルアップされており電圧は中央を節として変化する。よって、伝送線路内の進行波の損失が少ないことが質の高い共振回路を得るためには必要であることがわかる。

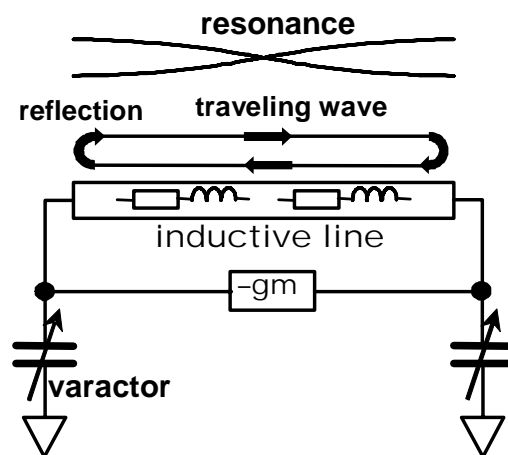


図 3.4 電圧制御発振器におけるインダクタの役割

低損失な共振回路を実現するために、低損失の伝送路である SWTL[25]を用いた。小インダクタンスを実現するために共振回路は一卷で構成されている。用いた伝送線路の構造を図 3.5(b)に示す。SWTLの構造は図 3.5(b)右のようになっている。チューニングレンジを広く取るためには式(3.21)に示すようにインダクタンスだけでなく、可変容量に対して固定容量も小さくする必要がある。信号線路として最上位層を用いたため、グラウンド線路と信号線路間の寄生容量を削減するためにグラウンド線路は最上位層を用いない構造とした。

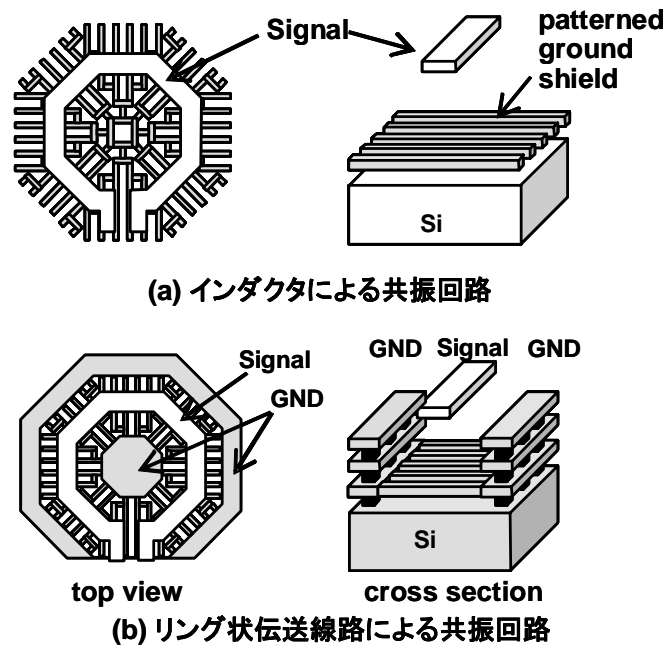


図 3.5 低損失共振回路の実現

同じサイズのリング状伝送線路とインダクタの S パラメータの測定結果を図 3.6 に示す。リング状伝送線路と従来のインダクタンスはそれぞれ 390pH と 610pH である。図 3.5 に示すようにリング状伝送線路ではリターン電流が信号線近くにあるグラウンドラインを流れるため、シリコン基板を流れる渦電流が減少するため、図 3.6 に示すようにリング状伝送線路の  $|S_{21}|$  はインダクタの  $|S_{21}|$  に比べ大きく伝送損失が減少していることが分かる。

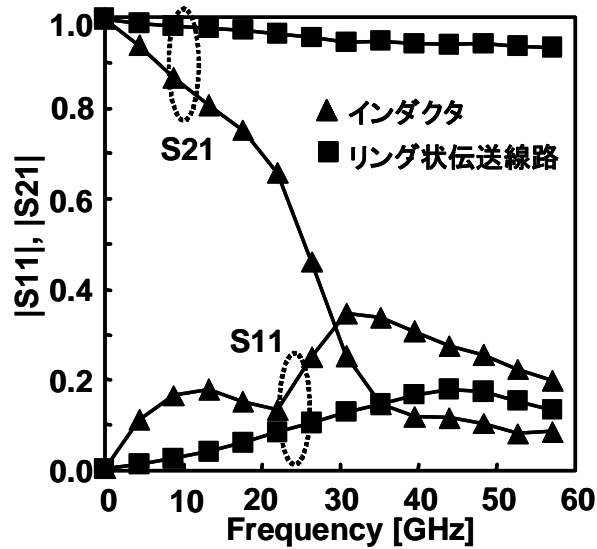


図 3.6 S パラメータ特性の比較

つまり、リング状伝送線路を用いることで共振回路の共振インピーダンスを高く保つ一方で、小さいインダクタンスを実現できる。したがって、大きいバラクタを用いても高い動作周波数を実現でき、高速動作で広チューニングレンジを持つ VCO を実現できる。

### 3.2.2 60GHz CMOS 電圧制御発振器の設計

60GHz 帯の特定省電力用トランシーバの周波数シンセサイザに用いる 60GHz 電圧制御発振器について検討する。低損失伝送線路による共振回路を用いた 60GHz 帯電圧制御発振器の回路図を図 3.7 に示す。通常は電圧制御発振器を安定して差動動作させるために回路に対して直列に MOSFET による定電流源が用いられるが、MOSFET は非線形性を持つため、これによるノイズを減らすために取り除く。代わりに電源からのコモンモードノイズを防ぐためにショートスタブを半リング状伝送線路のセンタータップに用いる。

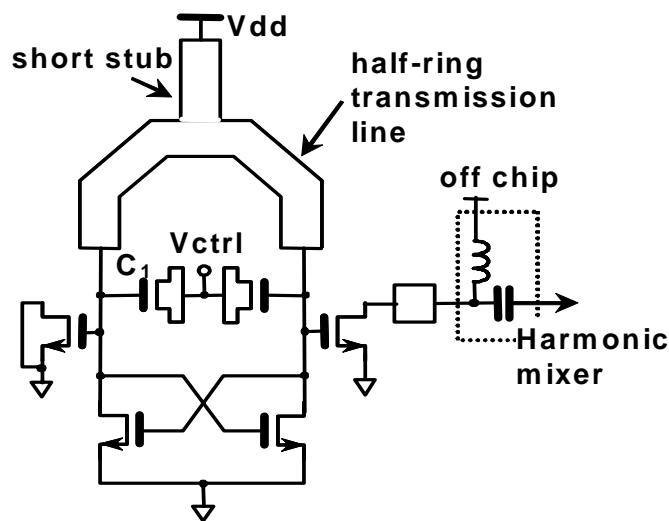


図 3.7 60GHz CMOS 電圧制御発振器回路図

使用した伝送線路のパラメータを表 3.1 に示す。伝送線路のインダクタンスおよびキャパシタンスは、以前に試作測定した SWTL デバイスモデルを用いて計算した。60GHz 動作を実現するために 22pH のインダクタンスを用いる。伝送線路の線路長は 45 $\mu\text{m}$  であり、非常に小さいため図 3.8 に示すように半リング状の伝送線路を用いる。半リング状伝送線路の開口部にはバラクタやクロスカップリングなどの回路が配置されている。

表 3.1 60GHz 電圧制御発振器用伝送線路

線路長	45 [ $\mu\text{m}$ ]
線路幅	8 [ $\mu\text{m}$ ]
シグナルーグラウンド間距離	10 [ $\mu\text{m}$ ]
インダクタンス	22 [pH]
キャパシタンス	6.2 [fF]

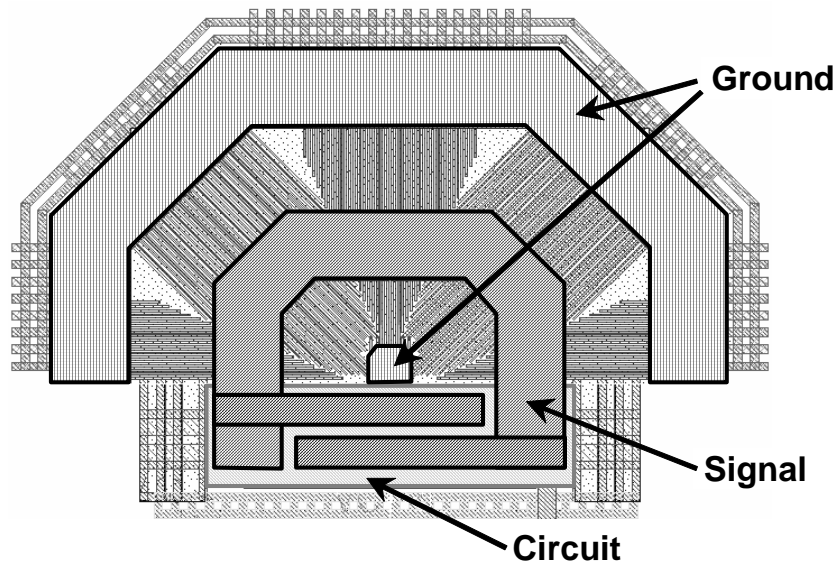


図 3.8 60GHz CMOS 電圧制御発振器レイアウト

### 3.2.3 60GHz CMOS 電圧制御発振器の測定結果

図 3.7 に示す回路を株STARC のプロセスを用いて試作を行った。試作を行ったプロセスはゲート長 90nm、6 層メタルの CMOS プロセスである。試作した 60GHz CMOS 電圧制御発振器のチップ写真を図 3.9 に示す。試作した回路は電源電圧 0.7V、電源電流 13.7mA のとき、中心周波数 59.7GHz、チューニングレンジ 13%で動作した。

電源電圧 0.7V において、コントロール電圧  $V_{ctrl}$  を 0V~1.6V の範囲で変化させたときの発振周波数の変化を図 3.10 に示す。発振周波数は 55.7GHz~63.6GHz の間で変化している。設計には事前に各デバイスを被測定対象としてとして測定評価し求めたミリ波用デバイスモデルを用いた。実際の等価回路は図 3.7 だけでなくレイアウトによる寄生成分等が付加されるが、これらを考慮した発信シミュレーション結果についても図 3.10 に示す。測定結果は計算結果に対して数百メガヘルツずれており、設計通りの性能が出ていないことが分かる。



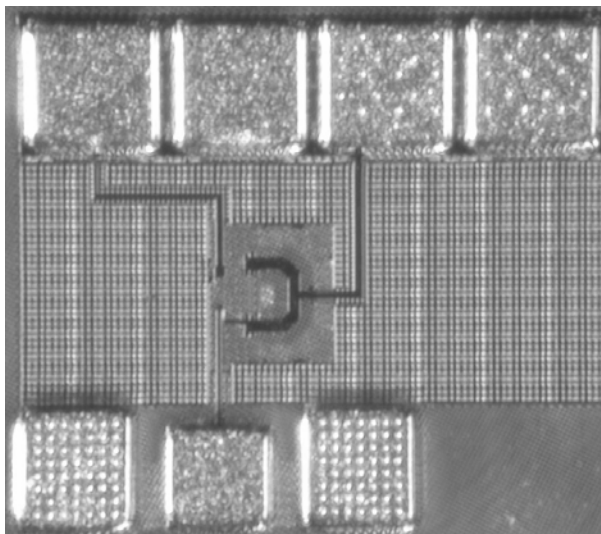


図 3.9 60GHz CMOS 電圧制御発振器チップ写真

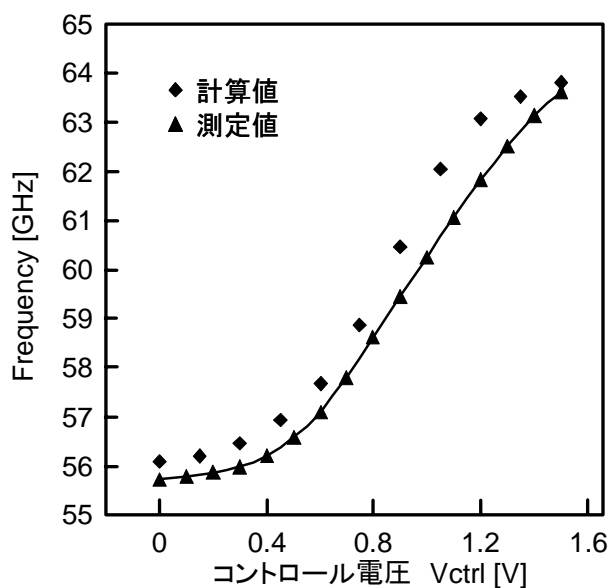
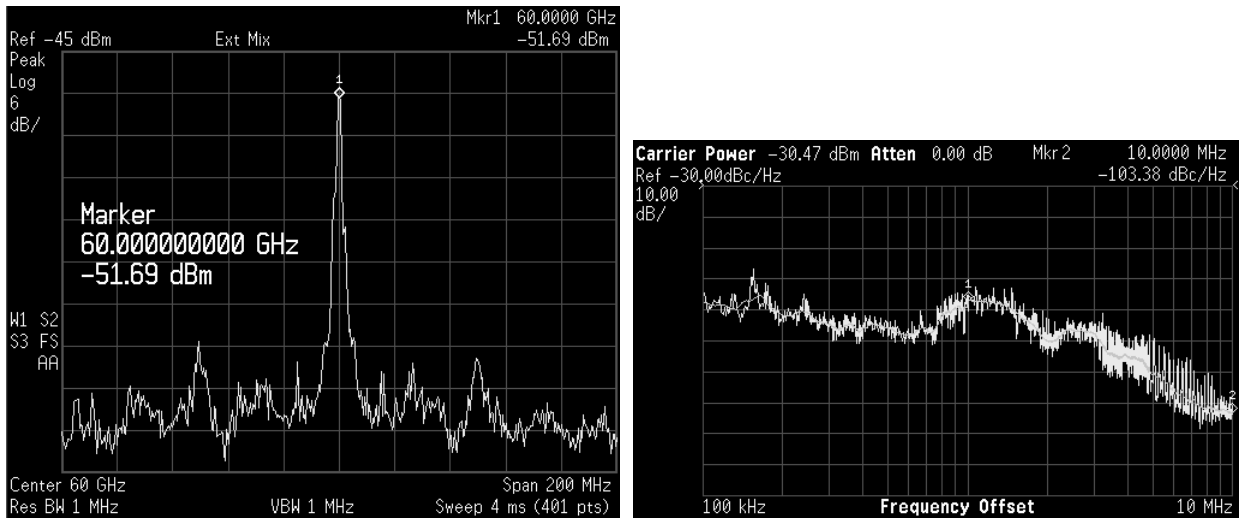


図 3.10 コントロール電圧に対する発振周波数の変化

次に、電源電圧 0.7V, コントロール電圧 1.0V における、発振出力の周波数スペクトラムと位相ノイズスペクトラムを図 3.11 に示す。位相ノイズは測定精度を上げるためサブハーモニックミキサと外付け低ノイズ周波数シンセサイザを用いて測定した。このサブハーモニックミキサはスペクトラムアナライザ標準のハーモニックミキサに比べコンバージョンロスが 20dB 低く、測定は図 3.12 に示す測定器構成を用いて、発振出力を約 4GHz 付近にダウンコンバートして行った。



(a)発振出力のスペクトラム

(b)位相ノイズ

図 3.11 発振出力の周波数スペクトラムと位相ノイズスペクトラム

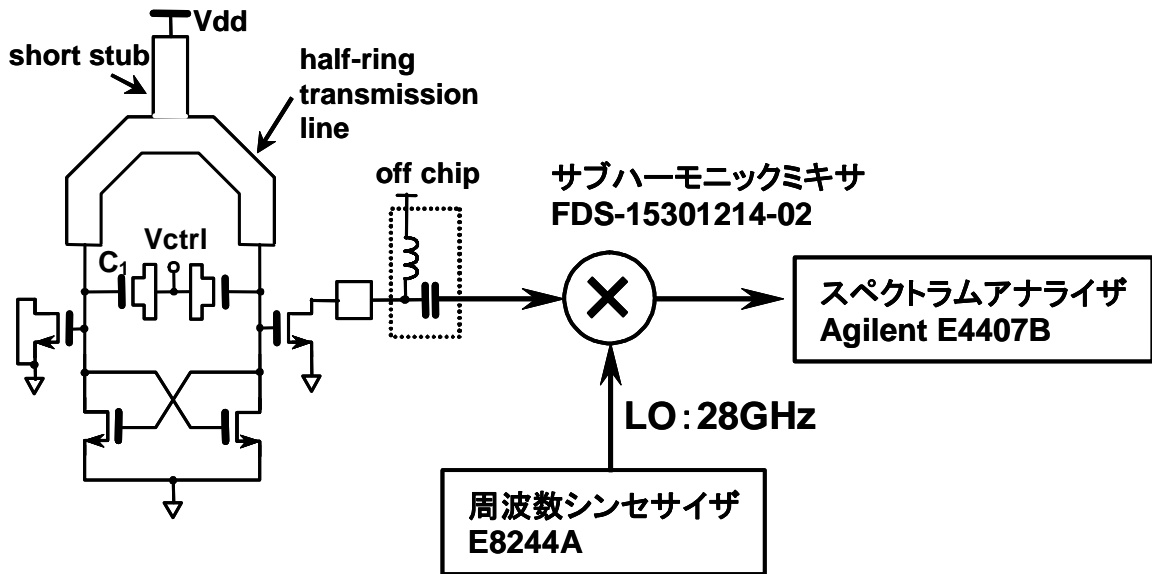


図 3.12 位相ノイズスペクトラムの測定構成

### 3.3 76GHz CMOS 電圧制御発振器

#### 3.3.1 76GHz CMOS 電圧制御発振器の測定結果

3.2 では 60GHz 帯での特定省電力トランシーバ用の周波数シンセサイザに用いる電圧制御発振器について検討した。次に、車間レーダ等で用いる 76GHz 帯の周波数シンセサイザで用いることを想定して、76GHz 電圧制御発振器を(株)STARC のプロセスを用いて試作を行った。試作を行ったプロセスはゲート長 90nm、6 層メタルの CMOS プロセスである。試作した 76GHz CMOS 電圧制御発振器のチップ写真を図 3.13 に示す。76GHz 動作を実現するために 10pH のインダクタンスを用いる。試作した回路は電源電圧 0.7V、電源電流 19.4mA のとき、中心周波数 76.5GHz、チューニングレンジ 7% で動作した。このとき、位相ノイズ -110dBc/Hz@10MHz オフセットであった。

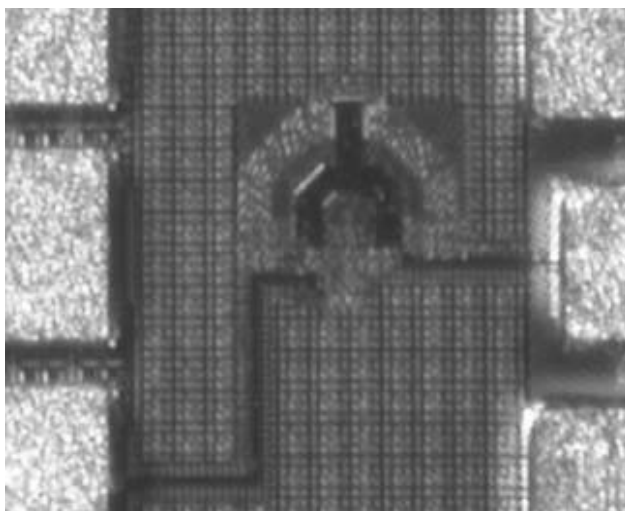


図 3.13 76GHz CMOS 電圧制御発振器チップ写真

電源電圧 0.7V において、コントロール電圧  $V_{ctrl}$  を 0.8V~1.9V の範囲で変化させたときの発振周波数の変化を図 3.14 に示す。発振周波数は 73.8GHz~79.3GHz の間で変化している。

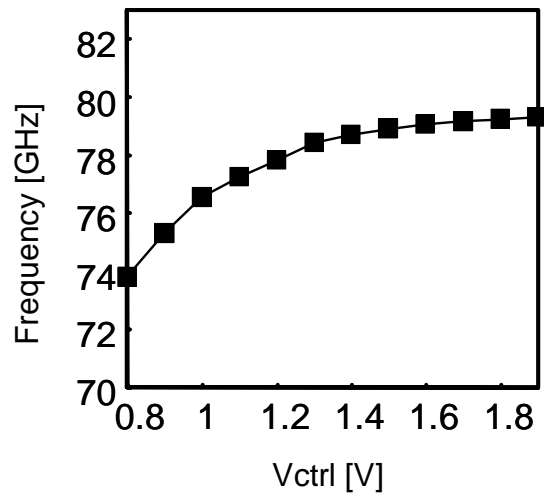
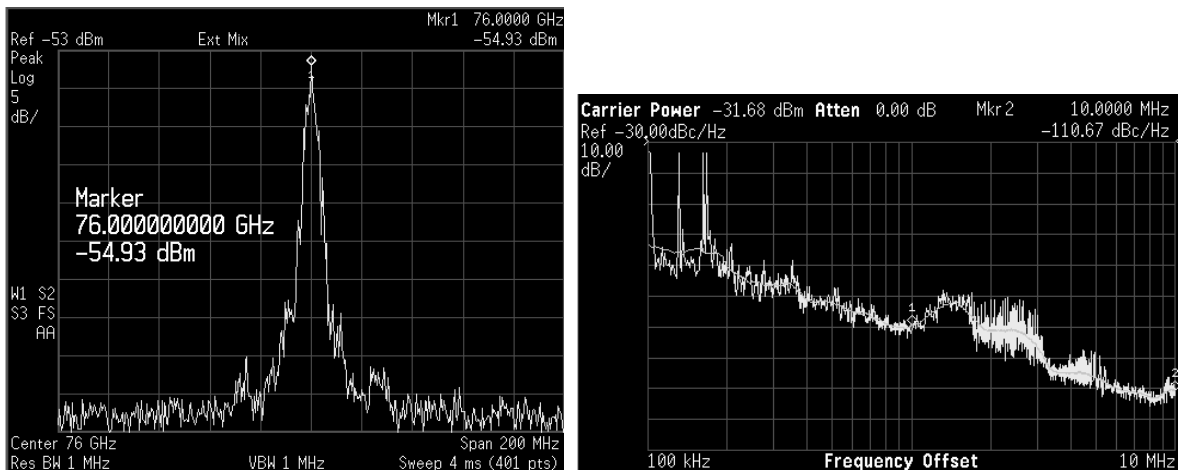


図 3.14 コントロール電圧に対する発振周波数の変化

次に、電源電圧 0.7V, コントロール電圧 1.9V における、発振出力の周波数スペクトラムと位相ノイズスペクトラムを図 3.15 に示す。周波数スペクトラムと位相ノイズスペクトラムは同じスペクトラムアナライザを用いて測定した。位相ノイズは 60GHz 帯電圧制御発振器同様、図 3.12 に示す構成で測定を行った。



(a)発振出力のスペクトラム

(b)位相ノイズ

図 3.15 発振出力の周波数スペクトラムと位相ノイズスペクトラム

最後に、今までに発表されている W バンドで動作する電圧制御発振器のチューニングレンジ FTR と性能指数 FoM を図 3.16 に示す。FTR と FoM それぞれ、式(3.2)と式(3.4)により計算した。他の W バンド CMOS 電圧制御発振器に対して広チューニングレンジが実現されており、また化合物半導体を用いた回路に対しても十分な性能が得られている。

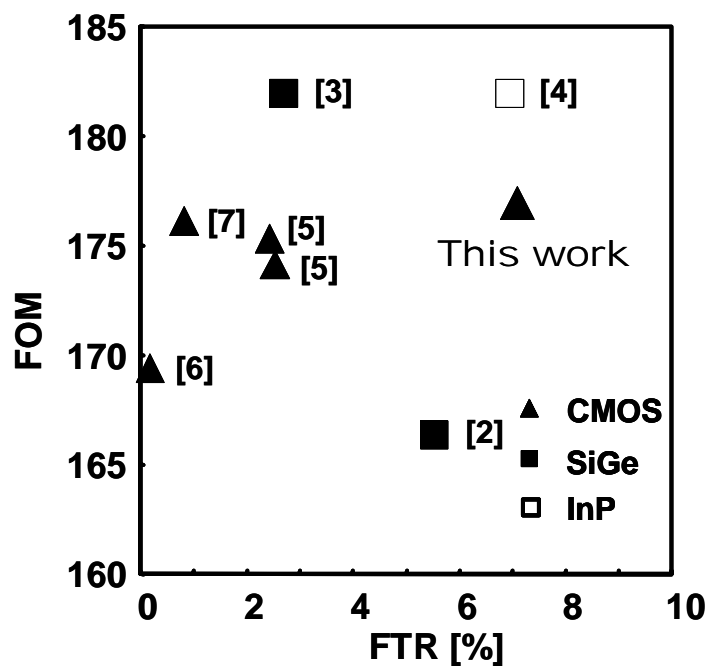


図 3.16 W バンド電圧制御発振器のチューニングレンジと性能指数の比較

### 3.4 まとめ

電圧制御発振器を低位相ノイズかつ広チューニングレンジで実現するために低損失伝送線路を用いる共振回路を提案した。90nm 6層メタルの CMOS プロセスを用いて試作した。60GHz 電圧制御発振器は中心周波数 59.7GHz でチューニングレンジ 13%、位相ノイズ-103.38dBc/Hz@10MHz オフセットを実現した。

また、60GHz 電圧制御発振器で提案した低損失伝送線路を 76GHz 帯電圧制御発振器にも適用し、中心周波数 76.5GHz でチューニングレンジ 7%、位相ノイズ-110.6dBc/Hz@10MHz オフセットの W バンド電圧制御発振器を実現した。現在発表されている CMOS プロセスによる差動出力発振器と比較し、2倍のチューニングレンジを実現した。これは実用化が期待できる広チューニングレンジである。これを用いることにより W バンドのシステムが CMOS プロセスで実現でき、化合物半導体を用いたときに比べ低消費電力化が期待できる。

設計に基づいた計算値と実測値にはずれがあり、設計どおりの性能が完全には出ていない。デバイスモデルはミリ波用に実測したものをを用いているが、実際の回路は回路図に示したデバイス以外の成分を含むため、回路図ベースで完全な設計を行うことは非常に困難である。高い精度で回路設計を行うには、回路モデルを構築するためのモデリング手法が必要になると考えられる。

## 第4章 インピーダンスバランス法による 共振回路インピーダンス評価

### 4.1 はじめに

特にミリ波帯においては微小な素子特性変化が大きく回路特性に影響を与えるため、近年 RF 用モデルについての研究が重要視されている[26]。

第四章では電圧制御発振器の共振回路に着目して、共振回路特性による電圧制御発振器の動作を考察し、特性の良い共振回路を用いることで高性能な電圧制御発振器を実現した。用いた伝送線路などは実測に基づいてモデル化を行い、それらを用いて電圧制御発振器を設計した。しかしながら、回路の動作特性は設計値とは異なることが度々あった。電圧制御発振器は周波数シンセサイザのキーコンポーネントの 1 つであり、設計値どおりの特性が実現できなければ周波数シンセサイザの実現は危ういといえる。製造後調整などの手法も提案されているが[27]、高性能な回路を実現するには高精度な素子モデルを構築する必要がある。特に第四章で考察したように共振回路の特性を正しく評価する必要があると考えられる。そこで、電圧制御発振器における電圧制御発振器の共振回路特性を評価する手法について研究を行う。

現在、TEG(Test Element Group)と呼ばれるテストデバイスを用いて素子特性を評価することが広く行われている。TEG は評価対象である DUT (Device Under Test)を測定用パッドに接続した構造をしており、これをネットワークアナライザにより測定することで特性評価を行う[28-30]。図 4. 1 はオンチップインダクタの特性を評価するために用いられる TEG である。これらのテストデバイスにより測定した特性を基にモデルを構築し回路中の素子を設計していくことで回路が構成できるが、TEG におけるデバイスの特性と回路中での特性が同じでなければモデルは意味を成さない。従って TEG と回路で特性が異なる環境では利用できない。

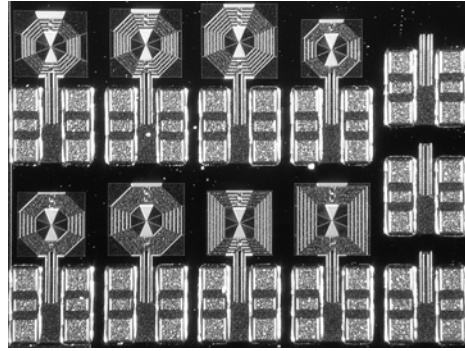


図 4.1 オンチップインダクタ評価用 TEG

集積回路の微細化により配線密度が上昇し、また、微細配線なども多用されるようになってきている。それに伴い半導体プロセスではローディング効果やエロージョン・コロージョンなどの様々な問題が生じてきた。特に、銅 CMP 工程におけるディッシングは歩留まりを左右する重要な問題である。図 4.2 に示すようなディッシングやエロージョンが生じると、表面の平坦性が損なわれるため歩留まり低下や特性バラツキの原因となる。これらの問題はパターン密度の差により生じるため、現在のプロセスでは対策としてデンシティールールが設けられておりダミーパターンを配置することでパターン密度を均一化している[31,32]。この手法は簡単で大きな効果が得られるため広く用いられているが、チップ上の空領域にはダミーが挿入されることになる。チップ上のデバイス特性は、構造といったデバイス固有のものだけでなくデバイス周辺の状態により影響を受ける。特にインダクタや伝送線路は磁界を効率的に利用するためにメタルの空スペースを用いており、ダミー挿入による影響を受ける。したがって、TEG として構成したインダクタと回路中にあるインダクタでは周囲のパターン配置が異なっており、回路を設計するために最適なモデルが得られないことがある。

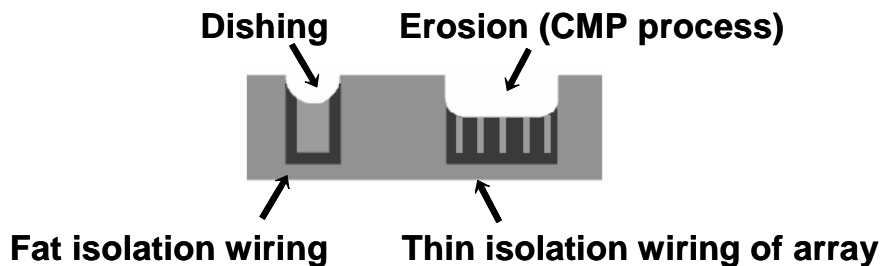


図 4.2 ディッシング・エロージョン

LC タンクを用いる電圧制御発振器は精度の高い発振が実現可能であるが[33,34]、そのためには高精度なインダクタが必要となる。先に述べたように TEG のインダクタの周囲にはダミーパターンが一定の密度で均等に配されるのに対し、回路中のインダクタの周囲には回路の構成素子が存在するためダミーの挿入が TEG と同じにはならない。そのため、両者の環境は異なるものとなり、回路中でのインダクタ特性を十分に評価できない。インダクタの自己共振周波数の変化は電圧制御発振器の動作に大きな影響を及ぼすため問題となる。そこで、電圧制御発振器について、電圧制御発振器の中で実際に使われているインダクタの特性をインダクタ専用の TEG 無しに評価する手法を提案する。



## 4.2 電圧制御発振器によるインダクタ特性評価

### 4.2.1 インピーダンスバランス法

まず、電圧制御発振器の動作について考える。ここでは第四章でも用いた LC タンクなどの共振器を用いる差動型電圧制御発振器を用いる[35]。回路図を図 4.3 に示す。回路が正常に発振しているとき、回路の抵抗成分は負性抵抗回路により相殺され等価回路は 3.1.3 で考察したように図 4.4 となる。

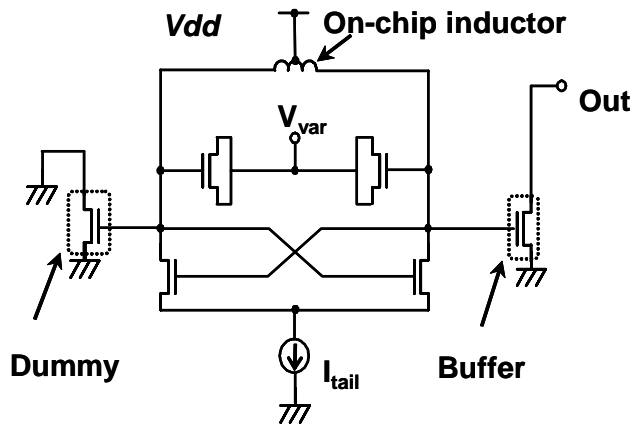


図 4.3 差動型電圧制御発振器回路図

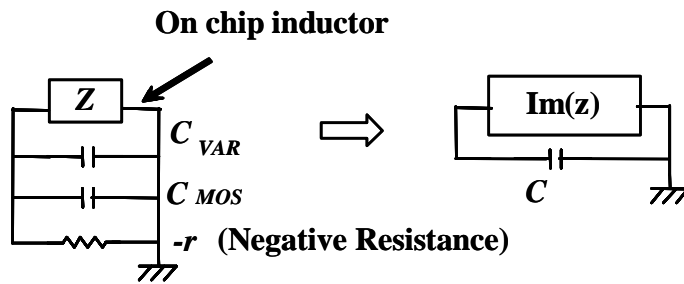


図 4.4 発振時の電圧制御発振器等価回路(半回路)

発振周波数  $f_0$  は回路全体の容量を  $C$  とし、共振器のインピーダンスを  $Z$  とすると(4.1)で与えられる。

$$f_0 = \frac{1}{2\pi\sqrt{\text{Im}(Z)/\omega \cdot C}} \tag{4.1}$$

また、図 4.4 に示すように電圧制御発振器の発振は負性回路が共振器の抵抗成分を打ち消すときに生じる。インピーダンス成分の実部成分と虚部成分それぞれが回路と共振器の間で釣り合う時に発振が起こると考えられる。つまり図 4.4 に示すように共振器のインピーダンス ( $Z$ ) は回路のインピーダンス ( $-Z$ ) から導くことが出来る。この手法は共振器の特性をインピーダンスの釣り合いを利用して回

路の特性から導くものであり、インピーダンスバランス法と呼ぶ。

### 4.2.2 インピーダンスバランス法による直接評価

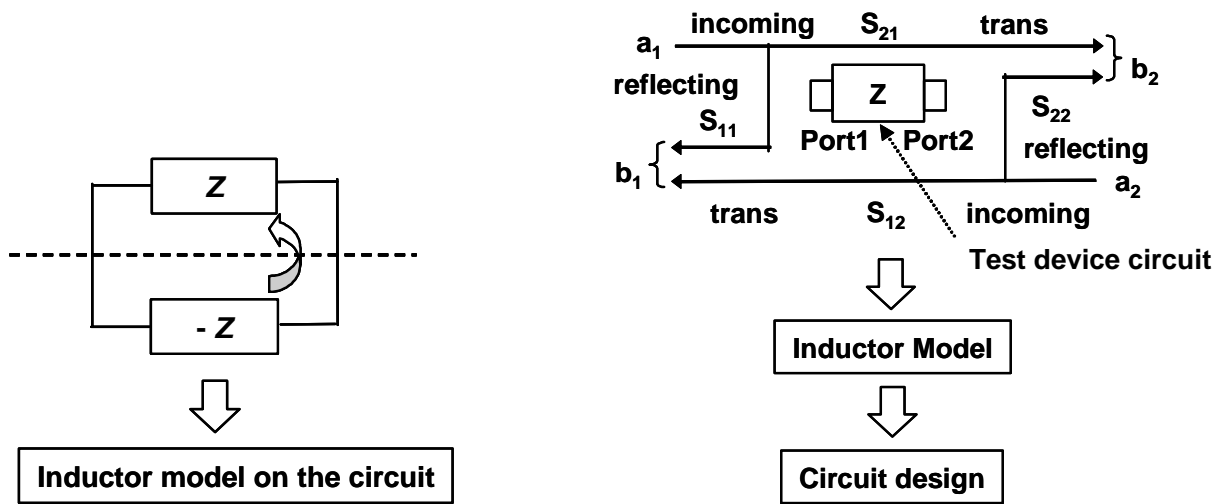
インピーダンスバランス法の測定原理を図 4.5(a)に示す。この手法は共振器の特性を電圧制御発振器内のインピーダンスバランスにより評価するため、共振器を別途 TEG として用意する必要がない。従って、回路に於ける共振器の特性を回路の中で直接評価することができる。

従来のネットワークアナライザによる共振器の評価法を図 4.5(b)に示す。この評価法では TEG をテストデバイス回路として測定し、その測定結果よりデバイスモデルを構築するため、回路における特性を直接評価することは出来ない。

直接評価による評価は、

- 1) 特別なテストデバイス回路が不要となりチップ面積を削減することができる。
- 2) 回路における共振器特性を評価できることで実情に近いデバイス特性を得られ回路の設計精度を上げることができる。
- 3) 回路特性から共振器特性を評価するため、同一の回路を用いるときには事前にインピーダンス曲面を評価しておくことで多数の共振器の特性も評価できる。

といった点で有効である。このようにインピーダンスバランス法による直接評価はチップ面積と測定時間の削減に効果的であると考えられる。



(a)インピーダンスバランス法による評価

(b)ネットワークアナライザによる評価

図 4.5 共振回路特性の評価手法

4.2.3 回路インピーダンスの評価

インピーダンスバランス法は回路のインピーダンスから共振回路特性を評価するので、適用するには回路の特性を評価しておく必要がある。電圧制御発振器より共振器を外した回路部分についてネットワークアナライザにより測定し、回路のインピーダンス平面を評価することを考える。回路インピーダンス評価の回路図を図4.6に示す。その等価回路は図4.7となり回路インピーダンスの実部虚部がそれぞれ評価できる。

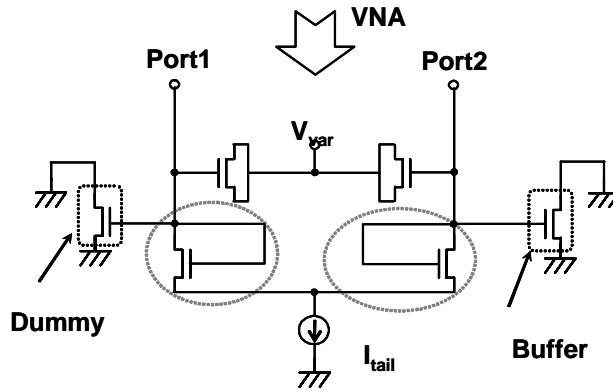


図 4.6 回路インピーダンス評価回路

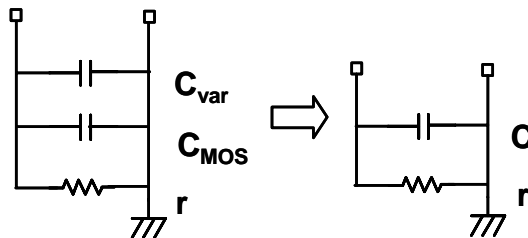


図 4.7 回路インピーダンス評価回路

4.2.4 共振器インピーダンスの評価

まず、共振器インピーダンスの実部  $\text{Re}(Z)$  を評価する。用いる対称型電圧制御発振器は2段のソース接地回路ループで構成される。3.1.3 の式(3.14)より回路の発振条件は  $g_m R_p \geq 1$  である。回路の負性抵抗成分は MOSFET によるネガティブコンダクタンスで生み出される。このとき負性抵抗成分  $r$  は、

$$r = -\frac{1}{g_m} \propto -\frac{1}{I_{tail}} \quad (4.2)$$

となり、電圧制御発振器に流れる電流を制御することで回路の抵抗成分を変化できる。

3.1.3 の式(3.16)~(3.20)により検討したとおり、発振は回路抵抗を負性抵抗が打ち消すときに生じる。従って、負性抵抗成分が変化し正抵抗成分を相殺出来なくなると、回路内に抵抗成分が現れ発振は減衰し停止する。発振が停止する電流をスレッシュホールド電流とする。3.1.3 の式(3.17)より、この点において

$|R| \approx |r|$  であると近似できる。つまり、負性抵抗値の変化により電圧制御発振器の発振が停止するとき、インダクタの抵抗値と負性抵抗値が等しいと考えられる。従って、スレッシュホールド電流を回路インピーダンス評価回路に与えたときの DC 解析結果より  $\text{Re}(Z)$  を決定できる。

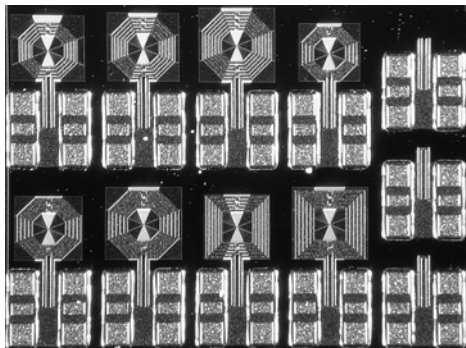
次に共振器インピーダンスの虚部  $\text{Im}(Z)$  を評価する。電圧制御発振器の発振周波数は(4.1)により与えられる。これを变形すると(4.3)が得られる。

$$\text{Im}(Z) = -\frac{1}{2\pi f_0 C} \quad (4.3)$$

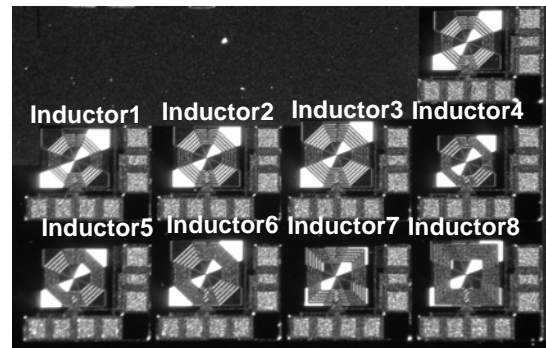
したがって、発振周波数及び回路のキャパシタンスより(4.3)を用いて共振回路のリアクタンスを評価することができる。回路のキャパシタンスは事前に測定した回路インピーダンス評価回路のインピーダンス平面より導けるので、その値と電圧制御発振器の発振周波数より共振回路のリアクタンスを決定する。

#### 4.2.5 評価結果

図 4.3 および図 4.6 の回路を(株)日立のプロセスにより試作した。試作を行ったプロセスはゲート長  $0.18\mu\text{m}$ 、5 層メタルの CMOS プロセスである。図 4.8(a)は従来のネットワークアナライザによる評価用 TEG である。インピーダンスバランス法による評価のための回路を図 4.8(b)に示す。



(a) ネットワークアナライザによる評価

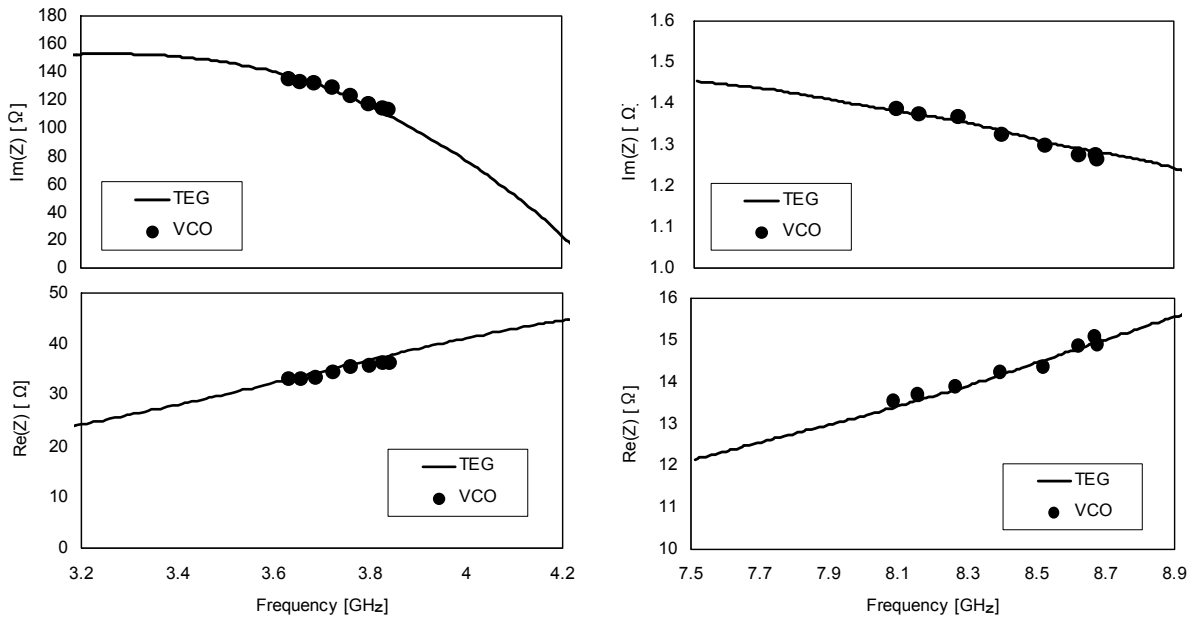


(b) インピーダンスバランス法による評価

図 4.8 オンチップインダクタ評価回路

測定対象は対称型インダクタとし異なる構造パラメータの8種類について各手法により評価した。

インダクタンスの測定結果の代表例を図4.8(a)および図4.8(b)に示す。各インダクタについて電圧制御発振器のバラクタ電圧を変化させることで複数周波数について測定を行った。実線で示した従来手法による測定値と、点で示した提案手法による測定値は一致している。TEGによる測定値を基準としたときオンチップインダクタのインピーダンス虚部実部の差率は共に3%以内であった。



(a) 内径 50 $\mu\text{m}$ , 線幅 8 $\mu\text{m}$ , 線間隔 5 $\mu\text{m}$ , 巻数 6 (b) 内径 50 $\mu\text{m}$ , 線幅 12 $\mu\text{m}$ , 線間隔 3 $\mu\text{m}$ , 巻数 3

図 4.9 ネットワークアナライザによる測定と電圧制御発振器による測定の比較

インピーダンスバランス法を用いるには被測定対象である電圧制御発振器の発振周波数と、発振が停止するスレッショルド電流の測定が必要である。発振周波数はスペクトラムアナライザにより測定する。一方、スレッショルド電流は発振が停止し振幅が 0 となる点で定義されるが、実際の測定においては測定系の損失や精度の問題があるので、厳密にこの点を測定することは無意味である。実測では、発振が停止する近傍においてバイアス電流を変化させることで発振周波数を変化させスペクトルを 3 点測定し、二乗近似よりスペクトルが 0 となる点をスレッショルド電流として定義している。電圧制御発振器から測定用パッドまでは引き出し線があるため、そのインピーダンスによりスレッショルド電流が変化してしまうと測定が不可能となる。その影響を調べるために引き出し線のインピーダンスを変化させたときのスレッショルド電流についてシミュレーションを行った。引き出し線に抵抗を付けないとき、30  $\Omega$ 、60  $\Omega$  の抵抗をそれぞれ付けたときについてのシミュレーション結果を図 4.10 に示す。

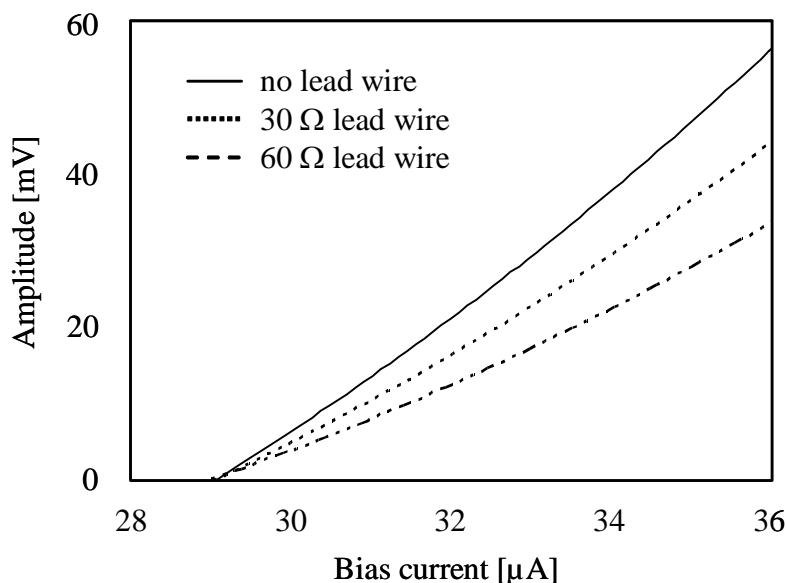


図 4.10 バイアス電流と出力の関係

引き出し線に負荷した抵抗が大きくなるに従い出力スペクトルは減少しているが、発振が停止し出力スペクトルが無くなるスレッシュホールド電流には変化が無いことが確認できる。従って、電圧制御発振器による測定結果は引き出し線の影響を受けないと考えられる。

#### 4.2.6 インピーダンスバランス法の応用

前節で検討したように、提案手法による測定は電圧制御発振器出力から測定パッドまでの配線の引き回しなどによる影響は無いと考えられる。そのため、電圧制御発振器をパッド近傍に置く必要はなく自由な配置が可能である。この特徴を利用し電圧制御発振器を図 4.11 のようにマトリクス状に配置することを考える。各電圧制御発振器はアドレスデコーダからの信号により ON/OFF が制御されるが、デコーダ信号以外は共通バスとし測定用パッドおよび制御信号パッドを共有する構造とする。図 4.8(a) に示したような TEG による測定では測定用パッドは DUT の個数分必要であったが、測定用パッドは広いチップ面積を必要とするため多数の DUT を測定するときには非効率である。測定用パッドを共有することでこの問題が解消でき、チップ面積を有効に利用できるようになる。

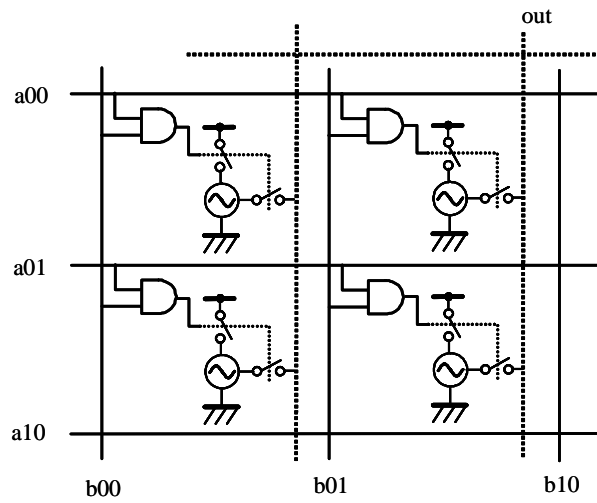


図 4.11 電圧制御発振器マトリクス

図 4.11 の回路を(株)日立のプロセスにより試作を行った。試作を行ったプロセスはゲート長  $0.18\mu\text{m}$ 、5 層メタルの CMOS プロセスである。試作した周波数分周器のチップ写真を図 4.12 に示す。

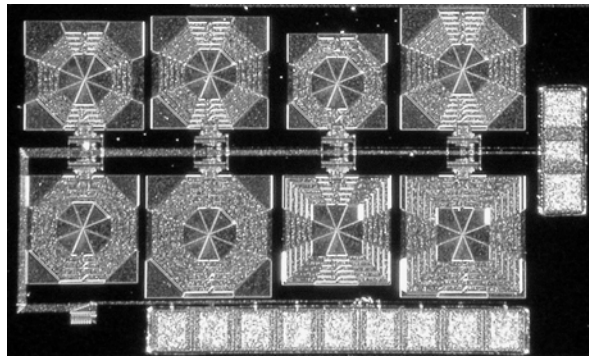


図 4.12 電圧制御発振器マトリクス チップ写真

単体の電圧制御発振器による測定と同様にマトリクスタイプにおいても測定を行った。ネットワークアナライザによる測定に対する差率は共に 3%以内であり、単体の電圧制御発振器に対する誤差率は 1.5%以内であった。従って、マトリクス化することによる測定結果への影響は殆どないといえる。また、電圧制御発振器による 2 タイプの測定結果の誤差率は小さく、ネットワークアナライザに対する差率は同等であることから、電圧制御発振器による測定はネットワークアナライザによる測定が評価できない、電圧制御発振器内における共振回路特性を評価していると考えられる。

測定用パッド共通化によるチップ面積の削減について考える。インダクタ面積が  $0.01\text{mm}^2$  であるとき、与えられた面積に対して配置できるインダクタの個数を図 4.13 に示す。測定用パッド面積は試作

に用いたものを用いたとし  $0.01 \text{ mm}^2$  とする。インダクタンス 4 個以上でマトリクス構造の方が優位となる。配置可能なインダクタ個数は従来手法で  $7.72 \text{ 個/mm}^2$  に対し、提案手法では  $36.2 \text{ 個/mm}^2$  である。したがってマトリクス化により 78.7%の面積を削減できる。インダクタが小さくなるに従い測定用パッド面積の割合が大きくなるため、優位性はインダクタが小さくなるに従い大きく。したがって、多数の微小インダクタの測定時にマトリクス化による面積削減が有効であると考えられる。

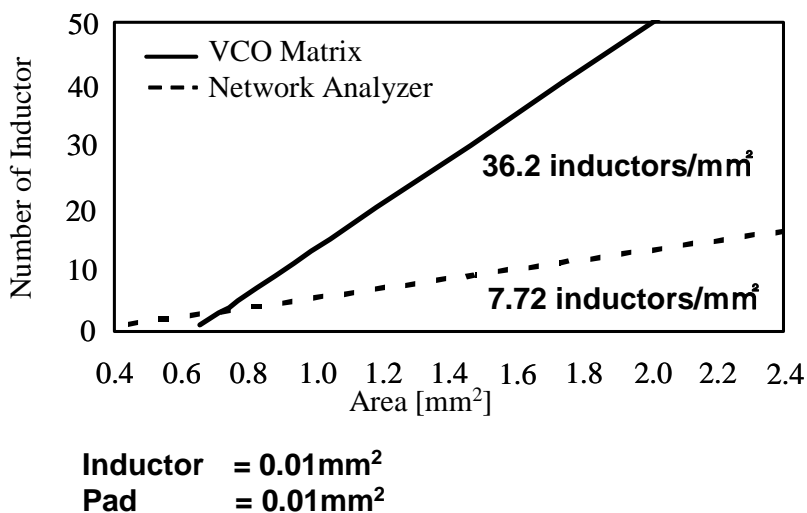


図 4.13 電圧制御発振器マトリクスによる面積優位性



### 4.3 まとめ

テストデバイス回路を用いずに電圧制御発振器の共振器の特性を評価する手法として、インピーダンスバランス法を提案した。電圧制御発振器の動作を観測することにより電圧制御発振器内で実際に使われているインダクタを評価できることを実証した。ネットワークアナライザによる測定値に対する差率は TEG に対して 3%以内であった。また、電圧制御発振器をマトリクス化した回路についても試作と測定を行い、電圧制御発振器単体での測定値に対する誤差率が 1.5%以内、ネットワークアナライザでの測定値に対する差率が単体時同様に 3%以内であることを確認した。

また、複数のインダクタを評価するとき、電圧制御発振器マトリクスでは TEG に比べ 78.7%のチップ面積を削減できることを確認した。

提案した測定手法により、電圧制御発振器における電圧制御発振器の共振回路特性を直接評価することができ、電圧制御発振器を設計する上での共振回路モデルの構築が容易になることが期待される。

## 第5章 結論

### 5.1 本研究の成果

本研究では、無線トランシーバのフロントエンド部を作成する上で特に重要となってくる周波数シンセサイザの高周波化と低消費電力化を実現するために、周波数シンセサイザのキーコンポーネントである周波数分周器および電圧制御発振器の高速化と低消費電力化を目指した。周波数シンセサイザの動作周波数帯はミリ波帯を目標としている。

そのために、まず、周波数シンセサイザの回路ブロックの中で最も高速に動作し、消費電力が大きい周波数分周器に関して高速化と低消費電力化を目指した。同時に、高速動作と広レンジ動作は一般にトレードオフの関係にあるが、両者共にシステムの性能を左右する重要な性能であるため、高速動作だけでなく広レンジ化も考慮した回路を提案した。低消費電力が期待でき、動作周波数範囲も広く、占有する面積も小さい周波数分周器を実現するために、インダクタレスによる注入同期型周波数分周器を提案した。LC共振を用いた周波数分周器に対して動作周波数は低下するが、低消費電力で広ロックレンジを実現した。

#### 5.1.1 低消費電力広ロックレンジ周波数分周器

6GHzで動作する周波数3分周器として3相方形波を用いた3相ハーモニック注入同期型周波数3分周器を提案し試作した。電源電圧0.7Vにおいて消費電力43 $\mu$ Wでチューニングレンジ80%であることを確認した。これは、今までに提案されてきたリングオシレータを用いた3分周器に対して動作周波数では1.2倍、ロックレンジでは4.4倍の性能を実現している。また、動作周波数範囲は3.2GHzであり、50GHz帯の簡易無線の周波数帯域である800MHzより十分に広いことを確認した。

次に、車間レーダで用いられる60GHz帯と76GHz帯の2帯域をカバーするトランシーバシステムのための58.8/39.2GHzで動作するデュアルモード周波数分周器提案し試作した。電源電圧1.15Vにおいて2分周モードで40.0GHz、3分周モードで59.1GHzで動作し消費電力は1.2mWであった。また、こ

のときチューニングレンジは2分周モードで14%、3分周モードで4.2%であった。今までに提案されてきた他の周波数分周器とそれぞれのモードについて消費電力およびチューニングレンジに関して比較を行い、低消費電力かつ広ロックレンジで動作していることを確認した。

### 5.1.2 高周波広チューニングレンジ電圧制御発振器

共振回路として低損失伝送線路を用いることで高速動作かつ広チューニングレンジを実現する電圧制御発振器を提案した。60GHzで動作する電圧制御発振器を低損失伝送線路を用いて実現し、13%のチューニングレンジを実現した。同様に76GHzで動作し車間レーダの周波数帯域をカバーするWバンド電圧制御発振器を7%のチューニングレンジで実現した。

### 5.1.3 電圧制御発振器用共振回路評価手法

電圧制御発振器における電圧制御発振器の共振回路特性を直接評価する手法について提案した。ネットワークアナライザを使用した測定にたいして小チップスペースで評価用回路を試作でき、遜色ない精度で評価が行えることを確認した。

## 謝辞

本研究を進める上では、大勢の方々に御指導・御協力を頂きました。

研究を進めるにあたり、研究の機会を与え、ご指導およびご助言を下された藤島実助教授に大変感謝いたしております。本研究は最先端の集積回路技術を用いて最高性能の集積回路を実現するという難しく、時に予想もしない結果に出くわすことも多いテーマでありましたが、研究過程において生じた数え切れないほどの疑問に対し逐一丁寧な御指導を賜わり、また励ましを頂き、本論文の提出に導いて頂きました。

また研究室をさまざまな面で取り仕切ってくださった北澤清子助手、学生の活動を影で支えてくださった秘書の渋谷弘枝さんにも大変感謝いたします。

最後に、同級の方々を初め研究室の皆さん、これまで研究においてもそれ以外の生活面等においても大変お世話になり、どうもありがとうございました。

本論文を提出するにあたって、全ての方々に心より感謝致します。

## 参考文献

- [1] <http://www.tele.soumu.go.jp/search/myuse/use0512/10g.pdf>
- [2] H. Ogawa, "Millimeter-Wave Wireless Personal Area Network Systems," 2006 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 337-340, June 11-13, 2006.
- [3] D. M. Kang, J. Y. Hong, J. Y. Shim, H. S. Yoon, and K. H. Lee, "A 77GHz Automotive Radar MMIC Chip Set Fabricated by a 0.15/ $\mu\text{m}$  MHEMT Technology," 2005 IEEE MTT-S International Microwave Symposium, Digest, pp. 2111-2114, June 2005.
- [4] P. Orsatti, F. Piazza and Q. Huang, "A 20-mA-Receive, 55-mA-Transmit, Single-Chip GSM Transceiver in 0.25- $\mu\text{m}$  CMOS," *Journal of Solid-State Circuits*, vol. 34, pp. 1869-1880, Dec. 1999.
- [5] C. Guo, et al., "A Fully-Integrated 900-MHz CMOS Wireless Receiver with On-Chip RF and IF Filters and 79-dB Image Rejection," *VLSI Symposium*, pp. 241-244, June 2001.
- [6] K. Lee, et al., "A Single-Chip 2.4GHz Direct-Conversion CMOS Transceiver with GFSK Modem for Bluetooth Application," *VLSI Symposium*, pp. 42-45, June 2001.
- [7] C. Cao, Y. Ding and K. O., "A 50-GHz Phase-Locked Loop in 130-nm CMOS," IEEE Custom Integrated Circuit Conference, Sep. 10-13, 2006.
- [8] M. Wetzel, et al., "A 26.5GHz Silicon MOSFET 2:1 Dynamic Frequency Divider," *IEEE Microwave and Guided Wave Letters*, vol. 10, pp. 421-423, Oct. 2000.

- [9] J. Lee and B. Razavi, "A 40GHz Frequency Divider in 0.18 $\mu$ m CMOS Technology," Dig. Symp. VLSI Circuits, pp. 259-262, June 2003.
- [10] M. Tiebout, "A 50 GHz Direct Injection Locked Oscillator Topology as Low-Power Frequency Divider in 0.13  $\mu$ m CMOS," ESSCIRC, pp. 73-76, Sep. 2003.
- [11] K. Yamamoto and M. Fujishima, "55GHz CMOS Frequency Divider with 3.2GHz Locking Range" ESSCIRC, pp. 135-138, Aug. 2004.
- [12] K. Yamamoto and M. Fujishima, "A 44  $\mu$ W, 4.3 GHz Injection-Locked Frequency Divider with 2.3 GHz Locking Range," IEEE J. of Solid-State Circuits, vol. 40, pp. 671-677, Mar. 2005.
- [13] H. Rategh and T. H. Lee, "Superharmonic Injection-Locked Frequency Dividers," IEEE J. Solid-State Circuits, vol. 34, pp 813-821, June 1999
- [14] H. Wu and L. Zhang, "A 16-to-18GHz 0.18  $\mu$ m Epi-CMOS Divide-by-3 Injection-Locked Frequency Divider," IEEE ISSCC Dig. Tech. Papers, pp. 602-603, Sep. 2006.
- [15] J. Jeong, S. Kim, W. Choi, H. Noh, K. Lee, K. S. Seo and Y. Kwon, "W-band divide-by-3 frequency divider using 0.1mm InAlAs/InGaAs metamorphic HEMT technology," Electronics Letters, vol. 41 no. 18, pp. 1005 - 1006, Sep. 2005.
- [16] W. Chen and C. Kuo, "18GHz and 7GHz superharmonic injection-locked dividers in 0.25 $\mu$ m CMOS technology," ESSCIRC, pp. 89-92, Sep. 2002.
- [17] R. Betancourt-Zamora, S. Verma and T. Lee, "1GHz and 2.8GHz CMOS Injection-Locked Ring Oscillator Prescalers," VLSI Symposium, pp. 47-50, June 2001..
- [18] M. Motoyoshi and M. Fujishima, "43  $\mu$ W 6GHz CMOS Divide-by-3 Frequency Divider Based on Three-Phase Harmonic Injection Locking," IEEE Asian Solid-State Circuits Conference, pp. 183-186, Nov. 13-15, 2006.
- [19] K. L. J. Wong, A. Rylyakov, C. K. K. Yang, "A broadband 44-GHz frequency divider in 90-nm CMOS," CSIC, Dig., pp. 196-199, Nov. 2005.

- [20] K. Yamamoto and M. Fujishima, "70GHz CMOS Harmonic Injection-Locked Divider," IEEE ISSCC Dig. Tech. Papers, pp. 600-601, Feb. 2006.
- [21] T. Shibasaki, H. Tamura, K. Kanda, H. Yamaguchi, J. Ogawa, and T. Kuroda, "A 20-GHz Injection-Locked LC Divider with a 25-% Locking Range," Symposium on VLSI Circuits, Dig. Tech. Papers, pp. 212-213, Jun. 2006.
- [22] C. Cao and Kenneth K. O, "A 90-GHz. Voltage-Controlled Oscillator with a 2.2-GHz Tuning Range in a 130-nm CMOS Technology," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 242-243, June 2005.
- [23] C. Cao and Kenneth K. O, "Millimeter wave voltage controlled oscillators in 0.13 m m CMOS technology", IEEE journal of solid state circuits, vol. 40, no.6, pp. 1297-1304, Jun. 2006.
- [24] C. Cao and Kenneth K. O, "A 140-GHz Fundamental Mode Voltage-Controlled Oscillator in 90-nm CMOS Technology," IEEE Microwave and Wireless Components Letters, vol.16, no.10, pp. 555- 557, Oct. 2006.
- [25] I. C. H. Lai, H. Tanimoto and M. Fujishima, "Characterization of High Q Transmission Line Structure for Advanced CMOS Processes," IEICE TRANSACTIONS on Electronics, Vol.E89-C, No.12, pp.1872-1879, Dec 2006.
- [26] V. Blaschke and J. Victory, "A Scalable Model Methodology for Octagonal Differential and Single-Ended Inductors," IEEE Custom Integrated Circuit Conference, Sep. 10-13, 2006.
- [27] T.A. Papalias et al., "Reprogrammable, wide tuning range 1.6 GHz CMOS VCO with low phase noise variation," IEEE Radio Frequency Integrated Circuits Symposium, pp.479-482, 2004.
- [28] L. Tiemeijer and R. Havens, "A Calibrated Lumped-Element De-Embedding Technique for On-Wafer RF Characterization of High-Quality Inductors and High-Speed Transistors ", IEEE Trans. Electron Devices, vol. 50, pp.822-829 2003.
- [29] E. Vandamme, D. Schreurs, C. V. Dinther, "Improved three-step de-embedding method to accurately account for the influence of pad parasitics in silicon on-wafer RF test-structures," IEEE Trans. Electron Devices, vol. 48, pp.737-742, 2001.

- 
- [30] T. E. Kolding, "A four-step method for de-embedding gigahertz on-wafer CMOS measurements," *IEEE Trans. Electron Devices*, vol. 47, pp.734-740, 2000.
- [31] F.B. Kaufman, D.B. Thompson, R.E. Broadie, M.A. Jaso, W.L. Githrie, D.J. Pierson, and M.B. Small, "Chemical mechanical polishing for fabricating patterned W metal features as chip interconnects," *J.Electrochem. Soc.*, vol.138, p.3460, 1991.
- [32] D. Ouma, D. Boning, J.Chung, G.Shinn, L. Olsen, and J. Clerk, "An integrated characterization and modeling methodology for CMP dielectric planarization," *Proc. International Interconnect Technology Conference*, pp.67-69, IEEE, New York, 1998.
- [33] T. Tsukahara, J Kodate, M. Harada, M. Ugajin, and A. Yamagishi, "RF-CMOS Circuits Technologies and Future Trends," *IEICE Trans. Electron.*, vol.J86-C, no.7, pp.674-686, 2003.
- [34] M. Harada, T. Tsukahara, and J. Yamada, "0.5-1V 2-GHz RF front-end circuit in CMOS/SIMOX," *2000 IEEE Int'l Solid-State Circuits Conference*, 23.2, pp.378-379, 2000.
- [35] D. Ham, and A. Hajimiri, "Concepts and Methods in Optimization of Integrated LC VCOs," *IEEE Journal of Solid-State Circuits*, vol.36, no.6, 2001



## 本研究に関する発表

### 学会誌論文

[1] M. Motoyoshi and M. Fujishima, "58.8/39.2GHz Dual-Modulus CMOS Frequency Divider with 9.2 $\mu$ m $\times$ 5.2 $\mu$ m Core Size " *IEE Electronics Letters* (to be presented).

### 国際会議講演

[1] M. Motoyoshi and M. Fujishima, "In Situ Evaluation Method for On-Chip Inductors Using Oscillator Response," IEEE Custom Integrated Circuits Conference, pp. 369-372, Sep. 10-13,2006.

[2] M. Motoyoshi and M. Fujishima, "43 $\mu$ W 6GHz CMOS Divide-by-3 Frequency Divider Based on Three-Phase Harmonic Injection Locking," IEEE Asian Solid-State Circuits Conference, pp. 183-186, Nov. 13-15, 2006.

[3] K. Ishibashi, M. Motoyoshi, N. Kobayashi and M. Fujishima, "76GHz CMOS Voltage-Controlled Oscillator with 7% Frequency Tuning Range," IEEE Symposium on VLSI Circuits (to be presented).

### 国内会議講演

[1] 本良瑞樹, 藤島 実, "インピーダンスバランス法を用いたオンチップインダクタの評価," 電子情報通信学会 集積回路研究専門委員会 1 月研究会, 信学技報, vol. 106, no. 468, ICD2006-178, pp. 43-48, 2007 年 1 月.

[2] 本良瑞樹, 藤島 実, "58.8/39.2GHz デュアルモード CMOS 周波数分周器," 電子情報通信学会総合大会, 2007 年 3 月 (発表予定)