

# 0.15 $\mu\text{m}$ 部分空乏型 SOI MOSFET における 1V 以下での基板浮遊効果

Floating Body Effect in 0.15  $\mu\text{m}$  Partially Depleted SOI MOSFETs below 1V

更屋 拓哉\*・高宮 真\*・トラン・ゴック・デュエト\*  
平本 俊郎\*\*・生駒 俊明\*\*\*

Takuya SARAYA, Makoto TAKAMIYA, Tran Ngoc DUYET, Toshiro HIRAMOTO, Toshiaki IKOMA

## 1. はじめに

薄膜 SOI (Silicon On Insulator) MOS デバイスは、今後の LSI デバイスの低電圧駆動、低消費電力化に向けてのキーデバイスとして注目され研究されている。しかし、部分空乏型 (Partially Depleted: PD) SOI デバイスではインパクトイオン化により引き起こされるキンク現象等の基板浮遊効果の影響が問題視され、実用化に向けた最も大きな課題であると考えられている。近年、ゲート長が 0.1 $\mu\text{m}$  に近づくとつれ、1.5 V 以下さらには Si のバンドギャップ 1.1 V 以下でのインパクトイオン化も報告されている<sup>1),2)</sup>。低電圧領域における基板浮遊効果は微細化に伴ってより顕著となると予想され、これを詳細に調べることは SOI デバイス実用化に向けて非常に重要である。にもかかわらず、この領域における基板浮遊効果についてはほとんど調べられておらず、本研究では低電圧駆動の実現に向けて 1 V 以下での基板浮遊効果の振る舞いを詳細に調べた<sup>3),4)</sup>。

## 2. 試料作製

今回、我々は電子ビームリソグラフィーを用いて Poly-Si ゲートの加工を行い 0.15 $\mu\text{m}$  PD SOI MOSFET (実効チャネル長 0.1 $\mu\text{m}$ , シングルドレイン構造) を試作した<sup>5)</sup>。図 1 にデバイス構造を示す。通常の 3 端子デバイス、およびボディ電流測定のためのボディコンタクトを有する 4 端子デバイスを設計し、基板浮遊効果との相関を確認した。

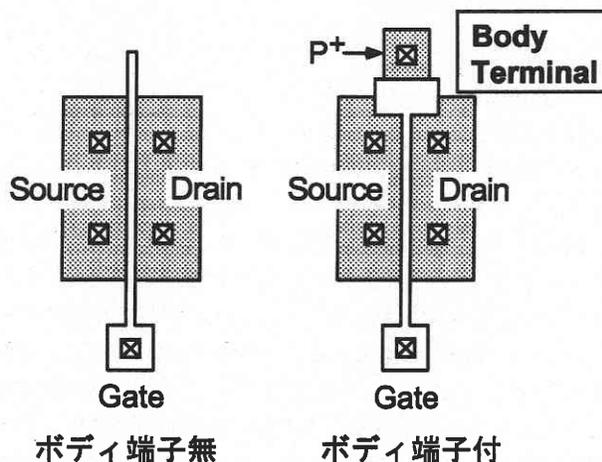


図1 0.15  $\mu\text{m}$  PD SOI MOSFET の試料構造 (ボディ端子有/無)

## 3. 実験結果

### 3-1 キンク特性

図 2 に 4 端子デバイスを用いてドレイン特性におけるボディコンタクトの影響の有無を調べた結果を示す。ボディ端子を接地した場合には、この領域では正常な特性を示す。これに対し、ボディ端子を浮遊させるとドレイン電圧 1 V 以下、0.8 V 付近までキンク現象が観測され、明らかな耐圧の低下が見られた。これはボディ端子を浮遊させるとチャネル下の中性領域の電位が固定されず、インパクトイオン化により生じた正孔が蓄積して電位が上昇する事によってキンクが生じていると考えられる。このことから今回試作した 0.15 $\mu\text{m}$  PD SOI デバイスにおいては 1 V 以下でもインパクトイオン化が生じ、基板浮遊効果を引き起こしていることがわかる。

\*東京大学生産技術研究所 第3部

\*\*東京大学大規模集積システム設計教育研究センター

\*\*\*(株)テキサス・インスツルメンツ 筑波研究開発センター

研究速報

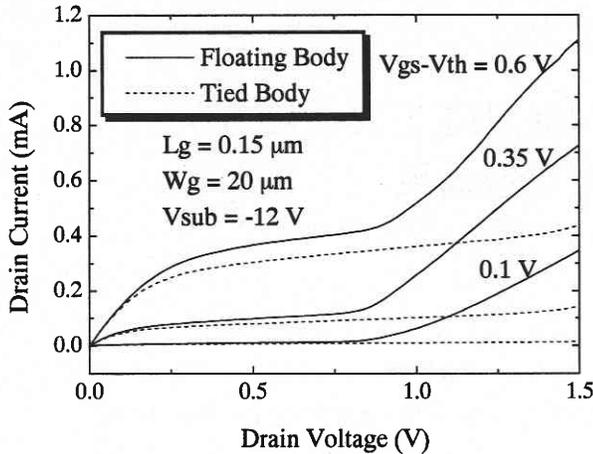


図2 4端子デバイスのボディ端子を接地・浮遊させたときのドレイン特性の比較

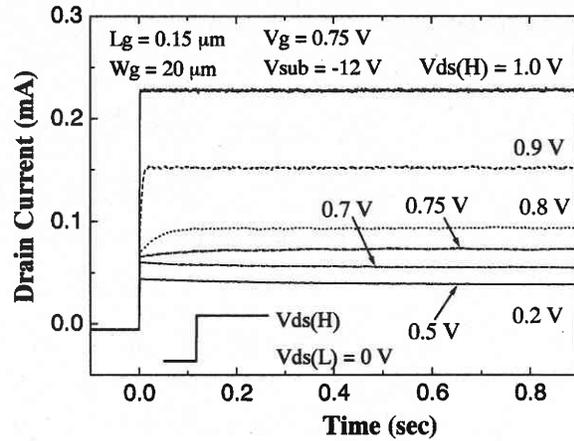


図3 ドレイン端子にステップ電圧を印加後の過渡応答特性 (ゲート電圧0.75 V)

3-2 過渡特性

つぎに SOI デバイスにおいてボディ電位の変動がどのように過渡特性に現れるかを調べた。測定はステップ電圧をドレイン端子に印加し、ドレイン電流の過渡応答を観測した。図3にゲート電圧0.75 V、ドレイン電圧0.2~1.0 Vまで変化させたときの過渡応答特性を示す。印加するドレイン電圧を変化させることによって明らかな差異がみられ2つの領域に分離されることかわかる。ドレイン電圧0.75 V以上ではドレイン電流がステップ電圧印加後徐々に増加するアンダーシュートが観測される。逆に0.7 V以下では電流値が徐々に減少するオーバーシュートが観測される。このドレイン電流のオーバーシュートはインパクトイオン化に起因していると考えられ、アンダーシュートは電荷の再分布により説明される<sup>6)</sup>。

3-3 ボディ電流

ここで実際に1 V以下でのインパクトイオン化が基板浮遊効果を引き起こしているのかどうかということが大きな問題となる。そこでボディ端子を有するデバイスを用いてボディ電流の測定を行った。SOI デバイスにおけるボディ電流の測定は、通常の Bulk デバイスにおける基板電流の測定に対応する。その結果を図4に示す。ゲート電圧に対してピークを有するインパクトイオン化電流に特徴的な Bell-Shape と呼ばれる電流特性が、ドレイン電圧0.9 Vまで実際に観測された。

3.4 掃引速度依存性

図5はドレイン電圧の掃引速度を変化させて3端子デバイスのドレイン特性を測定した結果である。掃引速度の違いによって有為な差が見られた。定常状態の測定 (特性に変化がみられなくなるまで掃引速度を低下した場合) 対

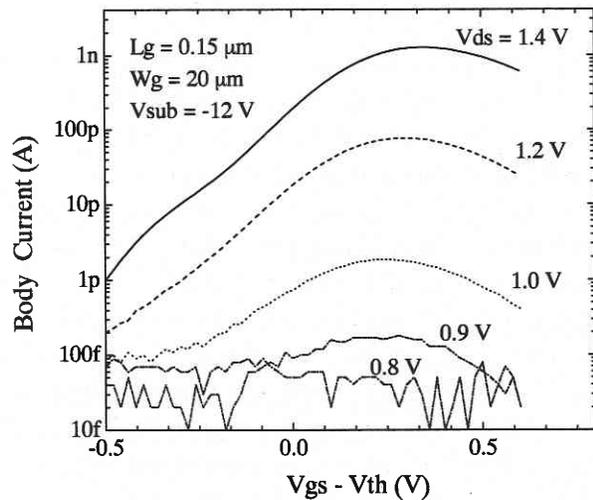


図4 4端子デバイスにおけるボディ電流のゲート電圧依存性

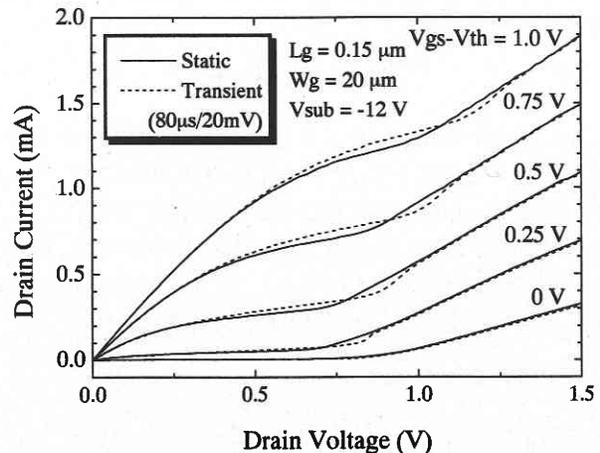


図5 3端子デバイスにおいてドレイン電圧の掃引速度を変化させた時のドレイン特性の比較

して、過渡状態の測定は80 msec/20 mV という条件で行った。ここでドレイン電圧が小さい領域で過渡電流が定常電流より大きくなる（オーバーシュート）のは正孔電荷の再分布，一方ドレイン電圧が大きくなると定常電流の方が大きくなる（アンダーシュート）のは，インパクトイオン化に起因している。これら2つの効果のどちらが支配的になるかはインパクトイオン化によるホール生成率により決定され，その交点はゲート電圧の影響を受けて変化し， $V_{gs}-V_{th}=0.25\text{ V}$  のとき0.7 V 付近まで低下している。すなわち，インパクトイオン化の影響がドレイン電圧0.7 V でも基板浮遊効果として顕著に現れることが明らかとなった。

#### 4. 考 察

SOI デバイスにおける基板浮遊効果はデバイスパラメータのスケージングに伴って今後より深刻な問題となっていくのか，あるいは緩和される方向にあるのかは非常に重要かつ関心のある問題である。基板浮遊効果の最大の要因はインパクトイオン化であるが，インパクトイオン化率に大きな影響を及ぼすパラメータの主なものは，電源電圧とゲート長の2つである。これまでにゲート長 $0.1\mu\text{m}$ 程度のBulk MOSFETにおいてシリコンのバンドギャップ(1.1 V)以下でのサブバンドギャップインパクトイオン化と呼ばれる現象が報告されている<sup>1), 2), 7), 8)</sup>。このインパクトイオン化によって生じる電流は非常に小さく，Bulk MOS デバイスの動作には影響を及ぼさない。しかし，SOI MOS デバイスではこのような小さなインパクトイオン化電流によってもボディ電位が不安定になり，1 V 以下でも基板浮遊効果が引き起こされることが示された。

ここでドレイン電流の過渡応答において，どのようなメカニズムでオーバーシュートあるいはアンダーシュートが引き起こされるのかを考えてみる。図6に示すように，パルス電圧が印加されると空乏層が広がって中性領域が小さくなる。この現象は静電誘導による非常に速い現象であるため，電荷の総量はほとんど一定のままの状態，その結果ボディの電位が上昇する。その後2つの状態に分離される。もし正孔の生成がなければ正孔はソース領域への注入あるいは再結合によって減少し，ボディの電位は徐々に低下してドレイン電流のオーバーシュートが観測される。逆に正孔がインパクトイオン化によって供給されれば，ボディの電位はさらに上昇してアンダーシュートとなる。

今回パルス（ステップ）電圧を印加して過渡電流を観測する通常の過渡応答測定<sup>7)</sup>に加えて，ドレイン特性の掃引速度依存性から過渡応答を評価する方法を考案した。これは通常の測定法に較べてドレインとゲート電圧両方の依存

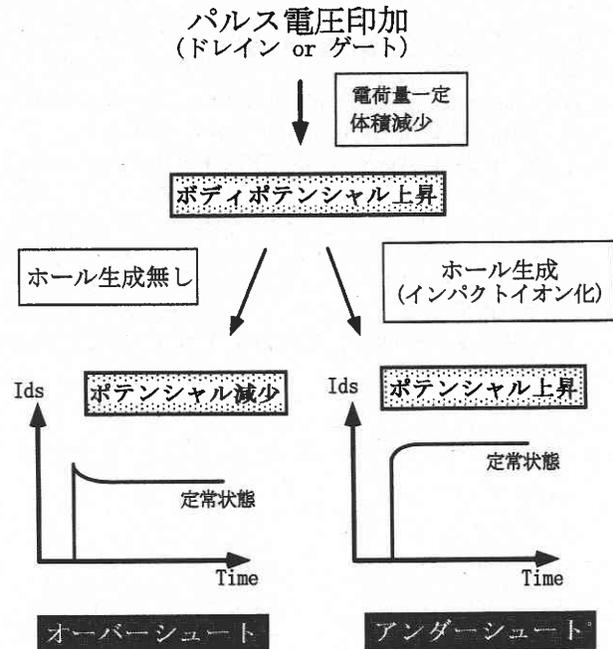


図6 ステップ電圧印加後のドレイン電流の過渡応答メカニズム

性を同時に評価できる利点を有する。これによってインパクトイオン化の影響が顕著になるドレイン電圧を各ゲート電圧に対して容易に評価することが可能である。

#### 5. ま と め

今回我々は $0.15\mu\text{m}$  PD SOI MOSFET を試作し，1 V 以下の領域での基板浮遊効果について詳細に調べた。その結果，キンク特性や過渡応答特性といったSOI デバイス特有の基板浮遊効果をドレイン電圧1 V 以下の領域において観測した。基板浮遊効果には0.7 V 付近までインパクトイオン化の影響が残ることを初めて明らかにし，さらにそれより小さな電圧領域でも電荷の再分布による影響が存在することを確認した。このことから電源電圧が1 V 以下の世代となっても，依然として基板浮遊効果は重大な問題として残り，デバイス設計において大きな課題となる。

(1997年1月10日受理)

研究速報

## 参考文献

- 1) L. Manchanda, R.H. Storz, R.H. Yan, K.F. Lee, and E.H. Westerwick, IEDM Tech. Dig. p. 994, 1992
- 2) A. Hori, A. Hiroki, K.M. Akamatsu, and S. Odanaka, Jpn. J. Appl. Phys. 35, p. 882, 1996
- 3) T. Saraya, M. Takamiya, T.N. Duyet, T. Tanaka, H. Ishikuro, T. Hiramoto, and T. Ikoma, Proceeding of 1996 IEEE International SOI Conference, p. 70, 1996
- 4) 更屋拓哉, 高宮真, トラン・ゴック・デュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 平成8年秋期応用物理学会講演予稿集7p-R-3
- 5) 高宮真, 更屋拓哉, トラン・ゴック・デュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 生産研究 Vol. 48, No. 10, p. 502, 1996
- 6) J. Gautier, K.A. Jenkins, and J.Y.-C. Sun, IEDM Tech. Dig. p. 623, 1995
- 7) A. Abramo, C. Fiegna, and F. Venturi, IEDM Tech. Dig. p. 301, 1995
- 8) M.V. Fischetti and S.E. Laux, IEDM Tech. Dig. p. 305, 1995