

研 究 解 説

異方性エッチングによる Si 極微細 MOSFET の作製と 室温におけるクーロンブロッケード振動の観測

Fabrication of the Si Ultra-small MOSFET by Using Anisotropic Etching
and Room Temperature Observation of the Coulomb Blockade Oscillations

石 黒 仁 揮* ・ 藤 井 呂 如* ・ 橋 口 原**
生 駒 俊 明*** ・ 平 本 俊 郎****

Hiroki ISHIKURO, Tomoyuki FUJII, Gen HASHIGUCHI, Toshiaki IKOMA and Toshiro HIRAMOTO

結晶面方位に依存した異方性エッチングを用いて、線幅制御された均一な Si 量子細線を SIMOX 基板上に作製するプロセスを開発し、本方法を用いて作製した Si 細線 MOSFET で室温において単一電子現象であるクーロンブロッケード振動を観測することに成功した。この方法では、量子細線の線幅はリソグラフィに依存せず、SIMOX 基板の Si 膜厚のみで決定されるので極めて制御性が良い。最小線幅は 10 nm 以下と見積もられる。Si 細線 MOSFET のクーロンブロッケード振動は、77K ではより顕著になり、さらに低温では複数の鋭いピークに分裂した。実験結果をもとにチャンネル中の構造を検討し、複数の量子ドットが弱くカップリングしていることを明らかにした。

1. はじめに

近年の半導体集積回路デバイスの発展は目覚ましい。図 1 に半導体集積回路の代表的製品であるダイナミックメモリ (DRAM) を例にとり、デバイスサイズのトレンドを示す。メモリの集積度は 3 年に 4 倍の勢いで増大し、デバイスのゲート長も 3 年で 0.7 倍のスピードで縮小してきた。このままの勢いで今後もデバイスの微細化が進むと、10 年後に約 0.1 μm 、20 年後には約 0.03 μm のデバイスが実用化される見通しである。サイズがここまで小さくなると、電子の「波」としての性質や、個々の粒子としての性質がデバイス特性に現れてくる可能性がある。即ち、Si LSI デバイスの分野でも、近い将来、量子効果や単一電子現象が現れることが期待される。そこで、Si をベースにした超微細量子構造や単一電子デバイスが最近大いに注目されてきた。既存の LSI デバイスの限界を打破するため、同じ Si を材料として新しい物理現象を新デバイスに応用することがそのねらいである。特に量子デバイスや単一電子デバイスは超低消費電力という大きなメリットがあり、これらが LSI に集積されれば、超高性能・超低消費電力チップが可能となる。筆者は、将来、従来の MOS デバイスは、単一電子デバイスに連続的に移行し、最終的には MOS デバイスと単一電子デバイスが 1 チップ上に集積さ

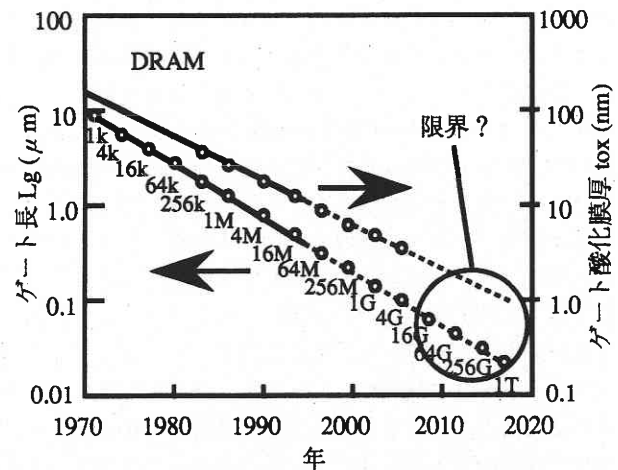


図 1. 半導体 MOS デバイスのトレンド. 各世代 DRAM のデバイスサイズと量産開始時期の関係

れ、それぞれの特徴を生かして役割分担が進むのではないかと考えている。図 2 は筆者が想像する将来の LSI チップ像である。駆動力や高速性が要求される箇所には従来の MOS デバイスを使用し、超低消費電力や超高集積が要求される場合には、単一電子デバイスを用いる。これにより外部インターフェースを変えずに、単一電子デバイスを用いた超低消費電力高性能 LSI が実現できる。このような技術を可能とするには、数多くの課題があるが、そのうちデバイス・プロセス関係の重要な課題は、(1) 単一電子デバイスの室温動作、(2) 既存の LSI プロセスと整合性

*東京大学生産技術研究所 第 3 部

**新日本製鐵(株) エレクトロニクス研究所

***(株)テキサスインスツルメンツ 筑波研究開発センター

****東京大学大規模集積システム設計教育研究センター

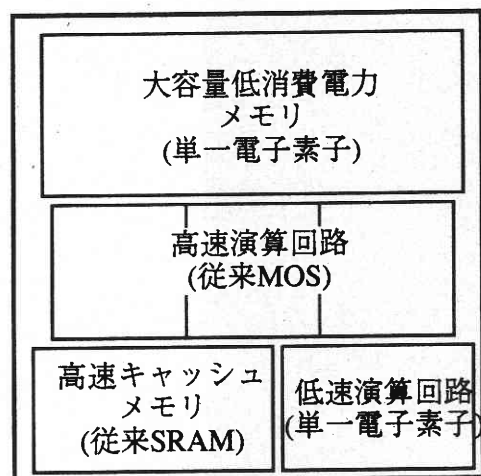


図2 将来のLSIチップ像, 従来のMOSFETと単一電子デバイスが集積されている。

のある単一電子デバイス作製プロセス, (3) ウェハレベルでの均一性と制御性, であろう。これまで, Siの量子構造作製技術は多数報告されている^{1)~5)}が, 非常に複雑なプロセスであったり, 超微細電子ビーム露光を必要とすることが多く, 均一性や再現性に乏しいプロセスであることが多い。また, 大部分はLSIプロセスと整合性がない。

本研究の目的は, 上記3つの課題にアクセスすること, 即ち, LSIプロセスと互換性のある均一で制御性のよい単一電子デバイス作製プロセスを開発し, その室温動作を実現することである。本研究では, 量子構造のサイズの制御性を高めるため, 結晶の面方位を利用した異方性エッチングを用いた⁶⁾。この方法は高度な超微細リソグラフィ技術を必要とせず, 超微細量子細線構造が制御性良く自然に形成される。この方法で作製したSi細線MOSFETで室温において単一電子現象であるクーロンブロックド振動を観測することに成功した。

2. 異方性エッチングによるSi量子細線の作製

Si結晶の面方位を利用した異方性エッチングには, よく水酸化カリウム (KOH) 溶液が用いられる⁷⁾。ところが, KOH中のカリウムはMOSプロセスではしきい値変動等をもたらす污染源となるため, LSIプロセスと整合性がない。そこで本研究では, 異方性エッチング液として水酸化テトラメチルアンモニウム (TMAH) を用いた。TMAHはフォトリソグラフィや電子ビーム用レジストの現像液として用いられるもので, LSIプロセスと整合性がある。図3にSi量子細線の作製プロセスを示す。

基板には, 酸化膜上に薄い単結晶Si膜が形成されているSilicon on Insulator (SOI) 基板を用いる。SOI基板には, 貼り合せ法によるものと酸素イオン注入によるもの (SIMOX) があるが, Si膜厚の均一性が良いことから

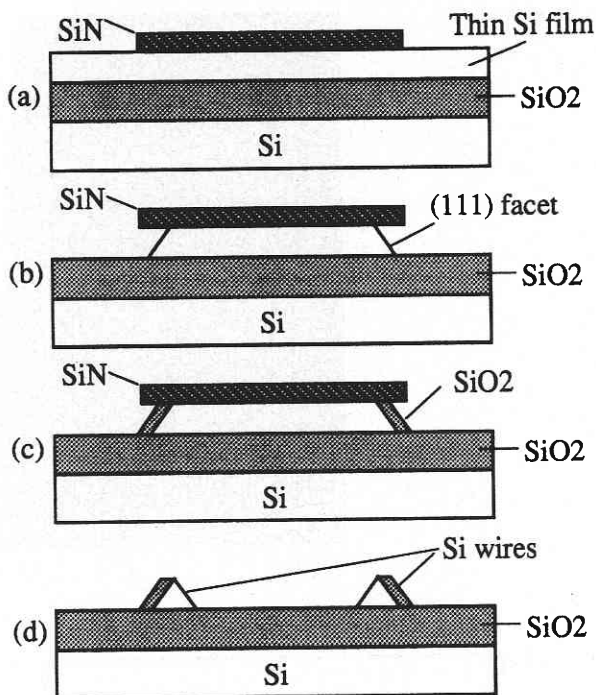


図3 異方性エッチングによるSi量子細線作製プロセス

SIMOX法によるSOI基板を使用した。まずSOI基板のSi薄膜を熱酸化することにより薄膜化し, 膜厚40 nmとした。熱酸化膜の除去後, SiN膜を堆積し(110)方向にパターニングを行った(図3(a))。ここでTMAHによる1回目の異方性エッチングを行うと, 図3(b)のようにパターンエッジに(111)面のファセットが現われる。この(111)面ファセットをSiN膜をマスクとして選択的に酸化する(30 nm, 図3(c))。SiN膜を除去後, 2回目の異方性エッチングを行うと図3(d)のように2つの三角形のSi量子細線構造が形成される。

この方法では, 細線の線幅と高さはSOIのSi薄膜の厚さのみに依存し, しかも結晶の面方位を利用しているので, 線幅は精密に制御され均一性が良い。また, 最小線幅は, リソグラフィに一切依存せず, リソグラフィの限界よりはるかに細くすることが可能である。現在までにこの方法を用いて, 極めて均一なSi量子細線アレーを作製することに成功している。図3(d)からわかるように, 完成したSi細線は肩にSi酸化膜を有している。SEM観察の結果, Siと酸化膜のトータルの線幅が約25 nm, Siのみの細線幅は10 nm以下であることがわかっている(図4)。

3. Si量子細線MOSFET

異方性エッチング法を応用して, Si量子細線MOSFETを作製した。Si細線部分をチャンネルとした。チャンネルの長さは100 nmである。Si細線を形成後, 20 nmのゲート酸化を行い, ポリSiゲートを形成してMOSFET構造と

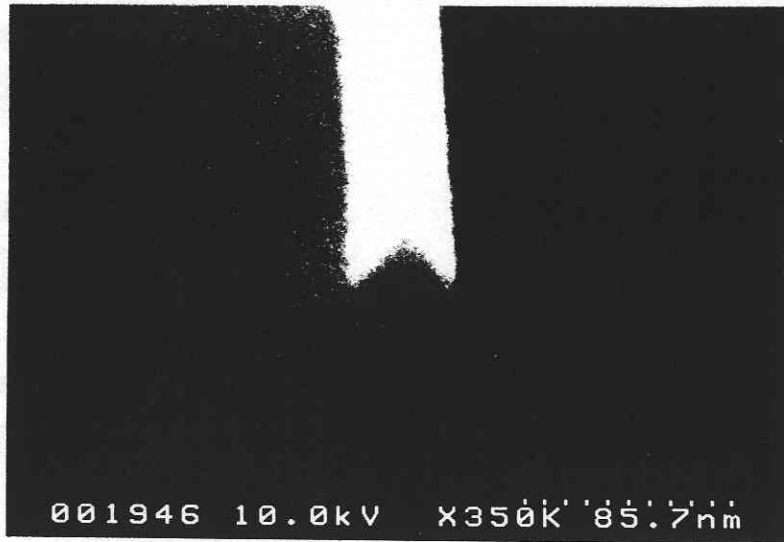


図4 作製したSi量子細線のSEM写真

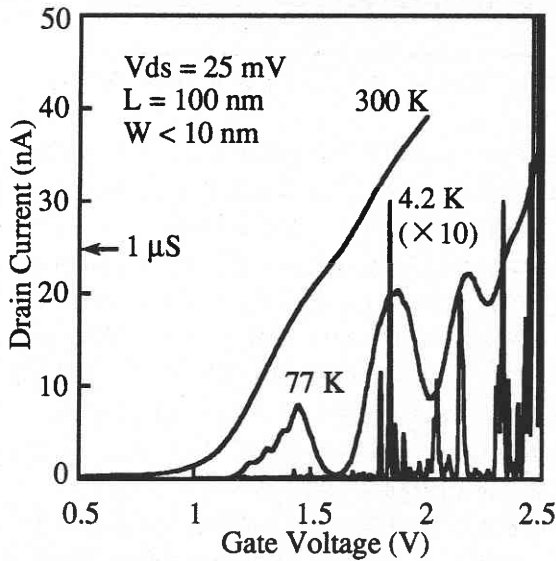


図5 Si量子細線MOSFETの300K, 77K, 4.2Kにおけるドレイン電流のゲート電圧依存性

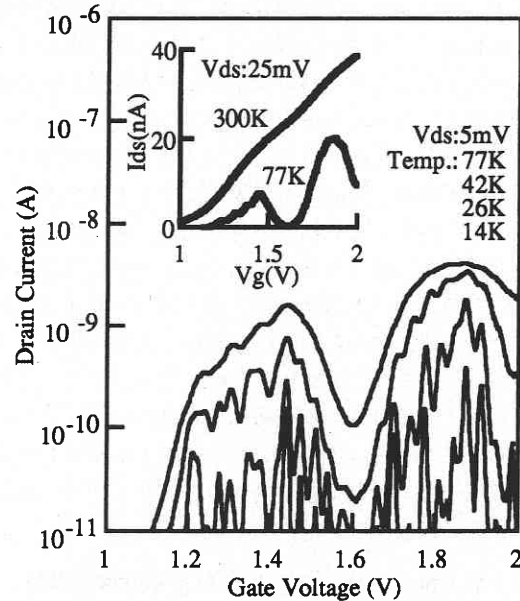


図6 Si量子細線MOSFETにおけるドレイン電流のゲート電圧の温度依存性

した。ゲート酸化によりSi細線部分はさらに細めているため、MOSFETのチャンネル幅は10nmを下回っていると推定される。図5は、作製されたSi量子細線MOSFETの300K, 77K及び4.2Kにおけるドレイン電流のゲート電圧依存性である。300Kでは、ドレイン電流がゲート電圧に対しはっきり振動していることがわかる。77Kでは、この振動がより顕著になり、振動の谷では、ほとんど電流が流れない状態になっている。一方、4.2Kでは77K以上の振動とは別にドレイン電流に鋭いピークが現われている。一方、ここでは示していないが、ドレイン電流-ドレイン電圧 (I_d - V_d) 特性には強い非線形性が現われており、ド

レイン電圧が約50mV以下ではドレイン電流がほぼ完全に抑えられている。以上からこれらの振動は、単一電子トンネルのクーロンブロッケードによるいわゆるクーロンブロッケード振動であると考えられる³⁾⁵⁾⁸⁾。4.2Kにおいて観測される鋭いピークに関しては、単純なシングルドットのクーロンブロッケードでは説明できない。そこで、さらに詳しくドレイン電流-ゲート電圧の関係の温度依存性を測定した結果を図6に示す。縦軸のドレイン電流はログスケールで表してある。77Kで、大きな振動にすでに微細構造が現れており、温度を下げると、徐々にそれが鋭い

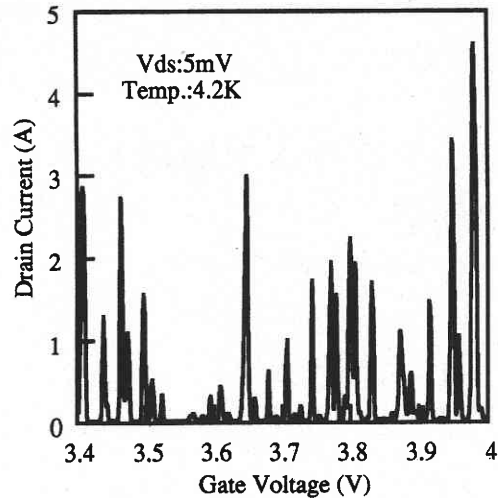


図7 Si 細線 MOSFET の4.2 Kにおけるドレイン電流のゲート電度依存性

ピークに分裂していく様子がよくわかる。図7は、4.2Kにおけるドレイン電流—ゲート電圧特性である。鋭いピークが観測され、そのピークの高さは「うなり」が生じているかのように大きく変調されている。

以上の実験結果をもとにSi 細線チャンネルの構造に関して検討を行った。振動が鋭いピークに分裂すること、及びこのMOSFETのチャンネルの長さとの幅の比が10以上であることを考えると、チャンネル中には複数のドットが存在し、マルチドットを形成しているものと考えられる。Chenらの計算によれば⁹⁾、ほぼ大きさのそろったマルチドットのクーロンブロッケード振動は、各ドットが弱くカップリングしている場合にはドット数に依存した鋭いピークに分裂し、そのピークの高さは各ドットの容量に相当する周期で変調される。また、温度の上昇とともに分裂ピークは消滅し、高温では各ドットの容量に相当するクーロンブロッケード振動が現れる。我々の実験結果は、Chenらの計算結果に極めて類似していることがわかった。従って、4.2Kの鋭いピークはマルチドットによるピークの分裂で、77Kの大きな振動の周期がドットの容量に対応しているものと考えられる。振動の周期と I_d - V_d 特性のギャップ

から、ゲート容量は約0.4 aF、トータル容量は約1.6 aF、チャージングエネルギーは約50 meVと見積もられる。チャージングエネルギーが室温の熱エネルギーより大きいことから、室温でもクーロンブロッケードが観測されたものと考えられる。

4. 結 論

SIMOX 基板上に結晶面方位に依存した異方性エッチングを用いて、Si 極微細量子細線を作製することに成功した。量子細線の線幅はリソグラフィに依存せず、SIMOX 基板のSi 膜厚のみで決定されるので、線幅は精密に制御でき、均一性にも優れている。本方法はLSI プロセスと整合性がある。最小線幅は10 nm 以下と見積もられる。また、この方法を利用してSi 量子細線 MOSFET を作製し、室温においてクーロンブロッケード振動を観測した。また、振動の温度依存性から、Si 量子細線 MOSFET のチャンネルが、複数の量子ドットに分裂していることを明らかにした。
(1996年12月27日受理)

参 考 文 献

- 1) K. Morimoto, Y. Hirai, K. Yuki, K. Inoue, M. Niwa, and J. Yasui, Extended Abstracts of International Conference on Solid-State Devices and Materials, 1993, pp. 344.
- 2) D.J. Paul, J.R.A. Cleaver, H. Ahmed, and T.E. Whall, Appl. Phys. Lett. 63, 631 (1993).
- 3) Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwdate, Y. Nakajima, S. Horiguchi, K. Musase, and M. Tabe, Technical Digests of IEDM, 1994, pp. 938.
- 4) E. S. Snow, W. H. Juan, S. W. Pang, and P. M. Campbell, Appl. Phys. Lett. 66, 1729 (1995).
- 5) E. Leobandung, L. Guo, Y. Wang, and S. Y. Chou, Appl. Phys. Lett. 67, 938 (1995).
- 6) T. Hiramoto, H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, and T. Ikoma, Physics B (in press).
- 7) G. Hashiguchi and H. Miura, Jpn. J. Appl. Phys. 33, L1649 (1994).
- 8) C. de Graaf, J. Caro, S. Radelaar, V. Lauer, and K. Heyers, Phys. Rev. B44, 9072 (1991).
- 9) G. Chen, G. Klimeck, S. Datta, G. Chen, and W. A. Goddard III, Phys. Rev. B50, 8305 (1994).