

調 査 報 告

VLSI 用薄膜 SOI CMOS デバイスに関する研究動向調査

Research Trend of Thin Film SOI CMOS Devices for VLSI Applications

平 本 俊 郎*

Toshiro HIRAMOTO

1. は じ め に

近年、エレクトロニクスの進展は目覚ましいが、この急速な進歩を牽引した技術はまさしく半導体デバイスである。大規模集積回路 (VLSI) のデバイスサイズは高性能化と高集積化のため 3 年で約 0.7 倍の勢いで縮小されてきた。現在市販されている VLSI の MOS デバイスは、ゲート長が $0.35\mu\text{m}$ 程度まで小さくなってきている。今後、さらに縮小が進むと期待されるが、現状のデバイス構造のままゲート長が $0.1\mu\text{m}$ 程度にまで縮小 (スケール) されると、さまざまな 2 次元効果が影響して、デバイス特性が大きく劣化したり、スケールリングによる高性能化のメリットが損なわれることが予測されている。即ち、半導体デバイスのスケールリングは $0.1\mu\text{m}$ 程度を境に大きな曲がり角に差し掛かっているといえる。

そこで、現状のデバイスに代って、SOI (Silicon on Insulator) 基板上に MOS デバイスを作製する技術が以前から提案されている。現状のデバイスは約 $500\mu\text{m}$ 厚の Si ウェハ上 (これを通常バルク基板と呼ぶ) に作られている。バルク基板はすべて単結晶 Si から成るのに対し、SOI 基板は表面付近に約 100nm 厚の酸化膜が埋め込まれており、その酸化膜上に極めて薄い 100nm 厚程度の単結晶 Si 膜が存在する。薄膜 SOI MOS デバイスはその薄膜 Si 層に形成される。このデバイスでは、基板とデバイスが埋め込み酸化膜によって電気的に分離されているため、デバイスを縮小しても 2 次元効果が起こりにくい。また、このデバイスは、寄生容量の低減、デバイススピードの向上、素子分離の簡単化、ラッチアップ現象の防止、放射線耐性の向上等さまざまなメリットがあり、将来バルクデバイスに代わる VLSI デバイスとして有望視されている。

この度、三好助成金を受けることができ、昨年 6 月 14 日から 25 日まで渡米して薄膜 SOI CMOS デバイスに関する研究動向調査を行う機会を得た。半導体デバイスの分野で権威のある Device Research Conference に参加したほか、カリフォルニア大学バークレー校、エール大学などを訪問し、SOI デバイスで著名な教授とさまざまな議論を行う

*東京大学生産技術研究所 第 3 部

ことができた。以下にその概要を報告する。

2. カリフォルニア大学バークレー校

バークレー校の Cheming Hu 教授は VLSI デバイスの分野で世界的に著名な研究者である。米国では、企業による開発研究と大学における基礎研究という役割分担が進んでおり、Hu 教授のグループによる基礎研究の成果には、米国企業のみならず日本企業も大きな関心をよせている。その研究活動の約半分は薄膜 SOI MOS デバイスにあてられている。今回、Hu 教授と 2 時間にわたって将来の SOI デバイスの動向に関してディスカッションを行った。

最近の SOI デバイスの動向として、以前ほど学会での研究発表が活発でない印象を持っていたが、Hu 先生によれば、これは各半導体メーカの SOI デバイスに対する意識が、単なる研究対象から実用レベルの有力候補へ変わってきているからだという。各社とも、研究所から開発・生産部隊に場所を移して、SOI デバイス実用の検討に入っている。但し、これは必ずしも SOI デバイスの実用が近づいたということの意味しない。SOI デバイスはメリットの他に、多くの問題点を抱えており、実用レベルの検討に入ったことで、これらの問題点がますます大きくクローズアップされてきたからである。問題点としては、まず、基板の質の問題、そして SOI デバイス特有の基板浮遊効果による過渡現象の問題、また、応力等によるリーク電流の問題などがある。特に基板浮遊効果は深刻であり、この効果を考慮したデバイスモデルがまだ存在しないため、SOI デバイスを用いた回路の設計がままならない状況である。Hu 教授の研究室では中国人の大学院生が、新しい SOI デバイスモデルの検討に没頭していた。一方、コスト的には、SOI 基板が高価なことが実用を妨げる最大の要因である。近年、SOI 基板の質は、欠陥密度、Si 膜厚ばらつきとも大きく改善したが、需要が少ないため基板メーカーは大量生産できず、結局価格が下がらないという悪循環にはまっている。実際に実用化が進めば、価格の問題はかなり小さな要因になると想像される。

バークレー校の電子工学科には、大きな Microfabrication Laboratory (クリーンルーム) がある。今回は、助手

の藤岡氏の案内で、クリーンルームを見学させていただいた。まず驚かされるのはその規模の大きさと管理体制の充実ぶりである。面積は約1,000m²、常勤の専用スタッフが10人もいる。クリーンルームの使用には、時間ごとに使用料がチャージされ、この使用料で専用スタッフの給料がまかなわれている。これだけのクリーンルームを維持するためには、やはりそれだけの人材が必要ということである。日本の大学の制度では、このようなシステムは不可能である。また、ベースラインのCMOSプロセス（4インチウェハ、2 μ mプロセス）を常に流していることも驚嘆に値する。このクリーンルームの完成は1983年である。ここから、いくつもの世界的に有名な半導体デバイス・回路の成果が生まれた。

3. Device Research Conference

本会議は、毎年6月にIEEE主催で行われる。VLSIデバイスの分野では、12月のIEDMの方が規模も大きく有名であるが、本会議の方が歴史は古く、今回で53回目を数える。200名程度の人数でVLSIデバイスから量子効果デバイスまで、その物理をじっくりと腰をすえて議論できる会議である。今回はバージニア州立大学で開催された。

SOIデバイス関連では、0.1 μ m以下の薄膜SOI MOSデバイスや、SOI基板を利用した単一電子素子などの発表があった。まず、0.1 μ m以下のSOIデバイスであるが、今回富士通から発表されたデバイスは、ゲート直下の空乏層が埋め込み酸化膜まで達しない非完全空乏型というデバイスであった。SOIデバイスには他に完全空乏型もあり、この両者のうちどちらを将来用いていくかは、各社意見の分かれるところである。筆者は、究極的には完全空乏型が優れているが、基板の質の問題ですぐには実用が難しいため、まず、非完全空乏型が0.1 μ m程度の世代で有望になってくると考えている。今回の発表もバルクMOSデバイスに近い構造で非完全空乏型を実現したもので、実用を強く意識したものといえる。

一方、基板とデバイスが完全に分離されているSOI構造は、Si量子効果デバイス等にも絶好の基板である。今回は、100Kで動作するSi単一電子トランジスタが米国ミネソタ大学から発表された。SOI基板は、VLSIデバイスだけでなく、次世代デバイスにも有用である。

4. エール大学

T. P. Ma教授のグループを訪問した。Ma教授はVLSI

デバイスのSi酸化膜の研究で有名だが、SOI基板の埋込酸化膜/Si界面の評価の研究も進めており、今回は、SOI基板の質の話から、次世代ゲート絶縁物まで広く議論を行った。

通常バルク基板は、Si酸化膜界面が1箇所しか存在しないが、SOI基板は埋込酸化膜のため界面が2箇所存在する。特に埋込酸化膜界面がデバイスに与える影響を評価することはSOIデバイス実用化の上で極めて重要である。Ma教授のグループでは、チャージポンピング法で埋込酸化膜界面の評価を継続して行ってきた。SOIデバイスではその構造から、チャージポンピング電流がデバイス形状に大きく依存するが、本グループではその影響を抑制し、正確に埋込酸化膜界面の界面準位等を評価することに成功している。その結果、最近のSOI基板では、埋込酸化膜界面の質がゲート酸化膜界面と同等レベルに改善されていることが明らかになっている。これらの研究はVLSIデバイスの地道な基礎研究として高く評価されている。

一方、エール大学電子工学科のクリーンルームを見学させていただいた。バークレー校ほど専任のスタッフの人数は多くなかったが、企業でクリーンルームを立ちあげた経験のあるエンジニアがこの巨大なシステムの管理を指揮していた。

おわりに

今回の訪米で、VLSIデバイスの分野における米国の大学のレベルの高さを再認識させられた。日本では、化合物半導体等の研究が大学で盛んに行われているが、VLSIデバイスの研究に関しては、企業の独壇場である。大学においても、半導体産業の動向に即した独創性のある研究が強く求められている。今回の訪米を契機に、この分野における日本の大学のレベル向上に微力ながら貢献できるよう努力していきたい。

一方、薄膜SOI MOSデバイスは、今が実用化できるかどうかの正念場であるといえる。私の研究室でも、サブ0.1 μ m薄膜SOIデバイス、及びSOI基板を用いた単一電子デバイスの研究を進めており、今回得た情報を今後の研究に生かしていきたい。

最後に、貴重な研究動向調査の機会を与えていただいた財団法人生産技術研究奨励会に深く感謝いたします。

(三好研究助成報告書 1996年8月8日受理)