

研究解説

0.1 μm 薄膜 SOI MOSFET のデバイス・プロセス設計と特性評価Device and Process Design and Characterization of 0.1 μm Thin Film SOI MOSFETs高宮 真*・更屋 拓哉*・トラン・デュエト*・田中 剛**
石黒 仁揮*・平本 俊郎*・生駒 俊明*Makoto TAKAMIYA, Takuya SARAYA, Tran NGOC DUYET, Tsuyoshi TANAKA,
Hiroki ISHIKURO, Toshiro HIRAMOTO and Toshiaki IKOMA

0.1 μm 薄膜 SOI MOSFET の設計・試作を行った。チャンネルイオン注入 (BF_2) のエネルギーを SOI と埋め込み酸化膜の界面にピークがくるよう設計することによりパンチスルーストップの形成とチャンネルのドーブを1回のイオン注入で実現した。この簡便なプロセスにより均一ドーブの場合と比較し短チャンネル効果が抑制できることをシミュレーションにより示し、ゲート長0.095 μm の SOI MOSFET の動作を確認した。

1. はじめに

近年バッテリー駆動の携帯機器の需要の高まりにより性能をなるべく落とさずに低消費電力化を図る方法が模索されている。そこで注目されているのが薄膜 SOI MOSFET である。薄膜 SOI MOSFET は従来の Bulk MOSFET よりも寄生容量が小さく、Subthreshold swing S が急峻であるため電源電圧を下げても Bulk MOSFET ほど性能が低下しないというメリットがある。低電源電圧における SOI LSI の優位性について、ゲート長0.24 μm の SOI CMOS LSI において電源電圧が低下するにつれ bulk LSI との速度性能の差が拡大することが実証されている¹⁾。

しかしゲート長が0.25 μm 世代から0.1 μm 世代までスケールアップが進むと SOI MOSFET のデバイス設計領域が急激に狭まり微細化が困難になる²⁾。0.1 μm SOI MOSFET では SOI 膜厚と埋め込み酸化膜厚の極薄膜化が必須である³⁾。しかし SIMOX 基板を用いる限り埋め込み酸化膜の薄層化は困難である。また SIMOX, 貼り合わせ基板とも SOI の膜厚ばらつきが大きくデバイス特性のばらつきが増大するため現状では SOI 膜厚の極薄膜化は困難である。

本研究では SIMOX 基板を用い SOI 膜厚を1000Å とし、ゲート長0.1 μm の薄膜 SOI MOSFET のプロセス・デバイスシミュレーションによる設計とそれに基づく試作を行った。

*東京大学生産技術研究所 第3部

** (株)テキサス・インスツルメンツ 筑波研究開発センター

2. 0.1 μm SOI MOSFET の設計

2.1 デバイス設計

ゲート長0.1 μm の薄膜 SOI MOSFET をトランジスタとして正常動作させるためには短チャンネル効果対策が最も重要である。ゲート長0.1 μm でも短チャンネル効果に耐える SOI MOSFET を設計するため、SOI 膜厚 t_{SOI} とチャンネルドーピング NA の2つをパラメータとして MEDICI⁴⁾ を用いデバイスシミュレーションを行った。シミュレーション条件はソース・ドレインからの As の入り込みを0.02 μm ずつと仮定して実効チャンネル長0.06 μm , ゲート酸化膜厚50 Å, 埋め込み酸化膜厚1000 Å, 均一チャンネルドーピング, Back 界面の影響 (固定電荷等) はないとした。電子のみについてポアソン方程式と電流連続の式を解かせた。

図1に最大空乏層厚さとチャンネルドーピング濃度の関係を示す。図2に V_{th} の t_{SOI} 及び NA 依存性を示す。図2 a は実効チャンネル長1 μm の場合、図2 b は実効チャンネル長0.06 μm の場合である。

図1と図2 a より SOI 膜厚が最大空乏層厚さと等しくなる点で部分空乏化 (Partially-Depleted: PD) モードと完全空乏化 (Fully-Depleted: FD) モードの遷移が起きていることがわかる。またチャンネルドーピング NA が高くなる程、空乏層が伸びにくいので PD モードと FD モードの遷移点が SOI 膜厚の薄い方に移動し、また FD モードでは V_{th} の t_{SOI} 依存が強まりグラフの傾きが急になっていることがわかる。チャンネル長1 μm の V_{th} (図2 a) と

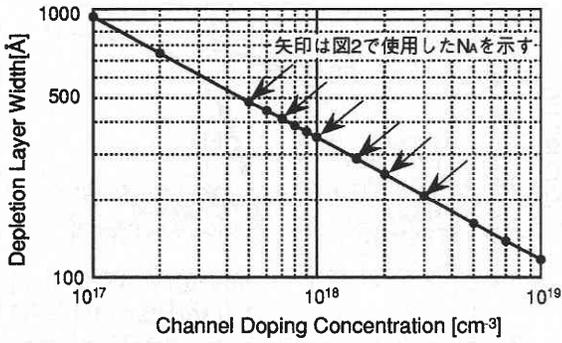
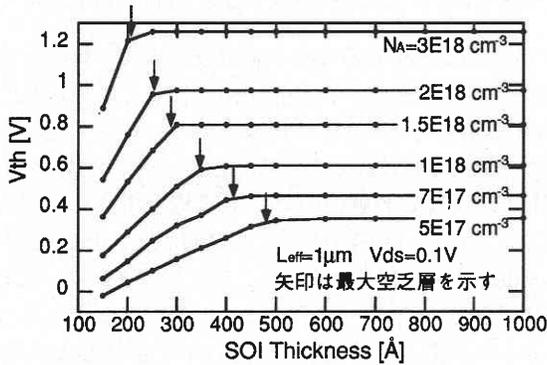
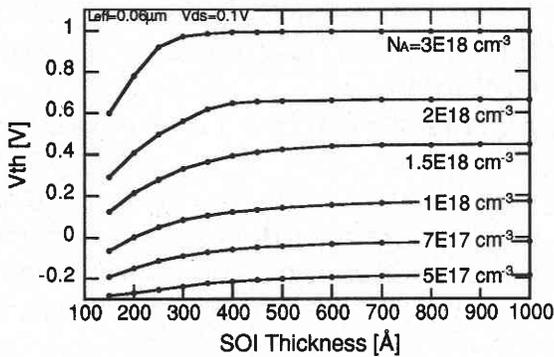


図1 最大空乏層厚さとチャネルドーピングの関係



(a) $L_{eff} = 1 \mu m$



(b) $L_{eff} = 0.06 \mu m$

図2 Vth と SOI 膜厚の関係

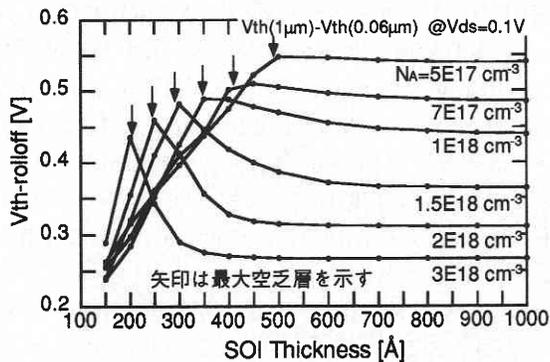


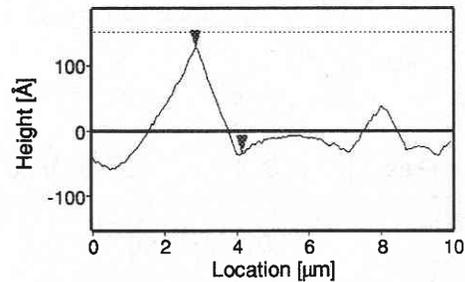
図3 短チャネル効果による Vth-rolloff

0.06 μm の V_{th} (図 2 b) の差を V_{th} -rolloff と定義し、これを図 3 に示す。

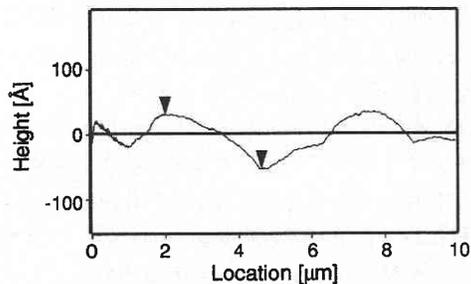
図 3 の縦軸 V_{th} -rolloff が大きいほど短チャネル効果が顕著であることを意味する。図 3 で非常に興味深いのは V_{th} -rolloff の t_{SOI} 依存性にピークが 1 つできることである²⁾。しかもピークとなる t_{SOI} は図 2 a で示した PD モードと FD モードの遷移点そのものである。これは t_{SOI} 設計の際に PD モードと FD モードの遷移点付近を選んでしまうと V_{th} -rolloff が最悪設計になってしまうことを意味している。つまり PD モードよりも V_{th} -rolloff の小さな FD モードの t_{SOI} を設計するためには遷移点よりもかなり薄い t_{SOI} の値を用いなければならない。例えば、 N_A が $1 \times 10^{18} \text{ cm}^{-3}$ では 310 \AA 以下、 $2 \times 10^{18} \text{ cm}^{-3}$ では 170 \AA 以下である。

ここで実際のプロセスでどの程度まで SOI を薄層化できるかを調査するため SIMOX 基板の評価を行った。図 4 a は SOI 層を取り除き埋め込み酸化膜表面を AFM で観察した結果である。

SIMOX 基板は 1994 年に入手したものである。10 μm 角のスキャンで最大 160 \AA もの高低差があった。従ってこの SIMOX 基板では $0.1 \mu m$ SOI MOSFET を FD モードで動作させることは不可能と判断した。そこで SOI 膜厚 1000 \AA でプロセスを行った。なお参考のために、図 4 b に 1996 年に入手した SIMOX 基板の AFM による観察結果を示す。



(a) プロセスで使した SIMOX 基板 (1994 年製)



(b) 最近入手した SIMOX 基板 (1996 年製)

図4 SIMOX 基板の埋め込み酸化膜表面の AFM による観察

2.2 プロセス設計

SOI 膜厚1000 Å で短チャネル効果をなるべく防止するため、チャネルドーピング用 BF₂ イオン注入の注入エネルギーの設計をプロセス・デバイスシミュレータ (TSUPREM-4⁵⁾, MEDICI⁴⁾) を用いて行った。

2.1章では均一ドーピングを仮定してデバイス設計を行った。しかし実際のチャネルイオン注入ではチャネルプロファイルに傾きを持たせることが可能である。フロント界面のチャネル濃度が低く、バック界面のチャネル濃度が高くなるような傾きを持つプロファイルをチャネルドーピングのためのイオン注入時に形成すれば、パンチスルーストップとしても働き短チャネル効果が防止できると考えられる。

そこで BF₂ のイオン注入のエネルギーとして、ボロンプロファイルのピークがフロント界面にくる 50 keV, バック界面にくる 110 keV の 2 通りを設定し、比較のため理想的な均一ドーピングの場合も併せてシミュレーションし 3 者の比較を行った。また FD モードと PD モードの差を調べるためチャネル濃度が $1 \times 10^{16} \text{cm}^{-3}$ 台と $1 \times 10^{17} \text{cm}^{-3}$ 台の 2 通りを考え、各エネルギーにおいて長チャネルの V_{th} が同一となるようドーズ・チャネル濃度を調整した。これらのチャネルプロファイルを図 5 に示す。

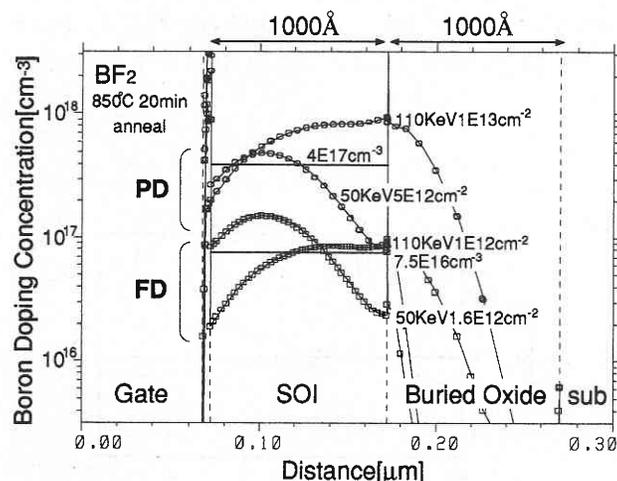


図 5 チャネルプロファイル (アニール後)

これらが短チャネル効果の影響をどの程度受けるかを調べるため、図 6 にシミュレーションにより求めた V_{th}-rolloff を示す。

110 keV の場合はバック界面の濃度が最も高いためこれがパンチスルーストップとして有効に働き、短チャネル効果を防止している。しかし 50 keV の場合はフロント界面の濃度が高くバック界面の濃度が低いためバック界面でパンチスルーが起こりやすく短チャネル効果が起こりやすい。

110 keV の場合と 50 keV の場合の V_{th}-rolloff の差は PD モードで顕著であり FD モードでは小さい。PD モー

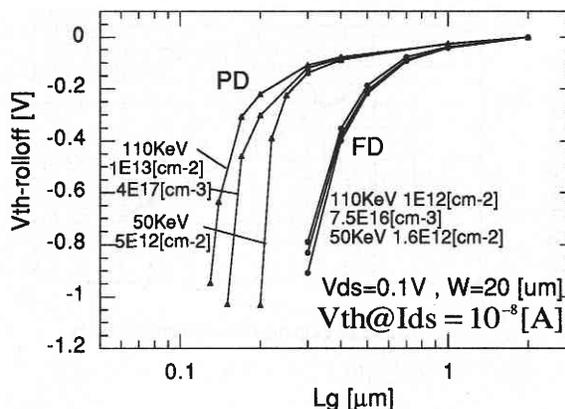


図 6 BF₂ の注入エネルギーによる V_{th}-rolloff の差異

ドでは空乏層が SOI 層全体に伸びないのでフロント界面の電荷で V_{th} が決まり、V_{th} を同一にしたこの比較では 50 keV の場合でも 110 keV の場合でもフロント界面付近のボロン濃度はほぼ同じである。しかしバック界面のボロン濃度は 110 keV の場合が 50 keV の場合よりも 1 桁以上も高い。そのため PD モードでは 110 keV と 50 keV の V_{th}-rolloff の差が顕著となる。これに対し FD モードでは SOI 層全体が空乏し SOI 層全体の電荷で V_{th} が決まる。V_{th} を同一にしたこの比較では 50 keV と 110 keV の場合でフロント界面のボロン濃度は大きく異なるがバック界面のボロン濃度は PD モードの場合ほど差が小さい。そのため FD モードでは 110 keV と 50 keV の V_{th}-rolloff の差が小さいのである。

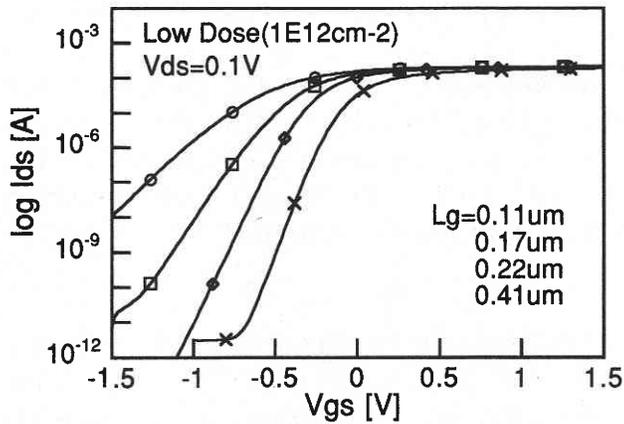
今回は SOI 膜厚 1000 Å でシミュレーションを行ったため FD モードの場合のボロンプロファイルのピーク位置による V_{th}-rolloff の差は小さかった。しかし、SOI 膜厚を 300 Å 程度にまで薄膜化すれば更に急峻なボロンプロファイルの形成が可能となるため、ボロンプロファイルのピークをバック界面に設定するこの手法のメリットが増大すると考えている。

3. 0.1 μm SOI MOSFET の特性評価

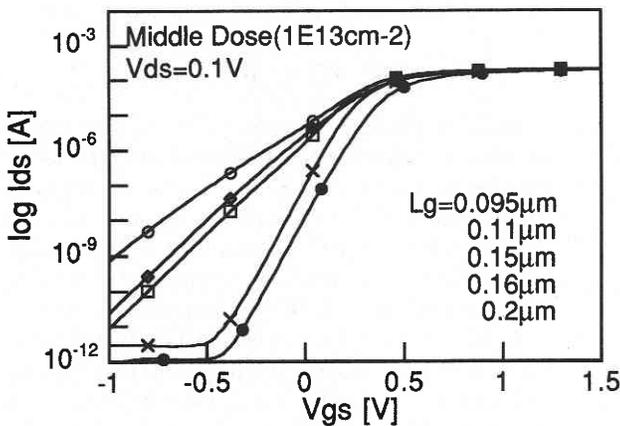
SIMOX 基板を用いゲート長 0.1 μm の SOI MOSFET の試作を行った。ゲート酸化膜厚 50 Å, SOI 膜厚 1000 Å, 埋め込み酸化膜厚 1000 Å である。チャネルドーピングは BF₂ を 110 keV でイオン注入し、ドーズが 3 通りのデバイスを作製した。ドーズが $1 \times 10^{12} \text{cm}^{-2}$ の Low dose 版 (チャネル濃度 $1 \times 10^{16} \text{cm}^{-3}$ 台), $1 \times 10^{13} \text{cm}^{-2}$ の Middle dose 版 (チャネル濃度 $1 \times 10^{17} \text{cm}^{-3}$ 台), $5 \times 10^{13} \text{cm}^{-2}$ の High dose 版 (チャネル濃度 $1 \times 10^{18} \text{cm}^{-3}$ 台) の 3 通りである。

試作した SOI MOSFET の 3 通りのチャネルドーズのゲート特性を図 7 に示す。

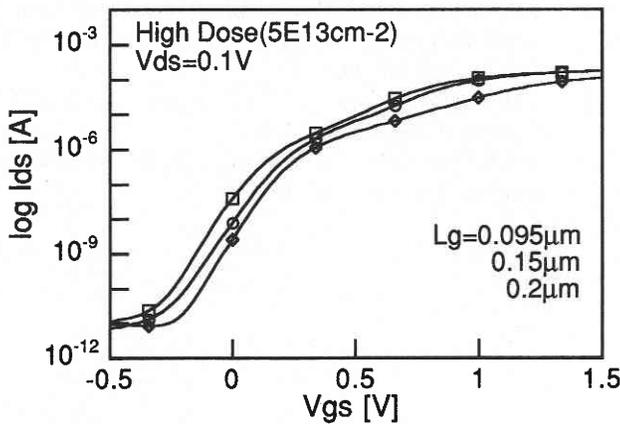
Low dose はゲート長 0.22 μm, Middle dose はゲート



(a) Low dose



(b) Middle dose

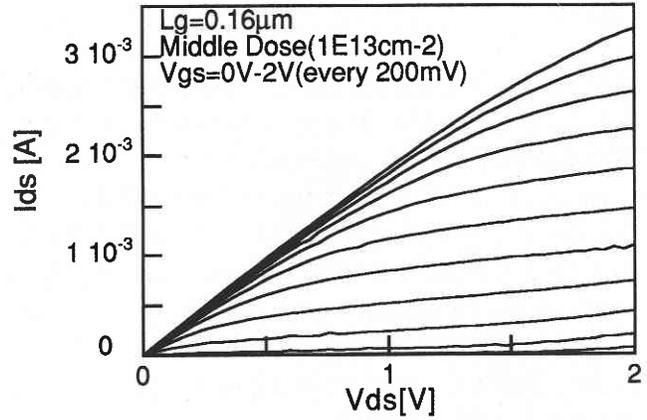


(c) High dose

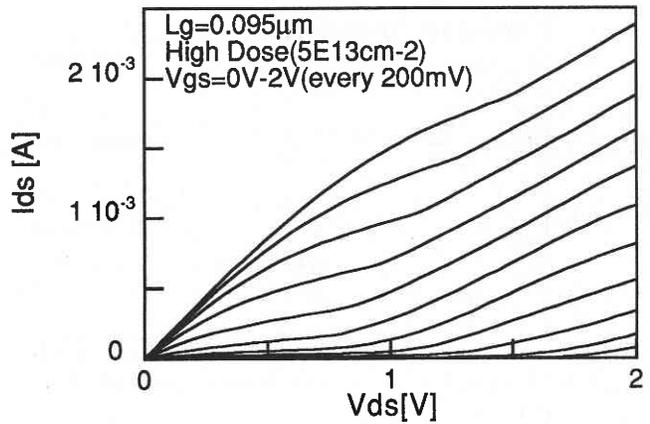
図7 試作 SOI MOSFET のゲート特性

長 $0.16 \mu\text{m}$, High dose はゲート長 $0.095 \mu\text{m}$ まで Sub-threshold swing S が 100 mV/dec 以下であり短チャネル効果を防止していると言える。

次に Middle dose の $0.16 \mu\text{m}$ と, High dose の $0.095 \mu\text{m}$ のドレイン特性を図8に示す。High dose では基板浮遊効果によるキックが観察できる。



(a) Middle Dose



(b) High Dose

図8 試作 SOI MOSFET のドレイン特性

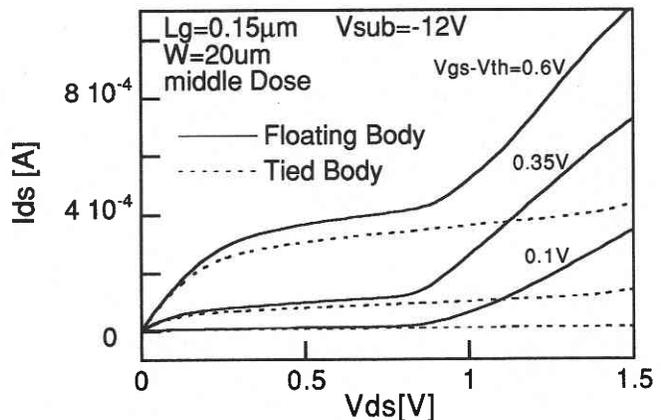


図9 基板浮遊効果の顕著なドレイン特性

PD モードのデバイスにおいて, body contact を Float にした時と接地した時のドレイン特性を図9に示す。body contact を接地することにより耐圧が目覚ましく改善することが分かる。ドレイン電圧 1 V 以下で基板浮遊効果によりキックが観測される。

4. シミュレーションとの比較

シミュレーションにより予測した V_{th} -rolloff と実測の V_{th} -rolloff の比較を図10に示す. n型 Poly ゲートの仕事関数は4.05 eV とした. 全体の傾向としては, ゲート長 $1\mu\text{m}$ 以上の長チャンネルでは V_{th} は定量的に非常に良く合っている. チャンネルイオン注入により V_{th} の設定が制御良く行えていることが分かる. Middle dose は実測とシミュレーションが定量的に非常に良く合っている. Low dose は実測の方が V_{th} -rolloff が小さく, 短チャンネル効果に強い. 原因として SOI 膜厚が実際には 1000Å より薄くなっている可能性があげられる.

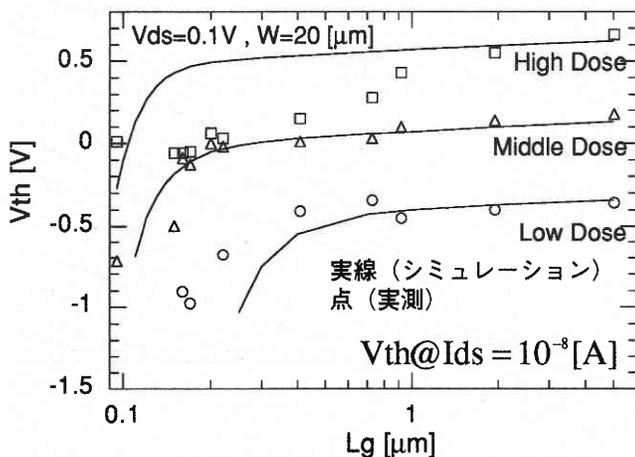


図10 V_{th} -rolloff の実測とシミュレーションの比較

5. ま と め

SOI 膜厚 1000Å で FD モードと PD モードの SOI MOSFET の試作を行った. パンチスルーストッパの形成とチャンネルのドーブを1回のイオン注入で実現する簡便なプロセスによりゲート長 $0.095\mu\text{m}$ まで短チャンネル効果を抑制し, SOI MOSFET の動作を確認した.

謝 辞

実験装置の提供及び有意義な討論をして頂いた藤田博之教授と平川一彦助教授に深く感謝致します. また, AFM の測定で御協力頂いた荒川泰彦教授, EB 露光で御協力頂いた先端科学技術研究センターの長田講師に感謝致します.

(1996年7月4日受理)

参 考 文 献

- 1) K. Kado, H. Inoue, Y. Okazaki, T. Tsuchiya, Y. Kawai, M. Sato, Y. Sakakibara, S. Nakayama, H. Yamada, M. Kimura, S. Nakashima, K. Nishimura, S. Date, K. Takeya, and T. Sakai: "Substantial Advantage of Fully depleted CMOS/SIMOX Devices as Low-Power High Performance VLSI Components Compared with its Bulk CMOS Counterpart," IEDM Tech Dig., pp. 635, 1995.
- 2) L. T. Su, J. B. Jacobs, J. E. Chung, and D. A. Antoniadis: "Deep-Submicron Channel Design in Silicon-on-Insulator (SOI) MOSFET's," IEEE Trans. Electron Devices, vol. 15, pp. 366, 1994.
- 3) Y. Omura, S. Nakashima, K. Izumi, and T. Ishii: "0.1- μm -Gate Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer," IEDM Tech Dig., pp. 675, 1990.
- 4) "TMA MEDICI Ver 2.1 User's Guide", Technology Modeling Associates, Inc., 1995.
- 5) "TMA TSUPREM-4 Ver 6.3 User's Guide", Technology Modeling Associates, Inc., 1995.