

## 超 LSI デバイスの製造における機械的プラナリゼーション加工

A Mechanical Planarization Technique in ULSI Device Process

丁 海 島\*・中 川 威 雄\*

Heado JEONG and Takeo NAKAGAWA

## 1. はじめに

超 LSI の高密度化が進展するとともに、デバイス構造がより 3 次元化され、その表面の凹凸が大きくなる傾向にある。そのため、デバイスを製造するプロセスにおいて、その然るべき途中段階で、いったんこの凹凸表面を平坦にすることが必須となっている。これがプラナリゼーション(平坦化: Planarization)と称される所以であり(図 1)、このプロセスの確立に向けてさまざまな試みが<sup>1)</sup>なされてきている。しかし、現在の超 LSI デバイス化の過程にお

けるようなりフロー/エッチバックなどによると完全プラナリゼーションを実現することはきわめて困難と見られ(図 2)、新たなアプローチの展開の必要性が認められているところである。

本研究は、こうした時代的な要求と現状を背景に、従来の化学的な方法とはまったく異なるコンセプトに立った超精密砥粒加工技術の中で、現在実用性の高いメカノケミカルポリシングによる LSI デバイスのプラナリゼーションについて紹介する。

## 2. 従来のポリシング法による問題点

現在のポリシング法を用いて、ウェハ上のデバイスを表面から均一に除去することが極めて難しい理由としては、以下のような問題点によると思われる。すなわち、

- ① 加工の基準面がウェハの裏面であること
- ② ウェハ自体の厚さがバラツキが存在すること
- ③ チャック面の凹凸および異物などの混入
- ④ ウェハ全面にわたって加工圧力が不均等
- ⑤ ウェハ全面にわたって相対速度が不均一
- ⑥ 工具面(パッド)の平行・平面度の不良
- ⑦ 工具面(パッド)の変形、劣化および目づまり
- ⑧ 砥粒(スラリ)の不均一な分布

さらに前述した問題点が解決されウェハ全面にわたって均一な表面除去が可能となったが、ウェハ表面に存在するデバイスパターンの大小疎密な形状により、ポリシングによる表面除去速度が異なるため、完全なプラナリゼーション技術の確保が困難であると言われている。図 3 は、その代表的な例である。シリコンウェハ専用のポリシング盤を用いて、粒径 10-20nm 程度のコロイダルシリカを人工皮革パッドの表面に供給しながら加工を行った、加工前と比較して、スムージングしただけで段差の変化はほとんどなかった。

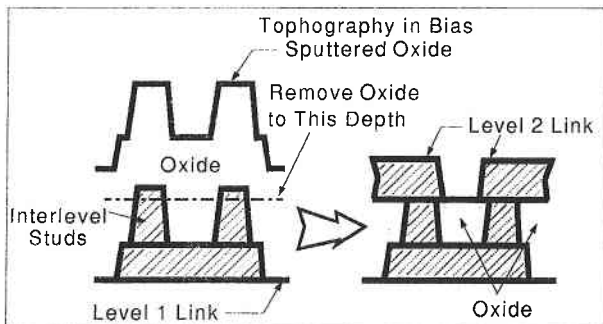


Fig. 1 Schematic structure of planarization in device pattern

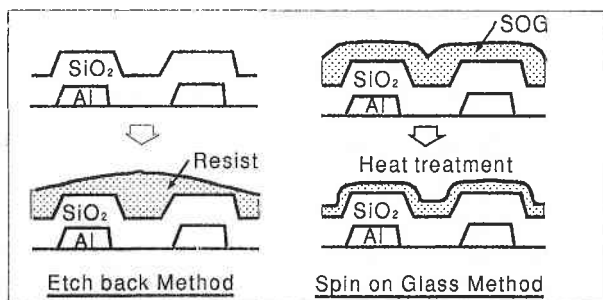


Fig. 2 Conventional planarization methods

\*東京大学生産技術研究所 第 2 部

研究速報

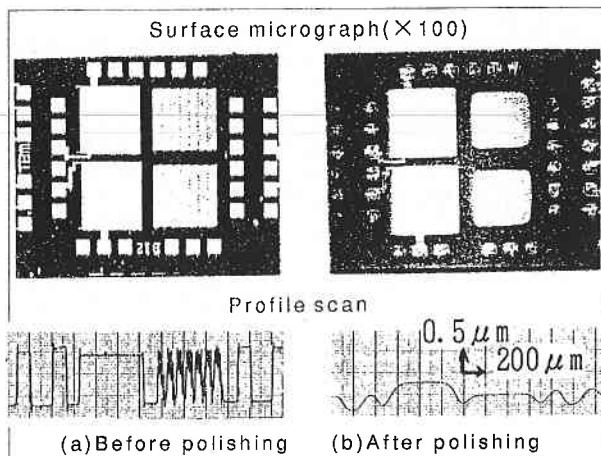


Fig. 3 One example of planarization using a conventional polishing technique

以上の加工結果から、従来のポリシング法をそのまま適用すると、デバイスウェハ表面に存在するパターン形状の大小疎密さに比例して表面除去速度が異なるため (Pattern sensitivity)、次世代デバイスを製造するために要求されるプラナリティ (Planarity: 平坦度) を実現することは非常に難しいと予想される<sup>2)</sup>。

### 3. 均一表面除去ポリシング装置の開発

#### 3.1 理論導入

一般に、メカノケミカルポリシングにおける表面除去量  $V_{SR}$  は、

$$V_{SH} = k \cdot p \cdot v \cdot t \quad (1)$$

$k$ : 加工条件によって定まる定数

$p$ : 加工圧力,  $v$ : 相対速度,  $t$ : 加工時間

で示される。ウェハ表面を均一にするためには、基本的にウェハ内の加工圧力  $p$  と相対速度  $v$  を確実にコントロールすればよい。ウェハ内の加工圧力  $p$  の均等化については、ウェハが有する反りと板厚バラツキを考慮しなければならない。

#### 3.2 均一表面除去ポリシング装置の試作

図4は、前述の考え方を等分布均等圧力と小円運動の各機械部にわけて図式化したものである。デバイスのような表面形状を加工するためには、加工の基準面はウェハの表面 (サーフェイス・レファレンス) になる必要がある。すなわち、ウェハを裏面から均等に押し付けて工具表面で矯正しながら做わせるようにする。一方ウェハのポリシングパッドに対する相対速度  $v$  については、従来のポリシン

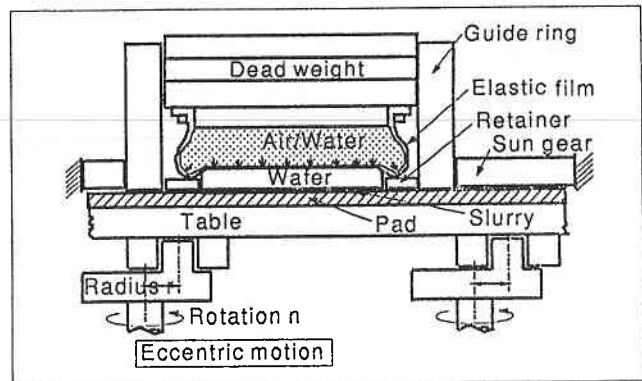


Fig. 4 Schematic of developed polishing machine for uniform surface removal

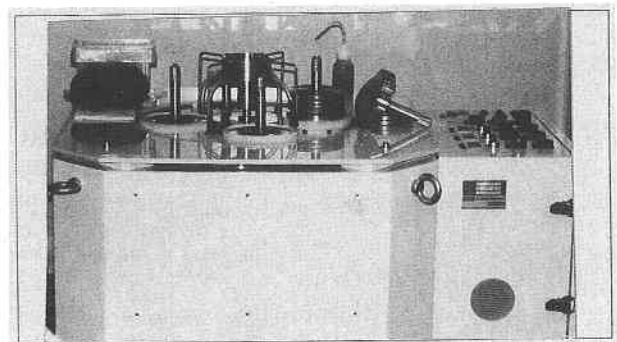


Fig. 5 View of developed planarization polishing machine

グ工具定盤を単一に回転 (通常  $v =$  数10m/min 以上) させるのではなく、サブミクロン量のみ均一加工するため、ウェハのどの点・位置でも同一の小円運動軌跡を描かせ、 $v = 0. \text{数} \sim 10 \text{数 m/min}$  の範囲で任意の均一相対速度を得る運動機構を導入する。

図5に、原理に基づいて試作した<sup>3)</sup>均一表面除去ポリシング装置本体の外観写真本体の外観写真を示す。試料はφ4"ウェハを4枚均等配置して同時加工できるようにした。等分布均等加圧部は、水または空気を入れた薄い弾性膜 ( $t = 0.1 \sim 0.3 \text{mm}$  のシリコンゴム) ウェハを押しつけるようになっている。

### 4. 溝付き硬質ポリシングパッドの開発

#### 4.1 ポリシングパッドの弾性変形

図6は、従来の軟質パッドを用いてプラナリゼーション加工を行うとき、パターンの形状に応じて変形するパッドの変形量を示した概念図である。ポリシングパッドの弾性変形のモデル解析は、弾性体 (パッド) の "Indentation" 理論から導入した。静的平衡状態で荷重が加えられたパターンの凸部は、ポリシングパッド中に侵入すること

研究速報 (Penetration) に基づいている。剛体の押込物 (Indenter) を弾性体の高分子材料に押し込む図 7 のようなモデルが設定される。

こうしたデバイスパターン上の凸部におけるパッドの近似弾性変形量の解析から、以下のようなことが把握できた。

- ① ヤング率  $E$  が高い硬質パッドほど、パッドの垂直弾性変形量  $\delta_v$  は少ない。
- ② パッドが厚いほど変形しやすくなる。
- ③ パターンの凸部間の距離が大きい領域ほど、水平弾性変形量  $\delta_h$  の影響によりパッドがパターンの凹部と接触しやすくなる。

しかしながら、こうした理論式によるパッドの弾性変形量は、パッドの表面極小部で弾性変形が生ずることなどの理由から、パッドの厚さが及ぼす影響はほとんどないと思われる。

### 4.2 溝付き硬質パッドの開発

図 8 (a) は、弾性体の “Indentation” 理論に基づき試作した溝付き硬質パッドの表面構造と仕様を示す。パターン形状によるパッドの弾性変形量を極小化するため、パッ

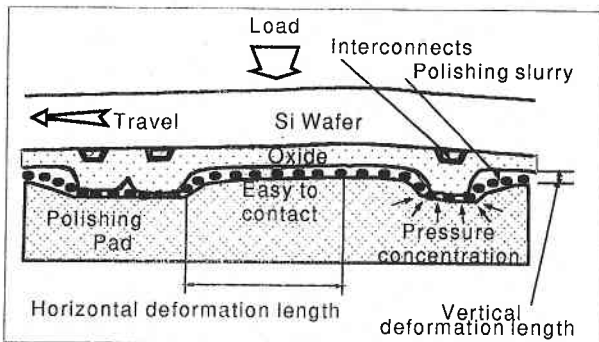


Fig. 6 Deflection of pad elastically deformed by instantaneous pattern topography

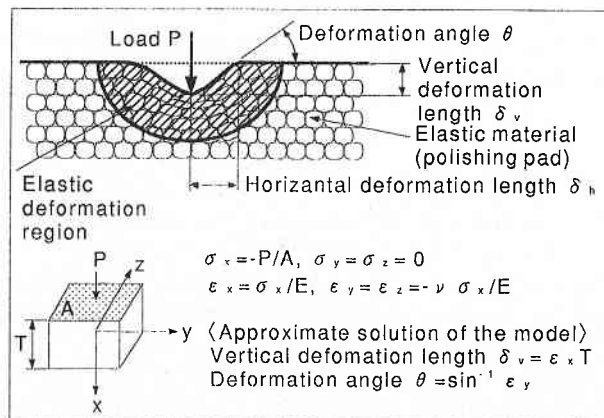


Fig. 7 Schematic of "Indentation" of the elastic body

ドのヤング率  $E$  を大きくした硬質パッドに着目した。また前述したように硬質パッドの場合、パッドの表面極小部でのみ弾性変形が生ずるため、パッドの厚さが及ぼす影響はほとんどないと思われる。これが硬質パッドの開発に至った経緯である。試作した硬質パッドの主な仕様として、まず材質はヤング率  $E$  が  $5000\text{N/mm}^2$  (従来の軟質パッドのものより数百倍) である塩化ビニールを用いた。この弾性変形しにくい有機変形しにくい有機高分子材料を、直径  $480\text{mm}$ 、厚さ  $12\text{mm}$  のディスク状にすることより、ほとんど変形しないパッドを試作することができた。さらに、スラリの均一な分布を促すため、幅  $0.5\text{mm}$  およびピッチ (間隔)  $2\text{mm}$  の逆三角形の溝を同心円状に形成した。こうして試作した溝付きパッドを用いたデバイスウェハのプラナリゼーションの様子は図 8 (b) のように予想できる。

## 5. 実験結果

### 5.1 実験方法

弾性体の “Indentation” 理論に基づいて試作した溝付き硬質パッドを均一表面除去ポリシング装置に適用して、デバイスウェハのプラナリゼーションの可能性を試みた。まず実験に用いた試料は、凹凸段差が  $0.6\mu\text{m}$  であるシリコン基板上に CVD 酸化膜を厚さ  $0.8\mu\text{m}$  を均一に蒸着したため、酸化膜の凹凸段差も  $1\mu\text{m}$  となっているものである。試作したポリシング装置による加工条件は、太陽歯車の回転数  $10\text{rpm}$ 、工具定盤の偏心小円半径  $10\text{mm}$ 、回転数  $50\text{rpm}$ 、加工圧力  $1.5\text{N/cm}^2$  である。スラリー (ポリシ剤) としては、均一表面特性が優れた超微粒子  $\text{SiO}_2$  の懸濁液 (WS1001 :  $\text{SiO}_2 21\text{vol}\%$ ,  $\text{pH} 10.2$ , 比重  $1.01$ , 粘度  $36\text{cps}$ , 平均粒子径  $10\text{-}20\text{nm}$ ) を溝付き硬質パッドに供給しながら

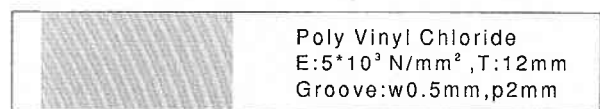


Fig. 8(a) View of Grooved hard polishing pad and specifications for model-1

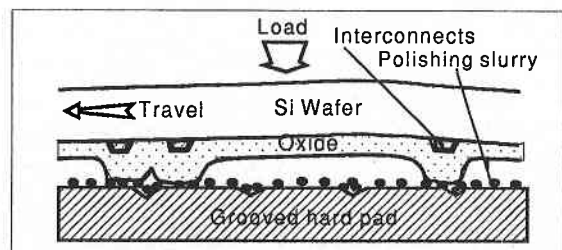


Fig. 8(b) Estimated schematic of planarization using Grooved hard pad

研 究 速 報

一定時間加工を行った。また、実験結果は、加工表面の状態をビデオマイクロスコープ (0VM1000NM, オリンパス (株) 製) で、残留段差を触針式の表面粗さ計 (サーフテスト701, (株) ミットヨ製) でそれぞれ評価した。

5.2 ローカル・プラナリティ

図9は、大小疎密なパターンに対するプラナリゼーションの様子を示す。ポリシング前の初期段差が $0.6\mu\text{m}$ である凸部の形状は、両辺 $100\mu\text{m}\times 100\mu\text{m}$ のものが相対的に離れている反面、 $20\mu\text{m}\times 1000\mu\text{m}$ の細長いものは密集している構成を有する。表面から $0.5\mu\text{m}$ 程度除去された時の断面プロファイルを測定した結果、パターンの形状が疎密であることにもかかわらず、理想的な凸部のみを選択的均一表面除去が行われたことが証明された。また、チップ面内の残留段差バラツキが $20\text{nm}$ 以下、ウェハ全面の残留バラツキが $40\text{nm}$ 前後となり、現在要求されるプラナリティを上回る結果であることが注目される。これはパターン形状に応じて、開発した溝付き硬質パッドが殆んど変形しない (Insensitivity to pattern topography) ためであると思われる。さらに加工が進行することにより、完全にフラットな平坦面を得ることができた。つまり、本実験を通じて大小疎密な凹凸パターンを有するデバイスウェハのプラナリゼーションには、試作した溝付き硬質パッドの有効

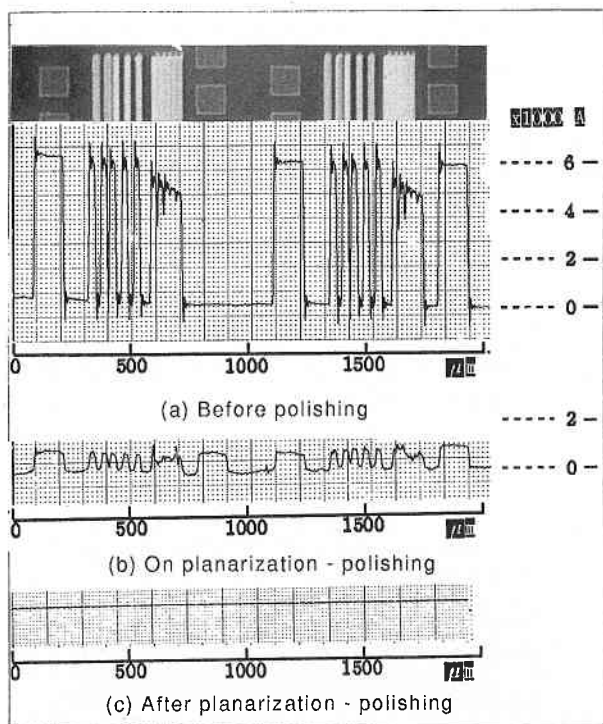


Fig. 9 Insensitivity to pattern topography using grooved hard pad

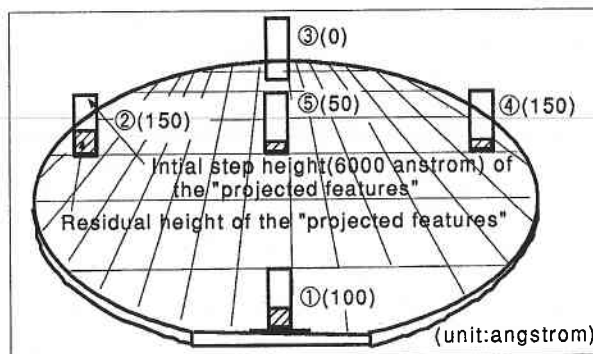


Fig. 10 Uniform global planarization using Grooved hard pad

性が十分存在することを明らかにした。

5.3 グローバル・プラナリティ

デバイス製造時の歩留りを考慮すると、チップ内部のみではなく、ウェハ全面のグローバル・プラナリゼーションも同時に実現しなければならない。現在、デバイスメーカーが要求する残留段差バラツキは $0.1\mu\text{m}$ 以下であるが、今後の256MビットDRAMなどの超々LSIを考えると、要求精度はより厳しくなると思われる。図10は、均一表面除去ポリシング装置に試作した溝付き硬質パッドを適用してプラナリゼーション終点まで行った結果、ウェハ全面にわたって $15\text{nm}$ 程度まで残留段差バラツキを抑え、初期段差に対して3%以下のプラナリティを実現した。

6. お わ り に

本研究は、次世代LSIデバイスの開発のために不可決であるプラナリゼーションを実現するため、機械的加工法の中で最も有望な手段として知られているメカノケミカルポリシング法を中心に加工原理、工具の開発、その効果などについて述べた。その結果、著者らにより独創的に考案開発された本加工方法が、完全なグローバル・プラナリゼーションを実現できる有力な技術であることを実験を通じて明らかにした。 (1994年9月16日受理)

参 考 文 献

- 1) M.B. Small, D.J. Pearson : On-chip wiring for VLSI; Status and direction, IBM Journal of research and development, vol. 34 No. 6 Nov, (1950)
- 2) H. Jeong et al : Techniques for planarization of VLSI device wafers - Proceedings of 1st International ABTEC Conf, Seoul, Korea, Nov. 1-3, 1993, 80
- 3) 丁 海島ら : LSI デバイスウェハのプラナリゼーション加工 (第3報), 1993年度精密工学会学術講演会秋季大会講演論文集 365 (1993,9)