

修士論文

ワイヤレスセンサネットワーク用 極低消費電力 CMOS 無線回路に 関する研究

平成 20 年 2 月 4 日

指導教官 藤島 実 准教授

東京大学大学院 工学系研究科
電子工学専攻 37-66475

高野 恭弥

目次

第1章	序論	1
第2章	Brain-Computer Interface 用パルス通信システム	
2.1	はじめに	6
2.2	システム的设计	
2.2.1	通信規格及び通信方式の検討	8
2.2.2	多重化の検討	9
2.2.3	変調方式の検討	13
2.2.4	構成要素の検討	13
2.3	回路的设计	
2.3.1	送信機と受信機の回路構成	18
2.3.2	スイッチ回路	20
2.3.3	非反転増幅回路	20
2.3.4	電流変換回路	25
2.3.5	シュミット・トリガ回路	27
2.3.6	電流変換回路とシュミット・トリガ回路による動作	29
2.3.7	周波数分周器	31
2.3.8	パルスジェネレータ	34
2.3.9	送信機の消費電力	36
2.3.10	受信機	37
2.4	チップの試作	41
2.5	まとめ	42

第3章	パルス注入同期型周波数通倍器	
3.1	はじめに	43
3.2	パルス注入同期型周波数通倍器	44
3.2.1	基本となるインジェクションロック動作	45
3.2.2	パルス入力によるスプリアスパワーの抑制	48
3.3	測定結果	53
3.4	まとめ	56
第4章	結論	57
謝辞		58
参考文献		59
本研究に関する発表		62

第1章 序論

近年、ワイヤレスセンサネットワークが注目を集めている。ワイヤレスセンサネットワークとは、無線通信デバイスを持つセンサを多数設置してそれらをネットワークで結び、設備の管理や環境の観測などに役立つシステムのことである。図 1.1 にワイヤレスセンサネットワークの概念図を示す。

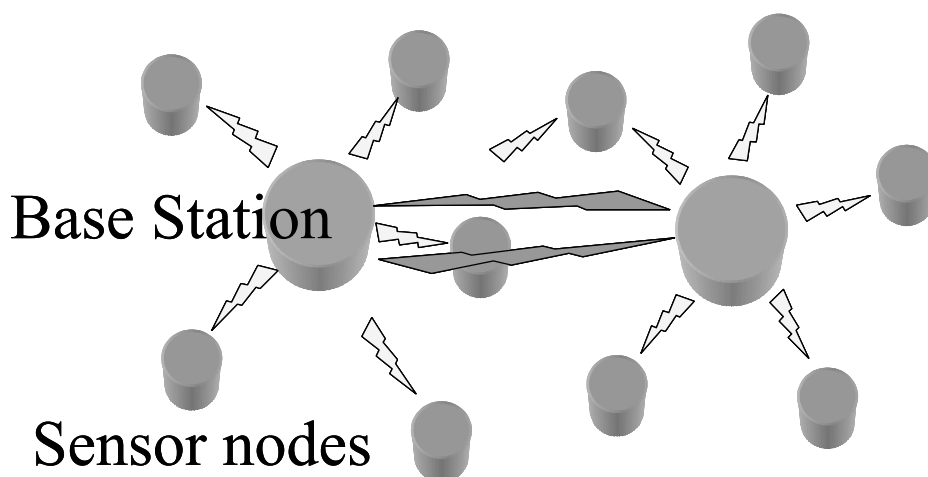


図 1.1 ワイヤレスセンサネットワークの概念図

ワイヤレスセンサネットワークは多数のセンサノードと、それらの情報を集積するベースステーションによって構成される。有線式からワイヤレスになることによって、配線の複雑さから生じる工事の期間やコストが削減できるだけでなく、これまでセンサを設置しにくかった場所にも容易にネットワークを構築できるようになる。そのため、一般のオフィスや家庭などのより身近な場所へ、センサネットワークの活躍の場を広げられる。ビルに温度や照度のセンサを設置して、空調や照明を自動的に制御することで光熱費を削減したり、道路や自動車にセンサを備えることによって、交通量に応じて自動車のスピードを制御したりと、従来工場などの特殊な場所で利用されていたセンサネットワークが生活の中に入り込んでくることが考えられる。図 1.2 にセンサネットワークのアプリケーションの例を示す。

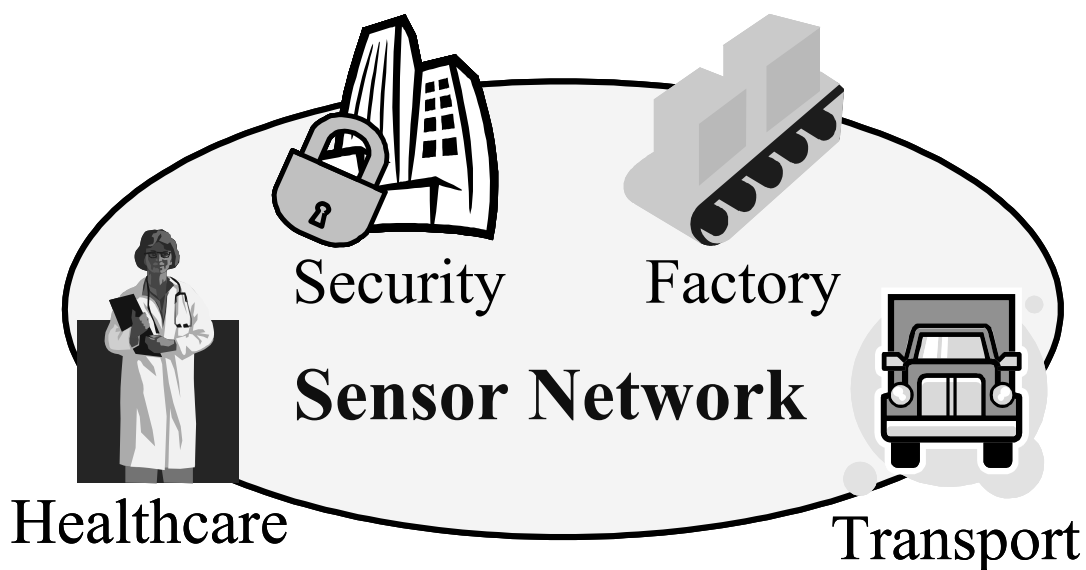


図 1.2 センサネットワークのアプリケーションの例

ワイヤレスセンサネットワークは医療やセキュリティーシステムなど、さまざまな分野での応用が期待されている。

ワイヤレスセンサネットワークに用いられる無線トランシーバには、低消費電力、低雑音、低価格であることが求められる。

低消費電力である必要があるのは、無線トランシーバがバッテリーによって駆動されるためである。ワイヤレスセンサネットワークに用いられるセンサは数年にわたって動作し続ける必要があり、バッテリーの寿命を延ばすためには無線トランシーバの低消費電力化が非常に重要である。図 1.3 に、電圧 1.5V、容量 2.6Ah、リーク電流 30 μ A の単三型アルカリ電池を使用したときの、平均消費電力とバッテリー寿命の関係を示す[1]。

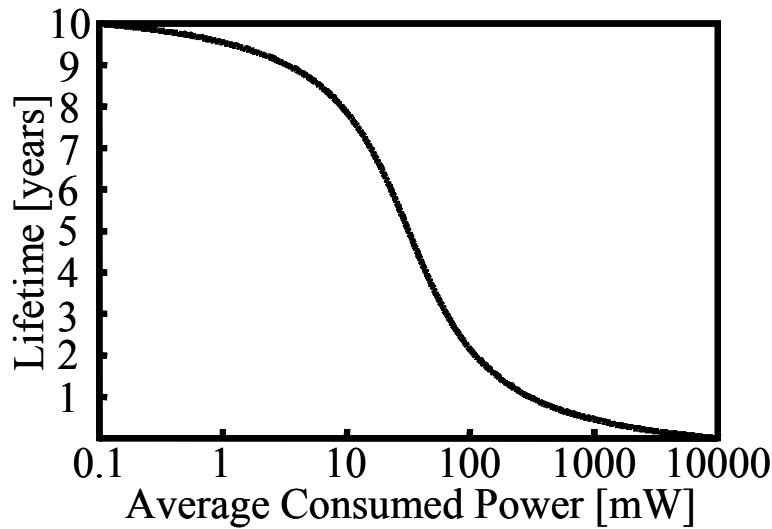


図 1.3 平均消費電力とバッテリー寿命の関係

この図 1.3 から、バッテリー寿命数年を実現するためには、平均消費電力が数百 μ W 以下である必要があることがわかる。また、無線トランシーバの低消費電力化はバッテリーサイズの小型化にも繋がり、より小さなセンサノードを作るためにも重要である。

低雑音である必要があるのは、雑音が通信品質を決定するためである。通信品質は信号(Signal)と雑音(Noise)の比率によって表現される。これを信号対雑音比(SNR)と言う。SNR は以下の式で定義される。

$$SNR = \frac{P_{Signal}}{P_{Noise}} = \left(\frac{A_{Signal}}{A_{Noise}} \right)^2 \quad (1.1)$$

P は電力、 A は振幅の実行値を示す。雑音の大きな無線トランシーバで通信するためには出力パワーを大きくする必要があるため、低雑音化は低消費電力化にも繋がり、重要な課題である。

低価格である必要があるのは、センサネットワークは多数のセンサノードを用いるため、センサ 1 つ当たりの価格を低くしなければ実用的でないからである。低価格化を実現するためには無線トランシーバのチップ面積を小さくする必要がある。それは、LSI の価格がチップ面積に比例して高くなるからである。

このように、無線トランシーバの低消費電力化、低雑音化、低価格化が重要であるが、本研究では特に低消費電力化の実現に着目する。

現在商品化されている、ワイヤレスセンサネットワークに用いられている無線トランシーバには主に、Bluetooth (IEEE 802.15.1)、UWB (IEEE 802.15.3)、Zigbee (IEEE 802.15.4) の 3 つの規格が用いられている。Bluetooth は 10m~100m の距離で 1Mbps の通信速度を実現する無線通信規格であり、現在商品化されている無線トランシーバの消費電力は百数十 mW である。UWB は 10m 程の距離で 100Mbps 以上の高速通信を実現する無線通信規格であり、現在商品化されている無線トランシーバの消費電力は 100mW 程である。Zigbee は数十 m の距離で 250kbps の通信速度を実現する無線通信規格であり、現在

商品化されている無線トランシーバの消費電力は数十 mW である。このように、どの規格に用いられている無線トランシーバもバッテリー寿命数年を実現するには程遠く、消費電力数百 μW の極低消費電力化を実現するためにはブレイクスルーが必要である。

そこで、本研究ではワイヤレスセンサネットワーク用無線回路の極低消費電力化の実現を目標とし、2つのアプローチ手法によって研究を行った。本研究の目標とそれに対するアプローチ手法をまとめた図を図 1.4 に示す。

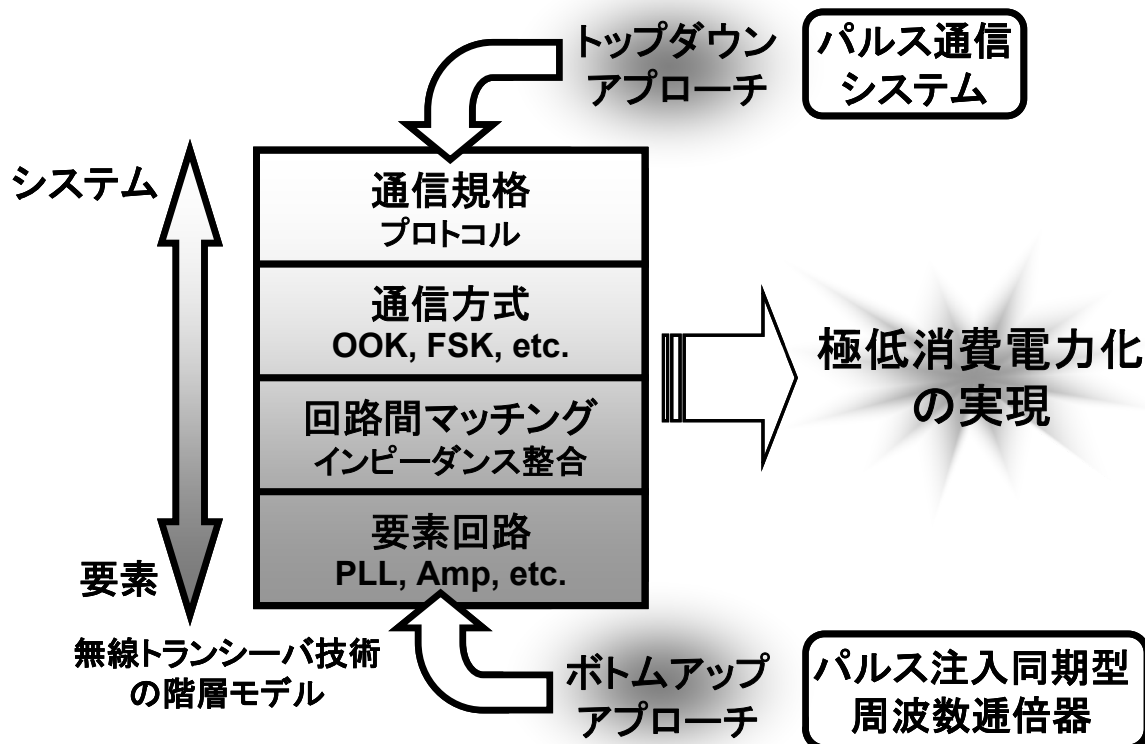


図 1.4 本研究の目標とアプローチ手法

無線トランシーバ技術を階層モデルで表すと、要素レベル側から、「要素回路」、「回路間マッチング」、「通信方式」、「通信規格」と、システムレベル側へ4つに分けられると考える。無線回路の極低消費電力化を実現するためにはこの4つの階層全てを最適化しなければならない。

そこで、1つ目のアプローチはシステムレベル側からのトップダウン方式で極低消費電力化を試みる。ここでは、322MHz以下の微弱無線局の周波数帯を用いて通信規格の制約を無くし、パルス通信によって無線回路の低消費電力化を実現する。そのために、パルス通信システムの設計を行った。詳細は第2章で説明する。

2つ目のアプローチは要素レベル側からのボトムアップ方式である。ここでは、無線回路の最も重要な構成要素である周波数シンセサイザ(PLL: Phase-locked loop)の低消費電力化を実現する。そのために新しくパルス注入同期型周波数逓倍器を提案した。詳細は第3章で説明する。

これら2つの研究はCMOS技術を用いて実現する。これまで一般的な無線トランシーバの送受信部

には、ガリウム砒素などの化合物半導体やバイポーラ素子が用いられる場合が多かった。CMOS が使われてこなかった理由としては、アナログ回路に関して CMOS の特性は化合物半導体やバイポーラ素子よりも劣ること、さらには回路の持つ寄生抵抗および寄生容量のために消費電力が大きくなってしまふことなどがあげられる。しかし、CMOS プロセスの微細化により CMOS 特性が向上してきているため、CMOS で RF フロントエンドを実現することが可能となってきた。一般的な無線トランシーバのブロック図を図 1.5 に示す。

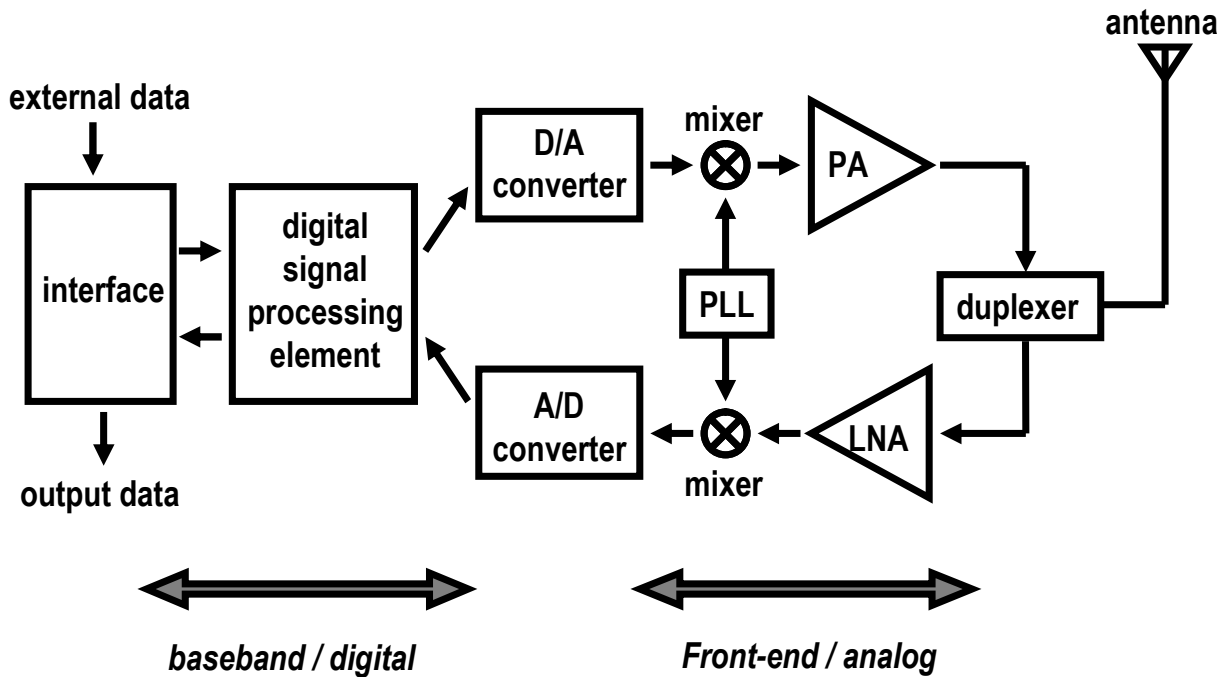


図 1.5 一般的な無線トランシーバのブロック図

ベースバンド部の回路はデジタル回路であり、低消費電力動作が可能であり集積度やコストの面でも優れているという理由から CMOS 技術を用いて構成される。従って、CMOS 技術を用いてフロントエンド部も構成することができれば 1 チップで無線トランシーバを構成することも可能となり、システムの小型化や低消費電力化を実現することができる[2]-[4]。そのため、CMOS 技術は低消費電力化の重要なキーワードである。

第 2 章と第 3 章で 2 つのアプローチによる無線回路の低消費電力化の詳細を述べた後、第 4 章で結論を述べ、本研究のまとめを行う。

第2章 Brain-Computer Interface 用 パルス通信システム

2.1 はじめに

ワイヤレスセンサネットワーク用無線回路の低消費電力化をシステム側からのアプローチで実現するに当たって、具体的なアプリケーションを想定する。ここではアプリケーションとして Brain-Computer Interface 用無線通信システムを考える。

Brain-Computer Interface (BCI) とは、脳からの信号を直接コンピュータの入力に用いるインタフェースのことである。BCI を用いることによって、手足を失った人が考えただけで義手義足を動かせるようになったり、筋萎縮性側索硬化症患者のような残存機能の少ない人がコンピュータを通じて容易にコミュニケーションを取れるようになると期待されている。また、脳活動の計測技術は脳疾患を発見する上でも非常に重要である。そのため、近年、BCI が障害者支援目的、医療支援目的として注目を集めている。図 2.1 に BCI の利用例を示す。

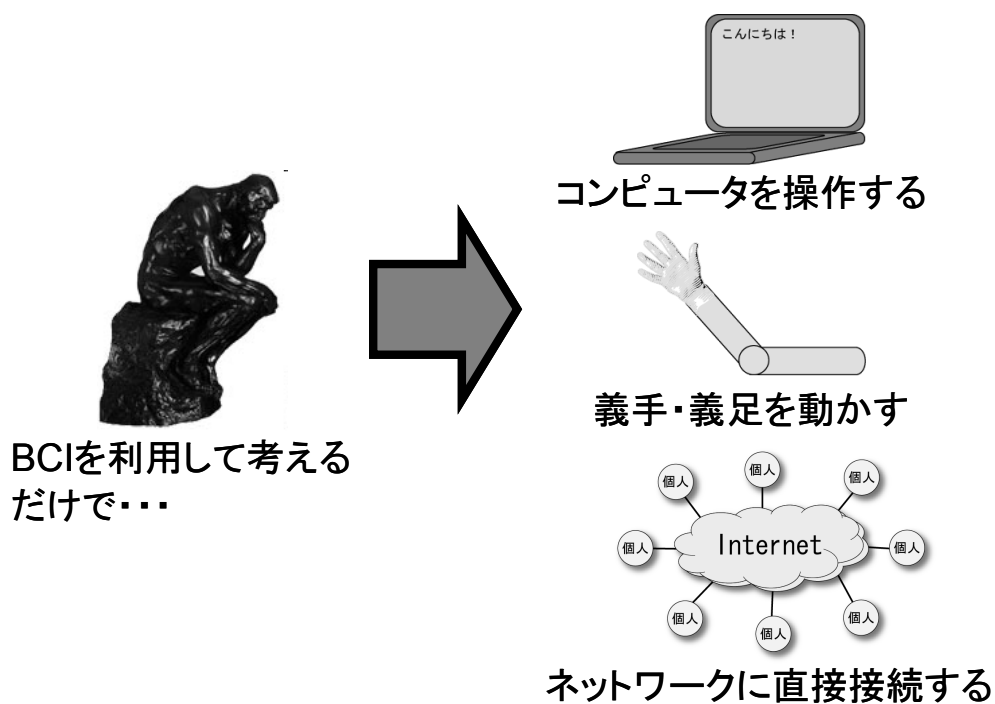


図 2.1 BCI の利用例

BCI には脳皮質内埋め込み型と頭皮装着型がある。ここでは非侵襲的かつ容易に利用できることを考えて頭皮装着型を採用する。頭皮装着型 BCI は脳波(EEG: Electroencephalogram)を信号源として利用している。

これまでの頭皮装着型 BCI は帽子に取り付けられた電極から配線が伸び、それらが束となってコンピュータに入力されていた(図 2.2)[5]。



図 2.2 これまでの BCI の複雑な配線の様子

このような配線があると、体の動きが制限され、BCI を体の一部のように使用することは困難である。この問題を解決するためには BCI の無線化が必要である。つまり、脳波検出用センサを無線化し、ワ

イヤレスセンサネットワークによってコンピュータに脳波情報を送信するのである。図 2.3 に提案する BCI の無線化のイメージ図を示す。

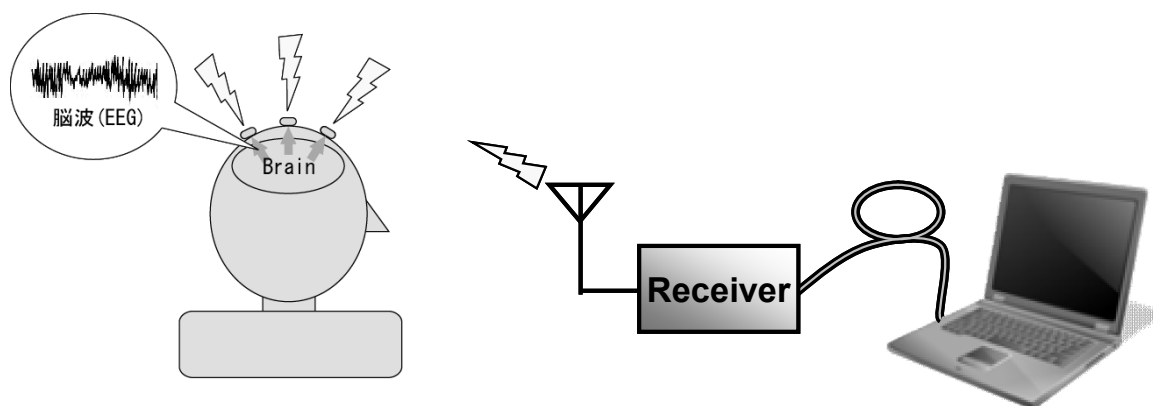


図 2.3 BCI の無線化のイメージ

BCI の無線化にも序論で述べた低消費電力化が重要となってくる。これまで、BCI 用センサのフロントエンドの低消費電力化については有線のもので報告されているが[6]-[8]、無線のもので報告はほとんどない。そこで、BCI 用無線通信システムの低消費電力化をシステム側からのアプローチで実現する。

2.2 システムの設計

2.2.1 通信規格及び通信方式の検討

提案する BCI 用無線通信システムは、脳波検出用センサと、センサからの電波を受信するレシーバによって構成される。また、センサは脳波を検出する電極と送信機によって構成される。

システムの低消費電力化を実現するためには通信規格はできるだけシンプルな方が良い。そのため、電界強度以外に無線通信に関する規格が無い微弱無線局の範囲を用いることを考える。微弱無線局の 3m の距離における電界強度の許容値を図 2.4 に示す[9]。

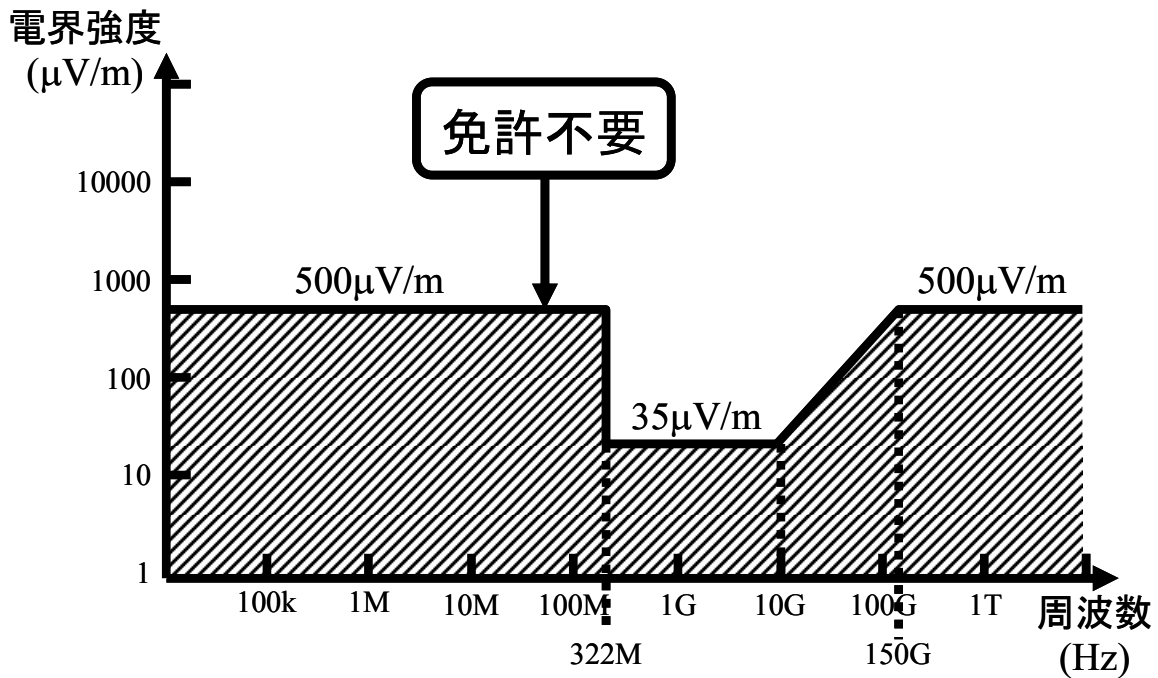


図 2.4 微弱無線局の 3m の距離における電界強度の許容値

図 2.4 の斜線部分が免許無しで使用できる範囲である。免許がいらぬ為、微弱無線局はどのような形式でどのようなデータを送るのか、全て自由に設定できる。微弱無線局のデメリットは、放射する電波が微弱なため、近距離での無線通信となってしまふことである。そこで、通信方式にパルス通信を採用する。パルスのスペクトルは広い周波数帯域に渡っているため、エネルギースペクトル密度が小さい。そのため、微弱無線でも大きなパワーを送信することができる。さらに、パルスは信号を出すために電力を必要とする時間が少ないという特徴を持つ。また、パルス通信は搬送波を用いないので、簡単な回路構成で実現でき、低消費電力化を実現できる。よって、微弱無線を用いたパルス通信システムを採用する。

2.2.2 多重化の検討

EEG を分析するためには頭の複数箇所での測定を行う必要があるため、センサは複数個必要である。そのため、複数のセンサが同時に通信してもレシーバで分離できるように多重化を行わなければいけない。パルス通信で多重化を行うために、符号分割多重接続(CDMA: Code division multiple access)を行う。CDMA とは、同一の周波数において各送信機に異なる符号を割り当て、多元接続を行う方法である。その符号を拡散符号と言う。CDMA によってスペクトルが広帯域に広がる。図 2.4 に CDMA の概念図を示す。

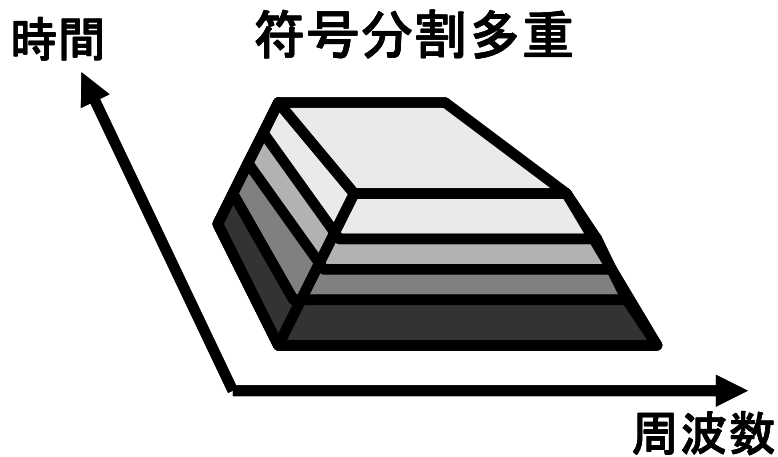


図 2.4 CDMA の概念図

パルス通信で CDMA を行うために、パルスをチップ列で表現し、チップ列に拡散符号を用いる。チャンネル数がそれほど多くない場合は、Walsh 符号を拡散符号に用いる。Walsh 符号とは互いに直交した符号であり、符号間干渉が無いいため多重化が可能である。Walsh 符号はアダマール変換によって生成され、互いに直交している。アダマール変換は次式で与えられる。

$$H_1 = [0] \tag{2.1}$$

$$H_{2n} = \begin{bmatrix} H_n & H_n \\ H_n & -H_n \end{bmatrix} \tag{2.2}$$

Walsh 符号で CDMA を行うためには普通全てのチャンネルで同期が取れていなければならない。しかし、パルス間隔が十分に長く、チップ間隔が十分に短ければ、各チャンネルの間に同期が取れていなくてもコリジョンが発生する確率は小さくなる。図 2.5 に送信パルスの波形を示す。

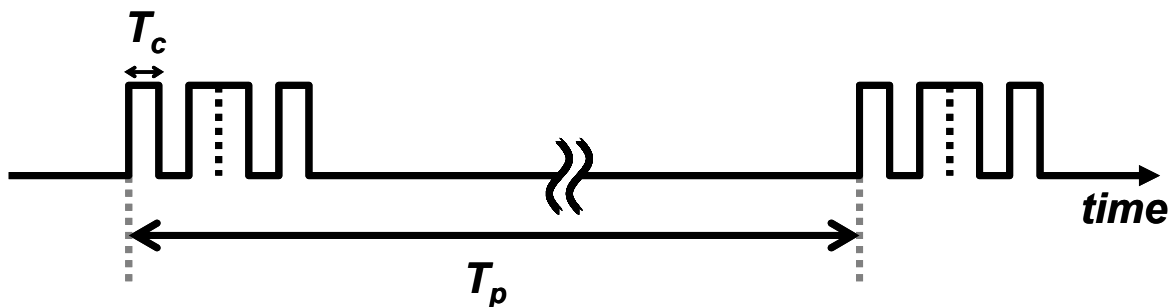


図 2.5 送信パルスの波形

パルス間隔を T_p 、チップ間隔を T_c 、拡散符号長を N_{sc} 、チャンネル数を N_{ch} とすると、コリジョンが発生

する確率 P_{col} は、

$$P_{col} = \frac{T_c}{T_p} \cdot N_{sc} \cdot N_{ch} \quad (2.3)$$

で表される。EEG は周波数が非常に低く、パルス間隔を長くできるため、コリジョンがほとんど起こらない。拡散符号は受信側で同期を取って逆拡散する必要があるため、拡散符号をマンチェスター符号化し、チップ列そのものにクロック情報を乗せる。マンチェスター符号とは、クロックの立ち上がりや立下りで0や1を表現する方法である。図2.6にマンチェスター符号を図示する。

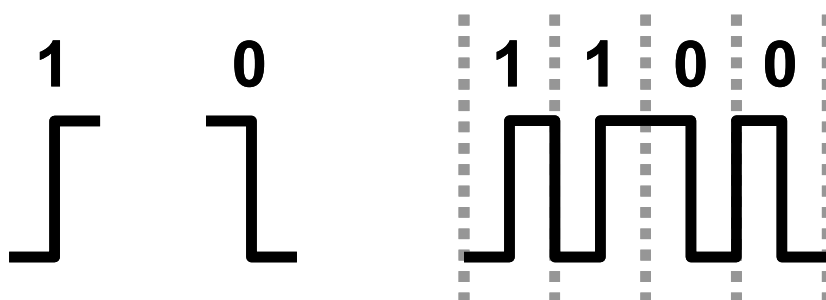


図 2.6 マンチェスター符号

マンチェスター符号は頻繁に立ち上がり立下りするので周波数成分が大きくなり、低周波雑音に強い。図2.7に Non Return to Zero (NRZ)信号と Manchester Code Modulation (MCM)信号の時間波形とスペクトルの比較を示す。図2.7より、マンチェスター符号は低周波成分を含まないことが分かる。そのため、低周波雑音の干渉を防ぐことができる。

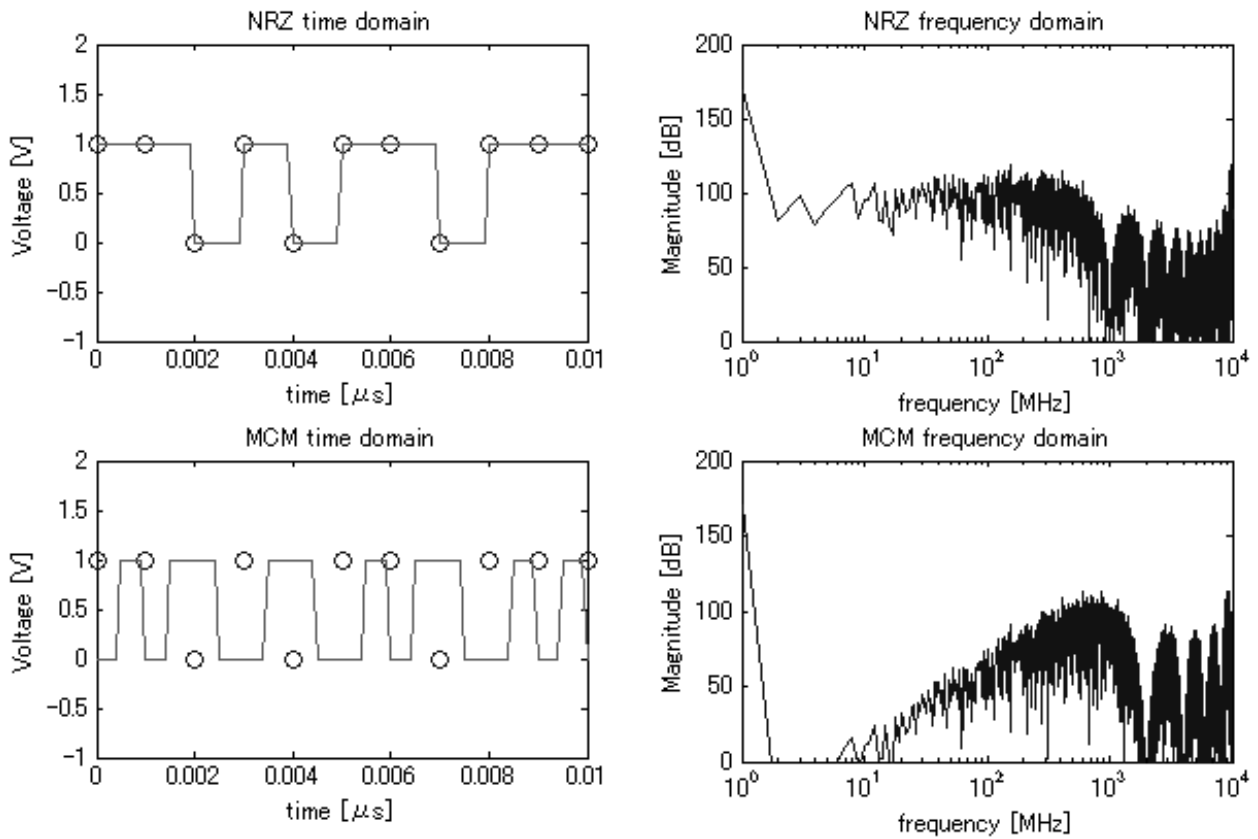


図 2.7 NRZ と MCM の時間波形とスペクトルの比較

また、受信機が拡散符号のクロックに同期するために、拡散符号の頭に 2bit の識別ビットを付加する。そのため、拡散符号は次のようになる。

$$N_{sc} = 2 \cdot (N_{ch} + 1) \quad (2.4)$$

EEG のサンプリング周波数を 10kHz、チップ・レートを 100MHz、チャンネル数を 8 とすると、拡散符号長は 18 となり、コリジョン発生確率は 1.4% である。しかし、チャンネル数が多い場合は頻繁にコリジョンが発生することになる。サンプリング周波数とチップ・レートを先ほどと同じにして、チャンネル数を 63 とすると、拡散符号は 128 となり、コリジョン発生率は 80.6% にもなる。この問題を解決するためには、チップ・レートを上げてコリジョンが発生する確率を下げるか、コリジョンが発生しても逆拡散ができるように相互相関の小さな拡散符号を用いるかの 2 つの方法がある。

後者に用いる拡散符号には Gold 符合[10]があり、それは同期の取れた 2 つのプリファードペアな M 系列の排他的論理和によって生成される。M 系列とは疑似ランダム系列(PN 系列)の一つであり、ある長さのシフトレジスタとフィードバックによって生成される符号系列のうち、その周期が最長になる系列をいう。 n をシフトレジスタの段数とすると、ビット長 L は、

$$L = 2^n - 1 \quad (2.5)$$

で表される。M 系列の中に、相互相関関数を 3 値 $\{-1, -t(n), t(n) - 2\}$ 持つものが存在し、この相互相関関数が最小となる M 系列の組をプリファードペアと呼ぶ。ただし、

$$t(n) = 1 + 2 \lfloor (n+2)/2 \rfloor \quad (2.6)$$

である。Gold 系列はプリファードペアの M 系列から生成されるため、相互相関が小さく、しかも M 系列よりも多くの系列数を実現できる。 $2^n - 1$ ビットの M 系列から Gold 系列を発生させるので、元となる 2 種類の M 系列を加えて、 $2^n + 1$ 通りの Gold 符号を得ることができる。この Gold 符号を用いてスペクトル拡散を行い、受信機で自己相関を取ることによって、コリジョンが発生していても欲しいチャンネルの信号を得ることができる。

2.2.3 変調方式の検討

EEG の情報をパルスで送信するために、パルス間隔変調(PIM: Pulse Interval Modulation)を用いる。パルス間隔変調とは、振幅をパルスの時間間隔に変調する方式である。図 2.8 にパルス間隔変調の概念図を示す。

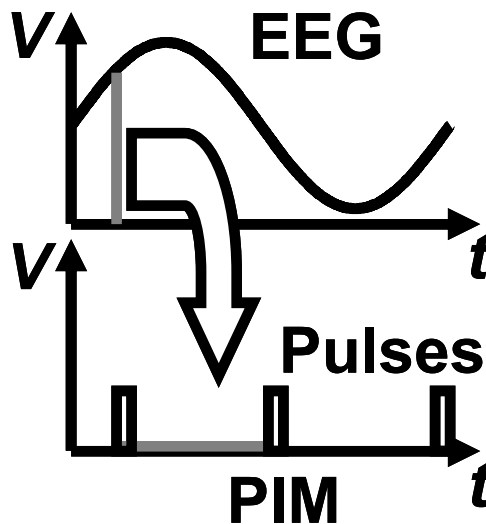


図 2.8 パルス間隔変調

パルス間隔変調は信号の減衰変動に強いという特徴を持つ。

2.2.4 構成要素の検討

EEG の周波数は数 Hz から数十 Hz、電圧振幅が数 μV 、電極の入力インピーダンスは数十 $\text{k}\Omega$ から数百 $\text{k}\Omega$ である。EEG の電圧振幅が数 μV から数百 μV であるため、脳波を検出するためには 100dB 程度の増幅率を持つ増幅器が必要になる。その際、EEG の周波数が数十 Hz 以下であるため、増幅器の MOSFET が発生するフリッカ雑音に注意しなければならない。

フリッカ雑音とは $1/f$ 雑音とも呼ばれ、次のようなメカニズムによって生じる。MOSFET のゲート酸化膜とシリコン基板の間の界面には多数のダングリングボンド(図 2.9)による過剰なエネルギー状態が生じている[11]。

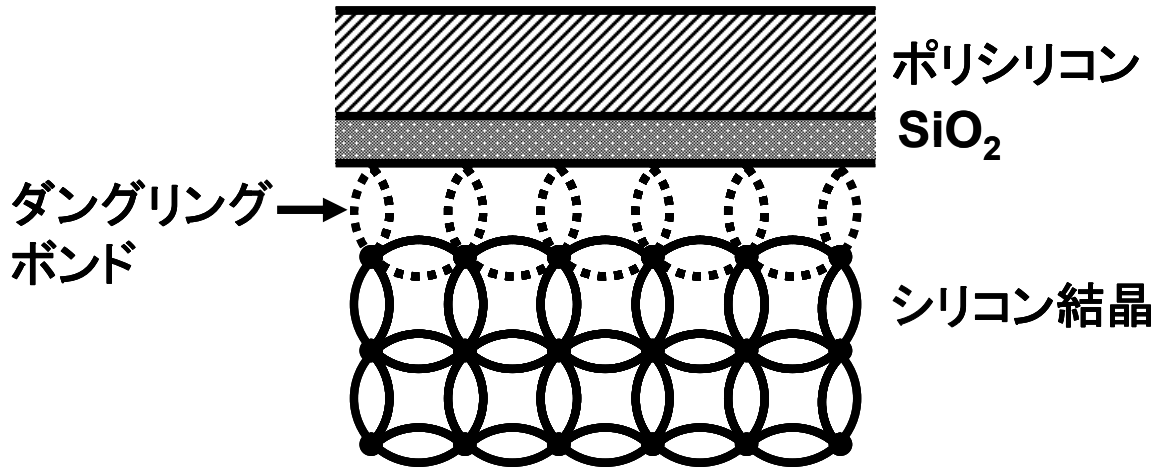


図 2.9 酸化膜-シリコン界面におけるダングリングボンド

キャリアは界面を移動するので、そのうちのいくつかが不規則にエネルギー状態にトラップされ、また放出される。この結果、フリッカ雑音がドレイン電流に発生する。フリッカ雑音はゲート電極に直列な電圧源でモデル化され、大まかには次式で与えられる。

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (2.7)$$

ここで、 K はプロセスに依存した定数で、 $10^{-25} V^2 F$ のオーダーである。また、 C_{ox} は単位面積あたりのゲート容量、 W はゲート幅、 L はゲート長、 f は周波数である。この表記は 1Hz の帯域幅を仮定している。式(2.7)のように、雑音スペクトル密度は周波数に反比例している。このため、フリッカ雑音は $1/f$ 雑音とも呼ばれる。フリッカ雑音と熱雑音の交点を $1/f$ 雑音のコーナ周波数と呼ぶ。熱雑音電流は次式で表される。

$$\overline{I_{n,th}^2} = 4kT \left(\frac{2}{3} gm \right) \quad (2.8)$$

ただし、 k はボルツマン定数で、 T は絶対温度、 gm はトランスコンダクタンスである。そのため、コーナ周波数 f_c は、

$$\overline{I_{n,th}^2} = \overline{V_n^2} \cdot gm^2 \quad (2.9)$$

より、

$$f_c = \frac{K}{C_{ox}WL} gm \frac{3}{8kT} \quad (2.10)$$

で表される。この結果から、サブマイクロトランジスタでは $1/f$ コーナ周波数は 500kHz から 1MHz 付近の値となる。フリッカ雑音におけるコーナ周波数の概念を図 2.10 に示す。

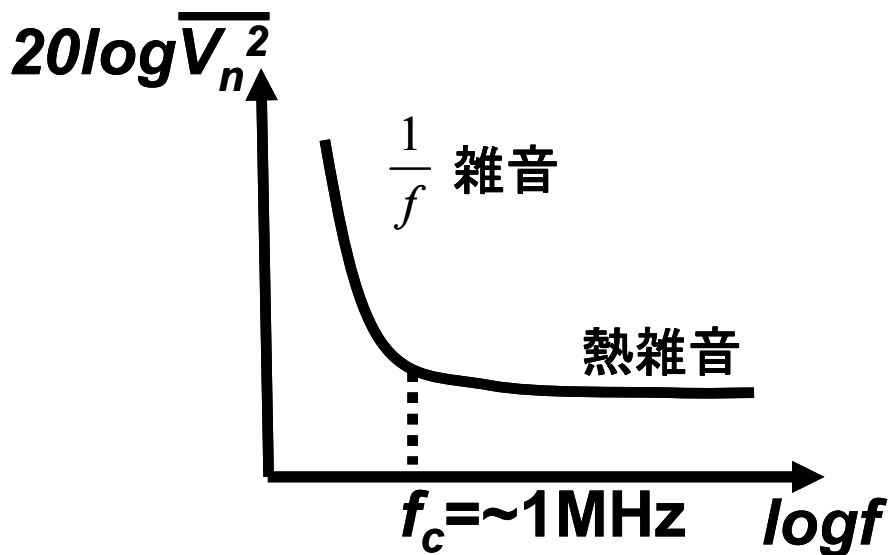


図 2.10 フリッカ雑音におけるコーナ周波数の概念

$1/f$ コーナ周波数が 1MHz 以下であることから、EEG をそのまま増幅器で増幅したのではフリッカ雑音に埋もれてしまう。これを防ぐため、チョップ・スタビライゼーション技術を用いる[12]。図 2.11 にチョップ・スタビライゼーション技術の概念図を示す。

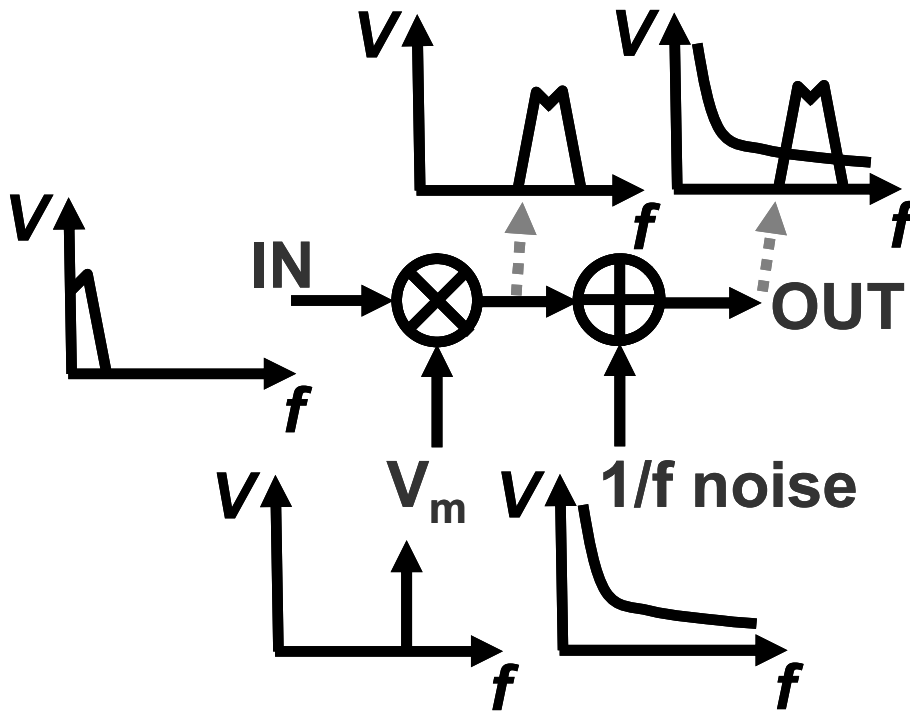


図 2.11 チョップ・スタビライゼーション技術の概念図

チョップ・スタビライゼーションでは、始めに入力信号を周波数変換ミキサによって、フリッカ雑音のコーナ周波数よりも高い周波数に変調する。そのため、信号がフリッカ雑音に埋もれることなく増幅することができる。

次に、増幅した EEG をパルス間隔変調するために、EEG の電圧を電流に変換してキャパシタで時間積分し、キャパシタの電圧が閾値を超えたらパルスを発生させる。このとき、周期的雑音の影響を減らすために二重積分方式を用いる。二重積分方式とは、基準電圧 V_{ref} の極性を変えてキャパシタの充電と放電を行い、充電時間と放電時間を用いた比の形で電圧振幅を表現する方式である。充電時の電圧と放電時の電圧はそれぞれ次のように表される。

$$\text{充電： } V_{in} + V_{ref} \tag{2.11}$$

$$\text{放電： } V_{in} - V_{ref} \tag{2.12}$$

キャパシタの充電時間を τ_1 、放電時間を τ_2 とすると、

$$\int_0^{\tau_1} (V_{in} - V_{ref}) dt = -\int_0^{\tau_2} (V_{in} - V_{ref}) dt \tag{2.13}$$

より、

$$\frac{V_{in}}{V_{ref}} = \frac{-\tau_1 + \tau_2}{\tau_1 + \tau_2} \quad (2.14)$$

の関係が得られる。(2.14)のように、パルス間隔時間の比によって電圧振幅を表現するため、周期的雑音に強くなる。二重積分方式の概念図を図 2.12 に示す。

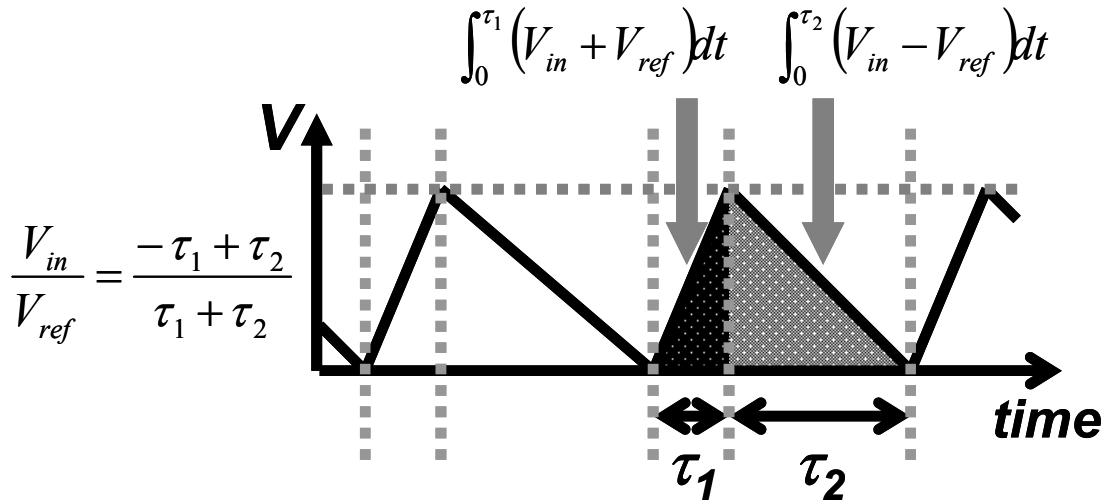


図 2.12 二重積分方式の概念図

二重積分方式により得られた波形をデジタル波形に変換するためにシュミット・トリガ回路を用いる。シュミット・トリガ回路は V_{th} と V_{hl} の 2 つの閾値を持ち、入力電圧が V_{th} を超えると出力が high になり、 V_{hl} を下回ると low になると言うヒステリシス動作をする。図 2.13 にシュミット・トリガ回路の動作を示す。

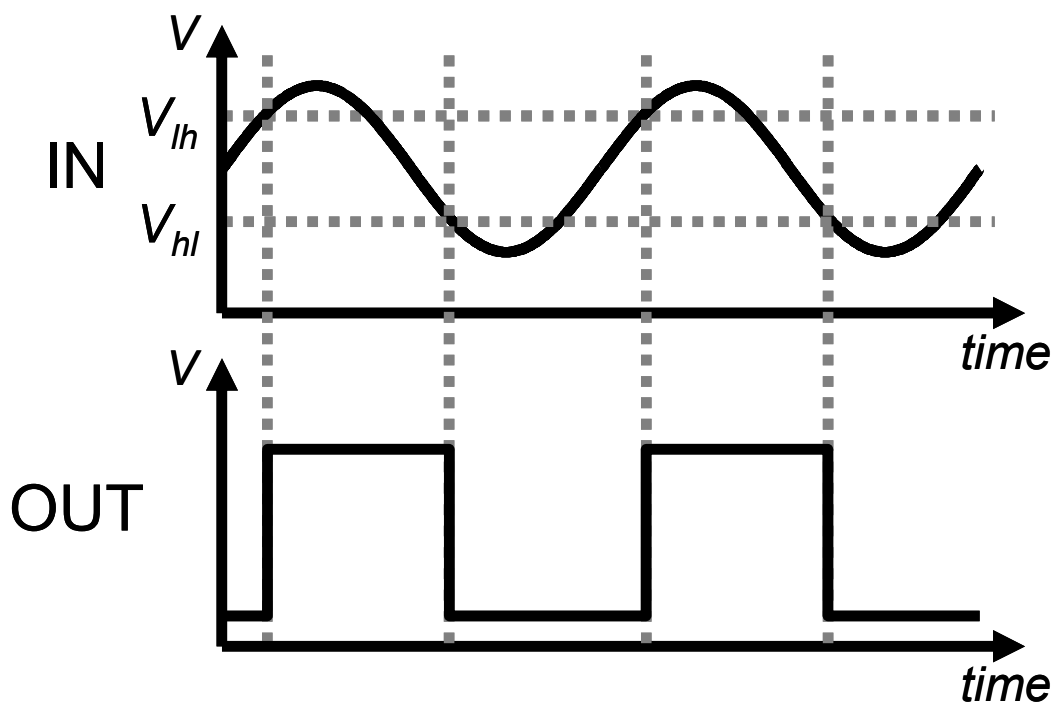


図 2.13 シュミット・トリガ回路の動作

受信機では、符号分割多重されたパルスを逆拡散し、パルス間隔変調された情報を復調しなければならない。しかし、受信機の電力は電源から供給されるので、消費電力を比較的多く取ることができることから、本研究では簡単のため、受信パルスを1ビットA/DコンバータによってA/D変換し、後の処理はコンピュータによって行う。

2.3 回路の設計

2.3.1 送信機と受信機の回路構成

以上の仕様を満たすために設計した送信機と受信機のブロック図をそれぞれ図 2.14、図 2.15 に示す。

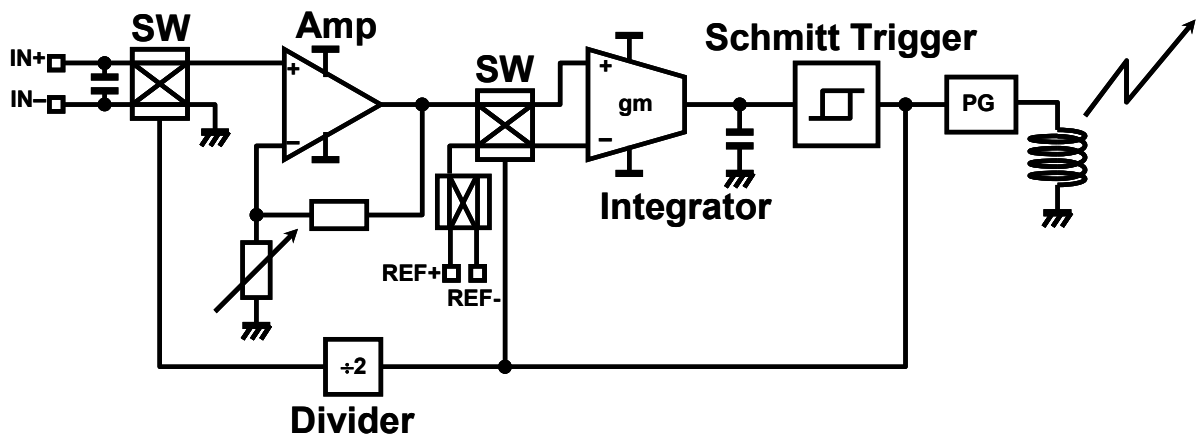


図 2.14 送信機のブロック図

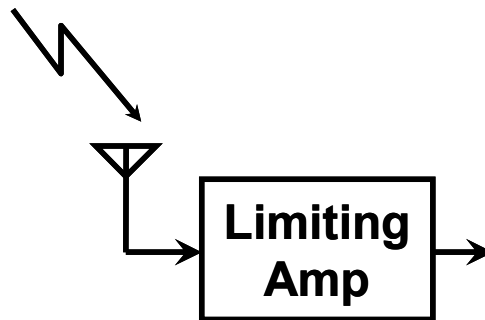


図 2.15 受信機のブロック図

送信機は、電極、スイッチ(SW)、増幅器(Amp)、電流変換回路(gm)、シュミット・トリガ回路(Schmitt Trigger)、周波数分周器(Divider)、パルス生成器(PG)、アンテナによって構成されている。送信機の動作を簡単に述べる。

IN+、IN-の2つの電極から EEG を差動入力し、スイッチによって IN+と IN-を切り替えて増幅器に入力する。これによってチョッパ・スタビライゼーションを行う。増幅器は非反転増幅器であり、2つのインピーダンスの比によって増幅率を決定する。増幅率は、電流変換回路でも増幅されることを考慮して、70dB 程に設定した。増幅器の出力は電流変換回路に接続されたスイッチに入力され、基準電位と切り替えることによって二重積分の積分電圧を作り出している。その電圧を電流変換回路によって電流に変換し、キャパシタで積分する。電流変換回路の増幅率は 30dB 程に設定した。そして、2つの閾値を持つシュミット・トリガ回路によって、電圧情報を矩形波の時間間隔に変換する。サンプリング周波数はおよそ 10kHz に設定した。その矩形波のエッジをパルス生成器によって読み取ることによって、パルス間隔で電圧情報を表現する。そのパルスは拡散符号を表したチップ列によって構成されている。チップ・レートは 100MHz に設定した。322MHz 以下の周波数を用いることによって、無免許で電界強度 500 μ V/m まで出力できることを狙った。シュミット・トリガ回路の出力は電流変換

回路の前のスイッチと、周波数分周器を介して増幅器の前のスイッチにも入力されている。周波数分周器は入力周波数の2分の1の周波数の波形を出力している。パルス通信による低消費電力効果に加え、各要素回路の低消費電力化も目指した。

受信機はリミティングアンプによって構成されている。受信したパルス信号をリミティングアンプによって増幅し、1、0の信号に変換する。その後コンピュータに入力し、逆拡散や復調はコンピュータで行う。

次に各構成要素の詳細を述べる。

2.3.2 スイッチ回路

図 2.16 にスイッチの回路図を示す。

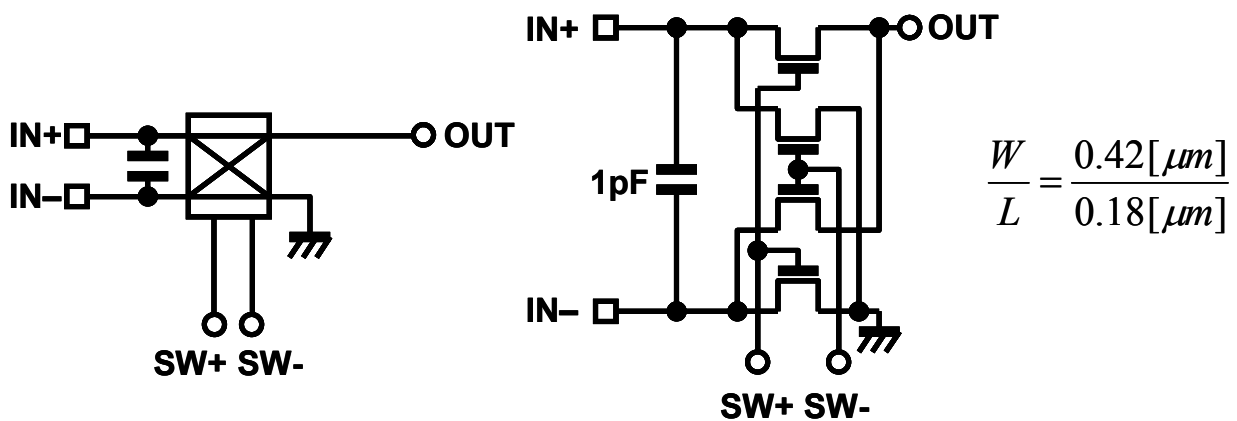
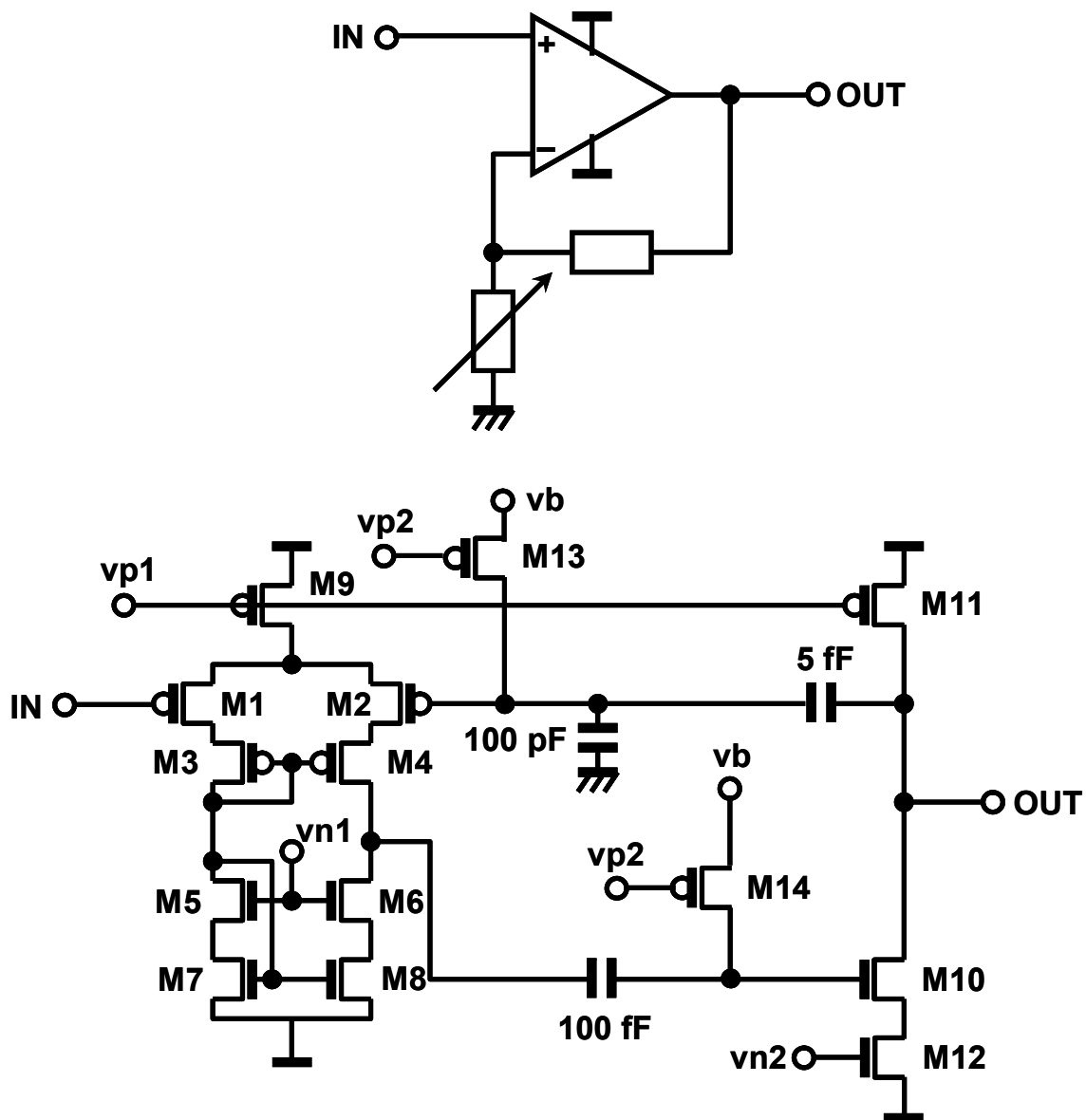


図 2.16 スイッチの回路図

スイッチは4つのnMOSスイッチによって構成されており、ゲートには周波数分周器からフィードバックされた差動信号SW+, SW-が入力される。SW+, SW-によってOUTにはIN+, IN-のどちらかの電圧が現れる。全てのnMOSのゲート長は0.18μm、ゲート幅は0.42μmである。IN+, IN-の間に挟まれているキャパシタはEEGの電圧振幅を電流で積分するために用いられている。

2.3.3 非反転増幅回路

次に、図 2.17 に非反転増幅器の回路図を示す。



	L [μm]	W [μm]
M1 ~ M8	0.5	1.38
M9 ~ M11	1	1.38
M12	2.68	1.38
M13, M14	2	1.38

図 2.17 非反転増幅器の回路図

非反転増幅器はオペアンプと 2 つのキャパシタによって構成した。回路構成図では増幅率が調節で

きるように可変インピーダンスを用いて設計したが、今回は簡単のため、2つの容量固定キャパシタによって増幅率を決定した。オペアンプは2段のカスコード型である。M9、M11は電流源であり、M13、M14はバイアス供給用の抵抗として用いている。また、M12はOUTのDC電圧を引き上げるためのMOS抵抗である。非反転増幅回路はフィードバックループを用いてデバイスパラメータの変動に対して強くするのだが、この回路は設計ミスによりフィードバックが掛かっている。本来はM2のゲートにINを入力し、M1のゲートにフィードバックを掛けるべきである。

図 2.18 に設計を誤った非反転増幅器の周波数特性のシミュレーション結果を示す。シミュレーションはAgilent社のAdvanced Design Systemを用いて行った。以下のシミュレーション結果は全て同様である。

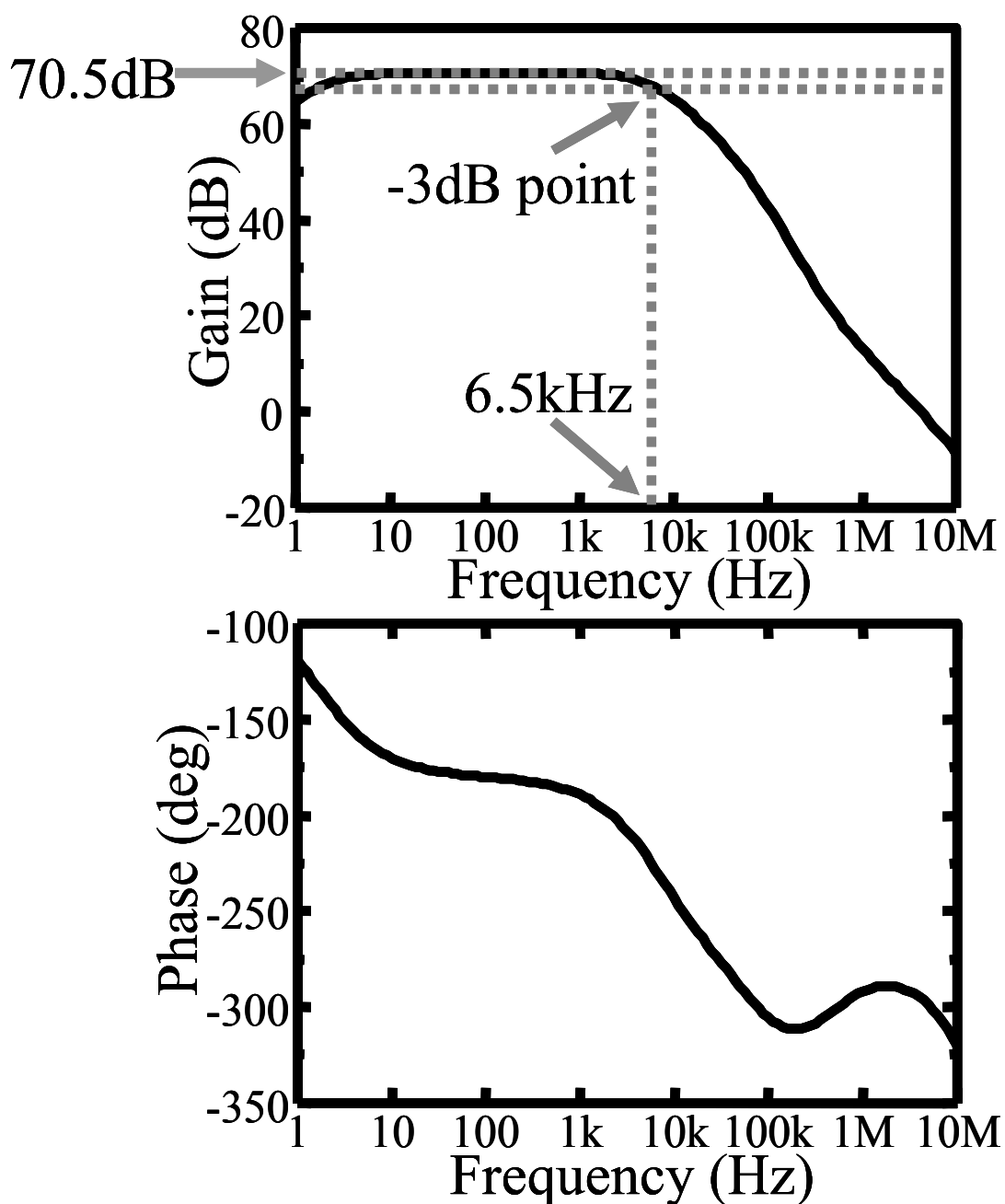


図 2.18 設計を誤った非反転増幅器の周波数特性のシミュレーション結果

Vdd は 0.9V、Vss は -0.9V、vp1 は 0.5V、vp2 は 0.5V、vn1 は -0.4V、vn2 は -0.5V、入力バイアスは 0V である。増幅率は 70.5dB と大きいですが、フィードバックが掛かっていないため、3dB 減衰周波数が 6.5kHz と比較的低い。消費電力は 196nW であった。

正しくフィードバックさせた非反転増幅回路の周波数特性のシミュレーション結果を図 2.19 に示す。

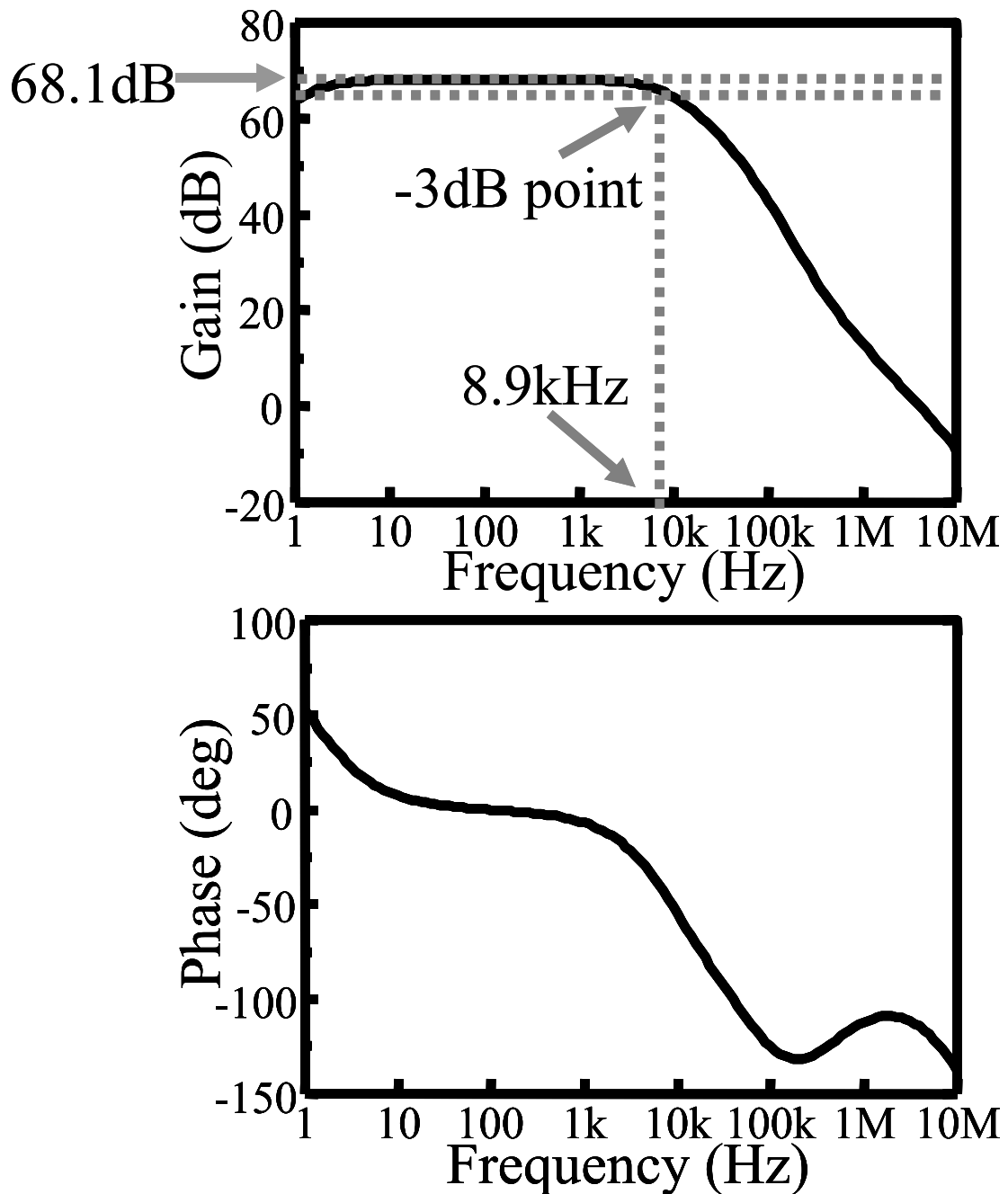


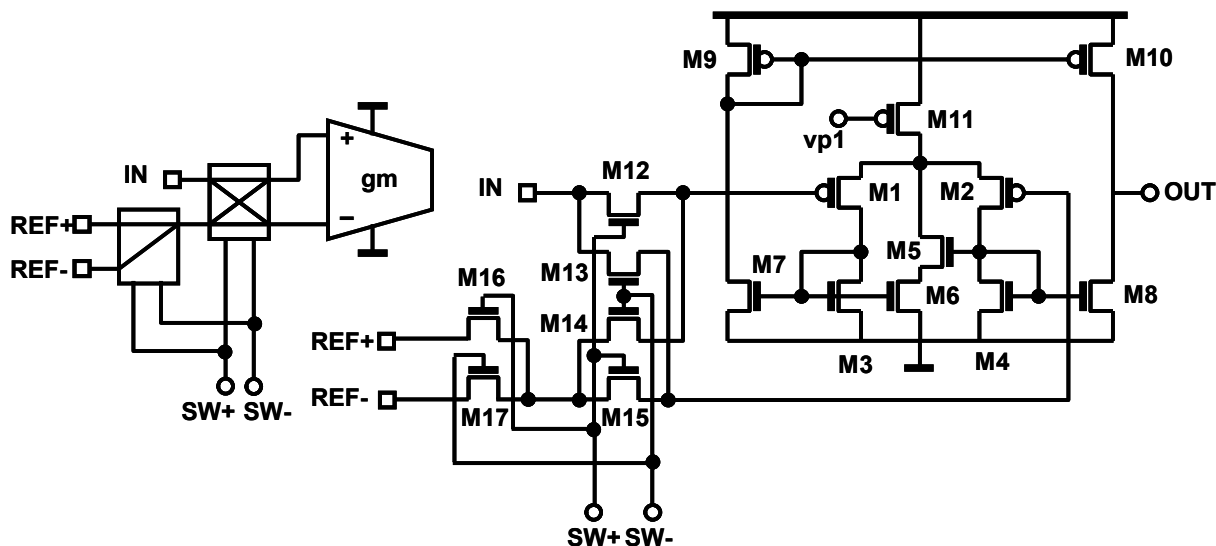
図 2.19 正しくフィードバックを掛けた非反転増幅器の周波数特性のシミュレーション結果

電源電圧やバイアス電圧は設計を誤った非反転増幅器のシミュレーション条件と同じである。フィードバックを正しく掛けることによって、増幅率が 2.4dB 減少し、3dB 減衰周波数が 8.9kHz と 2.4kHz 増加している。入力 EEG は、サンプリング周波数 10kHz を 2 分周した 5kHz の周波数でチョッパ・スタビライゼーションされるため、非反転増幅回路に入力される信号は、中心周波数 5kHz、帯域幅 1kHz 程度であるため、誤った回路も正しい回路も 3dB 帯域幅は十分である。しかし、誤った回路はフィードバックが掛かっていないため、プロセスばらつきの影響を大きく受けるものと思われる。正しくフ

フィードバックを掛けた非反転増幅器の消費電力は 227nW であった。

2.3.4 電流変換回路

図 2.20 に電流変換回路の回路図を示す。



	L [μm]	W [μm]
M1, M2	0.18	0.42
M3, M4	10	0.42
M5	0.18	0.42
M6	2	0.42
M7, M8	0.18	0.42
M9, M10	50	0.42
M12 ~ M15	0.18	0.42

図 2.20 電流変換回路の回路図

電流変換回路は入力信号と基準電位を足し合わせて電流として出力する。電流変換回路の前にあるスイッチによって入力信号の極性を反転する。それによって、 $(V_{in} - V_{ref}) \cdot gm$ と $(-V_{in} - V_{ref}) \cdot gm$ の電流が得られる。ただし、 V_{in} は入力信号、 V_{ref} は基準電位、 gm は回路のトランスコンダクタンスである。

図 2.21 に電流変換回路の周波数特性のシミュレーション結果を示す。

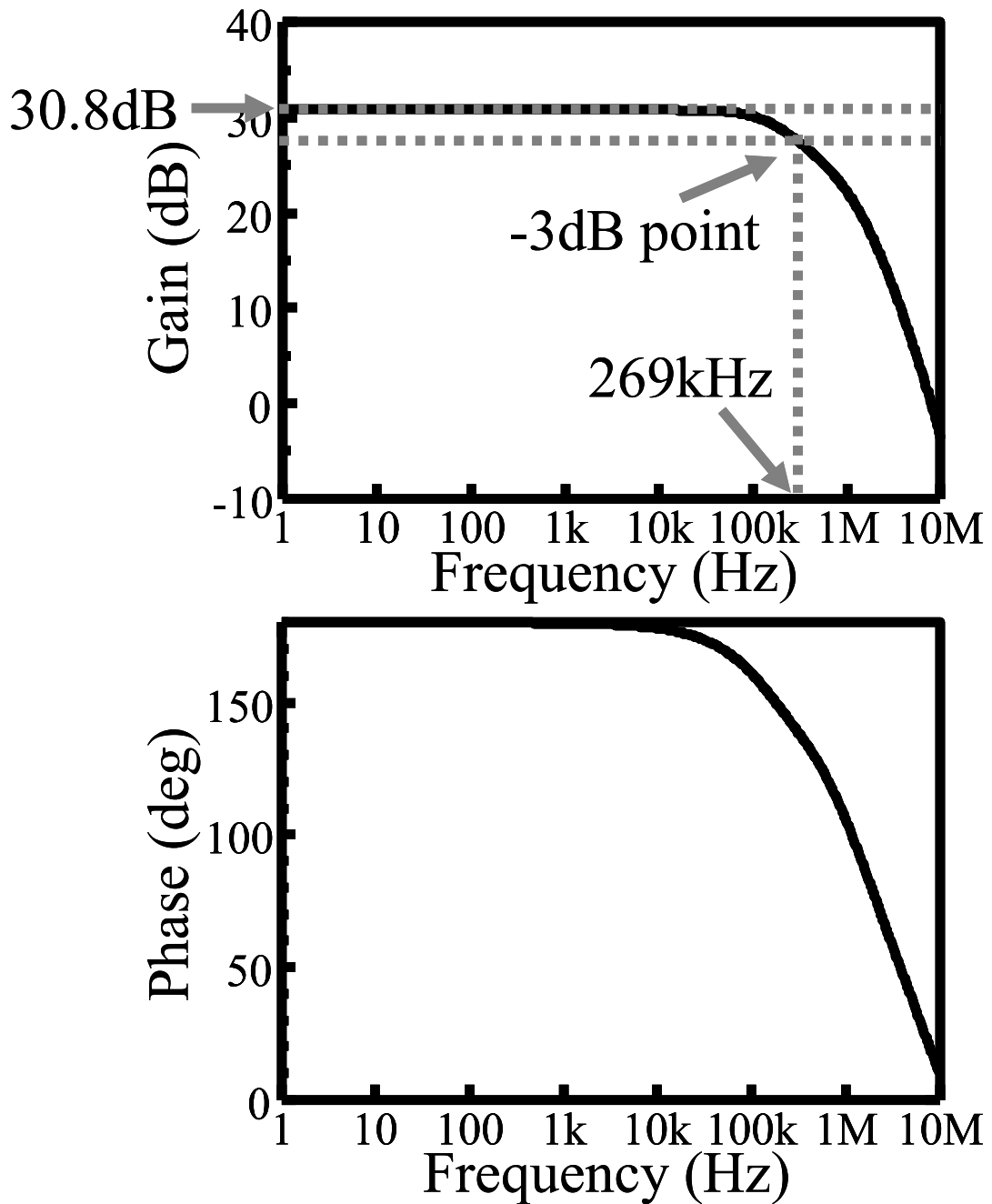


図 2.21 電流変換回路の周波数特性のシミュレーション結果

Vddは0.9V、Vssは-0.9V、vp1は0.5V、REF+は0.01V、REF-は-0.01V、SW+は0.9V、SW-は-0.9V、入力バイアスは0Vである。増幅率は30.8dBであり、3dB減衰周波数は269kHzであった。消費電力は453nWであった。

2.3.5 シュミット・トリガ回路

図 2.22 に低消費電力用シュミット・トリガ回路の回路図を示す[13]。

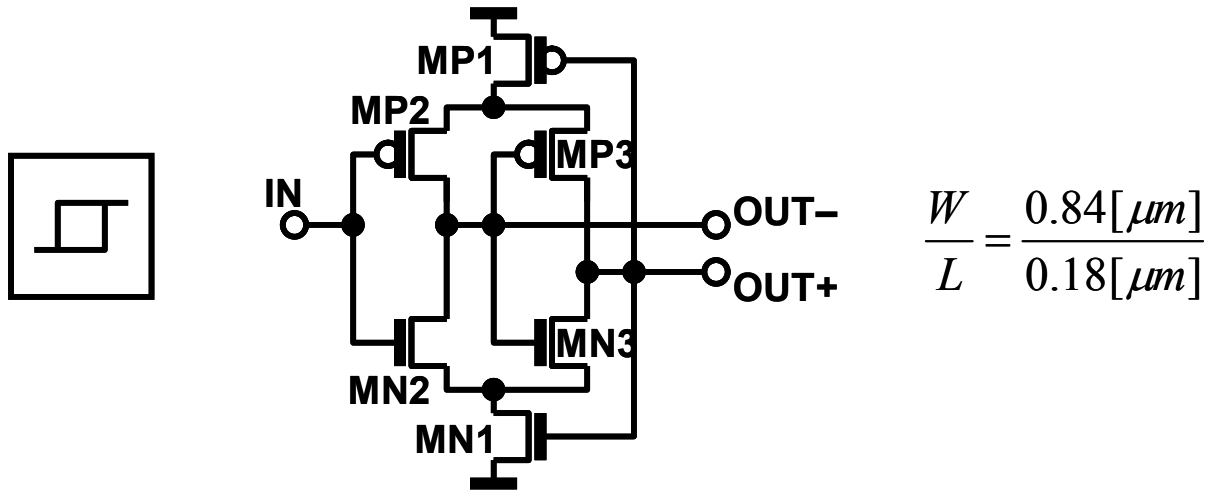


図 2.22 シュミット・トリガ回路の回路図

シュミット・トリガ回路はインバータ 2 段のカスケード接続になっており、さらに 2 段目の出力が 2 つのインバータの MOS のプルアップ・プルダウンを切り替える。出力電圧が high から low になる入力電圧 V_{hl} は、次式で表される。

$$V_{hl} = V_{dd} \frac{(R_n + 1)}{R_n(R + 1) + 1} + V_{th} \frac{R_n(2R - 1) - 1}{R_n(R + 1) + 1} \quad (2.15)$$

ただし、

$$R = \sqrt{(\beta_{n2} / \beta_{p2})} \quad (2.16)$$

$$R_n = \sqrt{(\beta_{n1} / \beta_{p2})} \quad (2.17)$$

であり、 β_{i_n} は i タイプの n 番目の MOS のトランスコンダクタンスである。また、簡単のため nMOS と pMOS の閾値の絶対値が共に V_{th} で等しいとしている。同じように、出力電圧が low から high になる入力電圧 V_{lh} は、

$$V_{lh} = V_{dd} \frac{(R_p + 1)}{R_p(R + 1) + 1} + V_{th} \frac{R_p(2R - 1) - 1}{R_p(R + 1) + 1} \quad (2.18)$$

であり、

$$R_p = \sqrt{(\beta_{p1} / \beta_{n2})} \quad (2.19)$$

である。シュミット・トリガ回路に周波数 100Hz、振幅 0.5V の正弦波を入力したときの OUT+ と OUT- の時間波形のシミュレーション結果を示す。V_{dd} は 0.9V、V_{ss} は -0.9V であり、全ての nMOS のゲート長は 0.18 μ m、ゲート幅は 0.84 μ m である。

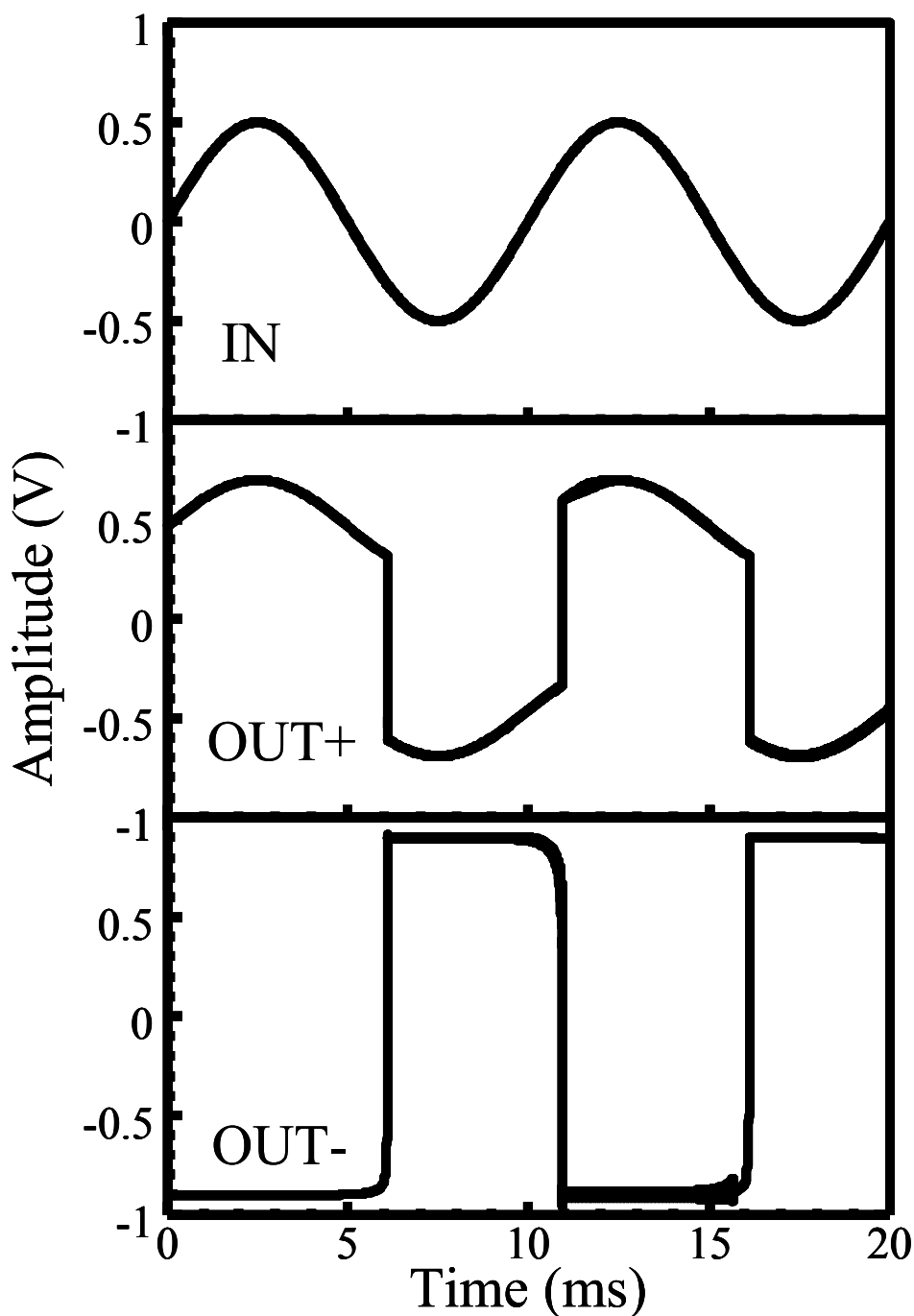


図 2.23 シュミット・トリガ回路のシミュレーション結果

図 2.23 より、シュミット・トリガ回路がヒステリシス動作をしていることが分かる。OUT+の波形が少し歪んでいるが、デジタル動作なので問題ない。これによって、電圧情報を矩形波の時間情報に変

換することができる。消費電力は 260nW である。

2.3.6 電流変換回路とシュミット・トリガ回路による動作

図 2.24 のように電流変換回路とシュミット・トリガ回路を接続してシミュレーションを行い、動作を確認した。バイアス電圧等は回路単独のシミュレーションのときと同じである。サンプリング時間は約 10kHz に設定してある。ただし、シミュレーションの関係上回路の途中にローパスフィルタを挿入し、信号の急峻な変化を防いでいる。そのため、サンプリング時間が短くなっている。図 2.25 にシミュレーション結果の一部を示す。

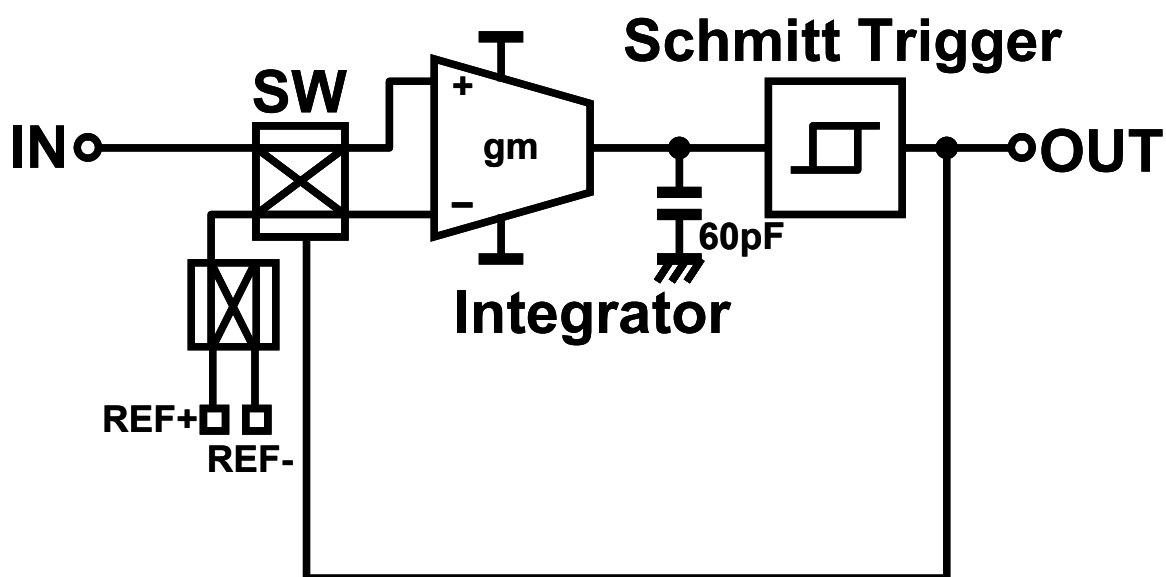


図 2.24 電流増幅回路とシュミット・トリガ回路の接続

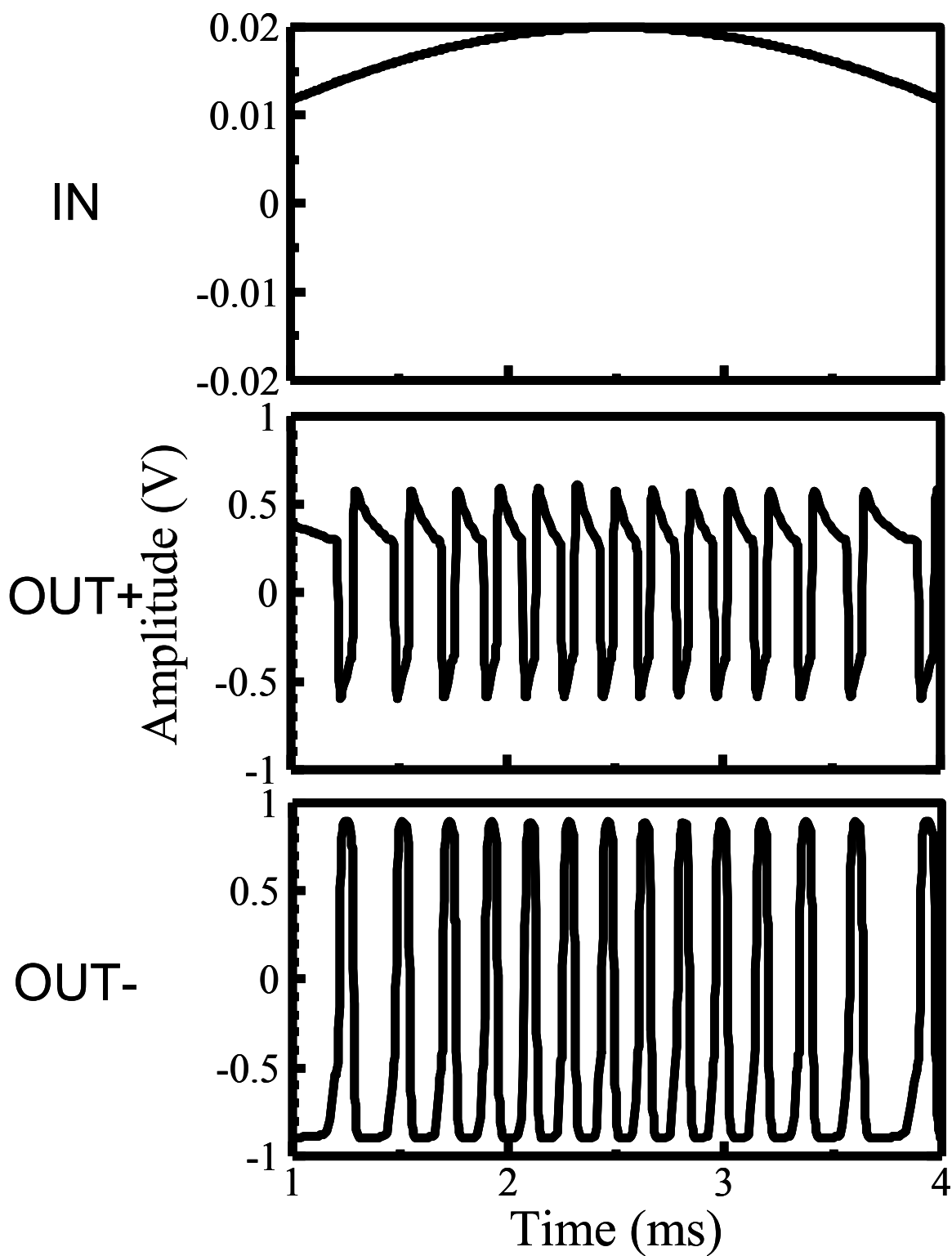


図 2.25 電流増幅回路とシュミット・トリガ回路の動作のシミュレーション結果

入力には周波数 100Hz、振幅 0.02V の正弦波を用いた。図 2.25 を見ると、入力波形の振幅に応じて

出力の矩形波の時間間隔が変化していることが分かる。OUT+の high になっている時間がキャパシタの充電時間であり、low になっている時間が放電時間である。これによってパルス間隔変調が実現できている。

2.3.7 周波数分周器

図 2.26 に周波数分周器の回路図を示す。

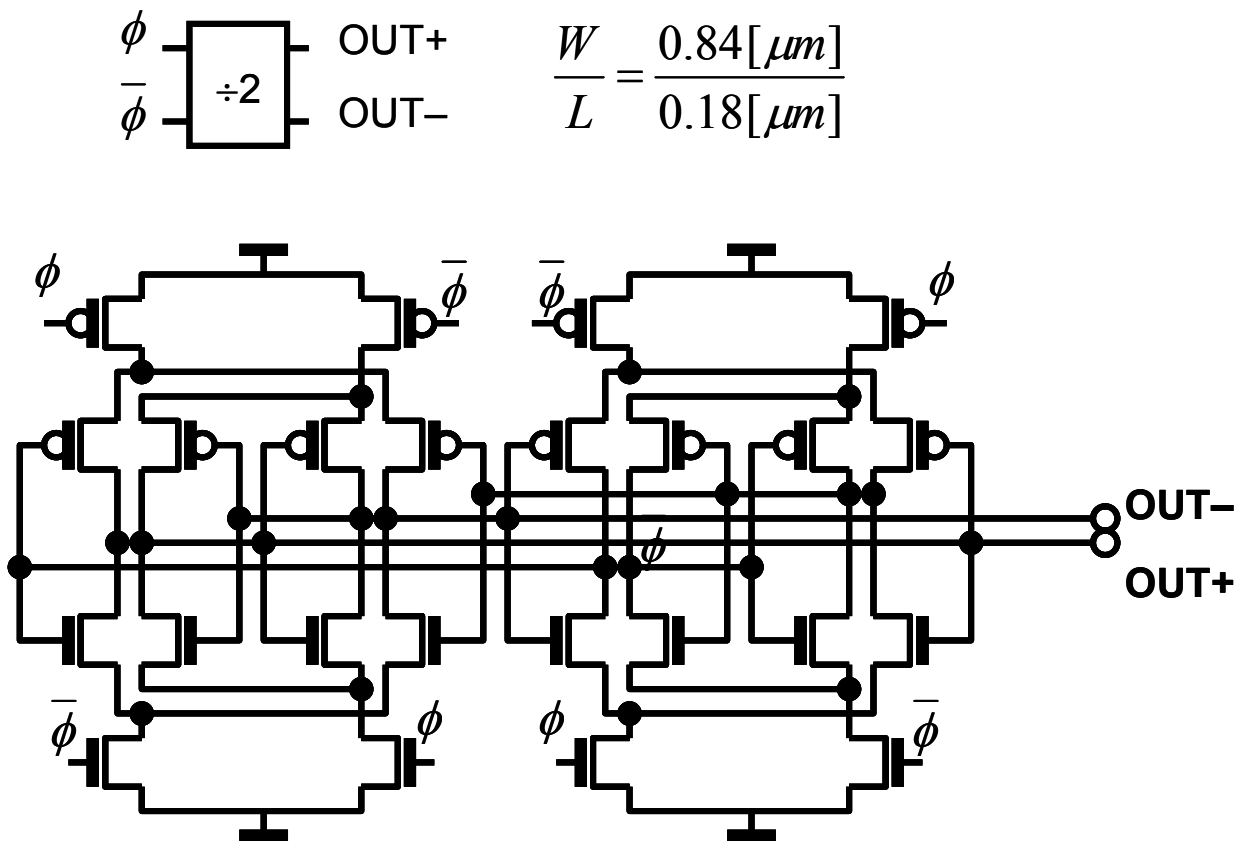


図 2.26 周波数分周器の回路図

この周波数分周器は差動であり、8つのクロックトインバータによって構成されている。図 2.27 に周波数分周器のブロック図を示す。

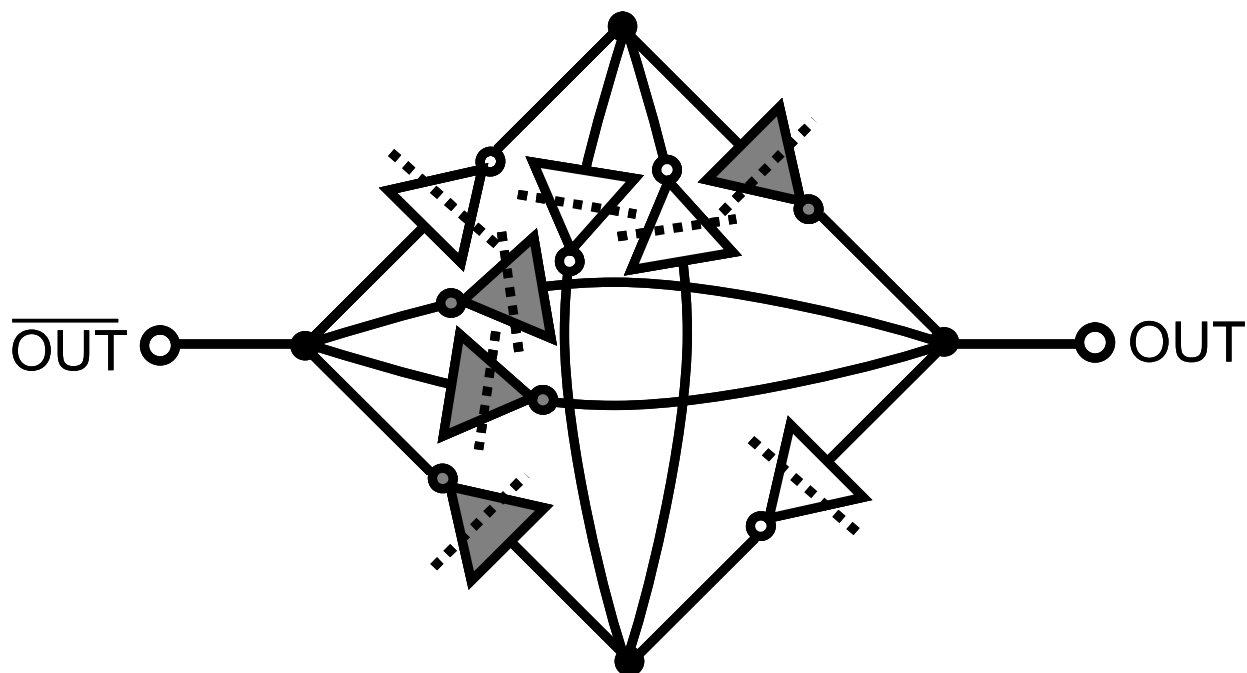


図 2.27 周波数分周器のブロック図

図 2.27 の白抜きクロックインバータは入力 ϕ によってオン・オフし、灰色のクロックインバータは入力 $\bar{\phi}$ によってオン・オフする。つまり、白抜きのインバータと灰色のインバータが交互にオン・オフし、それによって入力周波数を 2 分周する。図 2.28 に周波数分周器の動作のシミュレーション結果を示す。

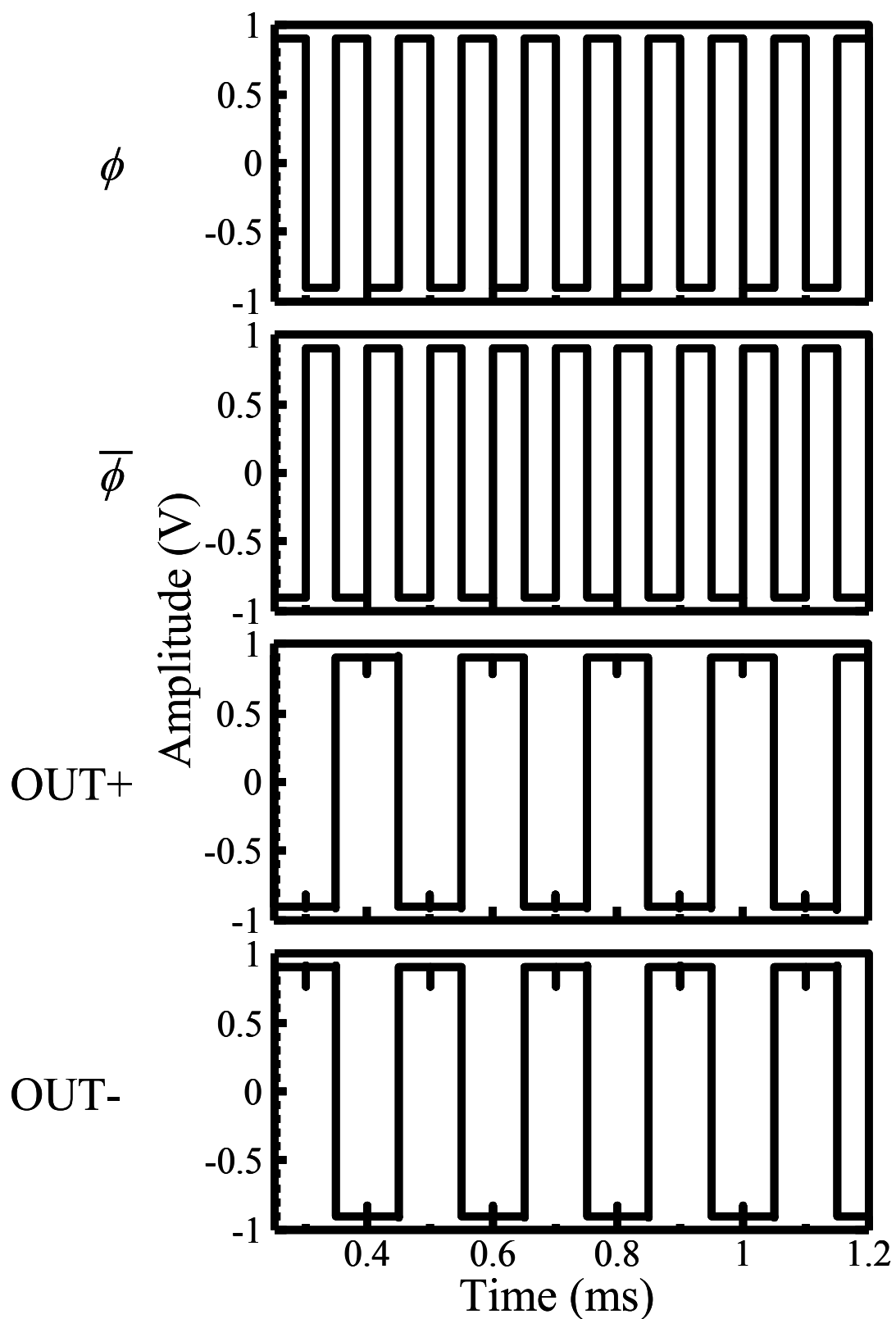


図 2.28 周波数分周器の動作のシミュレーション結果

V_{dd} は 0.9V、V_{ss} は -0.9V であり、全ての nMOS のゲート長は 0.18 μ m、ゲート幅は 0.84 μ m である。

図 2.28 より、入力 ϕ に V_{low} が -0.9V、V_{high} が 0.9V の周波数 10kHz の矩形波を、入力 $\bar{\phi}$ には ϕ の反転した信号を入力すると、入力周波数の 2 分の 1 の周波数の矩形波が差動で得られていることが分かる。消費電力は 161 μ W である。

2.3.8 パルスジェネレータ

図 2.29 にパルスジェネレータの回路図を示す。

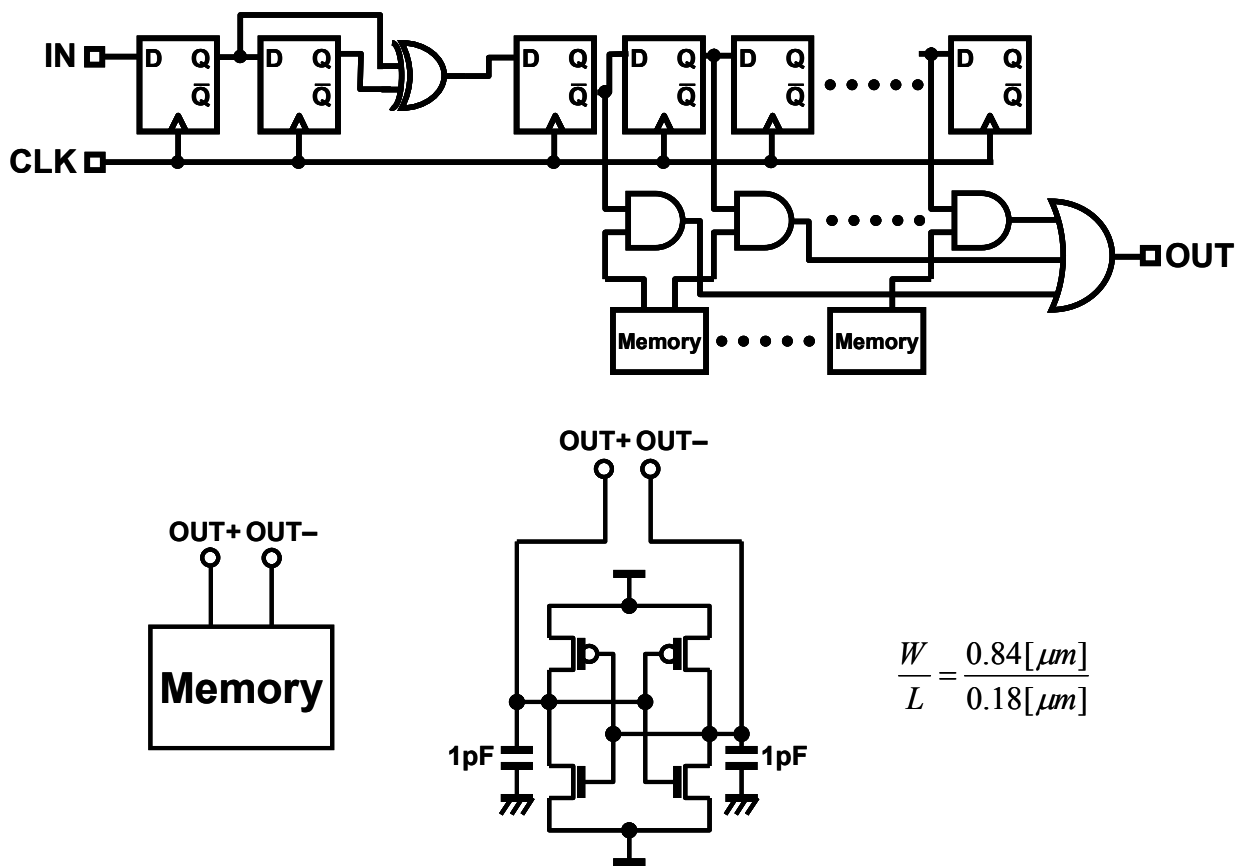


図 2.29 パルスジェネレータの回路図

パルスジェネレータはデジタル回路で構成されている。IN から入力された矩形波の立ち上がり・立下りエッジを D フリップフロップと XOR によって検出し、エッジが検出されたときにメモリに保存されている ID をクロックの周波数で送信する。ID は 32 ビットであり、メモリ回路が 32 個存在する。メモリには Walsh 符号が保存されており、その Walsh 符号と極性を反転させた Walsh 符号を用いてマンチェスター符号化している。そのため、XOR 以降の D フリップフロップは 64 個必要である。32 ビ

ットの ID のうち 1 ビット目は受信側で同期を取るために識別符号として用いている。残りの 31 ビットが Walsh 符号であり、31ch 通信が可能である。しかし、コリジョンの問題を考えるとここでは 4ch 通信とする。それ以上のチャンネル数で通信を行う場合は Gold 符号を用いる。

図 2.30 にパルスジェネレータの動作のシミュレーション結果を示す。

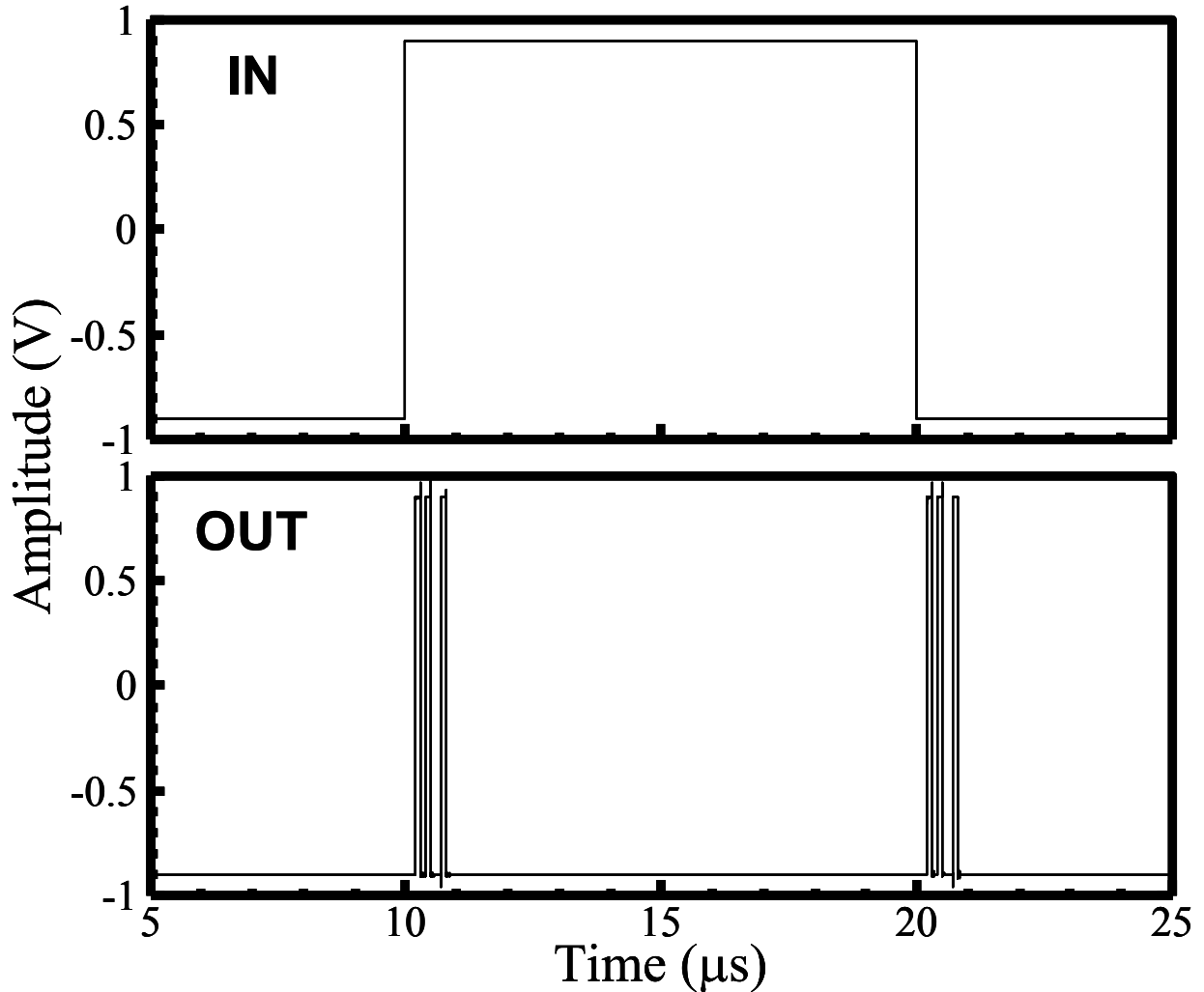


図 2.30 パルスジェネレータの動作のシミュレーション結果

シミュレーションでは、動作確認のため ID を 3 ビットとし、入力周波数を 100kHz、出力周波数を 10MHz とした。Vdd は 0.9V、Vss は -0.9V であり、全ての nMOS のゲート長は 0.18 μm 、ゲート幅は 0.84 μm である。用いた ID は 001 であり、マンチェスター符号化を行って、出力されるチップ列は、101001 の 6 ビットである。図 2.27 より、入力矩形波の立ち上がりと立下りでパルスが発生し、チップ列が 101001 になっていることが分かる。3 ビット ID のときの、入力があるときの消費電力は 14.3 μW であり、入力がないときの消費電力は 2.6 μW である。32 ビット ID のときは単純計算で、入力有りのとき約 15 μW 、

入力無しするとき約 $28\mu\text{W}$ になる。

2.3.9 送信機の消費電力

以上より、送信機の各要素回路が動作することが確認された。次はそれらの要素回路を結合し、送信機を構成する。動作時と待機時の送信機の消費電力の内訳をそれぞれ図 2.31、図 2.32 にまとめる。

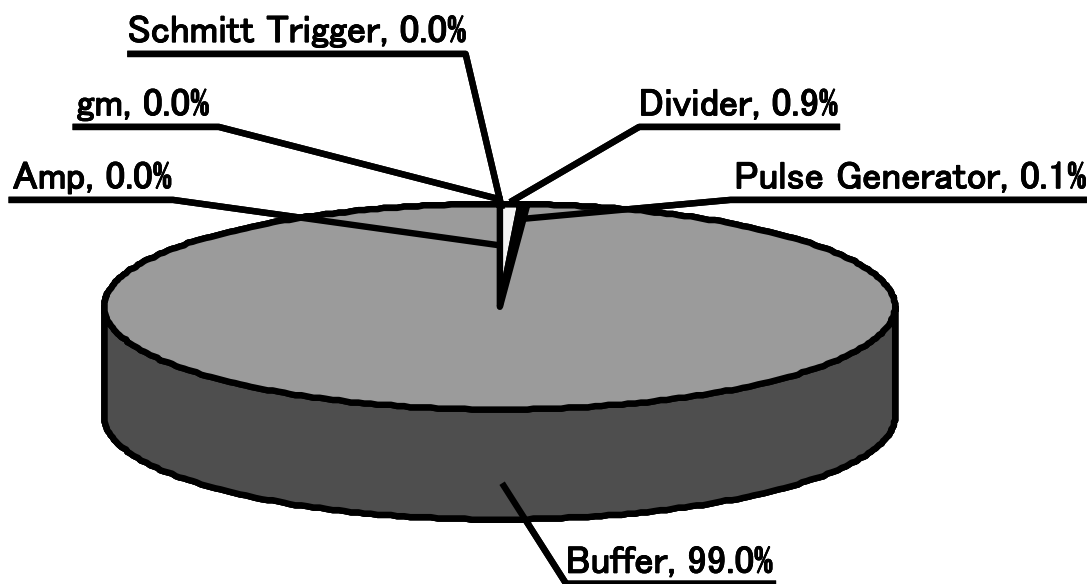


図 2.31 送信機の動作時消費電力の内訳

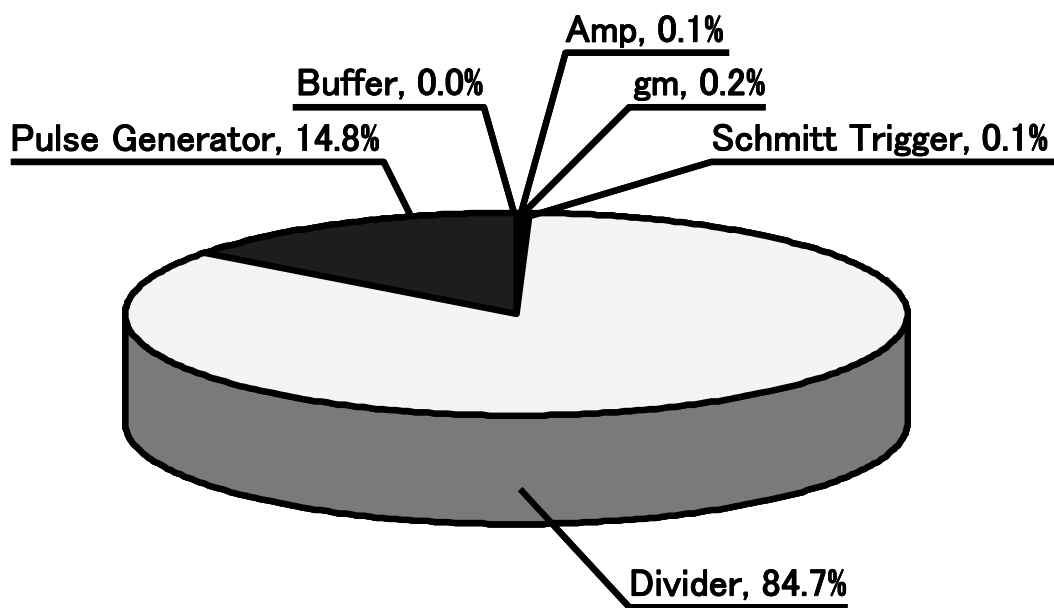


図 2.32 送信機の待機時消費電力の内訳

動作時の消費電力は約 18mW であり、待機時の消費電力は約 190 μ W である。非反転増幅回路は正しくフィードバックを掛けたものを用い、パルスジェネレータの消費電力は 32 ビット ID のときのものを用いている。パルスジェネレータのあとには 1 段のソースフォロア回路をバッファとして用いている。バッファは 50 Ω のアンテナを駆動するためのものである。バッファに用いられている nMOS のゲート長は 0.18 μ m、ゲート幅は 40 μ m である。動作時のバッファの消費電力は 18mW、待機時のバッファの消費電力は 19.8nW である。

図 2.29 を見ると、送信機の動作時はほとんどバッファによって電力が消費されていることが分かる。逆に待機時はバッファではほとんど電力を消費せず、周波数分周器が最も多く電力を消費する。

動作時の消費電力を P_{op} 、待機時の消費電力を P_{st} 、動作周期を T_{op} 、動作時間を τ_{op} 、パルスに付加される ID のビット数を N_{ID} とすると、平均消費電力 P_{av} は次式で表される。

$$P_{av} = P_{op} \cdot \frac{\tau_{op} N_{ID}}{T_{op}} + P_{st} \cdot \left(1 - \frac{\tau_{op} N_{ID}}{T_{op}} \right) \quad (2.20)$$

T_{op} は、サンプリング周波数 f_{samp} が約 10kHz であることから、

$$T_{op} = \frac{1}{f_{samp}} \approx \frac{1}{10k[Hz]} = 0.1[ms] \quad (2.21)$$

である。また、 τ_{op} は出力パルスのチップ・レート f_{cr} が 100MHz であることから、

$$\tau_{op} = \frac{1}{f_{cr}} = \frac{1}{100M[Hz]} = 0.1[ns] \quad (2.22)$$

である。 N_{ID} は 32 であるので、平均消費電力は約 247 μ W になる。この平均消費電力は、電圧 1.5V、容量 2.6Ah、リーク電流 30 μ A の単三型アルカリ電池をバッテリーとして使用して、約 1 年半使用し続けることができる計算になる。

2.3.10 受信機

受信機はリミティングアンプが 2 段カスケード接続された構成になっている。図 2.33 にリミティングアンプ 1 段の回路図を示す。

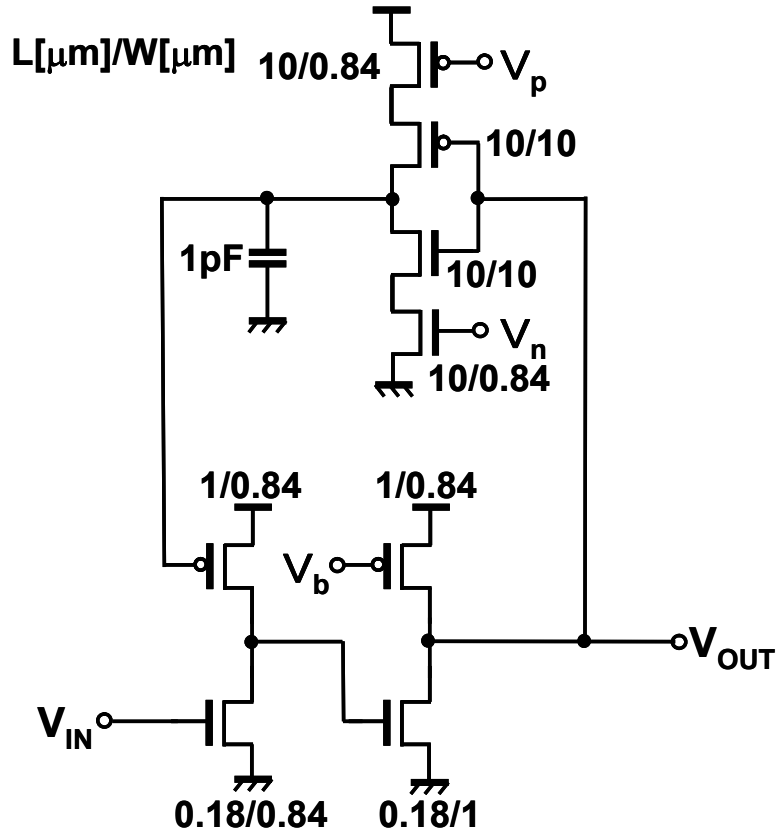


図 2.33 リミティングアンプ 1 段の回路図

リミティングアンプは2段の nMOS インバータと 1 段の nMOS インバータのフィードバックループによって構成されている。フィードバックを介してリミティングアンプはゆっくりと発振している。その発振を nMOS インバータが飽和領域で動作する範囲で生じるように設計することによって、nMOS インバータの増幅率を増加させることができる。その様子を図 2.34 に示す。

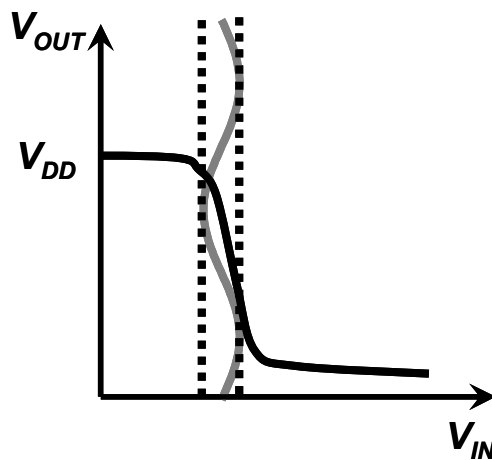


図 2.34 フィードバックによる nMOS インバータの動作点の調節

図 2.35 にリミティングアンプのブロック図と利得の周波数特性を示す。

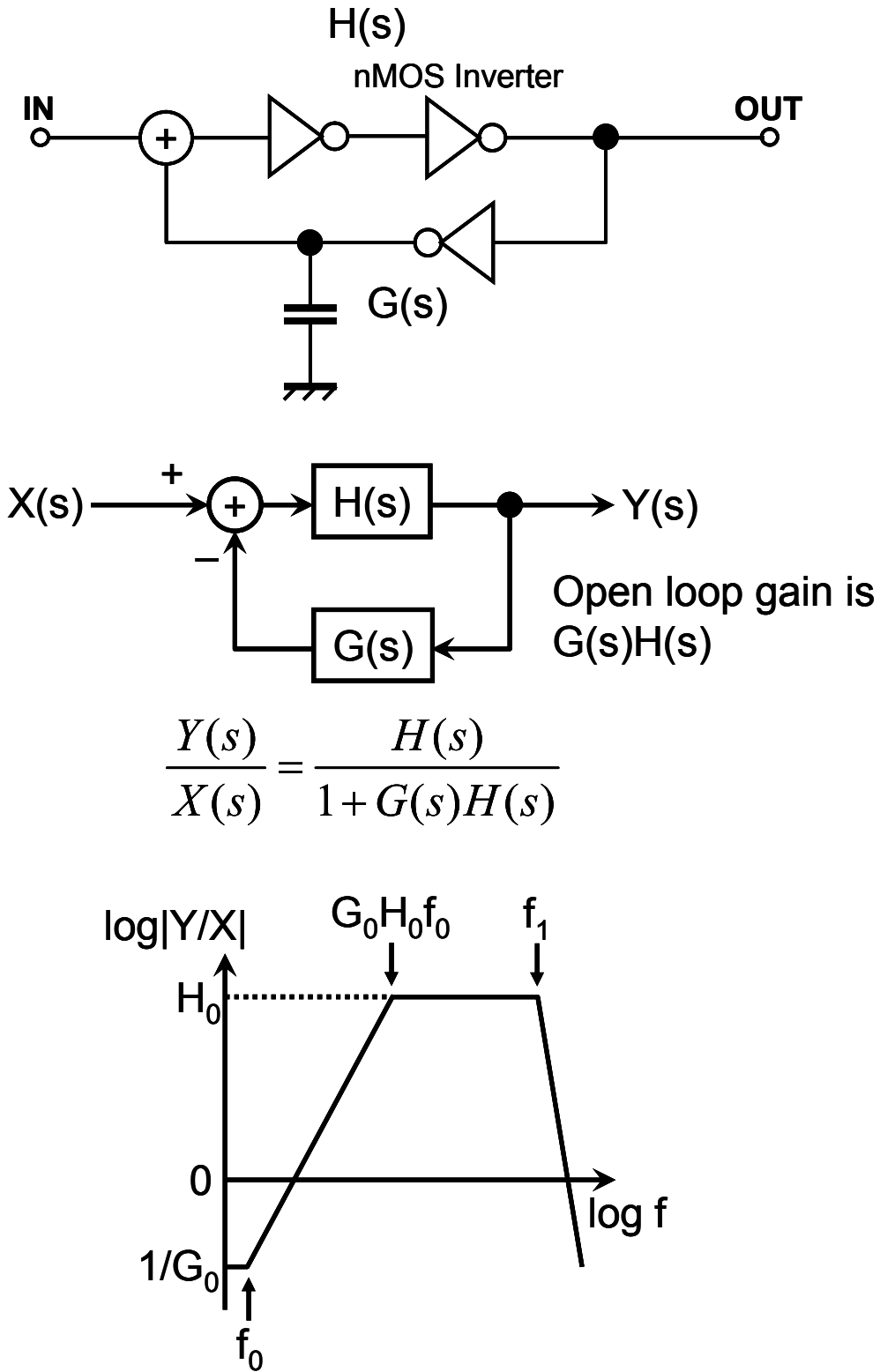


図 2.35 リミティングアンプのブロック図と利得の周波数特性

2 段インバータの伝達関数を $H(s)$ 、フィードバックの伝達関数を $G(s)$ とすると、開ループゲインは $G(s)H(s)$ となり、閉ループゲインは次式で表される。

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1+G(s)H(s)} \quad (2.22)$$

周波数特性は図のように、バンドパスフィルタのようにになっている。この周波数特性によって、低周波雑音を取り除くことができる。

図 2.36 にリミティングアンプ 2 段の周波数特性のシミュレーション結果を示す。

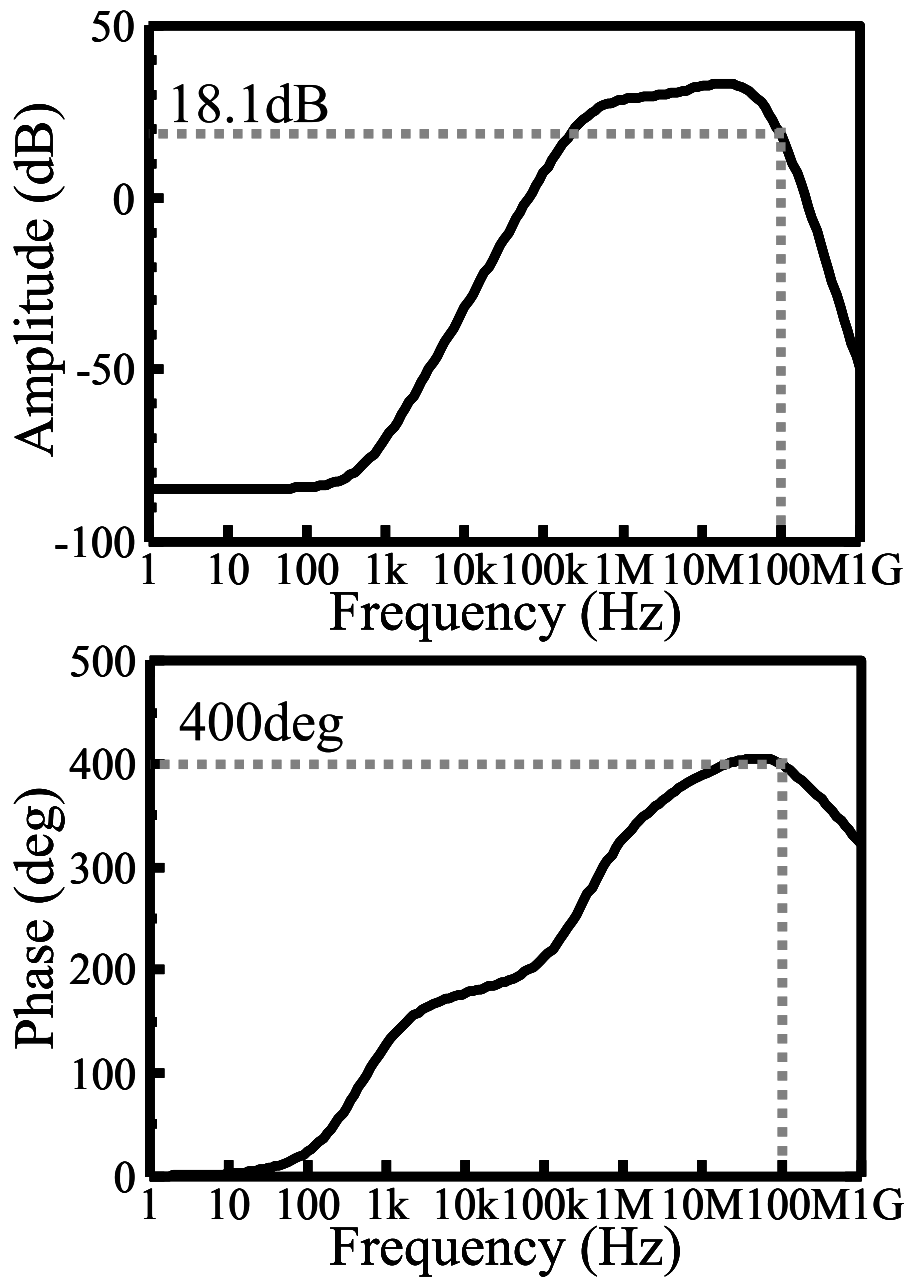


図 2.36 リミティングアンプ 2 段の周波数特性

V_{dd}は1.8V、V_bは0V、V_pは1.2V、V_nは0.7Vであり、入力に0.5Vのバイアスを与えている。入力振幅は1mVである。図2.36より、100MHzの周波数で18.1dBのゲインが得られ、400度位相が回転していることが分かる。消費電量は61 μ Wである。ゲインが少ないのはリミティングアンプを2段階用いているうちの2段階目の入力バイアスが動作点からずれているものと思われる。また、帯域幅が狭いため、まだまだ回路を改善する必要がある。

2.4 チップの試作

上記のように設計したBCI用パルス通信システムの送信機と受信機を、0.18 μ m 1P5M CMOSプロセスを用いて試作を行った。図2.37に送信機のレイアウト図を、図2.38に受信機のレイアウト図を示す。

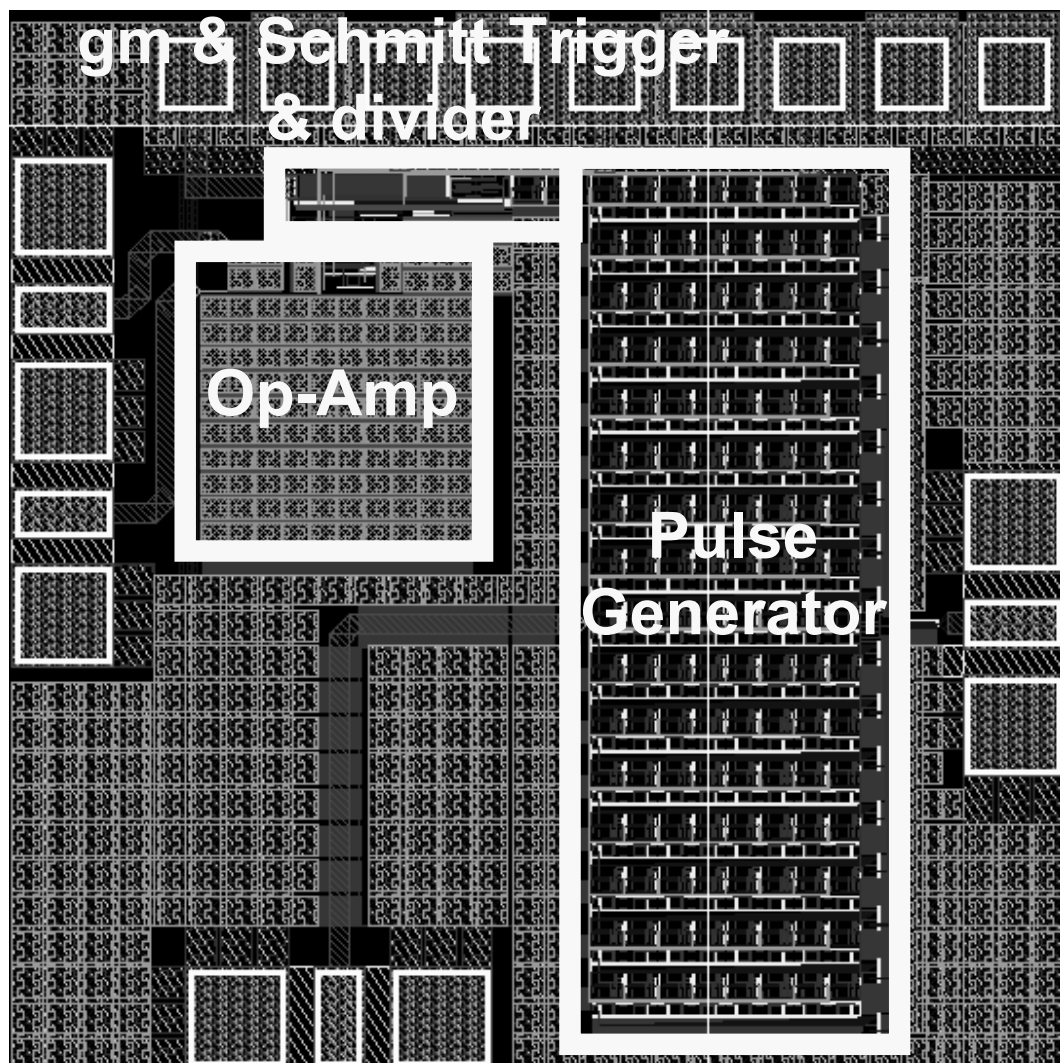


図 2.37 送信機のレイアウト図

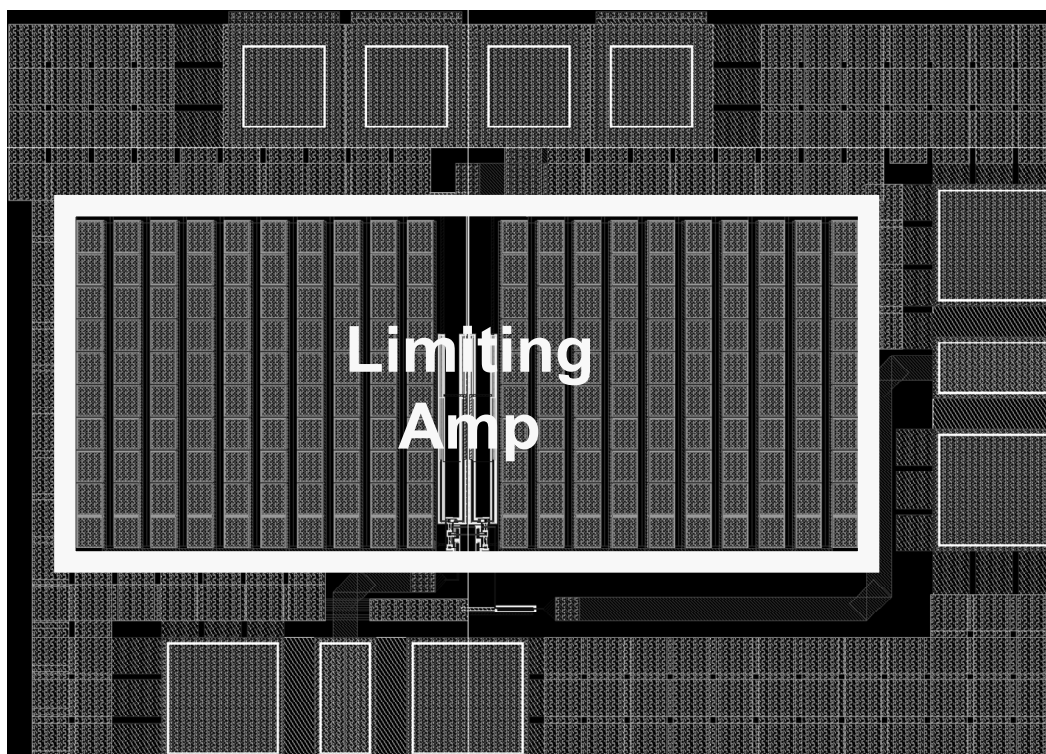


図 2.38 受信機のレイアウト図

送信機のコア面積は $831\mu\text{m} \times 720\mu\text{m}$ 、受信機のコア面積は $270\mu\text{m} \times 644\mu\text{m}$ である。

これらの回路は、アンプの設計ミスや差動回路などのレイアウトの対称性の不十分さから、動作できなかつた。もう一度回路の見直しを行い、注意深くレイアウトを行う必要がある。

2.5 まとめ

ワイヤレスセンサネットワーク用無線回路の低消費電力化をシステム側からのアプローチで実現するために、アプリケーションとして Brain-Computer Interface 用無線通信システムを考え、パルス通信を用いた送信機と受信機を設計した。その結果、シミュレーションでは送信機の平均消費電力が約 $247\mu\text{W}$ 、受信機の平均消費電力が約 $61\mu\text{W}$ になった。この送信機の平均消費電力は、電圧 1.5V 、容量 2.6Ah 、リーク電流 $30\mu\text{A}$ の単三型アルカリ電池をバッテリーとして使用して、約1年半使用し続けることができる計算になり、ワイヤレスセンサネットワーク用無線回路の極低消費電力化を実現することができるものである。 $0.18\mu\text{m}$ 1P5M CMOS プロセスを使用し試作した回路は、回路の設計ミス等により動かなかったが、設計で使用した低消費電力化技術はワイヤレスセンサネットワーク用無線回路の低消費電力化を実現できるものと期待される。今後、もう一度試作を行い、極低消費電力でパルス通信が行えることを確かめる。

第3章 パルス注入同期型周波数逓倍器

3.1 はじめに

前章ではワイヤレスセンサネットワーク用無線回路の低消費電力化をシステム側からのアプローチで実現を試みた。この章では、要素回路側からのアプローチで低消費電力化を実現するために、ワイヤレスセンサネットワーク(WSN)に用いる無線トランシーバにおいて最も重要な回路である周波数シンセサイザ(PLL: Phase-Locked loop)の低消費電力化を実現する。

PLLは、低い周波数の参照周波数から高い周波数の搬送波を発生させる周波数逓倍器として動作する。典型的なPLLのブロック図を図3.1に示す。

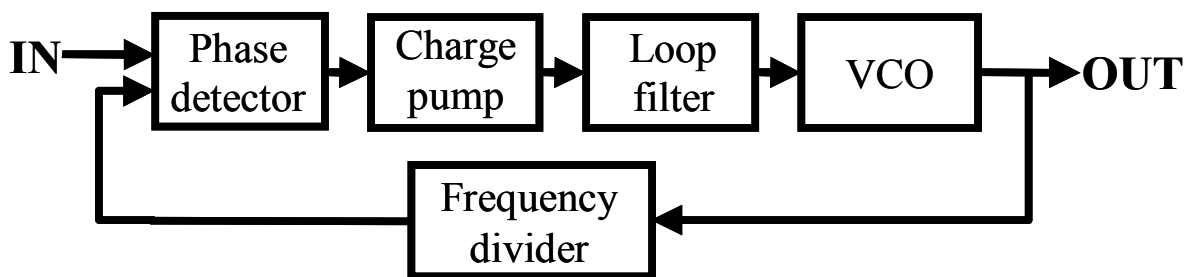


図 3.1 典型的な PLL のブロック図

PLLは電圧制御発振器(VCO: Voltage-Controlled Oscillator)の位相を、周波数分周器を介したフィードバックループによって調整するため、位相雑音を減らすことができる[14]-[17]。

WSNに用いられるPLLには問題点が2つある。1つ目は、PLLを構成する周波数分周器の消費電力が大きいことである[17]-[23]。周波数分周器はPLLの逓倍数を決定するものであるが、初段の周波数分周器の消費電力が特に大きく、PLL全体の消費電力の3分の2を占めている。2つ目は、ループフィルタの回路面積が大きいことである。ループフィルタは位相雑音を減少させる役目をするが、急峻な

カットオフ特性を持つループフィルタを実現するためには大きなキャパシタが必要になる[23]-[26]。そのため、回路面積を多く消費してしまうことになる。

PLL の 2 つの問題点を解決するために、本章では新しく、周波数分周器もループフィルタも用いない周波数逡倍器、パルス注入同期型周波数逡倍器(PILFM: Pulse-injection-locked frequency multiplier)を提案し、低消費電力化と小面積化を実現する。PILFM は、周波数分周器の代わりに MOSFET の非線形性から生じる高調波を用いて逡倍動作を行い、ループフィルタの代わりにインジェクションロックを用いることによって位相雑音を減らしている。回路構成については次節で詳しく説明する。

3.2 パルス注入同期型周波数逡倍器

PILFM はパルス生成器と注入同期型発振器(ILO: Injection-locked oscillator)によって構成される。PILFM のブロック図を図 3.2 に示す。

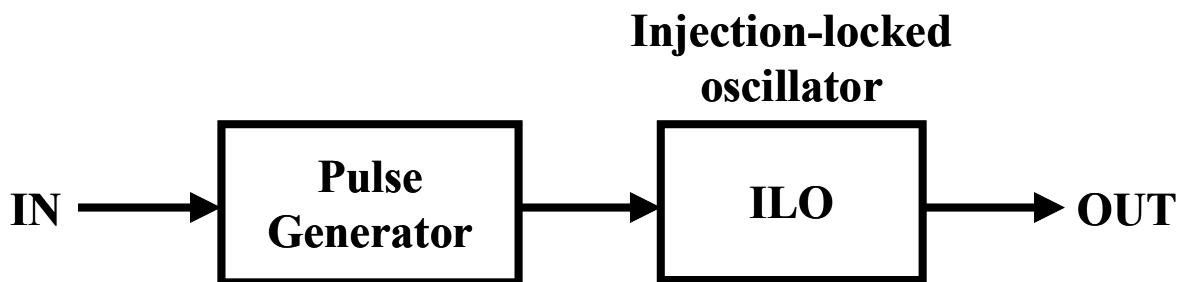


図 3.2 PILFM のブロック図

ILO によって低消費電力、小チップサイズ、低位相雑音で逡倍動作を実現し、パルスジェネレータによってスプリアスパワーを抑制する。

ILO の回路図を図 3.3 に示す。

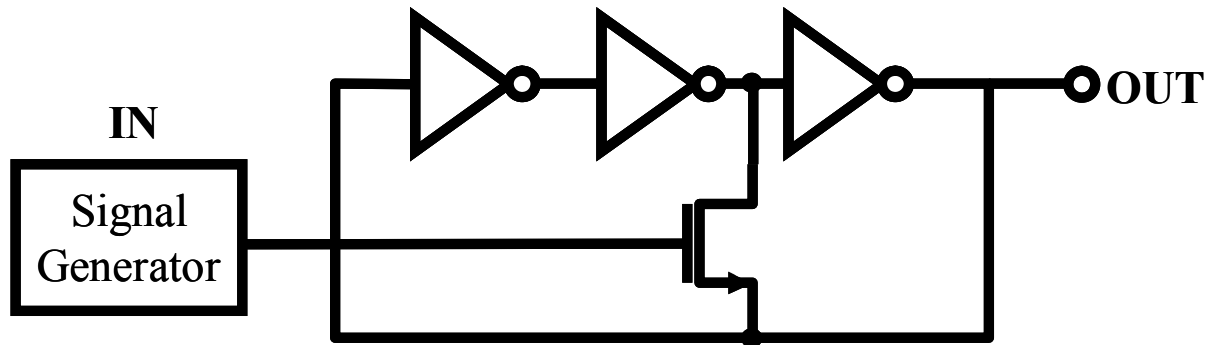


図 3.3 ILO の回路図

ILOは[27]で周波数分周器として報告されている回路を用いており、3段のリングオシレータと、その2段目と3段目のインバータの出力をバイパスしたnMOSによって構成されている。ILOはリングオシレータを用いているためLC発振器に比べて消費電力が少なく、インジェクションロックを用いて位相雑音を低減しているため、ループフィルタを用いる必要がない。そのため、回路面積が小さい。ILOを0.18 μm 1P5M CMOSプロセスで試作したチップ写真を図3.4に示す。

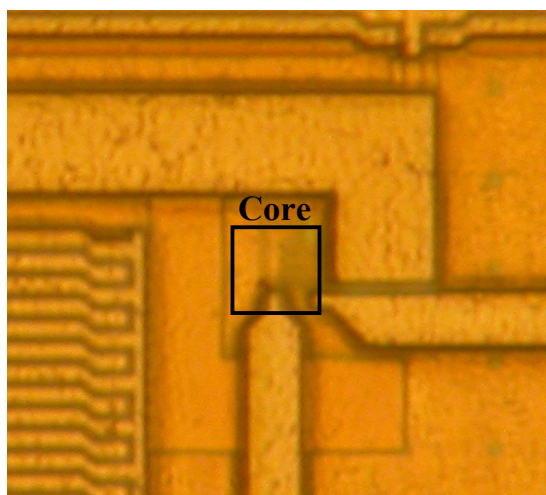


図 3.4 ILO のチップ写真

ILOの回路面積は10.8 μm × 10.5 μm であり、小面積を実現できている。

3.2.1 基本となるインジェクションロック動作

インジェクションロックは初め、発振器の位相を入力信号の位相と同期させる為に用いられていた[28]。図3.5のように、発振器の位相がインジェクションロックによって入力信号の位相に引き込まれることによって位相の同期が生じる。

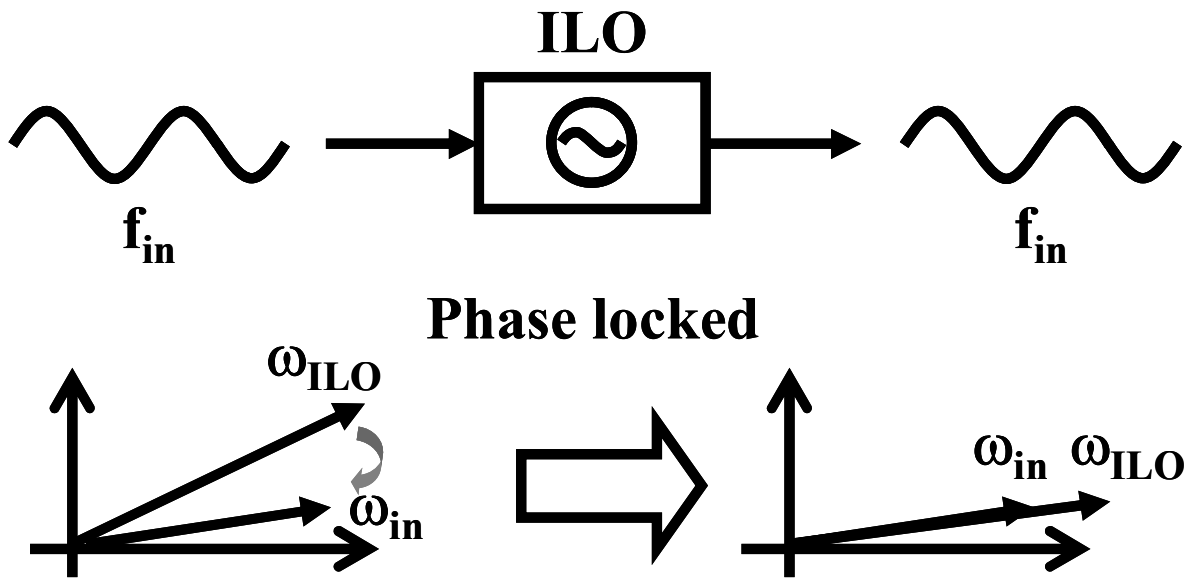


図 3.5 インジェクションロックによる位相同期

次に、インジェクションロックは周波数分周器で用いられた。図 3.6 に、インジェクションロックを用いた周波数分周器の動作の図を示す。

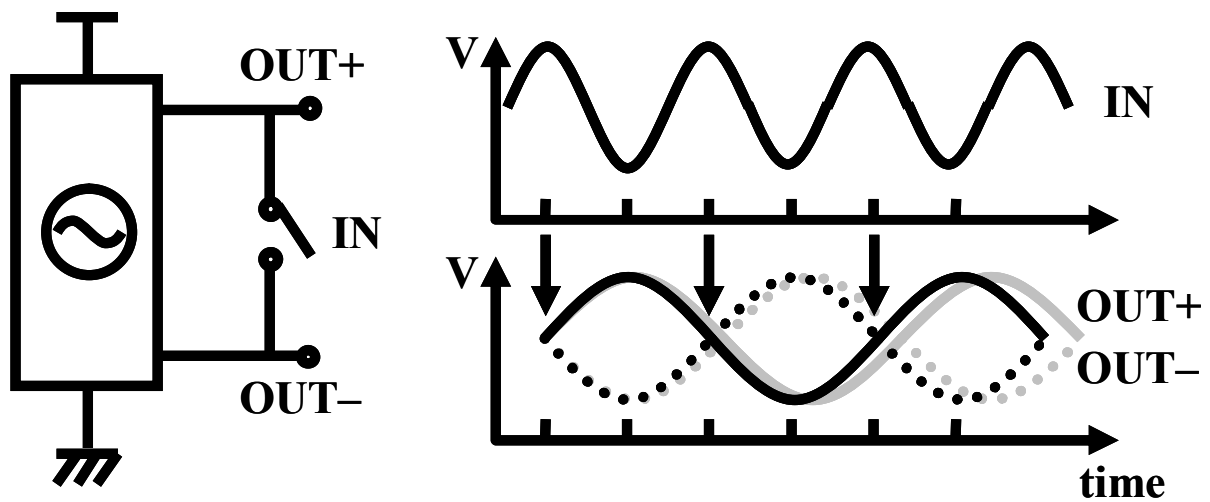


図 3.6 インジェクションロックを用いた周波数分周器の動作

発振器の差動出力がスイッチによって接続されており、そのスイッチが入力信号によってオンオフする。スイッチがオンになると、OUT+と OUT-が同電位となり、インジェクションロックによって入力周波数の2分の1の出力周波数が得られる。

本研究では周波数分周器として動作していた回路を周波数通倍器として利用する。図 3.7 にインジェクションロックを用いた周波数通倍器の動作を示す。

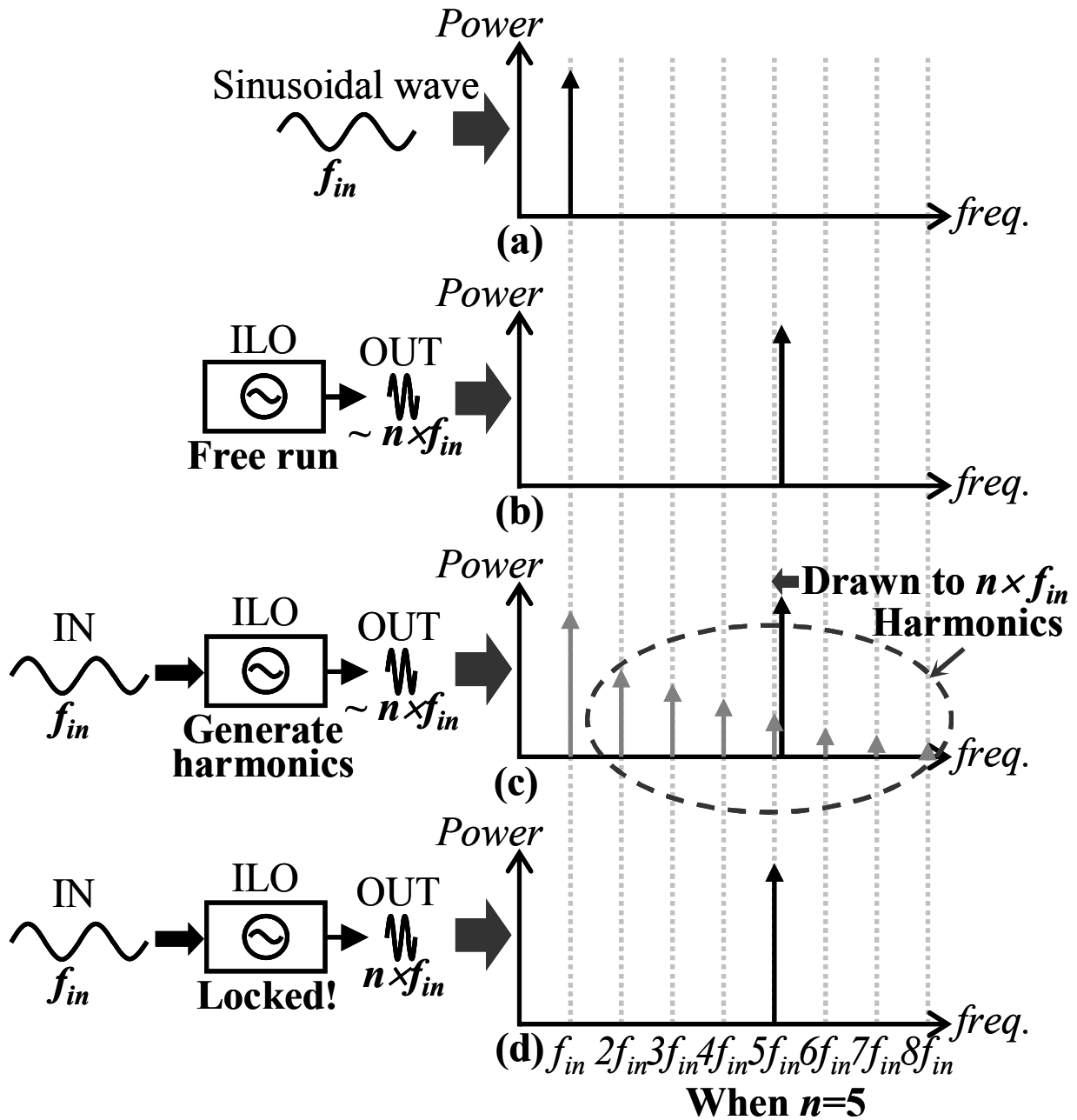


図 3.7 インジェクションロックを用いた周波数通倍器の動作

入力正弦波の周波数を f_{in} とすると(図 3.7 (a))、ILO はフリーランの状態では f_{in} のおよそ n 倍 ($n = 1, 2, 3, \dots$) の周波数で発振している(図 3.7 (b))。正弦波を ILO に入力すると、入力用 nMOS の非線形性によって高調波が発生する。すると、ILO の位相がインジェクションロックによって入力の n 次の高調波の位相に同期する(図 3.7 (c))。ILO の位相が n 次の高調波の位相に同期するのは、 n 次の高調波の周波数が ILO のフリーラン時の周波数に近いからである。結果、入力周波数の n 倍の周波数を得ることが出来る(図 3.7 (d))。

図 3.8 におよそ 2.4GHz でフリーランしている ILO の出力のスペクトルと 2.4GHz でインジェクションロックが掛かった状態の ILO の出力スペクトルを示す。

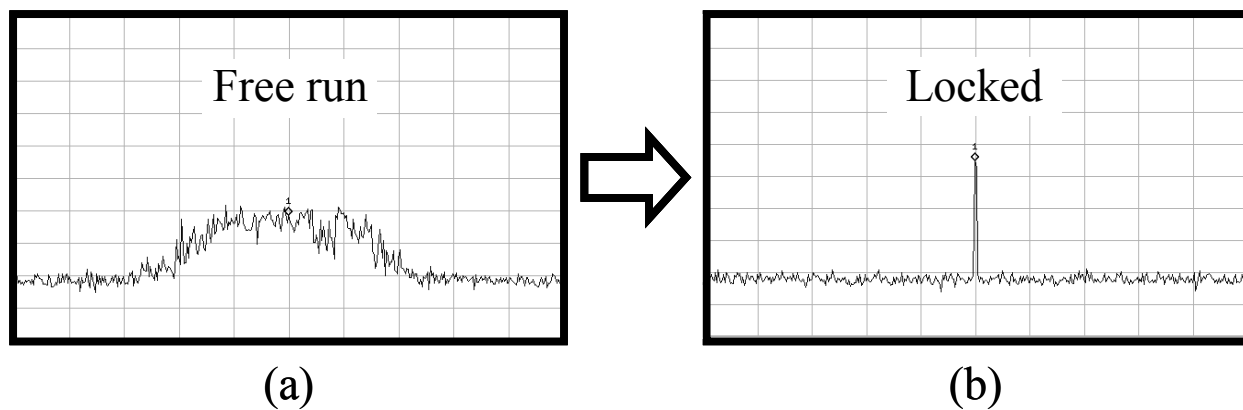


図 3.8 ILO の出力スペクトル (a)フリーラン時 (b)インジェクションロック時

フリーランの状態では大きく広がったスペクトルが、インジェクションロックを掛けることによってシャープなスペクトルになることが分かる。

3.2.2 パルス入力によるスプリアスパワーの抑制

図 3.9 に、正弦波を入力したときの入力波形と出力波形、出力スペクトルを示す。

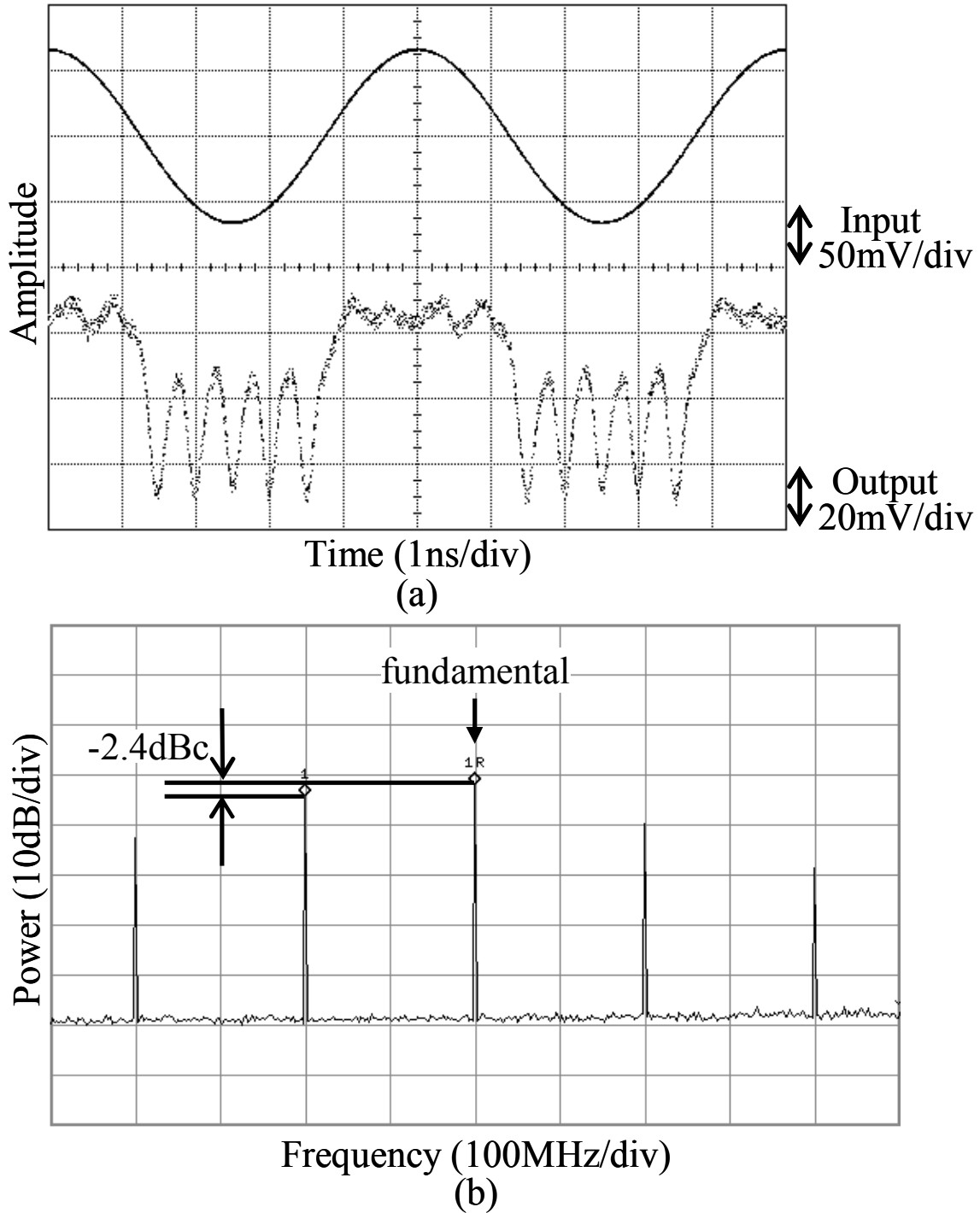


図 3.9 正弦波入力時の (a)入力波形と出力波形 (b)出力スペクトル

ILO は初めおよそ 2GHz で発振しており、入力正弦波の周波数は 200MHz である。出力波形を見ると、波形が大きく歪んでいることが分かる。また、出力スペクトルを見ると、インジェクションロックによって入力周波数の 10 倍の周波数が得られているが、200MHz オフセットのспリアスパワーが -2.4dBc と大きくなっていることが分かる。矩形波を入力したときも出力波形は大きく歪み、спリアスパワーは大きくなる。

スプリアスパワーが大きくなるメカニズムを図 3.10 に示す。

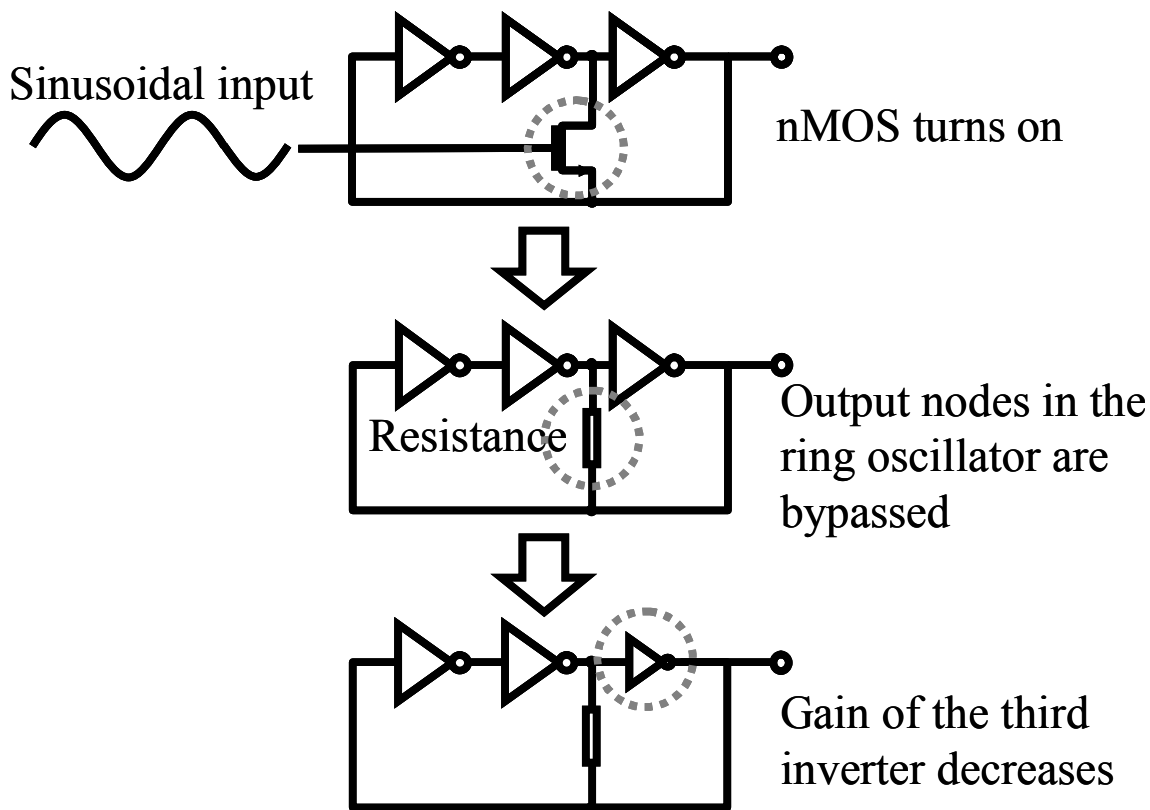


図 3.10 スプリアスパワーが大きくなるメカニズム

正弦波や矩形波のようなデューティ比の大きな波形を ILO に入力すると、入力用 nMOS がオンになる時間が長くなる。入力用 nMOS がオンになると、リングオシレータの 2 段目と 3 段目の出力ノードが抵抗を介してバイパスされることになる。結果、3 段目のインバータのゲインが下がり、出力波形が振幅変調されることになる。そのため、出力波形が大きく歪み、スプリアスパワーが大きくなってしまふのである。

以上より、スプリアスパワーが大きくなる原因は入力用 nMOS がオンになる時間が長いことであることが分かった。逆に、スプリアスパワーを小さくするためには入力用 nMOS がオンになる時間を最小にしてやればよいことになる。入力用 nMOS がオンになる時間が最小な波形とはデューティ比の小さな波形であり、それはすなわちパルスである。そのため、入力波形にはパルスを用いればよいことになる。

図 3.11 に PILFM の実験系を示す。

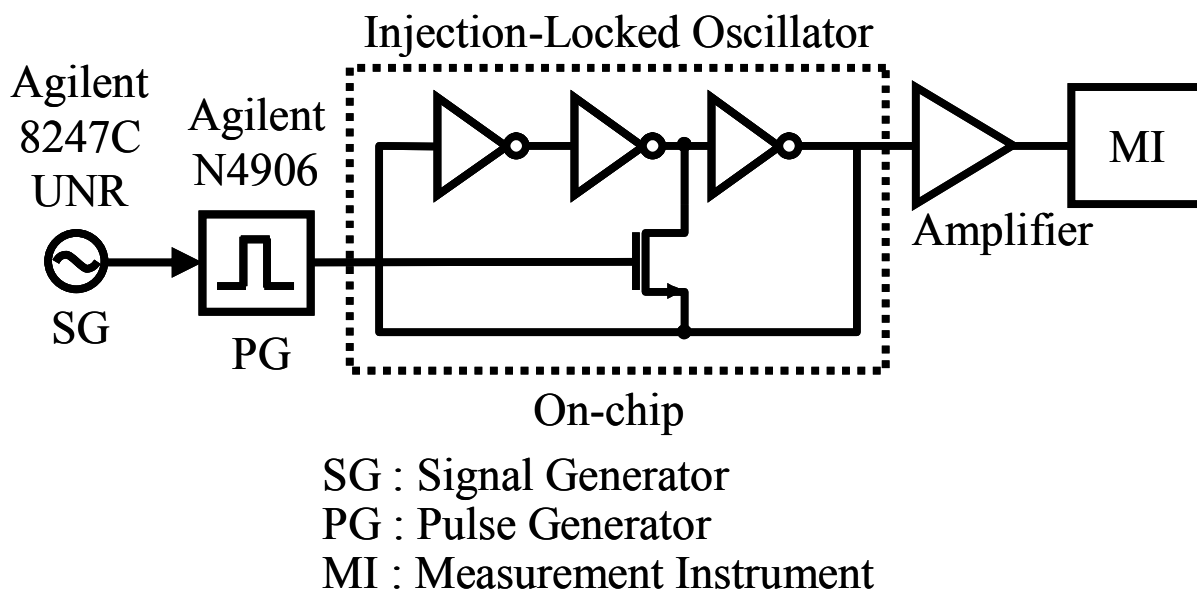
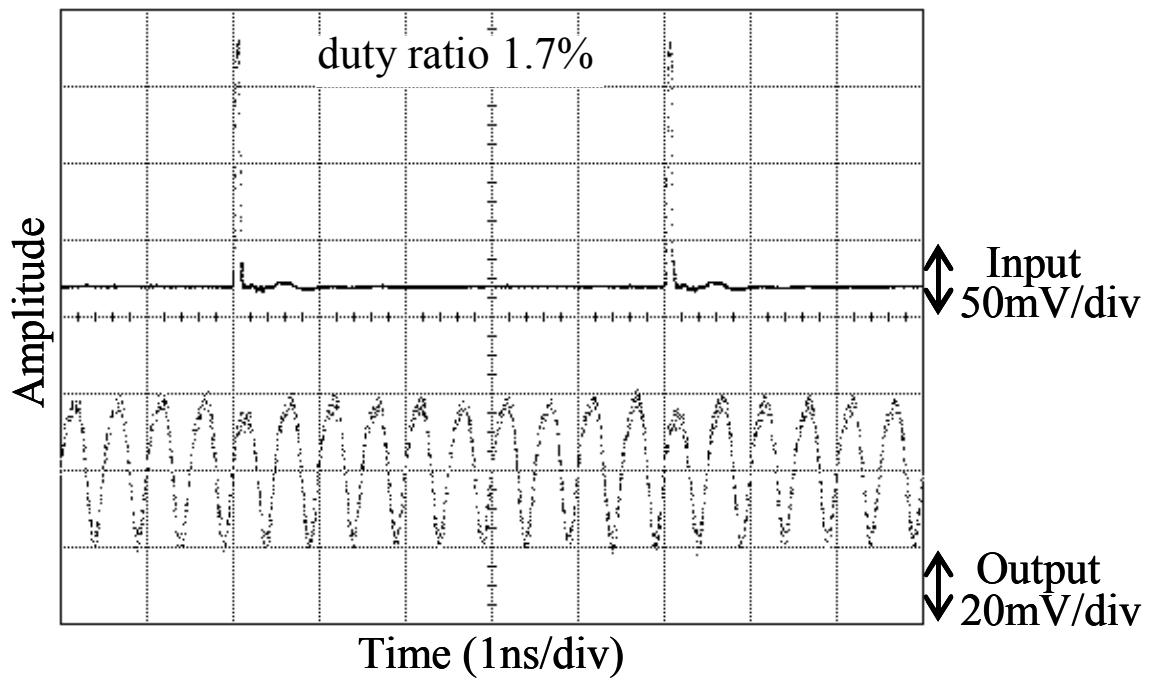


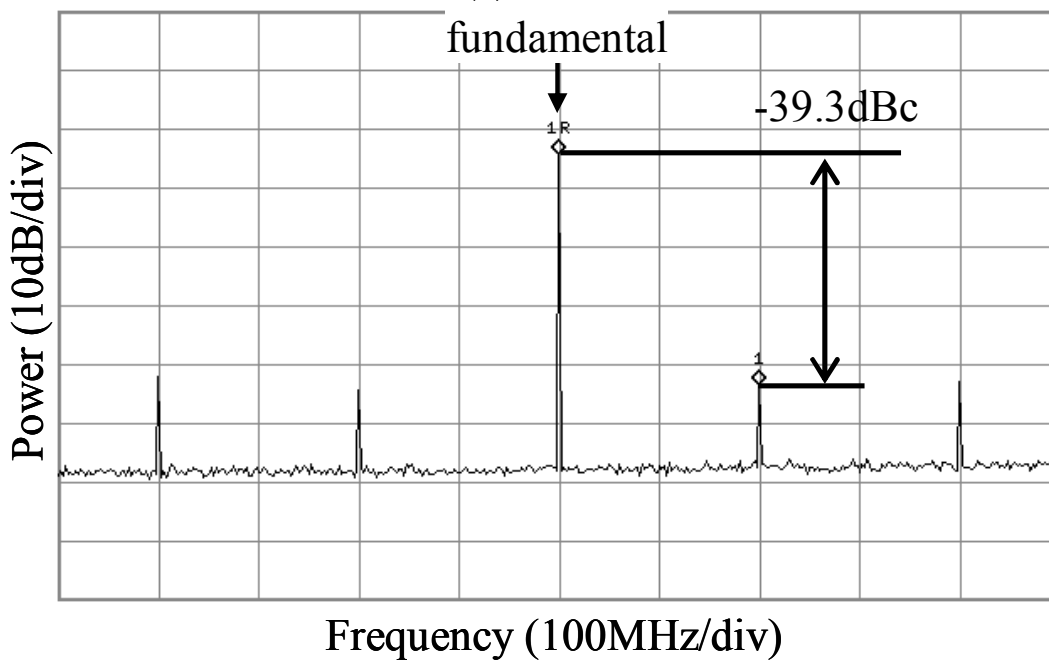
図 3.11 PILFM の実験系

ILO はオンチップで作成し、パルスジェネレータには Agilent 社の N4906 を用いた。パルスジェネレータへの参照信号として Agilent 社の 8247CUNR シグナルジェネレータを用いている。

図 3.12 にパルスを入力したときの入力波形と出力波形、出力スペクトルの図を示す。



(a)



(b)

図 3.12 パルス入力時の (a)入力波形と出力波形 (b)出力スペクトル

ILO は初めおよそ 2GHz で発振しており、入力パルスの周波数は 200MHz、デューティ比は 1.7% である。出力波形を見ると、歪がほとんど無いことが分かる。また、出力スペクトルを見ると、スプリアスパワーが -39.3dBc まで抑えられていることが分かる。よって、ILO の入力にはパルスを用いれば良いことが証明された。

3.3 測定結果

図 3.13 は出力中心周波数が 250MHz、2.4GHz、4.8GHz の時の、動作周波数を関数とした入力感度の変化である。

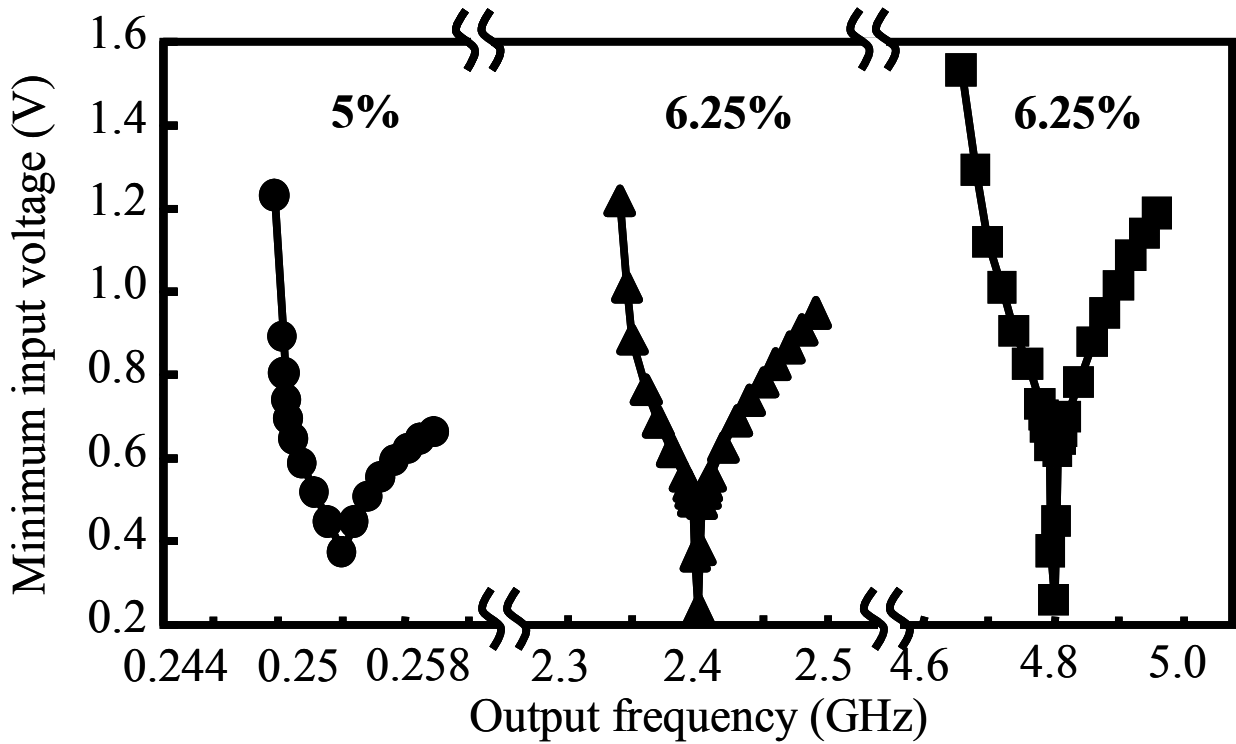


図 3.13 動作周波数を関数とした出力感度の変化

縦軸はインジェクションロックを掛けるのに必要な最小のパルス振幅であり、横軸が出力周波数である。入力したパルスの幅は 83ps で、入力周波数は出力周波数の 10 分の 1 である。ロックレンジはそれぞれの中心周波数で 5%、6.25%、6.25%となった。

図 3.14 に、およそ 2GHz で発振している ILO に、デューティ比 1.7%、周波数 200MHz のパルスを入力し、2GHz でロックした場合の位相雑音を示す。

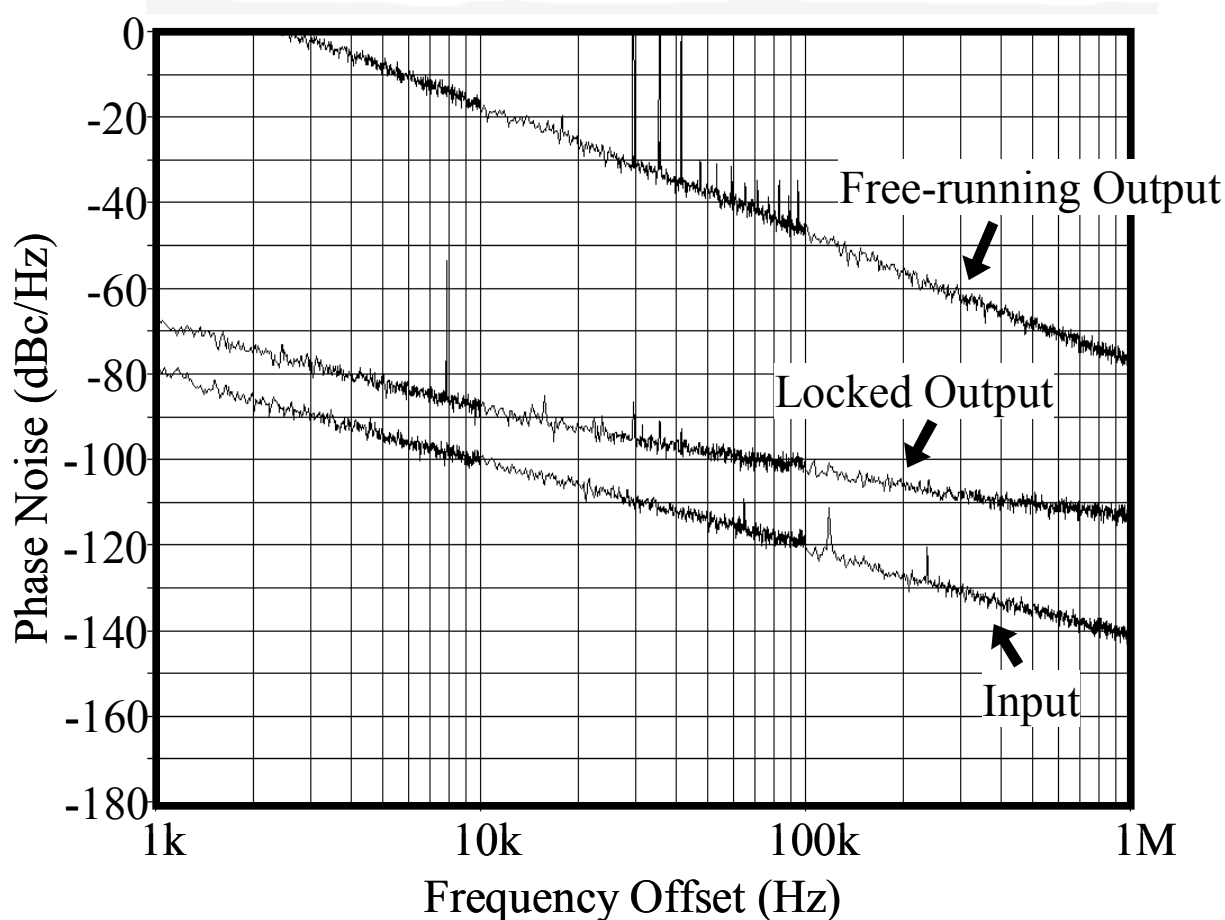


図 3.14 位相雑音

出力の位相雑音は 1MHz オフセットで -108dBc/Hz である。このように、この PILFM は低位相雑音であると言える。

ILO の消費電力は、250MHz 動作時で 9.6 μ W、2.4GHz 動作時で、255 μ W、4.8GHz 動作時で 1.47mW となった。PILFM とこれまでに発表された周波数通倍器の消費電力及び動作周波数の比較を図 3.15 に示す。

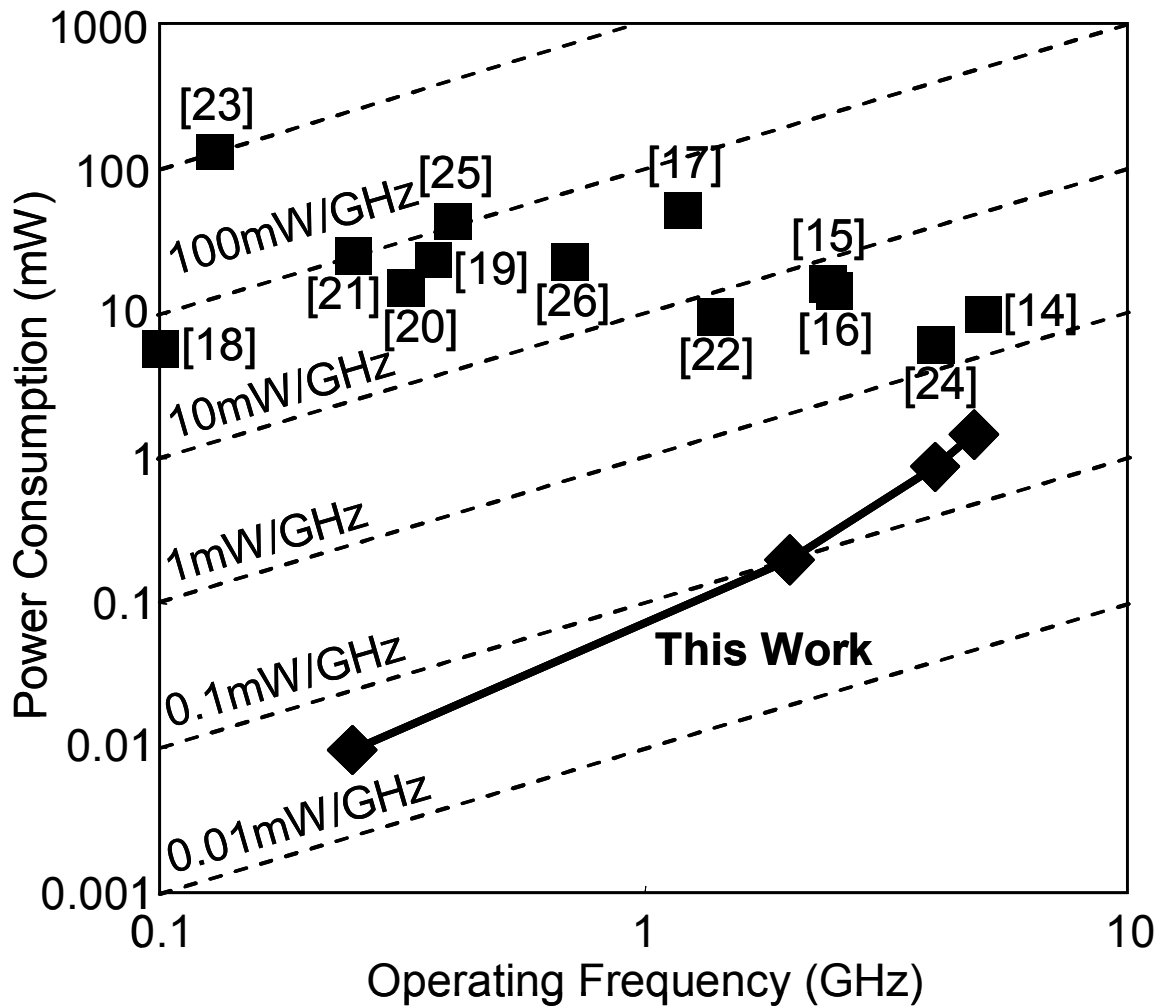


図 3.15 提案した周波数通倍器とこれまでに報告された周波数通倍器の消費電力と動作周波数の比較

図から、本論文で提案した周波数通倍器はこれまでに報告された周波数通倍器と比較しても低消費電力であると言える。ただし、PILFM の消費電力にはパルス生成器の消費電力は含んでいない。しかし、パルス生成器が ILO の 10 分の 1 の周波数で動作するため、パルス生成器もオンチップで実現した場合、パルス生成器の消費電力は無視できるものと考えられる。

表 3.1 に PILFM の性能をまとめる。

表 3.1 PILFM の性能

Technology	0.18μm 1P5M CMOS
Output Frequency	250MHz – 4.8GHz
Locking Range	6.25%@2.4GHz
Phase Noise	-108dBc/Hz@Δ1MHz@2GHz
Power Consumption	255μW@2.4GHz

3.4 まとめ

ワイヤレスセンサネットワーク用無線回路の低消費電力化を要素回路側からのアプローチで実現するために、PLL の低消費電力化を実現したパルス注入同期型周波数逓倍器を提案した。注入同期型発振器を 0.18 μ m 1P5M CMOS プロセスを用いて試作し、コアサイズは 10.8 μ m \times 10.5 μ m であった。250MHz 動作時の消費電力は 9.6 μ W、2.4GHz 動作時の消費電力は 255 μ W、4.8GHz 動作時の消費電力は 1.47mW であった。位相雑音は 1MHz オフセットで -108dBc/Hz であった。この低消費電力で小面積な周波数逓倍器は、ワイヤレスセンサネットワークに用いられる無線トランシーバの低消費電力化、低価格化に貢献することが期待され、WSN 用無線トランシーバに求められる要求の解決策の一つになるものと思われる。

第4章 結論

本研究では、ワイヤレスセンサネットワークに用いられる無線回路の低消費電力化を実現するために、2つのアプローチから研究を行った。

1つ目はシステムの仕様から低消費電力化を実現していくアプローチである。アプリケーションとして Brain-Computer Interface の無線化を考え、無線通信システム全体を設計し、低消費電力化を目指した。周波数帯としては、電界強度以外に無線通信に関する規格が無い微弱無線局の範囲を用い、通信方式は送信時に電力を消費する時間が短いパルス通信を採用した。変調方式は振幅変動に強いパルス間隔変調を用いた。また、複数のセンサが同時に通信できるように CDMA 方式を用いた。31 チャンネル通信が可能な送信機と受信機を設計し、シミュレーションにより消費電力を見積もった。その結果、送信機の平均消費電力が約 247 μ W、受信機の平均消費電力が約 61 μ W になった。この送信機の平均消費電力は、電圧 1.5V、容量 2.6Ah、リーク電流 30 μ A の単三型アルカリ電池をバッテリーとして使用して、約 1 年半使用し続けることができる計算になり、ワイヤレスセンサネットワーク用無線回路の極低消費電力化を実現することができるものである。0.18 μ m 1P5M CMOS プロセスを使用し試作した回路は、回路の設計ミス等により動かなかったが、設計で使用した低消費電力化技術はワイヤレスセンサネットワーク用無線回路の低消費電力化を実現できるものと期待される。今後、もう一度試作を行い、極低消費電力でパルス通信が行えることを確かめる。

2つ目は要素回路から低消費電力化を実現していくアプローチである。無線通信システムの最も重要な要素回路である PLL の低消費電力化を実現するために、新しく PILFM を提案した。ILO を 0.18 μ m 1P5M CMOS プロセスを用いて試作し、コアサイズは 10.8 μ m \times 10.5 μ m であった。250MHz 動作時の消費電力は 9.6 μ W、2.4GHz 動作時の消費電力は 255 μ W、4.8GHz 動作時の消費電力は 1.47mW であった。位相雑音は 1MHz オフセットで -108dBc/Hz であった。

本研究において、システム設計と要素回路設計によってワイヤレスセンサネットワーク用無線回路の極低消費電力化を実現した。本研究は、今後更なる低消費電力な無線回路を実現するための解決策の一つになると期待される。

謝辞

本研究は、総務省の戦略的情報通信研究開発推進制度(SCOPE)の御協力の下行われました。また、本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通し、株式会社日立製作所、ローム株式会社、株式会社半導体理工学研究センターの協力で行われました。ご協力頂いた関係者各位に深く感謝の意を表します。

また、本研究を行うに当たり、日頃から丁寧に御指導して頂いた藤島実准教授に大変感謝しております。先生から教えて頂いたことは研究内容のみならず、研究に対する取り組み方や問題解決法など多岐にわたり、大変勉強にも刺激にもなりました。また研究室を様々な面で取り仕切って下さった北澤清子助教、研究室での活動を支えて下さった秘書の渋谷弘枝さんにも大変感謝致します。そして、研究内容や研究生生活において数多くのご指導、ご助言を頂きました本良さんに大変感謝致しております。また、卒業されてからもお世話になりました山本さん、研究室の先輩として御指導して頂きましたライさん、音樹さん、石橋さん、小林さん、ワサンタマーラさん、様々な面で助けられた同期の乾君、神林君、後藤君、王彤君、イベントや生活面で大変お世話になりました夏苺君、萬澤君、王帆さん、林君、足立さん、大橋俊介君、青木君、高橋君、以上全ての方々に心から感謝致します。

参考文献

- [1] C. Enz, N. Scolari and U. Yodprasit, "Ultra low-power radio design for wireless sensor networks," in *Proc. IEEE RFIT*, pp. 1-17, Nov. 2005.
- [2] P. Orsatti, F. Piazza and Q. Huang, "A 20-mA-Receive, 55-mA-Transmit, Single-Chip GSM Transceiver in 0.25- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 1869-1880, Dec. 1999.
- [3] C. Guo, et al., "A Fully-Integrated 900-MHz CMOS Wireless Receiver with On-Chip RF and IF Filters and 79-dB Image Rejection," *VLSI Symposium*, pp. 241-244, June 2001.
- [4] K. Lee, et al., "A Single-Chip 2.4GHz Direct-Conversion CMOS Transceiver with GFSK Modem for Bluetooth Application," *VLSI Symposium*, pp. 42-45, June 2001.
- [5] The University of Birmingham, "Behavioural Brain Sciences," <http://psg275.bham.ac.uk/bbs/symon-fac.htm>
- [6] K. A. Ng and P. K. A. Chan, "CMOS Analog Front-End IC for Portable EEG/ECG Monitoring Applications," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, pp. 2335-2347, Nov. 2005.
- [7] R. F. Yazicioglu, P. Merken, R. Puers, and C. Van Hoof, "A 60mW 60 nV/ $\sqrt{\text{Hz}}$ Readout Front-End for Portable Biopotential Acquisition Systems," in *IEEE ISSCC Dig. Tech. Papers*, pp. 56-57, Feb. 2006.
- [8] Q. Huang and M. Oberle, "A 0.5-mW Passive Telemetry IC for Biomedical Applications," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 937-946, July 1998.
- [9] 総務省, "電波利用ホームページ," <http://www.tele.soumu.go.jp/j/material/rule.htm>

- [10] 柏木 ひろし, “M 系列とその応用,” 昭晃堂, 1996 年
- [11] B. Razavi, “アナログ CMOS 集積回路の設計 基礎編,” 丸善株式会社, 2003
- [12] C. C. Enz and G. C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization,” in *Proc. IEEE*, vol. 84, pp. 1584-1614, Nov. 1996.
- [13] S. F. Al-Sarawi, “Low power Schmitt trigger circuit,” *ELECTRONICS LETTERS*, vol. 38, pp. 1009-1010, Aug. 2002.
- [14] P. Raha, “A 0.6-4.2V low-power configurable PLL architecture for 6GHz-300 MHz applications in a 90 nm CMOS process,” *VLSI Symposium*, pp. 232-235, June 2004.
- [15] S. Keliu, E. Sanchez-Sinencio, J. Silva-Martinez and S.H.K. Embabi, “A 2.4-GHz monolithic fractional-n frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier,” *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 866-874, June 2003.
- [16] S. Shin, K. Lee and S.-M. Kang, “Low-power 2.4GHz CMOS frequency synthesizer with differentially controlled MOS varactors,” in *Proc. ISCAS*, pp. 553-556, May 2006.
- [17] C.-C. Wang, Y.-L. Tseng, H.-C. She and R. Hu, “A 1.2 GHz programmable DLL-based frequency multiplier for wireless applications,” *IEEE Trans.*, vol. 12, pp. 1377-1381, Dec. 2004.
- [18] K. Kim, N. Park and T. Kim, “An unlimited lock range DLL for clock generator,” in *Proc. ISCAS*, vol. 4, pp. 776-779, May 2004.
- [19] T. Olsson and P. Nilsson, “A digitally controlled PLL for SoC applications,” *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 751-760, May 2004.
- [20] K.-H. Cheng and Y.-L. Lo, “A fast-lock mixed-mode DLL with wide-range operation and multiphase outputs,” in *Proc. ESSCIRC*, pp. 189-192, Sept. 2005.
- [21] L. Li, J.H. Chen and R.C. Chang, “A low jitter delay-locked loop with a realignment duty cycle corrector,” in *Proc. SOC Conference*, pp. 73-76, Sept. 2005.

-
- [22] T. Wu, K. Mayaram and U.-K. Moon, "An on-chip calibration technique for reducing supply voltage sensitivity in ring oscillators," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 775-783, April 2007.
- [23] H.-H. Chang, J.-W. Lin and S.-I. Liu, "A wide-range and fixed latency of one clock cycle delay-locked loop," in *Proc. ISCAS*, vol. 3, pp. 675-678, May 2002.
- [24] P.J. Lim, "An area-efficient PLL architecture in 90-nm CMOS," *VLSI Symposium*, pp. 48-49, June. 2005.
- [25] K. Lim, C.-H. Park, D.-S. Kim and B. Kim, "A low-noise phase-locked loop design by loop bandwidth optimization," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 807-815, June 2000.
- [26] H.-H. Chang and S.-I. Liu, "A wide-range and fast-locking all-digital cycle-controlled delay-locked loop," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 661-670, March 2005.
- [27] K. Yamamoto and M. Fujishima, "A 44 μ W, 4.3 GHz injection-locked frequency divider with 2.3 GHz locking range," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 671-677, March 2005.
- [28] X. Zhang, X. Zhou, B. Aliener and A.S. Daryoush, "A study of subharmonic injection locking for local oscillators," *IEEE Microwave and Guided Wave Letters*, vol. 2, pp. 97-99, March 1992.

本研究に関する発表

学会誌論文

- [1] K. Ishibashi, I. C. H. Lai, K. Takano and M. Fujishima, "A Scalable Model of Shielded Capacitors Using Mirror Image Effects," *IEICE Transactions on Electronics*, vol. E90-C, no. 12, pp. 2237-2244, 2007.
- [2] K. Takano, M. Motoyoshi and M. Fujishima, "4.8GHz CMOS Frequency Multiplier Using Subharmonic Pulse-Injection Locking for Spurious Suppression," *IEICE Transactions on Electronics* (submitted).

国際会議講演

- [1] K. Takano, M. Motoyoshi and M. Fujishima, "4.8GHz CMOS Frequency Multiplier with Subharmonic Pulse-Injection Locking," *IEEE Asian Solid-State Circuits Conference*, pp. 336-339, Nov. 12-14, 2007.

国内会議講演

- [1] 高野恭弥, 本良瑞樹, 藤島 実, "パルス注入同期型周波数通倍器," 第11回システムLSIワークショップポスターセッション, 2007年11月.
- [2] 高野恭弥, 本良瑞樹, 藤島 実, "4.8GHz CMOS パルス注入同期型周波数通倍器," 電子情報通信学会総合大会, 2007年3月 (発表予定).