

修士論文

三次元構造トランジスタにおける

基板バイアス効果の検討

**(Study of Body Effect in Transistor
with Three-Dimensional Structure)**

2008年2月4日 提出

指導教官
平本俊郎 教授

東京大学大学院 工学系研究科
電子工学専攻 66476

高橋 啓介
Keisuke Takahashi

内容梗概

本研究は、将来の高速動作・低消費電力 VLSI の実現のために不可欠である、基板バイアス効果による MOSFET の適応的特性変調技術について、その三次元構造デバイス FinFET への適用可能性について検討し、デバイス設計の指針を与えるものである。

基板バイアス効果をデバイスに対し有効に機能させるためには、デバイスが十分な基板バイアス係数を有することが必要である。しかし、将来の新しいデバイス構造として有力視されているマルチゲート MOSFET、特に FinFET においては、基板バイアス係数が小さくなる傾向がある。

本研究ではまず、近年バルクウェハ上に作製されるバルク FinFET が盛んに研究されていることに着目し、バルク FinFET における基板バイアス効果について初めて検討を行った。3次元シミュレーションを用いて、同じスケールで設計された SOI FinFET とバルク FinFET における基板バイアス係数及びリーク電流削減効果を比較し、バルク FinFET において基板バイアス効果がより有効に機能することを確認した。

また、FinFET に限らず一般の MOSFET においては、基板バイアス係数と駆動電流の間にトレードオフが存在する。基板バイアス係数が大きくなるように設計することで、そのために駆動電流が劣化してしまうのは避けたい事態である。しかし、FinFET はその設計自由度を活かし最適化を行うことで、大きな基板バイアス係数と高い駆動電流の両立が可能であることをシミュレーションにより示した。

以上はシミュレーションに基づいた検討であるが、実際にデバイスを作製し実測結果を得ることが求められる。そこで本研究では、BOX が 10nm と極めて薄い極薄膜 BOX ウェハ上に FinFET を作製し、その基板バイアス効果を検証することを目指した。

本研究の結果は、将来の FinFET における基板バイアス効果の適用を実現するために、極めて重要な指針となると考えられる。

目次

序論

| | | |
|-----|-------------|---|
| 1.1 | 背景..... | 1 |
| 1.2 | 本研究の目的..... | 2 |

第1章 基板バイアス効果による低消費電力化とばらつきの補償

| | | |
|-----|--------------------------------|---|
| 2.1 | VLSIにおける消費電力と動作速度..... | 3 |
| 2.2 | VLSIにおけるデバイス特性のばらつき..... | 5 |
| 2.3 | 基板バイアス効果による低消費電力化とばらつきの補償..... | 6 |
| 2.4 | まとめ..... | 8 |

第2章 バルク FinFET における基板バイアス効果

| | | |
|-----|----------------------------------|----|
| 3.1 | はじめに..... | 11 |
| 3.2 | シミュレーションの方法..... | 13 |
| 3.3 | バルク FinFET と SOI FinFET の比較..... | 14 |
| 3.4 | 結論..... | 16 |

第3章 FinFET における基板バイアス係数と電流駆動力の両立

| | | |
|-----|--|----|
| 4.1 | はじめに..... | 22 |
| 4.2 | PTS 分布の最適化..... | 23 |
| 4.3 | 基板バイアス係数 γ と S 値の Fin サイズ依存性..... | 24 |
| 4.4 | 基板バイアス係数 γ と電流駆動力の両立..... | 25 |
| 4.5 | 結論..... | 27 |

第4章 極薄膜 BOX FinFET の試作

| | | |
|-----|------------|----|
| 5.1 | はじめに..... | 34 |
| 5.2 | 試作の方法..... | 35 |
| 5.3 | まとめ..... | 39 |

第5章 結論.....45

参考文献.....47

本研究に関する発表.....50

第1章 序論

1.1 背景

今日の情報化社会は、complementary-metal-oxide-semiconductor (CMOS) very-large-scale-integrated-circuits (VLSI)と呼ばれる技術を基盤として成り立っている。VLSIにおいては、silicon metal-oxide-semiconductor field-effect-transistor (MOSFET)が基本のデバイスとなっているが、過去数十年の間に、スケーリング則による MOSFET の微細化を通じて、VLSI の消費電力はより小さく、動作速度はより速く、そして製造コストはより安く、といった性能向上が図られてきた。しかし、近年になって VLSI の微細化はスケーリング則から逸脱するようになり、微細化に伴う消費電力の増大、チップあるいはデバイスごとの特性ばらつきといった問題が生じてきている。これらの問題により、VLSI の微細化の限界が指摘されている。

この問題の一つの有力な解決策として挙げられるのが、基板バイアス効果を利用する方法である。基板バイアス効果とは、基板電位を変化させることでデバイスの特性を変化させることができる効果である。この基板バイアス効果を用いることで、閾値電圧の変調や、大きな駆動電流と小さなリーク電流の両立を実現することが出来る[1,2]。これはつまり、基板バイアスの変調により VLSI の性能を適応的に最適化することで、高速な回路動作を維持しつつ消費電力を抑制し、さらにはチップ間の特性ばらつきを製造後にも補償することが出来る、ということの意味している。

一方で、微細化限界に対するデバイス構造の観点からの打開策として、FinFET を初めとする3次元構造マルチゲートデバイスが提案されている[3,4]。このマルチゲートデバイスにおいては、ゲートによるチャネルポテンシャルの制御性が従来のプレーナ型 MOSFET に比べて優れているため、微細化による副作用である短チャネル効果に対して、より強いのである。しかし、ゲートによるチャネルポテンシャルの制御性が向上するという事は、同時に基板からのチャネルポテンシャルの制御性の劣化を引き起こす。このことから、マルチゲートデバイスに対して基板バイアス効果を何も考えず適用することは現実的ではない。ただし、基板バイアス効果の観点から見てより有利な構造のマルチゲートデバイスがこれまでにいくつか提案されており[5]、さらなる検討が求められている。

1.2 本研究の目的

これまでに、セミプレーナ型 FinFET、あるいは薄膜 BOX FinFET といった、マルチゲートデバイスの中で基板バイアス効果に適した構造が提案された[3]。本研究ではさらに、バルクを基板として作製されるバルク FinFET における基板バイアス効果について、3次元シミュレーションを用いてその有効性を検討する。

また、基板バイアス効果の有効性を示す数値である基板バイアス係数 γ の大きな構造にすると、一方で相互コンダクタンス g_m あるいはサブスレッショルド係数 S の劣化により、デバイスの電流駆動力が落ちる。すなわち基板バイアス効果と電流駆動力はトレードオフの関係にある。本研究では、大きな基板バイアス効果と高い電流駆動力を両立させるような、デバイス構造あるいは不純物分布を3次元シミュレーションにより探索する。

さらに、既に提案された薄膜 BOX FinFET を試作・評価し、十分大きな基板バイアス効果が得られることを実験的に確かめる。

第2章 基板バイアス効果による低消費電力化とばらつき の補償

2.1 VLSI における消費電力と動作速度

VLSI におけるスケーリング則と呼ばれる法則が 30 年程前に提唱された。これは、MOSFET 中の電界を一定に保ったままサイズを $1/\kappa$ にしたときに、回路性能が理論的にどのように変化するかを明らかにしたものである。回路性能を示す代表的な値がそれぞれどのように変わるかを Table 1 に示す。デバイスのサイズが $1/\kappa$ になると理論的に回路動作速度は κ 倍に、1 チップ当たりの消費電力は $1/\kappa^2$ に、一つのシリコンウェハから得られるチップの数は κ^2 倍になることがわかる。このように、デバイスを微細化することによってより速い動作速度、より小さな電力消費、そしてより安い製造コストといった、何重もの恩恵が受けられることから、この 30 年間 MOSFET はひたすら微細化の歴史を辿ってきた。

しかし、チャンネル長が数百 nm のオーダーの短チャンネルデバイスの領域に入ってくるにつれ、単純にスケーリング則には従わない現象が生じることが明らかになってきた。そのような現象を一般に短チャンネル効果と呼ぶが、短チャンネル効果による最も大きな問題は消費電力の爆発的な増大である。一般に、CMOS VLSI における消費電力の大きさは、以下の式で与えられる[6]。

$$P_{total} = P_{active} + P_{standby} = \frac{1}{2} a f C_{load} V_{dd}^2 + I_{off} V_{dd} \quad (2.1)$$

ここで、 a はスイッチング確率、 I_{off} はリーク電流、 f は VLSI の動作周波数、 C_{load} は負荷容量、 V_{dd} は電源電圧を表している。MOSFET の微細化がスケーリング則に従っていたうちは、この消費電力は主に右辺第一項に示されるアクティブ時の電力消費によって決まっていた。そのため、 V_{dd} を下げることでスケーリング則に従って消費電力が抑制されてきた訳である。しかし、サブミクロンの短チャンネルデバイスになってくると、右辺第二項に示されるスタンバイ時の電力消費がアクティブ時に電力消費を大きく上回って顕在化するようになってきた。これは、短チャンネルデバイスになって I_{off} が急激に増大してきたためである。 I_{off} はさらに以下のような式で表される。

$$I_{off} = I_{sub} + I_{gate} + I_{junction} + I_{GIDL} \quad (2.2)$$

ここで、 I_{sub} はサブスレッショルドリーク、 I_{gate} はゲートリーク、 $I_{junction}$ はソース-ドレイン間の接合リーク、 I_{GIDL} は Gate-Induced-Drain-Leakage (GIDL) と呼ばれるリーク電流である。Fig. 2.1 に、それぞれが MOSFET のどの領域で生じているかを模式的に示す。MOSFET の微細化が進むに従って、 I_{off} を構成するこれら 4 つのリーク電流が全て著しく増大する傾向を示している。Fig. 2.2 に、ITRS において予測されている I_{sub} と I_{gate} の将来動向を示す[7]。2009 年の high-k ゲート絶縁膜の導入による一時的な減少が見込まれているものの、長期的には I_{sub} 、 I_{gate} 共に増大し続ける傾向が見られる。リーク電流が増大すると同時にチップ面積が縮小していくため、チップの単位面積当たりの発熱量はさらに大きく増大していくことになり、消費電力の増大だけでなく回路の異常動作といった信頼性の著しい低下までもが予想される。以上のことから、リーク電流の抑制は可及的速やかに解決されるべき重大問題であると言えよう。

一方で、回路の高速動作も考慮されるべき重要な要素である。一般に CMOS 回路における伝達遅延時間は以下の式で表される。

$$\tau \propto \frac{C_{load} V_{dd}}{I} \propto \frac{V_{dd}}{(V_{dd} - V_{th})^\alpha} \quad (2.3)$$

ここで、 V_{th} は MOSFET の閾値電圧、 α は The α law power [8] の速度飽和指数をそれぞれ示している。また負荷容量 C_{load} は定数としている。この式から、電源電圧が一定のもとで伝達遅延時間を小さくするためには、閾値電圧を小さくすべきであることがわかる。閾値電圧を小さくするという事は、すなわち MOSFET の駆動電流を大きくするという事に相当する。

また、 V_{th} をドレイン電流が 1×10^{-7} [A/ μ m] 流れた時のゲート電圧と定義した場合、サブスレッショルドリーク I_{sub} は次のように表される。

$$I_{sub} = \frac{L}{W} \times 10^{(-7 - \frac{V_{th}}{S})} \quad (2.4)$$

L , W , S はそれぞれ MOSFET のゲート長、ゲート幅、サブスレッショルド係数である。上で議論したように、回路の伝達遅延時間を小さくするためには閾値電圧を小さくすることで駆動電流を大きくするべきだが、(2.4)式からわかるように、閾値電圧を下げると一方で I_{sub} は指数関数的に増大してしまう。(2.2)式で示したように、 I_{sub} はリーク電流

の一部を構成しているため、閾値電圧を下げることはすなわちリーク電流の増大に直結する。

以上のように、回路の動作速度を上げるために閾値電圧を低くして駆動電流を増やそうとすると、一方でリーク電流が増大してしまう。すなわち、回路の高速化と低消費電力化は従来技術の延長上では、トレードオフの関係にあると言える。また、(2.1)から消費電力を抑える最も効果的な方法は電源電圧を下げることであるが、(2.3)式からわかるように回路の動作速度を保ったまま電源電圧を下げるには、閾値電圧も同時に下げなければならず、やはり消費電力の増大につながってしまう。つまり、低消費電力化の技術自体に限界が見え始めていると言える。

2.2 VLSI におけるデバイス特性のばらつき

近年、MOSFET の微細化が進むにつれ、MOSFET 個々の特性のばらつき、あるいはチップごとの特性のばらつきが非常に大きな問題となってきた。そのような特性のばらつきが生じる最も大きな原因は、デバイスの製造工程で生じる様々なパラメータの揺らぎである。MOSFET のゲート長が数 μm と大きい場合は、こういった微小な揺らぎがデバイス特性に与える影響は問題にならないほど小さいものであった。しかし、ゲート長が数百 nm 以下のサブミクロンデバイスの領域に入ることによって、このような微小な揺らぎがデバイスの特性に与える影響が無視できなくなってきた。デバイスの特性がチップごとにばらつくと、チップによって動作速度や消費電力が異なるという問題が生じる[9]。また同一チップ内でデバイス個々の特性がばらつくと、隣接するデバイス同士で特性が全く異なるということが起こり得るため、例えばアナログ回路や SRAM セルなどで動作マージンが十分に確保出来なくなるといった問題が生じる。このようなデバイス間の特性ばらつきは、正常な回路動作そのものを成立させない要因となり、チップの歩留まりに直接影響を与えるため、極めて重大な問題である。

製造工程で生じる揺らぎとしては、具体的にはゲート長の揺らぎ、pn 接合境界の揺らぎ、ゲート酸化膜厚の揺らぎ、不純物分布の揺らぎ、ゲートポリシリコンにおけるグレインの分布の揺らぎ、などが指摘されている[10-12]。例えばゲート酸化膜厚の揺らぎは、ウェハ上でグローバルにばらつくのでチップ間ばらつきの原因となる。一方ランダ

ムドーパント揺らぎ(Random Dopant Fluctiation)などの不純物分布の揺らぎ、あるいはゲートポリシリコンにおけるグレインの分布の揺らぎはローカルにばらつくため、デバイス間ばらつきの原因となる。グローバルなばらつきは、従来のプロセス技術を改善することで解消されるが、ローカルなばらつきは不純物原子の注入位置など従来の技術で制御出来ない要素により生じるものであり、さらなる微細化への最も大きな障壁となっている。

2.3 基板バイアス効果による低消費電力化とばらつきの補償

前節までで述べてきたように、VLSIにおいて消費電力の抑制が限界に達しつつあり、またデバイス特性のばらつきが大きな問題となってきている。これらの問題はデバイス側からの観点では解決が極めて難しいと考えられる。そこで基板バイアス効果を利用した方法が、回路側からの観点から提案された解決策として提案されている[1,13,14]。

基板バイアス効果とは、MOSFETの基板電位を変化させることにより、MOSFETの閾値電圧が変化する現象であることはよく知られている。基板電位の変化量に対する閾値電圧の変化量の割合はデバイスの構造などに依存しているため、基板バイアス係数 γ と呼ばれる指標が定義されている。基板バイアス係数 γ は以下の式で表される。

$$\gamma = \frac{|\Delta V_{th}|}{|\Delta V_{sub}|} \quad (2.5)$$

本論文では以降 γ の定義としてこの式を用いる。

さて、基板バイアス効果を用いることにより、MOSFETの閾値電圧を動的に変化させることが出来る。このことを利用すると、前節までに述べてきた低消費電力化あるいは特性ばらつきの問題に対する突破口が見えてくる。

まず、2.1で述べたように低消費電力化に立ちはだかる最も大きな問題は、一つのMOSFETにおいて高い駆動電流と低いリーク電流が同時に両立出来ないことであった。しかし、一般的にCMOS回路におけるMOSFETにおいて、デバイスの動作状態、すなわちゲートがオンされソース・ドレイン間に駆動電流が流れている時間と、デバイスの待機状態、すなわちゲートがオフされリーク電流のみが流れている時間は、同時に生じることはなく、必ずいずれか一方の状態にある。そこで基板バイアス効果を利用し基板

バイアスを動的に変化させることで、デバイスが動作状態にあるときは閾値電圧を低くして高い駆動電流をとれるようにし、一方デバイスが待機状態にあるときは閾値電圧を高くしてリーク電流を極力抑制するようにすれば、従来のままでは超えられなかった消費電力と高速動作のトレードオフをより高いレベルまで押し上げることが出来る。すなわち低消費電力と高速動作の両立が可能となる。

また、デバイス作製後その閾値電圧が 2.2 に述べた特性ばらつきにより目標値からずれている場合、基板バイアス効果を用いることで閾値電圧を目標値まで修正することが可能である。この方法は、デバイス作製後に適用するものであるため、ばらつきによって特性の目標値から大きく外れたチップを救済することで歩留まりの向上を図れるなど、コストの面で非常にメリットの大きい方法である。

以上の様に、基板バイアス効果は低消費電力化あるいはばらつきの補償に対して非常に有効な手段である。以上の動作を特性のグラフ上でまとめた模式図を Fig. 2.3 に示す。

以下で基板バイアス係数 γ の定量的な考察を行う。MOSFET は全て nMOS を想定して議論を進める。まず閾値電圧 V_{th} は以下の式で表される。

$$V_{th} = V_{fb} + 2\psi_B + \frac{\sqrt{2\varepsilon_{si}qN_a(2\psi_B - V_{sub})}}{C_{ox}} \quad (2.6)$$

ただし、 V_{fb} は MOS キャパシタのフラットバンド電圧、 ψ_B は Si のフェルミ準位と真性準位との間の電位、 ε_{si} は Si の誘電率、 N_a は基板不純物濃度、 C_{ox} はゲート酸化膜容量である。これを式(2.5)に代入すると

$$\gamma = \frac{dV_{th}}{dV_{sub}} = \frac{1}{C_{ox}} \sqrt{\frac{\varepsilon_{si}qN_a}{2(2\psi_B - V_{sub})}} \quad (2.7)$$

特に $V_{sub}=0V$ のときにこれは

$$\gamma = \frac{1}{C_{ox}} \sqrt{\frac{\varepsilon_{si}qN_a}{4\psi_B}} = \frac{C_d}{C_{ox}} \quad (2.8)$$

と表される。ここで C_d は基板空乏層容量である。この式からわかるように、 γ はそのデバイスにおける基板空乏層容量とゲート酸化膜容量の比で決まり、ゲート酸化膜容量に対して基板空乏層容量の方が大きいほど、 γ は大きくなるということが言える。

ここまではデバイス構造としてバルク MOSFET を前提として議論を展開してきたが、

SOI MOSFET に関しても基板バイアス係数に関して同様のことが言える。ただしここでは C_d は基板空乏層容量ではなく、チャネル-基板電極間の容量である。実は Bulk MOSFET における C_d もチャネル-基板電極間容量と捉えることができ、また C_{ox} もチャネル-ゲート間容量と言い換えることが出来る。そこで以降では、より一般化して C_G をチャネル-ゲート間容量、 C_B をチャネル-基板間容量とし、

$$\gamma = \frac{C_B}{C_G} \quad (2.9)$$

と考える。このようにすることで γ を Bulk, SOI の両方で共通に考えることが出来、両者間での比較が可能となる。 C_B と C_G がデバイスにおけるどのような値かを Fig. 2.4 に示す。

2.4 まとめ

本章では、2.1 節において近年の VLSI における消費電力の爆発的な上昇について述べ、消費電力抑制と動作速度高速化の両立が極めて困難になっているという問題を紹介した。2.2 節においては、MOSFET の微細化が進むにつれて構造パラメータの僅かな揺らぎが電気的特性に大きな影響を与え、特性のウェハ間及びデバイス間のばらつきの問題が深刻化していることを述べた。以上を踏まえて、2.3 節ではこれらの問題を解決する一つの方法である基板バイアス効果、またその重要な指標である基板バイアス係数 γ を導入した。さらにその後 γ の定量的な説明を行った。

Table 2.1 The improvements in circuit parameters when the devices are scaled by the factor κ .

| | |
|-------------------------------|--------------|
| Circuit delay time | $1/\kappa$ |
| Power consumption per circuit | $1/\kappa^2$ |
| Circuit density | κ^2 |

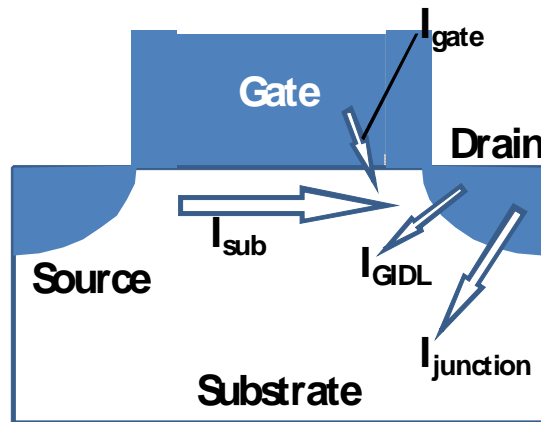


Fig. 2.1 Schematic figure of various kinds of leakage current generated in modern MOSFETs.

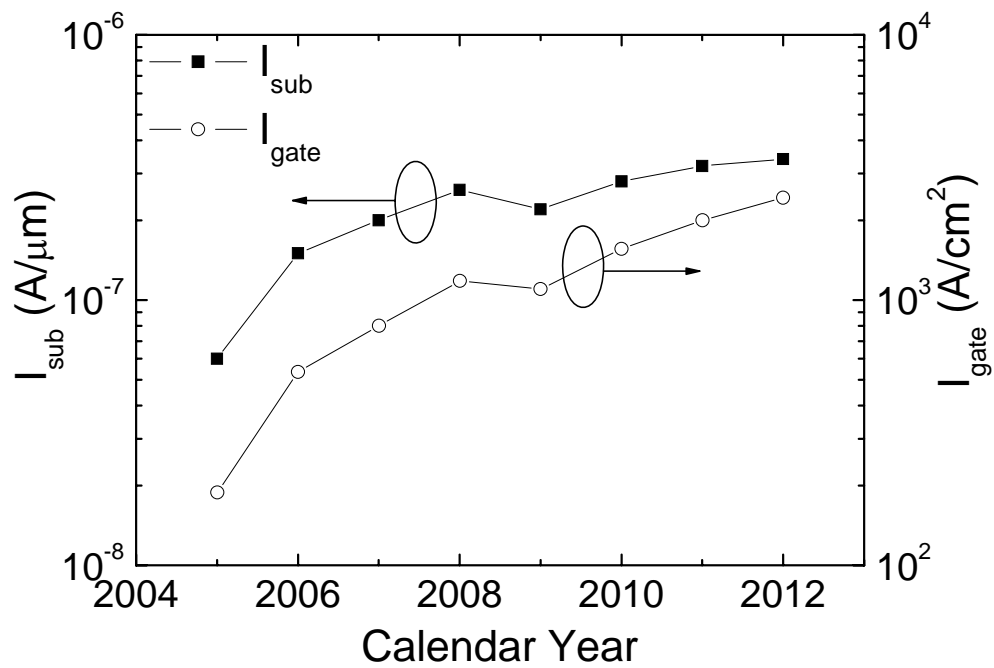


Fig. 2.2 Trends of I_{sub} and I_{gate} predicted in ITRS Roadmap 2006[1].

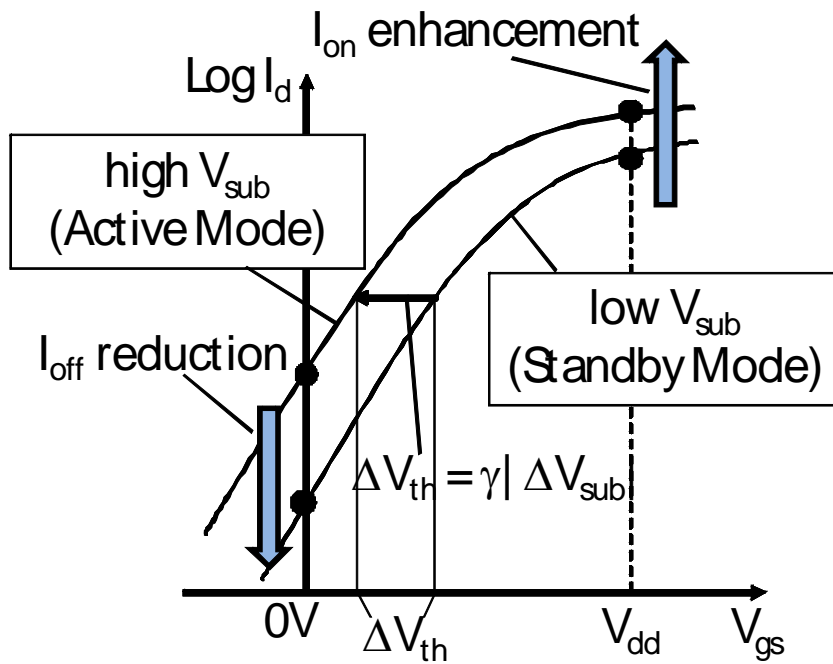


Fig. 2.3 Modulation of I_d - V_{gs} characteristics of MOSFET by back-bias effect.

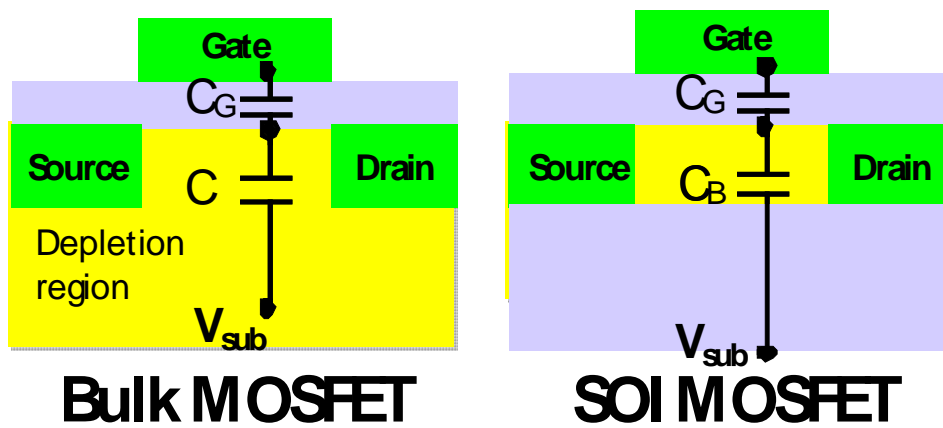


Fig.2.4 C_B and C_G in bulk MOSFETs and SOI MOSFETs.

第3章 バルク FinFET における基板バイアス効果

3.1 はじめに

前章 2.1 節で述べた短チャネル効果の本質的な原因は、デバイスが微細化し短チャネル領域に入ると、ドレイン、ソースといったゲート以外の端子からのチャネル領域への容量結合が顕著になり、その分ゲートのチャネル領域への容量結合が弱くなる、すなわちゲートによるチャネル領域のコントロールが十分に出来なくなるということである。そこでチャネル領域をより多くのゲートで囲むことで、この問題を解決しようというコンセプトのもとに、Double-gate あるいは Triple-gate といった Multi-gate 構造のデバイスが新たに提案された[15]。その簡単なモデル図を Fig.3.1 に示す。(a)は従来の Single-gate SOI MOSFET、(b)は通常のゲートに加え、チャネルを挟んで反対側にもう一つゲートを設けた Double-gate 構造である。この Double-gate 構造を用いることでチャネルに対するゲートコントロールを大幅に改善することが可能である。しかし、この構造を実現するためにはゲートをチャネルの裏側に埋め込まねばならず、従来のような集積プロセス技術では実現が非常に困難であるという問題がある。

この問題は、Fig.3.2(a)に示す FinFET 構造によって解決された[3,4]。これは、チャネルを縦長にし、その周りをゲートで囲むことで、立体的に Double-gate あるいは Triple-gate 構造を実現したものであり、従来のプロセス技術を応用することで比較的容易に実現できる。FinFET は元々 SOI ウェハを用いて作製することを前提として提案されたものであるが、近年になってバルク基板を用いた FinFET も作製されるようになってきている[4]。Fig.3.2(b)にその構造の一例を示す。SOI ウェハではなくバルクウェハを用いることによりウェハコストが削減可能であり、また従来のプレーナ型バルク MOSFET と整合性がよく同一ウェハ上に作製可能である、といった利点がある。特に、SOI デバイスがなかなか世の中に浸透しない大きな理由はウェハコストにあるので、バルクウェハを用いた FinFET は将来に大きな可能性を持っていると言える。ただし、バルク FinFET は SOI FinFET と比較してプロセスがやや複雑化するという難点がある。SOI の場合、Fin パターンのエッチングの際エッチングが SOI から BOX に達したところで自動的に止まるため、Fin の高さの制御が容易であるが、バルクの場合この制御が難しくなるのである。

ここで FinFET における基板バイアス係数 γ について考える。まず SOI FinFET における γ について考える。SOI FinFET における γ は既に簡単な近似によるモデリングがなされている[16]。この報告では、FinFET ではチャンネルに対して三方向からゲートが容量結合していると仮定している。FinFET においては従来のプレーナ型 MOSFET に比べて、チャンネル領域がゲートとより強く容量結合しているため、 C_G が C_B に比べてかなり大きく、なかなか大きな γ をとりづらい。しかし、FinFET においてもやはり低消費電力化及びばらつきへの対策が求められており、基板バイアス効果によるデバイス作製後の適応的特性変調が必須であると考えられる。従って FinFET においても、その構造や不純物分布などを最適化することによって出来るだけ大きな γ を得る必要がある。

ここで、2.3 節の続きとして、バルク MOSFET と SOI MOSFET における基板バイアス係数 γ の比較を行う。まず、バルク MOSFET の $C_B(=C_d)$ について詳細に考えると、式(2.8)から

$$C_B = \sqrt{\frac{\epsilon_{si} q N_a}{4\psi_B}} = \frac{\epsilon_{si}}{t_d} \quad (3.1)$$

と表される。ここで t_d は空乏層幅である。この式から、 C_B はチャンネル-基板間の厚さとその間の材質の誘電率で決まることがわかる。従って SOI デバイスでも同様に、

$$C_B = \frac{\epsilon_{ox}}{t_{BOX}} \quad (3.2)$$

と表せる。ここで ϵ_{ox} は SiO_2 の誘電率、 t_{BOX} は BOX の厚さである。通常、 $\epsilon_{si} = 1.04 \times 10^{-12} \text{F/cm}$ 、 $\epsilon_{ox} = 3.45 \times 10^{-12} \text{F/cm}$ であり、 ϵ_{si} は ϵ_{ox} のほぼ 3 倍である。また t_{BOX} はほとんどの場合 t_d よりも大きい。

以上のことから、SOI MOSFET に比べてバルク MOSFET の C_B の方が大きく、従って酸化膜厚やチャンネル不純物濃度その他のパラメータが同じであれば、バルク MOSFET の方がより大きな γ が得られることがわかる。

以上のことが FinFET でも同様に成り立つことが容易に予測出来る。FinFET の場合においても、バルク FinFET はチャンネルと基板の間に BOX を挟んでいない分、一般にチャンネル-基板間容量 C_B は SOI FinFET のそれと比べて大きく、すなわちより大きな基板バイアス係数 γ を持つと考えられる。そこで 3 次元シミュレーション[17]を用いてバルク FinFET と SOI FinFET の構造を設計し、その基板バイアス係数を特性のシミュレーシ

ンから抽出し比較を行った。以下でその報告を述べる。

3.2 シミュレーションの方法

Fig.3.4 にシミュレーションソフト内で設計したデバイス構造を示す。バルク FinFET と SOI FinFET とを公平に比較するために、両者の構造上の違いは BOX が存在するかしないかのみで、ゲート酸化膜厚、Fin の幅と高さ、チャネル不純物濃度といったパラメータは等しくなるようにした。Table 1 に各パラメータの値をまとめている。パラメータの値としては、ITRS ロードマップ 2005 年度版の High Performance における 2011 年の Double Gate の値を参考にしている[18]。また Fig.3.4 の AA'及び BB'の面で切った断面における、不純物分布を Fig.3.5 に示している。

ここで、Fig.3.5(a)に示したように、バルク FinFET において基板のチャネル直下の領域に高い不純物濃度をもつ領域を設けたことについて説明する必要がある。バルク FinFET では基板領域に BOX のようなものはないため、設定出来る不純物分布の自由度が高い。通常、閾値電圧の調整、チャネル界面でのキャリアの移動度向上、ソース・ドレインと基板間での接合リーク抑制、といった理由から、基板不純物濃度をあまり高くすることは出来ない。しかし、式(3.1)からわかるように、基板不純物濃度 N_a が大きいほど空乏層幅は小さくなり、より大きな C_d が得られ、従ってより大きな γ が得られる。そこで、チャネル直下にのみ不純物濃度の高い領域である PTS(Punch Through Stopper) を設け、ソース・ドレインの下までは不純物の高い領域が広がらないようにする。こうすることで、Fig.3.6に示すようにチャネル下の空乏層の広がりを抑え、大きな γ を確保することが出来る。また PTS とソース・ドレインは接していないため、不純物の急峻な変化は避けられ、接合リークは抑制されている。また PTS 領域とは異なりチャネル領域の不純物濃度は低く設計しているため、不純物散乱による移動度の低下も抑制される。さらに、この PTS はその名の通り、短チャネル効果の一つであるパンチスルーを抑制する役割も果たしている。

果たして実際のプロセスにおいて、この PTS のような不純物分布を実現出来るのかという問題がある。これについては、近年ゲート電極の材料として従来のポリシリコンの代わりにメタルやシリサイドを用いるために、不純物注入とアニールのあとにゲート

を作製するゲートラストプロセスと呼ばれる方法が用いられるようになっており、このプロセスでは、プロセスの途中でゲート領域の酸化膜にのみ空隙のできる時点が存在する。このような構造をダマシン構造と呼び[19]、この状態のときに上から不純物を注入することで、Fig.3.6のようにチャネル直下にのみ不純物を分布させることが可能であると考えられる。

また、今回用いた3次元シミュレーションでは、計算時間の節約のためキャリアを電子またはホールのみしか存在しないとして計算を行うことが出来る。しかし、この場合は基板バイアス効果によって結果的にリーク電流抑制がどの程度達成されるかを調べるのが主目的であり、キャリアが2種類存在することによって初めて生じるリーク電流もあるため、より現実のデバイスに近いシミュレーションを行うためにキャリアは電子、ホールの両者が存在するという設定でシミュレーションを行った。

シミュレーションでは、バルク FinFET のうち PTS 濃度が $1 \times 10^{18} \text{cm}^{-3}$ 、あるいは $1 \times 10^{19} \text{cm}^{-3}$ の2種類と、BOX 膜厚が 10nm の SOI FinFET の計3種類のデバイスについて特性シミュレーションを行い、比較を行った。

3.3 バルク FinFET と SOI FinFET の比較

設計した3種類のデバイスにおける I_d - V_{gs} 特性のシミュレーション結果を Figs. 3.7, 3.8 に示す。Table 1 では3種類のデバイスを示したが、ここでは2つあるバルク FinFET のうち、PTS 濃度が $1 \times 10^{19} \text{cm}^{-3}$ のバルク FinFET B の方と、SOI FinFET の2つを示している。

ドレイン電圧は $V_{dd}=1V$, V_{sub} は $0V$ と $-1V$ の2通りを考え、それぞれの間の V_{th} シフトを調べた。Figs. 3.7, 3.8 を見るとわかるように、予想通りバルク FinFET の場合の方が特性が大きくシフトした。また、バルク、SOI それぞれにおいて、ゲート電圧 V_{gs} が低くなってくるとサブスレッショルドリーク以外のリークが見えてくることがわかる。このリークの原因は SOI FinFET の場合は GIDL (Gate Induced Drain Leakage) であると考えられる。一方、バルク FinFET で同じ領域に生じているリークの原因は、GIDL とソース-基板間の p-n 接合に生じる接合リークの2つであると考えられる。 $V_{sub}=-1V$ のときにより大きいリークが生じていることから、この増加分がドレイン-基板間の接合リークで

ある。

得られた I_d - V_{gs} 曲線からの閾値電圧 V_{th} の抽出方法としては、一定電流法を採用した。まず、シミュレーションにより得られたドレイン電流 I_d の値を、チャネル幅に相当する $2t_{si} + w_{si} = 10\text{nm}$ で割って規格化する。ここで t_{si} は Fin の高さ、 w_{si} は Fin の幅である。この後、規格化したドレイン電流値 $I_d = 1 \times 10^{-7} \text{A}/\mu\text{m}$ となるような V_{gs} を V_{th} と定義する方法である。この方法によって抽出した V_{th} から、以下の式によって基板バイアス係数 γ を算出した。

$$\begin{aligned} \gamma &= \left| \frac{\Delta V_{th}}{\Delta V_{sub}} \right| = \left| \frac{V_{th}(V_{sub} = 0\text{V}) - V_{th}(V_{sub} = -1\text{V})}{0 - (-1)} \right| \\ &= V_{th}(V_{sub} = 0\text{V}) - V_{th}(V_{sub} = -1\text{V}) \end{aligned} \quad (3.3)$$

ここで、 $V_{th}(V_{sub}=0\text{V})$, $V_{th}(V_{sub}=-1\text{V})$ はそれぞれ、基板バイアス $V_{sub}=0, -1\text{V}$ のときの閾値電圧を表している。

このようにして得られた γ を Fig. 3.9 で比較する。このグラフでは Table 1 で示した 3 つのデバイスについて比較している。この結果から以下の 2 点がわかる。

- 1) SOI FinFET とバルク FinFET では、両者の N_{sub} , N_{PTS} が共に $1 \times 10^{19} \text{cm}^{-3}$ である場合、バルク FinFET の方が大きな γ を示す
- 2) バルク FinFET でも N_{PTS} が小さいと γ は小さくなる

まず 2) についてだが、これは式(3.1)から簡単にわかるように、基板不純物濃度が小さくなると空乏層幅が大きくなり、その分チャネル-基板間容量が小さくなり γ が小さくなると考えられる。

次に 1) についてだが、 N_{sub} , N_{PTS} が $1 \times 10^{19} \text{cm}^{-3}$ の場合、SOI, バルクでの空乏層幅は両者ともほぼ 10nm で等しいことが簡単な計算でわかる。3.1 から、このように空乏層幅と BOX 膜厚が等しい場合バルクの γ の方が大きく、シミュレーション結果がこの予想と一致していることがわかる。

以上では γ について比較を行ったが、これらの γ の値に対応して、 $V_{sub}=-1\text{V}$ をかけたときにオフ電流 $I_{off}(V_{gs}=0\text{V}$ のときの $I_d)$ がどのくらい減少するかについても、低消費電力化の観点から非常に重要である。そこでここでは、次式のように定義した I_{off} 低減率 r を指標として用いる。

$$r = \frac{I_{off}(V_{sub} = -1V)}{I_{off}(V_{sub} = 0V)} \quad (3.4)$$

$I_{off}(V_{sub}=0V)$, $I_{off}(V_{sub}=-1V)$ はそれぞれ、基板バイアス $V_{sub}=0, -1V$ のときのオフ電流を表している。 r が小さいほど、同じ基板バイアスでより効率的に I_{off} が抑制されている。この r を3つのデバイスで比較したものを Fig. 3.10 に示す。

r の大小関係が γ と逆になることは容易に予想されることであるが、結果もその通りになっている。 $N_{PTS}=1 \times 10^{19} \text{cm}^{-3}$ のバルク FinFET の場合 $V_{sub}=-1V$ をかけると I_{off} が約 1/10 に削減されており、この場合は基板バイアス効果が低消費電力化のために非常に有効であると言える。

3.4 結論

バルク FinFET と SOI FinFET の基板バイアス効果について、3次元シミュレーションを用いて比較を行った。基板不純物分布の選択の自由度を活かして、バルク FinFET において PTS を導入した。さらに不純物濃度を的確に選択することによって、バルク FinFET の方が SOI FinFET よりも大きな基板バイアス係数 γ が得られることを確認した。また、その結果として基板バイアスを用いたリーク電流抑制という点でも、バルク FinFET がより効率的であることがわかった。

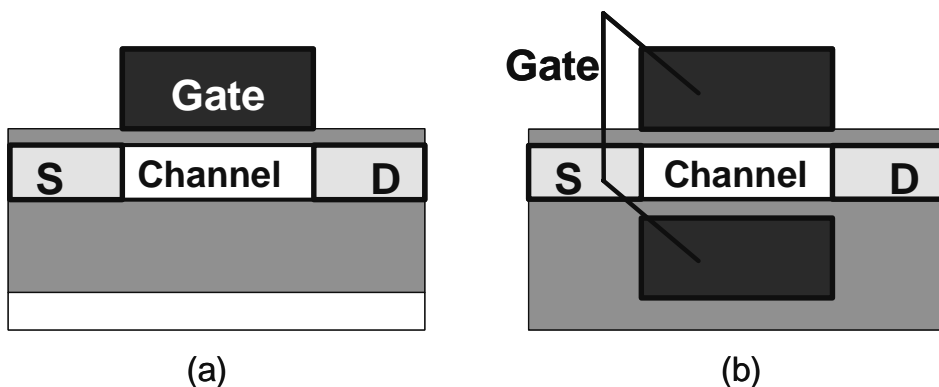


Fig. 3.1 Schematic figures of (a) single-gate MOSFET and (b) double-gate MOSFET.

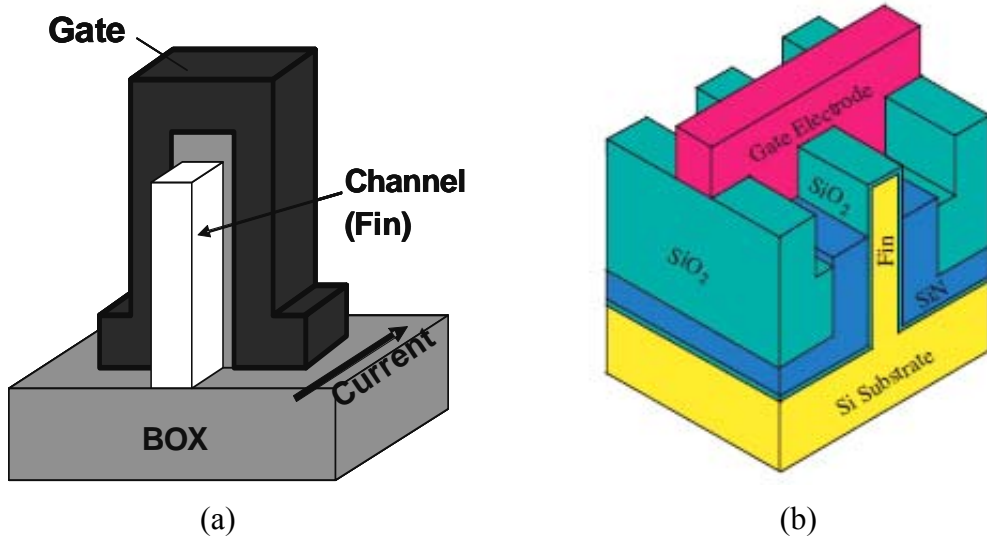


Fig. 3.2 Schematic figures of (a) SOI FinFET and (b) bulk FinFET.

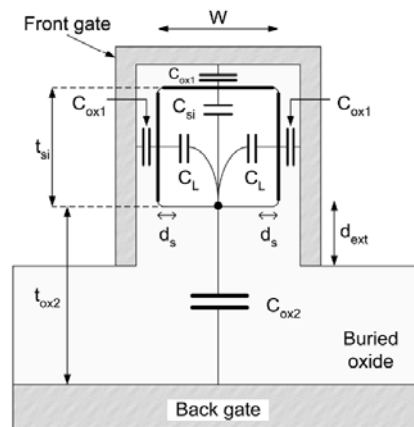


Fig. 3.3 Schematic model of capacitance between channel and substrate bias in SOI FinFET[7].

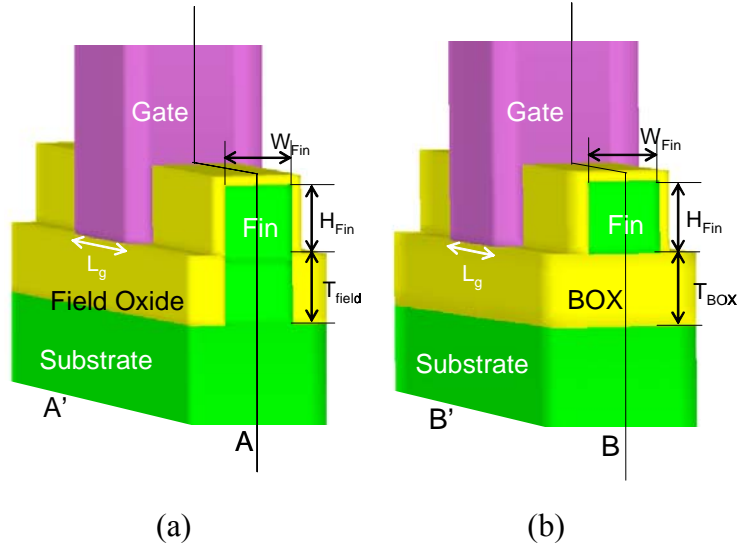


Fig.3.4 Three-dimensional schematic views of simulated (a) bulk FinFET and (b) SOI FinFET. H_{Fin} and W_{Fin} represent fin height and fin width, respectively. T_{field} and T_{BOX} stand for the field oxide thickness and BOX thickness, respectively. L_g is the gate length.

Table 3.1 Main parameters of the simulated devices.

| | Bulk FinFET A | Bulk FinFET B | SOI FinFET |
|--------------------------------------|----------------------------|----------------------------|----------------------------|
| W_{Fin} [nm] | 10 | 10 | 10 |
| H_{Fin} [nm] | 10 | 10 | 10 |
| T_{gox} [nm] | 1.3 | 1.3 | 1.3 |
| | $T_{field}=10nm$ | $T_{field}=10nm$ | $T_{BOX}=10nm$ |
| L_g [nm] | 25 | 25 | 25 |
| $N_{channel}$ [cm^{-3}] | 1×10^{17} | 1×10^{17} | 1×10^{17} |
| N_{PTS} or N_{sub} [cm^{-3}] | $N_{PTS}=1 \times 10^{18}$ | $N_{PTS}=1 \times 10^{19}$ | $N_{sub}=1 \times 10^{19}$ |
| $N_{S/D}$ [cm^{-3}] | 1×10^{20} | 1×10^{20} | 1×10^{20} |

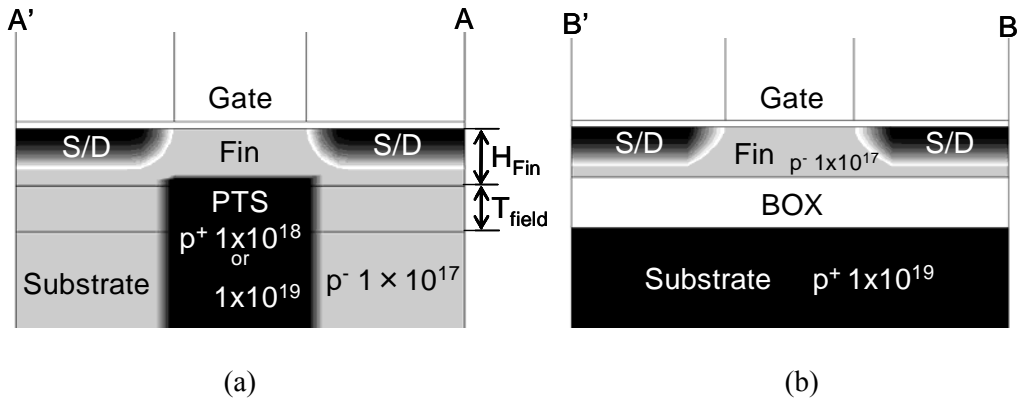


Fig.3.5 Cross-sectional view of the impurity distribution along (a) AA' of bulk FinFET and (b) BB' of SOI FinFET in Fig.11.

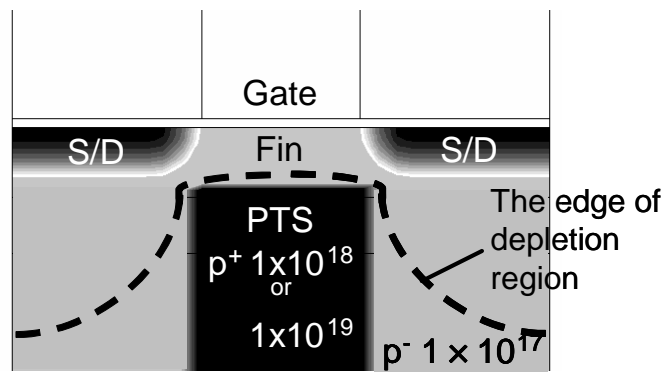


Fig.3.6 A schematic distribution of the depletion region.

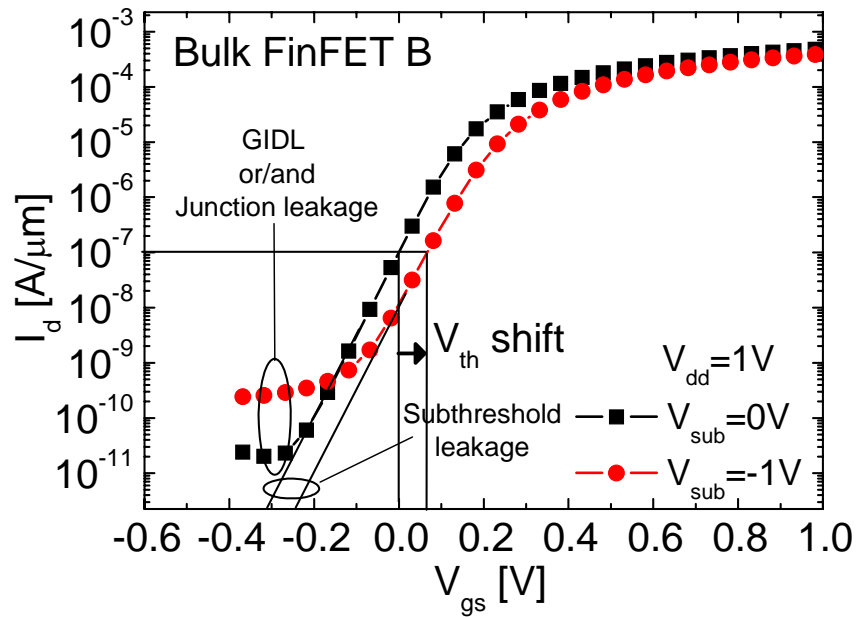


Fig. 3.7 Simulated I_d - V_{gs} characteristics of Bulk FinFET B ($N_{PTS} = 1 \times 10^{19} \text{ cm}^{-3}$)

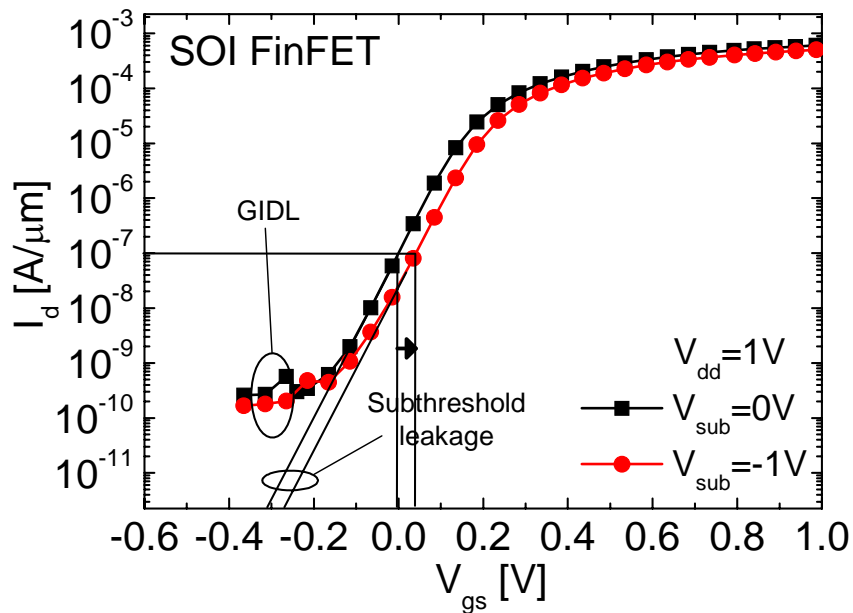


Fig. 3.8 Simulated I_d - V_{gs} characteristics of SOI FinFET ($N_{Psub} = 1 \times 10^{19} \text{ cm}^{-3}$)

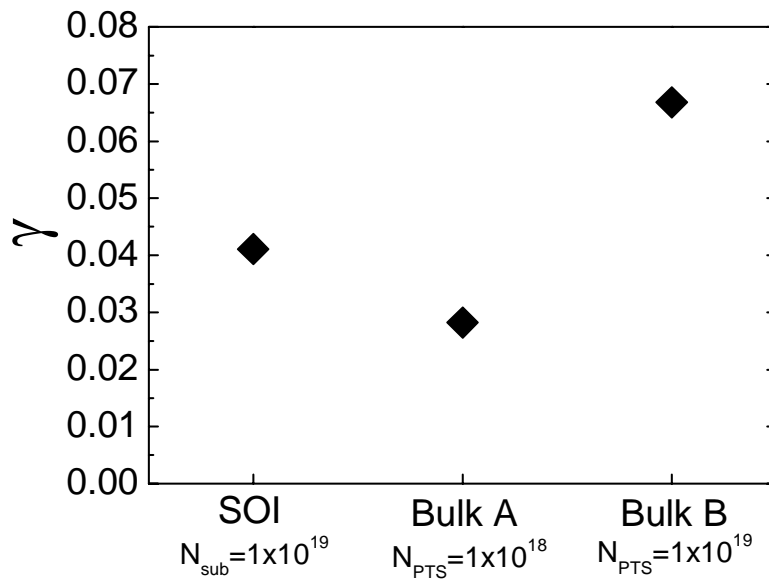


Fig. 3.9 γ of the three devices extracted from I_d - V_{gs} characteristics.

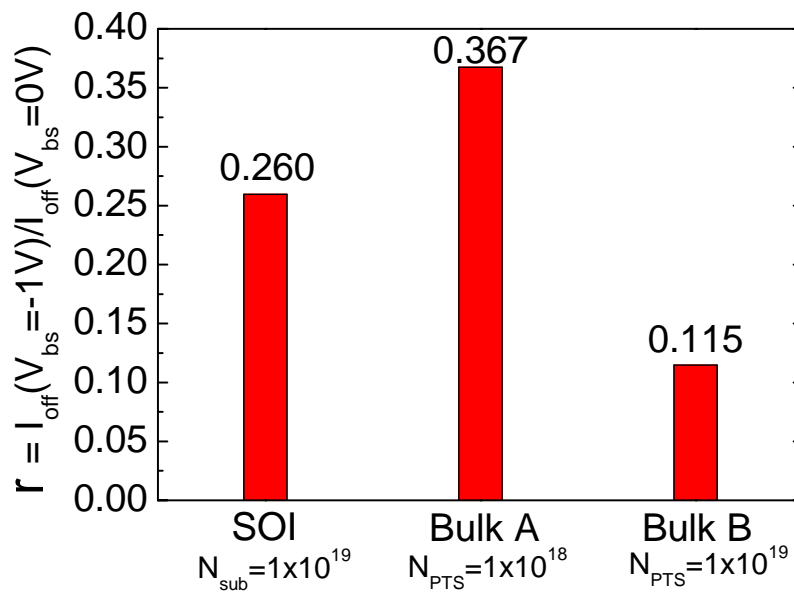


Fig. 3.10 I_{off} reduction rate r of the three devices extracted from I_d - V_{gs} characteristics.

第4章 FinFETにおける基板バイアス係数と電流駆動力の両立

4.1 はじめに

前章では主に基板バイアス係数 γ 及びリーク電流抑制の観点からより優れたデバイス構造について議論を行った。しかし、第2章で既に述べたように、リーク電流抑制は高い駆動電流を保ったままで実現されてこそデバイスの高性能化が図れるのであり、リーク電流抑制と共に駆動電流が大幅に低減してしまっては仕方がない。低消費電力と高速動作を同時に実現することが、理想のデバイスとして目指すべき目標である。そのような観点からみると、 γ はやはり大きい方がよいと考えられる。何故ならば、同じだけ基板バイアスを変調したときに、 γ が大きいほど閾値電圧シフトが大きく、従って基板バイアス効果により、より低いオフ電流とより高い駆動電流が実現出来るためである。

ただし、ここで注意しなければならないことは、 γ とそのデバイスの静特性には依存関係があるということである。例えば、 γ と相互コンダクタンス g_m は以下で示すように、互いに関連性を持っている。MOSFETにおいて、チャージシートモデルから導かれる飽和電流 I_{dsat} は以下の式で表される[6]。

$$I_{dsat} = \mu_{eff} C_{ox} \frac{W}{L} \frac{(V_{gs} - V_{th})^2}{2m} \quad (4.1)$$

ここで μ_{eff} は実効移動度である。また m はボディ効果係数と呼ばれる値であり、以下の式で表される。

$$m = 1 + \frac{C_B}{C_G} = 1 + \gamma \quad (4.2)$$

次に(4.1)、(4.2)式から、 g_m は以下のように表される。

$$g_m = \frac{dI_{dsat}}{dV_{gs}} = \mu_{eff} C_{ox} \frac{W}{L} \frac{V_{gs} - V_{th}}{m} = \mu_{eff} C_{ox} \frac{W}{L} \frac{V_{gs} - V_{th}}{1 + \gamma} \quad (4.3)$$

(4.3)式からわかるように g_m と γ には相互依存関係があり、 γ が増加すると g_m は減少することがわかる。(4.3)式で示したように、 g_m は飽和領域においてゲート電圧 V_{gs} を変化させたときに駆動電流 I_{ds} がどれだけ変化するかという割合を示す値であり、高い駆動電流を得るためには g_m が大きいことが極めて重要であることがわかる。一方で、大きな

g_m を得るためには γ を小さくしなければならず、 γ が小さいと基板バイアス効果による閾値電圧シフトが小さいため、オフ電流の抑制が十分に出来なくなってしまう。また、シフトが小さいと、閾値電圧が求めているものから大きくばらついたチップが生じた場合、基板バイアス効果による補償が出来ない場合も生じ得る。第2章で述べたように、基板バイアス効果を用いた低消費電力化と動作の高速化の両立、またデバイス製造後の特性ばらつきの補償を図るためには、 g_m を大きく、すなわち駆動電流を高い値に保ったまま、大きな γ の値が実現されることが望ましい。

そこで、第3章の内容に引き続いて3次元シミュレーション[20]を用い、バルク FinFET 及び SOI FinFET において高い駆動電流と大きい γ を両立させる構造を探った。本章ではその結果を述べる。

4.2 PTS 分布の最適化

前章で導入したPTSは、バルク FinFET において短チャネル効果を抑制し、かつ空乏層の拡がりを抑制することでチャネル-基板間容量を大きい値に保つ、という意味で、非常に重要な役割を果たしていた。前章まででは、Fig. 4.1(a)に示すようにPTSの最上部はFinチャネル領域のすぐ下に達しているもののみを考えてきたが、PTSの分布としてはより最適化されたものがあるのではないかと考えられる。そこで、Fig. 4.1(b)に示すようにチャネル最下部からPTS最上部までの距離を d_{PTS} という新しいパラメータで設定し、 γ の d_{PTS} 依存性を調べた。3次元シミュレーションを行ったバルク FinFET のモデルの主要なパラメータをTable 4.1に示す。また、本章のシミュレーションでは複雑な要素を除外するために、キャリアは電子のみであるとした。従って、GIDLあるいはソース・ドレイン間の接合リークといった、バンド間トンネリングによって生じるリーク電流は考慮していない。 γ に関しては前章と同様、基板バイアス V_{sub} が0, -1Vのときのそれぞれの閾値電圧の差から求めた。

以上の条件のもとでシミュレーションを行い、抽出した γ の d_{PTS} 依存性をFig. 4.2に示す。 d_{PTS} が増大するに従って、すなわちPTS最上部が下がってくるに従って、 γ が増大していき、 d_{PTS} が8nmあるいは9nmの付近で γ がピークに達し、その後下がる傾向にあるという結果となった。この理由は、 d_{PTS} が増えPTSが下がるに従ってチャネル内の電流パスが

下降し、それによって電流パスと基板との容量結合が増大するためであると考えられる。 $d_{PTS}=10\text{nm}$ で γ が再び減少に転じるのは、PTSが下がっていくことで空乏層端が電流パスの下降を超える速度で下がり、それによって再び電流パスと基板との容量結合が減少するためであると考えられる。

以上の結果から、バルク FinFETにおけるPTSの位置として、その最上部がチャネル下端から8nmのところ最適であると結論づけられる。

4.3 基板バイアス係数 γ と S 値の Fin サイズ依存性

これまでは、主に γ に対して不純物分布が与える影響について調査、議論を行ってきた。一方で、FinFETにおける重要なパラメータである Fin の高さや幅が γ に与える影響も非常に興味深い。SOI FinFETのうち基板不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ のものについては、その γ の Fin 高さ・幅に対する依存性が既に報告されている[5,21]。そこで今回は、SOI FinFETだけでなくバルク FinFETも含めて、その基板不純物濃度、PTSの濃度や分布などが異なるデバイスについて、 γ の Fin 高さ t_{Si} ・幅 w_{Si} に対する依存性を調べ比較を行った。

Figs. 4.3-4.5 にその結果を示す。デバイスはバルク FinFET で $d_{PTS}=0, 8\text{nm}$, PTS 濃度は両者とも $1 \times 10^{19} \text{cm}^{-3}$ のもの 2 種類、また SOI FinFET は基板不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ のもの 1 種類、の計 3 種類に関して調べた。

全てのデバイスについて言えることは、Fin 高さ t_{Si} が増えるに従って γ が減少し、Fin 幅 w_{Si} が増えるに従って γ が増大するということである。これは、 t_{Si} が増えるとチャネルと基板の距離が離れ C_B が小さくなり、また w_{Si} が増えるとチャネルと基板の面積が増え C_B が大きくなるためである。以上のことから、 γ を増大させることだけを考えるならば、 t_{Si} を小さくし w_{Si} を大きくすればよい。さらに γ が大きくなると、もはや t_{Si} に関係なく w_{Si} を大きくするほど γ は増大していくということが Figs. 4.3-4.5 の結果からわかる。従って γ のみを考えるならば、とにかく w_{Si} を大きくするべきであるという結論に至る。

しかし、ここで注意しなければならないことは、今回設計したデバイスとしてはチャネル長が 25nm の短チャネルデバイスを想定しているということであり、このような短チャネルデバイスではチャネルの断面積が増大するに従って、短チャネル効果がより顕

著になっていくということである。短チャネル効果が顕著になり過ぎると、静特性におけるリーク電流が大きくなり過ぎ、いくら γ が大きくとれたところで低消費電力化はおぼつかない。そこで、短チャネル効果が生じない範囲を知るために、サブスレッショルド係数 S の高さ t_{Si} 、幅 w_{Si} に対する依存性も同時に調べ、同じ平面上にプロットした。

基板バイアス V_{sub} を $-1V$ かけたときに閾値電圧 V_{th} が $0.04V$ 以上変化することが実用的に最低限求められるとし、 γ は 0.04 以上である必要があると考える。また、短チャネル効果が生じないために、 S 値は $80mV/dec$ 以下でなければならないと考える。以上をまとめて、 $\gamma > 0.04$ かつ $S < 80mV/dec$ を満たすような t_{Si} - w_{Si} 平面上の領域が設計可能な領域であるとし、この領域を Design window と呼ぶ。

Figs. 4.3-4.5 では、斜線のついた領域が Design window である。元々 γ が大きい構造や不純物分布をもつデバイスは、 $\gamma > 0.04$ を満たす領域が広がるため Design window も広がることが予想される。今回調べた3種のデバイスに関しては $t_{Si}=10nm$, $w_{Si}=10nm$ のもので比較すると、いずれも基板不純物濃度が $1 \times 10^{18} cm^{-3}$ の SOI FinFET[5]よりも大きい γ をもつため、より広い Design window をもつと推測され、実際にその通りの結果を示した。また Design window の形状に関して比較すると、 $d_{PTS}=0nm$ のバルク FinFET は他のものと比べて平たい形状となった。これは、このデバイスにおいて S 値は比較的よい値であるためより広範囲の w_{Si} が許され、一方 Fig.4.2 の結果からもわかるように γ は比較的小さく、 $\gamma > 0.04$ の条件を満たすためにより小さい t_{Si} が求められるためであると考えられる。

4.4 基板バイアス係数 γ と電流駆動力の両立

4.1 節で既に述べたように、一般に大きな γ をもつデバイスほど駆動電流が小さくなるという傾向が存在し、その最も一般的な理由は γ と g_m の間に相関関係が存在することである。また FinFET の場合はさらに、チップ上の単位面積当たりで駆動できる電流量を大きくするためには、Fin 高さ t_{Si} を出来るだけ大きくするべきであるということが言える。しかし、4.3 で述べた結果からわかるように γ の観点から見ると、 t_{Si} を大きくすることはあまり望ましいこととは言えない。つまり、 t_{Si} を介してという意味でも γ と駆動電流の間にはトレードオフの関係が存在する。基板バイアス効果を有効に利用しかつ高い

駆動電流を保つためには、 t_{si} が大きくかつ γ も大きいという性格をもつデバイスが理想的である。

このようなデバイス構造を探すのに、4.3 節で作成した等高線プロットを利用することが出来る。 $\gamma > 0.04$ の条件を満たすもののうちで最も t_{si} が大きいような等高線プロット上の点(t_{si} , w_{si})は、Design window の領域内で最も t_{si} 座標の大きい点である。Figs. 4.3-4.5 を見ると、いずれのデバイスでもそのような点は最上部の頂点の1点に絞られることがわかる。そこでこの点を Design window 内で γ と駆動電流の両方の観点から最適な点であるとし、それぞれのデバイスからその座標(t_{si} , w_{si})を抽出した。抽出した座標を Table 4.2 にまとめる。基板不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ の SOI FinFET については、既に報告されているプロットから抽出を行った[5]。またそれぞれの点の等高線プロット上の位置を、Figs. 4.3-4.5 で☆印で示す。さらに、それぞれの点(t_{si} , w_{si})に対応するサイズのデバイスの、ソース・ドレイン方向に垂直な断面図を Fig.4.6 に示す。この図では、(t_{si} , w_{si})のアスペクト比がそのまま図に反映されるようにスケールをとっている。

さて、抽出したそれぞれの(t_{si} , w_{si})のサイズにおける駆動電流 I_{on} を次のように2種類定義し、抽出を行った。まず、シミュレーションから得られた基板バイアス $V_{sub}=0V$ のときの I_d - V_{gs} 特性を、 $I_{off}=1 \times 10^{-7} \text{ A}/\mu\text{m}$ を満たすように V_{gs} 方向に平行にシフトさせる。そして電源電圧 $V_{dd}=1.0V$ と考え、シフト後の特性における $V_{gs}=1.0V$ でのドレイン電流を求める。これを1つ目の定義である、 $V_{sub}=0V$ のときの駆動電流 I_{on} とする。

また、もう1種類の I_{on} を次のように定義する。 $V_{sub}=0V$ のときに加えて、 $V_{sub}=-1V$ のときの I_d - V_{gs} 特性のシミュレーションも同時に行う。そして、 $V_{sub}=-1V$ のときの特性において、 $I_{off}=1 \times 10^{-7} \text{ A}/\mu\text{m}$ を満たすように同様のシフトを行う。このとき $V_{sub}=0V$ の特性も同時に同じだけシフトを行い、シフト後の $V_{sub}=0V$ の特性における $V_{gs}=1.0V$ でのドレイン電流を求める。これを2つ目の定義である、 $V_{sub}=-1V$ のときの駆動電流 I_{on} とする。この2つめの定義は、言い換えれば基板バイアス効果を用いて、 V_{sub} の1Vの変動分だけ特性を動的に変化させることが出来る場合に得られる駆動電流の値である。

以上の様にして、それぞれのデバイスの特性から抽出した2種類の駆動電流を比較した図をFigs. 4.7, 4.8に示す。Figs. 4.7, 4.8では、駆動電流の規格化の方法が異なっている。一般に、駆動電流の規格化の方法は、そのとき考えている回路において動作速度がどの

ような容量に律速されているかに従う。例えば、容量の総量のうちほぼゲート容量が全てを占めている場合、ゲート容量はFinにおける $2t_{Si} + w_{Si}$ にほぼ比例する。従って、デバイス間で電流駆動力を比較する際は、それぞれその $2t_{Si} + w_{Si}$ で規格化するのが最も公平な比較となる。一方、総容量のうち配線容量の占める割合が大きい場合、配線容量はチップ面積にほぼ比例すると考えれば、Finにおける w_{Si} に比例する。従って、この場合は w_{Si} で規格化した電流を比較するのが最も公平な比較であると言える。

Fig.4.7では、ゲート容量の占める割合が大きい回路を想定し、 $2t_{Si} + w_{Si}$ で規格化した電流を比較している。この場合、4種類のデバイスで若干の違いはあるものの、電流駆動力はほぼ等しいということが言える。これは、 $2t_{Si} + w_{Si}$ で規格化した場合は完全に全チャンネル幅で規格化されているため、Finのアスペクト比が規格化された値に関係してこないためである。また $V_{sub}=-1V$ と示した棒グラフが示すように、基板バイアス効果を用いると同じオフ電流でより高い駆動電流を示すということは、全てのデバイスで共通している。

一方Fig.4.8では、配線容量の占める割合が大きい回路を想定し、 w_{Si} のみで規格化を行っている。この場合はFig.4.7と異なり、SOI FinFETで $N_{sub}=1 \times 10^{19} \text{cm}^{-3}$ のものと、バルクFinFETで $d_{PTS}=8\text{nm}$ のもの2つが残りの2つに比べてかなり大きな電流駆動力を示している。これは、電流を w_{Si} のみで規格化した場合、Finの高さである t_{Si} が考慮されないため、Finのアスペクト比の違いが反映されるためである。値の大きい2つは、その構造上Design windowが大きく、より大きなアスペクト比のFinでも $\gamma=0.04$ を満たすことが出来るため、アスペクト比が大きい、すなわち高いFinによって高い電流駆動力が実現されることがわかる。 $V_{sub}=-1V$ のときの電流駆動力については、Fig.4.7と同様である。

以上より、遅延を引き起こす容量が主に配線容量であるような回路においては、デバイスの構造の最適化によって、同じ基板バイアス係数 $\gamma=0.04$ の条件でもより高い電流駆動力を実現可能であることがわかった。

4.5 結論

本章では、まず初めにバルクFinFETにおけるPTS分布の最適化を行い、より大きい γ を示す分布を調べた。Finの最下部からPTSの最上部までの距離を d_{PTS} と定義し、 γ の d_{PTS}

依存性をプロットしたところ、 $d_{\text{PTS}}=8\text{nm}$ のときに γ が極大値を示した。そこで $d_{\text{PTS}}=8\text{nm}$ が γ の観点からみた最適なPTS分布であるという結論が得られた。

また、異なる基板濃度あるいはPTS分布を持つSOI FinFET及びバルク FinFET数種類における、 γ のFin幅・高さ依存性を調べた。その際、 $\gamma>0.04$ かつ $S<80\text{mV/dec}$ を満たすことが、現実的に基板バイアス効果を実現可能となる条件であるとし、これを満たすFin幅・高さ(w_{Si} , t_{Si})の領域を設計可能領域という意味でDesign windowと定義した。Design windowは、既に報告されている $N_{\text{sub}}=1\times 10^{18}\text{cm}^{-3}$ のSOI FinFET[]と比べ今回調べた3種類はもともと γ の大きいデバイスであるため、 $\gamma>0.04$ を満たす領域が広く全体として広いDesign windowを持つことがわかった。またS値のよい $d_{\text{PTS}}=0\text{nm}$ のバルク FinFETは横に広いDesign windowを、また γ の大きい $N_{\text{sub}}=1\times 10^{19}\text{cm}^{-3}$ のSOI FinFET及び $d_{\text{PTS}}=8\text{nm}$ のバルク FinFETは、縦に広いDesign windowを示した。

さらに、 $\gamma=0.04$, $S=80\text{mV/dec}$ を満たす(w_{Si} , t_{Si})をそれぞれのデバイスから抽出し、そのFinサイズにおける駆動電流 I_{on} を比較した。想定する回路によって駆動電流 I_{on} の定義の仕方を2通り考えた。1つ目はゲート容量が支配的である回路を想定し、駆動電流を $2t_{\text{Si}} + w_{\text{Si}}$ で規格化した。この場合はデバイス間で駆動力にほとんど違いはなかった。一方、配線容量及びソース・ドレイン容量が支配的である回路を想定し、駆動電流を w_{Si} のみで規格化した場合、 $N_{\text{sub}}=1\times 10^{19}\text{cm}^{-3}$ のSOI FinFET及び $d_{\text{PTS}}=8\text{nm}$ のバルク FinFETがより高い駆動電流を示した。このことから、配線容量及びソース・ドレイン容量が支配的である回路においては、デバイスの不純物濃度を最適化することで大きい γ と高い電流駆動力を両立することが可能であることがわかった。

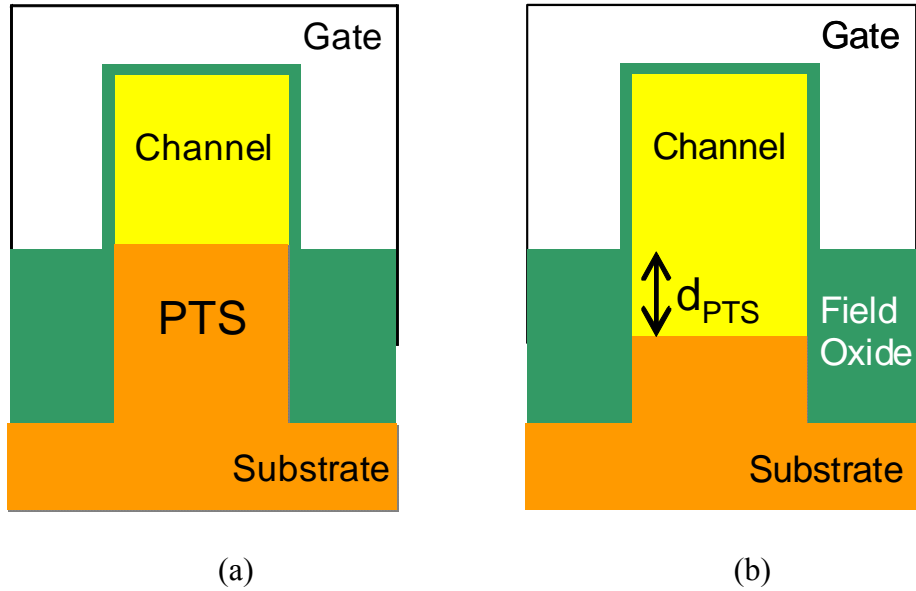


Fig. 4.1 Schematic illustrations of bulk FinFETs with PTS profile (a) discussed in Chapter 3 and (b) discussed in Chapter 4. (b) shows the definition of d_{PTS} .

Table 4.1 Main parameters of the simulated devices.

| | |
|-----------------------|------------------------------------|
| Fin height | 10nm |
| Fin width | 10nm |
| Gate oxide thickness | 1.7nm |
| Field oxide thickness | 10nm |
| L_g | 25nm |
| $N_{channel}$ | $1 \times 10^{11} \text{ cm}^{-3}$ |
| N_{PTS} | $1 \times 10^{19} \text{ cm}^{-3}$ |
| $N_{S/D}$ | $1 \times 10^{20} \text{ cm}^{-3}$ |
| V_{DD} | 1.0V |

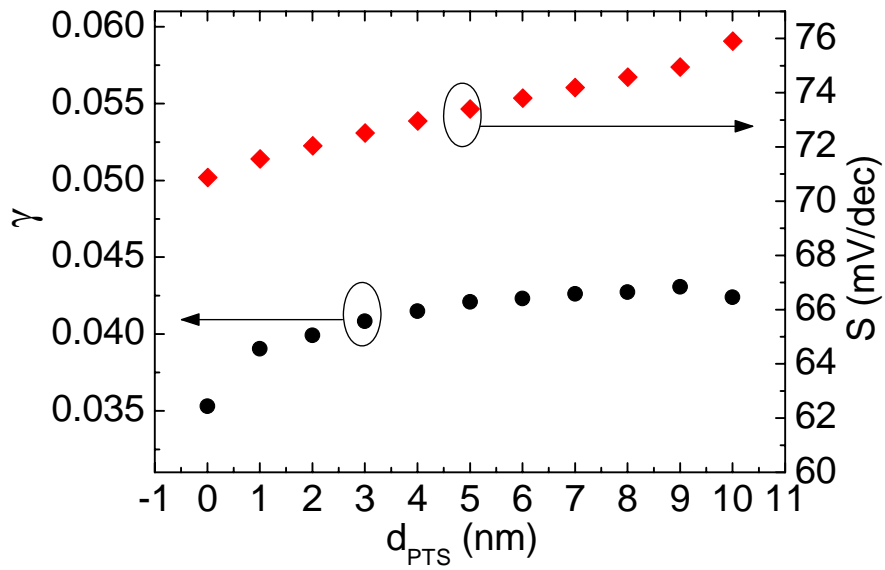


Fig. 4.2 Dependence of γ and S factor on d_{PTS} .

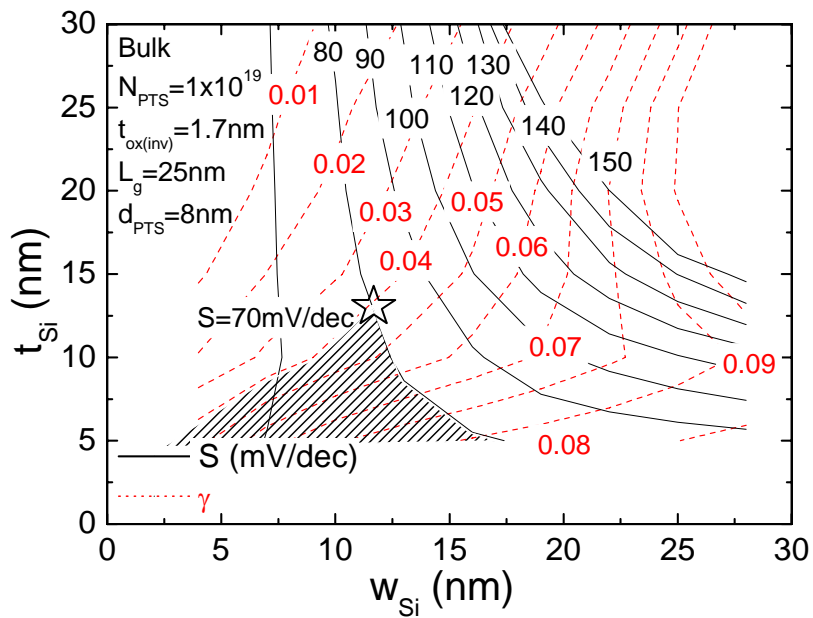


Fig. 4.3 Simulated contour map of γ and S factor on a t_{Si} - w_{Si} plane in bulk FinFET with $d_{PTS}=8\text{nm}$.

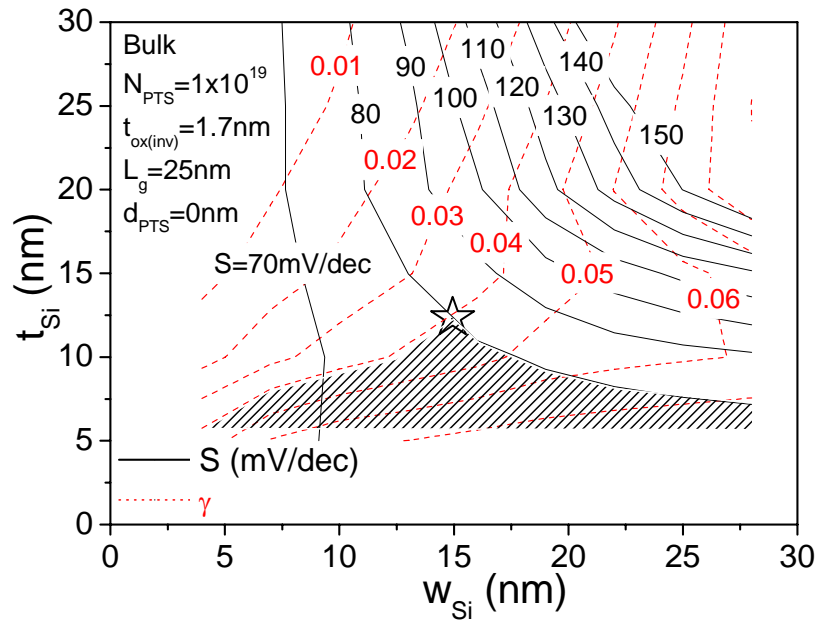


Fig. 4.4 Simulated contour map of γ and S factor on a t_{Si} - w_{Si} plane in bulk FinFET with $d_{PTS}=0\text{nm}$.

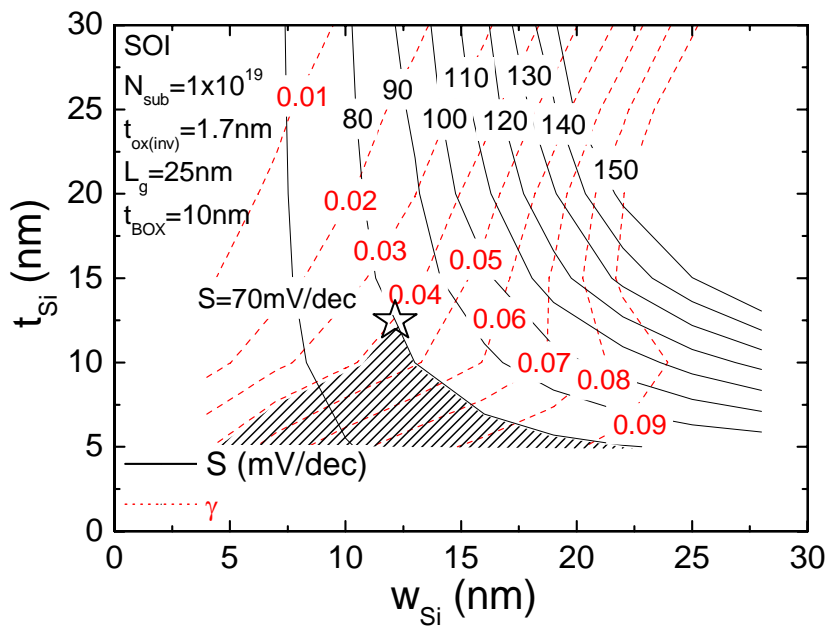


Fig. 4.5 Simulated contour map of γ and S factor on a t_{Si} - w_{Si} plane in SOI FinFET with $N_{sub}=1 \times 10^{19} \text{cm}^{-3}$.

Table 4.2 Extracted combinations of (w_{Si} , t_{Si}) in each device, which correspond to stars in Figs. 4.3-4.5.

| | (a) | (b) | (c) | (d) |
|-------------------------|--|--|--|--|
| | SOI FinFET $N_{sub}=10^{18}cm^{-3}$ $t_{BOX}=10nm$ | SOI FinFET $N_{sub}=10^{19}cm^{-3}$ $t_{BOX}=10nm$ | Bulk FinFET $N_{sub}=10^{19}cm^{-3}$ $d_{PTS}=0nm$ | Bulk FinFET $N_{sub}=10^{19}cm^{-3}$ $d_{PTS}=8nm$ |
| (w_{Si} , t_{Si}) | (12nm, 8nm) | (12nm, 13nm) | (15nm, 12.5nm) | (12nm, 13nm) |

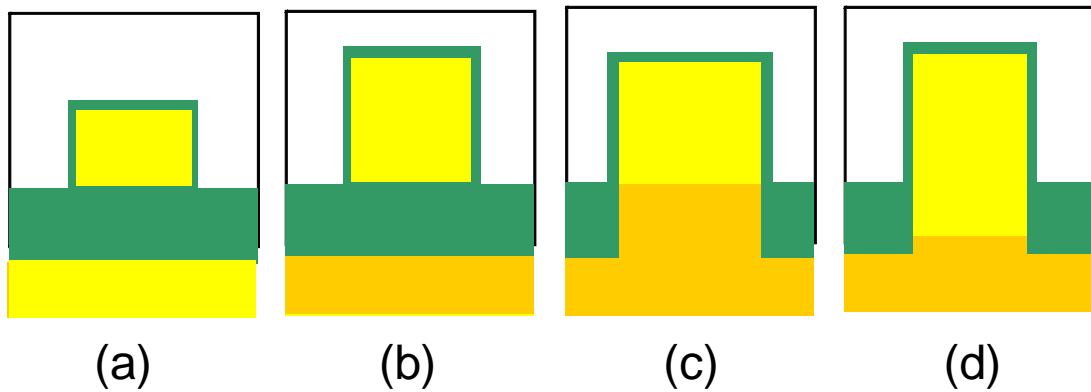


Fig. 4.6 Schematic cross sections of devices with the same aspect ratio in Table 4.2.

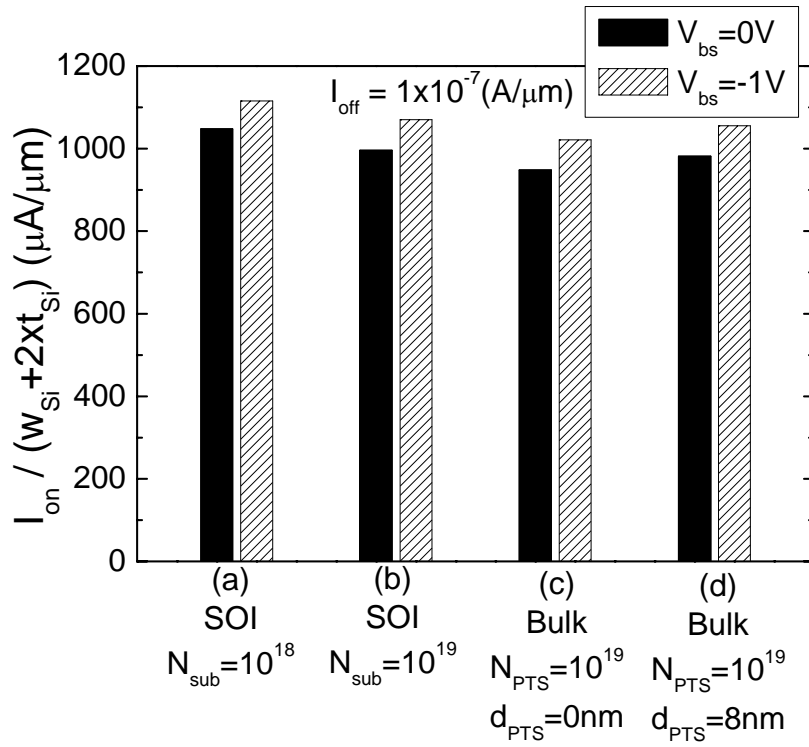


Fig.4.7 Comparison of drive-current normalized by $2t_{Si} + w_{Si}$.

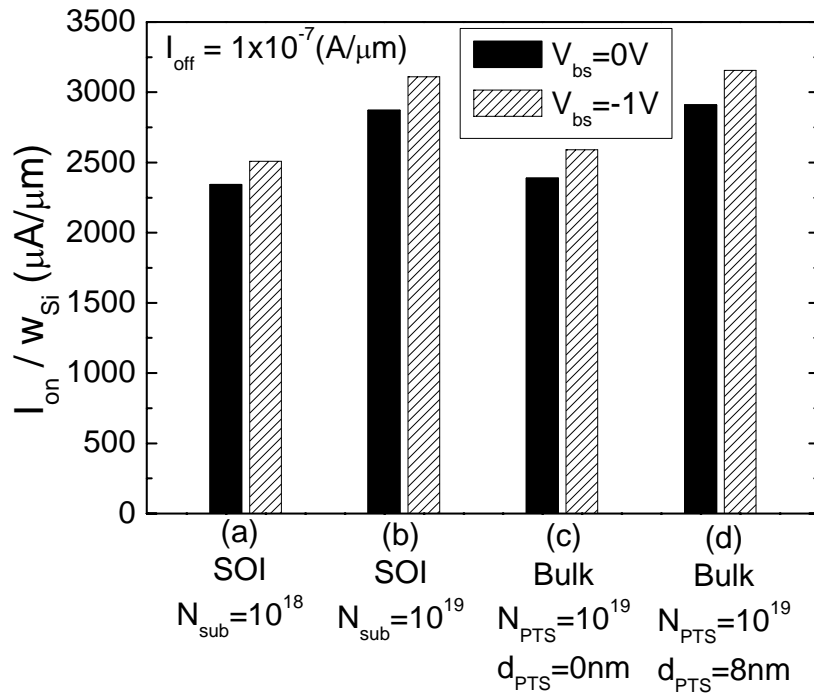


Fig.4.8 Comparison of drive-current normalized by w_{Si} .

第5章 極薄膜 BOX FinFET の試作

5.1 はじめに

前章まででは、3次元シミュレーションを用いて FinFET における基板バイアス効果及びその周辺について調査を行ってきた。しかし、やはりシミュレーションのみではなく実際にデバイスを作製し、実測に基づいて FinFET における基板バイアス効果を論じることがさらに重要であると言えよう。

これまでに、既に数多くの Multi-gate FET, あるいは FinFET の作製、報告がなされている[]。しかし、これらのデバイスにおいて基板バイアス効果を利用するという観点からの報告はほとんどなされていない。そこで、本研究では FinFET を極薄膜 BOX 基板上に作製することで、実際に基板バイアス効果が有効な低消費電力化の手段となり得るということを実証することを目標とした。

既に、従来のプレーナ型 MOSFET においても、FinFET のようなマルチゲートデバイスにおいても、単純に BOX を薄くすることで大きな基板バイアス係数 γ が得られることが指摘されている[3,4,22]。また、特に膜厚が 10-25nm と非常に薄い極薄膜 BOX 上にデバイスを作製し、さらに BOX 直下にサイドゲートと呼ばれる第4の端子を設けることで、基板バイアス係数可変の動作を実現可能であることが報告されている[23]。これを基板バイアス係数可変極薄膜 BOX MOSFET と呼び、構造の概略図を Fig. 5.1 に示す。以下で、極薄膜 BOX 基板を用いたデバイスにおける、基板バイアス係数可変動作について簡単に説明する。

4.1 節で既に述べたように、デバイスのアダプティブな特性変調による待機時のリーク電流削減、及び製造後の特性ばらつきの補償のためには、出来る限り大きい γ を得ることが望ましい。しかし一方で、デバイスの駆動時には γ が大きいと駆動電流が劣化してしまう、という問題がある。そこで、極薄膜 BOX デバイスによる基板バイアス係数可変動作が、デバイスの待機時と動作時それぞれに合わせて γ をアダプティブに変調するというコンセプトのもと提案された[24]。このデバイスの基本的な考え方は、チャンネル直下の直列容量(2.3 節で触れた C_B)を基板バイアスによって変化させ、必要に応じた基板バイアス係数を得る、というものである。Fig. 5.2 に示すように、SOI MOSFET には BOX 直下にシリコン基板が存在する。シリコン基板の状態（蓄積、空乏、反転）は

さまざまな条件により変化するが、主に V_{sub} (Fig. 5.3)に依存する。基板の状態が変化した場合、Fig. 5.2 に示すように基板空乏層容量(C_D)は変化する。従って、この基板空乏層容量の変調を利用して、チャンネル以下の直列容量(C_B)を変化させることが可能である。式(2.9)より、この結果、基板バイアス係数も変化させることが可能であることがわかる。

この基板バイアス係数可変 MOSFET は 2005 年に実際に試作、評価が行われ、実際に基板バイアス係数の変調が報告されている[23]。さらに、このデバイスをリングオシレータとして組み、基板バイアス係数の変調を行うことで動作時にはより速い動作を、また待機時にはより小さい電力消費を実現することが可能であることも確認されている[25]。しかし、FinFET における基板バイアス効果可変動作の実測は未だ確認されておらず、FinFET において同技術が有効であるかどうかは未知数である。

以上より、本研究では極薄膜 BOX FinFET を作製し、十分な γ が得られることを確認すると共に、FinFET における基板バイアス係数可変動作の有効性の検証を行った。

5.2 試作の方法

以下で今回作製した極薄膜 BOX FinFET の試作における条件、試作の流れを説明する。

まず今回は、極薄膜 BOX ということで膜厚 10nm と極めて薄い BOX の基板を採用した。また初期の不純物ドーピングとしては、基板、SOI 共に $1 \times 10^{11} \text{cm}^{-3}$ 程度と薄いものを用いた。ゲート長としては、初めのうちは最短で 30nm 程度の短チャンネルデバイスを考えていた。しかし、今回の試作は FinFET ということで、ゲート幅のみでなくチャンネル幅も数十 nm と極めて細いものを描画しなければならず、ゲート長とチャンネル幅と二重に数十 nm オーダーのものを作製するのは極めて難しいと考え、途中で方針を転換し今回はゲート長については数 μm オーダーに設定することにした。具体的にはゲート長は 2-20 μm 、またチャンネル幅は 30-200nm の範囲で設計を行った。実際には描画の際のオーバー露光、エッチングなどにより設計したものよりやや小さくなる。Fin の高さは Fin 幅とも考え合わせて、30nm をターゲットとした。

Fin の高さが決まったところで、それをターゲットとしてまず SOI の薄層化を行った。ただし、今回は後述するようにチャンネルパターンエッチング深さを調整するため、少し厚めで 50nm 程度とした。次に電子線描画装置を用いてチャンネルパターンを描画した。

その後、描画したパターンをマスクとしてドライエッチングによりチャネルパターンのエッチングを行った。このエッチングの際、パターンがない部分も SOI が 12-13nm 程残るようにエッチング時間を調整した。このような方法を採用した理由を以下で説明する。

MOSFET の作製において最も注意を要するのは、ゲート酸化前後のプロセスにおけるサンプルのクリーン度である。何故ならば、このゲート酸化の前後においてサンプルに汚染が生じた場合、ゲート酸化膜に不純物が混入し、完成したデバイスが閾値のドリフトなど非常に不安定な特性を示すようになってしまうためである。そのため、どの現場においてもこの工程のサンプルの洗浄に関して入念な管理が行われているのが普通である。本研究室のプロセスにおいても、ゲート酸化前に RCA 洗浄と呼ばれる、主に 3 種類のステップから成る入念な洗浄が行われる。この RCA 洗浄は、希フッ酸処理→SPM 洗浄→希フッ酸処理→SC1 洗浄→希フッ酸処理→SC2 洗浄→希フッ酸洗浄、という流れで構成されており、1 つの洗浄の前後に必ず希フッ酸処理を行うようになっている。これは、洗浄の際にシリコンの表面を酸化膜が覆ったままになっていると、汚染物質がうまく除去されないため、予め各洗浄の前に表面の酸化膜を除去してシリコンを露出させておくために行われるものである。しかし、この希フッ酸処理は今回のような薄い BOX を用いたプロセスにおいて、大きな弊害をもたらす。ゲート酸化前のサンプルチップにおいては、チャネル領域を除く大半の領域で BOX が露出した状態となっている。このような状態のときに上述の RCA 洗浄を行うと、何度も希フッ酸に通すことで露出した BOX がエッチングされ消失してしまうのである。その様子を Fig. 5.3 に模式的に示す。BOX が完全になくなってしまうと、今回のような細線デバイスの場合ゲートと基板が導通してしまい、全く正常に動作しなくなってしまう。あるいは BOX が完全には消失しないにしても、細線の下まで BOX がエッチングされ、Fig. 5.5 に示すように BOX アンダーカットと呼ばれる現象が起きてしまう。この状態をそのままにしてプロセスを進めると、ゲートがチャネルの下まで入り込む形になってしまい、基板バイアス効果が極めて効きにくいデバイスとなってしまう。従ってこの BOX アンダーカットは何としても避けなければならない。

その対策として今回検討したのが、RCA 洗浄を別の洗浄に代替するという方法である。候補として挙げられた洗浄方法は、上に述べた RCA 洗浄の工程のうちで、SC1 洗

浄の代わりにフロンティアクリーナーと呼ばれる洗浄液を用いる方法である。このフロンティアクリーナーは、関東化学という会社で開発されたものであり主に有機酸と界面活性剤からなる溶液である。従来の SC1 洗浄は、洗浄後にシリコン表面に数 nm の酸化膜が形成されるために、その後希フッ酸を通さなければならない。一方フロンティアクリーナーはそういった酸化膜を形成するような効果はないため、こちらを用いた場合希フッ酸に通す工程を 1 つ減らすことが出来、BOX のエッチングの副作用を緩和すると考えられる。しかし、フロンティアクリーナーはその洗浄力が未知数であるため、確実な洗浄力があるかどうか確かめる必要があった。幸い当研究室には、サンプル表面に付着しているパーティクルの数をカウントする表面検査装置と呼ばれる装置があったため、これを用いて SC1 洗浄とフロンティアクリーナーによる洗浄の比較評価を行った。

Fig. 5.6 に、2 つの洗浄方法それぞれについて、洗浄前と洗浄後のウェハ上のパーティクル分布を示す。また、Fig. 5.7 にそれぞれの状態におけるウェハ上のパーティクル数の結果を示す。この結果から、フロンティアクリーナーの洗浄力は SC1 には及ばないということがわかる。特にサイズが 0.2-0.3 μm のパーティクルに関しては、洗浄前のパーティクル数は SC1 を施したウェハの方が多かったにも関わらず、洗浄後は SC1 の方がパーティクル数は減っており、SC1 の方が明らかに洗浄力が高いことがわかった。この検証結果を踏まえ、やはり今回はフロンティアクリーナーの使用は見送り、従来通り SC1 洗浄を用いることとした。

以上より BOX エッチングの問題は以前残った。そこで最終手段として、RCA 洗浄前の段階でチャンネル領域以外の領域にも SOI を僅かに残しておく、という方法を採用ことにした。つまり Fig. 5.8 に示すように、チャンネルパターンのドライエッチングの際に、エッチング深さをうまく調整して 12-13nm 程 SOI を残すようにした。このようにすることによって、RCA 洗浄の間 BOX が SOI によって保護され、アンダーカットされずに済む。12-13nm という値を選んだのは、RCA 洗浄とゲート酸化前の犠牲酸化によってエッチングされるシリコンの厚さが、ちょうどそれくらいであるためである。この厚さを選択することによって、ゲート酸化後に残っていた SOI がちょうどなくなり本来求められていた状態となる。

また RCA 洗浄後かつゲート酸化の直前に、水素アニールを行う。水素アニールはシ

シリコンの表面を滑らかにする効果があり、ゲート酸化前に水素アニールを行うことでチャンネル界面を平坦化し、また細線を均一な太さにするという狙いがある。ただしその際にアニール条件が非常に重要であり、適切な条件でアニールを行わないとシリコンが動き過ぎて細線が切れてしまうなどの副作用が生じてしまう。今回条件出しで水素アニールを行った際の細線の状態を示す SEM 像を Fig. 5.9 に示す。この図からわかるように、水素アニールを行うことによってシリコンが動き過ぎて細線が切れてしまっていることがわかる。これを防ぐためには、アニール時の気圧を高くするとよいという報告もされているが[26]、今回用いた装置ではそのような機能はなかった。今回のプロセスではゲート酸化前に犠牲酸化を行うが、これにより界面状態はかなり改善するという事も考え、結局水素アニールは行わないこととした。

ゲート酸化後はゲート材料であるポリシリコンを CVD (Chemical Vapor Deposition) により堆積した。このポリシリコンは、当研究室において通常はドーピングされていないものを用いる。何故ならば、後の工程であるソース・ドレインの不純物注入の際に同時にゲートにも不純物注入が行われるためである。しかし、今回の場合ゲートポリシリコン膜厚が 200nm 程であるのに対し、SOI 膜厚が 30nm 程と相対的に非常に薄く、ソース・ドレイン不純物注入を 25keV とかなり低い値で行った。そのため、厚いゲートポリシリコンはこの不純物注入においては十分にドーピングされないと考えられた。そこでポリシリコン堆積の際に、既にドーピングされているリンドーピングポリシリコンを堆積した。

その後ゲートパターニングを行った。既に述べたように、今回はゲート長が最短でも $2\mu\text{m}$ と長チャンネルのデバイスであるため、電子線描画装置ではなくレーザー露光装置で十分であり、条件出しもそれほど細かく行う必要がなくスムーズに進んだ。ゲートパターンのマスクが出来たところで、ドライエッチングによってゲートパターンのエッチングを行った。

この後はソース・ドレイン不純物注入である。ただし、ここで忘れてはならないのがサイドゲートの存在である。前節で述べたように、極薄膜 BOX MOSFET においては BOX の裏側に反転状態を生じさせるために、サイドゲートが必要である。基板が薄い p 型であるため、サイドゲートは n 型にドーピングする必要がある。これはソース・ドレインのドーピングタイプと同じであるため、サイドゲートの不純物注入をソース・ドレイン

の不純物注入と兼ねることにした。そのために、不純物注入の前に BOX にサイドゲートホールを空けた。その後不純物としてリンを打ち込んだ。

不純物注入後は、再び CVD により保護膜として酸化膜を 400nm 堆積した。その後注入した不純物をイオン活性化するため、RTA (Rapid Thermal Annealing) と呼ばれるスパイクアニールを行う。保護膜は、注入したリンが RTA の際に飛散してしまうのを防ぐという役割も持つ。RTA はアニールの際に、不純物がソース・ドレイン領域からチャンネル領域に拡散してしまうのを防ぐために、急速な昇温、冷却を行うアニールである。その温度の変化の過程を示すグラフを Fig. 5.10 に示す。到達温度は 1100°C で 2sec、昇温レートは 47°C/sec でアニールを行った。

この後はコンタクトホールをエッチングしてからトラップを除去する水素アニール、そしてアルミ蒸着後アルミパターンを描画しエッチングして完成である。現在コンタクトホールまで終了している段階であり、あと数日で完成というところである。完成後直ちに評価を行う。

5.3 まとめ

本章では、本研究の試作の目的として極薄膜 BOX ウェハ上に FinFET を作製し、その基板バイアス可変動作の有効性について検証するということを述べた。さらにその試作の流れを詳細に説明した。本試作は現在も進行中であり、完成し評価が終わり次第報告を行う予定である。

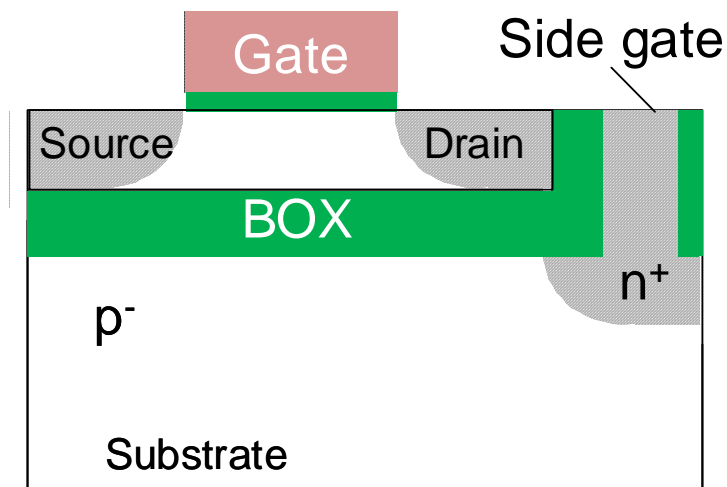


Fig. 5.1 Schematic illustration of ultra-thin-BOX variable-body-factor MOSFET.

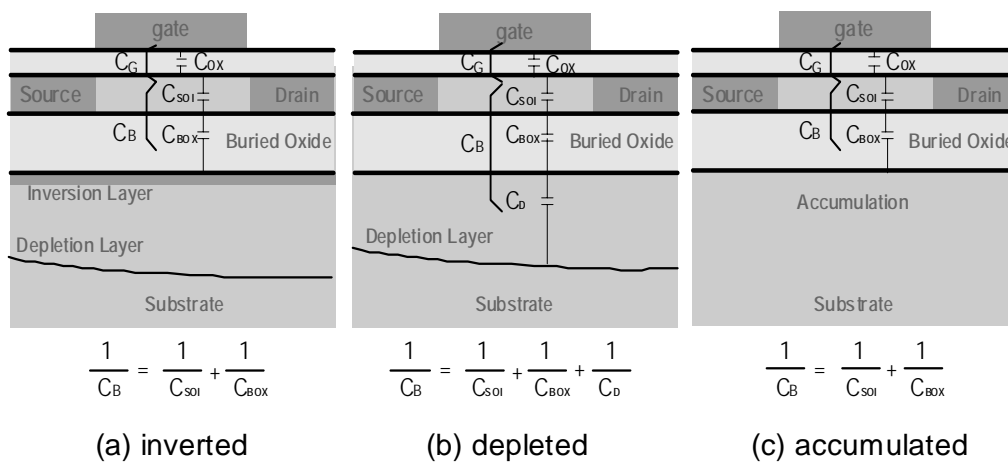


Fig.5.2 Three kinds of condition of the substrate of ultra-thin-BOX MOSFETs. The interface between the BOX and the substrate is (a) inverted, (b) depleted, and (c) accumulated, respectively. Condition (b) can be used as the active mode and (c) as the standby mode.

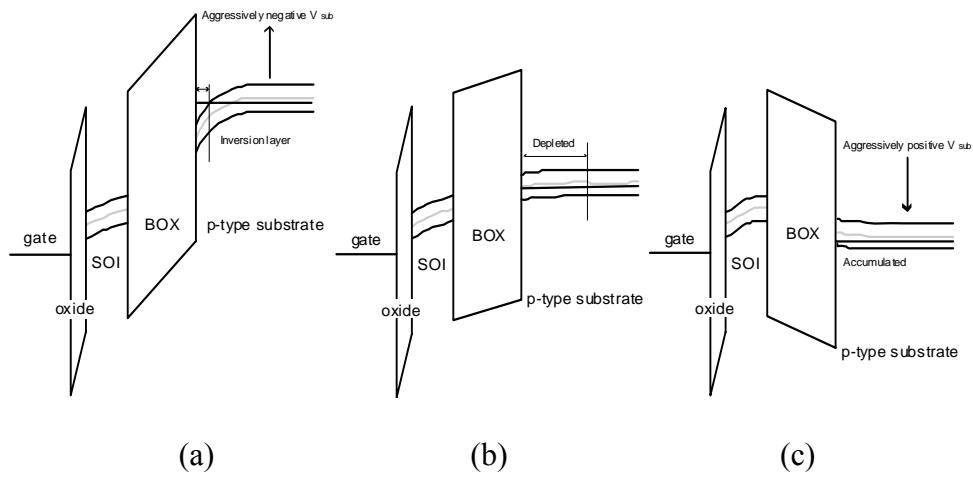


Fig. 5.3 Band diagrams of ultra-thin-BOX nMOSFETs with p-type substrate at various substrate voltages. The interface between BOX and substrate is (a) inverted, (b) depleted and (c) accumulated.

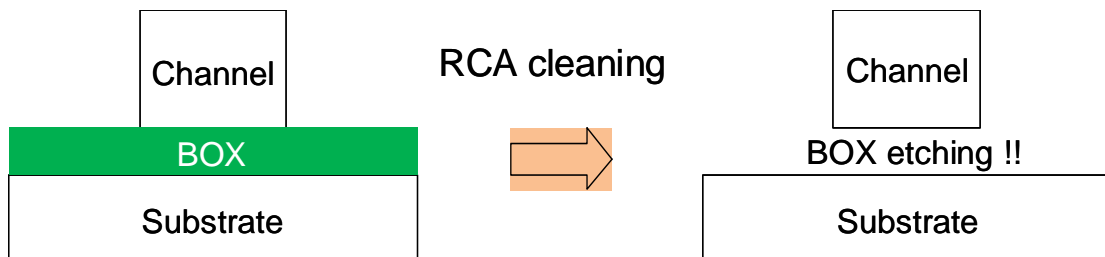


Fig. 5.4 Schematic illustration of BOX etching caused by RCA cleaning.

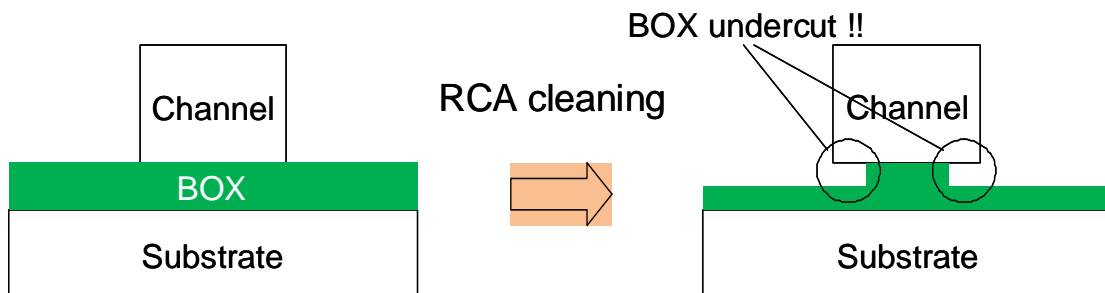


Fig. 5.5 Schematic illustration of BOX undercut caused by RCA cleaning.

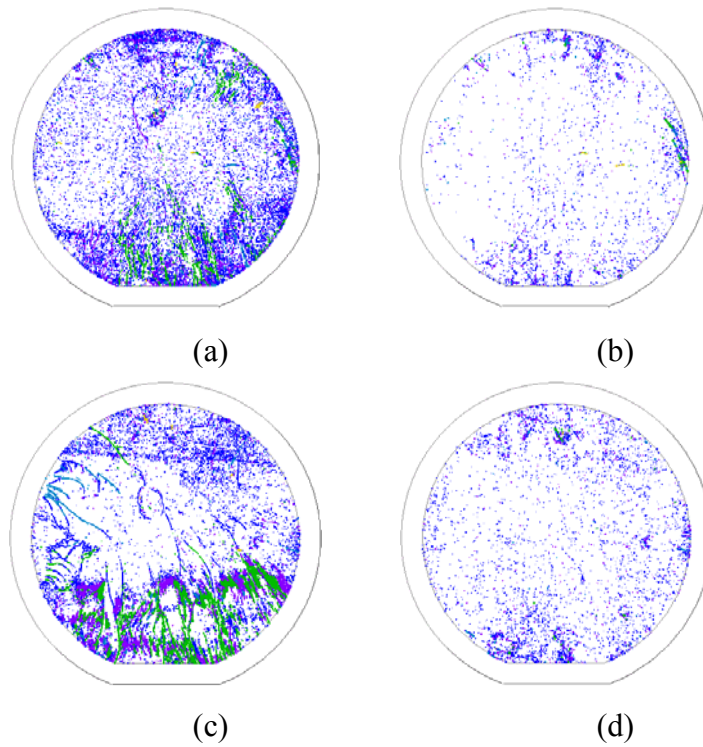


Fig. 5.6 Distributions of particles on wafers (a) before SC1 cleaning, (b) after SC1 cleaning, (c) before Frontier Cleaner and (d) after Frontier Cleaner measured by the particle counter.

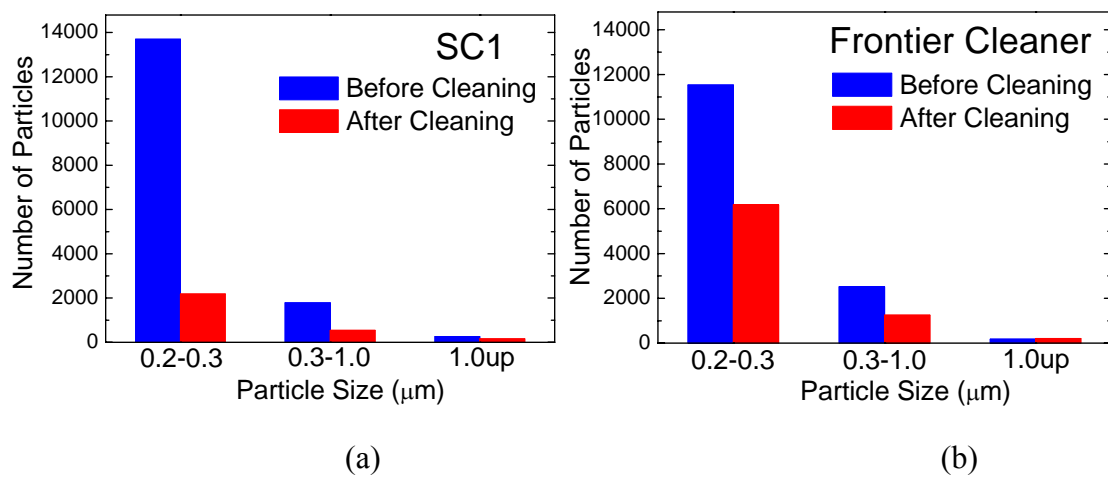


Fig. 5.7 Counted number of particles as results of (a) SC1 cleaning and (b) Frontier Cleaner.

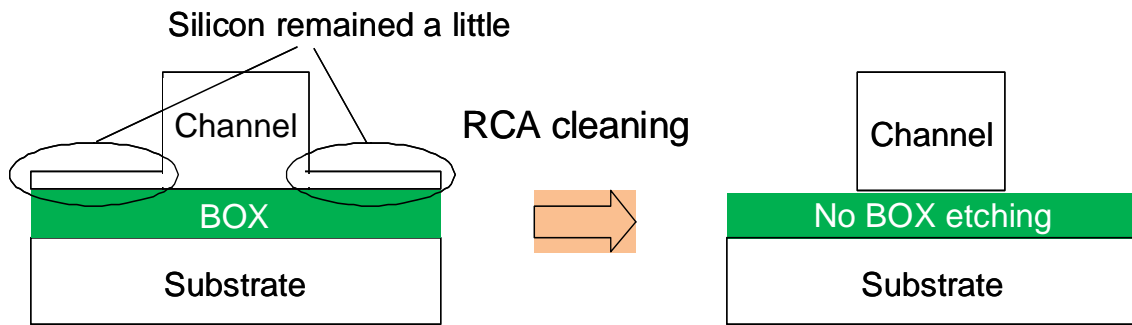


Fig. 5.8 Schematic illustration of prevention of BOX etching by Silicon remaining method.

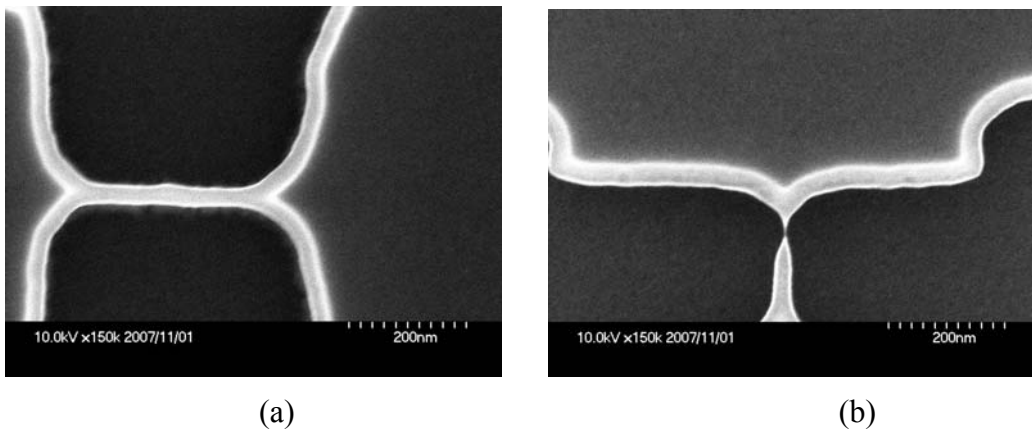


Fig. 5.9 SEM images of the wire patterns (a) before H₂ annealing and (b) after H₂ annealing.

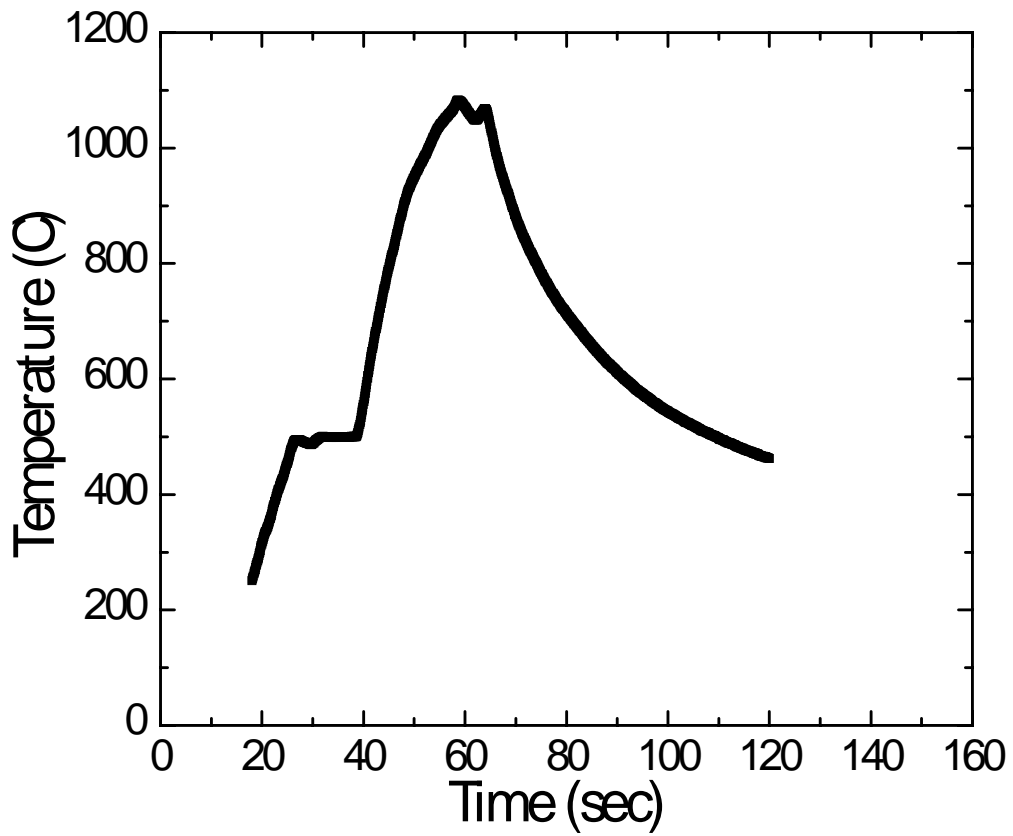


Fig. 5.10 Transition of the temperature at rapid thermal annealing.

第6章 結論

本研究はマルチゲート MOSFET、特に FinFET における基板バイアス効果の有効性を、既に報告されている Fin のサイズ及び BOX 膜厚の観点からさらに拡張し、バルク FinFET における有効性、及び駆動電流との両立の観点から、主にシミュレーションを用いて検証することを目的とした。また、既に提案されている極薄膜 BOX を用いた基板バイアス係数可変動作が、マルチゲート MOSFET において有効であることを示すために、試作を進行させているところであることを述べた。

第3章において、まず FinFET における基板バイアス効果について考察を行った。そして、3次元シミュレーションを用いて SOI FinFET とバルク FinFET における基板バイアス効果の比較を行った。バルク FinFET においては、その不純物分布の自由度を活かし、PTS と呼ばれる不純物高濃度領域を導入することで短チャネル効果抑制と共に大きな基板バイアス係数 γ の確保を実現した。シミュレーション結果から抽出した γ 、及び基板バイアス効果によるリーク電流低減度を比較したところ、高濃度の PTS を導入したバルク FinFET が最も大きい γ 、及び効果的なリーク電流削減を実現出来ることを確認した。

第4章においては、 γ と駆動電流がトレードオフの関係にあることを述べ、その両立を図ることを目的とした検討を報告した。まず準備として PTS の位置を最適化し、その最上部がチャネル最下部から 8nm 下方に存在する位置において γ が最大となることを確認した。さらに、数種類の SOI FinFET 及びバルク FinFET において、 γ 及び S 値の Fin サイズ依存性を調べ、それぞれにおける最適な Fin 高さ・幅を抽出した。最後に、抽出したそれぞれの Fin サイズにおける駆動電流を2通りの規格化の方法により抽出し、比較を行った。1つ目は動作遅延がゲート容量に律速されるような回路を想定して、Fin 高さの2倍と Fin 幅の和の値で規格化する方法で、この場合は駆動電流に違いはほぼ見られなかった。一方、もう1つの、動作遅延がソース・ドレイン容量及び配線容量に律速されるような回路を想定した、Fin 幅のみで規格化する方法で、この場合は基板濃度が $1 \times 10^{19} \text{cm}^{-3}$ の SOI FinFET 及び $d_{\text{PTS}}=8\text{nm}$ のバルク FinFET の2つにおいて、より高い駆動電流が確認された。これらは全て γ が等しくなるように Fin サイズが選択されているため、不純物濃度を適切に選択することで γ と駆動電流の両立が可能であることがわ

かった。

第5章においては、試作の目的として極薄膜 BOX FinFET における基板バイアス係数可変動作の有効性の検証を述べた。そしてその試作プロセスについて詳細な報告を行った。

本研究で得られた結果は、今後実用化される新しいデバイス構造として極めて有力な候補である FinFET において、基板バイアス効果による高速動作・低消費電力を実現するために、その構造及び不純物分布などの設計を行う際の非常に有力な指針となると期待されるものである。

参考文献

- [1] T. Kuroda *et al.*, “A 0.9V, 150-MHz, 10-mW, 4mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme,” *IEEE J. Solid-State Circuits*, **31**, p. 1770, 1996.
- [2] T. Hiramoto *et al.*, “Optimum Device Parameters and Scalability of Variable Threshold Voltage Complementary MOS (VTCMOS),” *Jpn. J. Appl. Phys.*, **40**, p.2854, 2001.
- [3] Digh Hisamoto *et al.*, “A Folded-channel MOSFET for Deep-sub-tenth Micron Era,” *IEDM Tech. Dig.*, p.1032 - 1034, 1998.
- [4] Tai-su Park *et al.*, “Body-tied triple-gate NMOSFET fabrication using bulk Si wafer,” *Solid-State Electronics*, Vol.49, pp.377-383, 2005.
- [5] T. Nagumo *et al.*, “Design Guideline of Multi-Gate MOSFETs With Substrate-Bias Control,” *IEEE Trans. on Electron Devices* **53**, pp.3025, 2006.
- [6] Y. Taur, T. H. Ning, “Fundamentals of modern VLSI devices,” Cambridge University Press, 1998.
- [7] International Technology Roadmap for Semiconductors, 2006 Update.
- [8] T. Sakurai and A. R. Newton, “Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas,” *IEEE J. Solid-State Circuits*, Vol. 25, pp.584-594, Apr. 1990.
- [9] K. Bowman *et al.*, “Impact of Die-to-Die and Within-Die Parameter Fluctuations on the Maximum Clock Frequency Distribution,” *ISSCC Digest of Technical Papers*, pp.278-279, Feb. 2001.
- [10] G. Roy *et al.*, “Simulation Study of Individual and Combined Sources of Intrinsic Parameter Fluctuations in Conventional Nano-MOSFETs,” *IEEE Trans. on Electron Devices* Vol.53,

pp.3063, 2006.

- [11] Arifin Tamsir Putra et al, "Random V_{th} Variation Induced by Gate Edge Fluctuations in Nanoscale MOSFETs", *Silicon Nanoelectronics Workshop*, pp.73-74, June, 2007.
- [12] Arifin Tamsir Putra, " Impact of Local Poly-Si Gate Depletion on V_{th} Variation in Nanoscale MOSFETs Investigated by 3D Device Simulation", *International Semiconductor Device Research Symposium (ISDRS)*, WP8-03, December 12, 2007.
- [13] James W. Tschanz et al, "Effectiveness of Adaptive Supply Voltage and Body Bias for Reducing Impact of Parameter Variations in Low Power and High Performance Microprocessors," *IEEE J. Solid-State Circuits*, Vol. 38, pp.826-829, May. 2003.
- [14] Masayuki Miyazaki et al, "1000-MIPS/W Microprocessor using Speed-Adaptive Threshold -Voltage CMOS with Forward Bias," *IEEE International Solid-State Circuits Conference (ISSCC)*, WP 25.6, 2000.
- [15] H.-S. P. Wong et al, "Device design considerations for double-gate, ground-plane, and single-gate ultra-thin SOI MOSFET's at the 25 nm channel length generation," *IEDM Technical Digest*, pp. 407-410, 1998.
- [16] J. Frei *et al.*, "Body Effect in Tri- and Pi-Gate SOI MOSFETs," *IEEE Electron Device Letters*, **25**, p. 813, 2004.
- [17] Taurus-device, W-2004.09, Synopsys Inc., 2004.
- [18] International Technology Roadmap for Semiconductors, 2005 Update.
- [19] C. Oh *et al.*, "Highly Manufacturable Sub-50 nm High Performance CMOSFET Using Real Damascene Gate Process," *IEDM Tech. Dig.*, p.893, 2004.
- [20] Davinci, Y-2006.06, Synopsys Inc., 2006.
- [21] Toshiharu Nagumo et al, "Design Guideline of Multi-Gate MOSFETs Considering Body

- Effect", *International Semiconductor Device Research Symposium (ISDRS)*, December, 2005.
- [22] S. Y. Han et al, "A Novel DRAM Cell Transistor Featuring a Partially-insulated Bulk FinFET (Pi-FinFET) with a pad-Polysilicon Side Contacts (PSC)," *Symp. VLSI Tech.*, pp.166-167, 2007.
- [23] K. Yokoyama et al, "Experimental Demonstration of Variable Body Factor FD SOI MOSFET with Thin Buried Oxide ", *Silicon Nanoelectronics Workshop*, pp. 78 - 79, June, 2005.
- [24] T. Ohtou et al, "Threshold-Voltage Control of AC Performance Degradation-Free FD SOI MOSFET With Extremely Thin BOX Using Variable Body-Factor Scheme", *IEEE Transactions on Electron Devices*, Vol. 54, No. 2, pp. 301 - 307, February, 2007.
- [25] Tetsu Ohtou et al, "Experimental Demonstrations of Superior Characteristics of Variable Body-Factor (γ) Fully-Depleted SOI MOSFETs with Extremely Thin BOX of 10nm", *IEEE International Electron Devices Meeting (IEDM)*, pp. 877 - 880 December, 2006.
- [26] Hitoshi Kuribayashi et al, "Shape transformation of silicon trenches during hydrogen annealing," *Journal of Vacuum Science Technology*, pp.1279-1283, Jul/Aug 2003.

本研究に関する発表

論文誌

- [1] Keisuke Takahashi, Tetsu Ohtou, Arifin Tamsir Putra and Toshiro Hiramoto, “Structural Optimization for Large Body Factor and Effective Leakage Current Reduction in Bulk FinFETs”, submitted to and now under revision at Jpn. J. Appl. Phys.

国際学会

- [1] Keisuke Takahashi, Tetsu Ohtou, Arifin Tamsir Putra, Ken Shimizu and Toshiro Hiramoto, "Body Factor and Leakage Current Reduction in Bulk FinFETs", Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, pp. 95 - 97, June, 2007.
- [2] Keisuke Takahashi, Arifin Tamsir Putra and Toshiro Hiramoto, “FinFETs with Both Large Body Factor and High Drive-Current”, International Semiconductor Device Research Symposium (ISDRS), University of Maryland, College Park, MD, USA, WP9-01-11, December 12, 2007.

国内学会

- [1] 高橋啓介, 大藤徹, 平本俊郎, “Bulk FinFETにおける基板バイアス効果の検討”, 27p-SC-5, 平成19年春季 第54回応用物理学会関係連合講演会.
- [2] 高橋啓介, 大藤徹, アリフィン・タムシル・プトラ, 平本俊郎, “高い電流駆動力と基板バイアス係数を有するFinFET”, 平成20年春季 第55回応用物理学会関係連合講演会, 発表予定.

謝辞

この研究はたくさんの方々のご支援のもとに成り立つものです。

まず初めに、日々大変お忙しい中、熱意と共にご指導下さった指導教官の平本俊郎教授に深くお礼申し上げます。難しくしかし大変やり甲斐のあるテーマを与えて頂き、また惜しむことなくたくさんの方の発表の機会を与えて頂きました。深く感謝致します。

そして、日々試作に関するアドバイスを下さった更屋拓哉助手に深くお礼申し上げます。装置の扱いが大変未熟であるにも関わらず、常に温かい目で見えて頂き、たくさんの方のアドバイスを頂きました。

クリーンルーム設備管理の川井秀夫氏、長城和一氏にはクリーンルームでの試作の際に大変お世話になりました。両氏のご支援がなければ試作は全く成立しなかったでしょう。

卒業された大藤さんには、シミュレーションに関して何もわかっていなかったときから、大変有益なアドバイスを頂きました。宮地さんには、試作、特に細線パターン之作製の際に、自分のくだらない質問にもたくさん答えて頂きました。アリフィンさんには、新しいアイデアを頂き、そのおかげで国際学会に発表することが出来ました。小林さんには、研究室に来たばかりの頃、同じ研究室出身ということで基本的なことを色々と教えて頂きました。清水さんには、試作の方法を一から大変丁寧に教えて頂きました。たくさんの方の時間を割いて頂いたことを心より感謝致します。たくさんの方の有益なアドバイスを頂き、そして目指すべき目標としての姿を見せて頂いた先輩方に深く感謝致します。

また同期の高橋祐二君、朴鐘臣君には、常にたくさんの方の刺激を受けました。研究生活を楽しめたのは、お二人の存在があったからこそだったと思います。

そして個性溢れる後輩の皆さんからも、たくさんの方の刺激をもらいました。

秘書の方々には、陰で支えて頂きました。気が利かずご面倒をおかけすることがたくさんあったと思います。心より感謝致します。

最後に、日々支えてくれた家族に、深く感謝致します。

この研究を支えてくださった全ての方に、深く感謝致します。