

修士論文

プロセッサ性能に対する主記憶バンド幅
の影響の評価

The effect of main memory bandwidth on processor
performance

平成22年2月9日 提出

指導教員

坂井修一 教授

電子情報学専攻

48-086403 江口 修平

概要

本論文では、従来詳細な評価が行われて来なかった主記憶のバンド幅がプロセッサの性能に与える影響についての詳細な評価について述べる。

プロセッサの性能向上より、主記憶の性能向上は遅い。そのため、プロセッサが性能向上するにつれて主記憶のバンド幅が不足すると言われている。そこで、より高速な主記憶バンド幅をもつ主記憶モジュールの開発や、複数チャンネルに同時にアクセスすることによって主記憶バンド幅を広げる技術、主記憶上のデータを圧縮することによって主記憶バスに流れるデータを減らす研究など、様々な研究開発が行われている。

しかしその一方で、プロセッサと主記憶の性能が開きが増加しているからといって、本当にそれだけの主記憶バンド幅をプログラムが必要としているかという研究はこれまでになされて来なかった。

Web 上などでは、デュアル・チャンネル化の効果がほとんどないという報告も散見される。しかし、これらはの報告は、その理由を考察するまでには至っていない。また、耐タンパ・プロセッサ [10] のように、主記憶上のデータを暗号化するプロセッサにおいて、暗号化された主記憶上のデータの復号回路によって主記憶バンド幅が狭くなるのにも関わらず性能低下がほとんどないという研究もあり、本当に広いバンド幅が必要とされているかは疑わしい。

本論文では、様々なベンチマークを用いて、一般的なプログラムがどれほどのバンド幅を必要としているか明らかにした。その結果、一般的なプログラムが多くのバンド幅を必要としていないことが明らかになった。またそれらの理由も考察した。

目次

第1章	はじめに	1
1.1	背景	1
1.2	目的	1
1.3	構成	2
第2章	関連技術	3
2.1	主記憶モジュールのバンド幅の向上	3
2.2	マルチ・チャンネル	3
2.3	キャッシュ-主記憶間のデータの圧縮	4
第3章	評価環境	5
3.1	ベンチマーク	5
3.2	実機	6
3.3	シミュレータ	7
3.4	評価方法	10
第4章	評価結果	11
4.1	主記憶バンド幅を変化させたときの相対実行速度	11
4.1.1	相対実行速度	11
4.1.2	広い範囲でバンド幅を変化させた場合の相対実行速度	12
4.2	マルチスレッド化による影響	13
第5章	考察	18
5.1	主記憶アクセスの分布	18
5.2	推定相対実行速度	21
5.3	必要なバンド幅の見積もり	23
第6章	まとめ	25
	発表文献	26

目次

3.1	行列積のコード(カーネル部)	6
3.2	Intel Core2 プロセッサと Core i7 プロセッサ [5]	7
3.3	シミュレータでのバンド幅の実現	9
4.1	シミュレータと実機で主記憶バンド幅を変化させた時の相 対実行速度 (SPEC2006INT, 姫野ベンチマーク及び マイ クロ・ベンチマーク)	12
4.2	シミュレータと実機で主記憶バンド幅を変化させた時の相 対実行速度 (SPEC2006FP)	13
4.3	シミュレータと実機で主記憶バンド幅を変化させた時の相 対実行速度 (EEMBC)	14
4.4	シミュレータと実機で主記憶バンド幅を変化させた時の相 対実行速度 (NAS Parallel Bench)	15
4.5	主記憶バンド幅と相対速度	16
4.6	NAS Parallel Bench(4 スレッド) で主記憶バンド幅を変化 させたときの相対実行速度	17
5.1	主記憶アクセス間隔の分布 (SPEC2006INT とマイクロ・ベ ンチマーク)	19
5.2	主記憶アクセス間隔の分布 (SPEC2006FP)	20
5.3	主記憶へのアクセス間隔が 24 サイクル以上離れている場合	21
5.4	主記憶へのアクセス間隔が 24 サイクル以下の場合	21
5.5	相対速度の予測値と実測値の相関	22
5.6	行列積の実行パイプラインの様子	23
5.7	NAS Parallel Bench 及び行列積の必要なバンド幅の見積もり	24

表 目 次

1.1	主なメモリ・モジュールの規格	1
3.1	マイクロ・ベンチマーク	5
3.2	主記憶, および, キャッシュに関するパラメータ	8
3.3	シミュレータのパラメータ	9
4.1	相対実行速度	15

第1章 はじめに

1.1 背景

一般に、プロセッサの速度向上率に比べて主記憶の速度向上率は低く、そのため主記憶が性能のボトルネックになる場合が多いと考えられている。また、プロセッサ自体の性能向上だけでなく、プロセッサの多コア化に伴い、バンド幅の不足はさらに深刻になると言われている。

そのため、主記憶の速度向上のための努力が続けられている。たとえばメモリ・モジュールは、図 1.1 に示すように、新しい規格が出るたびにバンド幅は約 2 倍となっている [8, 9]。また、2 つ以上のチャネルを用意することでバンド幅を広げる、デュアル・チャネル[4] やトリプル・チャネルも一般的になっている。

1.2 目的

主記憶バンド幅の向上の努力が続けられているものの、実際にプログラムがどれほどのバンド幅を必要としているかは、これまで明らかにされて来なかった。主記憶バンド幅が増加したからといって、その分の主記憶バンド幅をプログラムが本当に必要としているかは疑問である。実際インターネット上では、PC のデュアル・チャネル化の効果がほとんどないことを報告するページが散見される。ただし、これらのページでは、その理由についての考察がなされるまでには至っていない。

表 1.1: 主なメモリ・モジュールの規格

規格	バンド幅
DDR533 (PC4200)	4.2GB/s
DDR2-1066 (PC2-8500)	8.5GB/s
DDR3-1800 (PC3-14400)	14.4GB/s

そこで今回我々は、主記憶バンド幅がプロセッサ性能に与える影響を明らかにするために、SPEC2006[7]、NAS Parallel Bench[6]などのベンチマークを用いて、主記憶バンド幅を変化させた時のプロセッサ性能を評価した。プロセッサの振る舞いを詳細に把握するため、評価は基本的にはシミュレータを用いて行う。ただし、シミュレータに誤りがないことを検証するため、実機でも同様の評価を行って、結果の比較を行う。実機では、トリプル・チャンネル、デュアル・チャンネルとシングル・チャンネルの性能を比較することによって、主記憶バンド幅を変化させた場合のプロセッサの動作速度の変化を測定する。

1.3 構成

本論文の構成は以下のとおりである。まず、第2章で、主記憶バンド幅を広げるための関連研究について述べる。次に第3章で評価を行うベンチマークやシミュレータなどについて説明する。第4章では評価結果を示す。第5章で、なぜそのような結果が出たのかの考察を行う。最後に第6章でまとめを行う。

第2章 関連技術

2.1 主記憶モジュールのバンド幅の向上

パーソナル・コンピュータにおいて、近年使用されている主記憶モジュールは、DDR SDRAM が主流である。それまでの SDRAM が 1 クロック周期で動作していたのに対し、DDR SDRAM はクロックの立ち上がりと立ち下りの両方に同期して動作することによって、同じ動作周波数の SDRAM に比べて約 2 倍のバンド幅を持つことができる。

また、DDR の規格が出た後にも更に高速な規格が登場している。後継の DDR2 SDRAM は更に高クロック・高バンド幅であり、現在ではさらに高速な DDR3 SDRAM が主流である。

最初の DDR SDRAM である DDR200(PC1600) では、理論上のバンド幅は 1.6GHz であったのに対し、DDR3 SDRAM の最新の規格である DDR3-2133 でのバンド幅は 17.067GHz と、バンド幅は約 10 倍になっている。

2.2 マルチ・チャネル

主記憶モジュール自体のバンド幅を変えずに、複数のチャネル上の主記憶モジュールに同時にアクセスすることによって、バンド幅を向上させる技術も存在する。この技術で、理論的には同時にアクセスする主記憶モジュールの数の分だけバンド幅が向上する。現在の所、デュアル・チャネルとトリプル・チャネルが使われている。

2003 年ごろから使われているデュアル・チャネルでは、2 つのチャネル上の主記憶モジュールに同時にアクセスすることで、バンド幅が 2 倍になる。

トリプル・チャネルでは、3 つのチャネル上の主記憶モジュールに同時にアクセスすることで、バンド幅が 3 倍になる。intel Core i7 でメモリ・コントローラがプロセッサ内に内蔵されると同時にサポートされた。

2.3 キャッシュ-主記憶間のデータの圧縮

主記憶上のデータの圧縮には、主記憶の見かけの容量を向上させることを目的とした技術と、主記憶の見かけのバンド幅を向上させることを目的とした技術がある。ここでは主記憶の見かけのバンド幅を向上させることを目的とした技術を述べる。

滝田らが提案したシステム [11] では、2 次キャッシュからデータが溢れ、主記憶にデータを書き込む必要がある時に圧縮を、2 次キャッシュ・ミスが起こった時に圧縮済みのデータをプロセッサ内に転送しながら、プロセッサ内で展開する。

実験により、データ転送量を最大で 15.7%、最小で 95.0% まで圧縮できるとしている。

第3章 評価環境

本章では，評価環境について述べる．前述したように，評価には主に SPEC2006 ベンチマーク及び姫野ベンチマークを用いる．プロセッサの振る舞いを詳細に把握するため，評価は基本的にはシミュレータを用いて行う．シミュレータに誤りがないことを検証するため，同様の評価を実機でも行う．

以下，3.1 節でベンチマークについて述べた後，3.2 節と 3.3 節で実機とシミュレータについて述べる．

3.1 ベンチマーク

ベンチマークとしては SPEC2006 ，姫野ベンチマーク [2] EEMBC[1] を用いる．姫野ベンチマークは C の dynamic allocate version 版を用いた．データセットは SPEC2006 が train ，姫野ベンチマークが S サイズである．さらに，より基本的な性質を把握するために，表 3.1 に示すマイクロ・ベンチマーク 3 種を合わせて用いた．

また，実機では，Nas Parallel Benchmark(以下 NPB) の OpenMP 版を用いて，マルチスレッド環境での評価も行った．

マイクロ・ベンチマーク 主記憶リード，および，主記憶コピーは，64B キャッシュ・ラインの 1 ワードだけにアクセスすることにし，プロセッサ

表 3.1: マイクロ・ベンチマーク

名称	内容
主記憶リード	連続アドレスに対する読み出し
主記憶コピー	連続アドレスのコピー
行列積	1024 × 1024 の double の行列積

```

for (i = 0; i < 1024; ++i)
  for (k = 0; k < 1024; ++k)
    for (j = 0; j < 1024; ++j)
      a[i][j] += b[i][k] * c[k][j];

```

図 3.1: 行列積のコード (カーネル部)

側の負荷を最小限にすることによって，主記憶バンド幅が測定できるようにしている．

図 3.1 に，行列積のコードのカーネル部を示す．同図 3.1 に示すように，主記憶に対するアクセスが連続になるよう，中間積 (ikj) 型としている．ブロッキングなどは行っていない．

コンパイラ コンパイラと最適化オプションは，*gcc-4.1-O4-funroll-loops* である．また，マイクロ・ベンチマークでは更に *-mfpmath = sse -msse2* オプションも用いた．

3.2 実機

実機として，Intel Core i7 965 Extream^e[3] (動作周波数 3.2GHz) . 搭載 PC を使用した．OS は，CentOS 5.1 である．

Core2 プロセッサ・シリーズまでの Intel 系プロセッサも，デュアル・チャンネルをサポートしていたが，これまで利用可能な構成ではプロセッサとノース・ブリッジを結ぶ FSB (Front-Side Bus) のバンド幅のほうがデュアル・チャンネルのバンド幅よりも狭いため，デュアル・チャンネル化してもバンド幅は倍にはならなかった．

一方，Core i7 からの Intel 系プロセッサでは，主記憶コントローラはプロセッサ側に内蔵された上で，トリプル・チャンネルがサポートされた．図 3.2

Intel Core i7 965 Extream^e の主記憶，および，キャッシュに関するパラメータは表 3.2 の通りである．Intel Core i7 はクアッド・コアであり，表 3.2 の L1I, L1D, L2 キャッシュのパラメータは，1 コア分のものである．L3 キャッシュは，各コアで共有のものである．

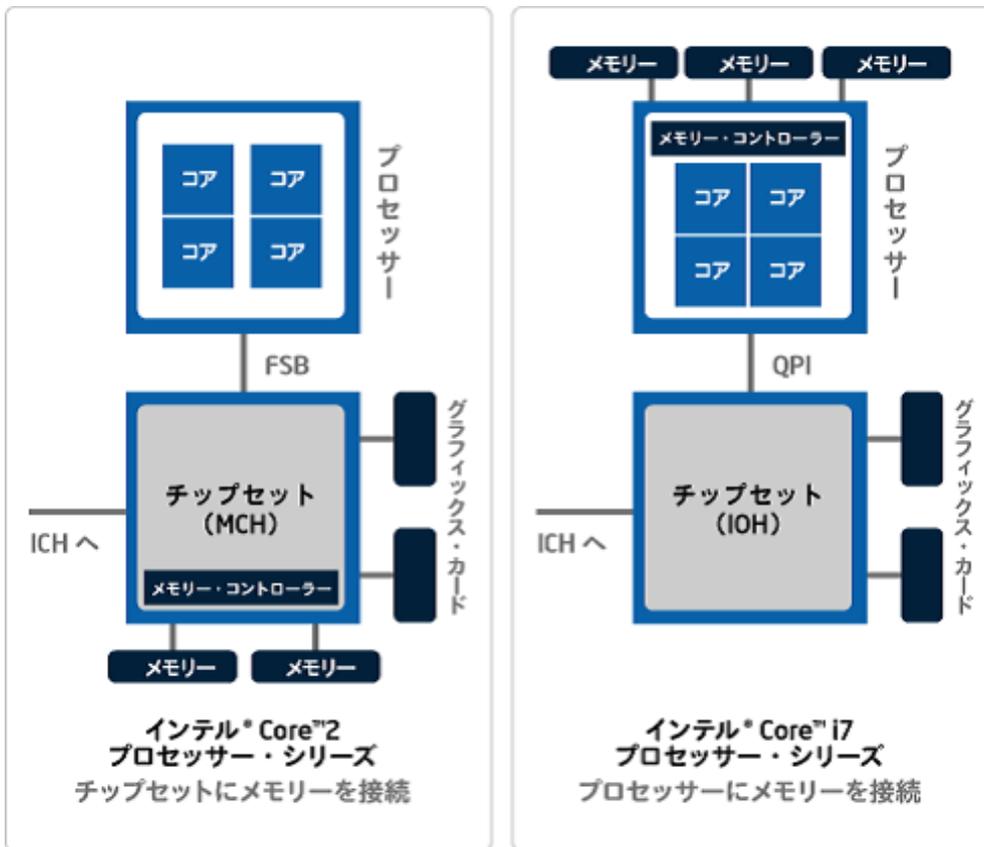


図 3.2: Intel Core2 プロセッサと Core i7 プロセッサ [5]

3.3 シミュレータ

シミュレータには、本研究室で開発した cycle-accurate なシミュレータである「鬼斬式[13],[12]」を用いた。

主記憶コントローラ内で実際にどのようなタイミングで主記憶アクセスが行われているかは不明であるため、以下のようなモデルでバンド幅を再現した。

- バンド幅が b [GB/s]
- L3 キャッシュ・ラインサイズが l [B]
- 動作クロックが c [GHz]

の時、1 キャッシュ・ラインを転送するために主記憶バスが x [cycles]($= lc/b$) だけ占有されるとみなす。本評価の場合、シングル・チャンネルでは $x = 24$,

表 3.2: 主記憶, および, キャッシュに関するパラメータ

パラメータ	値
L1I	64Bytes line, 2Way, 32kB 3cycles Access latency
L1D	64Bytes line, 2Way, 32kB 3cycles Access latency
L2	64Bytes line, 16Way, 256kB 8cycles Access latency
L3	64Bytes line, 16Way, 8MB 36cycles Access latency
主記憶	DDR3-1066 × 3 6GB , 129 cycles Access Latency 8.53GB/s (シングル・チャンネル) 17.06GB/s (デュアル・チャンネル) 25.59GB/s (トリプル・チャンネル)

デュアル・チャンネルでは $x = 12$, トリプル・チャンネルでは $x = 8$ となる。
また, シミュレータ上には次のように実装する。

- 主記憶アクセスのレイテンシを L ,
- 前回の主記憶アクセスが終了した時刻を C
- 次の主記憶アクセスの開始時刻を s ,

とすれば, 時刻 C から $C + x$ までは主記憶バスが占有されていると考えることができるので,

- 時刻 C を記録する。
- 次の主記憶アクセスの終了時刻を $\max(C + x, s + L)$ とする。

とすれば, 主記憶バンド幅が再現できる。 $C + x > s + L$ の場合を図 3.3 に示す。

その他, 主記憶, および, キャッシュに関するパラメータは実機に合わせてある(表 3.2)。命令セットやプロセッサ内部の演算器の個数など, その他のパラメータは表 3.3 の通りである。鬼斬式は現在のところ alpha

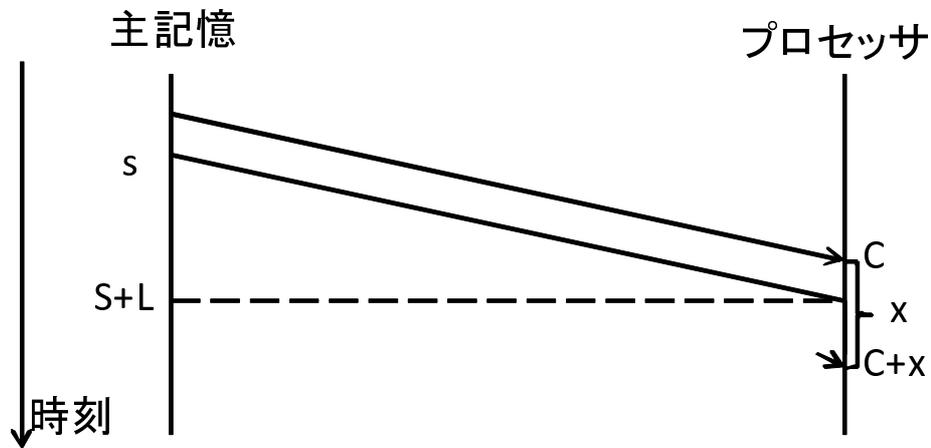


図 3.3: シミュレータでのバンド幅の実現

表 3.3: シミュレータのパラメータ

パラメータ	値
ISA	Alpha
Fetch Width	4
Issue Width	INT:2, FP:2, MEM:2
Integer Units	ALU:2, iMUL:1, iDIV:1
FP Units	fADD:1, fMUL:1, fDIV :1
Register Files	INT:192, FP:128
Insn Windows	INT:32, FP:32, Mem:32

命令セットにしか対応しておらず，また実機のプロセッサ内部の詳細は不明であるため，これらのパラメータは実機と一致していない．

またシミュレータでは，主記憶の動作は，以下の点でやや理想化されている：

1. デュアル・チャネル動作時の主記憶アクセス・タイミングは再現していない．
2. L2 キャッシュからのライトバックによってバンド幅が消費されることについては考慮していない．

3.4 評価方法

実機では、実行時間を測定した。実機での測定では、OS などの影響のため、ときおり異常に遅い結果が出ることもある。そのため、1 つのベンチマークにつき 5 回ずつ実行し、良いほうの 3 つの結果の平均値をとった。

シミュレータでは、主に、実行サイクル数を測定した。ベンチマーク全体を実行することは時間的に困難であるので、先頭の 1G 命令をスキップして後の 100M 命令を実行した。

第4章 評価結果

4.1 主記憶バンド幅を変化させたときの相対実行速度

図 4.1～4.4 及び表 4.1 に、シングル・チャンネル、デュアル・チャンネル、トリプル・チャンネルと、主記憶バンド幅を変化させた時の相対実行速度を示す。図 4.1 及び 4.2 は、それぞれ、SPEC2006 の INT と FP の結果である。マイクロ・ベンチマーク及び姫野ベンチマークの結果は図 4.1 に含めてある。

各図中、縦軸はシングル・チャンネルを 1 としたときの相対速度である。横軸はベンチマークであり、各ベンチマークごとに 5 本のバーがある。各バーは、左から、1. シングル・チャンネルでの実行速度 (基準の値なので常に 1)、2. デュアル・チャンネルかつ実機での相対実行速度、3. デュアル・チャンネルかつシミュレータでの相対実行速度、4. トリプル・チャンネルかつ実機での相対実行速度、5. トリプル・チャンネルかつシミュレータでの相対実行速度、である。

4.1.1 相対実行速度

図 4.1～4.2 や表 4.1 から分かるとおり、SPEC2006INT では、シングル・チャンネルとトリプル・チャンネルを比べても、その差は実機で 0.3%、シミュレータで 0.5% に過ぎない。SPEC2006FP では、その差は実機で 3.1%、シミュレータで 2.8% であった。INT よりは大きいものの、それほど深刻な影響はないといえる。行列積や姫野ベンチマークに至っては、バンド幅による差はほとんどなかった。

シミュレータと実機 主記憶リードでは、シミュレータのデュアル・チャンネルの時の相対実行速度は、当然のことながら、200% となっている。そ

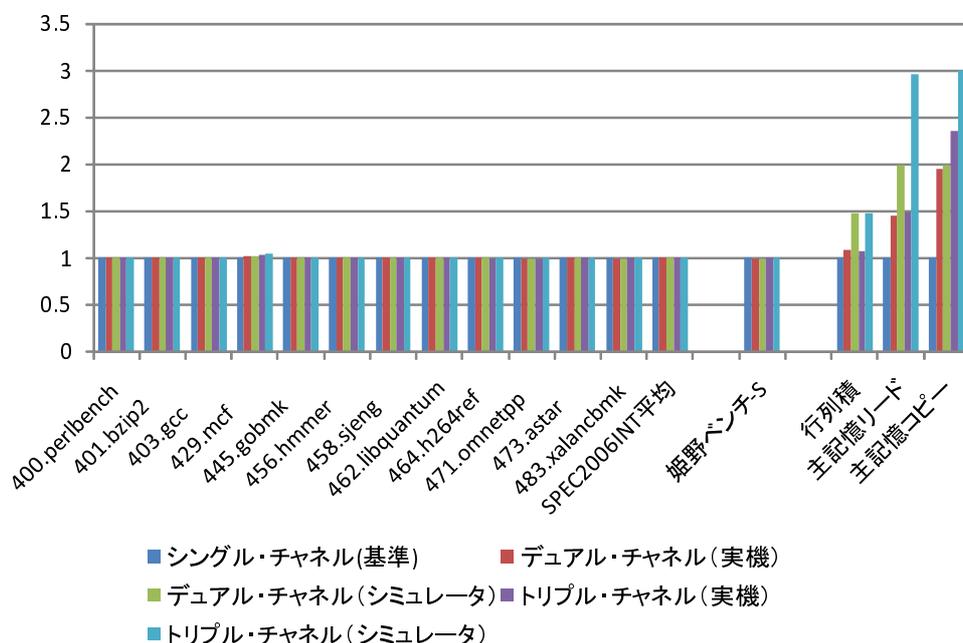


図 4.1: シミュレータと実機で主記憶バンド幅を変化させた時の相対実行速度 (SPEC2006INT, 姫野ベンチマーク及び マイクロ・ベンチマーク)

れに対して, 実機の相対実行速度は 144.2% に抑えられている. これは, 相対実行速度が抑えられたのではなく, デュアル・チャンネルにした時の速度向上が倍にはならないためである. 前述したように, シミュレータでは主記憶がやや理想化されている. 一方実機では, チャンネル間のコンフリクトなどの影響のため, 連続アクセスを行った場合でもデュアル・チャンネルによって主記憶バンド幅は完全に倍にはならない.

4.1.2 広い範囲でバンド幅を変化させた場合の相対実行速度

図 4.5 は, シングル・チャンネルの 1/10 からトリプル・チャンネルまでの範囲で主記憶バンド幅を変化させた場合の相対実行速度の変化である. これは実機での評価が不可能であるため, シミュレータでの測定結果のみを示す. 同図中, 横軸はシングル・チャンネルを 1 とした相対主記憶バンド幅, 縦軸は, 主記憶バンド幅がシングル・チャンネルの時の IPC を 1 とした時の相対 IPC である.

その結果, マイクロ・ベンチマークのうち主記憶リードのベンチマーク

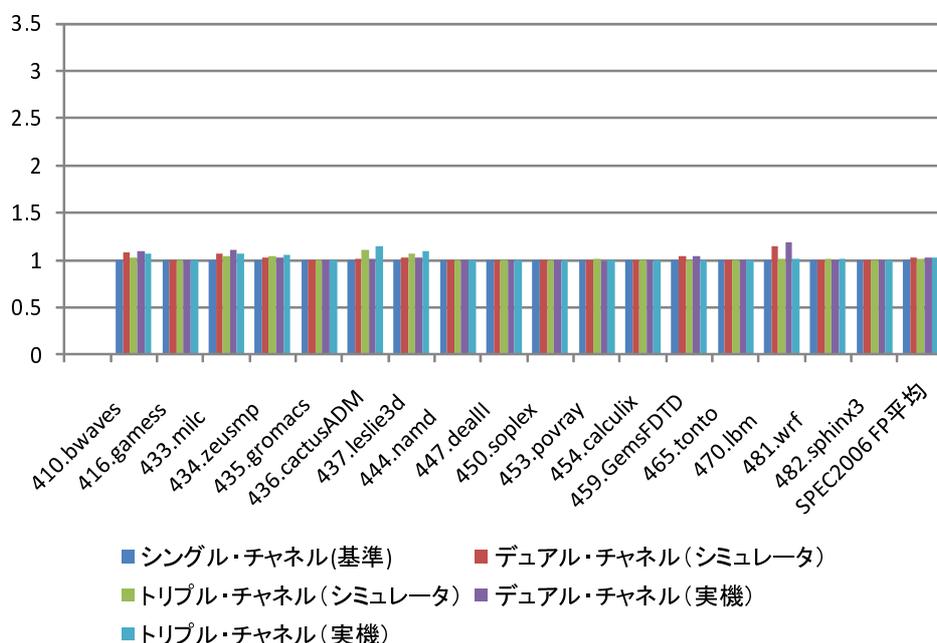


図 4.2: シミュレータと実機で主記憶バンド幅を変化させた時の相対実行速度 (SPEC2006FP)

は、確かにバンド幅に比例した速度が出ている一方で、SPEC2006 29本のうち相対バンド幅がシングル・チャンネルのバンド幅の10分の1になった時、速度が10%以上低下したベンチマークは11本にすぎなかった。姫野ベンチマークでも主記憶バンド幅による影響はほとんどなかった。

4.2 マルチスレッド化による影響

Intel Core i7 プロセッサは4コアであるため、主記憶バンド幅は4スレッド同時に動かすのに合わせて設計されているとも考えることができる。そこで、NAS Parallel Benchmark [6] の openMP 版を用いて、4スレッド同時に動かした場合の主記憶バンド幅の影響を測定した。

図 4.6 は、NAS Parallel Bench を4スレッドで動かす、主記憶バンド幅を変化させたときの相対実行速度である。横軸は各ベンチマークであり、縦軸はシングル・チャンネルを1とした場合の相対実行速度を表している。各ベンチマークごとに3本のバーがあり、左からシングル・チャンネル、デュアル・チャンネル、トリプル・チャンネルの相対実行速度である。

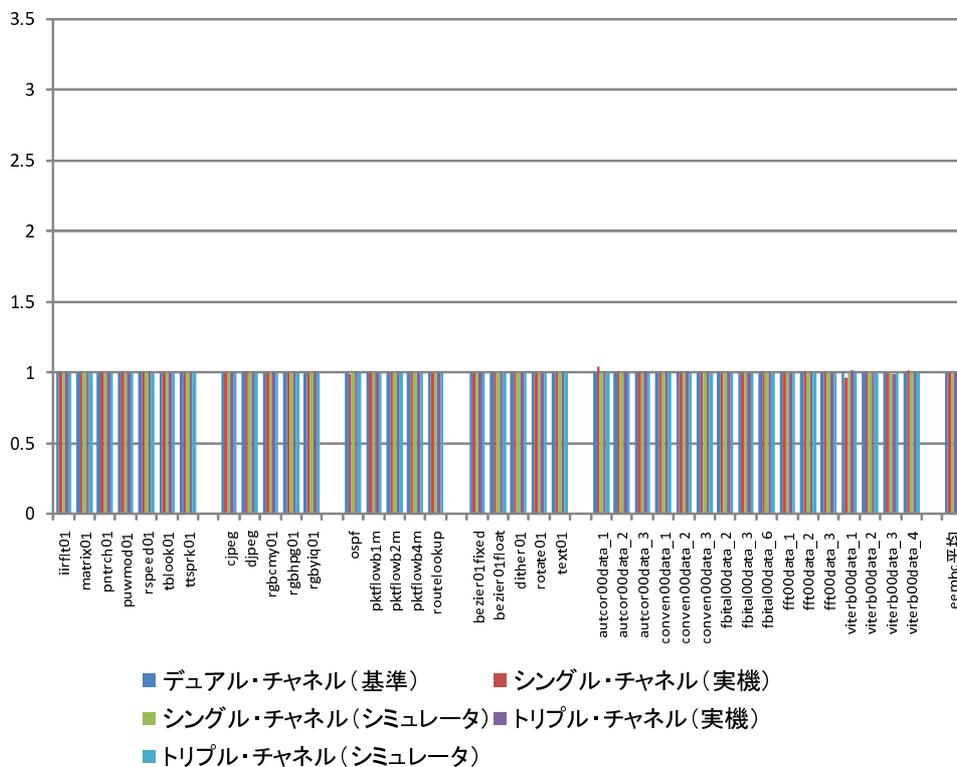


図 4.3: シミュレータと実機で主記憶バンド幅を変化させた時の相対実行速度 (EEMBC)

グラフを見ると、シングル・チャンネルとデュアル・チャンネルでは大きな差が出ており、相対実行速度の平均は138.8%であった。一方、デュアル・チャンネルとトリプル・チャンネルでは差は小さく、mgのように一部大きな差が見られたベンチマークも存在したものの、相対実行速度は152%であり、デュアル・チャンネルの場合で正規化しなおせば、相対実行速度は108.5%にすぎなかった。

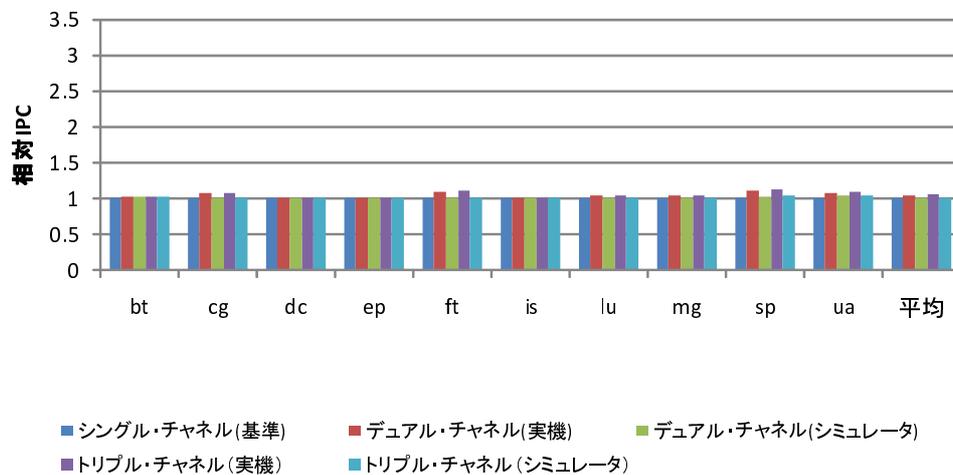


図 4.4: シミュレータと実機で主記憶バンド幅を変化させた時の相対実行速度 (NAS Parallel Bench)

表 4.1: 相対実行速度

ベンチマーク	シミュレータ		実機	
	デュアル・チャンネル	トリプル・チャンネル	デュアル・チャンネル	トリプル・チャンネル
SPEC2006INT 平均	100.4%	100.5%	100.2%	100.3%
SPEC2006FP 平均	102.0%	102.8%	102.4%	103.1%
姫野ベンチマーク	100.0%	100.0%	100.0%	100.1%
EEMBC	100.0%	100.0%	100.0%	100.0%
NAS Parallel Bench	101.1%	101.3%	104.6%	105.4%
行列積	100.0%	100.0%	100.0%	100.0%
主記憶リード	198.6%	296.0%	159.6%	179.8%
主記憶コピー	200.0%	300.0%	144.2%	148.2%

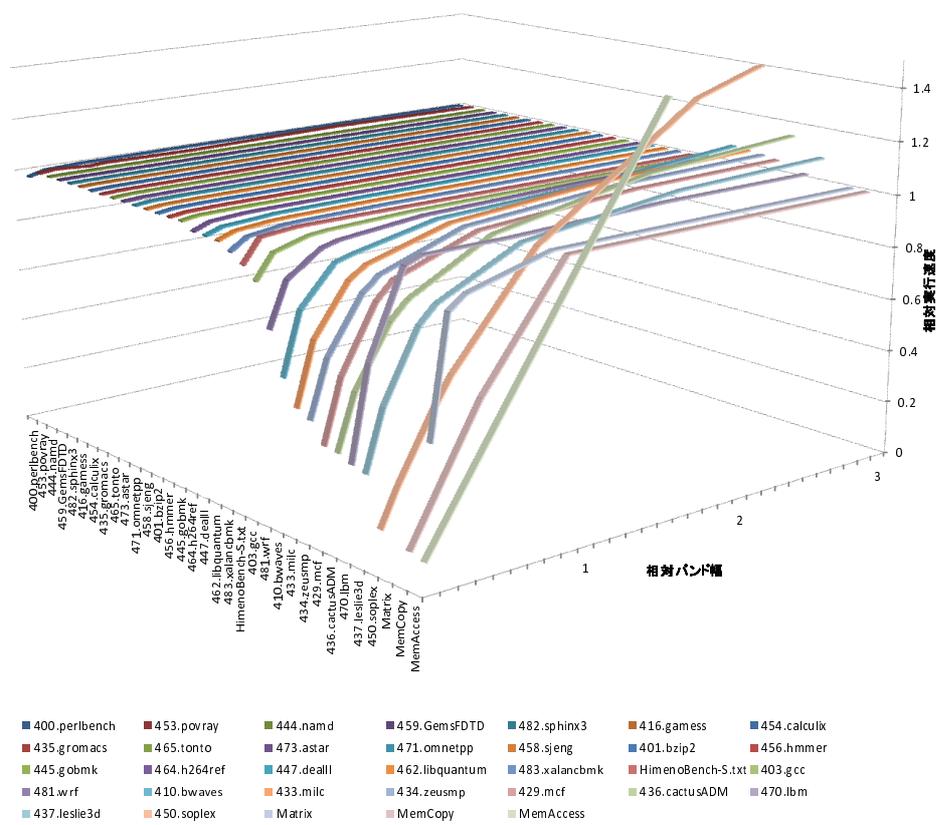


図 4.5: 主記憶バンド幅と相対速度

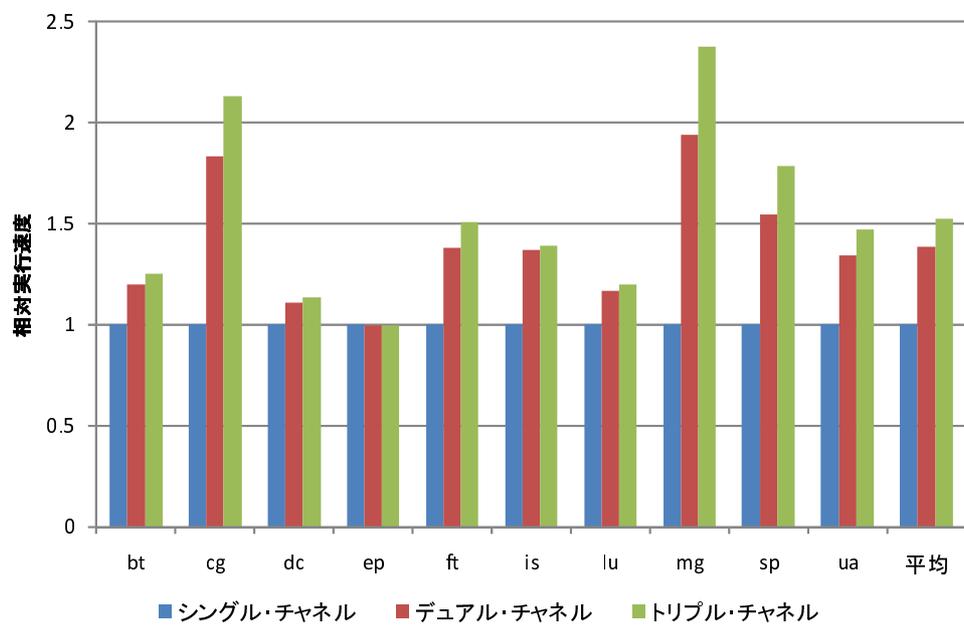


図 4.6: NAS Parallel Bench(4 スレッド) で主記憶バンド幅を変化させたときの相対実行速度

第5章 考察

5.1 主記憶アクセスの分布

教科書等では、ロード/ストア命令の実行回数やキャッシュ・ヒット率などから、プロセッサの性能を推定する式が載っている。しかし、このような方法で推定できるのは主記憶レイテンシの影響であって、バンド幅の影響は推定できない。

主記憶バンド幅が1 キャッシュ・ラインを転送するのにどれぐらいのサイクル数がかかるか考える。主記憶バンド幅の8.53GB/s(シングル・チャンネル)ということは、コアの動作周波数が3.2GHzであるので、64Bのキャッシュ・ラインを転送するのに24 サイクルかかることになる。

したがって、L3 キャッシュがミスして主記憶へアクセスが起こる場合、そのアクセスの間隔が24 サイクル以下であれば、シングル・チャンネルではバンド幅が不足していると言える。

しかし、アクセスの間隔の平均が長いからと言って、バンド幅からの影響を受けにくいとは限らない。例えば、436.cactusADMの平均アクセス間隔の約36 サイクルである。しかし、436.cactusADMではシングル・チャンネルからトリプル・チャンネルにバンド幅を広げると、13.9%も実行速度が向上している。

そこで、主記憶へのアクセス間隔の傾向を詳細に見るために、各ベンチマークの主記憶アクセス間隔の分布を調べた。図5.1及び及び図5.2に各ベンチマークの主記憶アクセス間隔の分布(累積)を示す。横軸は主記憶アクセス間隔であり、縦軸はその間隔でのアクセスが全体のアクセス数に対してどれだけ起こったかの割合の累積を表す。

例えば、行列積の曲線を見てみると、主記憶アクセス間隔が16を超えたあたりで急に1近くにまで立ち上がっており、ほとんどのアクセスが16 サイクル間隔で規則的に行われていることを示している。シングル・チャンネルだと64Bキャッシュ・ラインの転送は24 サイクルかかるため、シングル・チャンネルだとバンド幅が不足していることが分かる。一方、デュ

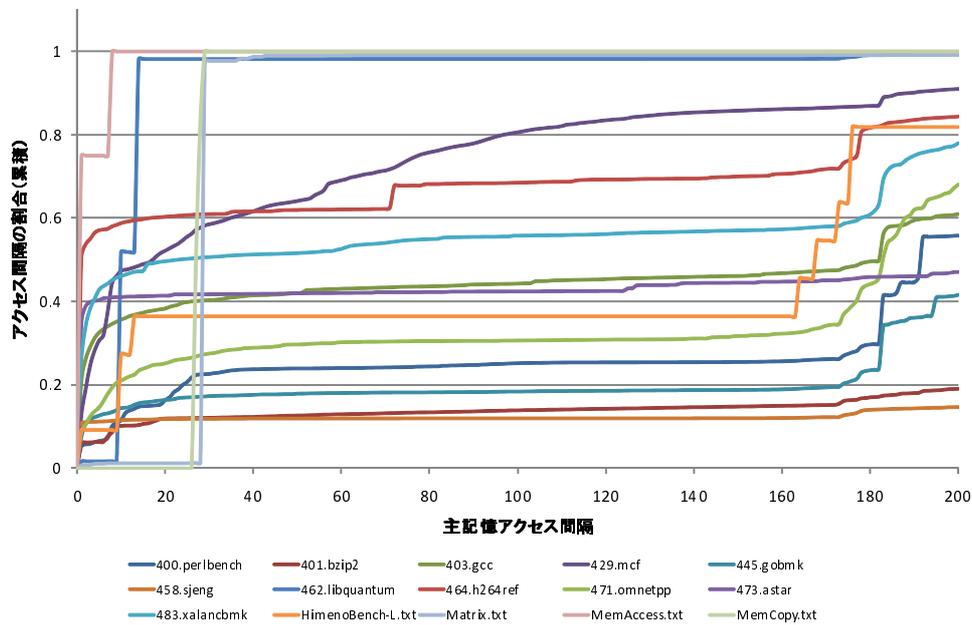


図 5.1: 主記憶アクセス間隔の分布 (SPEC2006INT とマイクロ・ベンチマーク)

アル・チャンネルだとキャッシュ・ラインの転送は12サイクルで済むため、行列積のプログラムを実行するのに十分なバンド幅を持っていると言える。実際、シングル・チャンネルからデュアル・チャンネルにバンド幅を向上させると、実行速度は向上するが、デュアル・チャンネルからトリプル・チャンネルにしても性能はほとんど向上しない。

一方、436.cactusADMの曲線は、アクセス間隔が1のところ急に9割以上にまで立ち上がり、その後漸増している。グラフには示されていないが、はるか右のほうで1に達する。すなわち、9割ものアクセスが1サイクル間隔で行われている一方で、残り1割ほどのアクセスは非常に間隔が開いている。性能低下を引き起こしているのは前者であるが、平均アクセス間隔を増加させているのは後者である。

このように、主記憶バンド幅の影響を決めるのは、主記憶アクセス間隔の分布であって、平均では推定することができない。

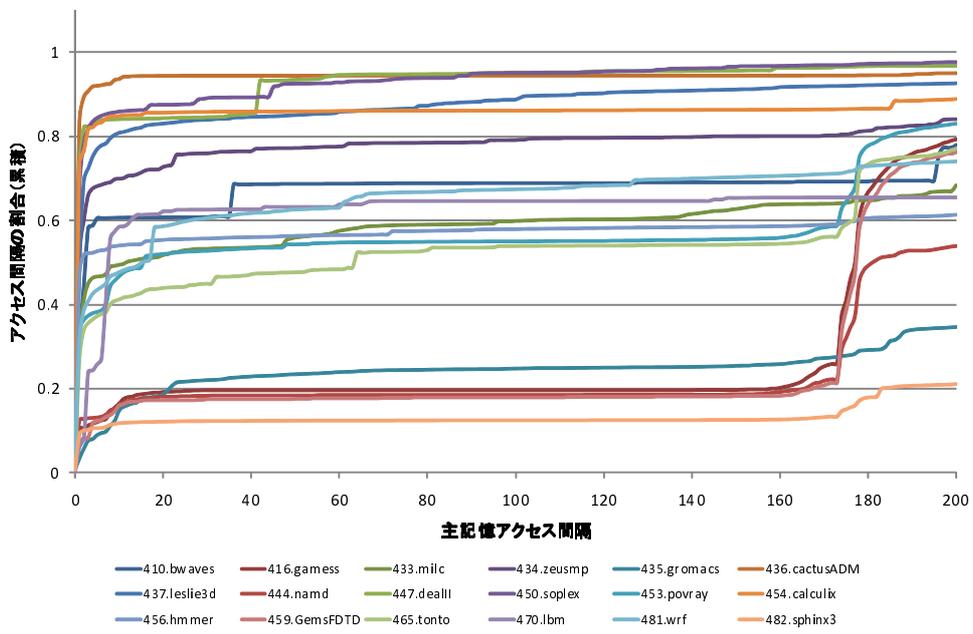


図 5.2: 主記憶アクセス間隔の分布 (SPEC2006FP)

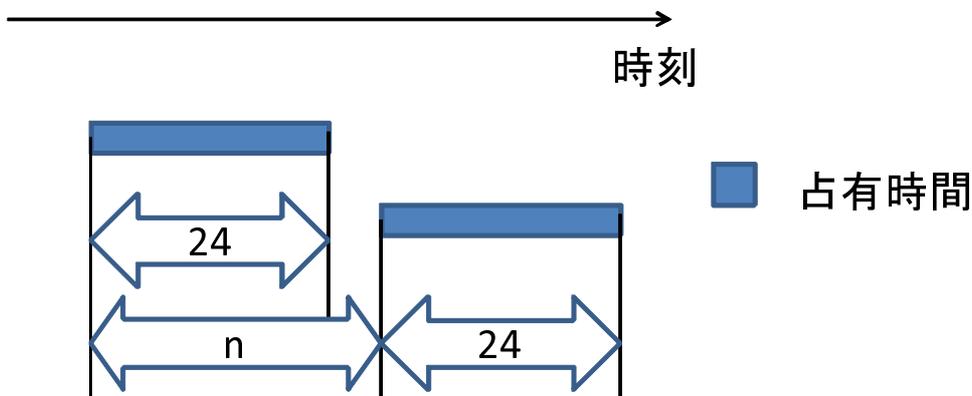


図 5.3: 主記憶へのアクセス間隔が 24 サイクル以上離れている場合

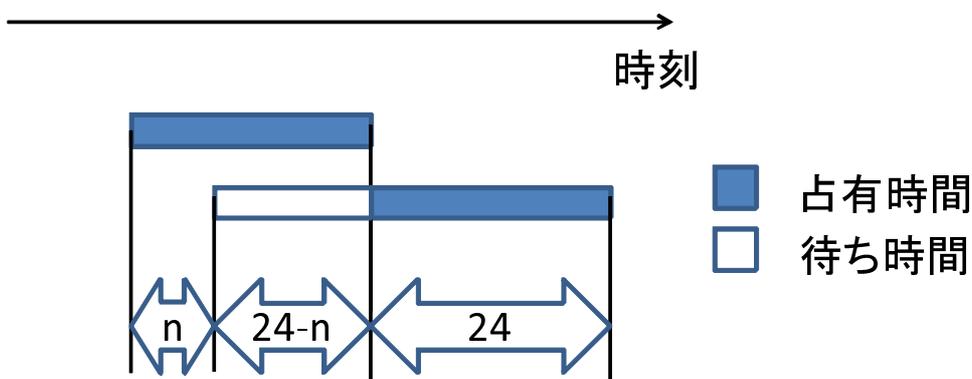


図 5.4: 主記憶へのアクセス間隔が 24 サイクル以下の場合

5.2 推定相対実行速度

前述のように、主記憶アクセス間隔の分布がベンチマークの実行速度に影響を及ぼすため、主記憶アクセス間隔の統計を取ることによって、バンド幅の影響により、どれだけ実行時間が増加するか推定することができる。

そして、前回から今回までの主記憶アクセスの間隔が n サイクルであるとしたとき、 $n \geq 24$ (シングル・チャンネル) であれば、コアは待たされることはない(図 5.3)。一方、 $n < 24$ であれば、 $(24 - n)$ サイクルだけ余計に待たされることになる(図 5.4)。そして、バンド幅を無限大と仮定して全ての主記憶へのアクセスの間隔の統計をとれば、図 5.4 の待ち時間をの合計を算出することができ、どれだけ実行時間が増加するか予測することが可能である。

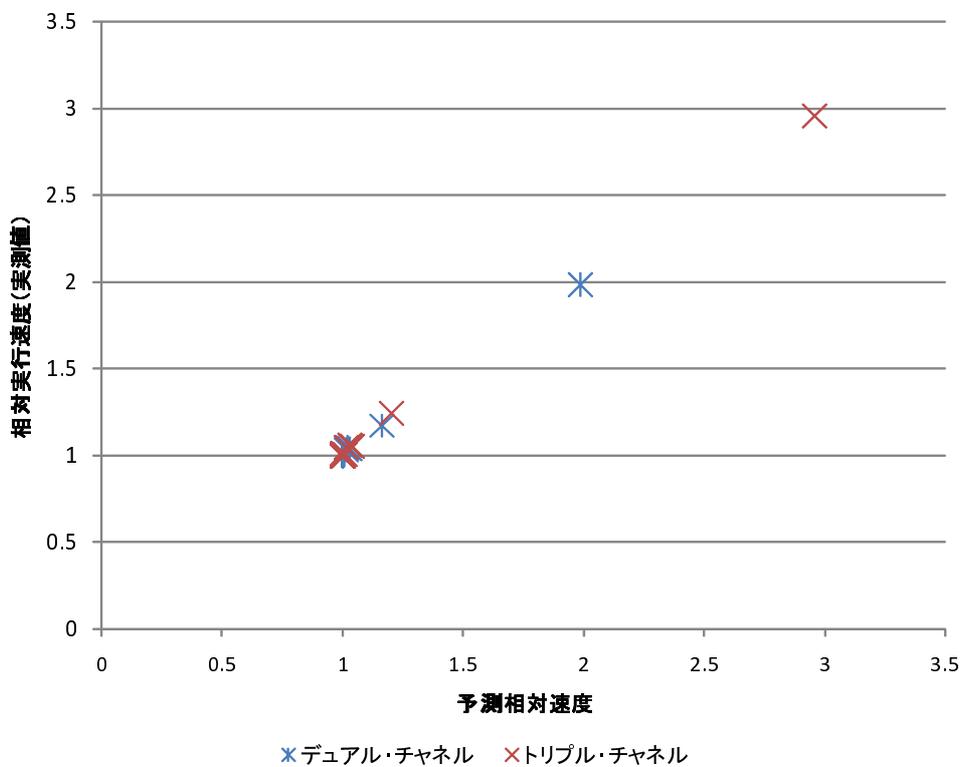


図 5.5: 相対速度の予測値と実測値の相関

実際には、主記憶からの応答を待っている間も、コアは out-of-order 実行によって何らかの計算を継続できる可能性がある。しかし out-of-order 実行には、最下層のキャッシュ・ミスによる数百サイクルものレイテンシを隠蔽する能力はない。したがって実際には、キャッシュ・ミスが起こってからキャッシュ・ラインがフィルされる期間のほとんどを、コアはストールしている可能性が高い。

図 5.5 は推定相対実行速度から求めた相対速度の予測値と、シミュレータで測定した相対速度の実測値の相関を表したものである。同図中横軸が予測値を、縦軸が実測値であり、各点は 1 つのベンチマークに対応する。同図では、全ての点がほぼ一直線上に並んでおり、このような単純な計算によって、相対実行速度が高精度に推定できることを示している。すなわち、主記憶バスの占有による待ち時間が、ほぼそのまま実行時間の増加につながっているという仮定が正しいことが分かる。

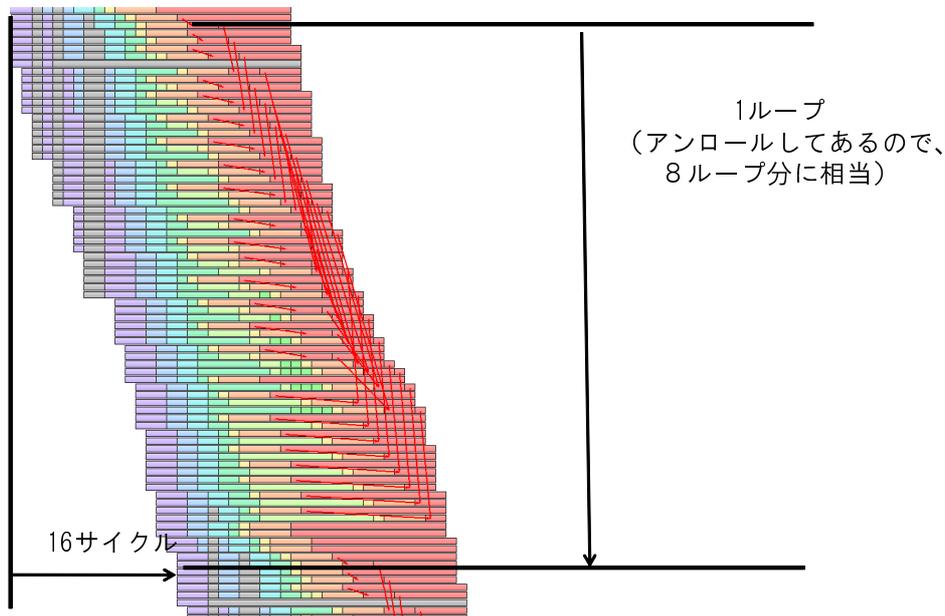


図 5.6: 行列積の実行パイプラインの様子

5.3 必要なバンド幅の見積もり

ベンチマークが本来どれほどのバンド幅を必要としているか調べる。まず、行列積の場合について考える。

もしも、行列積の実行時に、浮動小数点演算ユニットを完全に使い切るならば、`fmul`、`fadd` ユニットが1つずつ存在し、1ループ内に `fmul`、`fadd` 命令が1つずつ存在するので、1ループを1サイクルで実行できることになる。また、1キャッシュ・ラインが64bytesで、`double`1つが8bytesの大きさであるため、キャッシュ・ミスは8ループに1回起こることになる。そのため、この場合、主記憶アクセス間隔は8サイクルごとになる。

実際にはそれほど高速にプロセッサが動くことはない。図5.6は、行列積の実行パイプラインの様子である。アンロールされているため、元のループの8ループ分が1ループに相当する。

図5.6を見ると、キャッシュ・ミスが1回起こる元の8ループ分の命令を実行するのに16サイクルかかっている。これは、元の8ループの中にロード・ストア命令が32個あるが、ロード・ストアユニットが2つしかないためである。

同様にして、任意のプログラムでカーネル・ループの部分調べれば、必要なバンド幅を見積もることができる。図5.7は、NPB及び行列積で

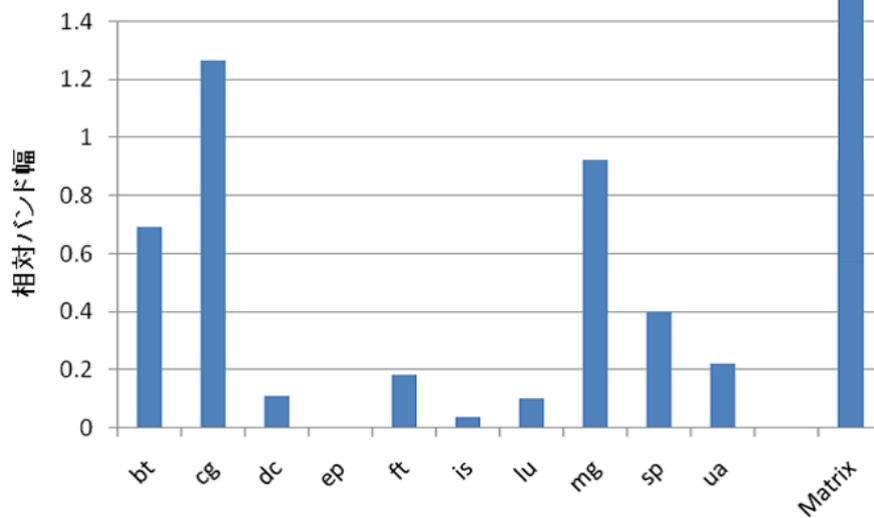


図 5.7: NAS Parallel Bench 及び行列積の必要なバンド幅の見積もり

の必要なバンド幅の見積もりである。

mg のような単純なベンチマークでは、必要なバンド幅が大きくなっており、ft のような複雑なベンチマークでは、必要なバンド幅が小さくなっている。

第6章 まとめ

主記憶バンド幅がプロセッサに与える影響を明らかにするため、シミュレータと実機で主記憶バンド幅を変化させて、相対実行速度を測定した。その結果、主記憶バンド幅をシングル・チャンネルからトリプル・チャンネルに変化させたにもかかわらず、相対実行速度の向上率はシミュレータではINTで0.5%、FPで2.8%、実機ではINTで0.3%、FPで3.1%にとどまった。

一般にFP系のプログラムは（INT系に比べ）主記憶に対する要求が厳しいと言われている。しかし、ことSPECFPに関する限り、半分以上のベンチマークが主記憶バンド幅に敏感ではなく、敏感さはむしろ従来INT系に対して抱いていたイメージに近い。

行列積のようなプログラムでは、シングル・チャンネルのバンド幅ならば使い切ったが、その他の一般的なプログラムの中には主記憶バンド幅に対する要求が厳しいものはほとんどないと言える。

さらに、主記憶バンド幅からの影響の受けやすさは短い間隔での主記憶アクセスがどれだけあるかによって決まり、単純に主記憶アクセスの回数の多さだけでは決まらないということを確認した。

そして、短い間隔での主記憶アクセスは、ループが単純なプログラムで多くなる。行列積がそのようなプログラムに当たる。しかし、そのような単純で高速に動くプログラムであっても、必要なバンド幅はシングル・チャンネルの1.5倍程度であり、その他の複雑なプログラムでは主記憶アクセスの間隔が長くなり、大きな主記憶バンド幅が必要になることはないことを確認した。

発表文献

主著論文

- 江口修平:
耐タンパ・プロセッサの AES 暗号回路の評価,
卒業論文, 東京大学工学部 (2008)
- 江口修平, 坂井修一:
耐タンパ・プロセッサの AES 暗号回路の評価,
STARC Forum/Symposium 2008, (2008). (Poster).
- 江口修平, 塩谷亮太, 五島正裕, 坂井修一:
プロセッサ性能に対する主記憶バンド幅の影響の評価,
情報処理学会研究報告 2008-ARC-180, pp. 15?20pp. (2008).
- 江口 修平, 塩谷 亮太, 五島 正裕, 坂井 修一:
主記憶バンド幅がプロセッサ性能に与える影響の評価,
先進的計算基盤システムシンポジウム SACSIS2009, pp. 147?148
(2009). (ポスター).
- 江口修平, 塩谷亮太, 五島正裕, 坂井修一:
プロセッサ性能に対する主記憶バンド幅の影響の評価,
先進的計算基盤システムシンポジウム SACSIS2010(投稿中)
- 江口修平, 塩谷亮太, 五島正裕, 坂井修一:
プロセッサ性能に対する主記憶バンド幅の影響の評価,
情報処理学会論文誌コンピューティングシステム ACS31(投稿中)

- 江口修平, 塩谷亮太, 五島正裕, 坂井修一:
プロセッサ性能に対する主記憶バンド幅の影響の評価,
情報処理学会第 72 回全国大会 (発表予定)

参考文献

- [1] The embedded microprocessor benchmark consortium. <http://www.eembc.org/home.php>.
- [2] Himeno benchmark xp - 姫野ベンチとは. <http://acc.riken.jp/HPC/HimenoBMT/>.
- [3] Intel core i7 processor extreme edition - technical documents. <http://www.intel.com/design/corei7ee/documentation.htm>.
- [4] Intel dual-channel ddr memory architecture white paper.
- [5] Intel 最新プロセッサ解説. <http://www.intel.com/jp/consumer/Shop/diy/special/corei7.htm>.
- [6] Nas parallel benchmarks changes. <http://www.nas.nasa.gov/Resources/Software/npb.html>.
- [7] Standard performance evaluation corporation. <http://www.spec.org>.
- [8] Jedec standard ddr2 sdram specification jesd79-2c, 2006.
- [9] Jedec standard ddr3 sdram specification jesd79-3a, 2007.
- [10] G. Edward Suh, Charles W. O'Donnell, Ishan Sachdev, and Srinivas Devadas. Design and implementation of the aegis single-chip secure processor using physical random functions. *SIGARCH Comput. Archit. News*, Vol. 33, No. 2, pp. 25–36, 2005.
- [11] 滝田裕, 坂井修一, 田中英彦. チップマルチプロセッサにおけるキャッシュ-メインメモリ間動的データ圧縮の評価. 情報処理学会研究報告ハイパフォーマンスコピューティング, pp. 73–78, 2001.

- [12] 渡辺憲一. プロセッサ・シミュレータ「鬼斬2」の設計と実装. 修士論文, 東京大学大学院情報理工学系研究科, 2008.
- [13] 渡辺憲一, 一林宏憲, 五島正裕, 坂井修一. プロセッサ・シミュレータ「鬼斬」の設計. 先進的計算基盤システムシンポジウム SACSYS, pp. 194-195, 2007.

謝辞

本研究を進めるにあたり、多くの方々にお世話になりました。この場を借りて、感謝の意を表したいと思います。

指導教員である坂井修一教授には、相談会などにおいて多くのご指導を頂きました。また、五島正裕准教授には、研究のテーマを始め、非常に細かい点までご助言をいただくなど、特にお世話になり、非常に感謝しております。

八木原春水さん、伊世知代さん、長谷部環さんには、研究室における設備の導入や各種事務手続きなど、研究室で過ごすための様々なご支援を頂きました。

その他にも、坂井・五島研究室の皆様には、研究室での生活や、論文についてのアドバイスなど、全ての面で支えて頂きました。心より感謝いたします。