

博士論文（要約）

フォトンカウンティング CT への応用を目指した
サブミリ SiPM アレイの開発

小山 晃広

フォトンカウンティング CT への応用を目指したサブミリ SiPM アレイの開発

Development of a Sub-mm Pitch SiPM Array for Photon Counting Computed Tomography

東京大学大学院工学系研究科

氏名 小山 晃広

指導教員 高橋浩之 教授

概要： X 線エネルギーごとの透過数を計数判別することで、軟組織の高コントラスト化や低被曝化が可能な Photon Counting Computed Tomography (PCCT) の開発が望まれている。複数の X 線エネルギーの蓄積量をシンチレータとフォトダイオードによって間接的に電流積分検出する従来の CT とは異なり、PCCT では一つ一つの X 線エネルギーを分離して測定するための高計数率特性を有するサブミリ検出器が必要となる。そこで本研究では数 $100\ \mu\text{m}$ ピッチで分割されたシンチレータに接続可能な、高 S/N、高計数率特性を有する微細光検出器の開発を進めた。Silicon On Insulator (SOI) プロセスでの試作を重ね、最小 $250\ \mu\text{m}$ ピッチで読み出し回路の集積化が可能なアバランシェ増幅型光検出器 SOI-Silicon Photomultiplier (SOI-SiPM) の開発に成功した。SOI-SiPM と計数回路を一枚のチップ上に集積させた世界初となる SiPM を設計し、PCCT 用検出器としての可能性を提示した。

1. 背景

1 光子レベルの微弱光を高感度、高速に検出可能な次世代の光検出器、Silicon Photomultiplier (SiPM) [1] の研究が進んでいる。SiPM はシリコンフォトダイオード内部の狭い PN 接合領域に高い電界を生成させることで、光電変換によって生じた電子の増幅を行うものであり、半導体技術により比較的安価に大面積の高感度光検出器を実現することが可能である。従来の光電子増倍管のような高い動作電圧を必要とせず、また磁場不感であることから、三次元距離検出器や、細胞の蛍光イメージング用検出器、また Positron Emission Tomography (PET) に代表される放射線診断装置のシンチレーション検出器等、多岐にわたる領域での応用が期待されている [2]-[4]。

なかでも放射線計測の分野では、より高位置分解能と高計数率を実現するため、数 $100\ \mu\text{m}$ ピッチでチャンネル化されたシンチレータ (X 線用蛍光体) の微弱光を検出可能なサブミリオーダーの微細 SiPM アレイ開発に関する研究が進められ

てきた [5,6]。X 線のエネルギー弁別に基づき物質同定やコントラスト改善を目指す Photon Counting Computed Tomography (PCCT) は、その応用先の一つとして考えられ、近年 SiPM の高速性や扱いやすさに関する利点が報告されている [7]。加えて Complementary Metal Oxide Semiconductor -Single Photon Avalanche Diode (CMOS-SPAD) や Digital-SiPM とよばれる、SiPM とその信号処理用の CMOS 回路が一つのチップ上に集積したデバイスも登場しており [8]、微細化や高機能化といった、SiPM に対する新たな開発要求が高まっている。

2. 研究目的

本研究では、透過 X 線ごとのエネルギーを判別し、物質同定やコントラスト改善を可能とする PCCT の実現を最終目的とし、その検出器として使用可能な微細 SiPM の開発を行った。PCCT を実現するためには $200\sim 300\ \mu\text{m}$ ピッチのチャンネルサイズで少なくとも $3\ \text{Mcps/mm}^2$ 以上の

高速計数可能な検出器の開発が必要とされている[9,10]. 将来的にはエネルギー弁別および計数を1枚のチップで可能とするような高機能化を進めるため、SiPMアレイのプロトタイプを国産のSilicon on insulator – CMOS (SOI-CMOS)とよばれる半導体集積回路プロセスのもとに作成することを試みた. 最小 $250\mu\text{m}$ ピッチで最大36チャンネル読み出し可能な新たなSiPMアレイを製作し、基礎特性評価を行った.

3. サブミリピッチ SiPM の試作と評価

3.1 SOI-CMOS プロセスによる SiPM 設計

図1は本研究で提案するSiPMアレイ(SOI-SiPM)の概要を示したものである. SiPMの製作に利用したSOI-CMOSプロセスは検出部を含むバルク層とトランジスタを含む回路層を酸化膜により三次元的に分離させることを可能とする. モノリシックデバイスを構成した際に、通常バルクCMOSによる検出器に比べ10~20%程度の高速化や30%程度の消費電力抑制効果[11,12], またバルク裏面照射構造の導入による開口率の大幅な向上等が見込める.

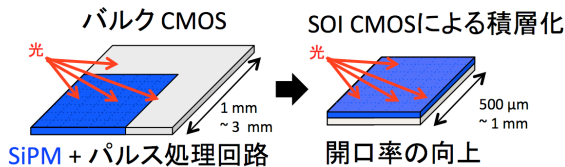


図1 SOI-CMOS プロセスでのSiPM開発

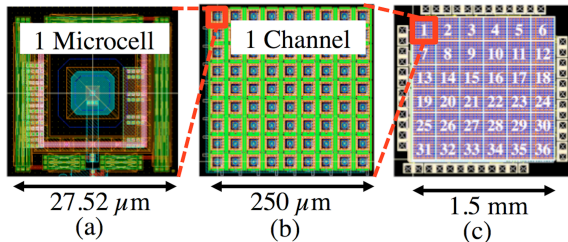


図2 SOI-SiPMアレイのレイアウト図

試作として図2(c)に示したように、チャンネルを6×6個並べた36チャンネルアレイ検出器を設計した. 1チャンネルには81個(9×9)のマイクロセルと呼ばれるアバランシェフォトダイオードが並んで配置されている(図2(b)). 図3に示

すように、 $27.52\mu\text{m}$ 角の各マイクロセルはPNダイオードと抵抗を有する構造を持ち、光をトリガーとしてアバランシェ電流が流れ、一定波高のパルス信号を出力する. 入射光子数が多くなり、複数のマイクロセルに同時に光子が入射した際には、ON状態となったマイクロセルの出力が積算され、検出した光子数に対応したパルス出力となるため光子計数能力をもつ.

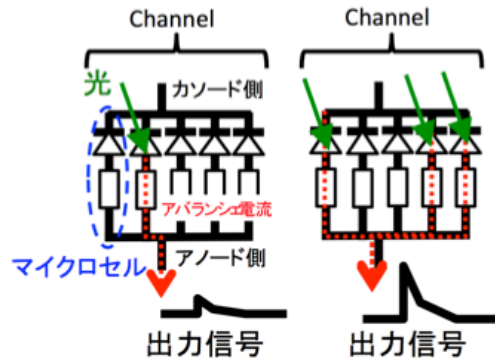


図3 SiPMの検出原理

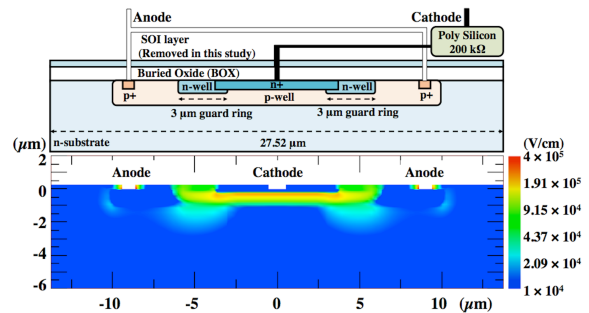


図4 マイクロセル断面構造と電場強度分布

試作にあたり半導体デバイスシミュレータであるTechnology Computer Aided Design (TCAD)を用いて内部電場構造解析を行った. 図4はその結果と設計したマイクロセルの断面構造である. ガードリングと呼ばれる追加の低不純物濃度領域を入れることで、PN接合面端部の電場集中を緩和させ、雑音源となるバンド間トンネリング由来の降伏成分を低減可能であることを確認した.

3.2 SiPM 特性の評価結果

以上の設計で作成したSiPMの基礎特性として、電流電圧特性、温度特性、信号回復時間、ゲイン

の測定を行った。波形取得には Oscilloscope (Lecroy waverunner 64Mxi-A, Bandwidth 1 GHz, 10 GS), またゲイン推定には浜松ホトニクス のピコ秒ライトパルサ(波長 510 nm, パルス幅 130 ps)を用いた。また温度制御を考慮し全ての測定は恒温槽内で行った。

図5は25℃の室温下で1番目のチャンネルから取得した電流電圧特性(IV)と容量電圧特性(CV)である。36チャンネル全てで45~46V程度でアバランシェ降伏が起こり, おおよそナノオーダーの暗電流値を示した。また容量電圧特性より, 降伏電圧付近での配線容量を差し引いたマイクロセルごとのダイオード容量はおよそ20 fF程度であった。

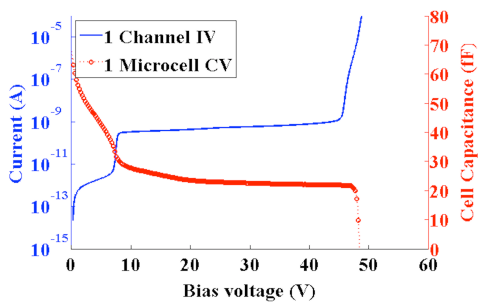


図5 1チャンネルの電流電圧及びマイクロセルあたりの容量電圧特性

また降伏電圧はおよそ30 mV/°C程度の温度依存性を有していたことを踏まえ, 以降でのSiPMの動作電圧は測定環境温度での降伏電圧を差し引いたオーバー電圧(Over Voltage: V_{ov})を用いている。

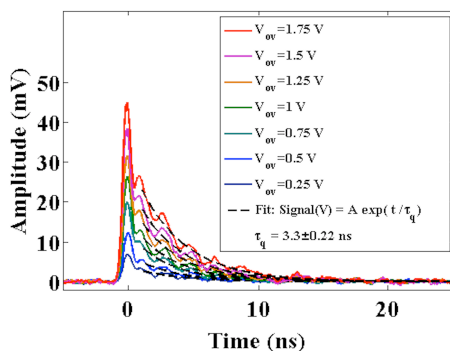


図6 1チャンネルの飽和信号波

図6は1チャンネルに対して波長510 nmの短パルスレーザー光を用いて調べた各オーバー電

圧における飽和信号波形である。最大50 mV程度の信号電圧であり、減衰時間から算出した信号回復時間はおよそ16 nsであった。

図7は飽和信号波形から求めた増幅ゲインである。およそ 10^5 程度の増幅率が見込め, これは図5で調べたセル容量から求められる理論的なゲイン値におおよそ匹敵する。

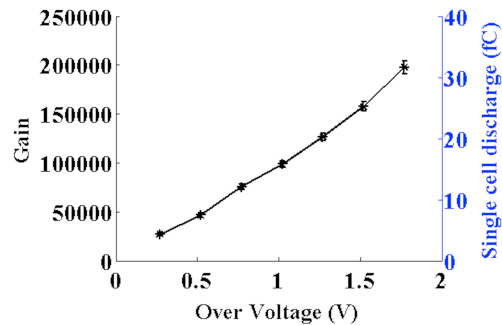


図7 増幅率およびセルあたりの出力電荷量

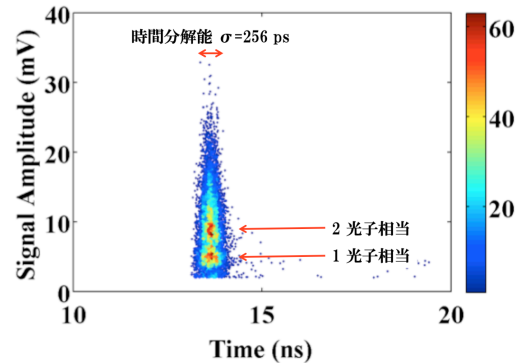


図8 レーザー光照射時のパルス波高ヒストグラム

図8はレーザー光を照射し, -10°C の環境で取得したパルス波高のピークヒストグラムである。取得時にはプリアンプ(KETEK製, 電圧増幅率13倍)を使用した。おおよそのセルごとの出力が分離されており, SiPMとして光子計数能力を有していることを確認した。

4. フォトンカウンティングCTに向けたイメージングデバイスの試作

図 9 は 3 章で設計した SiPM をもとに、PCCT 応用に向けて計数回路を搭載したチップのフロアプランである。8×8 個の SiPM を配置しており、3 ビットデコーダーにより 1 列を指定、計数値をシリアル転送により読み出せるようになっている。図 10 に示すように各 SiPM チャンネルの出力は 4 段の閾値及びカウンタにより弁別計数する。

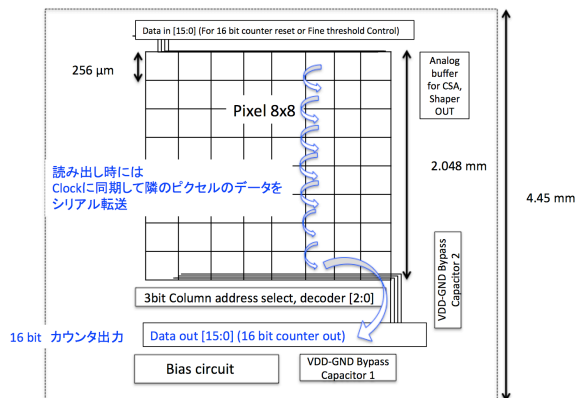


図 9 計数回路搭載 SiPM チップのフロアプラン

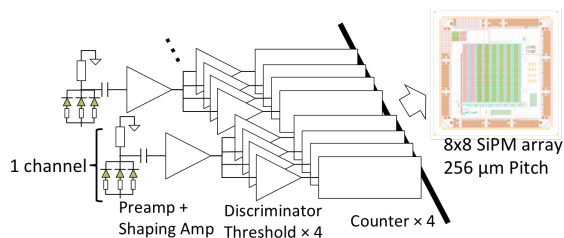


図 10 計数回路搭載 SiPM チップの計数回路

図 11 は試作したチップにレーザー照射した際のパルス処理回路の応答である。250 μm 角の 1 チャンネルあたり最大 2 Mcps (不感時間 500 ns 以下) を実現しており、これは単位面積あたり 32 Mcps/mm²に相当する。この不感時間特性は実際のランダムなイベント計数時に生じる数え落とし 10 %程度を考慮しても、目標とした入射 X 線強度 3 Mcps/mm² 程度を十分検出可能な高速性である。

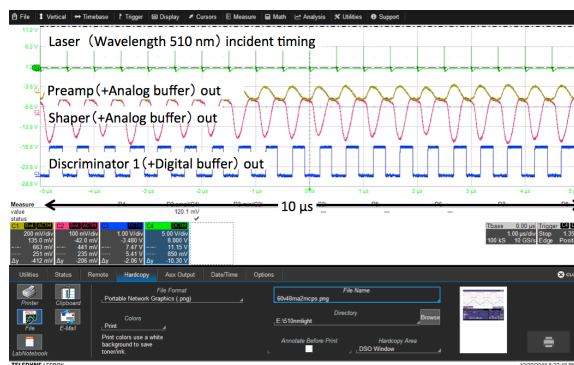


図 11 パルス処理回路測定結果

5. 結論

本研究では Silicon On Insulator (SOI)プロセスでの試作を重ね、最小 250 μm ピッチで読み出し回路の集積化が可能なアバランシェ増幅型光検出器 SOI-Silicon Photomultiplier (SOI-SiPM) の開発に成功した。開発した SiPM とパルス処理回路を一枚の SOI ウェハ上に 250 μm 角ピッチで集積させ、目標とした 3 Mcps/mm²を達成可能な高速性を確認し、PCCT 用検出器としての可能性を示すことができた。

参考文献

- 1) Z.Y. Sadygov, et al. IEEE Trans. Nucl. Sci., 43 (1996), pp. 1009–1013
- 2) F.M.D. Rocca, N. Krstajic, et al. Opt. Lett., 41 (2016), pp. 673–6762)
- 3) D. Stoppa, L. Pancheri, et al. IEEE Trans. Circ. Syst. I. Pap., 54 (1) (2007), pp. 4–12
- 4) Y. Nakamura, H. Takahashi, et al, Phys. Med. Biol., 61 (2016), pp. 5837–5850
- 5) K. Shimazoe, H. Takahashi, et al. J. Instrum., 9 (2014), pp. 1–8
- 6) A.Koyama, H.Takahashi, et al. Nucl. Instrum. Methods A (2018), doi.org/10.1016/j.nima.2017.12.061
- 7) H. Morita, J. Kataoka, Nucl. Instrum. Methods A, 857 (2017) 58–65
- 8) Leo H. C. Braga, Richard Walker, et. al, IEEE J. Solid-State Circ., Vol. 49, No. 1, 2014
- 9) S. Kappler, F. Glasser, et. al, Proc. SPIE 7622, Physics of Medical Imaging, 2010
- 10) K.Taguchi and J.S.Iwanczyk, Medical Physics, Volume 40, Issue 10,100901,2013
- 11) Y.Fukuda, SOI-CMOS Device Technology, OKI Tech. Review, 2001, Issue 185 Vol.68 No.1
- 12) S.Baba, Next-generation low-power consumption SOI devices, OKI Tech. Review, 2002, Issue 190 Vol.69 No.2