

2020 年度
修士論文

極低温における MOSFET のサブスレッショルド特性
に関する研究

Study on Subthreshold Characteristics of MOSFET
at Cryogenic Temperatures

東京大学大学院 工学系研究科 電気系工学専攻

指導教員 平本 俊郎 教授

学籍番号 37-196485
氏名 関口 翔平

概要

ある特定の問題を高速に解くことが可能になるコンピュータとして、量子コンピュータが注目を集めており、研究が盛んに行われている。

量子コンピュータでは、量子ビット（キュービット）が用いられる。この量子ビットは、0 と 1 の 2 つの状態だけでなく、その間の重ね合わせ状態をとることができる。量子コンピュータでは、この重ね合わせ状態を大量に利用することで、大規模な並列計算を一度に行うことができる。

量子コンピュータの基本構成は、量子プロセッサと CMOS 制御回路である。量子プロセッサは数十 mK の非常に低い温度で動作する量子ビットで構成され、CMOS が量子プロセッサの読み出しと制御に使用される。多量子ビット化に向けて提案されているブロック図では、CMOS の動作環境は極低温であるため、極低温における MOSFET の特性評価が重要になっている。

サブスレッショルドリーク電流が非常に小さいことが低温で動作する MOSFET の特性の 1 つである。これは、サブスレッショルドスイング (SS) が温度に比例して小さくなり、この SS が小さくなるほどサブスレッショルドリーク電流の低減につながるからである。ボデファクタ (γ) が 0 の理想的な MOSFET の場合、室温 (300 K) において $SS \approx 60$ mV/dec となる。SS の温度依存性の先行研究によると、MOSFET の SS は極低温では温度に比例せず、 $SS \approx 10$ mV/dec で飽和することが多く報告されている。しかし、これらの測定のひとつが γ の大きい MOSFET で行われており、 $\gamma = 0$ の MOSFET に関する報告は少ない。

そこで本研究では、室温で $SS = 60$ mV/dec を示す $\gamma = 0$ の理想的な MOSFET の試作、および試作した $\gamma = 0$ の MOSFET の低温測定を行い、SS の温度依存性などの特性の実験的な評価を行った。

室温で $SS = 61.3$ mV/dec を示す $\gamma \approx 0.009$ の完全空乏型 (Fully Depleted) Silicon-On-Insulator MOSFET (FD SOI MOSFET)、および室温で $SS = 60.3$ mV/dec を示す $\gamma = 0$ のゲートオールアラウンドナノワイヤ MOSFET (GAA NW MOSFET) を同じチップ上に試作できたことを確認した。同じチップ上に試作した 2 種類の MOSFET の低温測定を行い、温度の低下にともない、しきい値電圧 (V_{th}) は増加すること、SS は減少するが極低温では飽和することを実験的に確認した。

室温で $SS \approx 60$ mV/dec を示す $\gamma = 0$ の GAA NW MOSFET の場合でも、極低温では SS が温度に比例せずに約 10 mV/dec で飽和することから、SS の飽和に γ が関与していないことが実験的に明らかになった。

目次

第1章 序論	1
1.1 研究背景.....	1
1.2 研究目的.....	3
1.3 本論文の構成.....	3
第2章 MOSFET のサブスレッショルド特性および低温特性	4
2.1 導入.....	4
2.2 サブスレッショルド特性.....	4
2.3 ボディファクタ	5
2.4 低温における理論特性	6
2.4.1 V_{th} の増加	6
2.4.2 SS の減少	7
2.4.3 移動度の増加	11
2.4.4 フリーズアウト	11
2.5 まとめ.....	12
第3章 $\gamma=0$ の MOSFET の試作と室温測定.....	13
3.1 導入.....	13
3.2 プロセスフローおよびデバイス構造	13
3.2.1 FD SOI MOSFET	13
3.2.2 GAA NW MOSFET	16
3.3 FD SOI MOSFET の SOI 膜厚依存性	18
3.3.1 V_{th} の増加	20
3.3.2 SS の減少	21
3.4 試作した FD SOI MOSFET および GAA NW MOSFET の室温測定結果.....	21
3.4.1 バックバイアス依存性	21
3.4.2 SS	23

3.5 まとめ	26
第4章 $\gamma = 0$ の MOSFET の低温測定	27
4.1 導入.....	27
4.2 低温測定の手法	27
4.3 低温測定結果.....	28
4.3.1 V_{th} の温度依存性	29
4.3.2 SS の温度依存性.....	30
4.4 極低温における SS 飽和に関する理論	33
4.4.1 界面準位による SS 飽和の説明	33
4.4.2 バンドテールによる SS 飽和の説明	36
4.5 本章のまとめ.....	40
第5章 結論	41
5.1 まとめ	41
5.2 今後の展望	41
謝辞	42
本研究に関する発表.....	44
参考文献	45
付録	48

第1章 序論

1.1 研究背景

ある特定の問題を高速に解くことが可能になるコンピュータとして、量子コンピュータが注目を集めている。この問題の例としては、巨大な整数の素因数分解や大量なデータセット内の効率的な検索などがあげられる。また、創薬や新材料開発のための量子シミュレーションが可能になると考えられており、研究が盛んに行われている[1]。

我々が日常的に使用しているコンピュータでは、計算の最小単位としてビットが用いられており、1つのビットは0または1をとる。一方、量子コンピュータでは、ビットの代わりに量子ビット（キュービット）が用いられる。この量子ビットは、0と1の2つの状態だけでなく、その間の重ね合わせ状態をとることができる。すなわち、N個の量子ビットからなる量子メモリがあるとすると、 2^N 個の重ね合わせ状態をとることができるため、同時に 2^N 個の解を得ることが可能となる。量子コンピュータでは、このような膨大な数の重ね合わせ状態を利用して、大規模な並列計算を一度に行うことができる[2]。

Fig. 1-1 に示すように、量子プロセッサと CMOS 制御回路が量子コンピュータの基本構成である。量子プロセッサは数十 mK の非常に低い温度で動作する量子ビットで構成され、室温で CMOS が量子プロセッサの読み出しと制御に使用される。しかし、このままでは量子ビットが増加するにつれて、極低温量子プロセッサと室温 CMOS 制御回路間の複雑な相互接続が増えてしまい、多量子ビット化には向いていない。そこで、多量子ビット化に向けて提案されているのが Fig. 1-2 に示すようなブロック図である。量子プロセッサとの信号の伝達にマルチプレクサやデマルチプレクサを用いることで配線数を減らすことができ、CMOS 制御回路も数 K 以下で動作させることで熱雑音を低減することができる。このように、量子コンピュータにおける CMOS の動作環境は極低温であるため、極低温における MOSFET の特性評価が重要になっている。

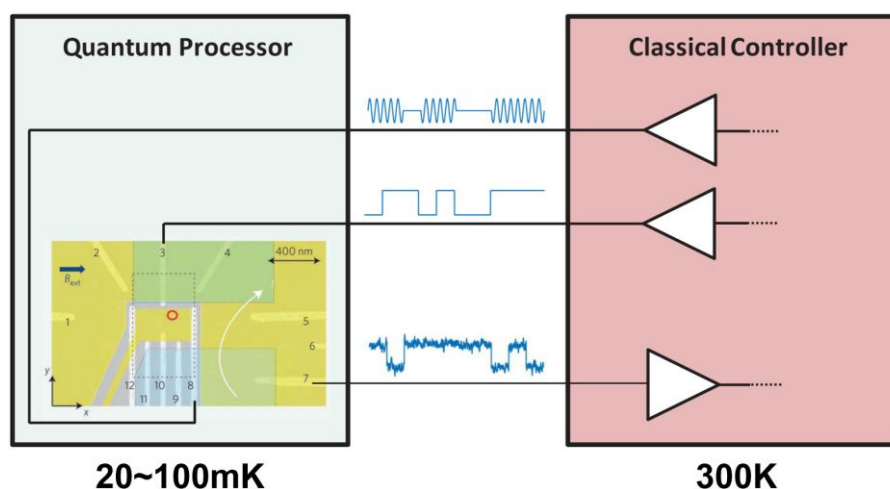


Fig. 1-1 Quantum processor and classical controller connected in a control/readout configuration [3].

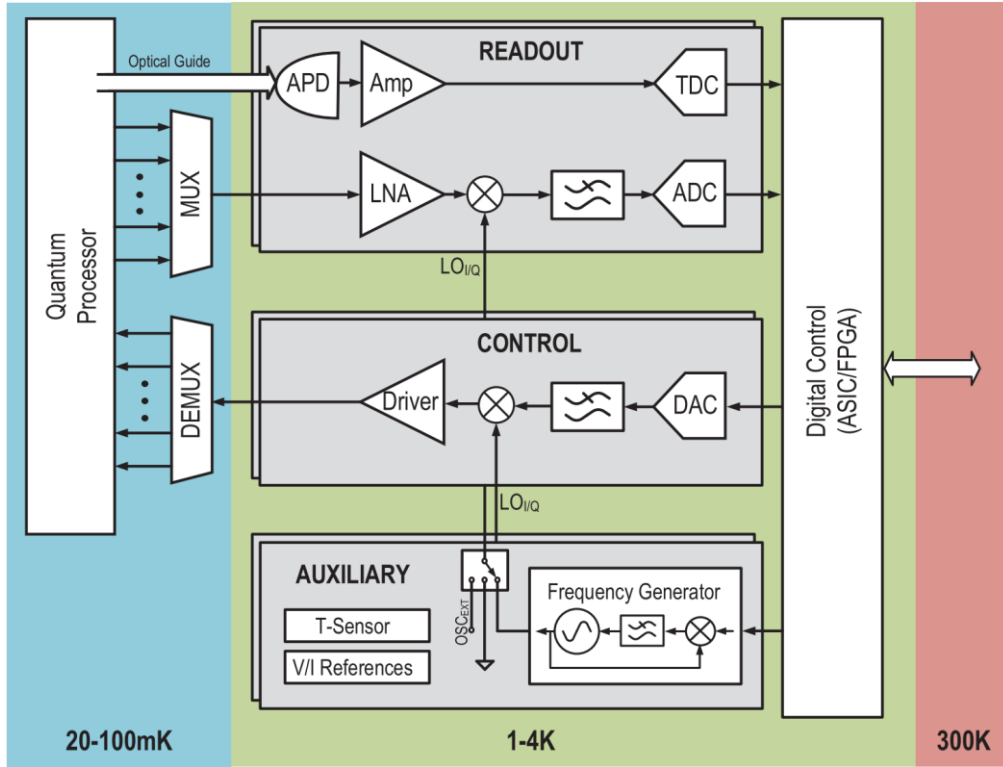


Fig. 1-2 Block diagram of the proposed cryo-CMOS controller for the control and readout of qubits [3].

サブスレッショルドリーク電流が非常に小さいことが低温で動作する MOSFET の特性の 1 つである．これは，サブスレッショルドスイング (SS) が次式 (1.1) で与えられ，この SS が小さくなるほどサブスレッショルドリーク電流の低減につながるからである．

$$SS \text{ (mV/dec)} = \left(\frac{d \log_{10} I_{DS}}{dV_{GS}} \right)^{-1} = \frac{k_B T}{q} \ln 10 (1 + \gamma), \gamma = \frac{C_D}{C_{ox}} \quad (1.1)$$

ここで， I_{DS} はドレイン電流， V_{GS} はゲート電圧， k_B はボルツマン定数， T は温度， q は素電荷， γ はボディファクタ， C_D は空乏層容量， C_{ox} は酸化膜容量である． $\gamma=0$ の理想的な MOSFET の場合，室温 (300 K) において $SS \approx 60 \text{ mV/dec}$ となる．Fig. 1-3 に SS の温度依存性の先行研究例を示す．Fig. 1-3 に示すように，MOSFET の SS は極低温では温度に比例せず， $SS \approx 10 \text{ mV/dec}$ で飽和することが多く報告されている[4-9]．しかし，これらの測定のひとつが γ の大きい MOSFET で行われており， $\gamma=0$ の MOSFET に関する報告は少ない．

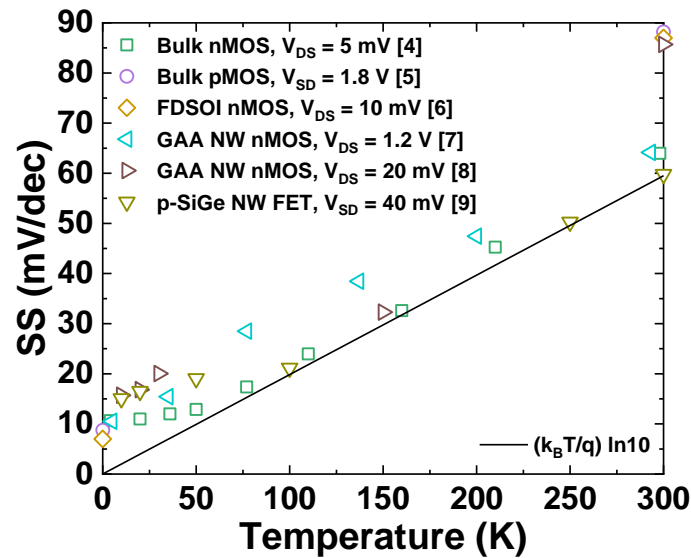


Fig. 1-3 Previous studies on temperature dependence of SS [4-9].

1.2 研究目的

そこで本研究では、室温で $SS = 60$ mV/dec を示す $\gamma = 0$ の理想的な MOSFET を試作すること、そして、試作した $\gamma = 0$ の MOSFET の低温測定を行い、 SS の温度依存性などの特性を実験的に評価することを目的とする。

1.3 本論文の構成

本論文の構成は次のとおりである。第 2 章では、サブスレッショルド特性、ボディファクタ、低温における理論特性などの本研究に関する基本的な事項について述べる。第 3 章では、本研究で試作した完全空乏型 (Fully Depleted) Silicon-On-Insulator MOSFET (FD SOI MOSFET) およびゲートオールアラウンドナノワイヤ MOSFET (GAA NW MOSFET) のプロセスフローや、室温での諸特性の測定結果および考察について述べる。第 4 章では、試作した 2 種類の MOSFET の低温測定を行い、諸特性の測定結果および考察について述べる。第 5 章では、結論および今後の展望について述べる。

第2章 MOSFET のサブスレッショルド特性および低温特性

2.1 導入

本研究では，短チャネル効果が起こらない長チャネル MOSFET の試作および調査を行ったので，本章では，本研究に関する基本的な事項を短チャネル効果が無視できる長チャネルの場合についてのみまとめる．

まず，サブスレッショルド特性について述べる．次に，ボディファクタについて述べる．最後に，低温における MOSFET の理論的な特性について述べる．

2.2 サブスレッショルド特性

ドレイン電圧 (V_{DS}) が低いときの MOSFET の典型的な I_{DS} - V_{GS} 特性を Fig. 2-1 に示す．Fig.2-1(a)に示すように，縦軸が線形スケールの場合， V_{GS} がしきい値電圧 (V_{th}) より低いと $I_{DS} = 0$ となっている．しかし実際は，Fig. 2-1(b)に示すように，縦軸を対数スケールにすると， V_{th} 以下でも電流が流れていることがわかる．この $V_{GS} < V_{th}$ の動作領域を，サブスレッショルド領域，あるいは弱反転領域とよぶ．また， $V_{GS} = 0$ のときに流れている電流 I_{off} をサブスレッショルドリーク電流とよぶ．

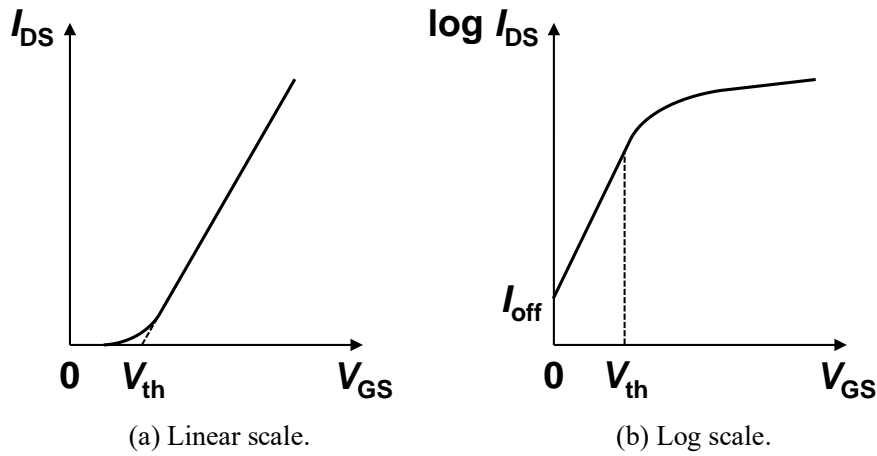


Fig. 2-1 Typical I_{DS} - V_{GS} characteristics in MOSFET at low V_{DS} .

サブスレッショルドスイング (SS) は，サブスレッショルド領域におけるドレイン電流 (I_{DS}) を 1 桁増加させるのに必要なゲート電圧 (V_{GS}) として定義され，次式のように表される．

$$SS \text{ (mV/dec)} = \left(\frac{d \log_{10} I_{DS}}{dV_{GS}} \right)^{-1} = \frac{k_B T}{q} \ln 10 \left(1 + \frac{C_D}{C_{ox}} \right), C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.1)$$

ここで， k_B はボルツマン定数， T は温度， q は素電荷， C_D は空乏層容量， C_{ox} は酸化膜容量， ϵ_{ox} は酸化膜の誘電率， t_{ox} は酸化膜厚である． $T = 300 \text{ K}$ ， $k_B = 1.38 \times 10^{-23} \text{ J/K}$ ， $q = 1.6 \times 10^{-19} \text{ C}$ を式 (2.1) に代入すると，室温での理論的限界値が $SS \approx 60 \text{ mV/dec}$ であることがわかる．

FD SOI MOSFET の場合, C_D は BOX 容量 (C_{BOX}) と SOI 容量 (C_{SOI}) の直列容量であり, 次式のように表される.

$$C_D = \frac{C_{BOX}C_{SOI}}{C_{BOX} + C_{SOI}}, C_{BOX} = \frac{\epsilon_{ox}}{t_{BOX}}, C_{SOI} = \frac{\epsilon_{Si}}{t_{SOI}} \quad (2.2)$$

ここで, t_{BOX} は BOX 層膜厚, t_{SOI} は SOI 膜厚, ϵ_{Si} はシリコンの誘電率である.

Fig. 2-2 に示すように, 消費電力の主要因である I_{off} を低減するために, SS は小さい方が良い.

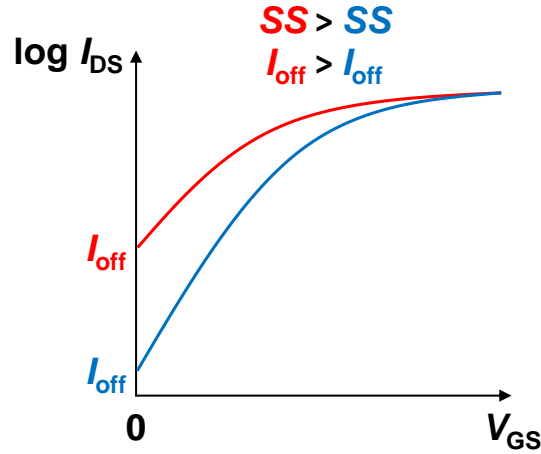


Fig. 2-2 The smaller subthreshold swing (SS), the smaller the subthreshold leakage current (I_{off}).

2.3 ボディファクタ

バックバイアス (V_{BS}) により MOSFET の V_{th} が変化するという事実は広く知られており, この効果をボディ効果とよぶ (Fig. 2-3). V_{BS} に対する V_{th} の感度をボディファクタ (γ) として, 本論文では以下のように定義する.

$$\gamma = \frac{|\Delta V_{th}|}{|\Delta V_{BS}|} \quad (2.3)$$

また, γ は C_{ox} と C_D を用いて以下のように表すことができる[10].

$$\gamma = \frac{C_D}{C_{ox}} \quad (2.4)$$

したがって, 式 (2.1) は

$$SS = \frac{k_B T}{q} \ln 10 (1 + \gamma) \quad (2.5)$$

となる. すなわち, V_{BS} を印加しても V_{th} が変化しない $\gamma = 0$ の MOSFET であれば, 室温で $SS = 60 \text{ mV/dec}$ を示す.

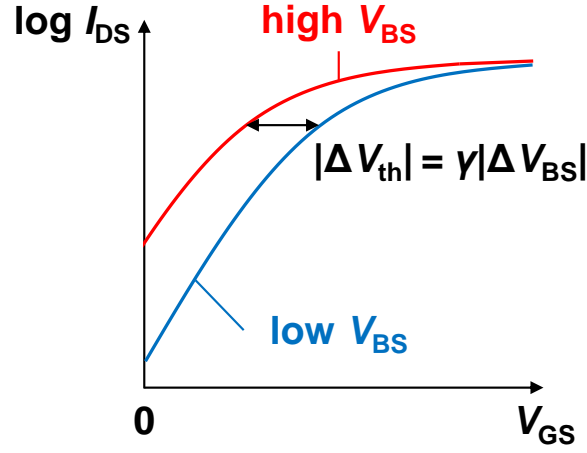


Fig. 2-3 Body effect.

2.4 低温における理論特性

2.4.1 V_{th} の増加

n^+ ポリシリコンゲートの FD SOI MOSFET の場合, V_{th} は次式で与えられる.

$$V_{th} = -\frac{E_g}{2q} + \psi_B + \frac{qN_a t_{SOI}}{C_{ox}} \quad (2.6)$$

ここで, E_g はシリコンのエネルギーギャップ, ψ_B はフェルミポテンシャルと真性ポテンシャルの差, N_a はアクセプタ密度である. 式 (2.6) を T で微分すると,

$$\frac{dV_{th}}{dT} = -\frac{1}{2q} \frac{dE_g}{dT} + \frac{d\psi_B}{dT} \quad (2.7)$$

$d\psi_B/dT$ は真性キャリア濃度 n_i の温度依存性に由来し, 以下の式 (2.8) と式 (2.9) を用いて,

$$\psi_B = \frac{k_B T}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2.8)$$

$$n_i = \sqrt{N_c N_v} e^{-E_g/2k_B T} \quad (2.9)$$

次のように計算できる.

$$\begin{aligned} \frac{d\psi_B}{dT} &= \frac{d}{dT} \left[\frac{k_B T}{q} \ln\left(\frac{N_a}{\sqrt{N_c N_v} e^{-E_g/2k_B T}}\right) \right] \\ &= -\frac{k_B}{q} \ln\left(\frac{\sqrt{N_c N_v}}{N_a}\right) - \frac{k_B T}{q \sqrt{N_c N_v}} \frac{d\sqrt{N_c N_v}}{dT} + \frac{1}{2q} \frac{dE_g}{dT} \end{aligned} \quad (2.10)$$

伝導帯の実効状態密度 N_c および価電子帯の実効状態密度 N_v はともに $T^{3/2}$ に比例するので,

$$\frac{d(N_c N_v)^{1/2}}{dT} = \frac{3}{2} \frac{\sqrt{N_c N_v}}{T} \quad (2.11)$$

が得られる. 式 (2.10) を式 (2.7) に代入すると, 次式が得られる.

$$\frac{dV_{th}}{dT} = -\frac{k_B}{q} \left[\ln \left(\frac{\sqrt{N_c N_v}}{N_a} \right) + \frac{3}{2} \right] \quad (2.12)$$

式 (2.12) の右辺は常に負であるため、 T が低下すると V_{th} は増加する[11].

2.4.2 SS の減少

式 (2.1) から、SS は T の低下にともない減少することが明らかである。したがって、低温で動作する MOSFET の I_{off} は非常に小さい。

以下で、低温で SS が減少する理由を定性的に示す。

まず、フェルミ・ディラック分布関数 $f(E)$ を Fig. 2-4 に示す。 $f(E)$ は電子の占有確率を表し、占有確率が 0.5 となるエネルギーをフェルミレベル E_F とよぶ。 $f(E)$ は青色で示した 0 K ではステップ関数であり、青色→黄色→赤色と温度を増加していくと、Fig. 2-4 のように指数テールが広がっていく。

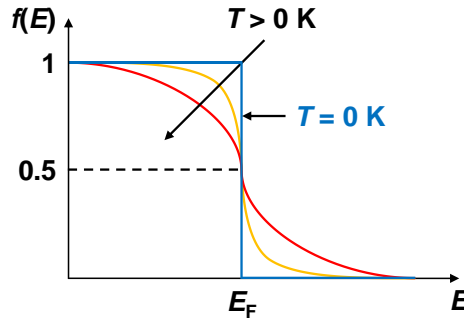


Fig. 2-4 Fermi-Dirac distribution function.

次に、3次元の場合の電子の状態密度 $N(E)$ を Fig. 2-5 に示す。式 (2.13) で与えられるように $f(E)$ と $N(E)$ が重なった部分が電子のキャリア濃度 n となる。

$$n = \int_{E_c}^{E_{top}} N(E) f(E) dE \quad (2.13)$$

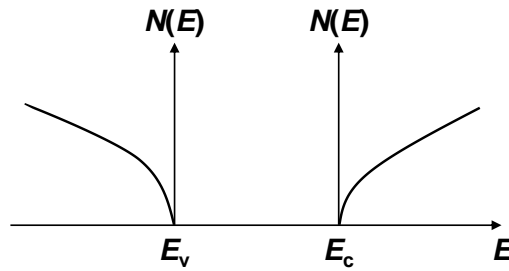


Fig. 2-5 3D density of states.

Fig. 2-6 に示すように、MOSFET には拡散電流とドリフト電流が存在し、サブスレッショルド領域で支配的なのは拡散電流である。

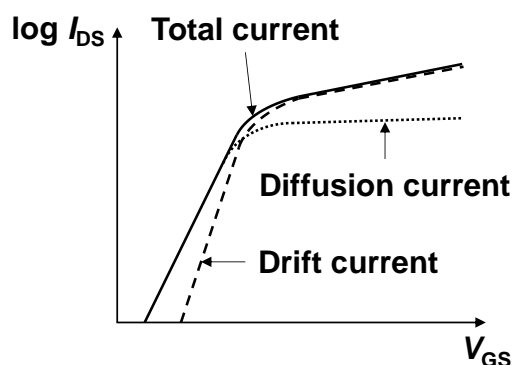


Fig. 2-6 The drift component and diffusion component of the drain current and their sum are shown.

Fig. 2-7 は、チャネルを横方向から見たときのサブスレッショルド領域におけるバンド図である。ソース端での pn 接合の拡散によりチャネルに生じたキャリアが、濃度が低いドレイン端に向かって拡散することにより拡散電流が流れる。このソース端での pn 接合の拡散により生じるキャリア濃度は式 (2.13) で得ることができる。

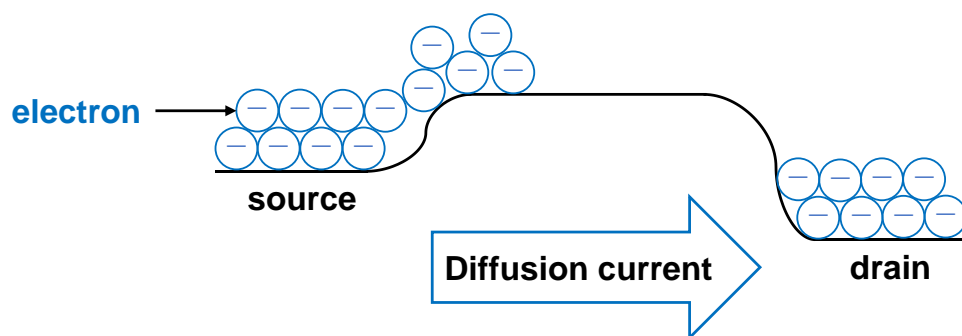


Fig. 2-7 Band diagram from source to drain in the channel at subthreshold region.

Fig. 2-8 は、室温における MOS 構造のフラットバンド状態と強反転状態におけるエネルギーバンド図である。Si-SiO₂ 界面に着目して Fig. 2-8 の(a)と(b)を比較すると、 V_{GS} の増加にともない、 E_F が E_c に向かって動いているように見える（実際には、 E_F の位置が Fig. 2-8 の(a)と(b)で変わっていないことに注意する必要がある）。

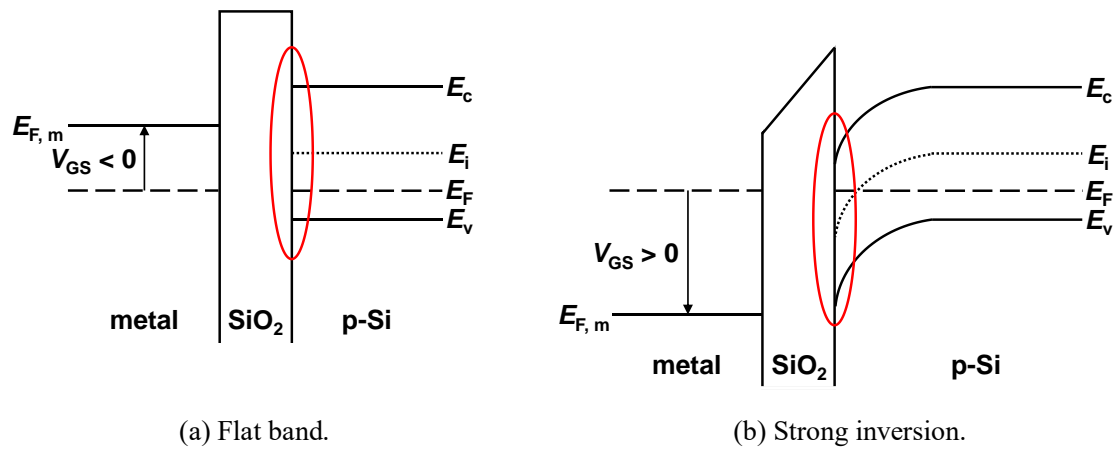
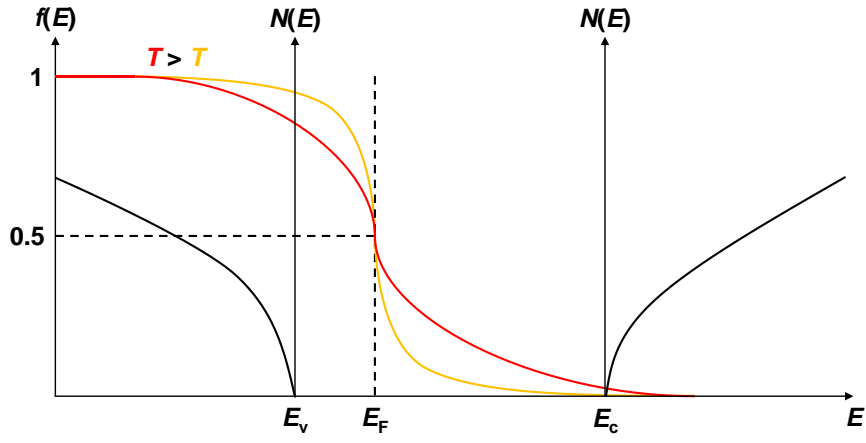
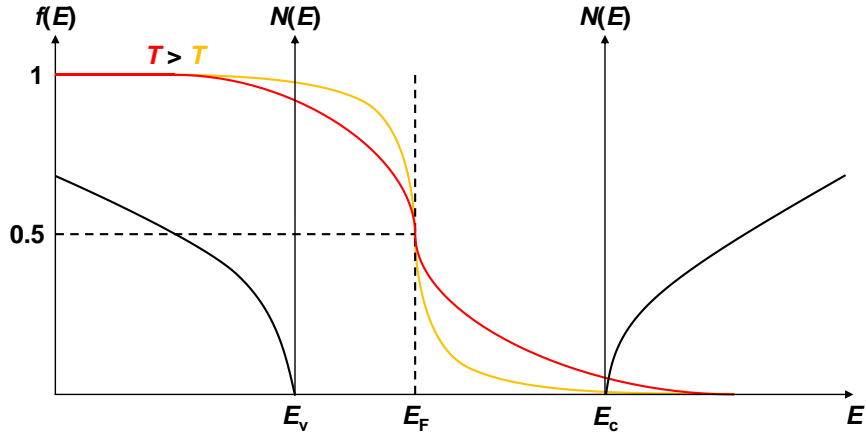


Fig. 2-8 Band diagrams from interface to bulk at room temperature.

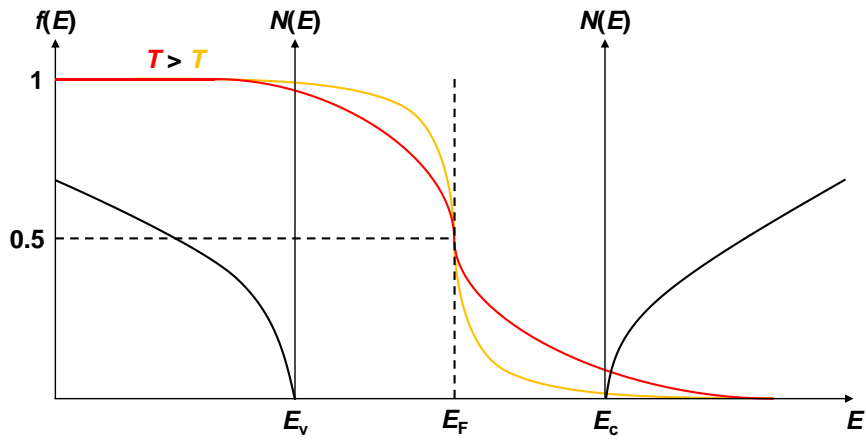
以上の基本的な物理理論を踏まえると、低温で SS が減少する理由を定性的に理解できる。Fig. 2-9 に示すように、 V_{GS} を増加していくと E_F が E_c に向かっていく。このとき、低温の方がソース端においてチャネルに湧き出すキャリア濃度が低いため、拡散電流が小さくなる。すなわち、低温にすると拡散電流が小さくなり、サブスレッショルドリーク電流が低減されるので SS が小さくなる。



(a) At low V_{GS} ($V_{GS,1}$).



(b) At $V_{GS,2} > V_{GS,1}$.



(c) At $V_{GS,3} > V_{GS,2}$.

Fig. 2-9 The reason why SS becomes smaller at low temperatures.

2.4.3 移動度の増加

チャネルを流れるキャリアの移動度は異なる散乱過程によって制限されている．この散乱過程には，ドナーイオン，アクセプタイオン，界面準位などの荷電散乱中心によるクーロン散乱，格子振動（フォノン）によるフォノン散乱，Si-SiO₂ 界面のラフネスによる表面ラフネス散乱がある（Fig. 2-10）．クーロン散乱，フォノン散乱，表面ラフネス散乱によって主として制限されている移動度を，それぞれ μ_{coulomb} ， μ_{phonon} ， $\mu_{\text{roughness}}$ とすると，実効電界移動度 μ_{eff} がマティーンセン則を用いて次式で与えられる．

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_{\text{coulomb}}} + \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{roughness}}} \quad (2.14)$$

μ_{coulomb} ， μ_{phonon} ， $\mu_{\text{roughness}}$ には，それぞれ以下の比例関係がある[12]．

$$\mu_{\text{coulomb}} \propto N_{\text{sub}}^{-1} \cdot N_{\text{inv}} \quad (2.15)$$

$$\mu_{\text{phonon}} \propto E_{\text{eff}}^{-1/3} \cdot T^{-1.25} \quad (2.16)$$

$$\mu_{\text{roughness}} \propto E_{\text{eff}}^{-a} \quad (2.17)$$

ここで， N_{sub} は基板不純物濃度， N_{inv} は反転層キャリア密度， E_{eff} は実効電界， a は電子の場合は 2，正孔の場合は 1 である．式（2.16）および Fig. 2-10 から明らかなように，低温ではフォノン散乱が減少するため μ_{eff} が増加する．

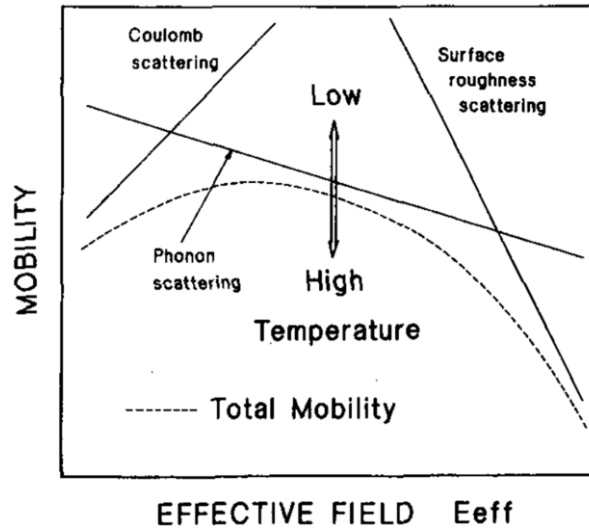


Fig. 2.10 Three dominant scattering mechanisms in mobility [13].

2.4.4 フリーズアウト

エネルギーギャップ内における E_F の温度変化が，不純物濃度 N_A をパラメータとして計算されたのが Fig. 2-11 である． T の低下にともない E_F が，n 型の場合は E_c に，p 型の場合は E_v に近づいていることがわかる．0 K における E_F はいずれの N_A に対しても，n 型の場合は $(E_c - E_D)/2$ で，p 型の場合は $(E_A - E_v)/2$ で飽和する傾向にある．ここで， E_D はドナー準位，

E_A はアクセプタ準位である。低温では浅い準位であっても、すべての不純物原子をイオン化させるのに熱エネルギーが十分でない状態となり、n 型の場合は E_c の電子が E_D に、p 型の場合は E_A の電子が E_v に落ち込むため、キャリア濃度が減少する。これをフリーズアウトとよぶ。

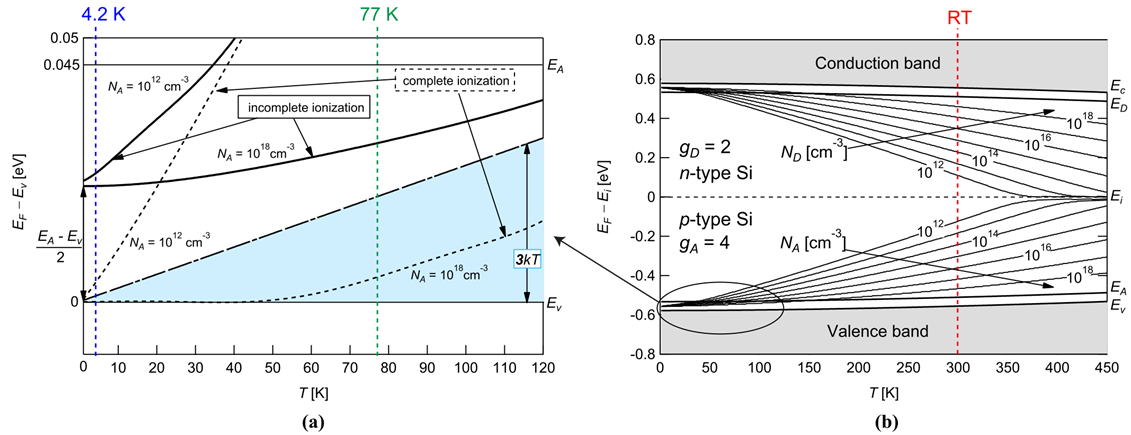


Fig. 2-11 Thermal equilibrium in extrinsic bulk silicon. (a) Magnified view of the cryogenic regime (below 120 K) in (b) for p-type Si. (b) Position of the Fermi level, E_F , in the bandgap as a function of doping and temperature. A standard, temperature-independent value of $E_A - E_v = 0.045 \text{ eV}$ in Si:B is assumed [14].

2.5 まとめ

2.2 節で、 SS の定義および室温における理論的な限界値 $SS \approx 60 \text{ mV/dec}$ を示し、消費電力の主要因である I_{off} の低減につながるため、 SS は小さい方が良いと述べた。

2.3 節で、 γ の定義を示し、 $\gamma = 0$ の MOSFET であれば、室温で $SS = 60 \text{ mV/dec}$ を示すと述べた。

2.4 節で、 V_{th} の増加、 SS の減少、 μ_{eff} の増加、フリーズアウトに関する低温における理論的な特性について述べた。

本章で述べたことをもとに、第 3 章で、室温で $SS = 60 \text{ mV/dec}$ を示す $\gamma = 0$ の MOSFET を試作し、第 4 章で、 $\gamma = 0$ の MOSFET の低温測定を行い、 V_{th} および SS を実験的に評価する。

第3章 $\gamma=0$ の MOSFET の試作と室温測定

3.1 導入

本研究では、室温で $SS=60\text{ mV/dec}$ を示す $\gamma=0$ の理想的な MOSFET を目指して GAANW MOSFET を試作することにし、リファレンスとして室温における SS が 60 mV/dec に非常に近い FD SOI MOSFET を同じチップ上に試作することにした。

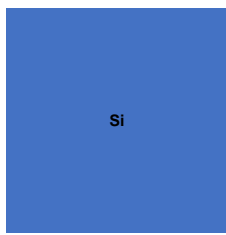
そこで本章では、まず、FD SOI MOSFET および GAA NW MOSFET のプロセスフローについて述べる。次に、FD SOI MOSFET の SOI 膜厚依存性について実験的に調査し、リファレンスとして用いる FD SOI MOSFET の SOI 膜厚を決める。最後に、試作した FD SOI MOSFET および GAA NW MOSFET の室温測定を行い、 SS や γ の値を求める。測定には B1500A 半導体デバイス・アナライザを用いた。

3.2 プロセスフローおよびデバイス構造

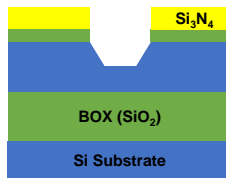
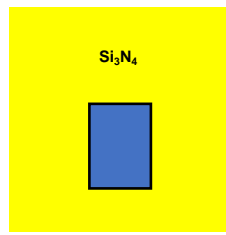
3.2.1 FD SOI MOSFET

Fig. 3-1 に FD SOI MOSFET の簡易的なプロセスフローを示す。詳細なプロセス条件は付録に示す。まず、SOI 基板を用意し、マスク酸化を行い表面を保護する。その後、位置合わせ用のマークを BOX 層の下に Si 基板上に形成する。次に、Fig. 3-1(b)に示すように、シリコンナイトライド (Si_3N_4) を堆積し、リセスのパターニングおよびエッチングを行う。このリセスのパターン部分が後にチャネルとなり、このチャネル部分の Si のみを熱酸化により薄くする (Local Oxidation of Silicon: LOCOS とよぶ) ことで、ソース・ドレイン部分の寄生抵抗を増加させずに SOI を薄膜化することができる。次に、Fig. 3-1(c)に示すように、メサのパターニングおよびエッチングを行い、不要な Si を取り除く (LOCOS を行わない場合は、Fig. 3-1(b)の工程は行わずにこの工程から始める)。その後、熱酸化によりゲート酸化膜を形成し、化学気相成長 (Chemical Vapor Deposition: CVD) により Poly Si を堆積する。そして、ゲートのパターニングおよびエッチングを行い、ゲート電極を形成する。続いてイオン注入を行い、保護酸化膜を堆積させた後に、窒素アニールにより不純物の活性化および Si の再結晶化を行う。次に、水素アニールにより界面のダングリングボンドを水素終端することで界面準位を低減させる[15]。その後、フッ酸処理によりコンタクトホールをあけ、Al のスパッタリングおよびエッチングを行って配線層を作製する。

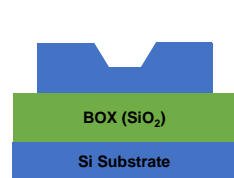
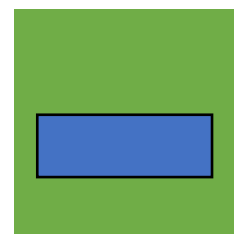
Fig. 3-2 の(a)に LOCOS を行わない場合の CAD レイアウト、(b)に LOCOS を行う場合の CAD レイアウトを示す。また、Fig. 3-3 の(a)に LOCOS を行わない場合の完成後のデバイス断面図、(b)に LOCOS を行う場合の完成後のデバイス断面図を示す。Fig. 3-2 および Fig. 3-3 に、本論文で用いるパラメータ (ゲート長: L , チャネル幅: W , ゲート酸化膜厚: t_{ox} , チャネル部分の SOI 膜厚: t_{soi}) を定義した。



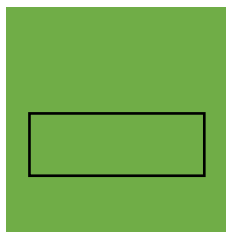
(a) SOI substrate.



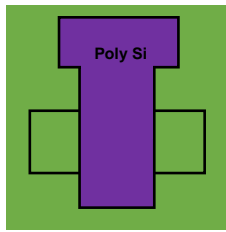
(b) LOCOS.



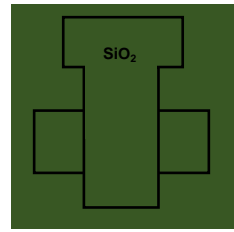
(c) Mesa etching.



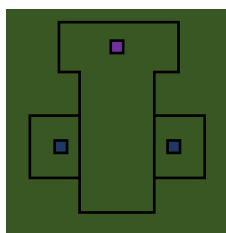
(d) Gate oxide formation.



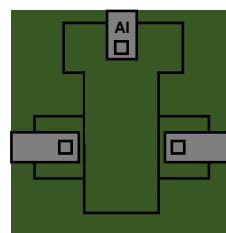
(e) Poly Si deposition and etching.



(f) Passivation oxide deposition.



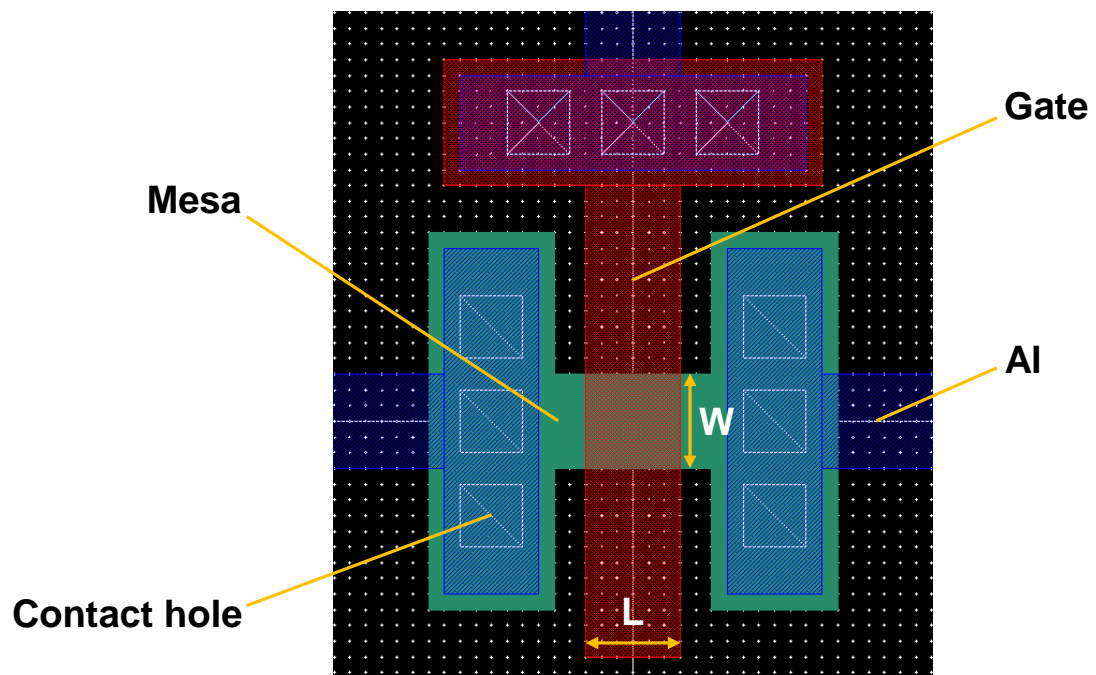
(g) Contact hole formation.



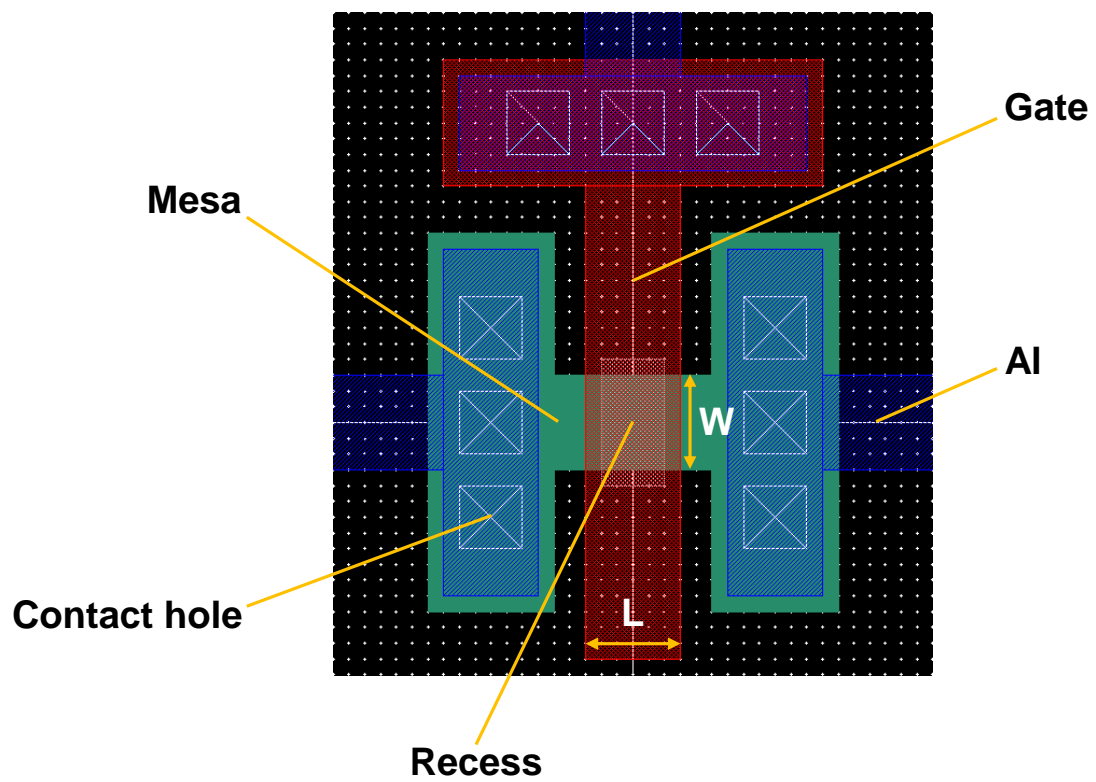
(h) Al spattering and etching.



Fig. 3-1 Process flow of fabricated FD SOI MOSFET.



(a) Process without LOCOS.



(b) Process with LOCOS.

Fig. 3-2 CAD layout of fabricated FD SOI MOSFET.

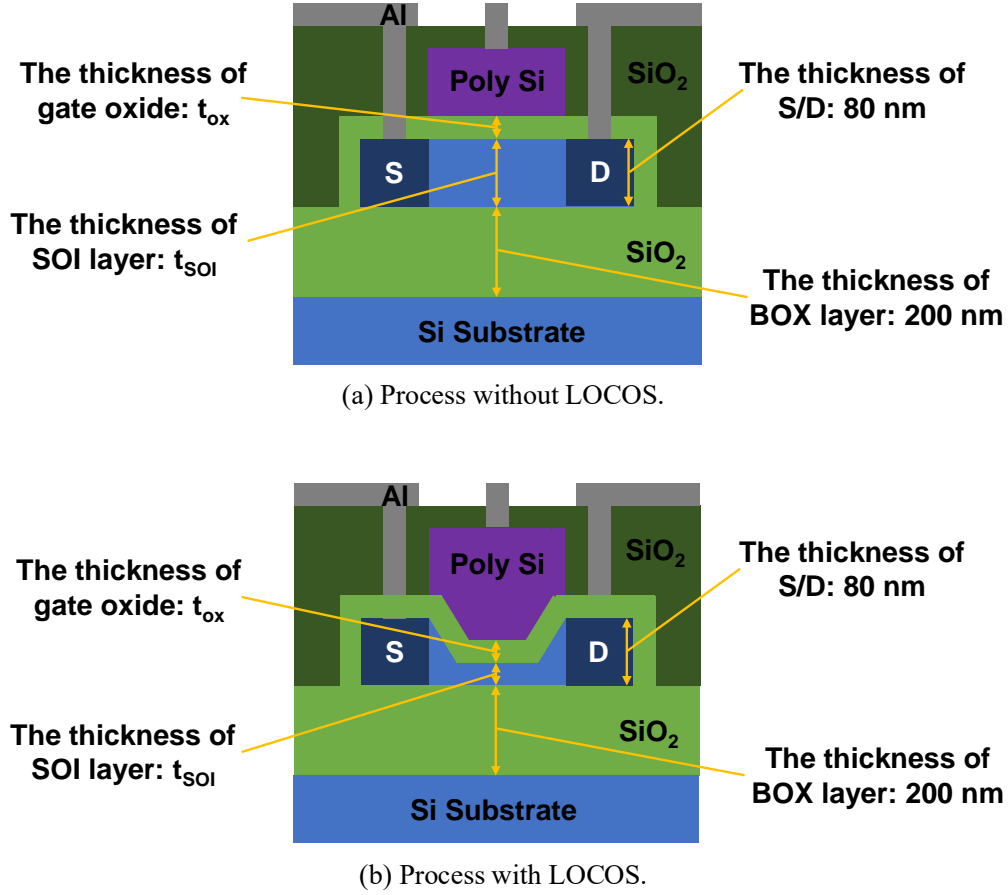


Fig. 3-3 Cross section of fabricated FD SOI MOSFET.

3.2.2 GAA NW MOSFET

詳細なプロセス条件は付録に示す．本研究で試作した GAA NW MOSFET のプロセスフローは基本的には FD SOI MOSFET (Fig. 3-1) と同じであるので，異なる部分のみ Fig. 3-4 に示す．まず，Fig. 3-1(b)に示すように，ナノワイヤをパターニングする部分の SOI を薄膜化し，Fig. 3-4(a)に示すように，マスク酸化にメサのパターニングを行う．次に，ナノワイヤのパターニングを EB リソグラフィで行う．この際，高解像度であることが知られている Hydrogen silsesquioxane (HSQ) をレジストとして用いた[16]．そして，Fig. 3-4(b)に示すように，メサおよびナノワイヤのエッチングを同時に行う．その後，フッ酸処理によりナノワイヤを Fig. 3-4(c)のような状態にする．これにより，ゲートオールアラウンド (GAA) 構造にすることができる．これ以降は Fig. 3-1(d)-(h)と同じである．

Fig. 3-5 に GAA NW MOSFET の CAD レイアウトを示す．また，Fig. 3-6 に完成後のデバイスの 3 次元構造図を示す．Fig. 3-5 および Fig. 3-6 に，本論文で用いるパラメータ (ワイヤ長： L_{NW} ，ワイヤ幅： W_{NW} ，ワイヤ高さ： H_{NW} ，ゲート酸化膜厚： t_{ox} ，ワイヤの実効幅 (周辺長)： W_{eff}) を定義した．

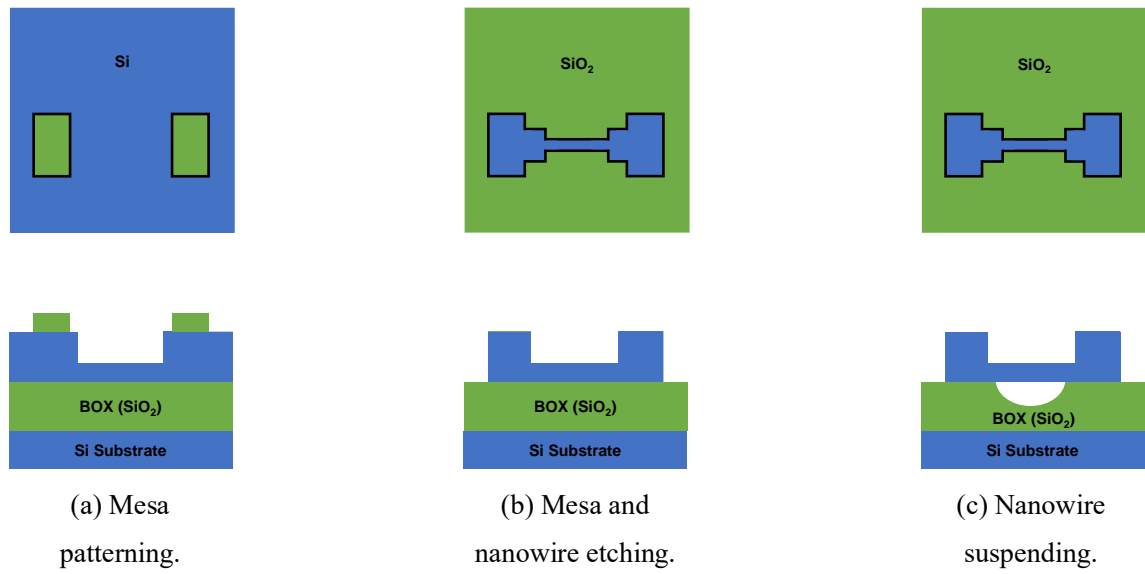


Fig. 3-4 Process flow of fabricated GAA NW MOSFET. Since it is basically the same as the FD SOI MOSFET process flow in Fig. 3-1, only the different parts are shown.

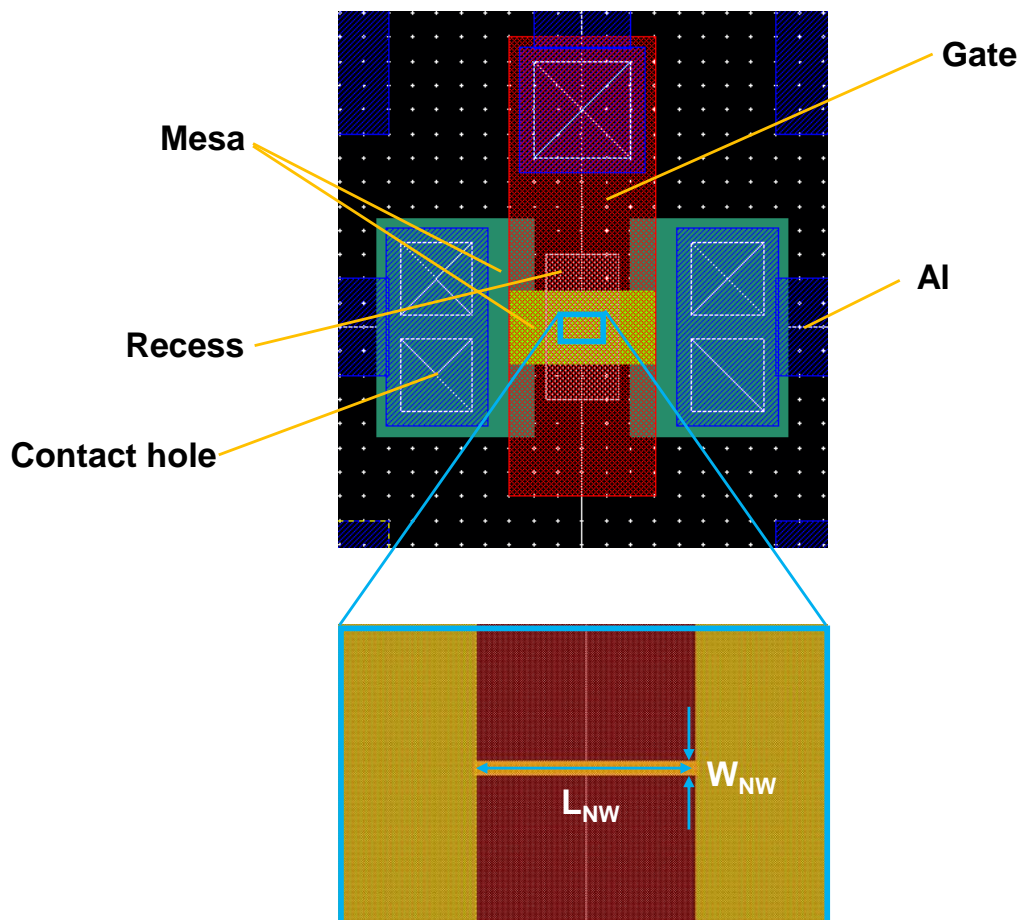


Fig. 3-5 CAD layout of fabricated GAA NW MOSFET.

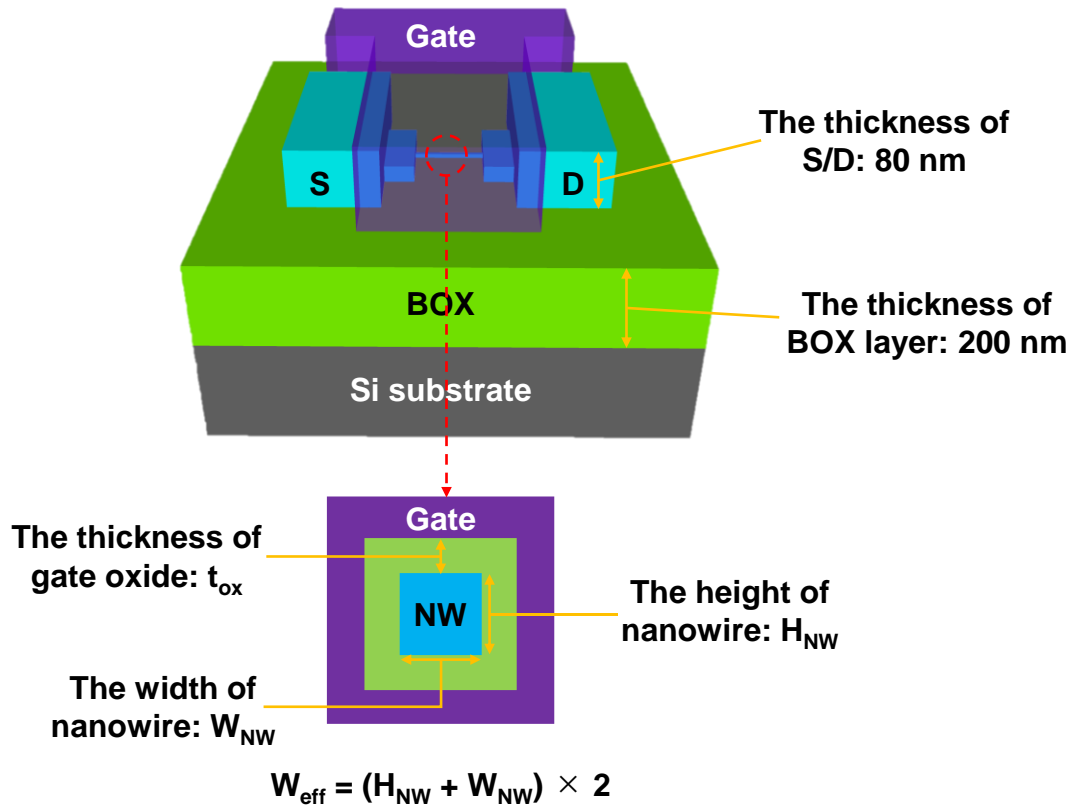


Fig. 3-6 A schematic 3D bird's eye view of the fabricated GAA NW structure.

The schematic cross-section of nanowire is also shown.

3.3 FD SOI MOSFET の SOI 膜厚依存性

室温における SS が 60 mV/dec に非常に近い FD SOI MOSFET を GAA NW MOSFET のリファレンスとして試作するために、FD SOI MOSFET の SOI 膜厚依存性の実験的な調査を行った。この調査のために 2 種類の FD SOI MOSFET を試作した。サイズおよびゲート酸化膜厚はともに同じであり、それぞれ $W/L = 30 \mu\text{m}/30 \mu\text{m}$, $t_{ox} = 12 \text{ nm}$ である。チャネル部分の SOI 膜厚のみが異なり、1 つは LOCOS を行わずに $t_{SOI} = 80 \text{ nm}$ とし、もう 1 つは LOCOS を行い $t_{SOI} = 20 \text{ nm}$ とした。この 2 種類の FD SOI MOSFET の室温における $I_{DS}-V_{GS}$ 特性を Fig. 3-7 に示す。また、Fig. 3-7 から各ドレイン電流に対する SS を抽出したものを Fig. 3-8 に示す。

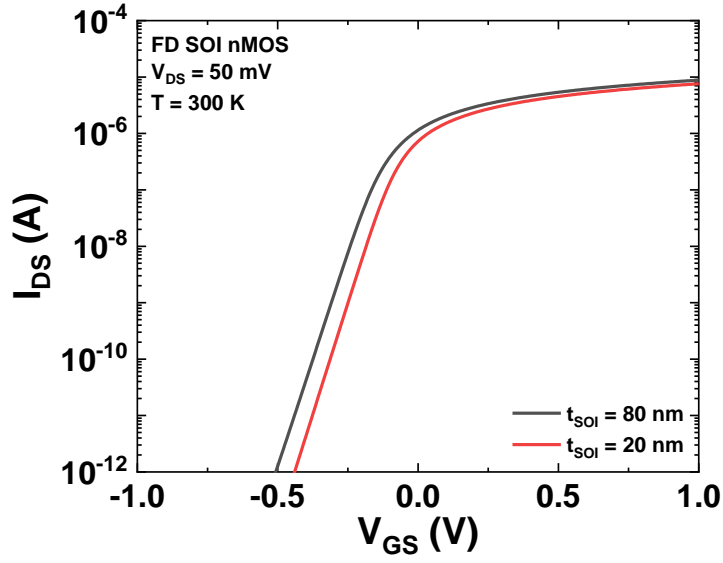


Fig. 3-7 Measured I_{DS} - V_{GS} characteristics at room temperature in FD SOI nMOSFETs ($W/L = 30 \mu\text{m}/30 \mu\text{m}$, $t_{ox} = 12 \text{ nm}$) with different t_{SOI} (80 nm, 20 nm). Drain voltage V_{DS} is 50mV.

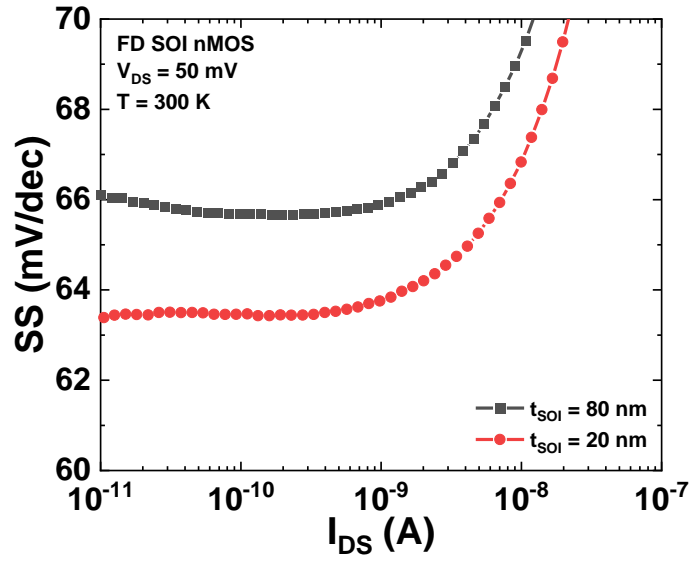


Fig. 3-8 Extracted SS values as a function of I_{DS} from the results of Fig. 3-7.

Fig. 3-7 から、チャネル部分の SOI 膜厚が薄いと V_{th} が増加することがわかる。また、Fig. 3-8 から、チャネル部分の SOI 膜厚が薄いと SS が減少することがわかる。この傾向は文献 [17] と一致する。この 2 つの現象の理由を以下で定性的に述べる。ここで、FD SOI MOSFET の場合、量子効果は $t_{SOI} < 10 \text{ nm}$ から考慮されることに注意する必要がある[12]。

3.3.1 V_{th} の増加

サブスレッショルド領域における FD SOI MOSFET のバンド図を Fig. 3-9 に示す。サブスレッショルド領域ではバンドの曲がり非常に緩やかであるため、拡散電流は SOI 層全体を流れると考えられる。同じ V_{GS} で考えたときに、 t_{SOI} が薄いほど、 t_{SOI} が厚いときに比べて拡散電流が流れにくいので、Fig. 3-10 に示すように、同じ電流量を得るためにはより多くの V_{GS} が必要となり、 V_{th} の増加につながると考えられる。

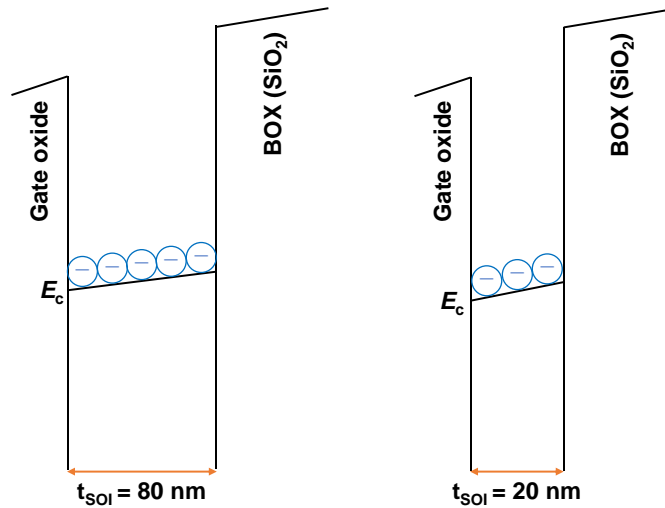


Fig. 3-9 Band diagrams of FD SOI MOSFETs.

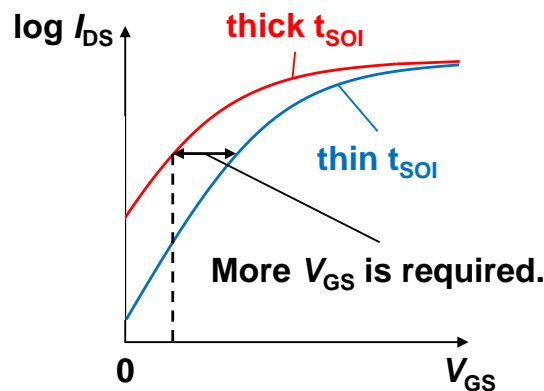


Fig. 3-10 The reason why V_{th} increases as t_{SOI} becomes thinner.

3.3.2 SS の減少

Fig. 3-9 に示すように、サブスレッショルド領域では拡散電流が SOI 層全体を流れると考えると、 C_{ox} は SOI 層の中央付近とゲート間の容量であると近似できる (Fig. 3-11). したがって、 t_{SOI} が薄いほど、 C_{ox} が大きくなるため、SS の減少につながると考えられる.

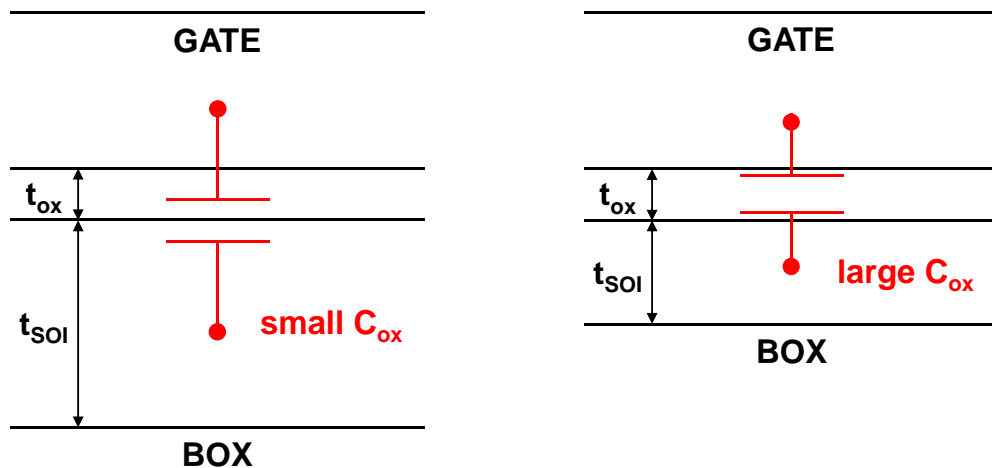


Fig. 3-11 The reason why SS decreases as t_{SOI} becomes thinner.

3.4 試作した FD SOI MOSFET および GAA NW MOSFET の室温測定結果

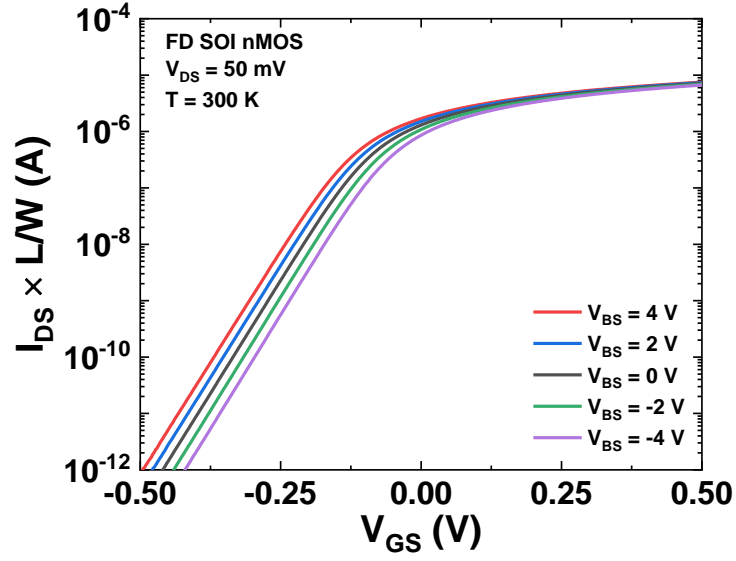
前節で、FD SOI MOSFET は SOI 膜厚が薄いほど SS が小さくなることがわかった. また、酸化膜が薄いほど SS が小さくなることが式 (2.1) からわかる. したがって、FD SOI MOSFET の各パラメータを、 $t_{ox} = 7 \text{ nm}$, $W/L = 20 \mu\text{m}/30 \mu\text{m}$, $t_{SOI} = 15 \text{ nm}$ として GAANW MOSFET と同じチップ上に試作した. また、GAANW MOSFET の各パラメータは、 $L_{NW} = 450 \text{ nm}$, $W_{NW} = 10 \text{ nm}$, $H_{NW} = 15 \text{ nm}$, $t_{ox} = 7 \text{ nm}$, $W_{eff} = 50 \text{ nm}$ として試作した.

3.4.1 バックバイアス依存性

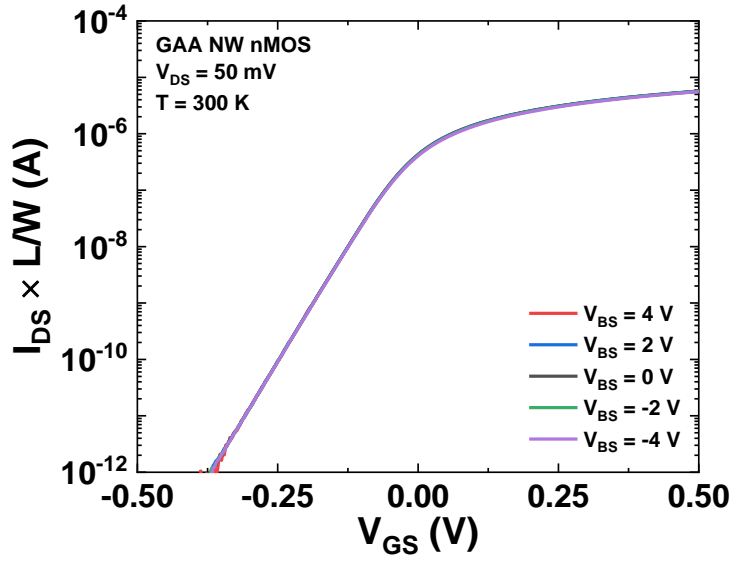
室温における $I_{DS}-V_{GS}$ 特性のバックバイアス (V_{BS}) 依存性を Fig. 3-12 に示す. この際、FD SOI MOSFET および GAA NW MOSFET の公平な比較のためにドレイン電流は L と W で正規化した (NW の場合は W_{eff} を用いた).

Fig. 3-12 から、FD SOI MOSFET の場合は V_{BS} を印加すると $I_{DS}-V_{GS}$ 特性がシフトするが、GAANW MOSFET の場合は V_{BS} を印加しても $I_{DS}-V_{GS}$ 特性がシフトしないことがわかる.

Fig. 3-12 から定電流法により各 V_{BS} における V_{th} を抽出し ($I_{DS} \times L/W = 10^{-7} \text{ A}$ となる V_{GS} と定義), V_{th} の V_{BS} 依存性を Fig. 3-13 に示す.



(a) FD SOI nMOSFET ($W/L = 20 \text{ } \mu\text{m}/30 \text{ } \mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$).



(b) GAA NW nMOSFET ($W_{\text{NW}}/L_{\text{NW}} = 450 \text{ nm}/10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$).

Fig. 3-12 Measured I_{DS} - V_{GS} characteristics with different V_{BS} at room temperature. V_{DS} is 50mV. I_{DS} is normalized to W/L for fair comparison. W_{eff} is used for W in nanowire.

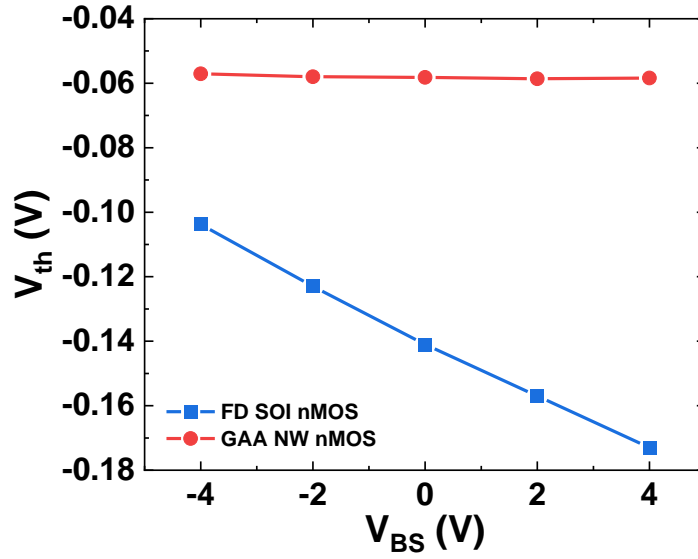
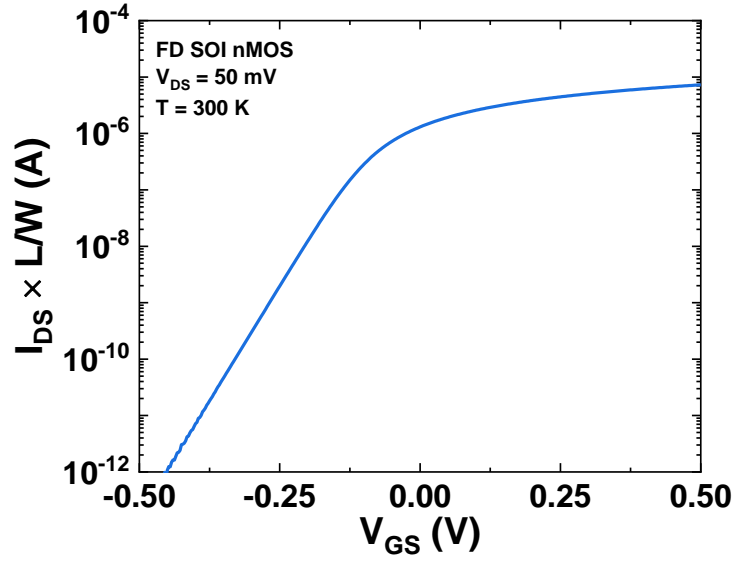


Fig. 3-13 Extracted V_{th} as a function of V_{BS} from the results of Fig. 3-12.

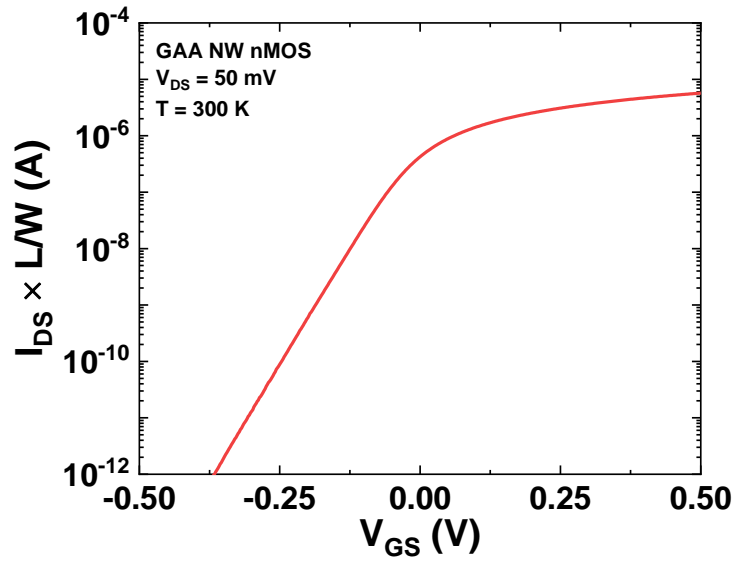
Fig. 3-13 から、FD SOI MOSFET は $\gamma \approx 0.009$ であり、GAA NW MOSFET は $\gamma = 0$ ，すなわち実際に GAA 構造となっていることが実験的に確認できる。

3.4.2 SS

$V_{BS} = 0$ のときの室温における I_{DS} - V_{GS} 特性を Fig. 3-14 に示す。この際、FD SOI MOSFET および GAANW MOSFET の公平な比較のためにドレイン電流は L と W で正規化した (NW の場合は W_{eff} を用いた)。また、Fig. 3-14 から各ドレイン電流に対する SS を抽出したものを Fig. 3-15 に示す。

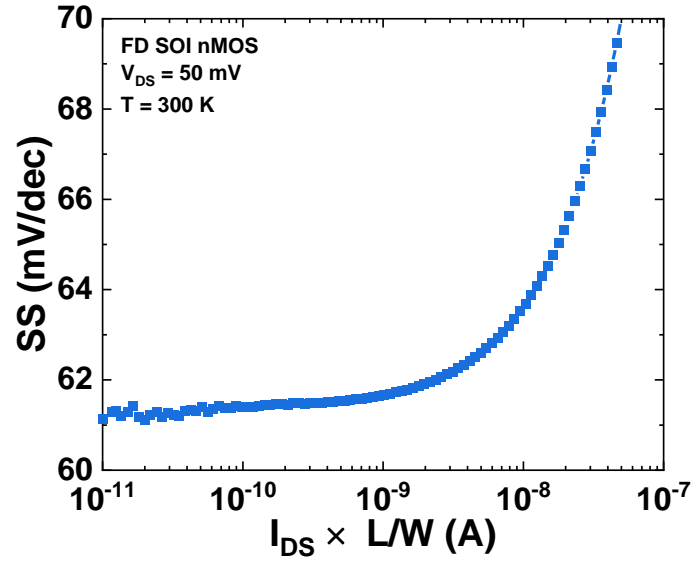


(a) FD SOI nMOSFET ($W/L = 20 \mu\text{m}/30 \mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$).

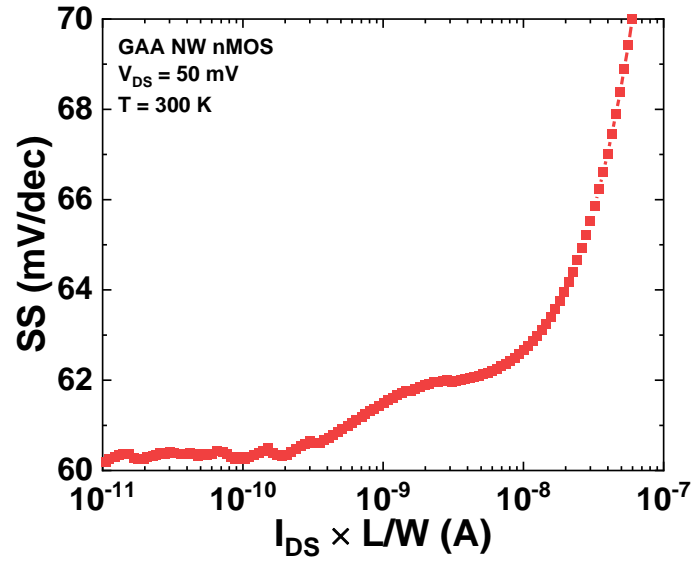


(b) GAA NW nMOSFET ($W_{\text{NW}}/L_{\text{NW}} = 450 \text{ nm}/10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$).

Fig. 3-14 Measured $I_{\text{DS}}-V_{\text{GS}}$ characteristics with different V_{BS} at room temperature. V_{DS} is 50mV. I_{DS} is normalized to W/L for fair comparison. W_{eff} is used for W in nanowire.



(a) FD SOI nMOSFET ($W/L = 20 \text{ } \mu\text{m}/30 \text{ } \mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$).



(b) GAA NW nMOSFET ($W_{\text{NW}}/L_{\text{NW}} = 450 \text{ nm}/10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$).

Fig. 3-15 Extracted SS values as a function of normalized I_{DS} from the results of Fig. 3-14.

本研究における SS の定義を $I_{DS} \times L/W = 10^{-11} \sim 10^{-10}$ A 間の平均値とすると、室温における各 MOSFET の SS は、FD SOI MOSFET の場合は 61.3 mV/dec, GAA NW MOSFET の場合は 60.3 mV/dec となる。

3.5 まとめ

3.2 節で、試作した FD SOI MOSFET および GAA NW MOSFET のプロセスフローとデバイス構造について述べた。

3.3 節で、FD SOI MOSFET の SOI 膜厚依存性の実験的な調査を行い、SOI 膜厚が薄いほど V_{th} が増加することおよび SS が減少することについて述べた。

3.4 節で、試作した FD SOI MOSFET および GAA NW MOSFET の室温測定を行い、FD SOI MOSFET は $\gamma \approx 0.009$, $SS = 61.3$ mV/dec であり、GAA NW MOSFET は $\gamma = 0$, $SS = 60.3$ mV/dec であることを述べた。すなわち、室温で $SS = 60$ mV/dec を示す $\gamma = 0$ の GAA NW MOSFET と、室温における SS が 60 mV/dec に非常に近い FD SOI MOSFET を同じチップ上に試作することができたといえる。

第 4 章で、試作した 2 種類の MOSFET の低温測定を行い、 V_{th} および SS を実験的に評価する。

第4章 $\gamma = 0$ の MOSFET の低温測定

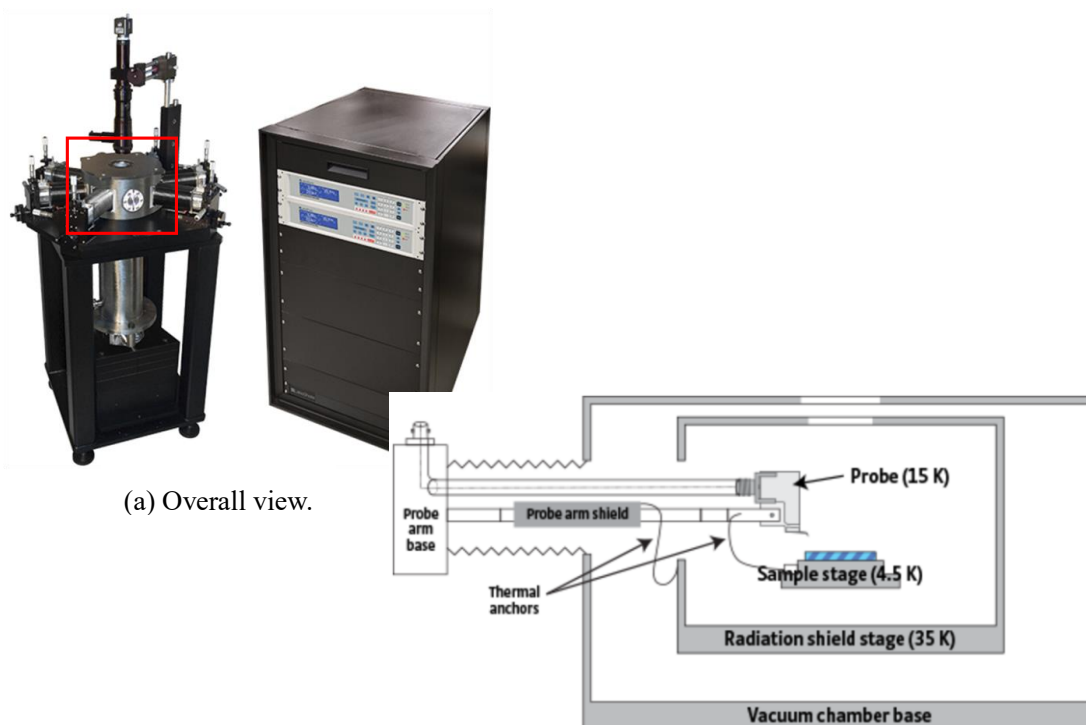
4.1 導入

本章では、同じチップ上に試作した、室温で $SS = 60.3 \text{ mV/dec}$ を示す $\gamma = 0$ の GAA NW MOSFET および室温で $SS = 61.3 \text{ mV/dec}$ を示す FD SOI MOSFET の低温における諸特性の実験的な評価を行う。

まず、低温測定の手法について述べる。次に、FD SOI MOSFET および GAANW MOSFET の低温測定を行い、諸特性の温度依存性について述べる。最後に、極低温における SS に関する理論を述べる。

4.2 低温測定の手法

低温測定には、B1500A 半導体デバイス・アナライザおよび東京大学微細構造解析プラットフォームが所有している東陽テクニカの CRX-4K 型極低温プローバ (Fig. 4-1(a)) を用いた。Fig. 4-1(a)において赤線で囲んだ極低温チャンバ内の模式図を Fig. 4-1(b)に示す。極低温チャンバ内の熱放射シールドの中にサンプルステージがあり、プローブおよびプローブアームがそれぞれサンプルステージ、熱放射シールドにサーマルアンカによって固定されているため、不要な熱負荷が抑制されている[18]。サンプルが結露しないように十分にチャンバ内の真空引きを行い、サンプルステージおよびシールドステージの温度を制御することで、300 K から 16.5 K まで温度を変えながら電流電圧特性の測定を行った。



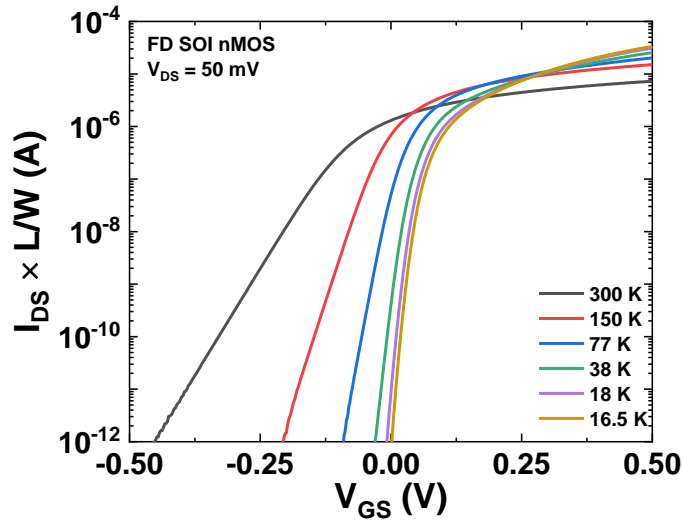
(b) Schematic diagram of the part surrounded by the red line in (a).

Fig. 4-1 Model CRX-4K Cryogenic Probe Station [19].

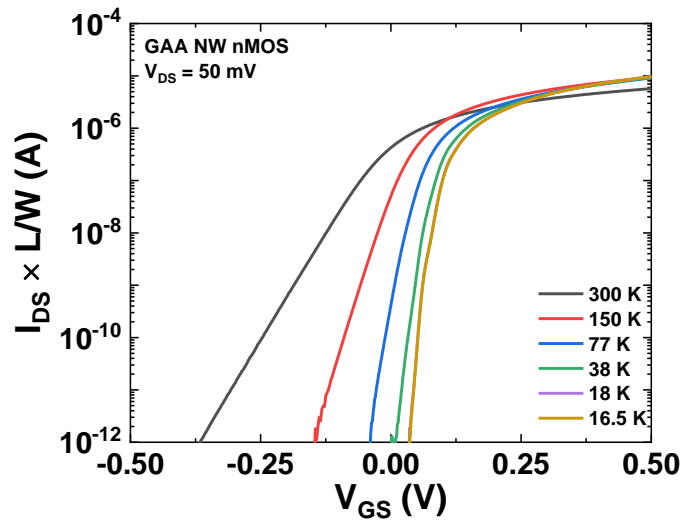
4.3 低温測定結果

低温測定を行った FD SOI MOSFET の各パラメータは, $t_{\text{ox}} = 7 \text{ nm}$, $W/L = 20 \text{ }\mu\text{m}/30 \text{ }\mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$ であり, GAA NW MOSFET の各パラメータは, $L_{\text{NW}} = 450 \text{ nm}$, $W_{\text{NW}} = 10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$ である.

Fig. 4-2 に, $I_{\text{DS}}-V_{\text{GS}}$ 特性の温度依存性を示す. この際, FD SOI MOSFET および GAA NW MOSFET の公平な比較のためにドレイン電流は L と W で正規化した (NW の場合は W_{eff} を用いた).



(a) FD SOI nMOSFET ($W/L = 20 \text{ }\mu\text{m}/30 \text{ }\mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$).



(b) GAA NW nMOSFET ($W_{\text{NW}}/L_{\text{NW}} = 450 \text{ nm}/10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$).

Fig. 4-2 Measured $I_{\text{DS}}-V_{\text{GS}}$ characteristics at different temperatures from 300K down to 16.5K. V_{DS} is 50mV. I_{DS} is normalized to W/L for fair comparison. W_{eff} is used for W in nanowire.

4.3.1 V_{th} の温度依存性

Fig. 4-2 から定電流法により各温度における V_{th} を抽出し ($I_{DS} \times L/W = 10^{-7}$ A となる V_{GS} と定義), 室温における $V_{th, 300\text{ K}}$ に対するシフト ΔV_{th} を Fig. 4-3 に示す.

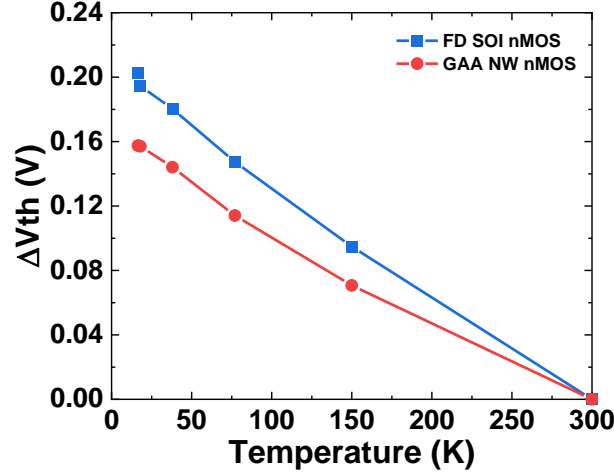


Fig. 4-3 The shift of threshold voltage $\Delta V_{th} (= V_{th} - V_{th, 300\text{ K}})$ extracted from the results of Fig. 4-2.

Fig. 4-3 から, 双方の MOSFET で温度の低下にともない V_{th} が増加していることがわかる. この傾向は文献[20, 21, 22]と一致する. この現象の理由は Fig. 4-4 のバルク MOSFET のバンド図をもとに以下のように考えられる.

Si のバンドギャップ $E_g (= E_c - E_v)$ は温度に依存することが知られており[23], 298 K から 4.2 K まで温度を下げると, E_g は約 1.12 eV から 1.17 eV に増加する. また, 2 章で述べたように, $f(E)$ は指数関数的にスケーリングし, 4.2 K ではステップ関数に近づく. さらに, E_F はフリーズアウトの影響で E_c に近づく. すなわち, 温度を下げていくと, 反転状態にするためにはより多くのバンド曲がりが必要となり, V_{th} が増加する[24].

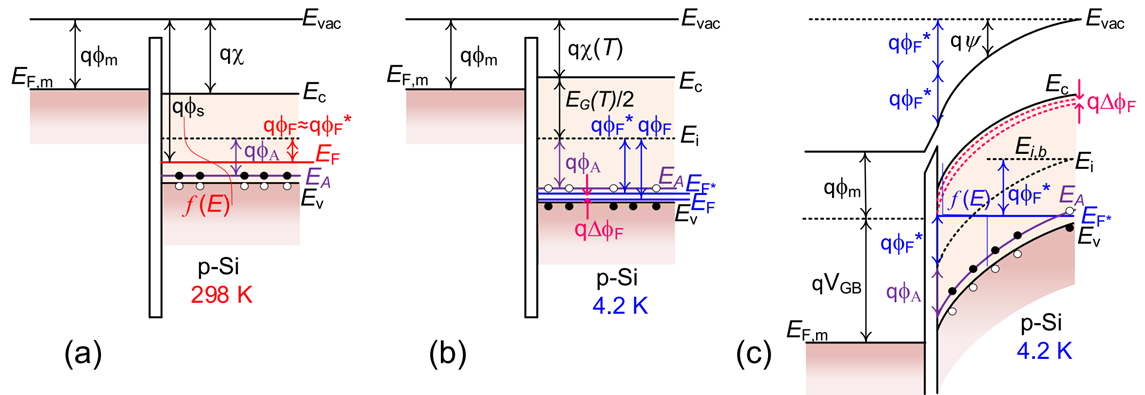
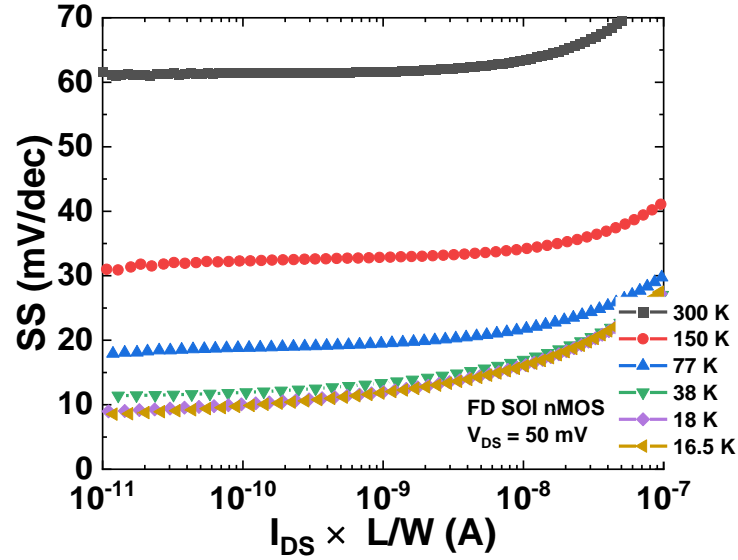


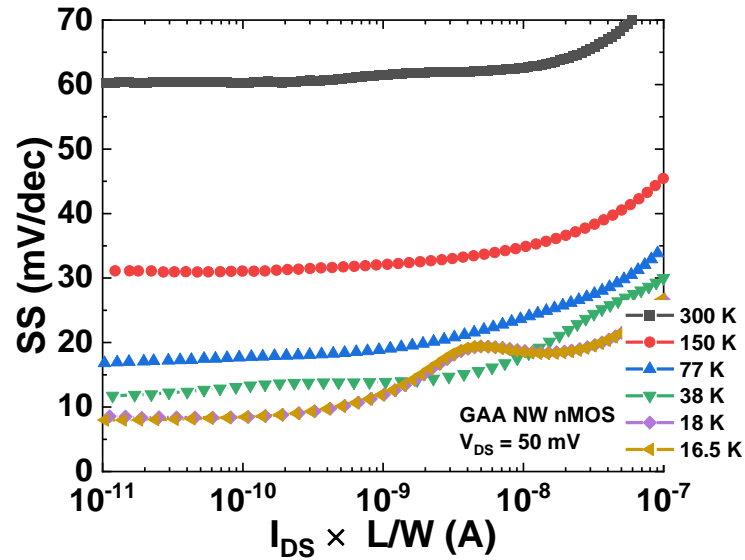
Fig. 4-4 Band diagrams from interface to bulk are shown: (a) flat-band at 298 K, (b) flat-band at 4.2 K, (c) strong-inversion threshold at 4.2 K [24].

4.3.2 SS の温度依存性

Fig. 4-2 から各ドレイン電流に対する SS を抽出したものを Fig. 4-5 に示す.



(a) FD SOI nMOSFET ($W/L = 20 \mu\text{m}/30 \mu\text{m}$, $t_{\text{SOI}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$).



(b) GAA NW nMOSFET ($W_{\text{NW}}/L_{\text{NW}} = 450 \text{ nm}/10 \text{ nm}$, $H_{\text{NW}} = 15 \text{ nm}$, $t_{\text{ox}} = 7 \text{ nm}$, $W_{\text{eff}} = 50 \text{ nm}$).

Fig. 4-5 Extracted SS values as a function of normalized I_{DS} from the results of Fig. 4-2.

Fig. 4-5(b)の 11 K 以下の結果において、 $I_{DS} \times L/W = 4 \times 10^{-9}$ A 付近で SS のピークがみられる。これは、Fig. 4-6 に示すようなナノワイヤチャネルにおけるポテンシャルの揺らぎによるクーロンブロッケードだと考えられ[25]、本研究における SS の分析には影響しない。

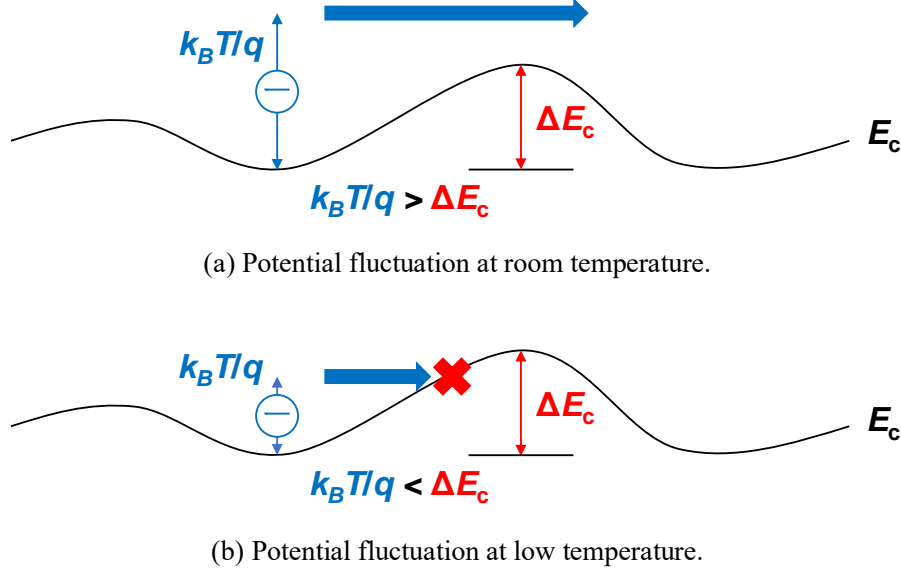


Fig. 4-6 Potential fluctuation.

Fig. 4-5 から $I_{DS} \times L/W = 10^{-11} \sim 10^{-10}$ A 間の SS の平均値を求めて温度に対してプロットしたものを Fig. 4-7 に示す。Fig. 4-7 には、 $\gamma = 0$ の場合の SS の理論値も実線で示してある。

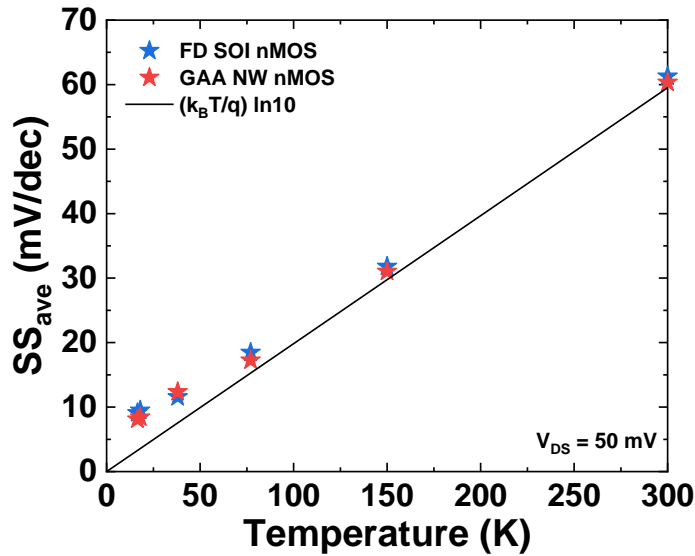


Fig. 4-7 Measured SS as a function of the temperatures in FD SOI and GAA NW nMOSFETs.

The ideal SS ($= (k_B T/q) \ln 10$) with $\gamma = 0$ is also shown.

Fig. 4-7 から，双方の MOSFET で傾向は同じであり， SS は理論値に沿って減少していくが，38 K で理論値から逸脱し始めて，18 K ではほとんど飽和していることがわかる．また，16.5 K では，FD SOI MOSFET の SS は 9.08 mV/dec，GAA NW MOSFET の SS は 8.11 mV/dec であり，これはそれぞれ 2.8 倍，2.5 倍も 16.5 K における理論値（3.27 mV/dec）より大きな値となっている．この結果から，室温で $SS \approx 60$ mV/dec を示す $\gamma = 0$ の MOSFET の場合でも，極低温では SS が温度に比例せずに飽和することが確認できる．

本研究における SS を文献[4-9]で報告されている SS と比較したものを Fig. 4-8 に示す．

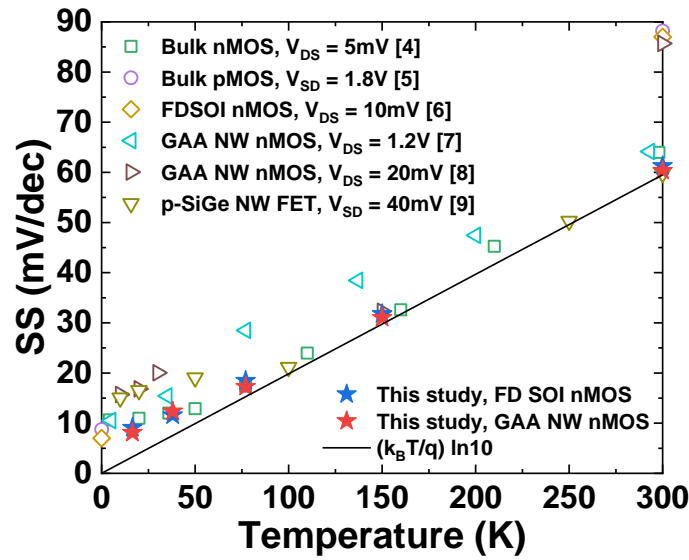


Fig. 4-8 Comparison with SS in the literature [4-9].

Fig. 4-8 に示すように，室温における SS の値および構造が異なるさまざまな MOSFET の場合でも，50 K 付近から SS の値が飽和している．本研究で試作した，室温で $SS \approx 60$ mV/dec を示す $\gamma = 0$ の GAA NW MOSFET の場合でも，極低温では SS が温度に比例せずに約 10 mV/dec で飽和することから， SS の飽和に γ が関与していないことが明らかになった．

4.4 極低温における SS 飽和に関する理論

4.4.1 界面準位による SS 飽和の説明

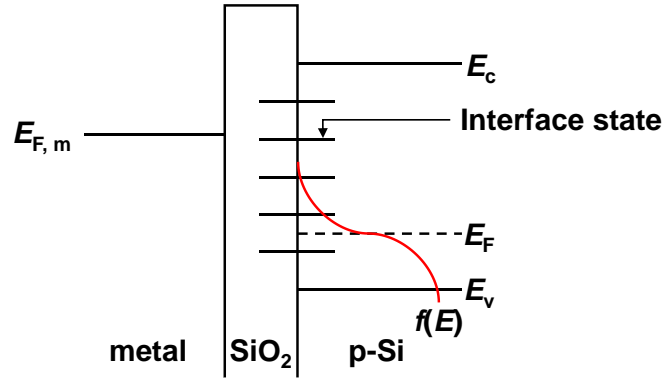


Fig. 4-9 The interface states.

Si と SiO₂ の界面，あるいはその近傍には界面準位が存在する (Fig.4-9)．界面準位とはバンドギャップ中に存在する局在化した準位のことであり，たとえば界面で切れてしまった共有結合手（ダングリングボンドとよばれる）の状態が界面準位となる[26]．2 章で述べたように， V_{GS} を増加していくと E_F は E_c に向かっていく．このとき，電子は $f(E)$ の確率で界面準位にトラップされる．このように，界面準位の存在を考慮すると，界面トラップ容量 C_{it} が C_D と並列につながった容量としてふるまうため，SS は式 (4.1) で与えられる．

$$SS = \frac{k_B T}{q} \ln 10 \left(1 + \frac{C_D}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \quad (4.1)$$

以下で，界面準位が存在すると SS が増加する理由を定性的に示す．

問題を単純化するために，温度は同じで，最初は界面準位の影響が存在していないとし，界面準位は速いレートで満たされたり空になったりすると仮定する． V_{GS} を増加していくと，界面準位が存在するところで電子が $f(E)$ の確率でトラップされるため，界面準位が存在しない場合と同じキャリア濃度を得るためには V_{GS} をより印加する必要がある (Fig. 4-10(a))．したがって， I_{DS} - V_{GS} 特性は Fig. 4-10(b) のようになり，温度が同じでも，界面準位が存在する場合，SS は増加する．

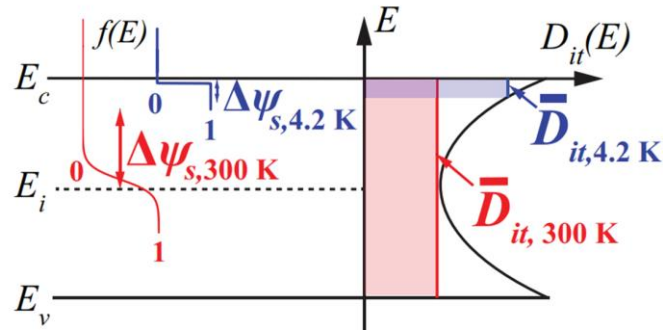


Fig. 4-11 Band diagram and $D_{it}(E)$ profile at 300 K, as well as the uniform \bar{D}_{it} in the weak inversion region at 300 and 4.2 K [31].

しかしながら、この理論には2つの理由により欠陥があると考えられる。1つ目の理由が、シリコン表面の原子格子数が $7 \times 10^{14} \text{ cm}^{-2}$ であるのに対し、この値以上の電荷トラップ密度 N_{it} が存在すると計算されてしまうからである (Fig. 4-12)。2つ目の理由が、 $T \rightarrow 0 \text{ K}$ の極限で $N_{it} \rightarrow \infty$ に発散してしまうのは何らかの物理現象の欠落を意味していると考えられるからである。

この欠陥があると考えられる解釈が続いてきた理由としては、現状、SS 飽和の理由を説明できなくても回路設計に問題はないから、そして SS 飽和が問題になるほど大集積化が進んでいないからだと考えられる。

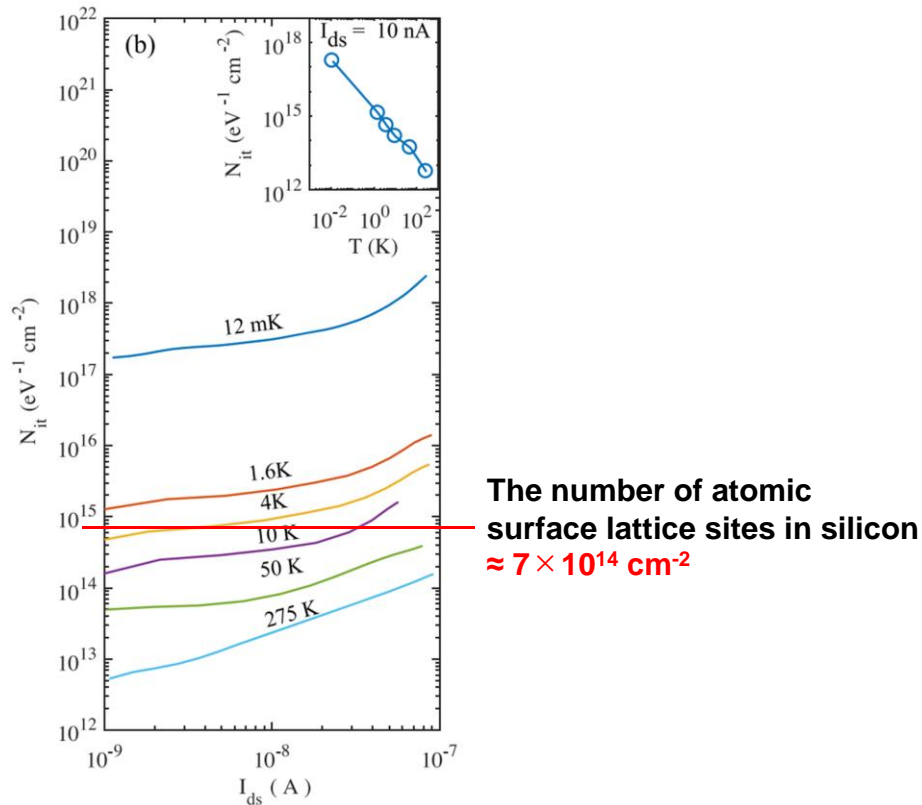


Fig. 4-12 Temperature dependence of N_{it} [6].

4.4.2 バンドテールによる SS 飽和の説明

2019 年になってから、バンドテールにより SS 飽和を説明する新しいモデルが提案されている[4, 32, 33, 34].

ここでは、ドリフト電流、拡散電流に加えて量子輸送メカニズム（バンドテールトンネル電流）を考慮すると極低温において SS が飽和する理由を説明できるというモデル（バンドテールトンネルモデル）について述べる．ここで、バンドテールトンネル電流とは、チャネル内の局在準位を介したホッピング電流のことである．

バルク MOSFET において、状態密度がバンドギャップ内に 3 meV の指数テールを持つことが研究により明らかになっている[35]. これは、結晶の乱れ、残留不純物および歪み、表面ラフネスなどの複合効果によるものだと考えられている． Fig. 4-13 は V_{GS} を増加すると、 E_F が E_c に近づき、バンドギャップ内にテールを引いた状態密度 $DOS(E)$ と $f(E)$ のオーバーラップ、すなわち局在準位中の電子が指数関数的に増加することを表している．

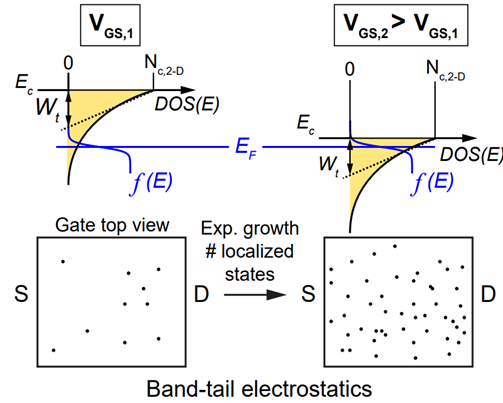


Fig. 4-13 At $V_{GS,2}$ exponentially more localized states (that constitute the band tail) are active in the channel than at $V_{GS,1}$ [34].

局在準位中の電子は、自由電子とは異なり、準位間のみをホッピングにより伝導することができ、これがバンドテールトンネル電流である。Fig. 4-13 の局在準位中の電子が指数関数的に増加すること、ホッピングの平均距離が指数関数的に減少することと等しいとすると、Fig. 4-14 に示すように、ソース (S) とドレイン (D) 間の経路数が指数関数的に増加することと同じといえる。

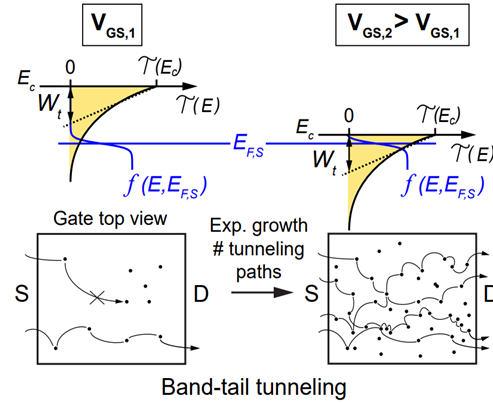


Fig. 4-14 An exponential increase in the number of possible pathways between S and D (only forward tunneling is shown) [34].

Fig. 4-15(a)は V_{DS} が小さいときの、任意の温度に対する n 型 MOSFET のチャネルを横から見たバンド図である。局在準位を介したホッピングによるバンドテールトンネル電流と拡散電流が示されている。Fig. 4-15(b)は S と D 間のバンドテールを通る電子の伝導確率であり、バンドギャップ内に指数テールが伸びているほど、バンドテールトンネル電流は指数関数的に増加することになる。

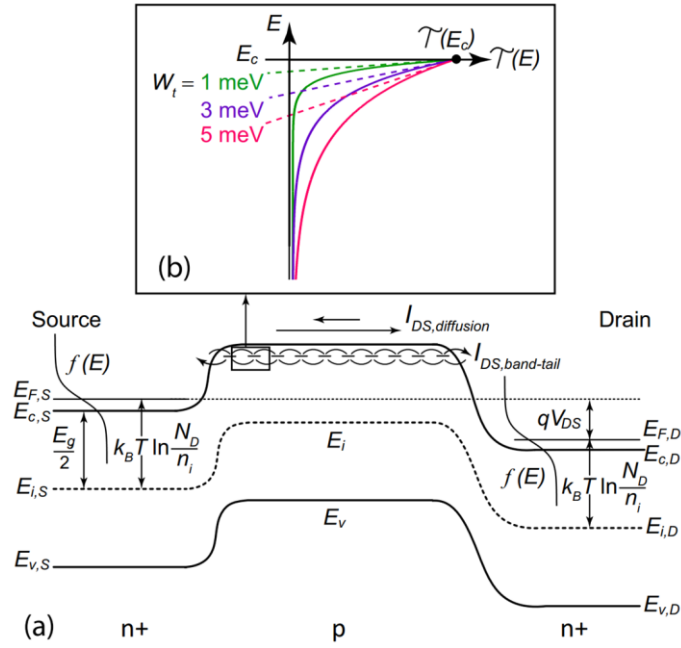


Fig. 4-15 Band diagram from source to drain in the channel of an nMOSFET [34].

今までのモデルである拡散電流によるモデルと新しいバンドテールトンネルモデルを実験結果と比較すると Fig. 4-16 のようになる。77 K では拡散電流が支配的だが、36 K で拡散電流とバンドテールトンネル電流が等しくなり、36 K 以下では、バンドテールトンネル電流が拡散電流より支配的になることがわかる。バンドテールトンネル電流の傾きは 36 K 以下で不変であるため、SS が極低温で飽和する理由を説明できる。

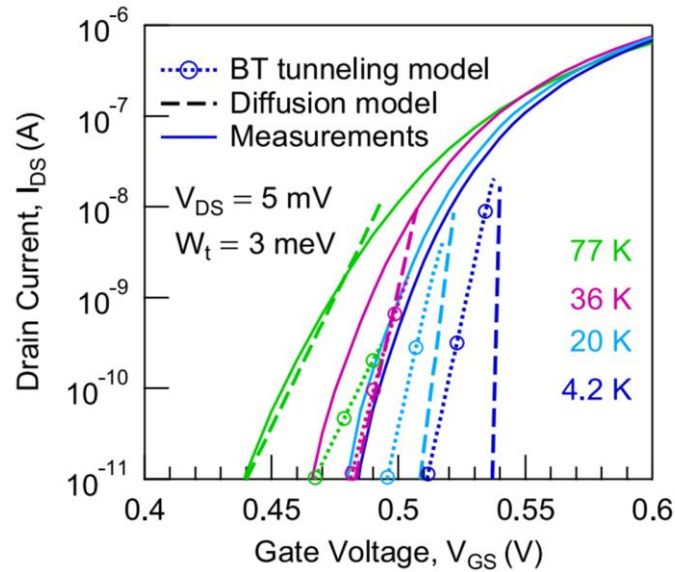


Fig. 4-16 Band-tail tunneling model and diffusion model [34].

Fig. 4-17 に、バンドテールトンネルモデルによる SS の理論特性を実験結果により検証したものを示す。バンドテールトンネルモデルは、実験結果と良好に一致していることがわかる。

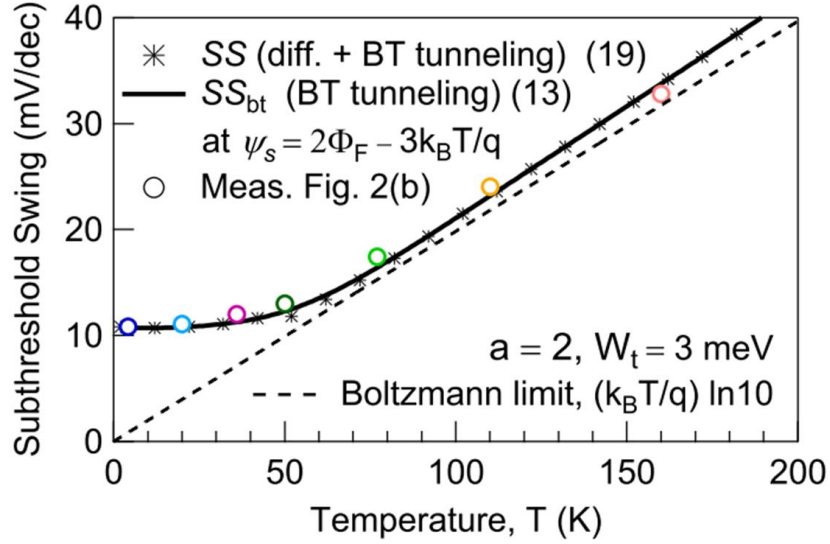


Fig. 4-17 Verification of the band-tail tunneling model [34].

このモデルによる SS の定義は以下である。

$$SS^{k_B T \gg W_t} = \frac{k_B T}{q} \ln 10 \left(1 + \frac{C_D}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \quad (4.2)$$

$$SS^{k_B T \ll W_t} = \frac{W_t}{q} \ln 10 \left(1 + \frac{C_D}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \quad (4.3)$$

このモデルにおける SS , T , W_t , 表面電位の関係を計算により求められたのが Fig. 4-18 である。この際、式 (4.2) および式 (4.3) の右辺の括弧の中を 1 として計算されている。極低温では温度に比例せず W_t によって SS が飽和しており、 SS が式 (4.2) から逸脱し始める温度は $T = W_t/k_B$ で求められる。

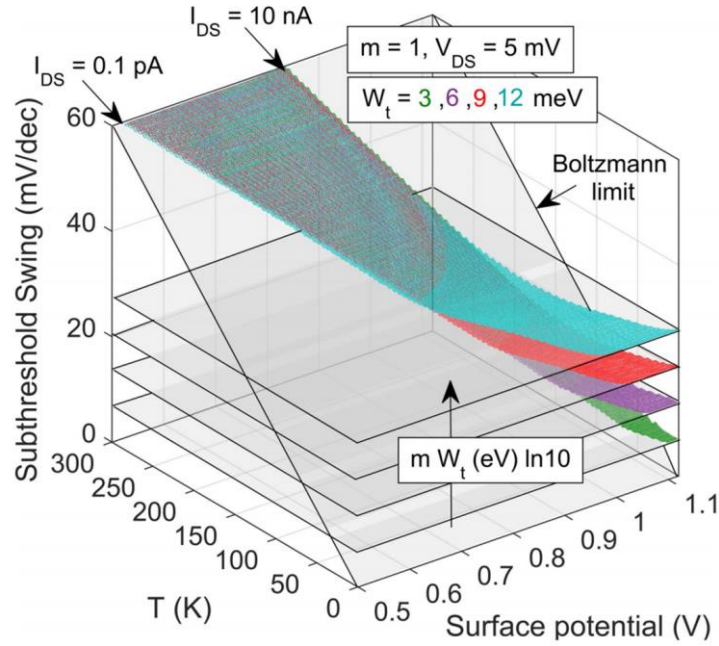


Fig. 4-18 Revised limit of SS plotted for different W_t (colored surfaces) [4].

4.5 本章のまとめ

4.2 節で，低温測定の手法について述べた．

4.3 節で，試作した FD SOI MOSFET および GAA NW MOSFET の低温測定を行い， V_{th} および SS の温度依存性の実験的な評価を行った．室温で $SS \approx 60$ mV/dec を示す $\gamma = 0$ の GAA NW MOSFET の場合でも，極低温では SS が温度に比例せずに約 10 mV/dec で飽和することから，SS の飽和に γ が関与していないことが明らかになった．

4.4 節で，極低温における SS 飽和に関する理論の調査を行った．界面準位の影響のみだと考えると説明できない現象があること，および 2019 年に提案されたバンドテールによる新しいモデルについて述べた．

第5章 結論

5.1 まとめ

本研究では、室温で $SS=60\text{ mV/dec}$ を示す $\gamma=0$ の理想的な MOSFET の試作、および試作した $\gamma=0$ の MOSFET の低温測定を行い、 SS の温度依存性などの特性の実験的な評価を行った。

1 章では、提案されている量子コンピュータのブロック図における CMOS の動作環境が極低温であるため、極低温における MOSFET の特性評価が重要になっていることを示した。また、MOSFET の SS は極低温では温度に比例せず、 $SS \approx 10\text{ mV/dec}$ で飽和することが多く報告されているが、これらの測定のほとんどが γ の大きい MOSFET で行われており、 $\gamma=0$ の MOSFET に関する報告は少ないことを示した。そのため、本研究の目的を、室温で $SS=60\text{ mV/dec}$ を示す $\gamma=0$ の理想的な MOSFET の試作、および低温測定による SS の温度依存性などの特性の実験的な評価とした。

2 章では、 SS の定義および室温における理論的な限界値 $SS \approx 60\text{ mV/dec}$ を示し、消費電力の主要因である I_{off} の低減につながるため、 SS は小さい方が良いと述べた。また、 γ の定義を示し、 $\gamma=0$ の MOSFET であれば、室温で $SS=60\text{ mV/dec}$ を示すと述べた。そして、 V_{th} の増加、 SS の減少、 μ_{eff} の増加、フリーズアウトに関する低温における理論的な特性について述べた。

3 章では、試作した FD SOI MOSFET および GAA NW MOSFET のプロセスフローとデバイス構造について述べた。また、FD SOI MOSFET の SOI 膜厚依存性の実験的な調査を行い、SOI 膜厚が薄いほど V_{th} が増加することおよび SS が減少することについて述べた。そして、室温で $SS=60.3\text{ mV/dec}$ を示す $\gamma=0$ の GAA NW MOSFET と、室温で SS が 61.3 mV/dec を示す FD SOI MOSFET を同じチップ上に試作することができたことを確認した。

第4章では、低温測定の手法について述べ、試作した FD SOI MOSFET および GAA NW MOSFET の V_{th} および SS の温度依存性の実験的な評価を行った。室温で $SS \approx 60\text{ mV/dec}$ を示す $\gamma=0$ の GAA NW MOSFET の場合でも、極低温では SS が温度に比例せずに約 10 mV/dec で飽和することから、 SS の飽和に γ が関与していないことが明らかになった。また、極低温における SS 飽和に関する理論の調査を行い、界面準位の影響のみだと考えると説明できない現象があること、および2019年に提案されたバンドテールによる新しいモデルについて述べた。

5.2 今後の展望

本研究では、 V_{th} および SS の温度依存性の実験的な評価および調査のみ行ったので、今後は、低温における移動度や抵抗、オン電流などの実験的な評価および調査を引き続き行う必要がある。また、本研究では、長チャネル MOSFET の試作および特性評価を行ったので、短チャネル MOSFET の低温における特性評価を行うためにはプロセスフローを改善する必要がある。

謝辞

本研究を行うにあたって、ご多忙の中の手厚いご指導、数々の有益なアドバイスをくださいました平本俊郎教授に心より感謝申し上げます。入学当初は知識不足だった私が本研究を遂行することができたのは、半導体物理の基礎及び研究者としての心構えを一から丁寧にご指導してくださったおかげです。平日休日問わず、研究に関する議論を何度もさせていただけたことで、研究を円滑に進めることができました。大変ありがとうございました。

小林正治准教授には、プロセスに関する相談を何度もさせていただきましたが、私の意図を直ちに理解して丁寧に教えていただきました。また、平日休日問わず遅くまで研究を行う姿勢に大変感銘を受け、私も頑張ろうという気持ちになりました。大変ありがとうございました。

更屋拓哉助手には、クリーンルーム関係のことで大変お世話になりました。とりわけ、私の不注意で右足の太ももにフッ化水素がかかってしまった際に軽傷で済んだのは、適切な処置を迅速に行ってくくださったおかげです。大変ありがとうございました。

平本小林研究室の研究員の方々には様々なことでお世話になりました。高瀬博行氏、伊藤一夫氏、鈴木慎一氏、高倉俊彦氏には、プロセスの補助や薬品の管理などを行っていただき、待ち時間には楽しく雑談させていただきました。福井宗利氏には、プロセスシミュレーションの立ち上げで大変お世話になりました。竹内潔氏には、ミーティングの際に深い知識に基づいた鋭い質問やアドバイスをしてくださり、大変勉強になりました。水谷朋子氏には、測定方法や数値計算のやり方を教えていただきました。低温測定に関する議論は大変有意義な時間でした。研究員の皆様、大変ありがとうございました。

秘書の塩谷美希氏には、様々な事務作業でお世話になっただけでなく、私が怪我を負った際に病院まで同伴してくださり、まるで母にいるような安心感がありました。大変ありがとうございました。

2020年3月にご卒業された柏嶋始氏、木村迅利氏、田村誓亮氏、崔博陽氏、2020年9月にご卒業された安珉柱氏、莫非氏、金成吉氏に深く感謝いたします。シミュレーションやプロセスの基礎、データのまとめ方を教えていただいただけでなく、進路相談にも乗っていただきました。とりわけ安珉柱氏には、プロセスに関することを一から丁寧にご指導していただき、ご卒業後も連絡を取り合って様々なことを教えていただきました。大変ありがとうございました。

同期の項嘉文氏、後輩の山中勇人氏、沢辺慶起氏、梅瀟然氏、博士研究員の武継璇氏に感謝いたします。皆様のおかげで楽しい大学院生活を送ることができました。とりわけ山中勇人氏は、一緒に作業することが多く、私が立てたタイトなプロセス計画にもしっかりとついてきてくれました。大変ありがとうございました。

高木研究室の隅田圭氏に感謝いたします。低温測定の方法を丁寧に教えていただきました。大変ありがとうございました。

本研究の一部は、文部科学省ナノテクノロジープラットフォーム事業（東京大学微細構造

解析プラットフォーム) の支援を受けて実施されました (JPMXP09A20UT0045) .

最後になりますが, 2 年間の大学院生活を支えてくれた家族や友人に深く感謝申し上げます.

本研究に関する発表

国際学会発表

[1] Shohei Sekiguchi, Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi and Toshiro Hiramoto, “Subthreshold Swing in Silicon Gate-All-Around Nanowire MOSFET at Cryogenic Temperature”, 5th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2021, Chengdu, China, Mar. 2021 (発表予定).

国内学会発表

[1] 関口翔平, 安珉柱, 更屋拓哉, 小林正治, 平本俊郎, “シリコン GAA ナノワイヤ MOSFET の低温サブスレッショルド特性”, 第 68 回応用物理学会春季学術講演会, オンライン, 2021 年 3 月 (発表予定).

参考文献

- [1] F. Sebastiano, H. Homulle, B. Patra, R. Incandela, J. van Dijk, L. Song, M. Babaie, A. Vladimirescu and E. Charbon, “Cryo-CMOS electronic control for scalable quantum computing,” 2017 54th ACM/EDAC/IEEE Design Automation Conference (DAC), Austin, TX, 2017.
- [2] 稲数幸祐, 高橋 亮輔, 小布施 大志, 矢崎 雄馬, 竹原 純平, 染谷 竜太, “量子コンピュータ,” 電気学会誌, 2015 年 135 卷 12 号, pp. 843-846.
- [3] B. Patra, R. M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, R. B. Staszewski, A. Vladimirescu, M. Babaie, F. Sebastiano and E. Charbon, “Cryo-CMOS Circuits and Systems for Quantum Computing Applications,” IEEE Journal of Solid-State Circuits, vol. 53, no. 1, pp. 309-321, Jan. 2018.
- [4] A. Beckers, F. Jazaeri and C. Enz, “Theoretical Limit of Low Temperature Subthreshold Swing in Field-Effect Transistors,” IEEE Electron Device Letters, vol. 41, no. 2, pp. 276-279, Feb. 2020.
- [5] R. M. Incandela, L. Song, H. Homulle, E. Charbon, A. Vladimirescu and F. Sebastiano, “Characterization and Compact Modeling of Nanometer CMOS Transistors at Deep-Cryogenic Temperatures,” IEEE Journal of the Electron Devices Society, vol. 6, pp. 996-1006, Apr. 2018.
- [6] P. Galy, J. C. Lemyre, P. Lemieux, F. Arnaud, D. Drouin and M. Pioro-Ladrière, “Cryogenic Temperature Characterization of a 28-nm FD-SOI Dedicated Structure for Advanced CMOS and Quantum Technologies Co-Integration,” IEEE Journal of the Electron Devices Society, vol. 6, pp. 594-600, May 2018.
- [7] N. Singh, F. Y. Lim, W. W. Fang, S.C. Rustagi, L. K. Bera, A. Agarwal, C. H. Tung, K. M. Hoe, S. R. Omampuliyur, D. Tripathi, A. O. Adeyeye, G. Q. Lo, N. Balasubramanian and D. L. Kwong, “Ultra-Narrow Silicon Nanowire Gate-All-Around CMOS Devices: Impact of Diameter, Channel-Orientation and Low Temperature on Device Performance,” 2006 International Electron Devices Meeting, San Francisco, CA, 2006.
- [8] D. Boudier, B. Cretu, E. Simoen, A. Veloso and N. Collaert, “On quantum effects and low frequency noise spectroscopy in Si Gate-All-Around Nanowire MOSFETs at cryogenic temperatures,” 2017 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS), Athens, 2017, pp. 5-8.
- [9] B. C. Paz, M. A. Pavanello, M. Cassé, S. Barraud, G. Reimbold, M. Vinet and O. Faynot, “Cryogenic operation of Ω -gate p-type SiGe-on-insulator nanowire MOSFETs,” 2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS), Granada, 2018.
- [10] T. Hiramoto and M. Takamiya, “Low Power and Low Voltage MOSFETs with Variable Threshold Voltage Controlled by Back-Bias,” IEICE TRANSACTIONS on Electronics, vol. E83-C, no. 2, pp. 161-169, 2000.
- [11] 芝原健太郎, 宮本恭幸, 内田健 監訳, “タウア・ニン 最新 VLSI の基礎 第 2 版,” 丸

善出版, 2013.

[12] 平本俊郎編, “半導体デバイスシリーズ 1 集積ナノデバイス,” 丸善, 2009.

[13] S. Takagi, A. Toriumi, M. Iwase and H. Tango, “On the universality of inversion layer mobility in Si MOSFET’s: Part I-effects of substrate impurity concentration,” IEEE Transactions on Electron Devices, vol. 41, no. 12, pp. 2357-2362, Dec. 1994.

[14] A. Beckers, F. Jazaeri and C. Enz, “Cryogenic MOS Transistor Model,” IEEE Transactions on Electron Devices, vol. 65, no. 9, pp. 3617-3625, Sept. 2018.

[15] 松下 嘉明, 下井 規弘, 田漫 淳, 竹田 隆二, 小林 則夫, “シリコン結晶の水素アニール効果,” 日本結晶成長学会誌, 1999 年 26 巻 3 号, pp. 139-146.

[16] A.E. Grigorescu, M.C. van der Krogt, C.W. Hagen and P. Kruit, “10nm lines and spaces written in HSQ, using electron beam lithography,” Microelectronic Engineering, vol. 84, no. 5-8, pp. 822-824, 2007.

[17] E. Suzuki, K. Ishii, S. Kanemaru, T. Maeda, T. Tsutsumi, T. Sekigawa, K. Nagai and H. Hiroshima, “Highly suppressed short-channel effects in ultrathin SOI n-MOSFETs,” IEEE Transactions on Electron Devices, vol. 47, no. 2, pp. 354-359, Feb. 2000.

[18] <https://www.lakeshore.com/products/product-detail/cryogenic-probe-stations/the-accuracy-of-your-sample-temperature-is-key>, (参照 2021 年 1 月 12 日)

[19] <https://www.lakeshore.com/products/categories/overview/material-characterization-products/cryogenic-probe-stations/model-crx-4k-cryogenic-probe-station>, (参照 2021 年 1 月 12 日)

[20] A. Beckers, F. Jazaeri and C. Enz, “28-nm Bulk and FDSOI Cryogenic MOSFET : (Invited Paper), ” 2018 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Beijing, China, 2018, pp. 45-46.

[21] W. Chakraborty, K. Ni, S. Dutta, B. Grisafe, J. Smith and S. Datta, “Cryogenic Response of HKMG MOSFETs for Quantum Computing Systems,” 2019 Device Research Conference (DRC), Ann Arbor, MI, USA, 2019, pp. 115-116.

[22] Z. Wang, Z. Tang, A. Guo, X. Luo, C. Cao, Y. Yuan, X. Zhang, L. Liu, J. Li, Y. Cao, Q. Shao, S. Hu, S. Chen, Y. Zhao and X. Kou, “Temperature-Driven Gate Geometry Effects in Nanoscale Cryogenic MOSFETs,” IEEE Electron Device Letters, vol. 41, no. 5, pp. 661-664, May 2020.

[23] W. Bludau, A. Onton and W. Heinke, “Temperature dependence of the band gap of silicon,” Journal of Applied Physics, vol. 45, no. 4, pp. 1846-1848, 1974.

[24] A. Beckers, F. Jazaeri, A. Grill, S. Narasimhamoorthy, B. Parvais and C. Enz, “Physical Model of Low-Temperature to Cryogenic Threshold Voltage in MOSFETs,” IEEE Journal of the Electron Devices Society, vol. 8, pp. 780-788, Apr. 2020.

[25] R. Suzuki, M. Nozue, T. Saraya and T. Hiramoto, “Experimental Observation of Quantum Confinement Effect in <110> and <100> Silicon Nanowire Field-Effect Transistors and Single-Electron/Hole Transistors Operating at Room Temperature,” Japanese Journal of Applied Physics, vol.

52, 104001, 2013.

- [26] 柴田直, “新・電子システム工学=THR-6 半導体デバイス入門 —その原理と動作のしくみ—,” 数理工学社, 2014.
- [27] H. Oka, T. Matsuzawa, K. Kato, S. Iizuka, W. Mizubayashi, K. Endo, T. Yasuda and T. Mori, “Toward Long-coherence-time Si Spin Qubit: The Origin of Low-frequency Noise in Cryo-CMOS,” 2020 IEEE Symposium on VLSI Technology, Honolulu, HI, USA, 2020.
- [28] I. M. Hafez, G. Ghibaudo and F. Balestra, “Assessment of interface state density in silicon metal-oxide-semiconductor transistors at room, liquid-nitrogen, and liquid-helium temperatures,” *Journal of Applied Physics*, vol. 67, no. 4, pp. 1950-1952, 1990.
- [29] N. Shiono, M. Shimaya and O. Nakajima, “Charge character of interface traps at the Si-SiO₂ interface,” *Applied Physics Letters*, vol.48 no. 17, pp. 1129-1131, 1986.
- [30] M. Cassé, K. Tachi, S. Thiele and T. Ernst, “Spectroscopic charge pumping in Si nanowire transistors with a high- κ /metal gate,” *Applied Physics Letters*, vol. 96, no. 12, p. 123506, 2010.
- [31] A. Beckers, F. Jazaeri and C. Enz, “Revised theoretical limit of the subthreshold swing in field-effect transistors,” Nov. 2018, [online] Available: <https://www.arxiv.org/abs/1811.09146v1>.
- [32] H. Bohuslavskyi, A. G. M. Jansen, S. Barraud, V. Barral, M. Cassé, L. Le Guevel, X. Jehl, L. Hutin, B. Bertrad, G. Billiot, G. Pillonnet, F. Arnaud, P. Galy, S. De Franceschi, M. Vinet and M. Sanquer, “Cryogenic Subthreshold Swing Saturation in FD-SOI MOSFETs Described With Band Broadening,” *IEEE Electron Device Letters*, vol. 40, no. 5, pp. 784-787, May 2019.
- [33] F. Jazaeri, A. Beckers, A. Tajalli and J. Sallese, “A Review on Quantum Computing: From Qubits to Front-end Electronics and Cryogenic MOSFET Physics,” 2019 MIXDES - 26th International Conference “Mixed Design of Integrated Circuits and Systems”, Rzeszów, Poland, 2019, pp. 15-25.
- [34] A. Beckers, F. Jazaeri and C. Enz, “Revised theoretical limit of the subthreshold swing in field-effect transistors,” Jul. 2019, [online] Available: <https://www.arxiv.org/abs/1811.09146v2>.
- [35] R. M. Jock, S. Shankar, A. M. Tyryshkin, Jianhua He, K. Eng, K. D. Childs, L. A. Tracy, M. P. Lilly, M. S. Carroll and A. Lyon, “Probing band-tail states in silicon metal-oxide-semiconductor heterostructures with electron spin resonance,” *Applied Physics Letters*, vol. 100, no. 2, p. 023503, 2012.

付録

1 FD SOI MOSFET のプロセス条件

No	Process	Details
1	Dicing	SOI/BOX=100/200nm, SOI: p-type 10^{15}cm^{-3} , sub: n-type 10^{15}cm^{-3}
	Cleaning	[SC1] $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 1:1:6$, 75-85°C/10 min + DI water 5min
		[BHF] 10 sec + DI water 2min
		[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:3$, 110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	Mask oxidation	[Koyo-H.#1] 950°C/10min <i>~10nm thick SiO₂</i>
	Check thickness	Ellipsometry <i>Mask oxide thickness measuring</i>
2		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Mark area)	[Develop] NMD-3 <i>stay for 1~1.5min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
3	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Etching rate: ~1.6nm/sec</i>
	Mark area etching	[CDE etcher] Recipe:POLY.EB.RCP / Etching time: 50sec
	BOX etching	[BHF] ~3min (over-etching) + DI water 2min <i>Etching rate: ~100nm/min</i>
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4 = 1:3$, 110 - 130 °C, 10 min + DI water 5min
4		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)

		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Mark)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (mark patterning) should be done more carefully
		Mark process is <u>most important</u> from the perspective of whole processes
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
5	Mark etching	[Pana-etcher#1] Recipe: Mark / Etching time: 25sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110-130 °C, 10 min + DI water 5min
6	SiN deposition	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110-130 °C, 10 min (just before CVD) + DI water 5min
		[CVD#1] Depo. time: 20min (~65nm thick SiN)
7		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Recess)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (recess patterning) should be done more carefully
		The smaller the pattern, the more attention is needed.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion
8	SiN etching	[CDE etcher] Recipe:SiN.RCP / Etching time: 50sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110-130 °C, 10 min + DI water 5min
	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min

		<i>Etching rate: ~1.6nm/sec</i>
9	Cleaning	[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
		[SPM] H ₂ O ₂ :H ₂ SO ₄ =1:3 ,110-130°C/10 min + DI water 5min <i>Clean tweezer by SPM</i>
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	LOCOS #1	[Koyo-H.#2] 1100°C/60min ~120nm SiO ₂ formation (~60nm Si consumption)
	Check thickness	Ellipsometry <i>SiO₂/Si thickness measuring</i>
	SiO ₂ etching	[BHF] ~2min (over-etching) *Etching rate: ~100nm/min + <i>Si thickness measuring</i>
	LOCOS #2	[Koyo-H.#2] 950 °C /xxmin (Rate: ~5nm Si consumption per 10min) Until desired thickness
	Check thickness	Ellipsometry <i>SiO₂/Si thickness measuring</i>
	SiO ₂ etching	[BHF] ~xxmin *Etching rate: ~100nm/min (1.6nm/sec) + <i>Si thickness measuring</i>
	SIN removal	[H ₃ PO ₄] ~180 °C/7min *Etching rate: ~10nm/min + DI water 5min
Hot-plate temperature: 400		
10	Mask oxide etching	[BHF] ~20sec
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ =1:3, 110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	Mask oxidation	[Koyo-H.#2] 950 °C/10min, ~10nm SiO ₂ formation (~5nm Si consumption)
11		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>
	(Mesa)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake

		120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
12	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Etching rate: ~1.6nm/sec</i>
	Mesa etching	[CDE etcher] Recipe:POLY.EB.RCP / Etching time: 50sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Etching rate: ~1.6nm/sec</i>
13	Cleaning	[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
		[SPM] H ₂ O ₂ :H ₂ SO ₄ =1:3 ,110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	Gate oxidation	[Koyo-H.#2] 950°C/10min, ~10nm SiO ₂ formation (~5nm Si consumption)
14	Poly-Si gate deposition	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min (just before CVD) + DI water 5min
		[CVD#1] Depo. time: 40min (~250nm thick poly-Si) <i>Depo. rate: ~6nm/min</i>
15		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>
	(Gate)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion
16	Gate etching	[CDE etcher] Recipe:POLY.EB.RCP / Etching time: 50sec

	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
17	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate) After 20min, it is necessary to press the sample by tweezer for adhesion
	Ion implantation	P ⁺ (n-type) or BF ₂ ⁺ (p-type): 35keV, 3x10 ¹⁵ cm ⁻²
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
18	Passivation oxide	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min (just before CVD) + DI water 5min [CVD#2] LTO depo. / Time: 50min (~250nm thick SiO ₂)
	Ion activation	[Koyo-H.#2] 950°C/10min <i>N₂ ambient</i>
19	H ₂ annealing	[Koyo-H.#3] 400°C/25min <i>H₂ ambient</i>
		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Contact)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (contact patterning) should be done more carefully
		The smaller the pattern, the more attention is needed.
	Post bake	Do not put the sample on 3-inch wafer → Bake: 120°C/20min (only samples)
	Contact hole etching	[BHF] 3~3.5min (over-etching) + DI water 2min <i>Etching rate: ~100nm/min</i>
	PR strip	[Acetone] ~5min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
20	Al deposition	[DHF] 1 % 90 sec (just before sputter) + DI water 2min [Sputter] 500 W, 65 min ~ 1 μm
		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake

		110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>
	(Al pad)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This condition may vary slightly depending on the situation.
	Post bake	Bake: 120°C/20min (only samples)
	Al etching	[Al etchant] 40 °C, ~90 sec + DI water 5min
	PR strip	[Acetone] 30min → [Ethanol] ~10min → [DI rinse] ~10min <i>Final cleaning</i>

2 GAANW MOSFET のプロセスフロー

No	Process	Details
1	Dicing	SOI/BOX=100/200nm, SOI: p-type 10^{15}cm^{-3} , sub: n-type 10^{15}cm^{-3}
	Cleaning	[SC1] $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 1:1:6$, 75-85°C/10 min + DI water 5min
		[BHF] 10 sec + DI water 2min
		[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:3$, 110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	Mask oxidation	[Koyo-H.#1 950°C/10min, <i>~10nm thick SiO₂</i>
	Check thickness	Ellipsometry <i>Mask oxide thickness measuring</i>
2		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Mark area)	[Develop] NMD-3 <i>stay for 1~1.5min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
3	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Etching rate: ~1.6nm/sec</i>
	Mark area etching	[CDE etcher] Recipe:POLY.EB.RCP / Etching time: 50sec
	BOX etching	[BHF] ~3min (over-etching) + DI water 2min <i>Etching rate: ~100nm/min</i>
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4 = 1:3$, 110 - 130 °C, 10 min + DI water 5min
4		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)

		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Mark)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (mark patterning) should be done more carefully
		Mark process is <u>most important</u> from the perspective of whole processes
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
5	Mark etching	[Pana-etcher#1] Recipe: Mark / Etching time: 25sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110-130 °C, 10 min + DI water 5min
6	SIN deposition	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110-130 °C, 10 min (just before CVD) + DI water 5min
		[CVD#1] Depo. time: 20min (~65nm thick SiN)
7		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Recess)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (recess patterning) should be done more carefully
		The smaller the pattern, the more attention is needed.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
8	SIN etching	[CDE etcher] Recipe:SIN.RCP / Etching time: 50sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse]

		~5min
	Cleaning	[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4 = 1:3$, 110-130 °C, 10 min + DI water 5min
	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Etching rate: ~1.6nm/sec</i>
9	Cleaning	[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
		[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:3$,110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	LOCOS #1	[Koyo-H.#2] 1100°C/60min, ~120nm SiO_2 formation (~60nm Si consumption)
	Check thickness	Ellipsometry <i>SiO_2/Si thickness measuring</i>
	SiO_2 etching	[BHF] ~2min (over-etching) *Etching rate: ~100nm/min + <i>Si thickness measuring</i>
	LOCOS #2	[Koyo-H.#2] 950°C/xxmin, (Rate: ~5nm Si consumption per 10min) <i>Until desired thickness</i>
	Check thickness	Ellipsometry <i>SiO_2/Si thickness measuring</i>
	SiO_2 etching	[BHF] ~xxmin *Etching rate: ~100nm/min (1.6nm/sec) + <i>Si thickness measuring</i>
	SIN removal	[H_3PO_4] ~180°C/7min *Etching rate: ~10nm/min + DI water 5min Hot-plate temperature: 400°C
10	Mask oxide etching	[BHF] ~20sec
	Cleaning	[SPM] $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:3$, 110-130°C/10 min + DI water 5min <i>Clean tweezer by SPM</i>
		[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
	Mask oxidation	[Koyo-H.#2] 950°C/10min, ~10nm SiO_2 formation (~5nm Si consumption)
11		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>

	(Mesa)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Post bake	Bake: 120°C/20min on the Hot-plate (only samples)
	Mask oxide etching	[BHF] 15~20sec (over-etching) + DI water 2min <i>Mesa pattern formation</i>
	PR strip	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
12	HSQ coating	FOX-15:MIBK=5ml:10ml (see the manual) → HSQ coating (Spin-coater no.13)
		Bake: 90°C/2min in the Oven furnace <i>Not hot-plate</i>
	EB exposure	see the manual (Check first with dummy test sample)
13	HSQ develop	TMAH ~30sec + DI water 5min
	Check pattern	Dummy samples → SEM
		Main samples → High resolution microscope (Check just exist or not)
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate) After 20min, it is necessary to press the sample by tweezer for adhesion.
14	NW+mesa etching	[Pana-etcher#1] Recipe: Poly.NW.30sec / Etching time: 40sec
	HSQ removal	[BHF] ~40sec (over-etching) + DI water 2min <i>Check BOX thickness by Ellipso.</i>
	NW suspending	<i>*HSQ/mask oxide removal & NW suspending at the same time</i> (BHF in 3-inch wafer as is)
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
15	Cleaning	[DHF] 1%, 90 sec + DI water 2min <i>HF (3 ml): DI water (300 ml)</i>
		[SPM] H ₂ O ₂ :H ₂ SO ₄ =1:3 ,110-130°C/10 min + DI water 5min
		[DHF] 1%, 90 sec + DI water 2min

		<i>HF (3 ml): DI water (300 ml)</i>
	Gate oxidation	[Koyo-H.#2] 950 °C /8min, ~8nm SiO ₂ formation (~4nm Si consumption)
16	Poly-Si gate deposition	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min (just before CVD) + DI water 5min
		[CVD#1] Depo. time: 40min (~250nm thick poly-Si) <i>Depo. rate: ~6nm/min</i>
17		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>
	(Gate)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This develop condition may vary slightly depending on the situation.
	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min (Hot-plate)
		After 20min, it is necessary to press the sample by tweezer for adhesion.
18	Gate etching	[CDE etcher] Recipe:POLY.EB.RCP / Etching time: 50sec
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
19	Chip mounting	Put the sample on 3-inch wafer (using PR) → Bake 120°C/20min
		After 20min, it is necessary to press the sample by tweezer for adhesion.
	Ion implantation	P ⁺ (n-type) or BF ₂ ⁺ (p-type): 35keV, 3x10 ¹⁵ cm ⁻²
	Chip unmounting	[Acetone] 20~30min → [Ethanol] ~5min → [DI rinse] ~5min
20	Passivation oxide	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min (just before CVD) + DI water 5min
		[CVD#2] LTO depo. / Time: 50min (~250nm thick SiO ₂)
	Ion activation	[Koyo-H.#2] 950°C/10min <i>N₂ ambient</i>

21	H ₂ annealing	[Koyo-H.#3] 400°C/25min <i>H₂ ambient</i>
		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Non-invert</i>
	(Contact)	[Develop] NMD-3 <i>stay for ~1.5min + stir for ~30sec</i>
		This develop process (contact patterning) should be done more carefully.
		The smaller the pattern, the more attention is needed.
	Post bake	Do not put the sample on 3-inch wafer → Bake: 120°C/20min (only samples)
	Contact hole etching	[BHF] 3~3.5min (over-etching) + DI water 2min <i>Etching rate: ~100nm/min</i>
	PR strip	[Acetone] ~5min → [Ethanol] ~5min → [DI rinse] ~5min
	Cleaning	[SPM] H ₂ O ₂ :H ₂ SO ₄ = 1:3 , 110 - 130 °C, 10 min + DI water 5min
22	Al deposition	[DHF] 1 % 90 sec (just before sputter) + DI water 2min
		[Sputter] 500 W, 65 min, ~ 1 μm
		Photo resist (PR) & HMDS coating (Spin-coater no.8 & Hot-plate 110°C)
		HMDS coating → PR (AZ1500-20cp) coating → Bake 110°C/2min
	Photo lithography	Set-up & Exposure <i>Invert</i>
	(Al pad)	[Develop] NMD-3 <i>stay for ~1min + stir for ~30sec</i>
		This condition may vary slightly depending on the situation.
	Post bake	Bake: 120°C/20min (only samples)
	Al etching	[Al etchant] 40 °C, 50~60 sec + DI water 5min <i>Draft 5</i>
	PR strip	[Acetone] 30min → [Ethanol] ~10min → [DI rinse] ~10min <i>Final cleaning</i>