

博士論文

低温ポリシリコンを用いた

液晶表示装置への機能集積化の研究

中村 卓

# 目次

第 1 章	序論.....	1
1.1.	本研究の背景.....	1
1.1.1.	エレクトロニクス的发展とトランジスタ.....	1
1.1.2.	LTPS TFT 发展の背景.....	2
1.1.3.	携帯端末向け LCD への期待.....	4
1.2.	本研究の目的.....	5
1.3.	本論文の構成.....	7
第 2 章	LTPS TFT-LCD の概要.....	8
2.1.	TFT-LCD の概要.....	8
2.2.	画素配列と開口率.....	11
2.3.	LTPS TFT の構造.....	13
2.4.	LTPS TFT の形成プロセスの概要.....	15
2.5.	駆動方法.....	20
2.5.1.	TFT-LCD の駆動方法の概要.....	20
2.5.2.	画素電圧の書き込み.....	21
2.5.3.	画素電圧の保持.....	23
2.5.4.	交流駆動(極性反転駆動).....	26
2.6.	TN 液晶と IPS 液晶.....	31
2.7.	画素レイアウト.....	32
2.8.	代表的な集積化回路ブロック図.....	36
2.8.1.	DAC-IC 方式.....	36
2.8.2.	ソースドライバ IC 方式.....	37
2.8.3.	PMOS 方式.....	39
2.8.4.	静電容量センサ集積型.....	40
第 3 章	デジタル/アナログ変換機能の集積化.....	42
3.1.	期待.....	42

3.2.	背景.....	42
3.2.1.	デジタル/アナログ変換機能とは .....	42
3.3.	課題.....	45
3.3.1.	課題概要.....	45
3.3.2.	アナログバッファの役割.....	46
3.3.3.	アナログバッファの従来技術との関係 .....	48
3.3.4.	アナログバッファの低電圧化の課題 .....	49
3.4.	アナログバッファ低電圧化の対策.....	56
3.4.1.	LCD のコモン反転駆動の選択.....	56
3.4.2.	誤差電圧の対策(アナログバッファの多段化) .....	57
3.5.	検証.....	62
3.5.1.	アナログバッファ回路単体の誤差電圧の検証 .....	62
3.5.2.	アナログバッファ回路単体での発振マージンの検証.....	66
3.5.3.	LCD による誤差電圧の検証 .....	68
3.6.	研究開発及び製品化動向.....	75
3.7.	まとめ.....	75
第4章	光センサ機能の集積化.....	77
4.1.	期待.....	77
4.2.	背景.....	78
4.2.1.	光センサとは(一般的な p-i-n ダイオード).....	78
4.2.2.	明暗比.....	79
4.2.3.	LTPS での従来技術との関係.....	81
4.3.	課題.....	82
4.3.1.	課題構成.....	82
4.3.2.	明暗比改善の課題.....	82
4.4.	周囲光センサのための明暗比改善の対策.....	86
4.4.1.	n-ノンドープ構造.....	86
4.5.	検証.....	90
4.5.1.	検証サンプルと実験条件 .....	90
4.5.2.	明暗比の評価結果 .....	91
4.5.3.	追加実験(1) .....	92
4.5.4.	追加実験(2) .....	94

4.6.	周囲光センサ機能集積化.....	96
4.6.1.	背景.....	96
4.6.2.	課題.....	97
4.6.3.	集積化する周囲光センサ回路.....	99
4.6.4.	ノイズ減算回路付き光センサ回路(対策回路).....	101
4.6.5.	試作品による検証結果.....	107
4.7.	画像読取り機能の集積化.....	110
4.7.1.	背景.....	110
4.7.2.	課題.....	111
4.7.3.	シールド付n-ノドープ構造による明暗比改善.....	112
4.7.4.	画素への LTPS 光センサの集積化.....	121
4.7.5.	センサ集積化による LCD への機能付加.....	126
4.8.	研究開発及び製品化動向.....	131
4.9.	まとめ.....	131
第5章	静電容量センサ機能の集積化.....	133
5.1.	期待.....	133
5.2.	背景.....	133
5.3.	課題.....	134
5.4.	開口率確保のための対策.....	136
5.4.1.	対策の骨子.....	136
5.4.2.	画素に集積化する回路.....	137
5.4.3.	開口率低下の対策.....	141
5.4.4.	駆動法(時分割駆動).....	142
5.5.	開口率確保の検証.....	145
5.5.1.	画素レイアウト検証.....	145
5.5.2.	TFT 基板単体での動作確認.....	149
5.5.3.	LCD パネルでの動作確認.....	151
5.6.	ノイズの対策.....	151
5.6.1.	ノイズ対策アルゴリズム/背景差分処理.....	151
5.6.2.	コンテンツの拡大/縮小動作の確認.....	152
5.7.	研究開発及び製品化動向.....	155
5.8.	まとめ.....	155

第 6 章	低周波数駆動機能の集積化 .....	156
6.1.	期待 .....	156
6.2.	背景 .....	157
6.2.1.	低周波数駆動 .....	157
6.2.2.	低周波数駆動に伴うフリッカ(ちらつき) .....	158
6.2.3.	先行技術との関係 .....	160
6.3.	課題 .....	161
6.3.1.	課題の背景:TFT リーク電流低減のための従来の技術 .....	162
6.3.2.	本論文の課題:さらなるリーク電流低減のための加工に関する課題 .....	164
6.4.	対策 .....	168
6.5.	検証 .....	169
6.5.1.	Poly-Si テーパー確保 .....	169
6.5.2.	Poly-Si チャネル幅 .....	172
6.5.3.	リーク電流低減効果 .....	172
6.5.4.	フリッカ低減効果 .....	173
6.5.5.	高精細 LCD でのフリッカ及び消費電力 .....	177
6.6.	研究開発及び製品化動向 .....	182
6.7.	まとめ .....	182
第 7 章	まとめと今後の展望 .....	184
7.1.	まとめ .....	184
7.2.	今後の展望 .....	186
謝辞	188	
引用文献	190	
業績リスト	205	
投稿論文 (主著) .....	205	
投稿論文(主著以外) .....	205	
学術雑誌等又は商業誌における解説、総説(主著) .....	205	

学術雑誌等又は商業誌における解説、総説(主著以外) .....	206
受賞(Awards) .....	206
国際学会発表(主著) .....	206
国際学会発表(主著以外) .....	207

# 第1章 序論

## 1.1. 本研究の背景

### 1.1.1. エレクトロニクス発展とトランジスタ

近年のエレクトロニクスの発展により、特に携帯電話やスマートフォンをはじめとする持ち運び可能な電子機器が普及している。そこに用いられる電子デバイスとして、小さく高速なトランジスタを集積化したプロセッサなどの結晶シリコン半導体チップと、映像を提供する液晶表示装置(以下 LCD と略記)とが重要となっている。シリコン半導体チップでは、半導体層として結晶シリコンを用いその熱酸化膜及び金属とともにシリコン基板上に形成される電界効果トランジスタ(Metal-Oxide-Semiconductor Field-Effect Transistor: 以下 MOSFET と略記)が微細化とともに主力となっている。一方、液晶表示装置(LCD)では、薄膜トランジスタ(Thin-Film-Transistor: 以下 TFT と略記)が用いられている。

トランジスタは真空管フィラメントの高電圧駆動、構造の複雑さ、寿命の短さ及び価格が高いなどの課題を克服するための代替素子として 1925 年の Lilienfeld により提案された [1]。その後、ベル研究所の Barden、Brattain、Shockley らにより 1947 年に点接触型トランジスタが発明された [2]。1950 年台にはバイポーラトランジスタの研究が進み、殆どの真空管がトランジスタに置き換えられた。1958 年には Kilby らにより集積回路の考えが提案され [3]、1960 年に Kahng による金属/酸化膜/シリコン(Metal/Oxide/Silicon:MOS)電界効果トランジスタ(Field Effect Transistor)の発明 [4] [5]により小型論理回路の研究が進んだ。その後現在に至るまで微細加工技術の発達とともに集積度が高まり、消費電力の低下や駆動電圧の低下が進み、特にマイクロプロセッサをはじめとする高性能論理回路に用いられるトランジスタの殆どが MOSFET となっている。

しかし、MOSFET は高価な結晶シリコン(Si)基板上にしか作れない制約があった。1979 年に Spear らにより水素化アモルファスシリコン(a-Si:H)を用いて良好な特性を示す TFT が開発された [6]。電界効果移動度<sup>1</sup>は  $1.0\text{cm}^2/\text{Vs}$  以下と低い、安価で大きさに制限の少ないガラ

---

<sup>1</sup> 物質中で電子や正孔という電荷を運ぶキャリアの移動のしやすさを示す量。

ス基板上に作製できる特徴をもつ。液晶ディスプレイ(Liquid crystal display:LCD)の画素駆動素子として利用できることからディスプレイの分野で発展をたどった [7] [8] [9] [10]。パソコン用モニタ、大型テレビの分野で従来の Cathode Ray tube (<sup>1</sup>以下、CRT と略記)から、薄型、軽量、低消費電力の LCD への代替が進むとともに、携帯電話やスマートフォンといった携帯型端末の新たな市場に向け盛んに開発されている。

またアモルファスシリコンよりも電界効果移動度が 2 桁程度高い多結晶シリコン(Poly-Si) TFT も 1983 年に発表された。さらに 1990 年台後半に 600°C 以下の低温プロセスを用いて大型ガラス基板上に多結晶シリコン(poly-Si)を形成する低温ポリシリコン(Low temperature polycrystalline silicon: 以下、LTPS と略記)TFT 技術も発表された。移動度が高いためアモルファスシリコンの場合よりも高度な回路をガラス基板上に画素駆動素子のみならずドライバ回路も集積化できる特徴がある。このため特に集積化の要求の厳しい、携帯端末向け LCD の分野で発展をたどった。

### 1.1.2. LTPS TFT 発展の背景

ポリシリコン(poly-Si)TFT は、薄膜トランジスタ(Thin-Film Transistor:TFT)の一種であり、チャネル層として多結晶 Si (poly-Si)を用いる電子デバイスである。その歴史は古く、1983 年に、両角らが 2.14 インチのカラー液晶ディスプレイを発表し注目を集めた [11] [12]。これは耐熱温度が 1000°C 以上の石英ガラス基板上にポリシリコン(poly-Si)TFT を形成し画素駆動素子として用いるものである。その後 1990 年代後半に茨木らが 400mm×500mm の大型ガラス基板上にポリシリコン(poly-Si)TFT を作製する技術を 10.4 インチ LCD とともに発表した [13]。この技術は、600°C 以下の低温プロセスを用いることから、低温ポリシリコン(Low temperature polycrystalline silicon: 以下、LTPS と略記)技術と呼ばれる。これによって、ポリシリコン(poly-Si)技術は中型以上のディスプレイにも適用できることが示され、本格的な発展が始まった。

---

<sup>1</sup>電子ビームを陰極から高電界によって飛ばし、画面の蛍光体にあてて発光させる原理の表示装置。



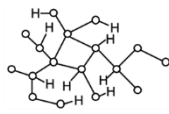
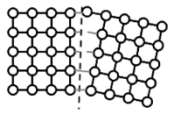
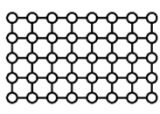
表 1-1 に、LTPS（低温ポリシリコン）TFT のチャンネル層の結晶状態、電界効果移動度、及び用いることのできる基板について、a-Si TFT や Si MOSFET との比較を示す。以下、これらを順に説明する。

はじめに、TFT のチャンネル層の結晶状態について説明する。LTPS TFT のチャンネル層の結晶状態は多結晶と呼ばれ、多数のシリコン粒からなり粒内は結晶シリコンである。粒間の界面は粒界と呼ばれ、特性に影響を与えるものの、アモルファス（結晶性なし）と、単結晶の中間に位置づけられる。

次に電界効果移動度（以下、移動度と略記）も、アモルファス（結晶性なし）と単結晶の中間である。LTPS TFT はチャンネル層の結晶性に優れるが、粒界に含まれる欠陥による影響を受けるため結晶シリコンよりは低く、 $30\sim 100\text{cm}^2/\text{V}\cdot\text{s}$  となる [13]。それでも、a-Si TFT に比べると2桁程度移動度が高いという特徴をもつ。このため、a-Si TFT 以上に回路集積化に適していると考えられる。

最後に基板に関し説明する。単結晶シリコンはシリコン基板に限定され、大面積のガラス基板上への形成は困難である。一方、LTPS TFT は a-Si TFT 同様、安価で大面積のガラス基板を用いることができる。これは、液晶表示装置に用いやすいことを意味し、かつ、製造コストの低減にもつながる重要な点である。LTPS-TFT にはこれらの特徴を活かした応用を実現することが期待される。

表 1-1 LTPS TFT の位置づけ

	a-Si TFT アモルファスシリコン	LTPS TFT 低温ポリシリコン	Si MOSFET 単結晶シリコン
結晶状態	アモルファス 	多結晶  粒界	単結晶 
電界効果移動度	$0.5\sim 1.0\text{ cm}^2/\text{V}\cdot\text{s}$ NMOS	$30\sim 100\text{ cm}^2/\text{V}\cdot\text{s}$ CMOS	$1000\text{ cm}^2/\text{V}\cdot\text{s}$ CMOS
基板	ガラス基板 (大面積)	ガラス基板 (大面積)	シリコン基板

### 1.1.3. 携帯端末向け LCD への期待

2001 年頃から日本国内で 3G 携帯端末 [14]、2007 年からはスマートフォンの市場が急成長した [15]。これらの市場拡大に合わせ、第 1 世代の LTPS に対し、携帯端末向け LCD として、『小型化』、『操作性改善』、『低消費電力化』、及び『画質向上』の 4 つが期待された。図 1-1 に概要をまとめた。以下、各時代にどのようなことが期待されたかについて説明する。

2001 年から 3G 携帯電話の市場が拡大し、この用途の LCD には、『小型化』への期待が最も強く、これを筆頭に『操作性改善』、『低消費電力化』を期待された。『小型化』とは、携帯端末の限られた領域の中でできるだけ画面を大きくするため、額縁や周辺部品のための領域をできるだけ小さくすることである。そのために、ドライバ IC はじめ部品点数削減が進んだ。『操作性改善』のためには、LCD の上にタッチパネルを搭載する構成をとるものが増加した。低消費電力化のためにはバックライト<sup>1</sup>の消費電力を低減するために LCD の光透過率向上や、周囲光の照度を検知してバックライトの輝度を調節するものが増加した。

2007 年頃からスマートフォンの市場が急拡大し、この用途の LCD には、『画質向上』を加えた 4 つ全てに妥協を許さないハイレベルな期待が寄せられた。『小型化』のために LCD の表示領域以外の周辺領域(額縁)を細くし、タッチパネルを LCD に集積化(インセル化)するものが増加した。『操作性改善』に関してはタッチパネルに 2 本の指で触れ、滑らせることで端末の操作を行う方式が急速に広まった [16]。『画質向上』については、画素の高精細化<sup>2</sup>が進み、『低消費電力化』も、端末のバッテリーのもちの良さに直結するため要求が高まった [17]。

2012 年頃からスマートフォンの『画質向上』のためのさらなる高精細化の波がはじまった。画像や写真、文字、図形を表示する場合、画素ピッチが粗いとその輪郭のギザギザが目立ってしまう。画素ピッチを縮小する高精細化により、輪郭の滑らかな自然な画質が得られ、高画質につながる [18] [19] [20]。但し各画素の面積が小さくなるため LCD の光透過率が悪化しバ

---

<sup>1</sup> LCD に用いられる光源のこと。

<sup>2</sup> ディスプレイの表示のきめ細かさを高めること。ディスプレイを構成する画素が視認されないように、画素密度(ppi=pixel per inch)を高める。画像は鮮明に、文字は滑らかに表示できる。

バックライトの消費電力が増大してしまう [21]。これを補うため、バックライトの消費電力を低減 [22] [23] [24]のみならず駆動電力の低減が求められた [25]。



図 1-1 携帯端末向け LCD への期待

## 1.2. 本研究の目的

『小型化』、『操作性改善』、『低消費電力化』及び『画質向上』の4つの期待に、LTPS の特徴を活かした機能集積化により応える。本研究では4つの集積化技術に取り組み、LTPS の有用性を示す。それぞれの集積化技術は4つの期待に広く貢献するが、4つの期待のうち主なものと本研究との関係を図 1-2 に図示した。『小型化』のために、①デジタル/アナログ変換変換機能の集積化と、②光センサ機能の集積化の研究を行った。『小型化』及び『操作改善』のために、③静電容量センサ機能の集積化の研究を行った。また、スマートフォン向けに、『低消費電力化』と『画質向上』を両立するために、低周波数駆動機能の集積化の研究を行った。

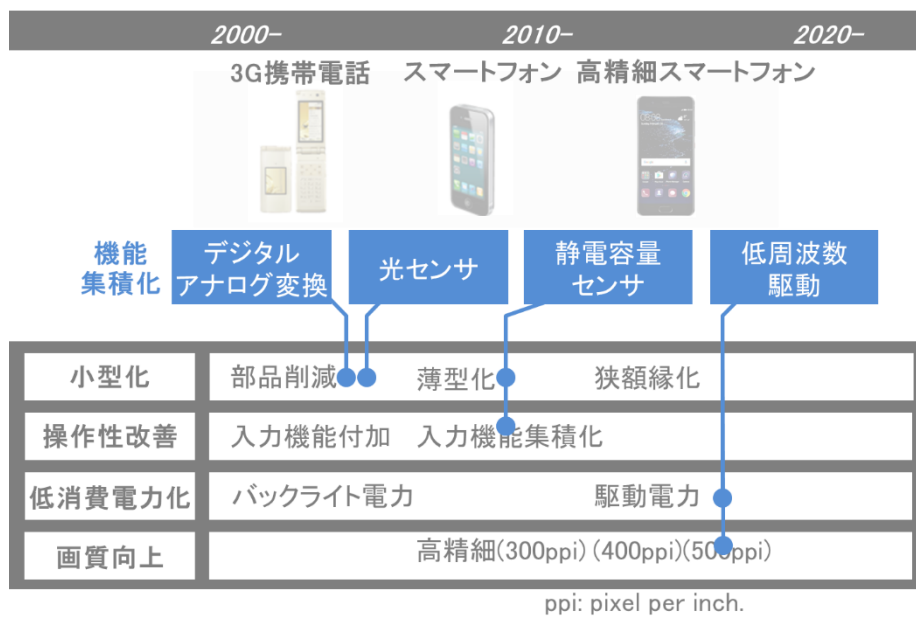


図 1-2 本研究の目的

### 1.3. 本論文の構成

本論文の構成を表 1-2 に示す。本論文では、4 つの機能集積化について、3 章、4 章、5 章、6 章で説明する。5 つの査読論文が表 1-2 のように対応している。また、2 章で、3 章から 6 章までの共通の背景及び基礎知識として LTPS TFT-LCD の概要について説明する。最後の 7 章でまとめ・今後の展望を説明する。

表 1-2 本論文の構成

	目次	査読論文
1章	序論	
2章	LTPS TFT-LCDの概要	
3章	デジタル/アナログ 変換機能の集積化	・T. Nakamura et al., “Low-temperature poly-Si TFT-LCD with an integrated analog circuit”, Journal of the SID Volume 10, Issue 3, 2002, pp.203-207
4章	光センサ機能の 集積化	・T. Nakamura et al, Incorporation of input function into displays using LTPS TFT technology, Journal of the SID Volume 14, Issue 4, 2006, pp.363-369 ・T. Nakamura et al, “An LTPS ambient light sensor system with sensitivity correction methods in LCD”, IEICE, Vol.E102-C, No.7, pp.558-564
5章	静電容量センサ 機能集積化	・T. Nakamura, “In-cell capacitive-type touch sensor using LTPS TFT-LCD technology”, Journal of the SID Volume 19, Issue 9, 2011, pp.639-644
6章	低周波数駆動 機能の集積化	・T. Nakamura et al., “A 550-PPI LCD using 1.5 $\mu$ m channel width LTPS TFTs with low frame rate driving”, Journal of the SID Volume23, Issue12, 2015, pp.580-586.
7章	まとめ・今後の展望	

## 第2章 LTPS TFT-LCD の概要

ここでは、本論文全体の背景として LTPS TFT-LCD について説明する。はじめに、LTPS TFT の概要に関し、まず、TFT-LCD の構造、画素の構造、LTPS TFT の構造及び形成プロセスについて要点を説明する。次に TFT-LCD の駆動方法、液晶の方式、及び画素レイアウトについて説明する。最後に、各時代に主に用いられていた集積化回路ブロック図について説明する。これらが 3 章以降での前提となる。

### 2.1. TFT-LCD の概要

ここでは、TFT-LCD の構成、画素部の構成、TFT-LCD の動作、及び、LTPS の利点の概要を説明する。

はじめに TFT-LCD の構成の概略を説明する [26] [27]。TFT-LCD の斜視図を図 2-1(a)に示す。下から、バックライトと呼ばれる光源、TFT 基板、液晶、及びコモン電極が形成されたカラーフィルタ基板、及び駆動のためのドライバ IC を備える。液晶は TFT 基板とカラーフィルタ基板の間に封入される。TFT 基板とカラーフィルタ基板の外側にはそれぞれ偏光板<sup>1</sup>が貼られる。この TFT 基板とカラーフィルタ基板の部分を LCD パネルと呼ぶ。TFT 基板上にはゲート線、信号線が多数配置され、これらの交点に画素 TFT と画素電極及び蓄積容量が配置される。画素 TFT は、信号線と画素電極の間でスイッチとして用いられる。ドライバ IC は Si MOSFET を用いて形成される [28]。Si MOSFET では NMOS FET と PMOS FET とを用いて CMOS 回路を作れることから、様々なデジタル回路や、画素に必要な電圧を生成したり、これを増幅出力するためのアナログ回路が形成される。ドライバ IC はゲート線と信号線を駆動する。まず信号線に画素の表示に対応する電圧を書き込む。これとタイミングを合わせゲート線を駆動することによって所定の画素 TFT を導通させ画素電極に信号線の電圧を書き込む。コモン電極を基準とし画素電極の電圧が液晶に印加され、図 2-1(b)のように画素の透過率を変化させることができる。このようにして、バックライトの光の透過率が画素毎に変化し、カラーフィルタを通すことにより多彩な色で明暗様々な表示ができるように構成される [29] [30] [31]。

---

<sup>1</sup> 所定の偏光成分のみを透過させる光学フィルム。

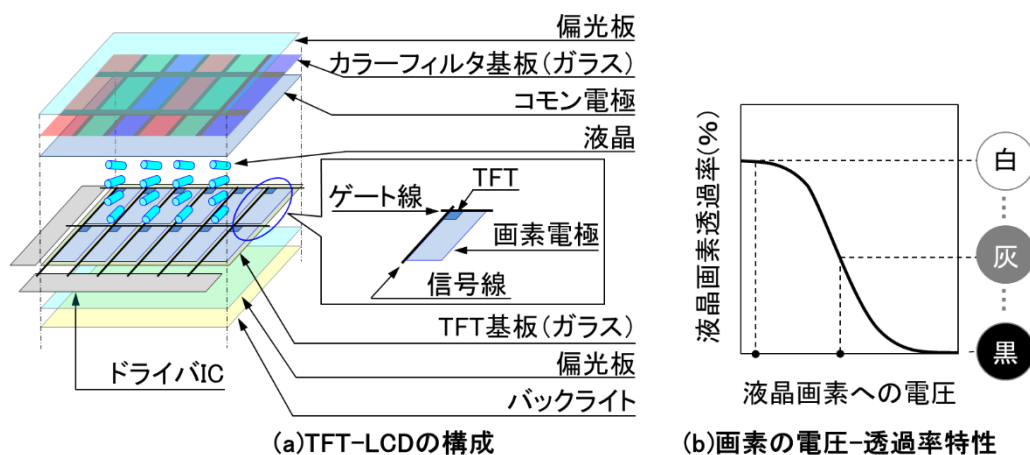


図 2-1 TFT-LCD の斜視図

次に画素部の構成について説明する。図 2-2 に画素の部分の等価回路図を示す。横方向にゲート線 (Gate 1, Gate2, …, Gate m)、縦方向に信号線 (Sig1, Sig2, …, Sig n) が配置され、それらの交点に液晶画素が縦横にマトリクス状に配置される。液晶画素は、画素 TFT、画素電極、蓄積容量と液晶容量を備える。また、共通電極 (COM) は全ての画素で電氣的につながっている [32] [33]。

次に TFT-LCD の動作について簡単に説明する。ドライバ IC が各画素の表示に対応した電圧を信号線に書き込む。これとタイミングを合わせ各行のゲート線に、各 TFT をオンする (導通する) ためのオン電圧が印加されることによって、各画素の TFT を通して、各画素の画素電極及び蓄積容量に信号線の電圧が書込まれる。書込まれた後にゲート線は各 TFT の導通状態を遮断するためのオフ電圧が印加される。その後は各画素の TFT によって蓄積容量の電圧が保持される。このようにして、画素数が増大しても各画素が保持する電圧が変わらず、液晶の透過率を保ち、高コントラスト比の表示が可能となる。

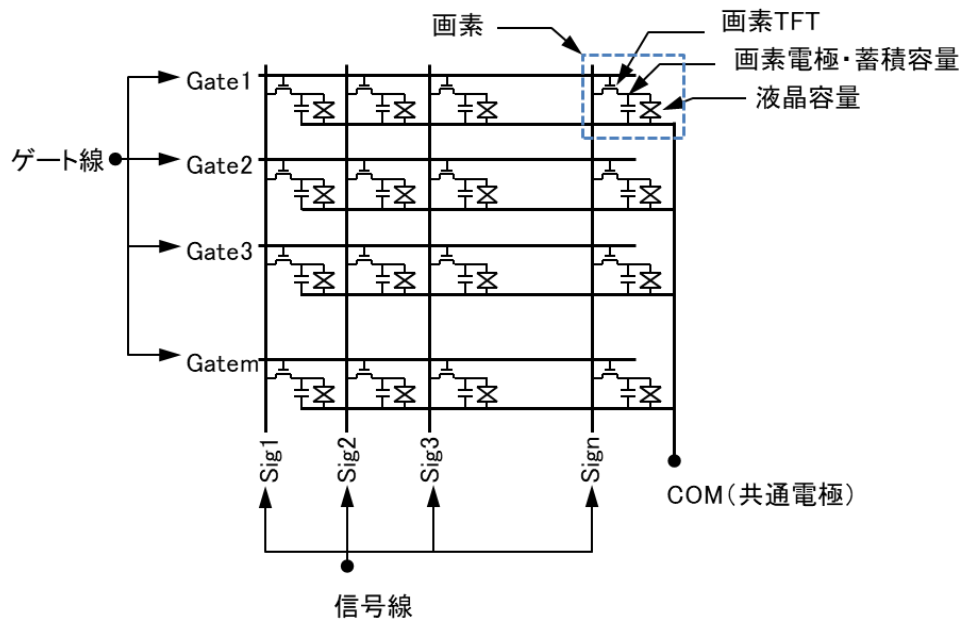


図 2-2 TFT-LCD の等価回路図

最後に、LTPS の利点を説明する。LTPS TFT は a-Si TFT に対し、移動度が高いため各画素の TFT を小さくできる。その結果、より多くの画素数への対応や高精細化<sup>1</sup>が可能となる。さらに後述するように CMOS 回路を集積化できるため、図 2-3 に示すように、画素 TFT のみならず、従来ドライバ IC に含まれていた回路もガラス基板上に集積化できる利点がある。例えば、ゲート線を駆動するための「ゲート線駆動回路」や信号線を駆動するための「信号線駆動回路」といった回路、もしくはその一部の回路である [34] [35] [36] [37]。このことは LCD を搭載する装置全体の小型化につながるため、特に小型化の要求の強い携帯端末用の LCD として適していると考えられる。

<sup>1</sup> ディスプレイの表示のきめ細かさを高めること。ディスプレイを構成する画素が視認されないように、画素密度(ppi=pixel per inch)を高める。画像は鮮明に、文字は滑らかに表示できる。



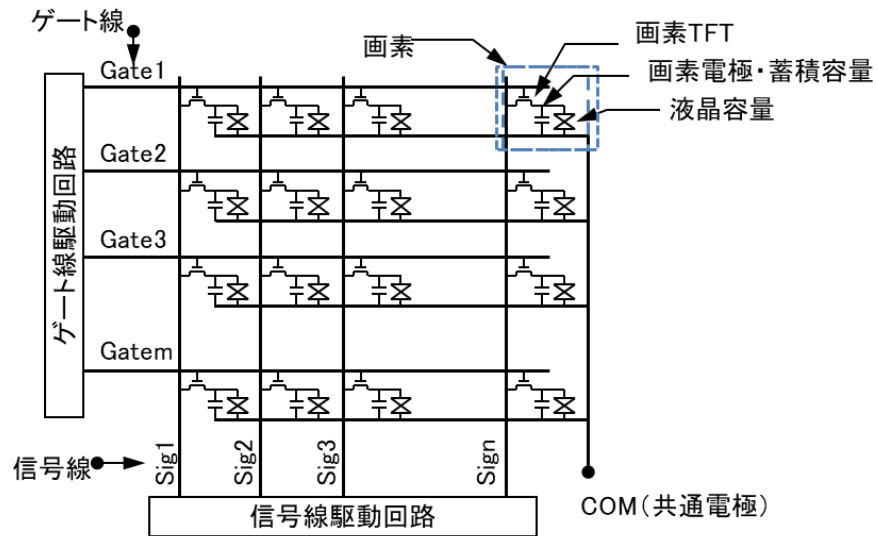


図 2-3 LTPS TFT-LCD の等価回路図

## 2.2. 画素配列と開口率

ここでは、画素に用いるカラーフィルタ [26]の色の配列(画素配列)と、画素の重要な指標である開口率について説明する。

はじめに、画素配列について、図 2-4 を用いて説明する。一つの画素(ピクセル)は正方形で、通常 3 つの縦長の副画素(サブピクセル)からなる(図 2-4 平面図)。画素は色が異なるカラーフィルタを持つ副画素(サブピクセル)に分割される。TFT 基板側は副画素(サブピクセル)毎に、TFT、信号線及びゲート線の上に平坦化膜を形成し、その上に画素電極を形成する(図 2-4 断面図)。この構造により、それぞれの色毎に透過率・輝度を段階的に変化させることができる。例えば各色で 64 段階<sup>1</sup>で変化させる場合にはそれら組み合わせにより、 $(64^3=)$ 約 26 万色の表示を行うことができる。また、コントラスト比が低下するのを防ぐために、隣接する画素電極の間のモレ光を遮る目的で、画素電極間にはカラーフィルタ側に黑色材料(図 2-4 の黒と記した部分)が形成される [26]。また、TFT 基板側の信号線及びゲート線には光を透過させない金属材料が用いられる。これらの配線も大部分がカラーフィルタ側の黑色材料による

<sup>1</sup> 2001 年頃は各色毎に 6 ビットのデジタルデータが割り当てられた。階調数にすると  $2^6=64$  階調となる。

って覆われる。カラーフィルタ側の黒色材料と TFT 基板側の光を透過させない金属材料の配置によって、表示に寄与する開口部の面積が決まる(図 2-4 の平面図に白点線で示した)。

次に画素についての重要な指標である開口率について説明する。画素面積に対する開口部の面積の割合は開口率と呼ばれる。開口率が高いと LCD の表示輝度を確保するためのバックライトの輝度を下げることができる。その結果、バックライトの消費電力を低減することができる。バックライトによる消費電力は LCD の全消費電力の 7 割程度を占めるため、これを左右する開口率は画素設計上、重要な指標である。LTPS TFT は a-Si TFT に対し、移動度が高いため、画素 TFT を小さくでき、ブラックマトリクスを小さくできる。この結果、開口率が高くなり、バックライトの低消費電力化の点で a-Si TFT に対し有利となる。また、この点は画素が高精細化するほど顕著となる。

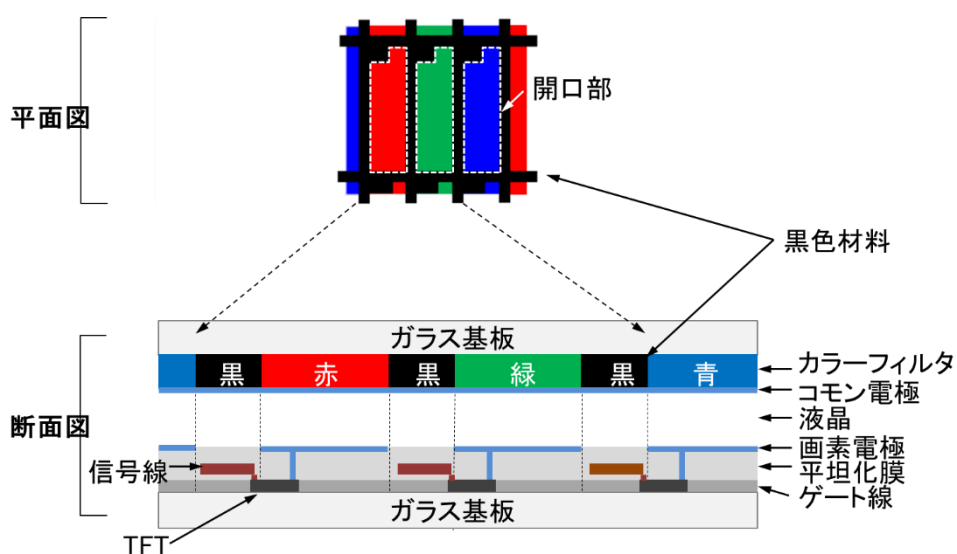


図 2-4 画素配列(RGB タイプ)

## 2.3. LTPS TFT の構造

ここでは、LTPS TFT の断面構造に関し、NMOS-TFT 及び PMOS-TFT の両方について説明する。その後、LTPS の回路集積化に関する利点を説明する。形成プロセスについては次項で説明する。

LTPS の NMOS-TFT と PMOS-TFT の断面構造を図 2-5 に示す。ガラス基板の上にアンダーコート層<sup>1</sup>が形成され、その上に厚さが 50nm 程度の薄いポリシリコン(poly-Si)が形成される。これは多数のシリコン粒からなり粒内は結晶シリコンである。粒間の界面は粒界と呼ばれる。ポリシリコン(poly-Si)の上部には、ゲート絶縁膜を介しゲート電極を備えるトップゲート構造と呼ばれる構造が用いられた [13]。ポリシリコンの膜はイオン注入<sup>2</sup>することにより p 型領域化したり n 型領域化したりする。PMOS-TFT のソース/ドレイン領域及び、NMOS-TFT のソース/ドレイン領域はそれぞれ p 型ポリシリコン(poly-Si)領域(図 2-5 左部)及び n 型ポリシリコン(poly-Si)領域(図 2-5 右部)である。さらに NMOS-TFT にはリーク電流の低減や信頼性の向上のために Lightly doped drain(以下 LDD と略記)構造<sup>3</sup>を設ける。さらに絶縁膜を介し、信号線や画素との接続のための電極を形成する。さらに保護膜として窒化シリコン(SiN)を形成する。

---

<sup>1</sup> ガラス基板に含まれる可動性イオンから TFT を守るための膜のこと。

<sup>2</sup> 真空中で電界をかけることによってイオンを加速し、ポリシリコン膜に打ち込む技術のこと。

<sup>3</sup> ゲート下のチャネル端にソース及びドレイン領域に対しイオン注入濃度が低濃度な領域を設け、電界を緩和し劣化を防ぐ構造。

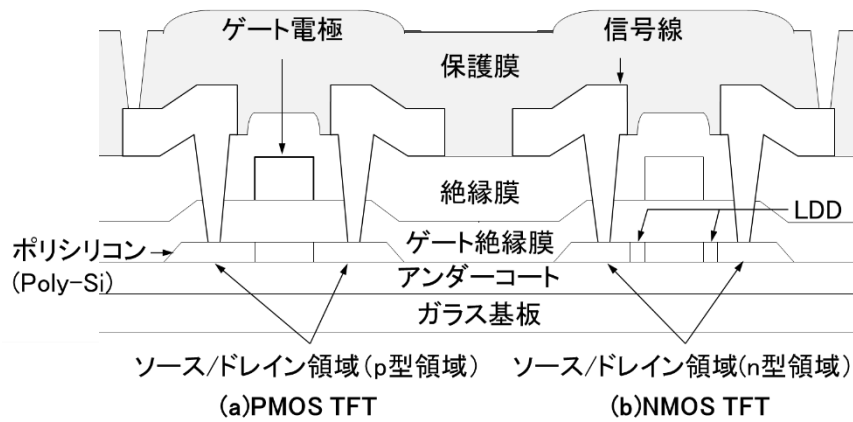


図 2-5 LTPS TFT の断面構造

次に LTPS の回路集積化に関する利点を説明する。LTPS TFT はチャネル層の結晶性に優れ a-Si TFT に比べ移動度が高いという特徴をもつ。移動度は粒界に含まれる欠陥による影響を受けるものの  $30\sim 100\text{cm}^2/\text{V}\cdot\text{s}$  である [38]。LTPS TFT を画素 TFT として用いる場合にはその大きさを小さくでき開口率や精細度の点で有利となる。さらに上述の構造によって、ガラス基板上に NMOS-TFT と PMOS-TFT を形成できることから、回路集積化がしやすいという利点を持つ [38]。具体的にはゲート線駆動回路や信号線駆動回路の一部をガラス基板上に集積化により、部品点数を削減する技術が報告された [39]。

## 2.4. LTPS TFT の形成プロセスの概要

ここでは LTPS TFT の形成プロセスの詳細を説明し、最後に回路集積化のための利点について説明する。図 2-6 にガラス基板上に LTPS TFT の形成プロセスを示す。PMOS-TFT と NMOS-TFT を形成するため、PMOS-TFT 部と NMOS-TFT 部とで共通に進行するプロセスと、別個に扱うプロセスとがある。図 2-6 の(a)及び(b)は共通プロセスであり、(c)~(f)は NMOS-TFT 部と PMOS-TFT 部とで扱いが異なる。そして(g)及び(h)は再び共通プロセスとなる。以下、各プロセスについて説明する [27] [38] [39]。

はじめに、(a)ガラス基板上にアンダーコート層を形成した上で、Chemical Vapor Deposition (以下 CVD と略記) 法により厚さ 50nm 程度の a-Si 層を堆積する。これをレーザーアニールにより結晶化することにより、LTPS TFT のポリシリコン (poly-Si) 層を形成する。具体的には、a-Si にエキシマレーザー(波長 308nm)を用いたレーザー光を照射する。これによって a-Si が部分的に溶解する。冷却時に非常に大きな粒形(数 100  $\mu$  m)の多結晶になる。この方法はエキシマレーザーアニール(以下、ELA と略記)法 [40] [41] [42]と呼ばれ、大面積のガラス基板上で移動度の高いポリシリコン(poly-Si)を 600°C以下の低温で形成するための重要な技術とされている。ポリシリコン(poly-Si)の粒径が小さいと電界効果移動度が低減してしまう。

次に (b)Poly-Si をパターンニングした後、全面に低濃度のボロン(B)を注入する。これは NMOS-TFT 及び PMOS-TFT の閾値<sup>1</sup>の調節を目的とし、チャンネルドーピングと呼ばれる [13] [38] [43]。なおこの領域に注入されるボロン(B)が低濃度のため p-型領域と呼ぶ。

ここまでは PMOS/NMOS-TFT 部とも共通に行う。そして、(c)の工程からは、PMOS-TFT 部と NMOS-TFT 部とで扱いが異なり、LTPS TFT のソース/ドレイン領域にはボロン(B)もしくはリン(P)を注入(イオン注入)する。これらの領域はそれぞれ p+型領域もしくは n+型領域と呼ぶ。これを(c)、(d)、(e)及び(f)で説明する。

---

<sup>1</sup> TFT が導通状態になるために必要な電圧のこと。

まず(c)は NMOS-TFT 部に n+型領域を形成するための工程である。NMOS-TFT 部の所定の場所にリン(P)を注入し n+型領域化する。このとき、NMOS-TFT のチャンネル部及び PMOS-TFT 部にレジスト(保護膜)を形成し n+型領域化されないようにする。

次に(d)は PMOS-TFT 部に p+型領域を形成するための工程である。工程(c)の後に、ゲート絶縁膜(Gate insulator:以下 GI)を厚さ 130nm~200nm 程度成膜する。ゲート酸化膜は原料ガスとしてテトラエトキシシラン(Tetraethoxysilane:以下 TEOS と略記)を用い CVD 法にて酸化シリコン(SiO<sub>2</sub>)を形成する [13] [44] [45]。さらにゲート電極(M1)を成膜する。PMOS-TFT の M1 電極の所定の場所を加工し、これをマスクとしてボロン(B)を注入し p+型領域化する。このとき、PMOS-TFT のチャンネル部及び NMOS-TFT 部は M1 電極で保護されているため p+型領域化されない。

最後に(e)と(f)は NMOS-TFT 部に lightly-doped drain (以下 LDD と略記)と呼ぶ領域(n-型領域と呼ぶ)を形成するための工程である。これは NMOS-TFT の信頼性・リーク電流を改善する効果がある [12]。NMOS-TFT には、(e)M1 電極をエッチング加工した上で、(f)これをマスクとして低濃度のリン(P)を注入し、NMOS-TFT のチャンネル部(p-)と n+型領域の間に n-型領域を形成する。このとき、NMOS-TFT のチャンネル部及び PMOS-TFT のチャンネル部は M1 電極により保護されており、n-型領域化されない。n-型領域は抵抗が高いためチャンネル部と n+型領域の間の電界を弱める効果があり、NMOS-TFT の信頼性が改善し、リーク電流が低減する [12]。但し、n-型領域の抵抗を高くしすぎる(~100kΩ/cm<sup>2</sup>)と、光リーク電流が増大することが知られている [46]。通常は~20kΩ/cm<sup>2</sup>とし光リーク電流が増大しない条件で用いる。このように PMOS TFT 及び NMOS TFT ともそれぞれゲート電極(M1)の下の poly-Si 領域がチャンネル部となるように形成される。この長さはチャンネル長と呼ばれる。

以上の(c)~(f)が PMOS-TFT 部と NMOS-TFT 部のそれぞれ毎に異なるプロセスとなる。以降(g)及び(h)は PMOS-TFT 部と NMOS-TFT 部とで共通に進行する。

(g) 注入したイオンを活性化<sup>1</sup>するためのアニール(熱処理)及び、粒界のダングリングボンド<sup>2</sup>を不活性化するための水素化<sup>3</sup>を行う。これらはガラス基板の耐熱を考慮し 600°C 以下で行われる。

(h) さらに層間絶縁膜、信号線電極を形成し、保護膜(パッシベーション膜)として窒化シリコン(SiN)を形成する。

このようにしてガラス基板上に NMOS-TFT 及び PMOS-TFT を形成できる。TFT-LCD を設計する上で重要となる TFT に流れる電流  $I_d$  は、NMOS TFT の場合、TFT のゲート電極、ソース電極、及びドレイン電極への印加電圧に応じて、以下の式で表せる。

$$I_d = \mu \cdot C_{ox} \frac{W}{L} \cdot \left\{ (V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right\}, \text{ 但し } V_{ds} < V_{gs} - V_{th} \quad \text{数式 2-1}$$

$$I_d = \mu \cdot C_{ox} \frac{W}{2L} \cdot (V_{gs} - V_{th})^2, \text{ 但し } V_{ds} > V_{gs} - V_{th} \quad \text{数式 2-2}$$

但し、 $V_{ds}$  はソース電極とドレイン電極の間の電圧、 $V_{gs}$  はソース電極とゲート電極の間の電圧、そして  $V_{th}$  は画素 TFT が導通状態となるために必要な最小電圧(閾値電圧)である。 $\mu$  は TFT の電界効果移動度、 $C_{ox}$  はゲート絶縁膜の単位面積当たりの静電容量、 $W$  はチャネル幅、 $L$  はチャネル長である。LTPS の場合、a-Si TFT と比べ移動度が高いため、チャネル幅( $W$ )を小さくでき TFT を小型化できる。第 1 世代の LTPS ではチャネル長( $L$ )は  $5 \mu\text{m}$ 、ゲート絶縁膜の厚さは  $130\text{nm} \sim 200\text{nm}$  だった。

---

<sup>1</sup> ポリシリコンの Si 原子と結合させること。

<sup>2</sup> シリコン同士の結合が不完全な部分。TFT の特性に悪影響を及ぼすことがある。

<sup>3</sup> シリコンの結合の不完全な部分に水素を付加し TFT の特性を改善する手法のこと。

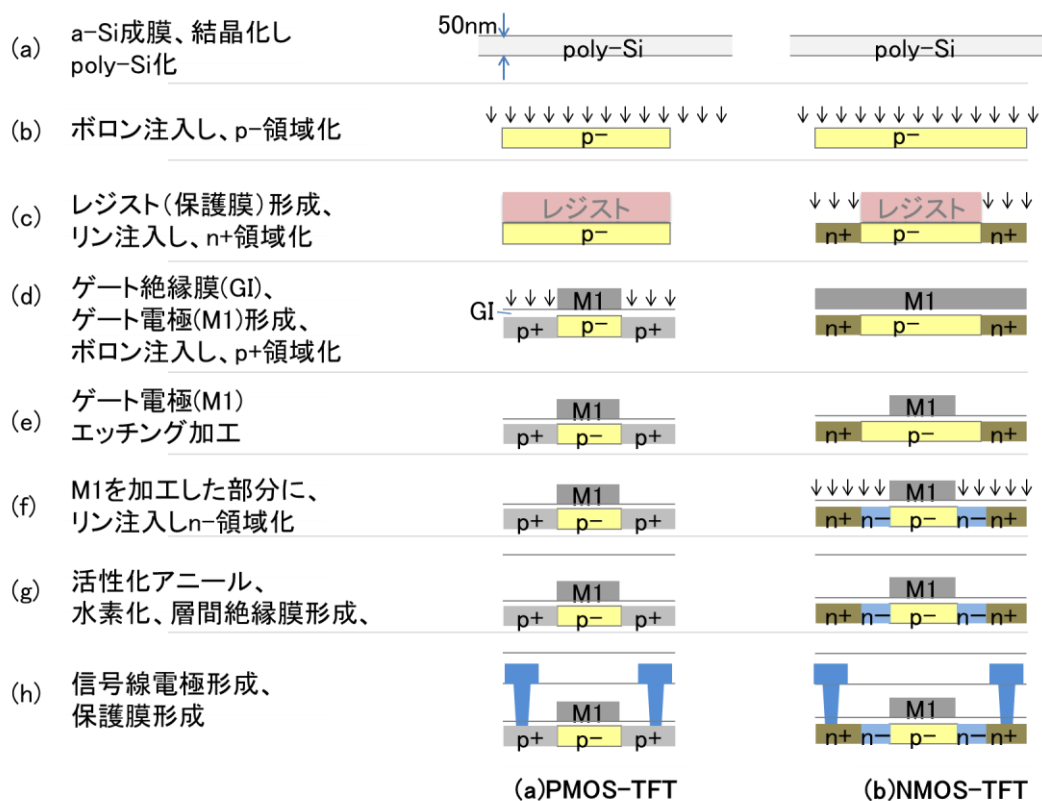


図 2-6 LTPS TFT の形成プロセス

次に LTPS TFT の回路集積についての利点を説明する。この形成プロセスによって形成される PMOS TFT 及び NMOS TFT を用いて、画素 TFT のみならず、2.1 で触れたようにゲート線駆動回路や信号線駆動回路の一部も LCD のガラス基板上に集積化された [39]。図 2-7 に(a)従来の a-Si TFT-LCD と、(b)本研究以前の第 1 世代 LTPS TFT-LCD の比較を示す。第 1 世代 LTPS TFT-LCD では、電界効果移動度が高いことを利用し、額縁部にゲート線駆動回路や信号線駆動回路の一部を集積化した [47] [48]。この集積化により、ドライバ IC の部品点数を大幅削減し、小型化を実現した。これに続き 4 インチ(640×480 画素)、6.3 インチ(1024×768 画素) [49] [50]、など画面サイズがより小さい携帯端末向けの開発が相次いだ。LTPS を用いた回路集積化を携帯端末向け LCD に適用し、さらなる集積化による小型化が期待された [51]。



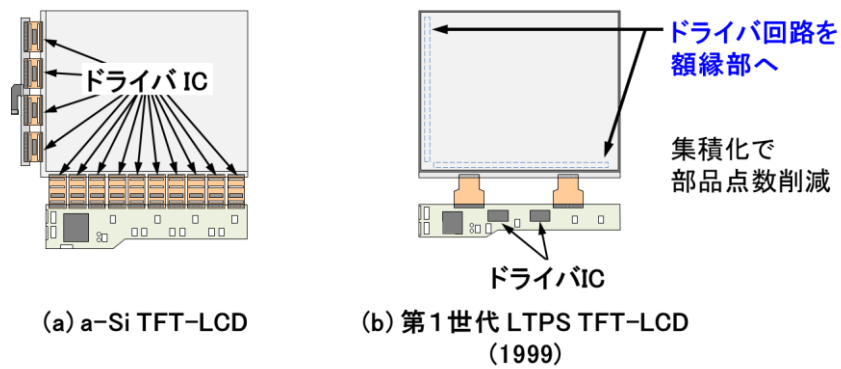


図 2-7 LCD モジュール (a)a-Si TFT-LCD, (b)第1世代の LTPS TFT-LCD

以上の形成プロセスは3章~6章で前提として用いる。第3章デジタル/アナログ変換機能の集積化では、チャンネル長(L)を $3\mu\text{m}$ と縮小、ゲート絶縁膜の厚さを $80\text{nm}$ と縮小する改良プロセスを導入する。第4章光センサ機能の集積化では図2-6(f)の形成プロセスに改良を加える。第5章静電容量センサ機能の集積化では図2-6の工程(c),(e),及び(f)を省略した低コスト化プロセスを用いる。第6章低周波数駆動機能の集積化では図2-6に遮光層形成プロセス(0)を追加したプロセスを用いる。

## 2.5. 駆動方法

ここでは、TFT-LCD の駆動方法について、はじめに 2.5.1TFT-LCD の駆動方法の概要、次に 2.5.2 画素電圧の書き込み、次に 2.5.3 画素電圧の保持、最後に 2.5.4 交流駆動(極性反転駆動)の順に説明する。

### 2.5.1. TFT-LCD の駆動方法の概要

はじめに、TFT-LCD の駆動方法の概要について説明する。図 2-8 のタイミング図に具体的なゲート線(上)と信号線(下)の駆動波形を示す。縦軸は電圧、横軸は時間を表す。全画素への(1画面分の)駆動を行う期間をフレーム期間と呼び、その逆数をフレーム周波数という。フレーム周波数は画面のフリッカ(ちらつき)が視認されにくいとされる 60Hz 程度に設定される [26]。近年のスマートフォン向け LCD では殆どが 60Hz であり、1フレーム期間としては 16.7msec に相当する。1 フレーム期間中は、短い書き込み期間と長い保持期間が交互に繰り返される。

書き込み期間には、ゲート電極に印加する電圧により信号線と画素電極・蓄積容量の間が導通する。保持期間にはゲート電極に印加する電圧により信号線と画素電極・蓄積容量の間が遮断される。画素 TFT を導通させるときのゲート電極の電圧をオン電圧 (VGH)、遮断するときの電圧をオフ電圧 (VGL) と呼ぶ。ゲート線は、1 フレーム期間中に、Gate1、Gate2、…、Gate m と 1 行分ずつ順番にオン電圧が印加される。一方、信号線の電圧波形の一例を Vsig という点線(青)で示した。これは各ゲート線のオンのタイミングに合わせて電圧が変化する。電圧を変化させることによって各画素の透過率を変化させる。但し連続するフレーム間では液晶材料の劣化防止等のため極性反転駆動を行う。画素ごとには、正極性のフレーム期間と負極性フレーム期間とが交互に繰り返される。

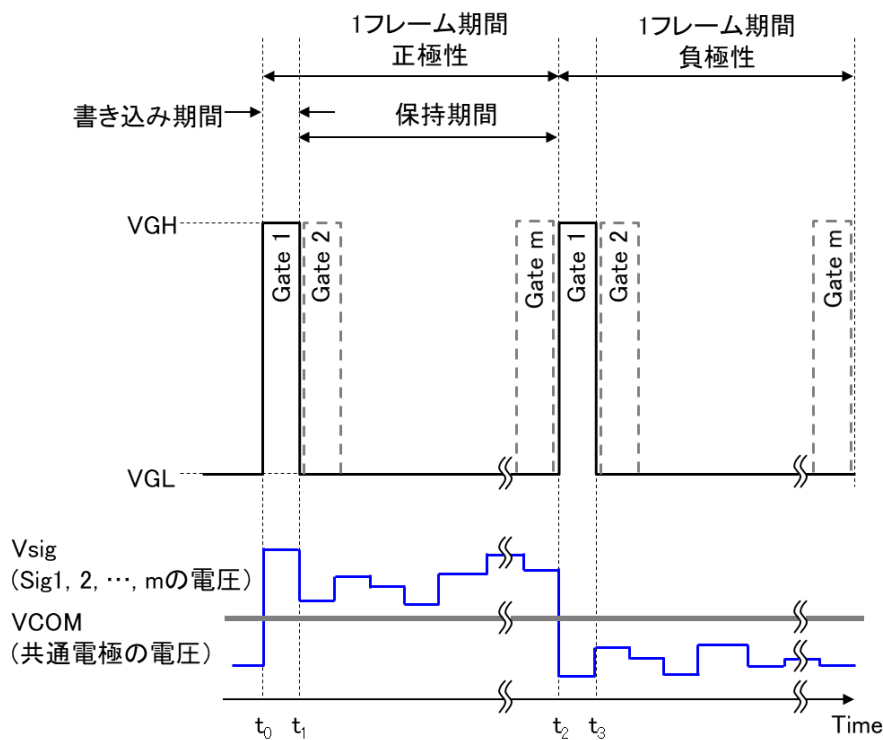


図 2-8 TFT-LCD の駆動タイミング図

### 2.5.2. 画素電圧の書き込み

次に書き込み期間の動作について説明する。各ゲート線に行毎に順次オン電圧を印加することによって各行の画素 TFT をオンさせる。このとき図 2-9 に示すように、液晶画素の表示のための電圧に対応した電圧  $V_{sig}$  が信号線から書き込まれる。このときの電流は画素 TFT のゲート電極、ソース電極、及びドレイン電極への印加電圧に応じて、再掲数式 2-1 及び再掲数式 2-2 で表せる。

$$I_d = \mu \cdot C_{ox} \frac{W}{L} \cdot \left\{ (V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right\}, \text{ 但し } V_{ds} < V_{gs} - V_{th} \quad \text{再掲数式 2-1}$$

$$I_d = \mu \cdot C_{ox} \frac{W}{2L} \cdot (V_{gs} - V_{th})^2, \text{ 但し } V_{ds} > V_{gs} - V_{th} \quad \text{再掲数式 2-2}$$

但し、 $V_{ds}$  はソース電極とドレイン電極の間の電圧、 $V_{gs}$  はソース電極とゲート電極の間の電圧、そして  $V_{th}$  は画素 TFT が導通状態となるために必要な最小電圧 (閾値電圧) である。 $\mu$  は

TFT の電界効果移動度、 $C_{ox}$  はゲート絶縁膜の単位面積当たりの静電容量、 $W$  はチャネル幅、 $L$  はチャネル長である。この電流  $I_d$  が不足すると、書き込み不足電圧  $\Delta V$  が大きくなり、コントラスト比の低下や表示ムラの要因となってしまう。実際の画素設計においては電界効果移動度  $\mu$  を考慮し、必要に応じオン電圧を高くすることにより  $V_{gs}$  を大きくする駆動面の対策、チャネル幅  $W$  を拡大するなどのレイアウト面の対策を行う。但し、オン電圧を高めると駆動のための消費電力が増大するし、チャネル幅  $W$  を大きくすると開口率が減るためバックライトの消費電力が増大してしまう副作用に留意する。

次に LTPS の移動度が高い点がどのように利点となるか説明する。a-Si TFT に対し、LTPS は移動度  $\mu$  が高く、閾値  $V_{th}$  も小さいため、画素 TFT にオン電圧印加する際にゲート線に印加する電圧の振幅は 15V 程度と低くでき、画素 TFT のチャネル幅も細くすることができ(工程で可能な最小値を用いることができる)、開口率<sup>1</sup>向上に大きく寄与する。開口率が高いと、必要な表示輝度を得るためのバックライトの輝度及び消費電力を低減することができ、携帯端末では特に重要視される [17] [52] [53]。

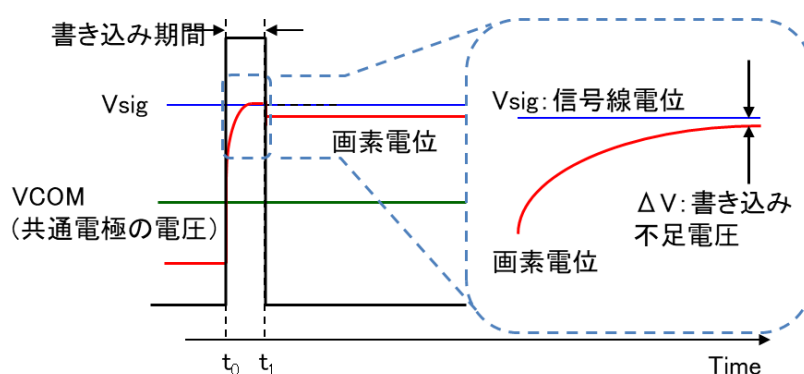


図 2-9 書き込み特性

<sup>1</sup> 画素の面積に対する光透過部の割合。(2.2)参照。

### 2.5.3. 画素電圧の保持

次に保持期間の動作について説明する。保持期間にはゲート電極の電圧がオフ電圧 (VGL)となり、画素 TFT は信号線と画素電極・蓄積容量の間を電氣的に遮断する。次の書き込み期間までの間、蓄積容量の電圧が保持されなければならない。

ここでは、前項で説明した書き込み動作のあとの保持期間中に生じてしまう画素電極の電圧変化について説明し、次にその電圧変化を抑制するための対策として、蓄積容量による対策、次に TFT のリーク電流を低減するための対策(ダブルゲート構造化、遮光層付与)について順に説明する。

はじめに保持期間中の画素電極の電圧変化について説明する。消費電力を低減するため、各画素では書き込まれた電圧は次のフレームの書き込みまでの間(図 2-13 の時刻  $t_1$  から  $t_2$  の間)、画素 TFT によって保持させる。しかし厳密には図 2-10 に示すように、TFT のリーク電流 ( $I_{off}(TFT)$ ) や液晶材料のリーク電流があり、画素電圧は保持期間中に徐々に変化してしまう。この変化が大きいと、液晶に印加される電圧が変化し、コントラスト比が低下してしまったり、フリッカ(ちらつき)が視認されてしまったりし、LCD の表示品位に影響を及ぼす。画素電極の電圧を保持するためには、液晶及び TFT のリーク電流が重要となり、液晶材料の高抵抗化と、TFT のリーク電流対策がされる。また適切な蓄積容量を設けて画素電圧変化を抑制する対策が用いられる。

次に蓄積容量による対策について説明する。リーク電流の影響が画素電極の電圧低下につながるのを避けるため図 2-10 に示すように蓄積容量 ( $C_s$ ) を画素内に設ける。画素容量は  $C_{LC}+C_s$  と増加するため、 $C_s$  無しの場合に比べリーク電流により画素電極の電荷が減少 ( $\Delta Q$ ) してしまった場合の画素電極の電圧変化は  $\Delta Q/(C_{LC}+C_s)$  と、 $C_s$  の分だけ軽減できる [26] [27]。

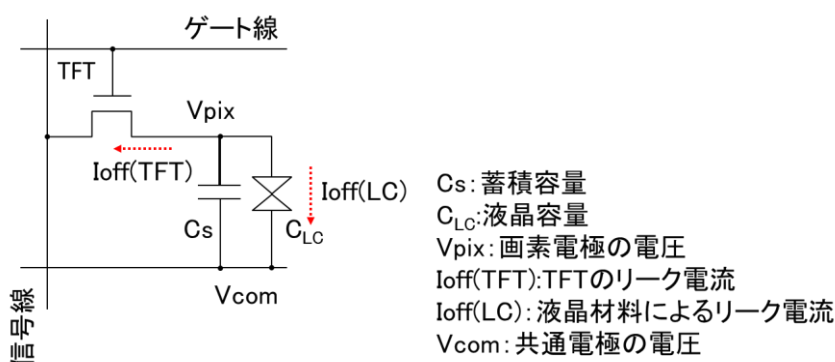


図 2-10 画素のリーク電流

次に TFT のリーク電流対策について説明する。LTPS TFT ではリーク電流はドレイン端での電界集中が大きな要因とされ、対策として LDD 構造(2.3)やバイアス電圧を低減するためのダブルゲート構造を用いる [27]。また、近年の LCD の高精細化のため開口率が低下し、必要な LCD 輝度を確保するためのバックライト輝度が上昇した。これによって、光リーク電流が無視できなくなり、光リーク電流の低減も必要となった。バックライトの輝度が上昇したため、従来は問題にならなかった光リーク電流も低減する必要性が生じ、TFT 下に遮光層を追加する対策が採られるようになった [54] [55]。以下、ダブルゲート構造による対策と、遮光層追加による対策について順に説明する。

まず、ダブルゲート構造による対策について説明する。図 2-11(a)は従来のシングルゲート構造、(b)にダブルゲート構造の TFT の断面図を示す。(b)ダブルゲート構造では左の TFT のドレイン電極(D1)と右の TFT のソース電極(S2)を共通化する。このようにすると信号線の電圧は左の TFT のソース電極(S1)に、画素電極の電圧は右の TFT のドレイン電極(D2)に印加されることになる。信号線電圧と画素電極電圧の差が、左の TFT と右の TFT とで分割半減されることになり、その結果リーク電流が低減される。

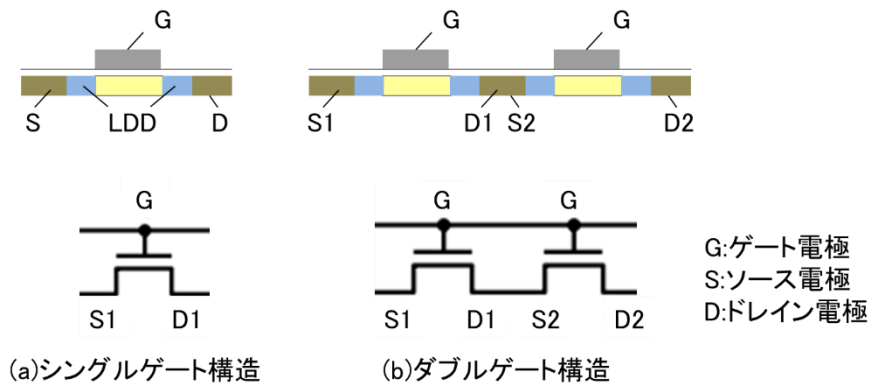


図 2-11 (a)シングルゲート構造と(b)ダブルゲート構造

次に遮光層付与による対策について説明する。図 2-12(a)は従来の遮光層無しの TFT、(b)に遮光層付の TFT の断面図を示す。従来(図 2-12(a)) に対しバックライトから TFT に直接入射する光をブロックできるため光リーク電流を低減できる。

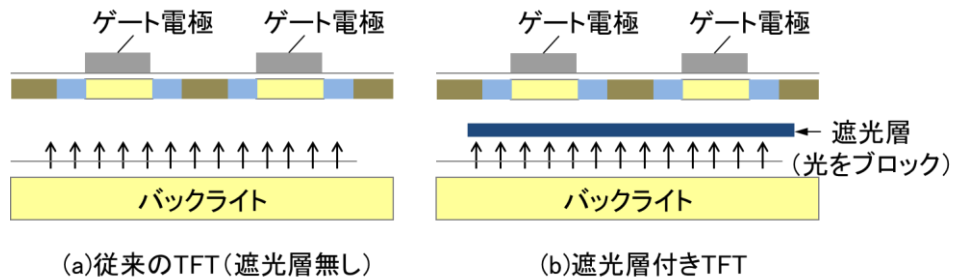


図 2-12 (a)従来の TFT と(b)遮光層付 TFT

第 3 章~第 5 章ではダブルゲート構造かつ遮光層無しを前提とし、第 6 章の低周波数駆動機能の集積化ではダブルゲート構造かつ遮光層付を前提とする。

#### 2.5.4. 交流駆動(極性反転駆動)

最後に、連続するフレームを用いた交流駆動の動作を説明する。LCD では液晶材料の劣化を防ぐために交流駆動(極性反転駆動)を行う必要がある。具体的には、正極性のフレームと負極性のフレームとで信号線から画素に書き込む電圧( $V_{sig}$ )を、共通電極の電圧  $V_{COM}$  に対し、反転させる(図 2-8 青線)。ゲート電極にオン電圧をかける書き込み期間(時刻  $t_0$  から  $t_1$  の間)中に、ソース電極とドレイン電極とが電氣的に導通する。その後、信号線の電圧が画素電極及び蓄積容量に書き込まれる。時刻  $t_1$  にゲート電極の電圧をオフ電圧( $V_{GL}$ )にすると信号線と画素電極の間は電氣的に遮断される。その後、画素側の電圧は、次に同じゲート電極に電圧がかけられまでの保持期間(時刻  $t_1$  から  $t_2$  の間)にわたり保持される。時刻  $t_2$  から次のフレームに移る。前のフレームに対し、液晶を交流駆動するために極性反転駆動する。具体的には信号線電圧  $V_{sig}$  を  $V_{COM}$  に反転させ時刻  $t_2$  から  $t_3$  の間画素への書き込み動作を行う。時刻  $t_3$  以降はゲート電極の電圧をオフ電圧( $V_{GL}$ )とし、保持期間となる。こうすることで全画素の駆動と、液晶の交流駆動が低消費電力にて可能となる。ただし、いくつかの要因により液晶に印加される電圧は非対称となる。非対称になるとフリッカ(ちらつき)という画質への悪影響が生じるため駆動方法による対策がなされる。以下では、液晶に印加される電圧が非対称となる要因のひとつである 2.5.4.1 フィードスルー電圧と、液晶に印加される電圧が非対称になることについての対策である 2.5.4.2 極性反転方式について順に説明する。

##### 2.5.4.1. フィードスルー電圧

ここでは、極性反転駆動の際の正極性と負極性の電圧波形の対称性が損なわれる要因となる、フィードスルー電圧 [56]について説明する。

図 2-13 に示すように、正極でも負極でも TFT がオンからオフに切り替わるとき(時刻  $t_1$  及び  $t_3$ )、画素電圧が、書き込んだ電圧から少し低減する。これはフィードスルー電圧と呼ばれる。これはゲート電極とドレイン電極(画素電極に接続される電極)が容量結合していること、ゲート電圧がオンのときに、ゲート電極とドレイン電極(画素電極に接続される電極)間に蓄えられていた電荷が、ゲート電圧がオフとなったときに画素電極側に散るためなどの要因で起こる。このため、液晶にかかる電圧波形は正極性と負極性とで不均等になる [57]。これを図 2-14 に模式的に示す。この図では、 $V_{COM}$  に対し正極性のときに液晶にかかる電圧の絶対



値が小さめとなり、負極正のときに液晶にかかる電圧の絶対値が大きくなる例を示している。液晶の電圧-透過率特性(図 2-1(b))を考慮すると、正極性よりも負極性のほうが画素の透過率が高くなる(明るくなる)ことになる。これにより正極性と負極性とで 30Hz の明暗を繰り返す。その結果、30Hz の周期の明暗が、フリッカ(ちらつき)が視認されてしまう [58] [59]。そこで、隣接画素間で極性を逆にする工夫が必要となる。詳細を次項で説明する。

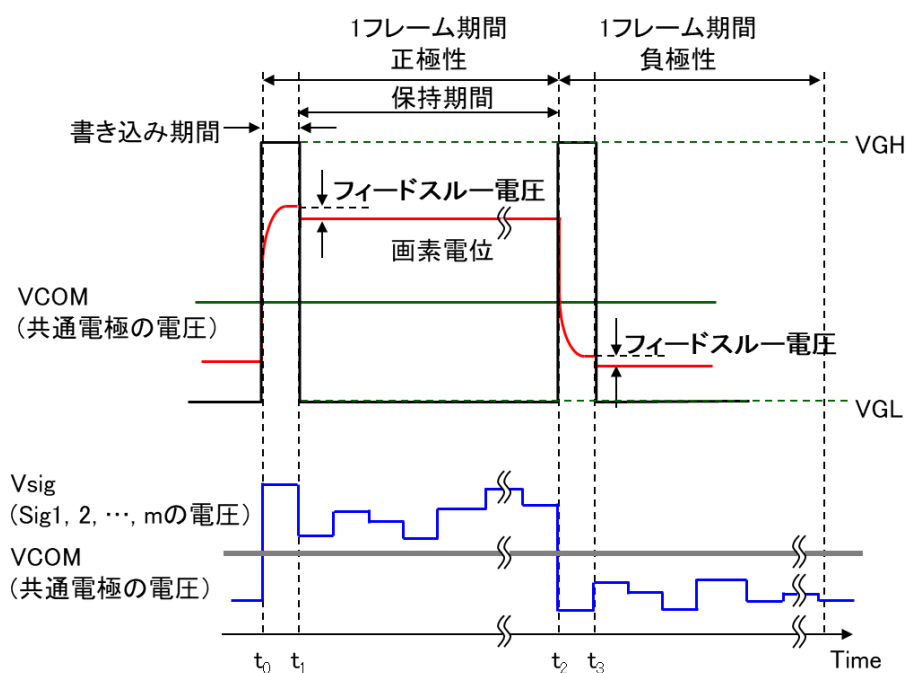


図 2-13 TFT-LCD の駆動タイミング図

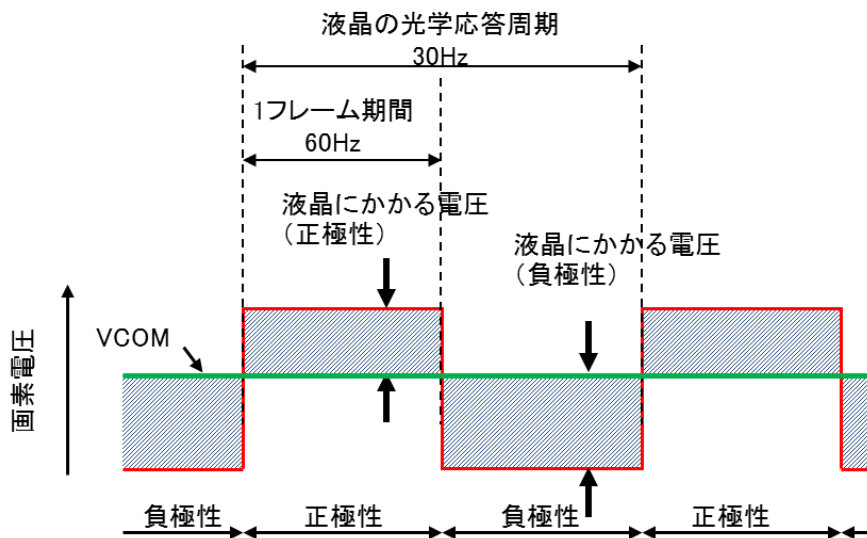


図 2-14 TFT-LCD の極性反転駆動

#### 2.5.4.2. 極性反転方式

フィードスルー電圧等 [60] [61]により液晶にかかる電圧が正負非対称となることに起因するフリッカ(ちらつき)の対策として、隣接画素間で極性を逆にする極性反転駆動で、見かけの光学応答周期を 60Hz にするのが有効である [26]。具体的な極性反転駆動の例を図 2-15 に示す。単純な(a)フレーム反転駆動では偶数フレームでは全ての画素の極性が正極、奇数画素では全ての画素の極性が負極となり光学応答周期は 30Hz になってしまう。この対策として様々な極性変転駆動が用いられる。代表例として、(b)カラム反転駆動 [62] [63]や(c)コモン反転駆動 [64] [63]を挙げた。(b)カラム反転駆動では隣接列毎、もしくは(c)コモン反転駆動では隣接行毎に正極画素と負極画素が隣り合うため、人間の目には平均化され 60Hz の光学応答周期に見えるため、フリッカ(ちらつき)が視認され難くなる。

	(a)フレーム反転	(b)カラム反転	(c)コモン反転																																																
偶数 フレーム	<table border="1"> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> </table>	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	<table border="1"> <tr><td>+</td><td>-</td><td>+</td><td>-</td></tr> <tr><td>+</td><td>-</td><td>+</td><td>-</td></tr> <tr><td>+</td><td>-</td><td>+</td><td>-</td></tr> <tr><td>+</td><td>-</td><td>+</td><td>-</td></tr> </table>	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	<table border="1"> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> </table>	+	+	+	+	-	-	-	-	+	+	+	+	-	-	-	-
+	+	+	+																																																
+	+	+	+																																																
+	+	+	+																																																
+	+	+	+																																																
+	-	+	-																																																
+	-	+	-																																																
+	-	+	-																																																
+	-	+	-																																																
+	+	+	+																																																
-	-	-	-																																																
+	+	+	+																																																
-	-	-	-																																																
奇数 フレーム	<table border="1"> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> </table>	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	<table border="1"> <tr><td>-</td><td>+</td><td>-</td><td>+</td></tr> <tr><td>-</td><td>+</td><td>-</td><td>+</td></tr> <tr><td>-</td><td>+</td><td>-</td><td>+</td></tr> <tr><td>-</td><td>+</td><td>-</td><td>+</td></tr> </table>	-	+	-	+	-	+	-	+	-	+	-	+	-	+	-	+	<table border="1"> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>+</td><td>+</td><td>+</td><td>+</td></tr> </table>	-	-	-	-	+	+	+	+	-	-	-	-	+	+	+	+
-	-	-	-																																																
-	-	-	-																																																
-	-	-	-																																																
-	-	-	-																																																
-	+	-	+																																																
-	+	-	+																																																
-	+	-	+																																																
-	+	-	+																																																
-	-	-	-																																																
+	+	+	+																																																
-	-	-	-																																																
+	+	+	+																																																

図 2-15 TFT-LCD の極性反転駆動

代表例のカラム反転駆動とコモン反転駆動について、実際の駆動波形を図 2-16 に示す。コモン電圧とは図 2-1 に示すコモン電極に印加する電圧であり、画素電圧とは図 2-1 に示す画素電極に印加する電圧である。液晶はコモン電圧と画素電圧の電圧差に基づいて輝度を制御される。

カラム反転駆動は、図 2-16(a)に示すように、基準となるコモン電圧を一定とし、画素電圧は表示により異なる階調電圧(64 段階:L0, L1, …, L63)をその上下に大きく極性反転する駆動方法である。このためドライバ IC の出力電圧範囲は 9V 程度となる。

コモン反転駆動は、図 2-16(b)に示すように、基準となるコモン電圧自体を上下に反転させる。画素電圧は表示により異なる階調電圧(64 段階:L0, L1, …, L63 と表記する)をコモン電圧に対し上下に電圧をかける駆動方法である。その分、液晶画素に必要な電圧範囲、すなわち、ドライバ IC の出力電圧範囲は 4V 程度と縮小でき、ドライバ IC の駆動電圧も半減できる。その結果、ドライバ IC の消費電力を低減することができる。

どの極性反転駆動を選択するかは消費電力の点から決める。コモン反転駆動のための消費電力よりもドライバ IC の低消費電力化効果が大きければコモン反転駆動が選択される。携帯端末などの小型画面の LCD では、コモン容量が小さく、コモン反転駆動のための電力は大きくないため、コモン反転駆動が選択される。第 3 章ではコモン反転駆動を採用する点の一つのポイントとなっており、後述する。第 4 章から第 6 章ではカラム反転駆動を前提とする。

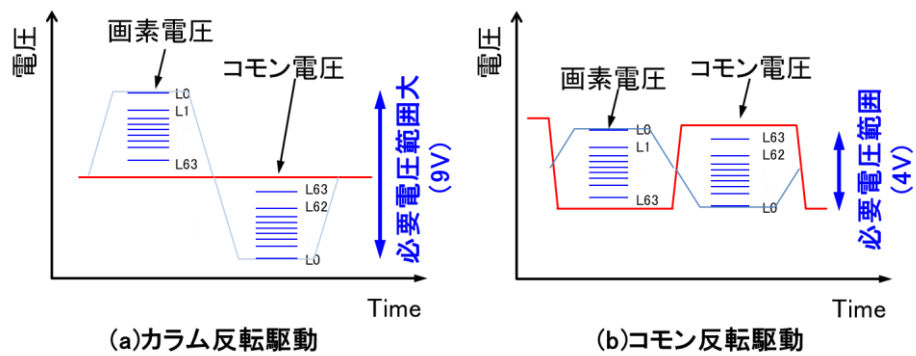


図 2-16 コモン反転駆動とアナログバッファの必要出力電圧範囲

## 2.6. TN 液晶と IPS 液晶

ここでは、代表的な TN 液晶と IPS 液晶方式について説明する。図 2-17 に TN (Twisted Nematic) 方式 [65]と IPS(In Plane Switching)方式 [66] [67] [68]とを示した。(a)TN 方式は TFT 基板側の画素電極とカラーフィルタ基板側の内面に形成される共通電極の間の縦電界により液晶を制御する。透過率が高く動作温度範囲も広い特長を持つため、昔から、電卓、時計、パソコン向け及び携帯端末向け LCD 等で広く用いられている。ただ、視角特性が狭い点が課題とされていた。(b) IPS 方式は視野角が広い特徴をもつ。IPS 方式は、TFT 基板側に形成される画素電極と、やはり TFT 基板側に形成される共通電極との間に形成される横電界により液晶を制御する。より具体的には、2.7 で説明する。なお、カラーフィルタ基板の内面には電極は設けない。但しカラーフィルタ基板の外面には透明電極等でシールド層を形成し液晶を静電気から保護する。スマートフォン用の LCD では、画質の点で視野角特性が求められ、TN から IPS に主流の方式が変化した。

第 3 章では TN 液晶を前提とする。第 4 章から第 6 章では IPS 液晶を前提とする。

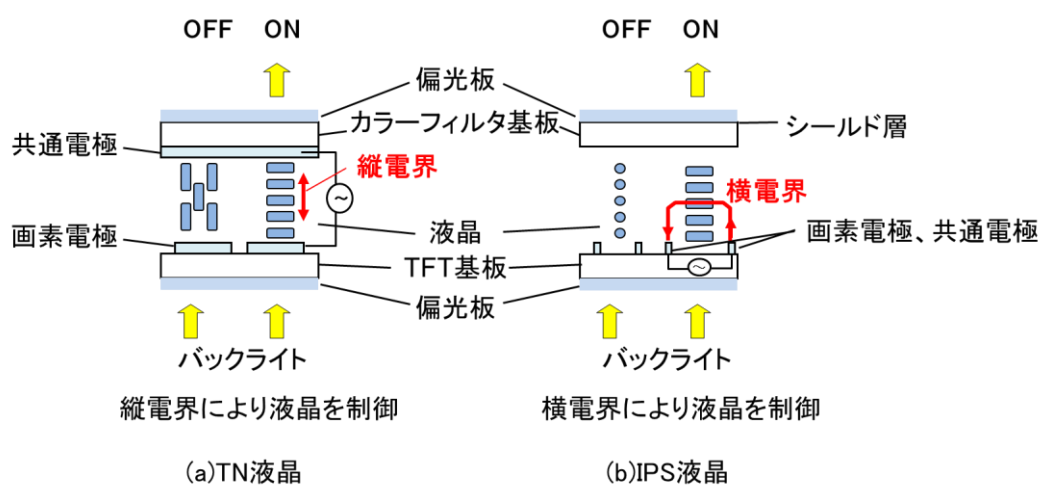


図 2-17 液晶の方式 (a)TN 液晶、(b)IPS 液晶

## 2.7. 画素レイアウト

ここでは、スマートフォン向け LCD で主流となっている IPS 液晶の画素レイアウト [69]について説明する。まず、画素の構成要素を説明し、次に構成要素同士を接続するコンタクトホール、次に画素電極の電圧を保持するための蓄積容量(図 2-10)、次に画素 TFT のダブルゲート構造及び遮光層(図 2-11、図 2-12)の部分について説明し、最後にデザインルール<sup>1</sup>について簡単に説明する。

はじめに、IPS 液晶の副画素のレイアウト図を図 2-18(a)に示す。構成要素として、横方向にゲート線、縦方向に信号線、これらの交点付近に画素 TFT、及び画素電極がある。さらにこれらを接続するためのコンタクトホールを図示した。

次にコンタクトホールについて説明する。コンタクトホールは信号線と TFT、もしくは TFT と画素電極を接続するためのものである。図 2-18B-B'線の断面図を図 2-19(a)に、図 2-18C-C'線の断面図を図 2-19 (b)に示した。画素 TFT と信号線の間、画素 TFT と画素電極の間には、いずれも絶縁層や平坦化層があり電気的には絶縁されてしまう。そこで導通をとるために絶縁層や平坦化層に穴を形成し、上下の電極が電気的に接続されるようにする。これによって、(b)信号線と画素 TFT、(c)画素 TFT と画素電極が電気的に接続される。

次に IPS 液晶画素での蓄積容量(図 2-10)のレイアウトについて、図 2-18(b)の断面図を参照しながら説明する。(a)画素平面図の A-A'線での断面図を(b)断面図に示した。IPS 液晶の画素では、コモン電極そのものが図 2-18 の様に TFT 基板の画素電極の下に敷かれている。その上に絶縁層(SiN)を積層し、さらにその上に画素電極を形成する。このようにして、コモン電極と画素電極の間で蓄積容量が形成される。

次に画素 TFT について説明する。画素 TFT は点線(赤)で囲んで示した。poly-Si(オレンジ色)を 90° 折れ曲がる形にして、ゲート電極が直行するように配置する。このようにして図 2-11 で説明したダブルゲート構造の TFT をレイアウトし、TFT に印加される信号線-画素電極間電圧を半減することによりリーク電流が低減する。さらに工程を追加し、TFT の下に遮光層

---

<sup>1</sup> 設計に使うことができる最小寸法のこと。各パターンに用いる膜や、そのパターン形成工程から決まる。

を島状に形成する。このようにして、図 2-12 で述べた遮光層がレイアウトされる。遮光層が形成されることによって、図 2-1 の斜視図のように TFT-LCD を構成した場合に、バックライトの光は遮られ TFT のチャンネル部に直接入射することがなくなり光リーク電流が低減される [54] [55]。

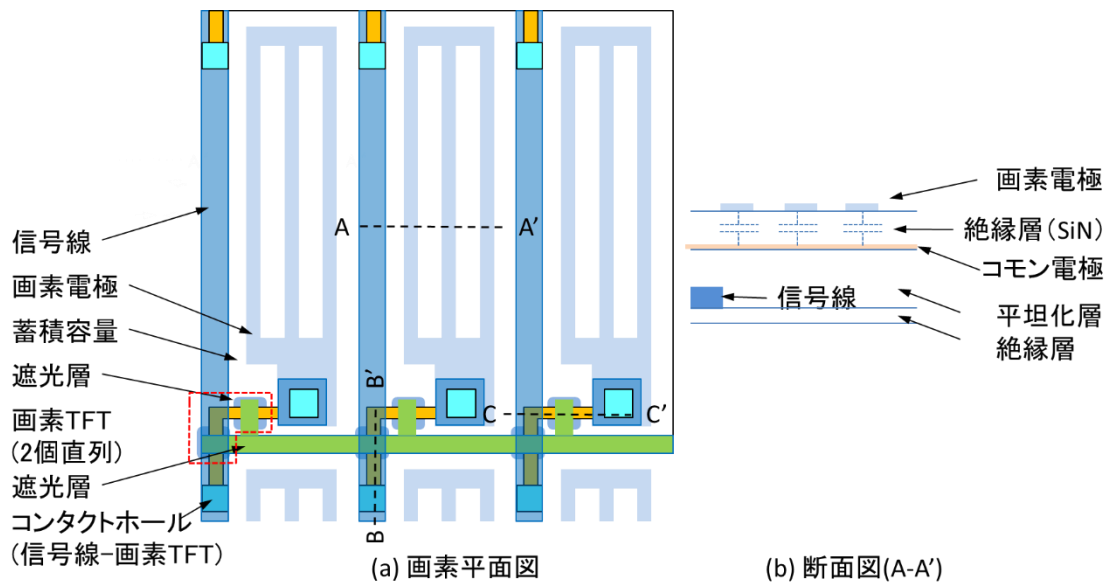


図 2-18 IPS 液晶用の(a)画素平面図及び(b)断面図

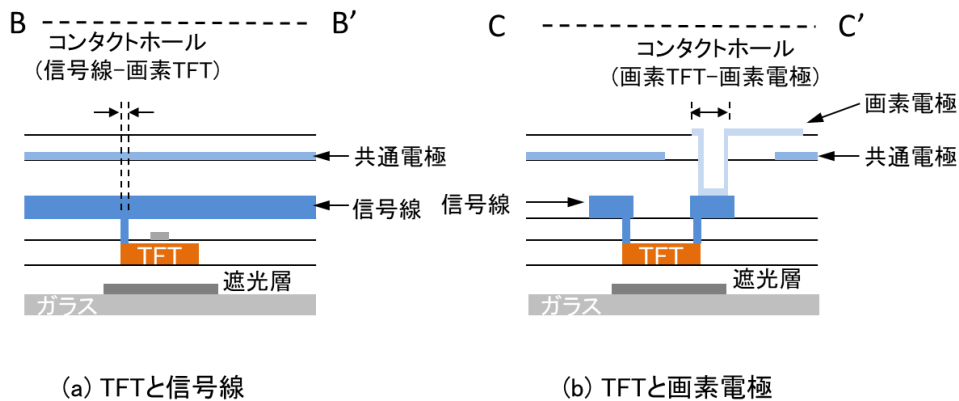


図 2-19 コンタクトホール断面図 (a)TFT と信号線 (b)TFT と画素電極

最後にデザインルールについて簡単に説明する。デザインルールとは各レイアウト要素(画素電極、信号線、ゲート線、…) で用いることができる最小線幅のことである。以下、まず、各レイアウト要素を形成するための TFT 工程での加工工程について説明し、その上で、画素のデザインルールについて説明する。

はじめに TFT 工程での加工工程について説明する。TFT 基板のパターン形成工程では、成膜・レジスト(感光性の保護膜)パターン形成・エッチング工程(レジストで保護されていないところの膜を除去する)を行う。レジストパターン形成では、フォトマスク<sup>1</sup>と紫外線光を用いるため、フォトリソグラフィ<sup>2</sup>工程と呼ばれる。図 2-20 に poly-Si 膜の加工プロセスの例を示す。

まず、(a)加工対象となる膜(この場合 poly-Si 膜)がアンダーコート層の上に形成される。

次にレジスト形成工程にて(b)加工したい膜の上にレジスト(フォトレジスト)と呼ばれる紫外線光に対して化学反応する材料を塗布し保護膜を成膜する。

次に(c)フォトマスクを通して紫外線光をレジスト表面に照射(露光という)する。レジストは光が照射されたところ変質し、現像を行うとフォトマスクのパターンと同じパターンを作ることができる。ここまでのレジスト形成工程である。

次にエッチング工程となる。これは、(d)レジストに保護されていない部分の膜を除去し、膜全体をレジストパターンと同じパターンに加工するための工程である。具体的には、エッチングに適したガス(フロン(CF<sub>4</sub>)や酸素(O<sub>2</sub>)など)にさらすことによって膜を削る。その間にレジストも徐々に削られるが、レジストが覆っていない(保護していない)ところのみエッチングが進行する。最後にレジストを除去すれば膜のパターン加工が完了する。

このようにして各構成要素に対し加工がされる。膜の材質、(b)(c)で用いるレジストの性質、紫外線光の波長、及び(d)エッチング工程により最小線幅が左右される。フォトリソグラフィ工程(特に、レジスト、マスク露光の部分)は、加工線幅を優先するものと、加工線幅よりも生産性(スループット)を優先するものがある。どちらを用いるかは、画素の開口率の点から決めるこ

---

<sup>1</sup> 石英ガラスに Cr のパターンが形成され、紫外線光を透過させたり部分的に遮ったりする。

<sup>2</sup> フォトマスク上のパターンをガラス基板上の膜に転写すること。



とが多い。図 2-18 の画素で開口率を高めるには、信号線をできるだけ細くし、コンタクトホール(信号線一画素 TFT)をできるだけ小さくすることが重要である。そこで、加工線幅を優先するフォトリソグラフィ工程をコンタクトホールや信号線の加工工程に適用し、これらは  $1.5\ \mu\text{m}$ ~ $2\ \mu\text{m}$  程度のデザインルールとなる。その他は加工線幅よりも生産性を優先し、 $3\ \mu\text{m}$ ~ $5\ \mu\text{m}$  程度のデザインルールを用いる。画素 TFT のチャンネル幅の形成には  $3\ \mu\text{m}$  程度のデザインルールを用いるのが通常である。

第 6 章低周波数駆動機能の集積化では、画素 TFT のチャンネル幅を  $1.5\ \mu\text{m}$  に縮小する技術に踏み込む。

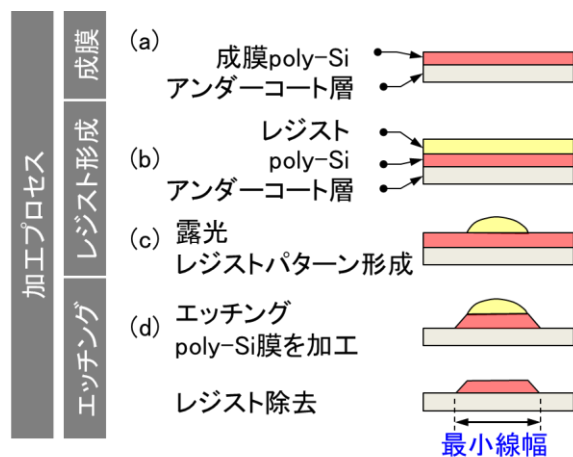


図 2-20 加工プロセス(poly-Si)

## 2.8. 代表的な集積化回路ブロック図

LTPS TFT では、移動度の高い PMOS-TFT と NMOS-TFT を形成できることから画素領域のアクティブマトリクスのみならず、ゲート線駆動回路や信号線駆動のための回路が LCD パネルの額縁部分に集積化されていった。各時代の集積化の技術背景として、その主要なもの回路ブロック図を年代順に説明する。

### 2.8.1. DAC-IC 方式

1999 年頃用いられていた回路構成 [49] [70]を 図 2-21 に示す。第 1 世代として説明した 図 2-7(b)の回路ブロック図を携帯端末向けに適用している。これを携帯端末向け LCD にも適用し、図 2-21 の回路ブロック図とすることにより、ドライバ IC の個数を a-Si TFT-LCD に対し削減する狙いである。以下、このブロック図の部品構成と回路動作について説明する。

はじめに、部品構成について説明する。周辺 IC としてドライバ IC(2 個)、電源 IC、及び LCD コントローラがある。これらは駆動基板上に実装されフレキシブル印刷回路 (Flexible printed circuit:FPC)を用いて LCD パネル (TFT 基板とカラーフィルタ基板の部分のこと)と接続される。LCD パネルの TFT 基板には、表示のための画素部のほか、画素のゲート電極を駆動するためのゲート線駆動回路、及び信号線にドライバ IC の出力を書き込むための選択回路とシフトレジスタが LTPS TFT 用いて集積化される。また、電源 IC から、TFT 基板及び LCD の動作に必要な電源(VGH、VGL、共通電極電圧 VCOM など)が供給される。

次に回路の動作について説明する。LCD コントローラがデジタル画像データをドライバ IC に出し、ドライバ IC がデジタル画像データ (DATA)を LCD の表示に合わせた電圧  $V_{sig}$  に変換 (Digital-to-analog conversion:DAC)し TFT 基板に出力する。2 個のドライバ IC (DAC) の出力 (数十本)が TFT 基板に供給される。これをどの信号線に書き込むかを選択回路により切り替える。この切替えのタイミングはパネルに集積化されるシフトレジスタが指定する。さらに信号線から各画素への書込みタイミングはゲート線駆動回路により指定される。このように、ドライバ IC の出力を書き込む信号線と、それをどの行の画素に書き込むかを指定するゲート線とを順次走査することにより、全ての画素に液晶画素の表示に対応した電圧を書き込むことができる。

第3章のデジタル/アナログ変換機能の集積化は、この回路ブロック図を前提とする。この回路をベースとして、小型化や低コスト化を狙い、ドライバ IC の機能の集積化を図るものである。また、第4章の光センサ機能(周囲光センサ機能)集積化は、この回路ブロック図を前提とする。ここから操作性改善を狙い、画像読取り機能の集積化を図るものである。

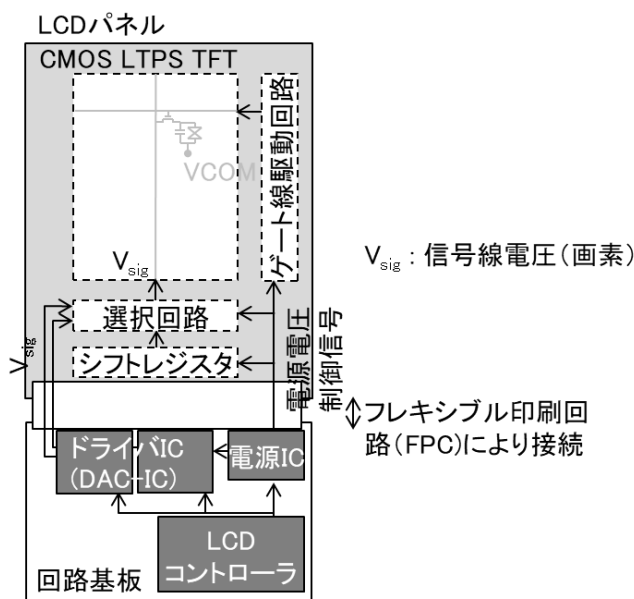


図 2-21 回路ブロック図(DAC-IC 方式)

## 2.8.2. ソースドライバ IC 方式

2003 年頃から、携帯端末向け LCD の画素数が増加した。DAC-IC 方式よりも IC からの出力本数を増すために、図 2-22 に示すソースドライバ IC 方式の回路構成が用いられるようになった。DAC-IC 方式では同時に書き込める信号線の本数が数十本であったが、ソースドライバ IC 方式では同時に書き込める信号線の本数が数百本以上に増加させること、及び周辺 IC を統合により削減することを狙い開発された。以下、部品構成と回路の動作について説明する。

はじめに部品構成を説明する。図 2-21 での 2 個のドライバ IC をソースドライバ IC としてひとつにまとめ、パネルを駆動するための電源回路、及び LCD コントローラの機能もソースドライバ IC に統合した。パネルで用いる電源 (VGH、VGL、共通電極電圧 VCOM など) もソースド

ライバ IC から供給される。パネルには選択回路のためのシフトレジスタは不要となった。代わりに、ソースドライバ IC からパネルの選択回路を制御する信号 (SEL) を出力する。また、ソースドライバ IC はガラス基板上に貼り付けられる (実装される) ようになり、Chip on glass (以下、COG と略記) 実装方式と呼ばれる [71]。COG のための領域が必要なので、LCD パネルの下辺縁は増大するが、かわりに、ドライバ IC と LCD パネルの間をフレキシブル印刷回路 (Flexible print circuit、以下 FPC と略記) で接続する必要がなくなり、その点で小型化になる。

次に回路の動作について説明する。外部から送られるデジタル画像データ (DATA) を受け、ソースドライバ IC から画素の表示に対応した電圧  $V_{sig}$  が TFT 基板に出力される。また、TFT 基板の選択回路を制御する信号 (SEL) も出力され、どの信号線に書き込むか切り替えるのに用いられる。また信号線に書き込まれた電圧をどの画素に書き込むかはゲート線駆動回路が出力するゲート電圧により決まる。この点は DAC-IC 方式と同様である。

第 4 章の光センサ機能 (画像読み取り機能) の集積化は、この回路ブロック図を前提とする。ここから小型化を狙い周囲光センサの集積化等を進めるものである。

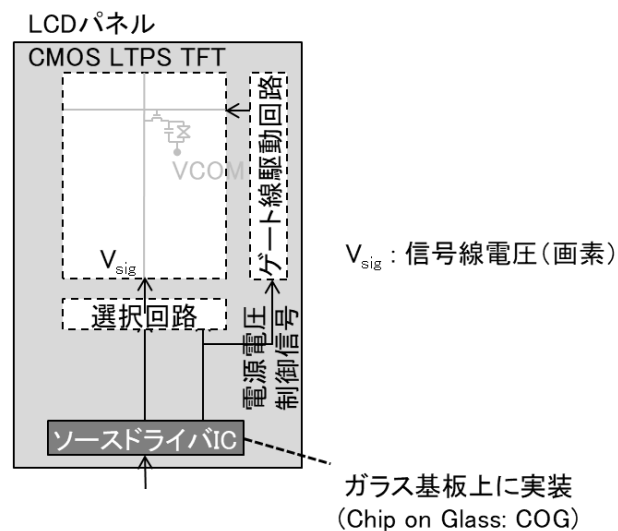


図 2-22 回路ブロック図(ソースドライバ IC 方式)

### 2.8.3. PMOS 方式

2008 年頃から、TFT 基板を低コスト化するために、一部の廉価製品では、図 2-23 に示す PMOS 方式の回路構成が用いられるようになった [72] [73]。前項との違いは、TFT 基板が CMOS でなく、PMOS であるという点である。PMOS 化は LCD パネルを低コスト化するために、図 2-22 の選択回路とゲート線駆動回路を CMOS でなく、PMOS のみで形成する。その結果、TFT 基板の形成プロセスにおいて、2 つのイオン注入工程 (n+型領域形成工程と、LDD 領域形成工程) を除くことができる。ソースドライバ IC は COG 実装のものと、ガラス基板外に実装されるものがあった。図 2-23 はガラス基板外に実装されるものとして記した。

第 5 章の静電容量センサ機能の集積化は、この回路ブロック図を前提とする。これをベースに、小型化を狙いタッチパネルを集積化するものである。

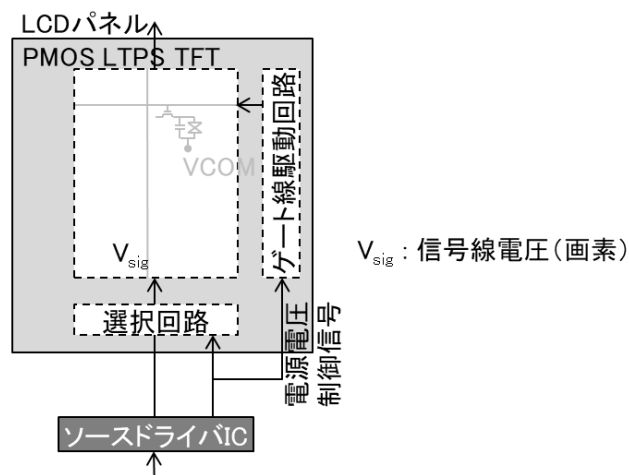


図 2-23 回路ブロック図(PMOS 用ソースドライバ棒式)

#### 2.8.4. 静電容量センサ集積型

2012 年頃には、静電容量タッチパネル付 LCD の薄型化のために、IPS 液晶(図 2-17(b))を前提に、LCD に静電容量センサを集積化が進んだ [74] [75]。図 2-24 に示す回路構成が用いられるようになった。以下、部品構成と回路動作について説明する。

はじめに、部品構成について説明する。表示のためのソースドライバ IC が従来どおり LCD パネルの TFT 基板上に実装(COG)される点は従来のソースドライバ IC 方式と同じであるが、センサ用 IC とセンサ用回路が追加となる点が異なる。TFT 基板上の集積化回路としては、センサ用回路が追加される。選択回路及びゲート線駆動回路は図 2-22 と同じである。また、静電容量センサの機能のために図 2-25 に示すように、(a)従来全面でつながっていた共通電極及びシールド層をそれぞれストライプ状に(b)のように分割し、タッチパネルとして動作させる際に、それぞれ Tx 電極及び Rx 電極として用いる点が異なる。

次に動作について説明する。表示のための動作は図 2-22 と同じであり、タッチパネル機能に関連する部分が追加される。静電容量センサの動作はストライプ状に分割された共通電極及びシールド電極を用いて以下のように行う。センサ用 IC から出力される信号(Tx)を TFT 基板上に集積化されたセンサ用回路に出力する。センサ回路が、この Tx 信号をどの共通電極に印加するか切り替える。一方、Rx 電極(カラーフィルタ基板側のストライプ状に分割されたシールド層(図 2-17(b)))は全てセンサ用 IC に接続されている。Tx 信号により共通電極を駆動した時の Rx 電極の応答の仕方から静電容量の変化が起きた共通電極ストライプと、シールド電極ストライプが特定できるようになった。つまりタッチにより静電容量変化が起きた座標も特定できるようになることになった。この方式で静電容量センサ機能の集積化が実用化された。

第 6 章低周波数駆動機能の集積化は、この回路ブロック図を前提とし、低消費電力化と画質向上の両立を図るものである。



## 第3章 デジタル/アナログ変換機能の集積化

### 3.1. 期待

2001年頃から3G携帯電話の市場が拡大し、液晶が幅広く採用され、第1世代のLTPS TFT-LCDが用いられた。図3-1の集積化前の図に示すように、第1世代では液晶パネルとその外側に駆動基板が配置されていた。駆動基板はフレキシブル印刷回路(Flexible print circuit: FPC)を用いて液晶パネルに接続される。駆動基板上にはドライバIC(2個)や電源ICなどが搭載されていた。このため、携帯電話の画面は額縁面積が広く取られており、携帯端末の限られた寸法制約の中では十分な液晶画面サイズが確保できなかった。

一方で、携帯画面では通話機能だけでなく、様々なアプリケーションが用いられるようになり、画面サイズ拡大の期待が高まった。同時に携帯電話の携帯性向上も求められ、製品サイズは急速に小型化されていった。第1世代のLTPS TFT-LCDでは、駆動基板上にドライバICを2個用いていた[48]ため、これを低温ポリシリコン(LTPS)で集積化することで小型化・ドライバIC削減が期待された。

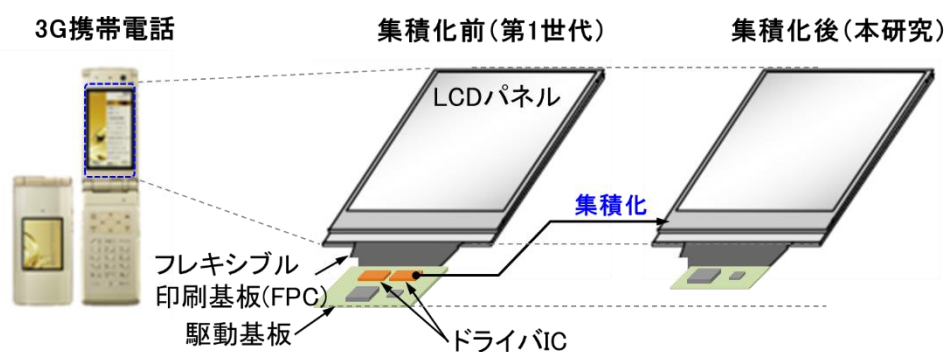


図 3-1 3G 携帯電話向け LTPS TFT-LCD

### 3.2. 背景

#### 3.2.1. デジタル/アナログ変換機能とは

はじめに、従来のドライバICが担っていた機能を説明し、次に従来のLTPS TFT-LCDの構成と、最後にドライバICの機能が集積化されたLTPS TFT-LCDについて説明する。



はじめにドライバ IC の機能を説明する。ドライバ IC は、①デジタル画像データを受けて保持し、これを②各液晶画素の表示に対応したアナログ電圧に変換し、③信号線・画素に出力する(書き込む)、といった 3 つの役割を担う。これをひとことで「デジタル/アナログ変換機能」と呼ぶ。画像データは R, G, B の各副画素に対し 6 ビットで構成され(2<sup>6</sup>=)64 階調の表示のための電圧に変換する必要があった。変換後の電圧に誤差があると LCD の表示としてみたときにスジ、ムラなどの表示不良となってしまう。このため変換には高精度が要求され、最も厳しい階調では誤差電圧は 20mV 以下が求められていた。ドライバ IC は、このように高精度な変換と信号線・画素への書き込みの役割を担っていた。この機能をデジタル/アナログ変換機能と呼び、本論文では LTPS を用いて LCD への集積化に取り組む。

次にデジタル/アナログ変換機能を集積化する前後での回路構成の差異を説明する。図 3-2 にデジタル/アナログ変換機能を集積化する前後の LTPS TFT-LCD の回路ブロック図を示す。いずれも、LTPS TFT-LCD は液晶パネル(LCD パネル)と、半導体 IC などの駆動部品が実装された駆動基板とからなり、フレキシブル印刷回路(FPC)により接続されている。液晶パネルの TFT 基板に LTPS を用いた諸回路が集積化される。集積化の前後で、駆動基板上に配置される回路と、LCD パネル上に集積化される回路の構成がそれぞれ変化する。

従来の LTPS TFT-LCD について、図 3-2(a)を用いて説明する。CPU などから送られてくるデジタル画像データは LCD コントローラと呼ばれる IC に格納される。LCD コントローラは所定の周期でデジタル画像データ(DATA)をドライバ IC に出力する。ドライバ IC は、入力されるデジタル画像データに基づいて液晶の駆動のためのアナログ電圧を液晶パネルに出力する。液晶画素は交流駆動する必要があるため、正極用と負極用の、合計 2 個のドライバ IC が用いられる。液晶パネルにはシフトレジスタ、選択回路及びゲート線駆動回路が集積化されている。選択回路はドライバ IC からの出力電圧を液晶パネルのどの信号線に書き込むかを切り替える(選択する)。この切替え(選択)のタイミングはシフトレジスタから指定される。ゲート線駆動回路は信号線に書き込まれた電圧をどの行の画素に書き込むかを定める。これらにより、ドライバ IC から出力されたアナログ画素電圧をどの信号線・画素に書き込むか切り替えられる。以上の動作を所定の周期で繰り返すことによって、全ての画素にアナログ画素電圧が書き込まれる。この画素電圧とコモン電極電圧の差が液晶印加電圧となり各画素の輝度/透過率に対応する。

次にデジタル/アナログ変換機能を集積化した LTPS TFT-LCD について、図 3-2 (b)を用いて説明する。図 3-2 (a)のドライバ IC が無くなり、デジタル/アナログ変換機能が液晶パネルに集積化される。従来、シフトレジスタ、選択回路及びゲート線駆動回路のみが集積化されていたところに、デジタル回路、D/A 変換部、さらにアナログバッファが追加される。ここでは入力されるデジタル画像データをデジタル回路で保持、デジタル画像データに基づいて液晶画素を駆動するためのアナログ電圧を D/A 変換部で生成、D/A 変換部が生成したアナログ電圧をアナログバッファで電気的な負荷(容量)の大きい信号線・画素に正確に(誤差電圧を生じさせずに)補正、最後に選択回路でどの信号線に書き込むかを選択する、という機能を担う。なお、従来のシフトレジスタは、タイミング回路として集積化された。これは LCD コントローラから出力されるタイミング基準信号をもとに、選択回路のみならず、デジタル回路、D/A 変換部、及びアナログバッファの動作タイミングを決める制御信号も出力する回路である。

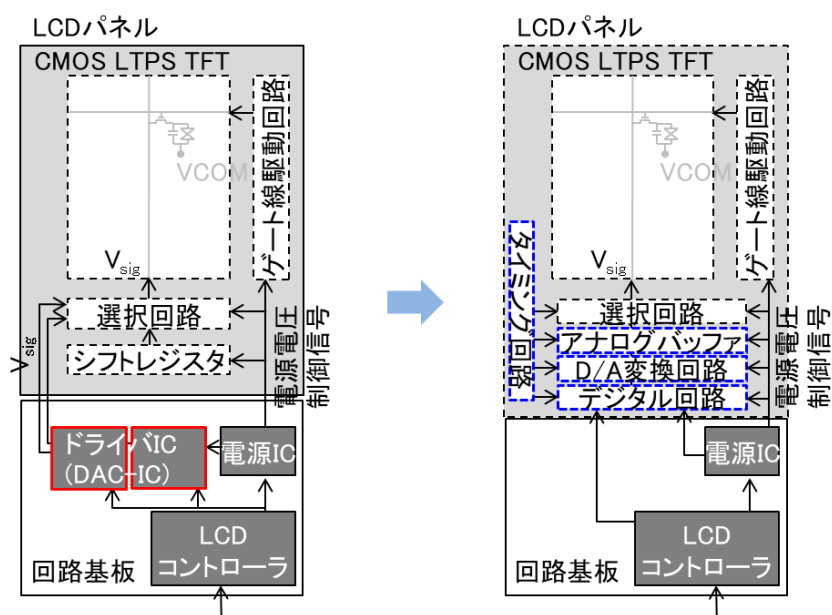


図 3-2 デジタル/アナログ変換機能の集積化

### 3.3. 課題

#### 3.3.1. 課題概要

小型化の期待に応えるため、ドライバ IC 等を液晶パネルに集積化することが求められた。しかし、当時の先行報告 [76]では LTPS による集積化回路を駆動するための駆動電圧が 10V 以上と高かった。この影響で消費電力が高まり、集積化実現の大きな制約になっていた。本研究では消費電力低減を集積化の課題と捉え、集積化するデジタル/アナログ変換回路の駆動電圧を、従来の 10V 以上のレベルから 5V 程度に半減することを狙った。

デジタル/アナログ変換回路の駆動電圧低減の実現のためには、デジタル回路部、D/A 変換部、及びアナログバッファの構成要素全てを低電圧化する必要がある。具体的な課題は2つある。一つ目はデジタル回路部では、低電圧化により動作速度が低下することでデジタル画像データを読み込めなくなる課題がある。二つ目にアナログバッファ部分の誤差電圧に関する課題がある。

この中でデジタル回路部の動作速度の課題については低電圧化のキー技術であるが、他論文で言及されている [77]。デジタル回路部で用いる TFT の電流量を増加させることにより動作速度を高める。具体的には、数式 2-1 及び数式 2-2 を考慮する。

$$I_d = \mu \cdot C_{ox} \frac{W}{L} \cdot \left\{ (V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right\}, \text{ 但し } V_{ds} < V_{gs} - V_{th} \quad \text{再掲数式 2-1}$$

$$I_d = \mu \cdot C_{ox} \frac{W}{2L} \cdot (V_{gs} - V_{th})^2, \text{ 但し } V_{ds} > V_{gs} - V_{th} \quad \text{再掲数式 2-2}$$

TFT のチャネル長 (L) を短くし (5  $\mu$  m  $\rightarrow$  3  $\mu$  m)、かつゲート絶縁膜を薄く (130nm  $\rightarrow$  80nm) しゲート絶縁膜の容量 ( $C_{ox}$ ) を大きくすることにより、デジタル回路部の駆動電圧を低電圧化しても十分オン電流を確保できるようにする。本研究ではこれを前提とし、動作速度の課題を解決した。このため、残る課題はアナログバッファの誤差電圧の課題となる。これが対策できれば集積化が可能となる。

以下、はじめに、アナログバッファの役割、次にアナログバッファの従来技術との関係、最後に、アナログバッファの低電圧化の課題の順に説明する。

### 3.3.2. アナログバッファの役割

アナログバッファの低電圧化の課題の具体的な説明の前に、アナログバッファの役割を図 3-3 で説明する。デジタル画像データは D/A 変換されアナログ電圧となり、信号線を通じ画素に書き込まれる。しかし、生成されるアナログ電圧は消費電力を削減のため、電流は極小に絞られている。図 3-3 に示すように、信号線にアナログ電圧を直接書込んでしまうと、信号線自体の容量値や抵抗値などの影響により D/A 変換部が正確な電圧を維持できなくなってしまう。

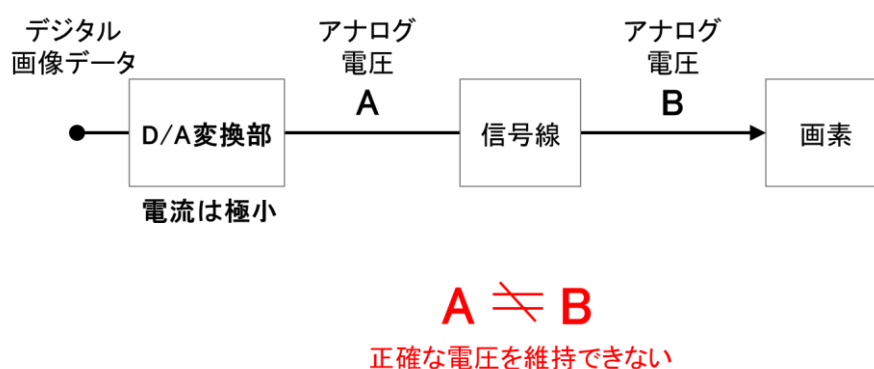


図 3-3 アナログバッファが無い場合の D/A 変換部と信号線の関係

そこで、正確なアナログ電圧を維持するためにアナログバッファを図 3-4 に示すように D/A 変換と信号線の上に配置する。アナログバッファは D/A 変換部に電圧変動を生じさせずに、後段の信号線・画素に同じ電圧を書込むための回路である。

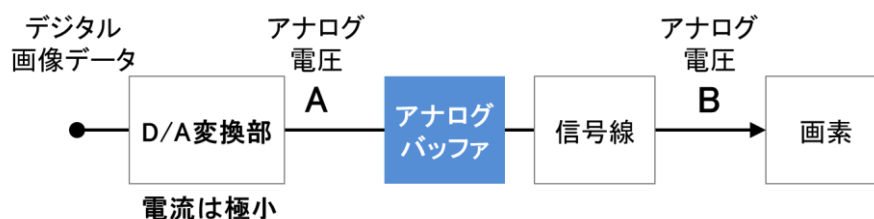


図 3-4 アナログバッファの役割

次にアナログバッファの回路を図 3-5 を用いて説明する。入力端子を二つ(+入力と-入力)、差分増幅部と出力部を備える。D/A 変換部からアナログ電圧に変換された入力電圧

( $V_{in+}$ )を+入力端子に入力する。出力電圧( $V_{in-}$ )を-入力端子に入力し、差分増幅部でこれらの差分を増幅し、出力部で出力電圧を変化させ、誤差電圧が小さくなるよう出力する。アナログバッファとしては、結晶シリコン半導体(Si MOSFET)では、オペアンプ [78]が主に用いられる。アナログバッファの代表例として具体的なオペアンプの回路図の例を図 3-6 に示す。入力端子を  $V_{in-}$ と  $V_{in+}$ の二つ、差分増幅部と出力部が図のように構成され  $V_{out}$  が出力される。しかし従来は差動増幅段で、電源と GND の間に TFT を 3 つ直列に挿入(図 3-6 の M1-M2-M3, 及び M1-M4-M5)する必要があった。そして各段の TFT を機能させるためにそれぞれの TFT の両端(ソース電極端とドレイン電極端)にかける電圧がそれぞれ必要なため、低電圧化は困難で、特にアナログバッファの低電圧化が課題だった。

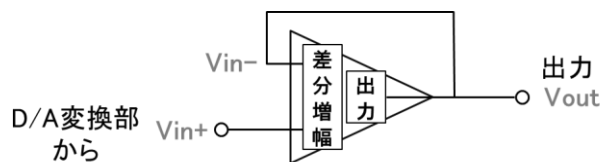


図 3-5 アナログバッファの機能ブロック図

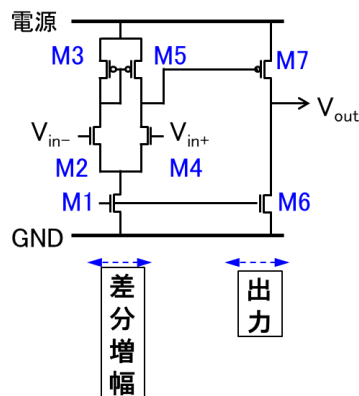


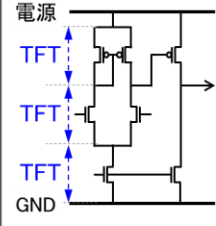
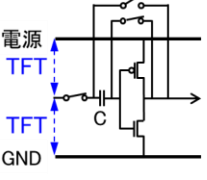
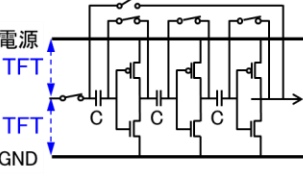
図 3-6 オペアンプの回路図

### 3.3.3. アナログバッファの従来技術との関係

表 3-1 でアナログバッファに関し、従来技術と本研究の比較を示す。従来技術の一つは LTPS を用いてオペアンプを集積化するもの [76]で、駆動電圧が高く実用化には消費電力の課題があった。オペアンプは電源間に TFT を 3 つ直列に挿入する必要があり、各段の TFT の両端(ソース電極端とドレイン電極端)にかかる電圧がそれぞれ必要で、駆動電圧が高くなってしまったためである。

一方、従来技術でインバータをアナログ回路として用いることも考えられる(3.3.1 に補足)。この回路をアナログバッファとして用いた場合、インバータは電源間に直列に挿入する TFT 数が 2 つと少なく低電圧化の点では有利と考えられる。但し、誤差電圧が大きい(3.3.4.2 参照)ため、LCD のアナログバッファに適用する報告は無かった。本研究では、低電圧化に有利なインバータをベースとしたアナログバッファ(以下、インバータ型アナログバッファと記す)を前提に、低電圧化と誤差電圧低減とを両立させる研究を行う。

表 3-1 LTPS TFT を用いたアナログバッファ

	従来技術		本研究
	オペアンプ	インバータ	インバータ
アナログバッファ回路図			
駆動電圧	高電圧 (12V)	低電圧 (5V)	低電圧 (5V)
誤差電圧	○ (<20mV)	× (数100mV)	○

#### 3.3.3.1. (補足)インバータ型比較器

ここでは、インバータをアナログ回路として用いる例を補足として説明する。具体的にはインター他を比較器として用いるもの [79]で、インバータチョップ型コンパレータと呼ばれる。図 3-7 にインバータ型比較器の回路構成を示す。この回路は、インバータと容量素子と参照電圧  $V_a$  と制御信号  $S$  及びその反転信号である  $\bar{S}$  で制御されるスイッチからなる。初期化期間に制

制御信号  $S$  は high レベルとなり、容量素子は電圧差 ( $V_t - V_a$ ) を保持する。ここで  $V_t$  はインバータの閾値電圧であり、 $V_a$  は参照電圧である。そして制御信号  $S$  が low レベルとなると電圧 ( $(V_{in} - V_a) + V_t$ ) がインバータに入力される。つまり、入力電圧  $V_{in}$  と参照電圧  $V_a$  の差が、インバータの動作閾値  $V_t$  を超えたか下回ったかによりインバータ出力が Low レベルもしくは High レベルのいずれか反転するように動作する。これは入力電圧  $V_{in}$  と参照電圧  $V_a$  との比較動作となっており、回路として「比較器」となっている。この回路は常に初期化期間中に閾値抽出しインバータ閾値付近で動作させるため、インバータに用いるトランジスタの閾値がばらついたとしても大きな影響を受けないという長所がある。この点で、粒界等のために TFT の閾値や移動度が同一チップ内でもばらつく LTPS で用いるのに適している。

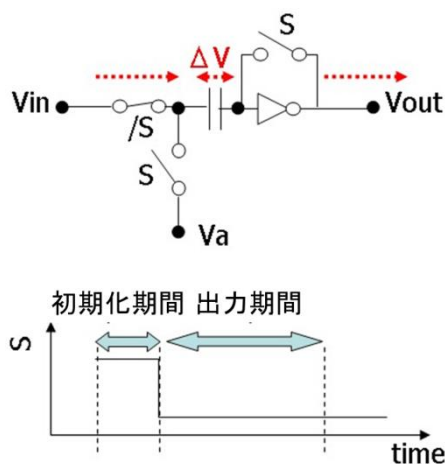


図 3-7 A/D コンバータとそのタイミング図

### 3.3.4. アナログバッファの低電圧化の課題

図 3-8 はアナログバッファの入力電圧と誤差電圧の関係を模式的に示す図である。横軸にアナログバッファの入力電圧、縦軸にアナログバッファの誤差電圧を記している。上段に対し、下段はアナログバッファの駆動電圧を低電圧化した場合の模式図である。

通常、アナログバッファの入力電圧が駆動電圧付近もしくは GND 付近に近づくと、誤差電圧は増大する。これは TFT にかかる電圧が不足し差分増幅部のゲイン<sup>1</sup>が不足するためである。また、誤差電圧が液晶画素の許容値を超えると各液晶画素で液晶に印加される電圧が所定値からずれてしまうことによる輝度変動が大きくなってしまい、スジ・ムラが発生する。なお、この許容値は、用いる液晶の特性(輝度の電圧依存性)から決まる。

駆動電圧を低電圧化すると、図 3-8 下段のようになり、各 TFT にかかる電圧が不足し、誤差電圧を小さく保てる入力電圧範囲(即ち出力電圧範囲)が狭まる。一方、誤差電圧の許容値は変わらない。その結果、誤差電圧が許容値を超えてしまい不良画像例に示すようなスジ・ムラの画質不良が発生し課題となる。

このように、アナログバッファの駆動電圧を低減すると、誤差電圧を小さく保てる入力電圧(出力電圧範囲)が狭まってしまふ。対策を説明する前に、LCD の極性反転駆動と液晶画素が必要とする電圧範囲(アナログバッファの出力電圧範囲)の関係と、インバータ型アナログバッファの誤差電圧について補足説明する。

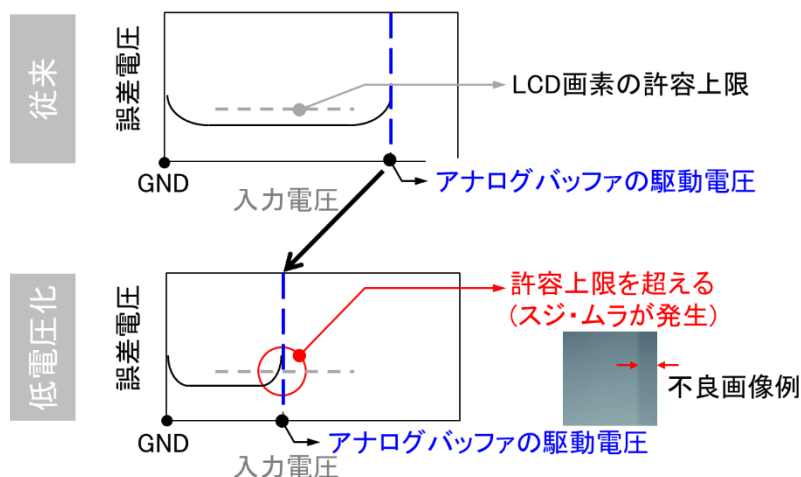


図 3-8 アナログバッファの低電圧化による入力電圧範囲の縮小と誤差電圧の増大

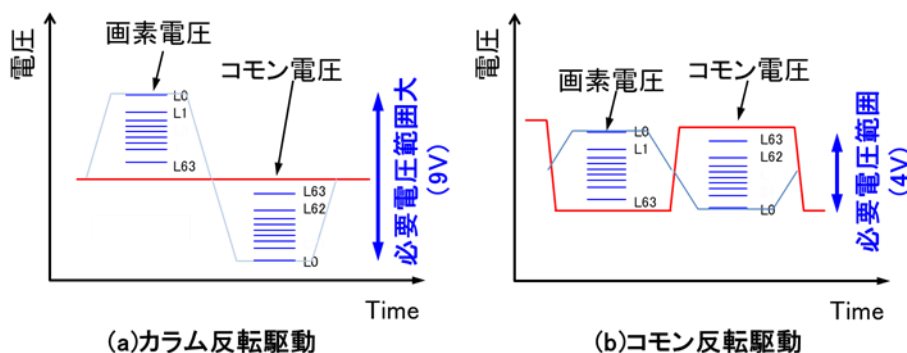
<sup>1</sup> 差分増幅回路は、差分電圧を増幅して次段に出力する。このときの増幅率のこと。



### 3.3.4.1. 極性反転駆動と必要電圧範囲及び高精度要求点の関係

ここでは LCD の極性反転駆動方法に関し、はじめにアナログバッファに要求される出力電圧範囲を説明し、次に要求精度の関係について補足説明する。

はじめに、LCD の極性反転駆動方法とアナログバッファに要求される出力電圧範囲について説明する。2.5.4 で説明したように、LCD 画素は液晶の劣化防止のため交流駆動される。液晶交流駆動法には、様々なものがある [80] [81] [82]が、ここでは代表的なカラム反転駆動とコモン反転駆動について説明する。カラムではコモン電圧を一定とし、画素電圧はその上下に電圧をかける。コモン反転はベースとなるコモン電圧自体を上下に反転させる。画素電圧はその中で上下に電圧をかける。この結果、必要画素電圧範囲はカラム反転に対し、コモン反転は半分で済む(再掲図 2-16)。携帯端末などの小型画面ではコモン容量が小さく、コモン反転駆動も選択できる。



再掲図 2-16 コモン反転駆動とアナログバッファの必要出力電圧範囲

次に LCD の極性反転駆動方法とアナログバッファの要求精度の関係について説明する。液晶画素の電圧－輝度特性を図 3-9 に示す。横軸はコモン電極の電圧を基準としたときの画素電極の印加電圧であり、液晶に印加される電圧である。縦軸は液晶画素の輝度を示す。また、液晶の輝度は 64 段階の階調 (Grayscale) に分けられ L0, L1, L63 と表す。L0 は黒であり、L63 は白に相当する。L31 付近は中間調とも呼ばれる。液晶に印加する電圧が低いと輝度は高く、液晶に印加する電圧を高めていくと徐々に輝度が低減していく。この電圧－輝度特性の傾きは中間調に対応する中間電圧付近で傾きが大きくなる。傾きが小さいところでは、画素

電極印加電圧が少々変動しても表示に影響しないが、傾きが大きいところでは画素電極印加電圧に誤差電圧がある場合、輝度の変化がより大きく見えてしまう。つまり中間電圧付近で最も画素電圧の誤差電圧の許容値が小さくなる(厳しくなる)。この高精度が必要な領域を、液晶の極性反転駆動に関する再掲図 2-16 に重ね書きしたものが図 3-10 である。(a)カラム反転駆動の場合にはコモン電圧は一定として画素電圧をコモン電圧の上下に大きく振るため、高精度を要する中間調電圧が 2ヶ所にできる。これに対し(b)コモン反転駆動の場合は、ベースとなるコモン電圧自体を振幅させ、画素電圧はコモン電圧を基準に振る結果、高精度を要する中間調電圧は 1ヶ所にまとまる。

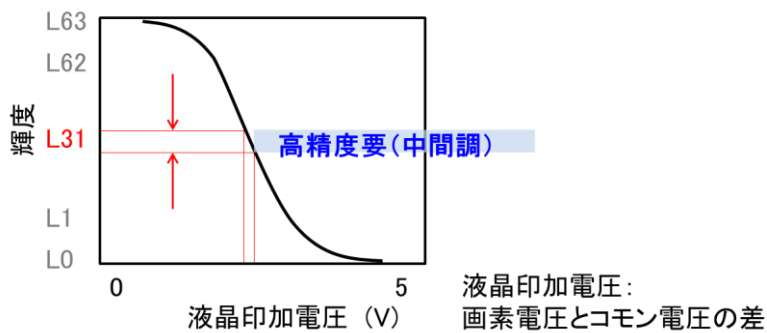


図 3-9 液晶の輝度-電圧特性

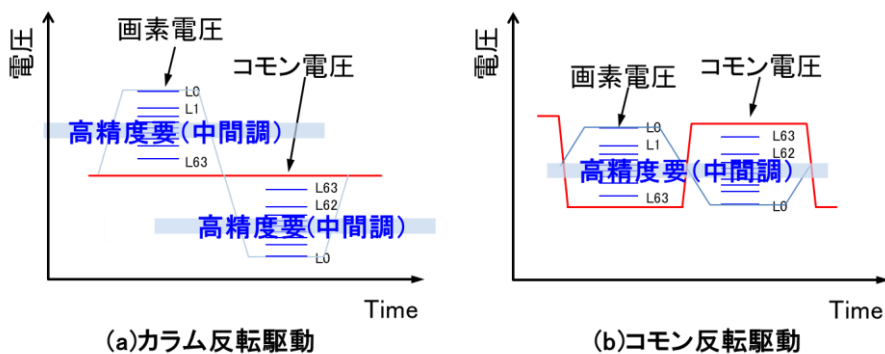


図 3-10 コモン反転駆動とアナログバッファの高精度電圧要求点

出力電圧範囲と誤差電圧を極性反転の点からまとめると、カラム反転駆動に対し、コモン反転駆動は、①画素電圧範囲が狭まり、②高精度要求点も 1ヶ所にまとまる。これはアナログバッファにとって、出力電圧範囲が狭めることができ、かつ、高精度出力をしなければならない電

圧領域を 1 カ所に絞ることができる利点となる。これを図 3-11 にまとめた。(a)はカラム反転駆動の場合の許容電圧誤差の画素電圧(=アナログバッファ出力電圧)依存性を示しており、(b)はコモン反転駆動の場合を示している。横軸は LCD の画素電圧(=アナログバッファ出力電圧)を表し、縦軸は許容電圧誤差である。(a)カラム反転駆動の場合、中間調電圧に相当する 2.5V 付近及び 7.5V 付近の 2 カ所で許容電圧誤差は厳しくなる。これに対し、(b)コモン反転駆動の場合、中間調電圧に相当するのは 2.5V 付近のみであり、画素電圧が 1V もしくは 4V と、中間調電圧から遠ざかるにつれ許容電圧誤差は緩和する。コモン反転駆動を選択する場合、アナログバッファの誤差電圧はこの許容電圧誤差以下にすればよいことになる。

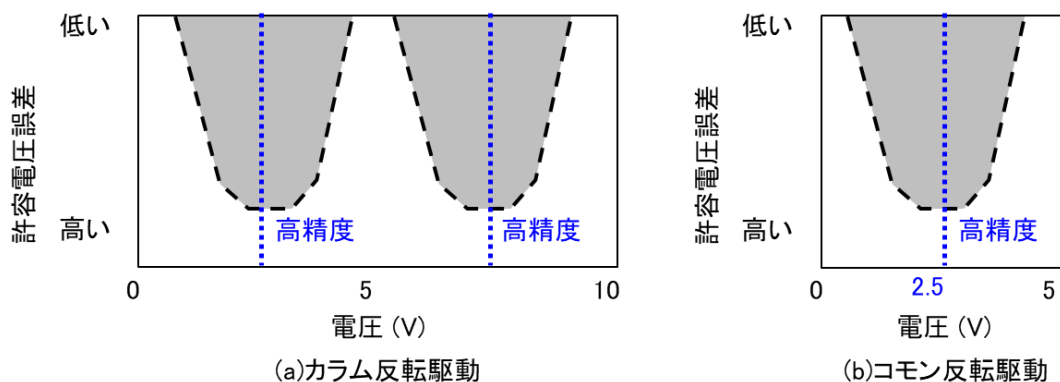


図 3-11 コモン反転駆動 LCD の許容値

### 3.3.4.2. インバータ型アナログバッファの誤差電圧

ここでは、表 3-1 中央に示したインバータ型アナログバッファの誤差電圧の問題点を補足説明する。インバータ型のアナログバッファの回路図と駆動タイミングを図 3-12(a)と(b)にそれぞれ示す。はじめにこの駆動タイミングの要点を説明し、次に回路の動作、最後に誤差電圧を見積もる。この回路の動作の要点を説明する。アナログバッファの駆動期間は、図 3-12(b)に示すように期間 I と期間 II とからなるので、順に説明する。

期間 I に入力電圧  $V_{in}$  が容量素子の左端に入力される。このとき  $INV_1$  は入出力が接続されるため、容量素子の右端には  $INV_1$  の動作閾値が保持される。つまり、容量素子には入力電圧  $V_{in}$  と  $INV_1$  の動作閾値の電圧差が保持される。

期間Ⅱに出力電圧  $V_{out}$  を出力する。このとき、容量素子の左端にも出力が接続される。容量素子には、期間Ⅰに保持した電圧差 ( $V_{in}$  と  $INV_1$  の動作閾値の電圧差) が保持されているから、仮に  $V_{out}$  が  $V_{in}$  より高いと、インバータの入力電圧はインバータの動作閾値より高くなる。そのため、インバータの出力は低めの電圧を出力 (反転出力) する。逆に  $V_{out}$  が  $V_{in}$  より低いとインバータは高めの電圧を出力 (反転出力) する。いずれの場合にも、 $V_{out}$  が  $V_{in}$  に近づく方向に動作する。

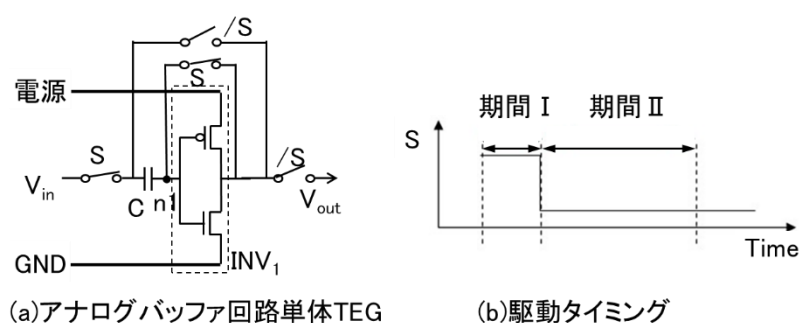


図 3-12 インバータ型のアナログバッファ(1 段)

次にこの回路の誤差電圧を見積もる。

**期間Ⅰ** : スイッチ  $S$  がオン ( $S$  はオフ) となることにより、インバータ ( $INV_1$ ) は入出力が短絡されるため、インバータの動作閾値 ( $V_{th1}$ ) が容量素子の右端 (ノード  $n_1$ ) に保持される。容量素子には左端の  $V_{in}$  との電圧差

$$\Delta V_1 = V_{in} - V_{th1} \quad \text{数式 3-1}$$

が保持される。

**期間Ⅱ** : スイッチ  $S$  がオフ ( $S$  がオン) となることにより、インバータの出力  $V_{out}$  は、インバータのゲイン  $A$  (図 3-13: 入出力を短絡したときの  $V_{in} - V_{out}$  グラフの傾き) を用いて

$$V_{out} = (V_{out} - \Delta V_1 - V_{th1}) \times A + V_{th1} = (V_{out} - V_{in}) \times A + V_{th1} \quad \text{数式 3-2}$$

と近似できる。  $\Delta V = V_{out} - V_{in}$  として数式 3-2 を整理すると、

$$\Delta V = \frac{1}{A-1}(V_{in} - V_{th1}) \quad \text{数式 3-3}$$

となる。但し A は  $INV_1$  のゲインであり LTPS では -10 程度である。  $V_{th1}$  は  $INV_1$  の動作閾値である。  $V_{in}-V_{th1}$  は数ボルト程度である。よって  $\Delta V$  は数百 mV となってしまふ。誤差電圧  $\Delta V$  の試算結果を図 3-14 に示した。インバータのゲイン  $A_1$  としては -10 もしくは -5 を用いた。また、インバータ閾値は駆動電圧が 5V であれば大体 2.5V 付近となるが、NMOS TFT と PMOS TFT の閾値のばらつきによりインバータの閾値電圧も変化するため、  $V_{th1}=2V\sim 3V$  と変化させた。やはり  $\Delta V$  は 100mV 付近以上の値となってしまふ。これは、従来の半導体のドライバ IC では誤差電圧 20mV 程度以下が必要とされている [78] ことに照らすと大きすぎる。このままでは誤差電圧が大きすぎアナログバッファとして用いることができない。数式 3-3 の  $(V_{in}-V_{th1})$  の項は  $V_{in}$  が変数なのでこの項が小さくなることはない。改善するには、ゲイン A を何らかの形で増大させる必要がある。インバータを直列することによってゲイン A を増大させる方法を 3.4.2 で検討する。

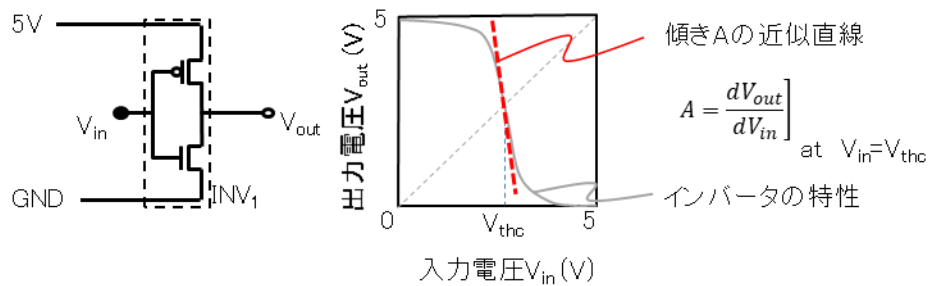


図 3-13 インバータの入出力特性の補足説明図

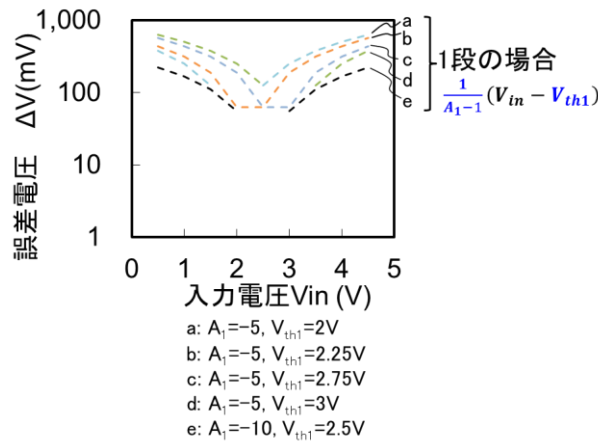


図 3-14 アナログバッファ(インバータ1段)の誤差電圧の試算

### 3.4. アナログバッファ低電圧化の対策

ここでは、アナログバッファの駆動電圧を低減するための課題に対する対策をまとめる。

LTPS はアモルファスリコンと比較して移動度が高いので本来は回路の駆動電圧を低電圧化しやすい。また、駆動電圧を 5V に低減しても、電源間に直列される TFT 数が 2 つのインバータ型のアナログバッファであれば動作に有利であることを利用する。この組合せの課題は、出力電圧範囲が狭まることと、誤差電圧が増大することである。

ここを対策できれば低電圧化を実現できる。図 3-15 にアナログバッファの低電圧化のための課題と対策をまとめた。出力電圧範囲が狭まる、及び誤差電圧が増大するという 2 つの課題に対し、LCD のコモン反転駆動を採用することで対策する。これを 3.4.1 で説明する。また、誤差電圧の課題に対してはアナログバッファの誤差電圧の縮小を行う。これは 3.4.2 で説明する。

#### 3.4.1. LCD のコモン反転駆動の選択

はじめに、出力電圧範囲が狭まる課題の対策として、図 3-15 上段に示すように、カラム反転駆動でなくコモン反転駆動を選択する。これにより液晶画素が必要とする電圧範囲を縮小する。次に誤差電圧が増大する課題の対策としても、図 3-15 下段に示すように、コモン反転

駆動を選択する。これにより高精度要求点を削減し 1 点に絞ることができる。また、コモン反転はコモン容量の大きい大型画面には適さないが、コモン容量の小さい小型画面（携帯端末）に適する点を生かした。

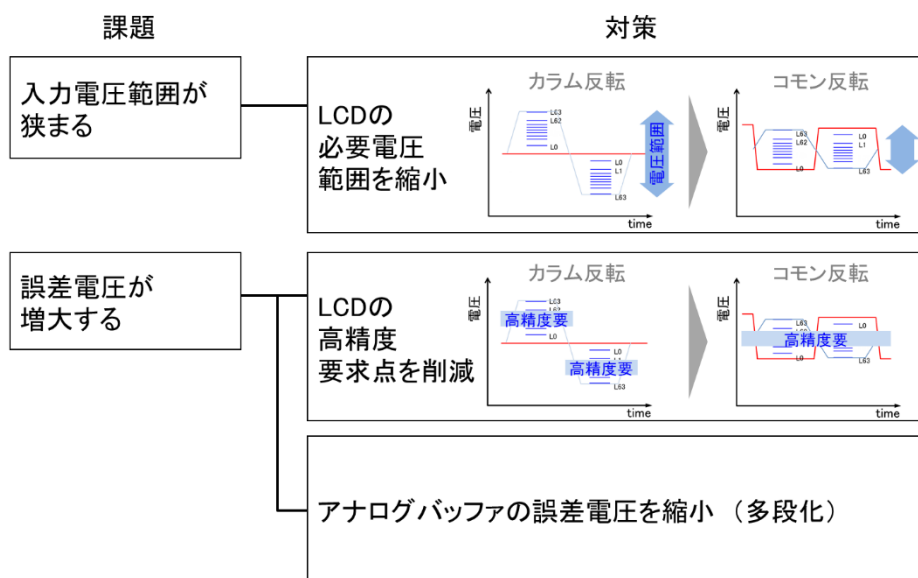


図 3-15 アナログバッファの低駆動電圧化対策

### 3.4.2. 誤差電圧の対策(アナログバッファの多段化)

誤差電圧の低減を狙い、アナログバッファを多段化し数式 3-3 のゲイン A を増大することで対策する。はじめに 3 段直列化したインバータ型アナログバッファの誤差電圧を説明し、次にこの対策をコモン反転駆動と組み合わせる利点について説明する。

#### 3.4.2.1. 3 段直列化したインバータ型アナログバッファの誤差電圧

インバータ型アナログバッファを 3 段直列した回路図を図 3-16 に示す。この回路は、3.3.4.2 で説明したインバータ型アナログバッファを 3 段直列化した回路である。この場合の誤差電圧の低減効果を見積もることによって、インバータ型アナログバッファを多段化することで対策になるか見通しをたてる。以下、はじめに動作について説明し、次に誤差電圧を見積もる。

はじめにこの回路の動作について説明する。このアナログバッファの駆動期間も 1 段の場合(3.3.4.2)同様、この回路のリセットを行うためにスイッチ S をオン(/S はオフ)する期間 I と、

信号線に対し出力を行うために、スイッチ  $S$  をオフ ( $/S$  はオン)する期間 II との 2 つの期間からなる。ここでリセットとは、容量素子に、入力電圧やインバータの動作閾値の差分電圧等を保持することをいう。期間 I に入力電圧  $V_{in}$  が入力され、期間 II に出力電圧  $V_{out}$  を出力する。仮に  $V_{out}$  が  $V_{in}$  と一致していない場合、この回路の出力は、 $V_{out}$  が  $V_{in}$  に近づく方向に動作する。この点は 3.3.4.2 と同様である。

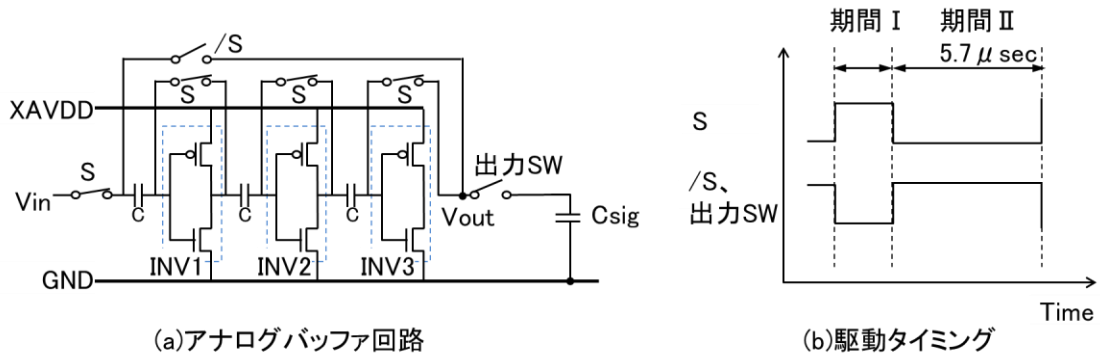


図 3-16 インバータ型のアナログバッファ(3 段直列)

次にこのアナログバッファの誤差電圧を見積もる。

**期間 I:** スイッチ  $S$  がオン ( $/S$  はオフ) となることにより、各インバータ ( $INV_1, INV_2, INV_3$ ) は入出力が短絡されるため、各インバータの動作閾値 ( $V_{th1}, V_{th2}, V_{th3}$ ) が各容量素子の右端に保持される。各容量素子には左端との電圧差が保持され、

$$\Delta V_1 = V_{in} - V_{th1} \quad \text{数式 3-4}$$

$$\Delta V_2 = V_{th1} - V_{th2} \quad \text{数式 3-5}$$

$$\Delta V_3 = V_{th2} - V_{th3} \quad \text{数式 3-6}$$

となる。

**期間 II:** スイッチ  $S$  がオフ ( $/S$  がオン) となることにより、各インバータの出力  $V_{o1}, V_{o2}, V_{o3}(=V_{out})$  は、各インバータのゲイン  $A_1, A_2, A_3$  (入出力を短絡したときの  $V_{in}-V_{out}$  グラフの傾き: 図 3-13 参照) を用いて

$$V_{o1} = (V_{out} - \Delta V_1 - V_{th1}) \times A_1 + V_{th1} = (V_{out} - V_{in}) \times A_1 + V_{th1} \quad \text{数式 3-7}$$

$$V_{o1} = (V_{out} - \Delta V_1 - V_{th1}) \times A_1 + V_{th1} = (V_{out} - V_{in}) \times A_1 + V_{th1} \quad \text{数式 3-8}$$

$$V_{o2} = (V_{o1} - \Delta V_2 - V_{th2}) \times A_2 + V_{th2} = (V_{out} - V_{in}) \times A_1 \times A_2 + V_{th2} \quad \text{数式 3-9}$$



$$V_{o3} = (V_{O2} - \Delta V_3 - V_{th3}) \times A_3 + V_{th3} = (V_{out} - V_{in}) \times A_1 \times A_2 \times A_3 + V_{th3} \quad \text{数式 3-10}$$

と近似できる。数式 3-10 で  $\Delta V = V_{out} - V_{in}$ 、 $V_{o3} = V_{out}$  として整理すると、

$$\Delta V = \frac{1}{A_1 A_2 A_3 - 1} (V_{in} - V_{th3}) \quad \text{数式 3-11}$$

となる。但し  $V_{th3}$  は  $INV_3$  の動作閾値であり、 $V_{in} - V_{th}$  は数ボルト程度である。 $A_1, A_2, A_3$  は  $INV_1, INV_2, INV_3$  のゲインであり、個々の値は LTPS の場合、-5 から -10 程度であり、その積は -125 から -1000 程度となる。よって  $\Delta V$  は数 mV から数 10mV 程度となると見込める。誤差電圧を具体的に数式 3-11 を用いて計算し、図 3-17 に示した。各パラメータは LTPS の特性ばらつきから想定される値の範囲で変化させている。具体的には、インバータのゲイン  $A_1, A_2$ 、及び  $A_3$  としては -10 もしくは -5 を用いた。また、インバータ閾値は駆動電圧が 5V であれば大体 2.5V 付近となるが、NMOS TFT と PMOS TFT の閾値のばらつきによりインバータの閾値電圧も変化するため、 $V_{th1} = 2V \sim 3V$  と変化させた。比較のために図 3-14 に示したインバータ 1 段の場合の試算値を点線のプロットで再掲した。インバータ 1 段の場合に比べ、インバータ 3 段とすることにより誤差電圧  $\Delta V$  の値を大幅に低減できることがわかる。インバータのゲインはインバータの閾値電圧付近 (中間電圧付近) で最大となるので、駆動電圧が 5V の場合、2.5V 付近で誤差電圧が最小になる。このように誤差電圧  $\Delta V$  がインバータのゲインの積により低減されるため、多段化効果といえる。なお、インバータの段数を増やすと消費電力増や占有面積増を招くため、3 段が最適である。

以上の試算により、インバータ型アナログバッファを 3 段直列化することで誤差電圧を低減できる見込が立ち、対策になる可能性があると判断した。なお、図 3-16 の容量素子 C の大きさは、この回路に用いるスイッチのノイズが出力電圧に影響しないように決める。3.5.1 で実験により決める。

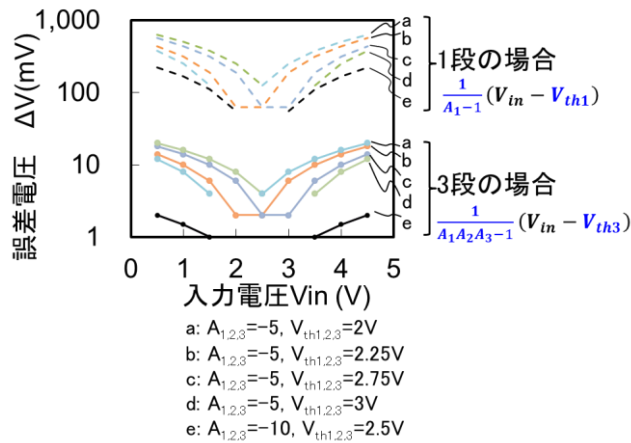


図 3-17 アナログバッファ(インバータ)の誤差電圧の試算

### 3.4.2.2. 2つの組合せの利点

LCDのコモン反転駆動と3段直列インバータの組合せの利点を図 3-18 を用いて説明する(図 3-17 では対数軸だったのに対し図 3-18 では縦軸を線形軸とした)。図 3-18 に示すように、コモン反転駆動の選択で1点のみとなる高精度要求点(中間調)と、アナログバッファの誤差電圧最小点(中間電圧)とが一致する。言い換えると、アナログバッファの誤差電圧増大領域が高精度要求点から外れている(回避している)という点が利点となる。仮に、これらが不一致だと、LCDの高精度要求点に、アナログバッファの誤差電圧増大領域が近づくことにより、アナログバッファの誤差電圧がLCDの許容上限に達してしまう恐れが生じ、これを避けるためにさらにインバータの段数を増す必要が生じたり、駆動電圧をより高める必要が生じたりすることになってしまうためである。

まとめると、アナログバッファの駆動電圧を低減するためには、液晶画素の高精度要求点(中間調)に対応する電圧(中間電圧)と、アナログバッファの画素電圧最小点(中間電圧)が一致していることが利点となる。

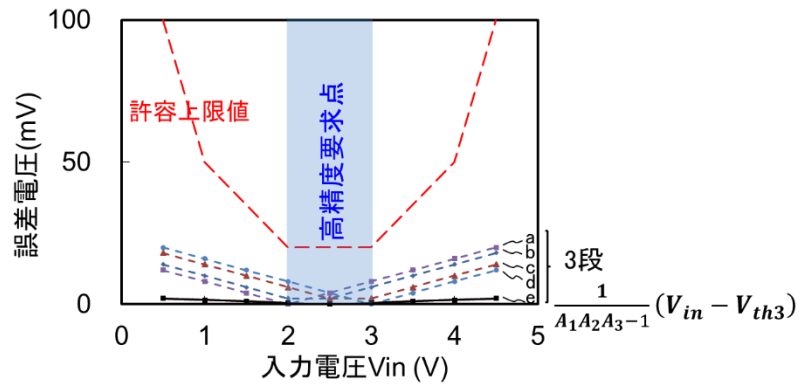


図 3-18 アナログバッファの誤差電圧(計算値)

### 3.5. 検証

検証は、まず TFT 基板のみで、アナログバッファ回路単体の誤差電圧の検証を行う。ここではアナログバッファに用いる容量素子の大きさを変化させ、LCD に集積化する際の容量素子の大きさを決める(3.4.2.1 で述べたように実際の回路のスイッチノイズに対して十分な値を確保する必要がある)。また、アナログバッファで特に注意が必要な発振防止についてマージンを確認する。次に実際に表示のできる LCD を試作して誤差電圧の検証を行う。LCD での検証については、まず、LCD の仕様について説明し、次に集積化した回路の説明を行う。そしてアナログバッファの誤差電圧の検証結果を説明する。最後に消費電力と集積化レイアウトについて確認する。

#### 3.5.1. アナログバッファ回路単体の誤差電圧の検証

ここでは、はじめに評価に用いる TFT 基板上のアナログバッファ単体回路の仕様について説明する。次に画素書き込みの際の収束性の確認について説明し、最後にアナログバッファ回路の誤差電圧の評価結果を説明する。

はじめに、アナログバッファ単体回路の回路図及び仕様を図 3-19 と表 3-2 にまとめた。アナログバッファ回路はインバータを 3 段 (INV1, INV2, INV3) を直列したものである。2 インチ LCD での設計値を考慮し、負荷容量  $C_{sig}$  は 5.6pF、アナログバッファが負荷容量  $C_{sig}$  に対し書き込みを行う期間 II の長さは  $5.7 \mu \text{ sec}$  とした。アナログバッファの駆動電源を XAVDD とし、その電圧値は 5V とした。各 TFT の W/L は期間 II の間に負荷容量  $C_{sig}$  に書き込みが終わるように決めた。各インバータの入力部に設ける容量素子の大きさはパラメタとして 0.4/0.6/1.0/1.5pF と変化させ、4 つの異なるアナログバッファの評価を行った。誤差電圧を評価する際の出力電圧は LCD での画素電圧の必要値を考慮し、0.5V, 1.5V, 2.5V, 3.5V, 4.5V とした。

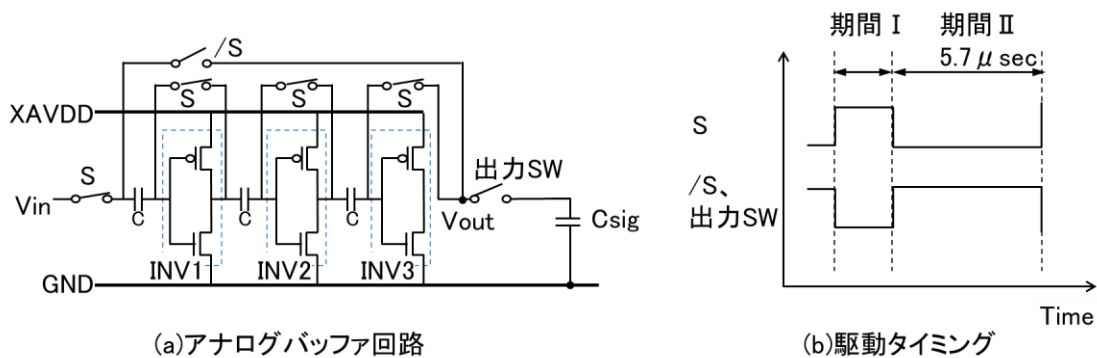


図 3-19 アナログバッファ単体 TEG

表 3-2 アナログバッファ回路

項目	仕様
回路構成	インバータ型、3 段直列
TFT (INV1, INV2, INV3)	W=6, 6, 5 μ m、L=4.5 μ m
TFT (出力 SW)	W=8 μ m、L=4.5 μ m
TFT (その他)	W=4 μ m、L=4.5 μ m
容量素子 C (INV1, INV2, INV3)	パラメタとして変化させた 0.4/0.6/1.0/1.5pF
XAVDD 電圧	5V
負荷容量 Csig	5.6pF
期間 II	5.7 μ sec
負荷初期電圧	2.5V

次に収束性の確認について説明する。上述のように容量素子 C の値が異なる TFT 基板上にアナログバッファ回路単体を 4 種類作製し書き込みの際に収束不良が生じていないか確認を行った。図 3-20 はアナログバッファがコモン反転駆動の際に液晶画素に必要となる (a)0.5V, (b)1.5V, (c)2.5V, (d)3.5V, (e)4.5V の各電圧を信号線に書き込んでいるときの信号線駆動波形の実測結果の例を示している。緑の実線は図 3-19 の /S の信号の駆動波形である。この信号(/S)が High レベルのときにアナログバッファの出力 Vout が信号線に接続される。いずれも初期電圧 (initial level) は 2.5V である。例えば目標電圧が(a)0.5V の場合には書き込

みのための時間(5.7  $\mu$  sec)内に目標電圧付近に収束しており、収束不良(発振<sup>1</sup>)は発生していない。

最後にアナログバッファ回路の誤差電圧について説明する。図 3-21 に誤差電圧の評価結果を示す。横軸に出力電圧、縦軸に誤差電圧をとっている。誤差電圧は図 3-20 の期間 II の最後のタイミングで目標電圧と  $V_{out}$  電圧の差をとった。電源電圧 5V に対し、出力電圧  $V_{out}$  が 2.5V 付近で狙い(3.4.2.1)通り、最も高精度となった。また、出力電圧が 2.5V から離れるほど誤差電圧が増大する。出力電圧  $V_{out}$  が 0.5V、もしくは 4.5V では容量素子の大きさにより誤差電圧の大きさに差が見られる。一方で、容量素子の値が大きいほど誤差電圧が低減する傾向が見られる。スイッチノイズが容量の大きさに反比例して低減するためと考えられる。ただ、容量素子を大きくするとレイアウト面積が大きくなり、LCD パネルの画素領域以外の「額縁」と呼ばれる部分の面積が増大してしまう。一方、0.4pF では出力電圧 1V のときに誤差電圧が許容値に接近してしまうが、0.6pF であれば十分なマージンがある。これらから 0.6pF であれば額縁面積と誤差電圧とを両立できると判断した。

---

<sup>1</sup> アナログバッファからの反転出力が繰り返され、いつまでも収束しない状態となること。

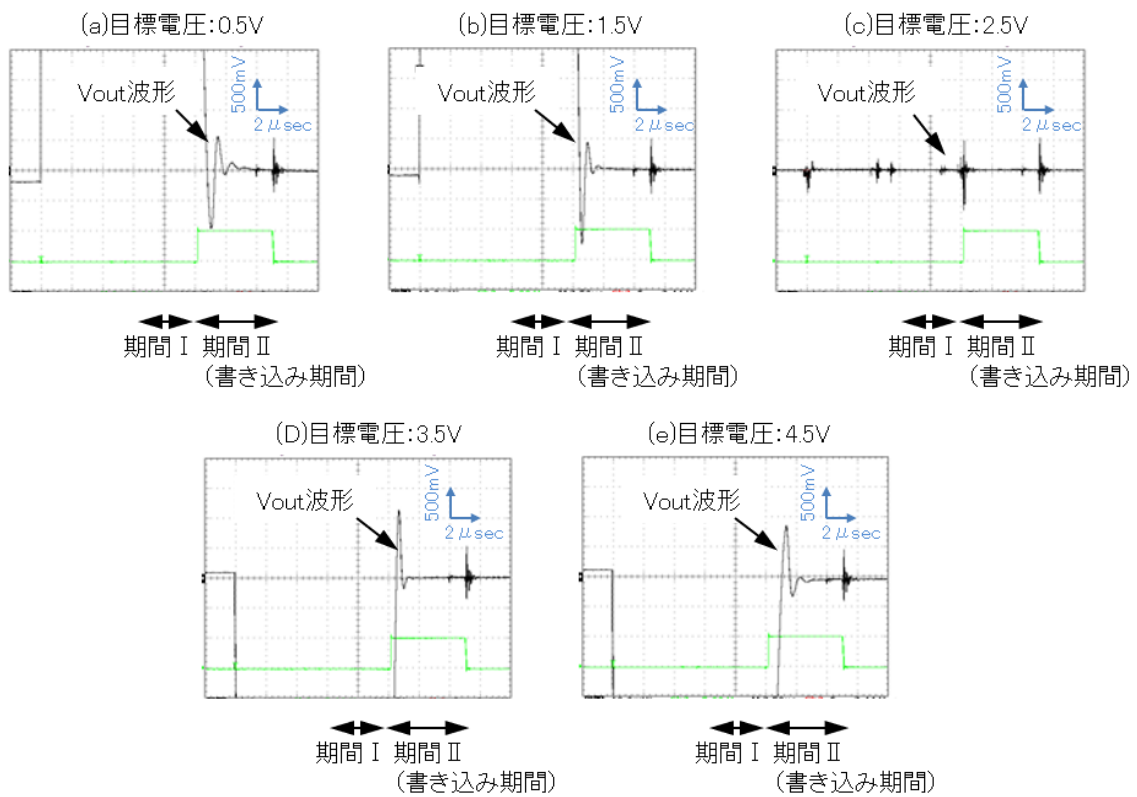


図 3-20 信号線書き込みの際のアナログバッファ出力波形 (Vout)

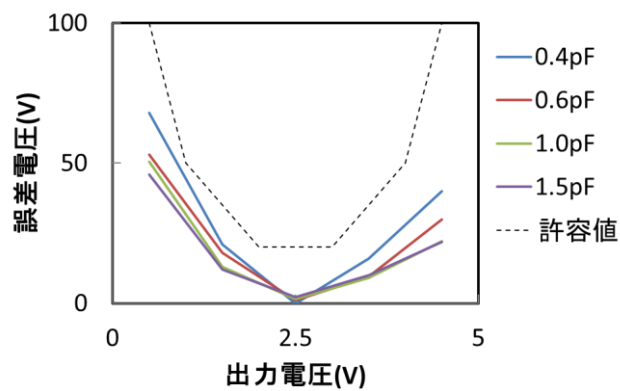


図 3-21 アナログバッファ単体 TEG の誤差電圧

(図 3-20 の期間 II の最後の電圧と目標電圧の差をプロット)

### 3.5.2. アナログバッファ回路単体での発振マージンの検証

アナログバッファは出力を入力にフィードバックするため発振による収束不良を起こさないことが重要である。今回のアナログバッファはインバータを3段直列しているため、中間電圧付近でゲインが最大となり、アナログバッファの電圧出力が早くなるため、最も発振が生じやすくなる。発振してしまったアナログバッファの出力波形  $V_{out}$  の例を図 3-22 に示す。

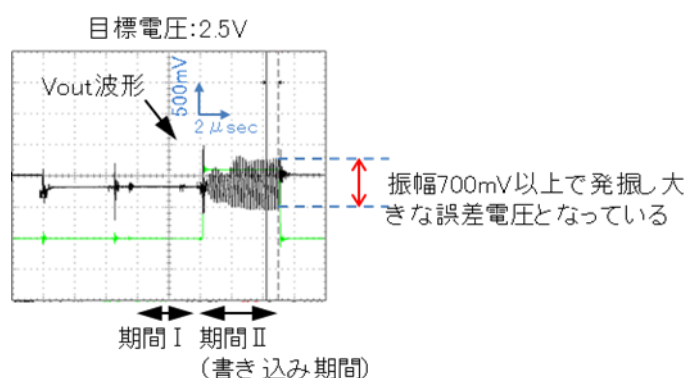


図 3-22 発振してしまったアナログバッファの  $V_{out}$  波形

アナログバッファ回路の設計最適化のための回路シミュレーションの結果、図 3-19 の出力 SW のサイジングが発振を招かないために重要な影響を及ぼすことが分かり検証を行った。具体的には、図 3-19(a)の出力 SW の W 長を  $8\mu\text{m}$  を基準として、 $16\mu\text{m}$ 、 $20\mu\text{m}$  と変えたものを作成した。さらにアナログバッファの駆動電圧を (I)  $5\text{V}$  を基準として (II)  $5.5\text{V}$ 、(III)  $6\text{V}$  と上昇させ発振を起こしやすい状態をあえて作り、駆動電圧マージンを確認した。この駆動電圧マージンが大きいほど、LTPS TFT の特性の製造ばらつきに対し安定性が増す。仮にこの駆動電圧マージンが小さいとちょっとした TFT 特性のばらつきによってアナログバッファの出力が発振してしまう。

結果を図 3-23 に示す。楕円形の点線で囲んだ部分の波形によりアナログバッファの出力  $V_{out}$  が発振しているか否かを判断する。出力 SW の W 長が  $8\mu\text{m}$  の場合には、駆動電圧を  $6\text{V}$  に高めたときに発振してしまうことが確認された。発振しないための駆動電圧のマージンが基準の  $5\text{V}$  に対し  $1\text{V}$  未満と狭いことが分かった。これは LTPS TFT の閾値が  $1\text{V}$  浅くなると発振してしまうことを意味する。これに対し、出力 SW の W 長が  $16\mu\text{m}$  の場合には駆動電圧を  $6\text{V}$  に高めたときに発振の兆候がみられるが、なんとか収束している。また出力 SW の W 長



が  $20\mu\text{m}$  の場合には駆動電圧を  $6\text{V}$  に高めても発振はまったく認められない。出力 SW の W 長が小さいと、出力 SW の抵抗が高くなり、アナログバッファから見える負荷容量が、アナログバッファのサイズ及び電流供給能力に対し小さくなりすぎるため、発振しやすくなってしまうものとする。以上を考慮して、LCD へ集積化する場合には、出力 SW を  $20\mu\text{m}$  以上とすることとした。

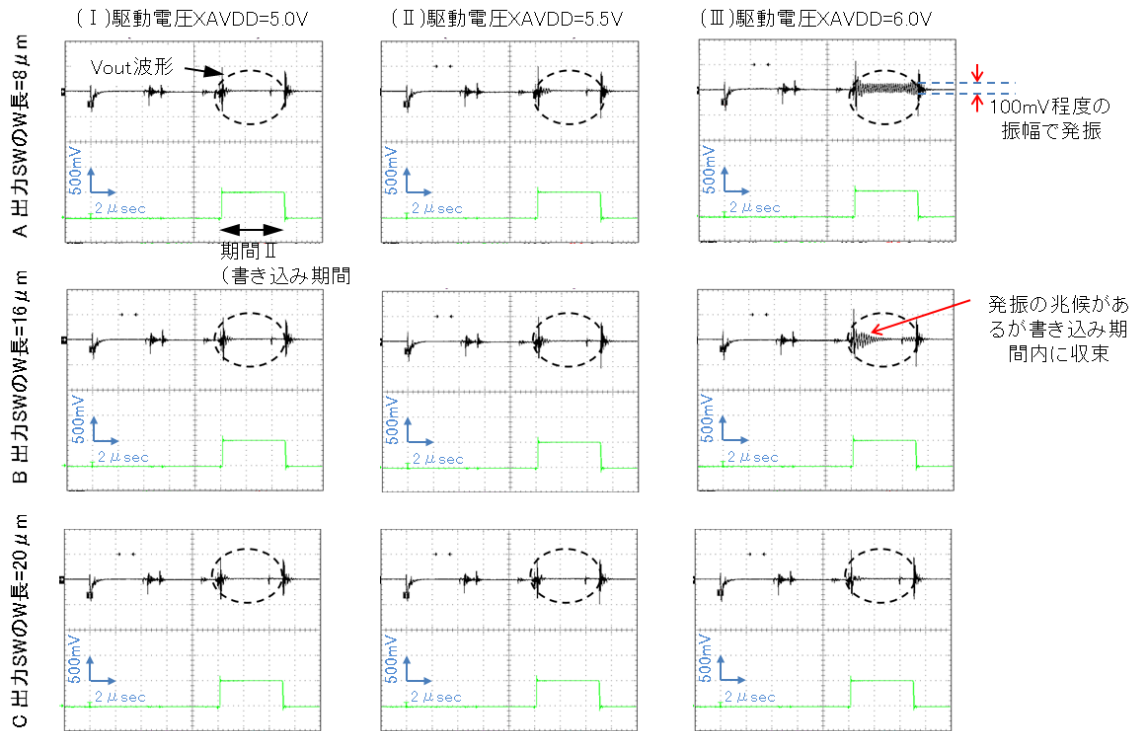


図 3-23 出力 SW の W 長の異なるアナログバッファ回路の出力波形

### 3.5.3. LCD による誤差電圧の検証

ここでは、はじめに検証に用いる LCD の仕様、次にパネル集積化回路、デジタル/アナログ変換回路の誤差電圧、アナログバッファの収束性の確認（発振しないことの確認）、アナログバッファの消費電力、最後に集積化レイアウトの順で説明する。

#### 3.5.3.1. 検証に用いる LCD の仕様

まず、検証に用いる試作品の仕様を表 3-3 にまとめた。国内の携帯電話で主流となる仕様から、画面サイズは対角 2 インチ、画素数は 176(×RGB)×180 画素、フレーム周波数は 50Hz とした。表示色も国内携帯電話に必要な 26 万色とした。これは集積化するデジタル/アナログ変換回路が各色 6 ビットの画像データを受け、 $(2^6=)$ 64 階調の表示を行うことを意味する。これを 3 色分組み合わせると  $64^3=262144$  色となる。液晶方式は TN 液晶、極性反転駆動は集積化するアナログバッファの低電圧化のために、コモン反転駆動とした。

表 3-3 試作品の仕様

項目	仕様
画面サイズ	2 インチ
画素数	176(×RGB)×180
表示色	26 万色(各色 6 ビット)
フレーム周波数	50Hz
液晶方式	TN 液晶
極性反転駆動	コモン反転駆動

#### 3.5.3.2. パネル集積化回路

図 3-24 に検証に用いた LTPS TFT-LCD の回路ブロック図を示す。主な構成要素は、TFT 基板とカラーフィルタ基板からなる LCD パネル(点線部)、周辺 IC(点線部の外)、LCD パネルに集積化するデジタル/アナログ変換回路、およびゲート線駆動回路である。以下、周辺 IC、LCD パネル、デジタル/アナログ変換回路について説明する。

周辺 IC としては LCD コントローラと電源 IC が用いられる。LCD コントローラは LCD パネルにデジタル画像データを制御信号と共に出力する。また電源 IC に対してもコモン電圧の極

性反転タイミング等の制御信号を出力する。電源 IC は、コモン電圧や、LCD パネルで用いる電源等を生成しパネルに供給する。

LCD パネルには LTPS を用いて多数の回路が集積化されている。右辺にはゲート線駆動回路が集積化されている。下辺には、従来は選択回路と、これを制御するための簡単なデジタル回路だけが集積化されるだけだった。本試作品では、デジタル画像データを保持するための回路と、D/A 変換部とアナログバッファとが集積化回路として加わる。このアナログバッファに、インバータ型アナログバッファ(図 3-16)を適用する。その際、容量素子 C の値は 0.6pF とし、TFT のサイズは表 3-4 にまとめた。

デジタル/アナログ変換回路は、デジタル回路部が LCD コントローラからデジタル画像データを受け、D/A 変換部アナログ電圧を生成する。この電圧はアナログバッファから出力され、選択回路によってどの信号線に書き込むかを切り替えられる。ゲート線駆動回路は、各画素のゲート線を制御し、信号線に書き込まれた電圧を所定の画素電極に書き込む。

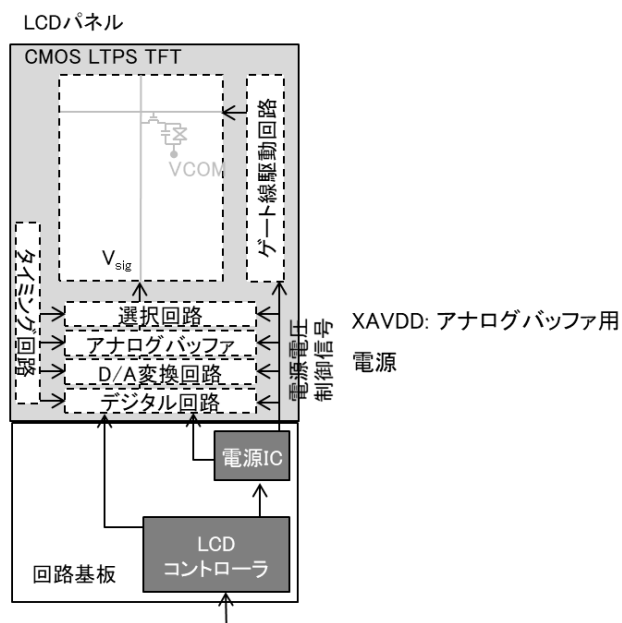


図 3-24 回路ブロック図

表 3-4 LCD に集積化したアナログバッファ回路

項目	仕様
回路構成	インバータ型、3 段直列
TFT (INV1, INV2, INV3)	W=6, 6, 5 $\mu$ m、L=4.5 $\mu$ m
TFT (出力 SW)	W=20 $\mu$ m、L=4.5 $\mu$ m
TFT (その他)	W=4 $\mu$ m、L=4.5 $\mu$ m
容量素子 C (INV1, INV2, INV3)	0.6pF
XAVDD 電圧	5V
負荷容量 Csig	5.6pF
期間 II	5.7 $\mu$ sec
信号線初期電圧	2.5V

### (補足)D/A 変換部

ここで D/A 変換部について説明する。はじめにこの回路の役割を説明し、次に液晶用に D/A 変換部にどのような電圧を出力させるか、の順に説明する。

はじめに、この回路の役割について説明する。D/A 変換部はデジタル回路部が読み込んだデジタル画像データに基づいて液晶の駆動に適した 64 階調 (L0, L1, ..., L63) のアナログ電圧を生成してアナログバッファに出力するための回路である。液晶は交流駆動する必要があるため、64 階調の電圧を正極用と負極用の 2 通り生成する必要がある。さらに液晶の非線形な電圧-輝度特性を考慮する必要がある。

次に具体的に D/A 変換部にどのような電圧を出力させるかについて説明する。今回の試作品での検証に用いる液晶の電圧-輝度特性を図 3-25 に示す。横軸は画素電極の印加電圧、縦軸は輝度を表している。中間電圧付近で傾き(電圧変化に対する輝度変化の量)が大きくなっている。この領域では電圧が少し変化すると輝度が大きく変化する。従って中間電圧付近では隣接する階調間の電圧差を小さくする必要がある。これを考慮して、隣接する階調間の電圧差を図 3-26(a)のようにした。図 3-26(a)では横軸が階調レベルを表す。例えば L0 は 0 階調(黒)であり、L31 付近が中間調、L63 は 63 階調(白)である。また、極性反転駆動としてコモン反転駆動を用いる。正極ではコモン電圧を 0V とし、負極ではコモン電圧を 5V とし、生成する階調電圧は正極用と負極用の 2 通りである。これらを考慮して、D/A 変換部が生成する階調電圧は図 3-26(b)のようにした。横軸に階調レベル、縦軸に電圧をとった。隣接す

る階調間での生成電圧の差は、中間調(L31)付近では小さく(精度よく)、白(L63)付近や黒(L0)付近では大きくなる。このようにして決めた電圧はD/A変換部で生成される。図3-24に示したように電源ICからVREFA, VREFBという2つの基準電圧がD/A変換部に入力される。D/A変換部ではVREFAとVREFBの間を64段階に分割しデジタル画素データによって指定される電圧をアナログバッファに出力する。

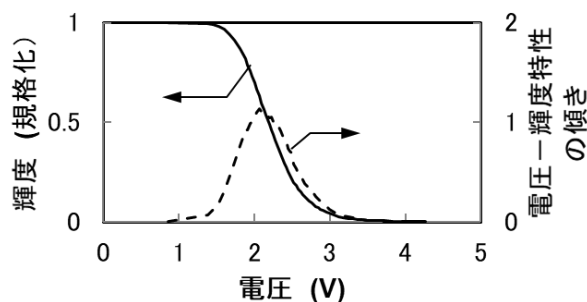
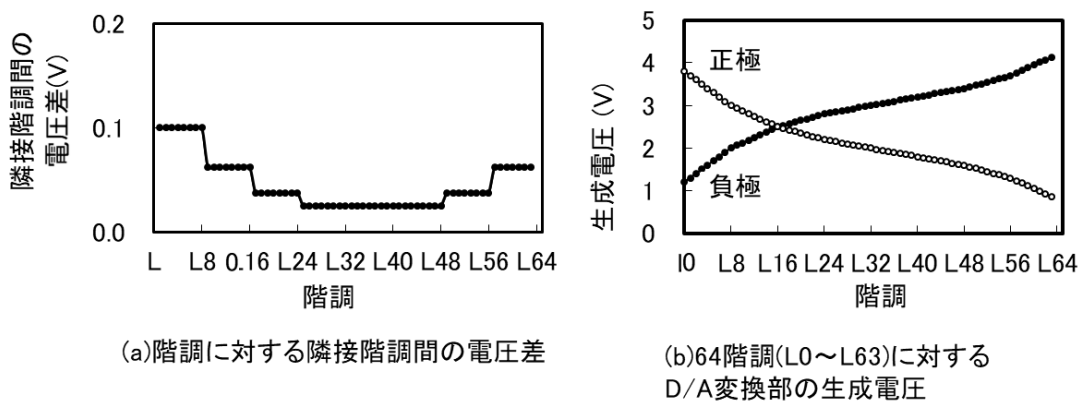


図 3-25 液晶の輝度-電圧特性



(a)階調に対する隣接階調間の電圧差

(b)64階調(L0~L63)に対するD/A変換部の生成電圧

図 3-26 D/A 変換部の生成電圧

### 3.5.3.3. デジタル/アナログ変換回路の誤差電圧

試作品の2インチLCD(表3-4、図3-24)を用いて誤差電圧の検証を行った。アナログバッファに用いる容量素子の大きさは0.6pFとした。結果を図3-27に示す。横軸はアナログバッファの出力電圧であり、縦軸は誤差電圧である。図中のグレーにした部分は、ここまで誤差電

圧が大きくなってしまうと、スジ・ムラなど画質不良として視認されてしまう領域である。電源電圧 5V に対し、出力電圧  $V_{out}$  が 2.5V 付近で狙い通り、最も誤差電圧が小さく、高精度となった。出力電圧  $V_{out}$  が 0.5V、もしくは 4.5V では誤差電圧が増大する傾向が見られたが、LCD の誤差電圧の許容値は、出力電圧 2.5V の場合よりも緩和されているので問題ない。また、スジ・ムラなどの画質不良は目視でも視認されなかった。このように 4.5V 付近や 0.5V 付近は誤差電圧が増大するものの、許容値も緩和されるのでうまく NG 領域を回避することができた。

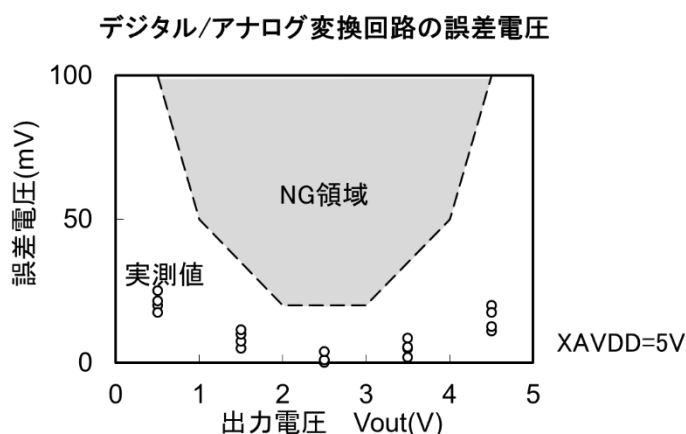


図 3-27 集積化したアナログ回路の誤差電圧

#### 3.5.3.4. アナログバッファの収束性の確認(発振しないことの確認)

アナログバッファは出力を入力にフィードバックするため発振による収束不良を起こさないことが重要である。今回のアナログバッファはインバータを 3 段直列しているため、中間電圧付近でゲインが最大となり、発振の危険性が高まる。3.5.2 アナログバッファ回路単体での発振マージンの検証を踏まえ、出力 SW の W 長を  $20\mu\text{m}$  とすることによって、2V 以上の駆動電圧マージンを確保できた。実機を用い中間電圧付近で確認を行った結果の一部を示す。

図 3-28 に、中間調(L31)のアナログ電圧を信号線に書き込んでいるときの信号線駆動波形の実測結果の一例を示す。初期値(initial level)は 2.5V であり、Grayscale L31 は 2.9V (負極)である。収束後も信号線電圧は安定しており収束不良(発振など)などの不安定な挙動は示していないことが全ての条件で確認できた。

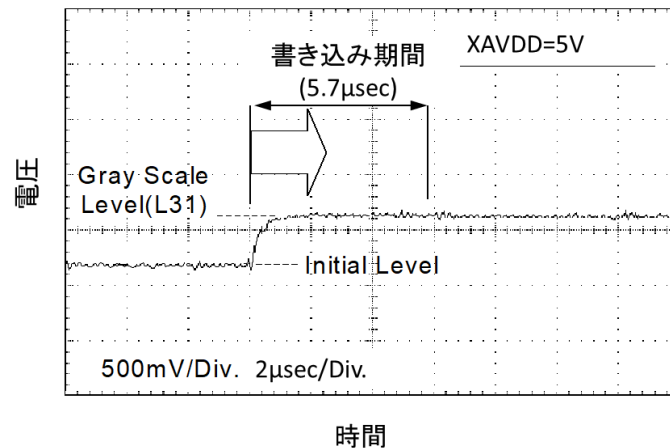


図 3-28 信号線書き込み波形

### 3.5.3.5. アナログバッファの消費電力

このようにアナログバッファとしてインバータ型(3段直列)アナログバッファを採用し、LCDのコモン反転駆動と組み合わせることによって、誤差電圧が許容範囲内、かつ収束不良の無いことを確認、アナログバッファの駆動電圧を5Vに低減できた。これにより、デジタル/アナログ変換機能を集積化し周辺ICとして必要だったドライバICを不要とすることによる『小型化』の見通しが立ったことになる。ここでは、表3-3の試作品を用いてアナログバッファの消費電力が許容範囲(10mW以下)内であるか確認を行う。

消費電力の測定は、電源ICから出力されるXAVDD電源(アナログバッファ用の電源)の消費電流を測定した。消費電力の測定結果を図3-29に示す。横軸にアナログバッファの駆動電圧(XAVDD)、縦軸に消費電力をとっている。消費電力の測定は狙いとするXAVDD=5Vを挟み4.5V~7Vの範囲で行った(XAVDDを8V以上にすると収束不良(発振)による線欠が生じるため、また、XAVDDを4V以下にするとアナログバッファが正常動作しなくなる)。消費電力は駆動電圧(XAVDD)が高いほど増大する。駆動電圧を低減するにつれ消費電力も低減し、XAVDD=5Vとすることによって4mWにできた。当時製品として許容されるであろう目標上限値は10mWであり、これをクリアできた。

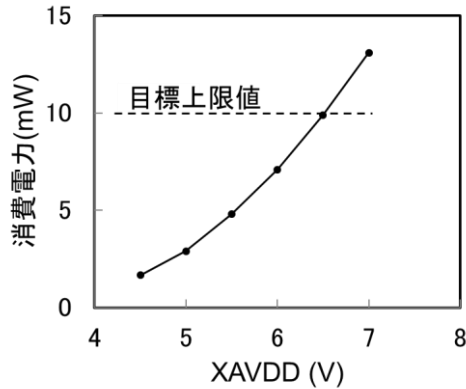


図 3-29 アナログバッファ 1 個の消費電力の駆動電圧依存性

### 3.5.3.6. 集積化レイアウト

これまでにアナログバッファにインバータ型(3 段直列)を採用、LCD のコモン反転駆動と組み合わせることで低消費電力化を実現、ドライバ IC を不要にできることを確認した。ここでは、ドライバ IC を不要化することの小型化の結果を説明する。図 3-30(a)は試作品の LCD パネルの外観写真である。アナログバッファとともに、デジタル回路、D/A 変換回路、及び選択回路を表示領域のしたの額縁部に設計・レイアウトした。額縁幅を 9.2mm と従来の製品と同等にできた。(b)はデジタル/アナログ変換回路部のレイアウト図であり、(c)はアナログバッファの拡大図である。(d)はアナログバッファの回路図を示したものである。選択回路は、1 つのアナログバッファに 6 本の信号線に対応させた。図 3-20 や図 3-28 により、アナログバッファが 1 本の信号線の書き込みに必要な時間は  $5.7 \mu \text{sec}$  と短時間で書き込みが可能なることから、アナログバッファを 88 個集積化し、選択回路により順次 6 本の信号線に対応させることにより、 $180 (\times \text{RGB}) = 540$  本のすべての信号線を駆動することができた。その分、回路専有面積を縮小でき、額縁幅としては 9.2mm にできた。これによって低消費電力化を実現しつつ周辺のドライバ IC を 2 個削減でき『小型化』の期待に応えることができた。



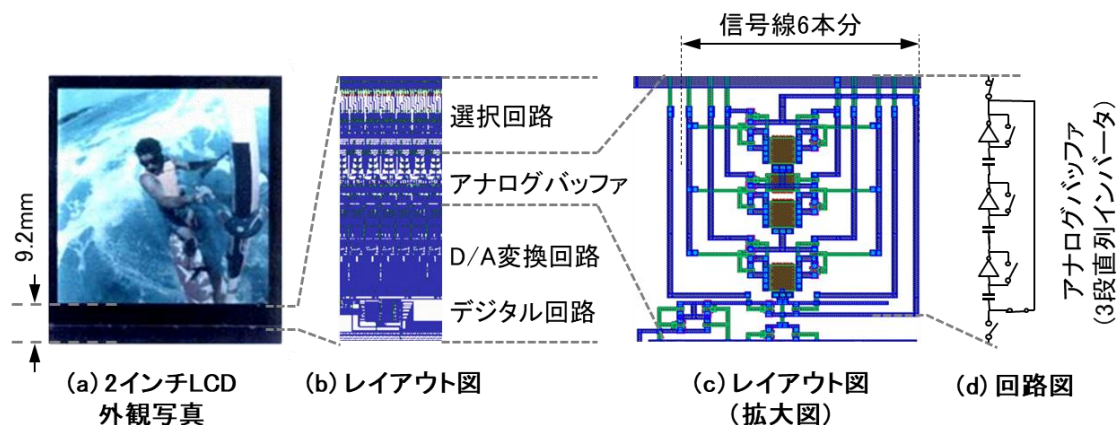


図 3-30 試作品のデジタル/アナログ変換回路のレイアウト図

### 3.6. 研究開発及び製品化動向

製品に必要な信頼性試験等もクリアでき、量産化・実用化に成功した。低消費電力化や額縁寸法の許容値に関し、それらが製品レベルで妥当性が認められたことになる。インバータ型アナログバッファのインバータ部の TFT のチャンネル長は当初上述の  $4.5 \mu\text{m}$  を採用したが、後継製品ではチャンネル長を小さく ( $4.5 \mu\text{m} \rightarrow 3 \mu\text{m}$ ) してさらに動作マージンの拡大が進んだ。また、出力 SW のサイズは  $50 \mu\text{m}$  まで拡大し発振しないための駆動電圧 (XAVDD) のマージンは  $4\text{V}$  程度に拡大した。さらに TFT のチャンネル長をさらに短く ( $3 \mu\text{m} \rightarrow 1.5 \mu\text{m}$ ) することによるデジタル回路の高速化 ( $24\text{MHz}$ ) 等の研究が継続し VGA ( $480 \times 640$  画素) への適用に発展した ([83]、[84])。ガラス基板上に高度な回路を集積化できる LTPS の利点を発揮し携帯端末用 LCD として LTPS がスタンダード化していくことに貢献したと考える。

### 3.7. まとめ

2001 年頃からの 3G 携帯電話向け LCD の『小型化』の期待を背景に、ドライバ IC を削減することが求められた。ドライバ IC が担っていたデジタル/アナログ変換機能の集積化にあたり、消費電力が大きく、従来オペアンプが用いられていたアナログバッファの低消費電力化が課題だった。この対策として、独自のインバータ型のアナログバッファを初めて導入し、LCD のコモン反転駆動と組み合わせることで、低電圧化 ( $5\text{V}$ ) し低消費電力化した。表示不良につながる誤差電圧は、インバータ部分を 3 段直列とすることにより  $20\text{mV}$  以下にできた。消費電力

は 4mW と目標値(10mW)に対し低くできた。低電圧駆動できるアナログバッファを実現できたことで、消費電力の課題が解決され、デジタル/アナログ変換機能を集積化でき、小型化の期待に応えた。

LTPS TFT は高移動度のため、本来ガラス基板上に低電圧回路を集積しやすい点を生かし、課題(低消費電力化)を解決できた。

## 第4章 光センサ機能の集積化

### 4.1. 期待

光センサは携帯電話等で図 4-1 左に示すようにディスプレイの周辺に配置され、周囲光の検知に用いられる。周囲光が明るいときは LCD の輝度を高め見やすさを改善し、周囲光が暗いときは見やすさに影響無い範囲で LCD の輝度・消費電力を低減するのに用いる [85] [86]。但し、周囲光センサは図 4-1 左図に示すように、LCD とは別個の部品として配置され、製品の小型化を妨げていた。これを右図のように TFT 基板の額縁内や画素部に周囲光センサを集積化し、『小型化』することが期待された [87] [88]。さらに光センサを画素部に集積化し、LCD に画像読み取りなどの機能を追加することも期待された。具体的には指紋を読み取ることによって、個人認証ができるようになれば、当時、端末の操作の際のセキュリティのためにユーザーが文字や数字からなるパスワードをキーボードから入力するといった操作を大幅に簡略化でき、『操作性改善』や『小型化』に役立つと期待された [89] [90] [91] [92]。また、バーコード<sup>1</sup>などのコードを LCD の画面から読み取ることにより入力操作を簡略化することも期待された。

---

<sup>1</sup> 線の太さや間隔の組合せにより、数字や文字などを機械が光学的に読み取れる形で表現したものの。

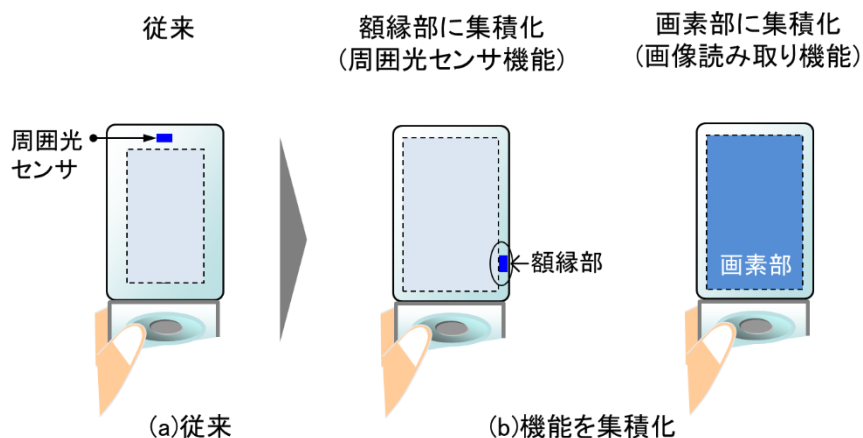


図 4-1 (a)光センサ集積化前と、(b)集積化後の LCD の概念図

## 4.2. 背景

### 4.2.1. 光センサとは(一般的な p-i-n ダイオード)

はじめに背景として、一般的な p-i-n ダイオードを用いた光センサ [93] [94]の仕組みについて説明する。図 4-2 に一般的な p-i-n ダイオードの断面図(左)とそのエネルギーバンド図(右)を示す。一般的には左図のようにシリコン半導体の n 型領域、i 領域及び p 領域が縦に積層形成される。ここにバイアス電圧  $V_R$ を図のように n 型領域のほうが p 領域よりも高い電圧が印加されるようにする。これを逆バイアスと呼ぶ。光 ( $h\nu$ ) が入射すると、抵抗  $R_L$  に電流が流れる。この電流量が光の強度に依存し変化する。さらにこれをエネルギーバンド図(右)で説明する。便宜上、p 領域、i 領域、及び n 型領域を横に並べて表記してある。光 ( $h\nu$ ) が入射するとシリコンの p-i-n ダイオードでの光電変換により電子・正孔対が生成する。生成した電子・正孔が電界により移動し、光電流が取り出される。光電流に寄与する領域は、空乏層だけでなく、空乏層から拡散長内の p 領域及び n 型領域である [93] [94]。照度に比例し取り出される電流が変化することで光センサとして機能する。

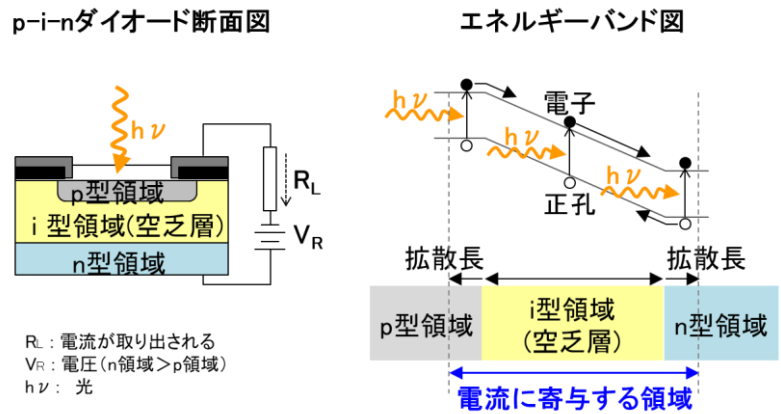


図 4-2 一般的な p-i-n ダイオードの断面図

#### 4.2.2. 明暗比

LTPS を用いて光センサを開発するにあたり、指標として「明暗比」を定義する。前項で説明したように、光センサは照度に応じて電流が変化することによって明るさを検知する。図 4-3 に示すように照度が高ければそれだけ大きい電流が流れる。しかし、低照度になるにつれ、照度変化に対し、電流変動が小さくなり、センサとして読取り困難になる場合がある。これは暗時でも流れてしまう暗電流が大きい場合に起こる。LTPS での光センサの指標として照度 1000[lux] と 0[lux] の電流比を数式 4-1 に示すように明暗比と定義する。明暗比は大きいほど、光の強弱により外部に電気的に取り出せる信号の大小のコントラスト比がよくなり、光センサの性能は高いことになる。

明暗比の目標値は 30 とした。これは、周囲光センサに期待される性能に基づく。非常に暗い寝室、室内、明るい屋外といった 3 段階程度の区別に使えることが期待された。低照度については 300 ルクス程度を識別できることを狙った。1000 ルクスときの電流を 100 とすると、暗電流は 3 程度となる。300 ルクスでの光電流は 30 程度なので、ここに加わる暗電流の割合が 1 割程度ということに相当する。

明暗比の改善のためには、図 4-4 に示すようにセンシングできる光起因電流を増やすか、暗電流を下げる必要がある。光起因電流としては、空乏層での電子・正孔対の生成分離によ

る空乏層生成電流と、空乏層の外でも電子もしくは正孔が生成し、このうち拡散により空乏層にたどり着いたものが寄与する拡散電流の成分があり、これらを大きくする必要がある。また、暗電流の低減のためには空乏層を小さくするか、空乏層内での暗電流の生成を低減しなければならぬ。但し空乏層を小さくすると光電流も減ってしまう。また、空乏層内での暗電流の生成を低減するためには、キャリアが伝ってしまう欠陥の密度を低減する必要がある。これは poly-Si のプロセスを大幅に変更することになりコストアップが予想される。本研究では、暗電流の低減でなく、光起因電流を増やすための研究を行う。

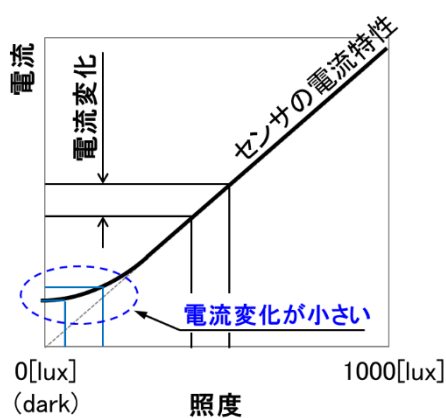


図 4-3 光センサの電流の照度依存性

$$\text{明暗比} = \frac{1000[\text{lux}] \text{での電流 (光起因電流 + 暗電流)}}{0[\text{lux}] \text{での電流 (暗電流)}}$$

数式 4-1

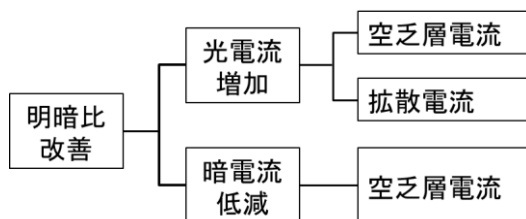


図 4-4 明暗比改善のための要因図

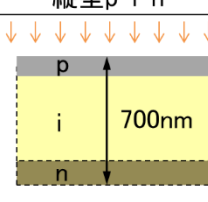
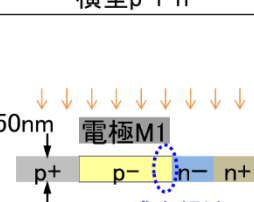
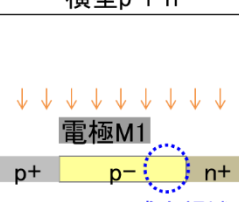
### 4.2.3. LTPS での従来技術との関係

LTPS も一般的な p-i-n ダイオードもシリコンであるという共通点を持つ。しかし、LTPS を光センサとして活用した LCD への LTPS 光センサの集積化の報告は無かった。一方、LTPS と光センサの共通点を活かし、集積化を行うことができると、小型化のためのブレークスルーとなり得る。このため、本研究では LTPS の光センサ集積化に取り組んだ。

表 4-1 に従来技術と本研究の位置づけをまとめた。表 4-1 左に従来の縦型 p-i-n 構造と、LTPS の poly-Si の適用可能性を示す。従来は LTPS を用いて回路を形成し、光センサとして a-Si を用いて厚さ 700nm の縦型 p-i-n を形成する報告があった [95]。しかし LTPS の poly-Si 層はレーザーアニールにより形成するため、その厚さが 50nm と薄く、一般的な光センサで用いられる縦型構造を形成することは難しい。表 4-1 中央に横型 p-i-n 構造の場合を示す。poly-Si で横型構造の p+型領域、p-型領域、n-型領域、n+型領域を横に並べる構造は、従来の LTPS 工程を用いて形成可能である。しかし横型構造では、p-型領域の主に感光に寄与する部分が電極に遮光されてしまい、感度(明暗比)が低くなってしまう。このため LTPS を光センサを LCD に集積化する先行報告は無かった。

本研究では表 4-1 右に示すように、LTPS 工程を用いて光センサを TFT と同時形成できる共通点に着目し、横型を前提に p-i-n 構造を改良し、明暗比を改善する研究に取り組む。

表 4-1 LTPS の光センサ

	従来技術		本研究
	縦型p-i-n	横型p-i-n	横型p-i-n
光センサ断面構造	 <p>a-Siセンサ(700nm厚)をpoly-Si回路と組合せた報告のみ</p>	 <p>p+ : PMOS TFT用のp型領域 n+ : NMOS TFT用のn型領域 n- : NMOS TFTのLDD領域</p>	
明暗比	— (poly-Siは50nmと薄く形成困難)	— (感光部が遮光)	~30

## 4.3. 課題

### 4.3.1. 課題構成

ここでは、3つの課題を取り扱う。まず第1は、横型 p-i-n 構造とした光センサの明暗比の改善である。明暗比を改善できれば集積化の道が開ける。次に明暗比を改善した上で、光センサを製品化適用した場合の第2の課題として、温度上昇に伴う明暗比低下による周囲光検知不良がある。さらに応用範囲を拡大するために、画素内に光センサを集積化することも期待され、画素内の狭い領域に集積化することが第3の課題である。本研究ではこれら3つを取り扱う。論文の構成としては、4.3/4.4/4.5で最大課題である明暗比について、課題/対策/検証の順で述べる。4.6では明暗比を解決した上で、周囲光センサの個別課題として、温度上昇に伴う明暗比低下という第2の課題について述べる。4.7では応用範囲拡大のために光センサを画素内に集積化する第3の課題について述べる。

### 4.3.2. 明暗比改善の課題

ここでは、第2章で図 2-6を用いて説明した従来の LTPS TFT の形成プロセスを用いて形成できる横型 p-i-n 構造を示した上で、その課題を説明する。

従来の LTPS 工程そのまま、横型 p-i-n 構造を形成フローを図 4-5を用いて説明する。図の(a)~(e)は、中央に横型 p-i-n 構造形成、右に NMOS TFT 構造形成のための各工程を示している。各工程では以下のプロセスを行う。

(a)ガラス基板の上にアモルファスシリコン(a-Si)を成膜した後、結晶化することにより多結晶シリコン化(poly-Si 化)する。

(b)poly-Si を所定の形状にパターンニングした後、全面にボロン注入(ドーピング<sup>1</sup>)を行い poly-Si 全体を p-型領域化する。

---

<sup>1</sup> シリコンを n 型化もしくは p 型化するための不純物注入



(c)レジスト<sup>1</sup>を必要な場所に形成し、レジストの形成されていない poly-Si にリン(P)を注入(ドーピング)し n+型領域化する。

(d)ゲート絶縁膜(GI)を成膜し、その上にゲート電極(M1)を形成する。さらに M1 の無いところにボロン注入(ドーピング)を行い p+型領域化する。

(e)ゲート電極(M1)をエッチング加工する。このとき、右の NMOS TFT では p-型領域の一部の M1 が除かれる。

(e')ゲート電極(M1)の無いところにリン注入し p-型領域と n+型領域の間に n-型領域を形成する。これは右の NMOS-TFT 部に LDD (Lightly doped drain)を形成するための工程である(図 2-6(e))。この領域は通常は光リーク電流が生じにくい条件で形成する(序論 2.4 参照)。中央の p-i-n ダイオードに関しては、工程(e)で得られた「M1 で覆われない p-型領域」を、この工程(f)により n-型領域(光リーク電流が生じない領域)化してしまっている。また、工程(e)で左の横型 p-i-n 構造部ではゲート電極 M1 をエッチングなしにもできるが、その場合には p-型領域は M1 電極で覆われたままとなる。

この素子の光電流の n-長依存性を調べた。図 4-7 に示すように p-領域の長さは  $3\mu\text{m}$ 、n-領域の長さをパラメタとした p-i-n 素子に、バイアス電圧  $V_{gp}=0\text{V}$ 、 $V_{np}=5\text{V}$  として、下方から 5 万ルクス照射した。図 4-8 に示すように、光電流は  $5\times 10^{-10}\text{A}$  程度流れる。しかし n-領域の長さを  $1\mu\text{m}$  以上に伸ばしても光電流が増加する傾向を示さない。このことから光電流の発生領域(感光領域)は、n-の領域よりも p-領域のほうが支配的となっていると考えた。

このようにして、従来の LTPS 工程を用いて図 4-6 に示すように横型 p-i-n 構造を形成することはできる。しかし、p-型領域は M1 電極で覆われた構造になってしまう。つまり、いずれの場合にも、p-型領域が M1 電極で遮光されてしまい、図 4-6 に示すように p-型領域の主に感光に寄与する領域が遮光されてしまい、明暗比が不足し、光センサ機能の妨げとなるのが課題である。

---

<sup>1</sup>金属や半導体の微細加工の際に用いる保護膜。

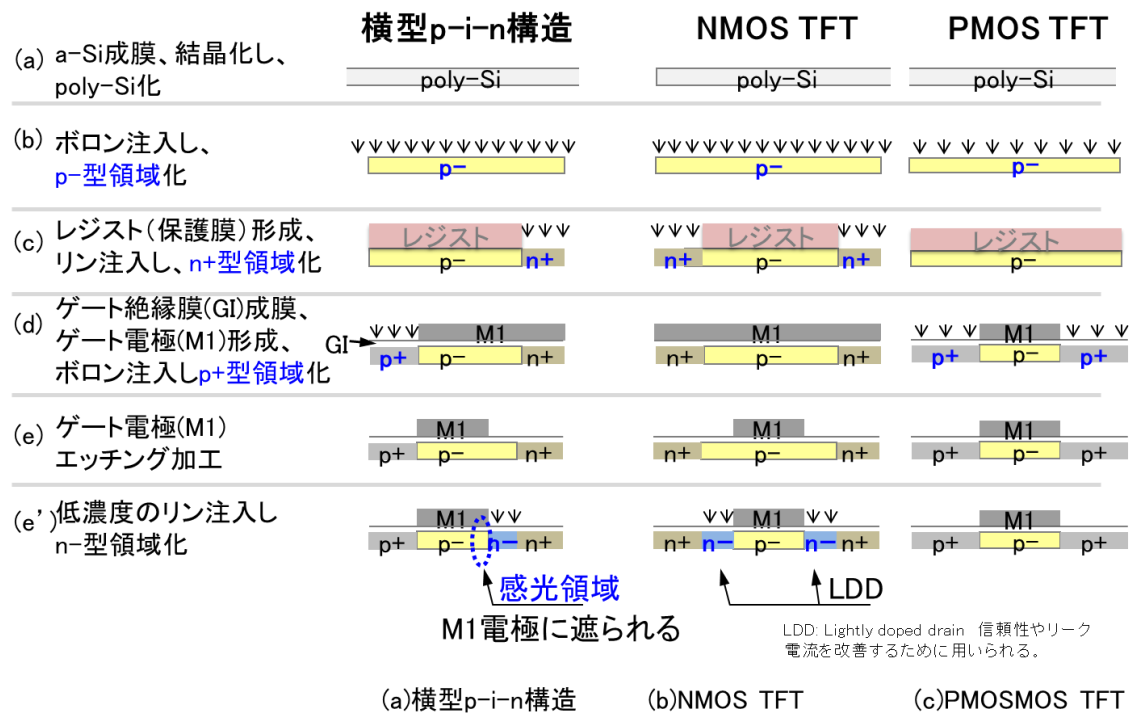


図 4-5 従来の LTPS 工程で横型 p-i-n 構造を形成するフロー

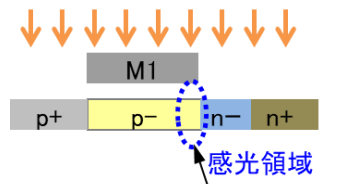


図 4-6 従来の LTPS 工程で得られる横型 p-i-n 構造

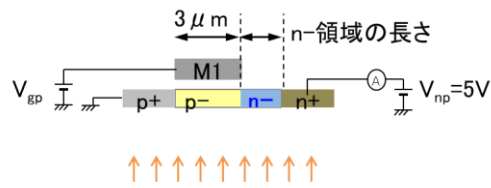


図 4-7 n-領域の長さ依存性の評価

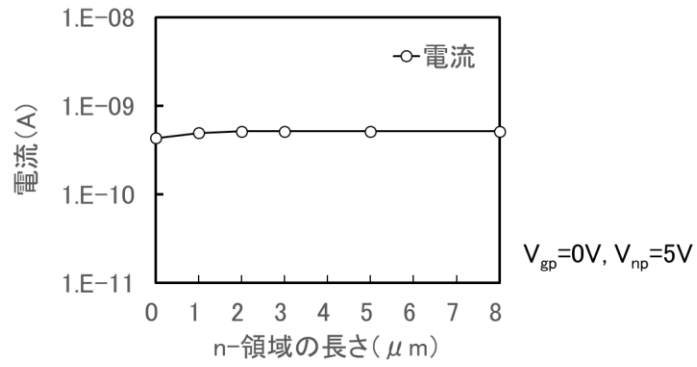


図 4-8 従来の LTPS 工程で得られる横型 p-i-n 構造素子の光電流の n-長依存性

## 4.4. 周囲光センサのための明暗比改善の対策

LTPS 工程を活かし、TFT と同時形成できる横型光センサを選択し、明暗比改善のための対策を行う。この概要を図 4-9 にまとめた。上段が従来の構造を示し、下段が対策となる改良策を示す。改良のポイントは、従来感光層が遮蔽されていたのに対し、工程を変更することで遮蔽されない感光領域を形成することである。この新たな構造を n-ノンドープ構造と呼ぶ。形成手段など詳細を以下で説明する。

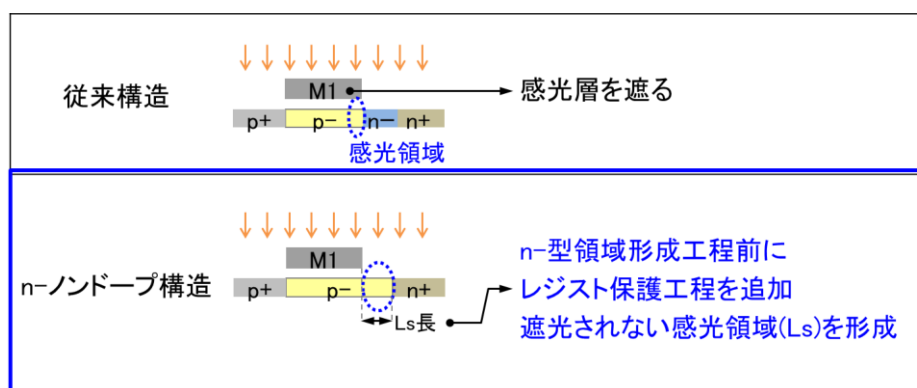


図 4-9 明暗比改善の対策

### 4.4.1. n-ノンドープ構造

#### 4.4.1.1. n-ノンドープ構造のための工程変更

ここでは工程変更の考え方と具体的な工程変更内容を説明する。

はじめに、工程変更の考え方を説明する。従来の工程を活かしつつ、遮蔽されない感光領域を形成することを狙う。従来工程を図 4-5 に示したが、図中の(e)工程では M1 電極に遮蔽されない感光領域が形成されていることに着目する。この領域が最終工程までそのままの形で保持できれば、遮蔽されない感光領域を得られると考えた。

次に具体的な工程変更内容を説明する。図 4-5(e)工程で形成された感光領域(p-型領域)を保持するためには、次工程(f)でのリンの注入(ドーピング)がされなければ良い。しかし工程(f)をスキップすると、PMOS-TFT 部では問題ないものの、NMOS-TFT 部で LDD 領域を形成することができなくなってしまう。その結果、信頼性の課題が発生してしまう。そこで、工程(f)の

前に、PMOS-TFT 部のみレジスト保護工程を追加する。図 4-10 に従来の工程と、n-ノンドープ構造工程の比較を示す。従来の工程と(a)～(e)までは従来(図 4-5)と同じである。異なるのは(e')の工程である。従来はこの工程は無かった。工程(e')ではゲート電極(M1)をエッチング加工した後、ゲート電極をマスクとして低濃度のリン注入をする。改良工程では、リン注入をする前に(e')レジスト形成工程を追加し、p-i-n センサにリン注入されないようにする。これにより遮光されない部分に感光に寄与する p-型領域を形成できる。なお、p-型領域のうち、ゲート電極(M1)に遮光されない部分の長さを「L<sub>s</sub>長」と呼ぶことにする。

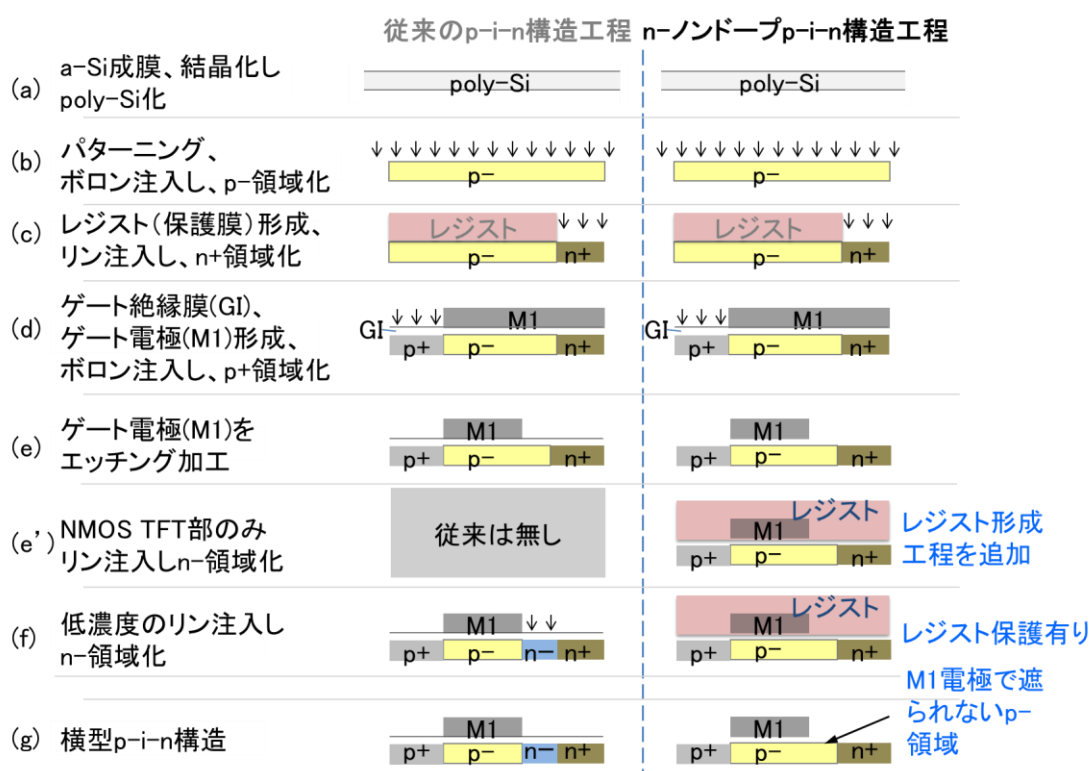


図 4-10 n-ノンドープ p-i-n 構造を形成するための改良フロー

#### 4.4.1.2. n-ノンドープ構造の狙い

n-ノンドープ構造による明暗比を改善するためには、2つの狙いがある。一つは前項で説明した遮蔽されない感光領域の形成である。もう一つは、 $L_s$ 長が空乏素に対し十分長い場合に期待できる拡散領域の効果である。以下、図 4-11 を用いて説明する。

1つ目の、遮蔽されない感光領域の形成について説明する。図 4-11①に示すように、p-型領域をゲート電極(M1)に遮光されない部分に形成することである。このようにすることで p-型領域のうち、n+型領域と接する部分に空乏層が形成され、感光に寄与する。 $L_s$ 長(p-型領域のうち、ゲート電極(M1)に遮光されない領域の長さ)が短いときは、 $L_s$ 長部分がすべて空乏層となると考えられる。

2つ目の、拡散領域の効果について説明する。図 4-11②に示すように、 $L_s$ 長が空乏層幅に対して長い場合に、空乏層の外の生成電流も拡散により光電流に寄与させる効果である。 $L_s$ 長に相当する p-型領域のうち、空乏層幅を超えた領域にも、光によりキャリアは生成され、拡散により移動する。これが空乏層にたどり着けば光電流として寄与する。

以上の2つの効果について数式で示す。LTPSもシリコンなので一般的なシリコンは導体を用いた p-i-n ダイオードの表記 [94]にならひ、光電流  $J_{ph}$  及び暗電流  $J_d$  はそれぞれ次式(4)、(5)で表せる。

$$J_{ph} = qG_{ph}W_D + qG_{ph}L_D \quad \text{数式 4-2}$$

$$J_d = qG_0W_D \quad \text{数式 4-3}$$

但し  $G_{ph}$  は光照射によるキャリア生成割合、 $q$  はキャリアの電荷、 $W_D$  は空乏層幅である。 $G_0$  は暗時のキャリア生成割合である。 $L_D$  は  $L_s$  長の領域のうち空乏層を除き、拡散電流として寄与できる領域の長さ(図 4-11②参照)である。図 4-11①のように  $L_s$  長が短い場合は  $L_D=0\mu\text{m}$  であり、図 4-11②のように  $L_s$  長が長い場合に有効( $L_D>0\mu\text{m}$ )となると考えられる。

また、電極 M1 は工程追加により削除してもよいが、 $L_s$  長が長い場合、電極 M1 は空乏層が形成される n+型領域/p-型領域界面近傍から遠ざかり、光センサの特性に影響しない。図 4-10 の工程(e)で p-i-n 素子上の電極 M1 をエッチングして除去することも考えられるが、その

場合は p+型領域上部のゲート絶縁膜 (GI) が工程(d)と工程(e)の合計 2 回エッチングガスに曝されることになる。両工程でゲート絶縁膜が少しずつエッチングされるため薄化してしまい、場合によってはゲート絶縁膜が完全に無くなってしまいう問題があり採用しなかった。この問題が生じないように工程を大幅に変更すると製造コスト上昇を招いてしまう。これらを考慮し、電極 M1 は図 4-11 に示すように、p+領域/p-領域端に残す構造とした。

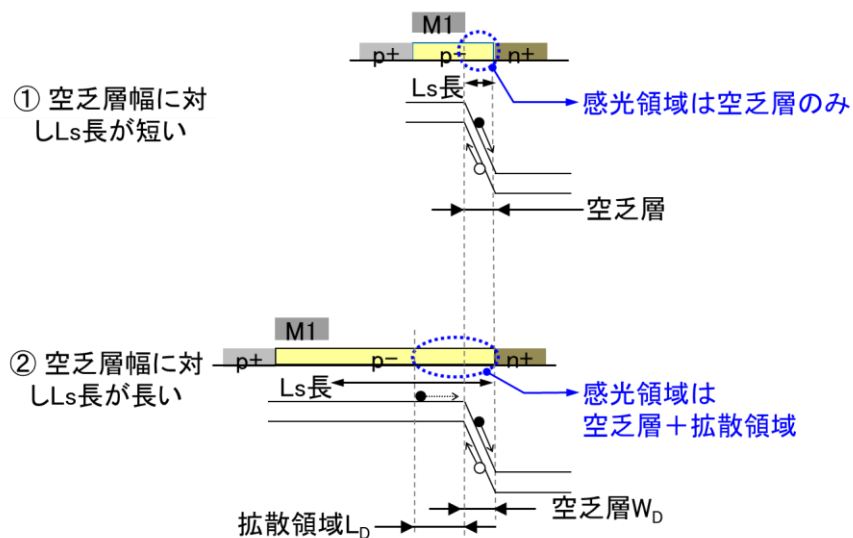


図 4-11 n-ノドープ構造の p-i-n ダイオードのエネルギーバンド図

## 4.5. 検証

### 4.5.1. 検証サンプルと実験条件

n-ノンドープ構造の検証について説明する。まず検証に用いるサンプルと実験条件について説明し、次に明暗比の評価結果、最後に追加実験による考察の順で説明する。

はじめに検証サンプルについて説明する。検証に用いる LTPS p-i-n ダイオードの断面図を図 4-12 に示す。ポリシリコンの膜厚は 50nm、ゲート絶縁膜の SiO<sub>2</sub> の膜厚は 80nm である。本研究では遮蔽されない感光領域として p-型領域を用いる。M1 電極の横方向の幅 (L 長) は 5 μm とし、ポリシリコンの i 領域のうち M1 電極が重ならない領域の横方向の長さ (L<sub>s</sub> 長) はパラメタとした。層間絶縁膜の SiO<sub>2</sub> の膜厚は 580nm である。p+型領域には GND 電圧(0V)を印加するためのカソード電極が接続される。n+型領域には正電圧を印加するためのアノード電極が形成される。さらに保護のためのパッシベーション膜として窒化膜 (SiN) が膜厚 450nm で形成される。

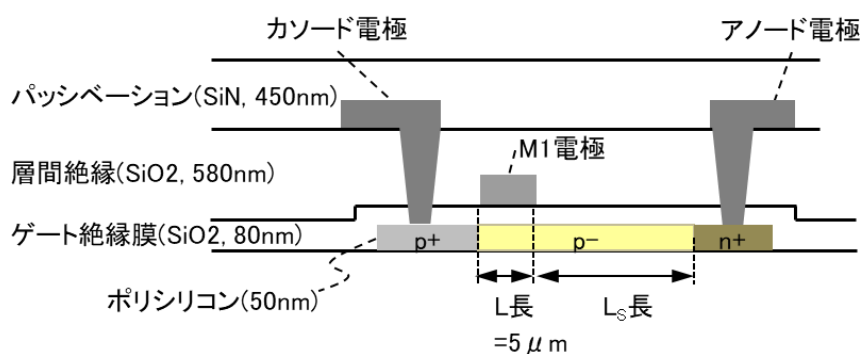


図 4-12 LTPS p-i-n ダイオードの断面図(n-ノンドープ構造)

次に実験条件について説明する。検証におけるバイアス電圧のかけ方を図 4-13 に示す。ポリシリコンの p+型領域に対し、正のバイアス電圧  $V_{np}$ (5V) をポリシリコンの n+型領域に印加した。M1 電極は電氣的にポリシリコンの p+型領域と接続した。光電流を計測するための照度 1000[lux] の光照射時に n+型領域から p+型領域に流れる電流を計測した。光源としてはハロ



ゲンランプを用いた。また、暗電流系即時には 0[lux]とし、n+型領域から p+型領域に流れる電流を計測した。

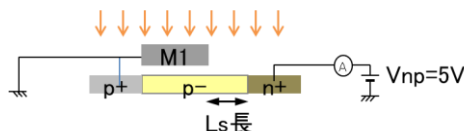


図 4-13 LTPS p-i-n ダイオードのバイアス電圧

#### 4.5.2. 明暗比の評価結果

ここでは、はじめに明暗比算出のために必要な光電流と暗電流の測定結果を示す。次に光電流と暗電流から算出された明暗比の結果を示す。

はじめに、図 4-13 のようにバイアス電圧をかけたときの光電流及び暗電流の  $L_s$  長依存性を図 4-14 に示す。バイアス電圧は 5V とし、光電流は 1000[lux]の照度下で、暗電流は 0[lux]で測定した。 $L_s$  長が 0~4 $\mu\text{m}$  の範囲では  $L_s$  長増大と共に光電流が直線的に増加する。 $L_s$  長が 4~10  $\mu\text{m}$  の間で増加するのは、図 4-11①に示すように  $L_s$  長の領域が全て空乏層となっており(数式 4-2 で  $L_D=0 \mu\text{m}$ )、そこでの電子正孔対の生成がそのまま光電流に寄与する効果が支配的となっていると考える。 $L_s$  長が 4~10 $\mu\text{m}$  の領域では光電流は増加傾向にあるものの  $L_s$  長増大と共に直線的に増加するのではなく、増加の傾きが徐々に低減する。さらに  $L_s$  長が 10~14 $\mu\text{m}$  の領域で光電流は増加せず、飽和傾向となる。この場合には図 4-11②に示すように  $L_s$  長に相当する p-型領域のうち、空乏層幅を超えた領域(式(4)の  $L_D>0 \mu\text{m}$ )で生成された電子のうち拡散により空乏層にたどり着いたものが光電流に寄与しているためと考える。この効果は空乏層端から遠ざかるほど低減してしまうため、10~14  $\mu\text{m}$  での飽和傾向として現れると考える。一方、暗電流については  $L_s$  長 2  $\mu\text{m}$  から 30  $\mu\text{m}$  の範囲でほぼ一定であった。

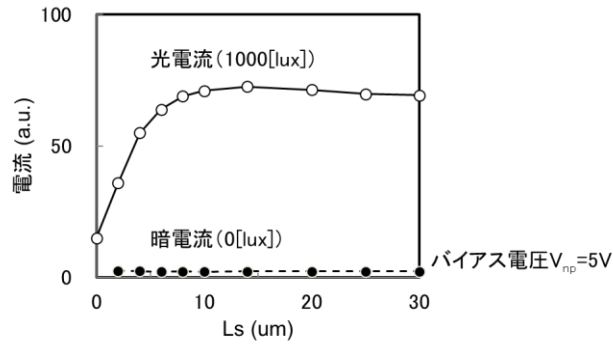


図 4-14 光電流及び暗電流の  $L_s$  長依存性 (n-ノンドープ)

次に上記の光電流と暗電流から算出した明暗比の結果を図 4-15 に示す。光電流が増加できたことで、 $L_s$  長を  $10 \mu\text{m}$  程度にすることで従来の 1 程度のレベルから 30 程度に増大できた。

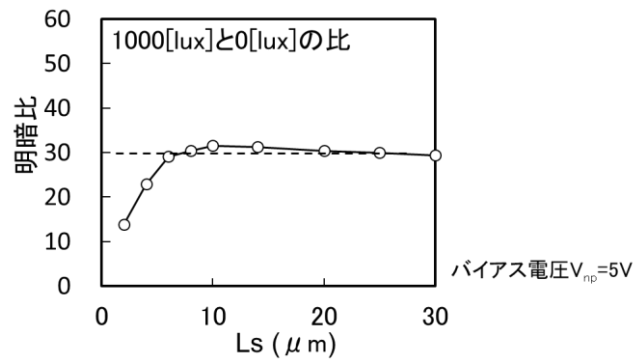


図 4-15 明暗比の  $L_s$  長依存性 (n-ノンドープ構造)

#### 4.5.3. 追加実験(1)

ここでは、 $L_s$  長を伸ばしたことにより拡散電流の成分が光電流に寄与するモデルの検証のための追加実験を実施、考察を行った。サンプルとして  $L_s$  長が  $20 \mu\text{m}$  と長いものを用い、暗電流及び光電流のバイアス電圧依存性を測定し、互いに関連付けて考察する。

はじめに、暗電流のバイアス電圧依存性から空乏層幅を推定し、次に光電流のバイアス電圧依存性について空乏層幅と関連付ける。最後に明暗比の  $L_s$  長依存性を考察する。

はじめに、図 4-16(a)に  $L_s$  長を  $20\ \mu\text{m}$ (一定)とした条件での暗電流のバイアス電圧依存性を示す。バイアス電圧  $V_{np}$  低減とともに暗電流も低減し、バイアス電圧  $V_{np}=0\text{V}$  では暗電流はほぼ 0 となった。一般的なシリコン半導体を用いた p-i-n 素子では空乏層幅  $W_D$  はバイアス電圧  $V_{np}$  低減とともに縮小する [94]。LTPS の p-i-n 素子でも、バイアス電圧  $V_{np}$  低減とともに空乏層幅が縮小すると推定される。そのためバイアス電圧  $V_{np}$  低減とともに数式 4-3 で  $W_D$  が小となり暗電流が低減すると考えられる。

次に図 4-16(b)に同条件での光電流のバイアス電圧依存性を示す。光電流は、 $V_{np}$  に依存する電流成分と、一定の電流との和となっているようにみることができる。バイアス電圧  $V_{np}$  低減とともに光電流も低減する。暗電流と同様、空乏層幅が縮小する分、光電流も低減すると考える。さらに、バイアス電圧  $V_{np}$  が 0V のとき、暗電流についての考察から、空乏層  $W_D$  は縮小してしまっているはずなのに、光電流はおよそ  $100\text{fA}/\mu\text{m}$  程度ある。図 4-14 に対する考察と同様、図 4-11②に示すように  $L_s$  長に相当する p-型領域のうち、空乏層幅を超えた領域で生成された電子のうち拡散により空乏層にたどり着いたもの、つまり数式 4-2 の第 2 項が光電流に寄与していると考ええる。

以上をふまえ、あらためて図 4-15 に示した明暗比の  $L_s$  長依存性を考察する。暗電流は  $L_s$  長依存性が殆ど無いため、明暗比改善は主に光電流の増大効果による。光電流は、 $L_s > 10\ \mu\text{m}$  では空乏層生成電流と、空乏層幅を超えた領域で生成された電子の拡散成分との両方の寄与になっていると考える。 $L_s$  長が  $10\ \mu\text{m}$  より短くなると徐々に拡散成分の寄与が減っていつてしまうと考える。明暗比を改善するためには、 $L_s$  長を長くし、拡散電流の成分をできるだけ多く寄与させることが重要であると考ええる。

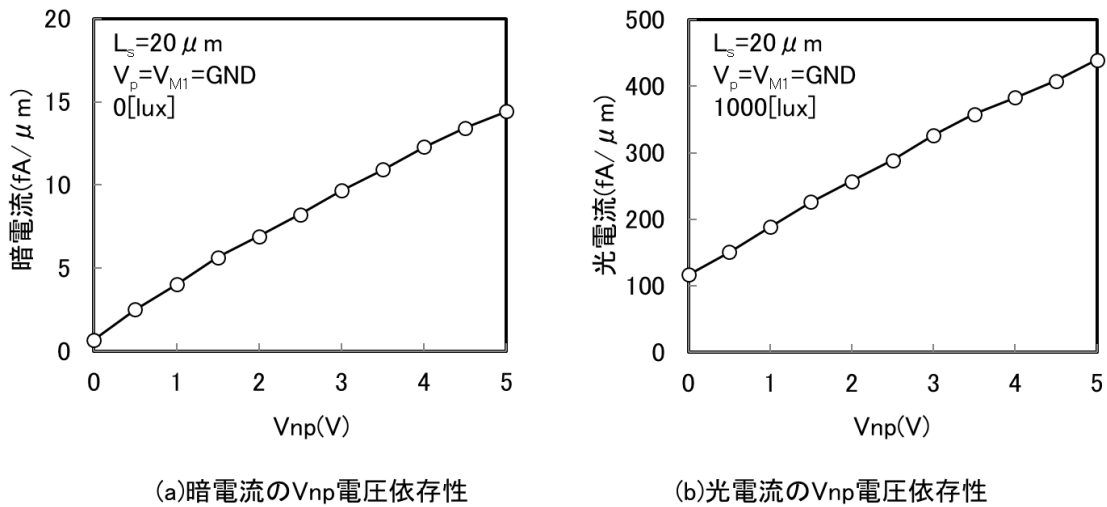


図 4-16 暗電流及び光電流の  $V_{np}$  電圧依存性

#### 4.5.4. 追加実験(2)

ここでは、暗電流の低減に関し追加実験を実施、考察を行った。サンプルとして  $L_s$  長が  $20 \mu m$  のものを用いる。

暗電流は再掲数式 4-3 に示すように暗時のキャリア生成割合  $G_0$  及び空乏層幅  $W_D$  に依存する。さらに暗時のキャリア生成割合  $G_0$  は poly-Si のバンドギャップ間の状態密度に依存すると考えられ、空乏層幅  $W_D$  は p-の不純物密度に依存すると考えられる [94]。ここでは p-注入時のドーズ量を  $\times 100\%$ 、 $\times 400\%$ 、 $\times 1000\%$  と変えたサンプルを作成し暗電流を測定した。その結果を図 4-17 に示す。横軸に p-注入条件、縦軸に暗電流をプロットした。なお、具体的には p-注入時の不純物ドーズ量 ( $cm^3$ ) の設定値を変えた。実際に poly-Si 膜中での実効的な不純物量がそのまま一致するわけではないが、大小の対応はしていると考えられる。

暗電流は、図 4-17 に示すように、p-注入条件(不純物ドーズ量の設定値)を  $\times 400\%$  としたときに 4 割程度低減した。

また、光電流も空乏層幅の変化による影響を受けると考えられるので同様に p-条件依存性を測定し、その結果を図 4-18 に示す。一方、光電流も図 4-18 に示すように p-注入条件(不純物ドーズ量の設定値)の増大に対し、低減傾向を示した。この低減傾向は暗電流の低減傾

向よりも強いため、信号強度が弱まったり明暗比が低下する弊害が生じると考えられるため採用しないことにした。但し、p-注入条件依存性は他のプロセス条件によって暗電流及び光電流に及ぼす効果が変わりえると考え。

$$J_d = qG_0W_D \quad \text{再掲数式 4-3}$$

$$J_{ph} = qG_{ph}W_D + qG_{ph}L_D \quad \text{再掲数式 4-2}$$

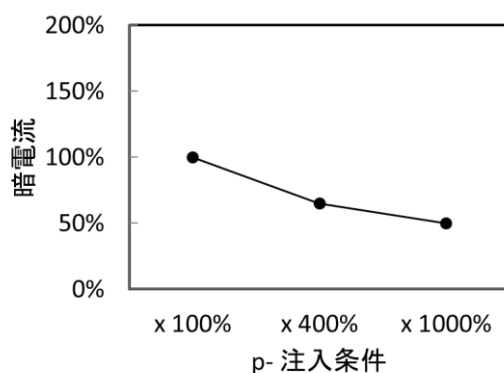


図 4-17 暗電流の p-注入条件依存性

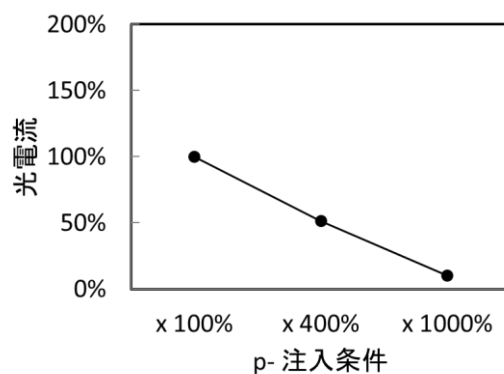


図 4-18 光電流の p-注入条件依存性

## 4.6. 周囲光センサ機能集積化

ここでは周囲光センサ機能集積化にあたり対策が必要となった、温度上昇に伴う明暗比低下という第2の課題について取り組む。

### 4.6.1. 背景

光センサは携帯電話等で再掲図 4-1 に示すようにディスプレイの周辺に配置され、周囲光の検知に用いられる。周囲光が明るいときは LCD の輝度を高めて見やすさを改善し、周囲光が暗いときは見やすさに影響無い範囲で LCD の輝度・消費電力を低減するのに用いる。但し、周囲光センサは再掲図 4-1 左図に示すように、LCD とは別個の部品として配置され、製品の小型化を妨げていた。これを右図のように TFT 基板の額縁内や画素部に集積化し、『小型化』することが期待された。携帯電話用 LCD の額縁部に LTPS p-i-n ダイオードを周囲光センサとして集積化した適用例について説明する。周囲光センサは、図 4-19 に示すようにディスプレイの周辺に集積化され、周囲光の検知に用いられる。ここでは、n-ノドープ構造の p-i-n ダイオードを用いた回路を集積化した [96]。

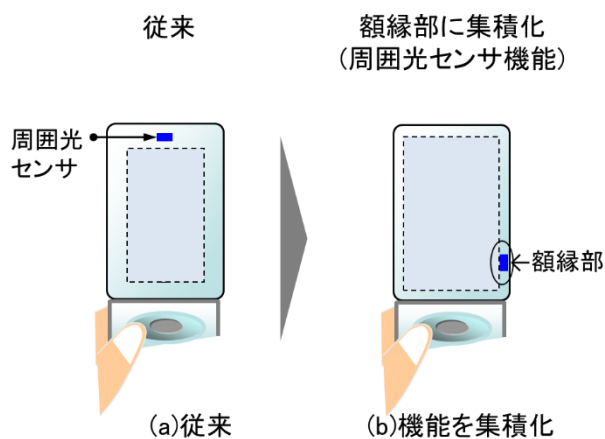


図 4-19 周囲光センサ集積化前(a)従来と、(b)集積化後

#### 4.6.2. 課題

周囲光センサとして額縁部に集積化する光センサとして LTPS プロセスを用いて形成する n-ノンドープ構造の p-i-n ダイオードを用いる。これにより、狙い通り常温で明暗比 30 程度が得られる。一方で、高温になると暗電流が温度上昇により増大するため、明暗比(再掲数式 4-1)が低下してしまい、周囲光センシングを妨げるため、実用化にあたり課題となった。LTPS はシリコンの結晶粒からなり、結晶粒の間に粒界をもつ。粒界には欠陥が含まれ、これらの欠陥をキャリアが伝わりリーク電流が流れる。欠陥を伝わるキャリアは温度上昇と共に増大する。これが高温になると暗電流が増大する要因となる。

$$\text{明暗比} = \frac{1000[\text{lux}] \text{での電流 (光起因電流 + 暗電流)}}{0[\text{lux}] \text{での電流 (暗電流)}} \quad \text{再掲数式 4-1}$$

図 4-20 に n-ノンドープ構造の p-i-n ダイオードに流れる電流の温度 30°C から 70°C での照度依存性を示す。バイアス電圧のかけ方は図 4-13 と同様にした。温度が 70°C と高くなると、照度 1000[lux] 付近以下で照度に対する電流値のニアリティが悪化する。図 4-21 に LTPS p-i-n ダイオードの暗電流の温度依存性を示す。常温(25°C、 $1/T=0.00336$ )では、1000[lux]での電流値に対し数十分の 1 程度と小さい。しかし温度上昇と共に、暗電流が増大し 70°C では一桁強増加するため、暗電流だけで照度 100[lux] 程度の時の電流と同等の電流が流れてしまい、明暗比は 10 未満に低下してしまう。その結果、この素子を光センサ用に組み込むと、素子に流れる電流が増えたときに、それが周囲光起因の光起因電流の増加なのか、温度起因による暗電流が増加したのか、区別ができない。この課題に対し、温度起因による暗電流の影響を除去する回路を周囲光センサに組み込むことで対策する。

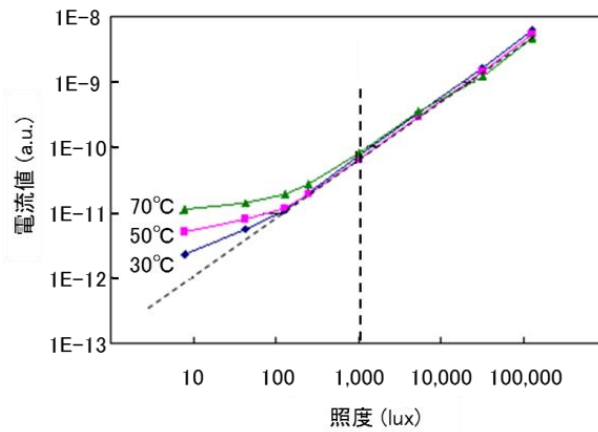


図 4-20 LTPS p-i-n ダイオードの電流特性

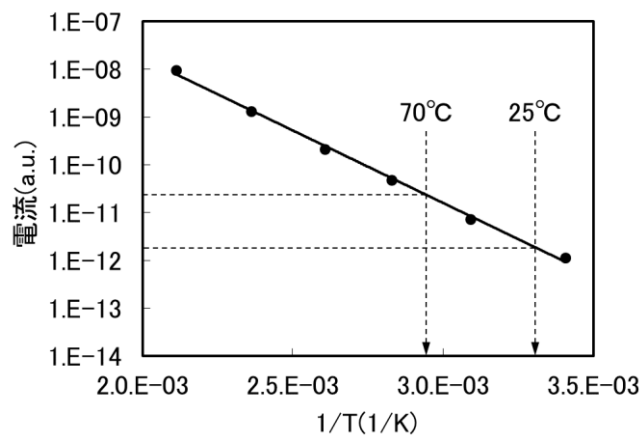


図 4-21 LTPS p-i-n ダイオードの暗電流の温度依存性 ( $V_{np}=5V$ )

以下、まず、4.6.3 集積化する周囲光センサ回路、次に 4.6.4 ノイズ減算回路付き光センサ回路(対策回路)、最後に 4.6.5 試作品による検証結果の順で説明する。



### 4.6.3. 集積化する周囲光センサ回路

ここでは、まず LTPS を用いて LCD に集積化する回路について説明する。

はじめに、LTPS を用いて集積化する回路を含む回路ブロック図について説明する。LTPS を用いて周囲光センサを集積化した LCD の回路ブロック図を図 4-22 に示す。関連する部品は、LCD パネルと、ソースドライバ IC と、バックライトである。これらがシステム全体を制御する中央処理装置(ホスト)から制御される。ソースドライバ IC は LCD パネルに制御信号及び電源を供給し、LCD パネルは周囲光値と呼ぶ光センサの出力値を返す。

周囲光センサ機能のために LCD に集積化されるのは、光センサ、比較器<sup>24</sup>、カウンタ<sup>25</sup>及びパラレル/シリアル変換回路<sup>26</sup>である。光センサの信号は、比較器とカウンタにより 16 段階のデジタル信号に変換され、パラレル/シリアル変換回路により単一の配線からソースドライバ IC に出力される。ソースドライバ IC は、表示のために必要なアナログ電圧、ゲート線駆動回路及び選択回路の制御信号を LCD パネルに出力する。さらに LCD パネルから出力される光センサの値を格納する。中央処理装置(ホスト)はこの値を参照しバックライトの制御を行う。

光センサ部について、p-i-n ダイオードを光センサとして用いた周囲光センサ回路のしくみについて図 4-23 により簡単に説明する。容量素子(C1)に光センサ(PD1)を接続しておくこと、照度に応じた光電流により容量素子 C1)の電圧が変化する。この電圧変化を計測することで、光電流を計測することが可能になる。この回路の後段に容量素子(C1)の電圧を 16 段階のデジタル信号にする回路が配置される。

---

<sup>24</sup> 2 つの電圧の大小により出力が変わる回路。入力電圧をデジタル化するのに用いる。

<sup>25</sup> 数を数える回路。クロックを入力し時間を計測するのに用いる。

<sup>26</sup> 同時入力される複数の信号を単一の直列信号に変換する回路。信号の伝送線数を削減するのに用いる。



#### 4.6.4. ノイズ減算回路付き光センサ回路(対策回路)

ここでは高温時の明暗比が低下してしまう課題の対策の考え方について説明する。温度による暗電流上昇分を光センサの出力から取り除くために、光センサとは別個に、周囲光を照射しない光センサ(以下ノイズセンサと呼ぶ)をもうひとつ組配置する。追加されたノイズセンサは周囲光が照射されないため、光起因電流は検知できない。このことを活用し、光センサの出力(光起因成分と、暗電流(熱起因)成分の和)からノイズセンサ出力(暗電流(熱起因)成分)を減算する。この回路を「ノイズ減算回路付光センサ」と呼び、図 4-24 に示した。光センサ PD1 とノイズセンサ PD2 の断面図を図 4-25 に図示した。周囲光センサとノイズセンサは同様の回路を備え、近接させて TFT 基板上に配置される。違いは対向カラーフィルタ基板のブラックマトリクスと呼ばれる黒色樹脂部を開口するか否かにより、周囲光が入射するか否かを変える点である。ブラックマトリクスで覆われたノイズセンサ PD2 は、光起因成分を検知できない点を除きその他の回路、構成は光センサ PD1 と同様になる。この回路の詳細と、この回路の信号をデジタル信号に変換する回路の詳細を説明する。まず 4.6.4.1 で具体的なセンサ出力算出方法を、次に、4.6.4.2 でセンサ出力のデジタル化手法について説明する。

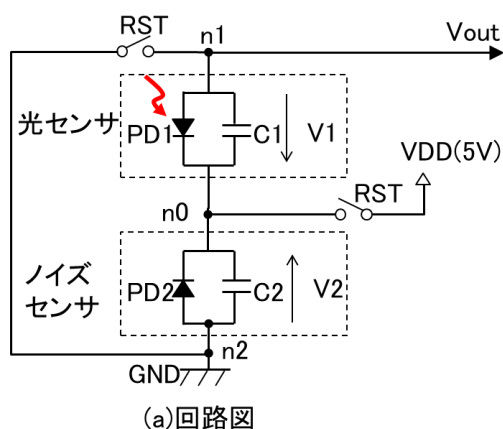


図 4-24 ノイズ減算回路つき光センサの回路図

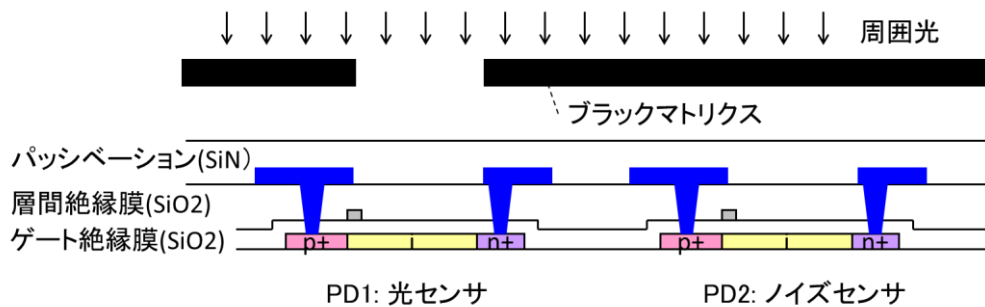


図 4-25 2つのセンサ(PD1, PD2)とブラックマトリクス関係を示す断面図

#### 4.6.4.1. 詳細説明:ノイズ減算回路付き光センサ出力の算出法

図 4-24 の回路を用いてセンサの出力電圧  $V_{out}$  から熱電流等のノイズによる影響を除く方法について、はじめに算出方法の概要を説明し、次に、図 4-26 のタイミング図を用いて詳細を説明する。

はじめに算出方法の概要を説明する。光センサはフレーム期間の初期に駆動電圧を充電され、その後の露光期間中では、光起因電流や熱起因電流の影響で保持している電圧が低下していく。光をあてる光センサが接続された容量素子と、光をあてない光センサが接続された容量素子の電圧差分をとることにより、熱電流などの共通のノイズ成分を除去し、正味の光起因電流による成分のみを出力する回路を構成した。その動作の流れは、まず、2つの容量素子それぞれに所定の電圧を保持させる。次に光起因電流や暗電流により2つの容量素子の電圧が低下する。これらの電圧差分が正味の光起因成分であり、時間と共に増大していく。電圧差が所定値に達する時刻により、光起因成分の大きさを検知する、というものである。

次に図 4-26 のタイミング図を用いて詳細を説明する。1回の周囲光センシングのための期間を、センサのフレーム期間( $T_{sensor}$ )と呼ぶ。具体的には 22.5msec である。まず時刻  $t_1$  にリセット信号 RST を High レベルとして2つの容量素子 C1 と C2 とに VDD 電圧(5V)を充電する。そして時刻  $t_2$  に RST を Low レベルとして2つのスイッチをオフする。センサのフレーム期間( $T_{sensor}$ )中に容量素子 C1 と C2 の電荷がそれぞれに接続された p-i-n ダイオードを通じてリークする。容量素子 C1 と C2 のそれぞれの両端にかかる電圧  $V_1$  と  $V_2$  が減少する。以下、電圧  $V_1$ 、 $V_2$ 、及び  $V_{out}$  に関し、説明する。

まず、電圧  $V_1$  はリセット直後の電圧  $V_{DD}$  から、リーク電流による電圧低減分を減じることに  
より数式 4-4 で表せる。 $I_p$  は p-i-n ダイオード PD1 に流れる電流であり、光により生じる正味の  
光起因電流  $I_{p1}$  と、熱電流などのノイズ電流  $I_{n1}$  を含む。

次に電圧  $V_2$  も同様にして、数式 4-5 で表すことができる。 $I_{n2}$  は p-i-n ダイオード PD2 に流  
れる熱電流などのノイズ電流である。

最後に、出力電圧  $V_{out}$  (図 4-26 の青実線) は容量素子 C2 の電圧値  $V_2$  から容量素子 C1  
の電圧値  $V_1$  を減じた電圧値となり数式 4-6 で表すことができる。さらに p-i-n ダイオード PD1  
と PD2 が近傍にあれば  $I_{n1}=I_{n2}$  として、数式 4-7 のようになる。これから、出力電圧  $V_{out}$  は正味  
の光起因電流  $I_{p1}$  のみに依存する形になり、熱電流等のノイズの影響を減算できる。出力電圧  
 $V_{out}$  の時間依存性は、周囲光の照度が高ければ傾き大となり短時間で増大し、逆に周囲光  
の照度が低ければ傾きが小となり増大に時間がかかる。

$$V_1 = V_{DD} - \frac{1}{C} \int I_p dt = V_{DD} - \frac{1}{C} \int (I_{p1} + I_{n1}) dt \quad \text{数式 4-4}$$

$$V_2 = V_{DD} - \frac{1}{C} \int I_{n2} dt \quad \text{数式 4-5}$$

$$V_{out} = V_2 - V_1 = \frac{1}{C} \int (I_{p1} + I_{n1} - I_{n2}) dt \quad \text{数式 4-6}$$

$$V_{out} = V_2 - V_1 = \frac{1}{C} \int (I_{p1} + I_{n1} - I_{n2}) dt = \frac{1}{C} \int I_{p1} dt \quad \text{数式 4-7}$$

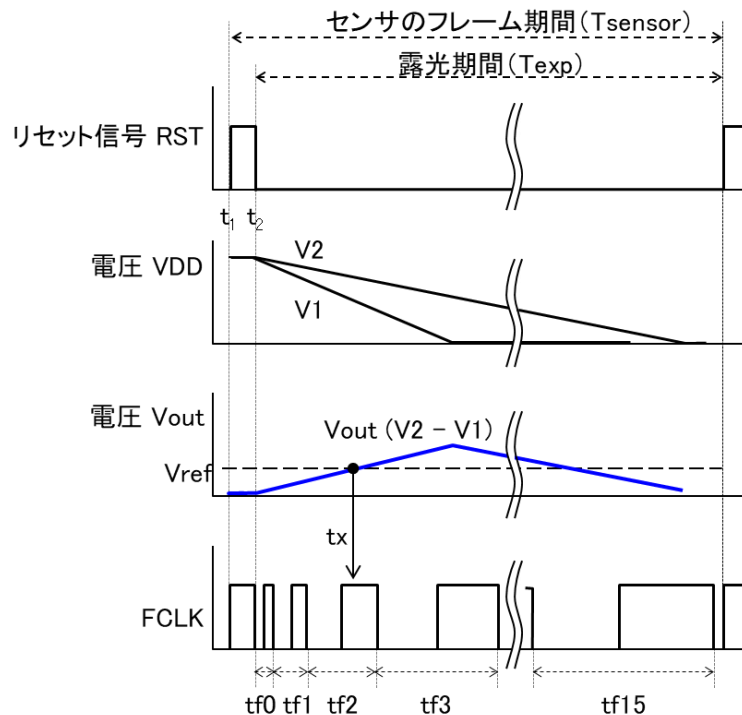


図 4-26 ノイズ減算回路付光センサ回路のタイミング図

ここで、容量素子及び n-ノンドープの W 長の決め方を説明する。容量素子の大きさは十分大きいことが望ましい。LCD の額縁部にはゲートドライバのためのクロックや制御信号が多数配線されており、これらの電圧振幅は 10V と大きい。このため容量結合によるノイズにより容量素子 C1, C2 の電圧が変動してしまうことがある。容量素子 C1, C2 の大きさはこうしたノイズの影響が生じにくいように決める。また n-ノンドープ素子の W 長はこれら C1, C2 に基づいて所定の期間内に必要な電圧変化を検出できるように決める。具体的には、容量素子 C1, C2 の大きさはともに 1pF、p-i-n ダイオード PD1, PD2 は共に  $L_s$  長を  $20\mu\text{m}$ 、W 長を 1.6mm とした。4.6.5 でも触れるが、周囲光センサは LCD パネルの額縁部に集積化するため、n-ノンドープ素子の W 長が 1.6mm 程度あっても問題とならない。

#### 4.6.4.2. 詳細説明: センサの信号をデジタル化する回路

ここでは、はじめに光センサの後段に接続される回路により、センサの信号をデジタル信号に変換する部分を図 4-27 の回路ブロック図を用いて説明する。次に検知すべき周囲光の広

い照度範囲への対応について説明する。携帯端末はさまざまな周囲光環境下で用いられる。周囲光の検知は室内環境に相当する数百[lux]程度から、屋外環境に相当する数万[lux]のオーダーの周囲光をを段階的に検知することが求められる。この点については表 4-2 を用いて説明する。

はじめに光センサ PD1 の容量素子とノイズセンサ PD2 の容量素子の電圧差分値の増大量(光起因成分)が、所定の値に達する時刻を求める方法を説明する。図 4-27 に試作品の LCD に集積化する周囲光センサの回路ブロック図を示す。光センサの後段には比較器と、カウンタと、パラレル/シリアル変換回路とが接続されている。センサからの出力電圧  $V_{out}$  は上述の 2 つの容量素子の電圧差分値であり、正味の光起因成分を反映している。これが所定値に達したことを比較器により検出し、その時点のカウンタ値を出力する。すなわち、比較器の参照電圧  $V_{ref}(=0.4V)$  に到達するとトリガ信号 tx が出力され、カウンタはその時点のカウンタ値 ( $S\_data$ ) を 2 進数の周囲光値 (ALS 値) としてパラレル/シリアル変換回路に出力する。カウンタは 4-bit であるから ( $2^4=$ ) 16 段階の階調出力が可能である。カウンタには FCLK というクロックを入力する。FCLK のパラメタ及び周囲光値 (ALS 値) との関係を表 4-2 にまとめた。一例として図 4-26 の場合について具体的に説明する。トリガ信号 tx は  $tf_2$  の期間に発せられ、このときカウンタ値 ( $S\_data$ ) は '0010' であり、これがパラレル/シリアル変換回路に出力され、さらにドライバ IC に出力される。'0010' は 10 進数の周囲光値 (ALS 値) としては "13" に相当する。周囲光に対する感度やガンマ特性は FCLK のパラメタや比較器に入力する参照電圧  $V_{ref}$  の値により調整することができる。

次に検知すべき周囲光の広い照度範囲への対応について説明する。携帯端末はさまざまな周囲光環境下で用いられる。周囲光の検知は室内環境に相当する数百[lux]程度から、屋外環境に相当する数万[lux]のオーダーの周囲光をを段階的に検知することが求められる。そこで、数百[lux]から数万[lux]の周囲光の照度を 16 段階の階調に対応させるため、 $tf_0$ 、 $tf_1$ 、…、 $tf_{15}$  と徐々に期間の長さが長くなるように設定した。このようにして光センサの後段に接続される回路により、センサの信号をデジタル信号に変換する。

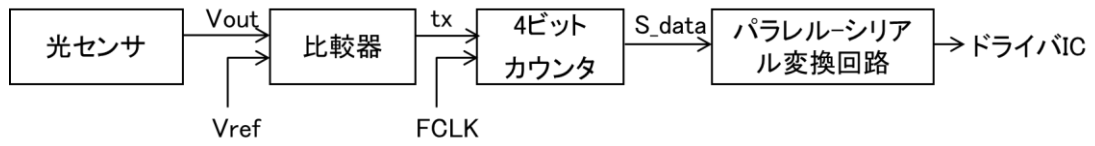


図 4-27 回路ブロック図

表 4-2 FCLK 期間と ALS 値

FCLK パラメタ名	期間(μs)	ALS 値	
		4ビットバイナリ (S_data)	10進数
tf0	40	0000	15
tf1	80	0001	14
tf2	120	0010	13
tf3	160	0011	12
tf4	240	0100	11
tf5	360	0101	10
tf6	520	0110	9
tf7	760	0111	8
tf8	1040	1000	7
tf9	1402	1001	6
tf10	1762	1010	5
tf11	2122	1011	4
tf12	2402	1100	3
tf13	2642	1101	2
tf14	2802	1110	1
tf15	2962	1111	0



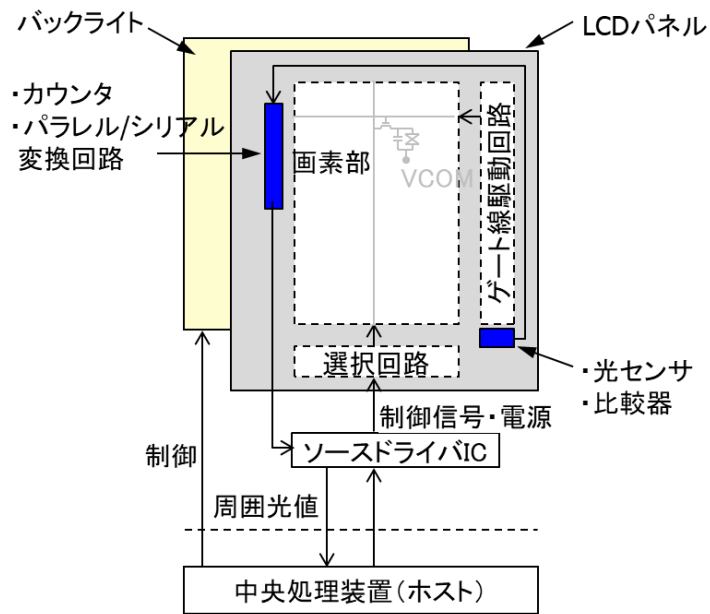
#### 4.6.5. 試作品による検証結果

ノイズ減算回路付光センサを LCD の額縁部に集積化した試作品を用いて検証を行った。試作品の LCD の仕様を表 4-3 に、回路ブロック図を再掲図 4-22 に示す。LCD の画面サイズは対角 1.6 インチ、画素数は  $120 \times 160$ 、表示色は 26 万色、液晶方式は IPS 液晶、TFT は CMOS LTPS、周囲光センサは n-ノンドープ構造の LTPS p-i-n ダイオードを用い LCD の額縁部に集積化した。n-ノンドープ素子の  $L_s$  長は  $20 \mu\text{m}$ 、W 長は  $1600 \mu\text{m}$ 、容量素子は  $C1=C2=1\text{pF}$  である。図 4-28 に集積化した周囲光センサのレイアウト図を示す。光センサは W 長が  $200 \mu\text{m}$  のものを 8 個並列接続し、合計の W 長が  $1600 \mu\text{m}$  となるようにした。ノイズセンサも同様である。周囲光センサを集積化する領域は LCD パネルの額縁と呼ばれる領域であるため回路の専有面積の点で問題とならない。

これを用い、周囲光センサ部の照度を変えながら周囲光センサの出力値を測定した。

表 4-3 試作品の仕様

項目	仕様
画面サイズ	1.6 インチ
画素数	$120(\times\text{RGB}) \times 160$
表示色	26 万色
液晶方式	IPS 液晶
TFT	CMOS LTPS
周囲光センサ	LTPS p-i-n ダイオード n-ノンドープ構造 LCD パネル額縁部に集積化



再掲図 4-22 周囲光センサ集積化 LCD の概略回路ブロック図

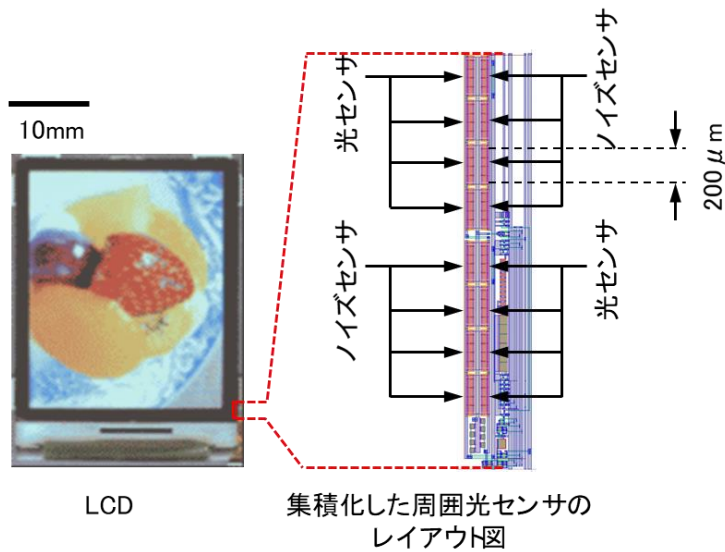


図 4-28 集積化した周囲光センサのレイアウト図

図 4-29 に 25°Cと 70°Cでの各周囲光センサの照度特性の測定結果を示す。なお、図はデジタル回路を介して出力した値を示したため、階段状になっている。従来の周囲光センサ(赤点線)では、70°Cになると 1000[lux]付近以下でも ALS 値が 7 となってしまう、それより低い値

を示さない。図 4-20 及び図 4-21 に示したように p-i-n ダイオードの暗電流が温度により増大し、照度 100[lux]程度の照度での光電流に相当する電流となってしまふ。この結果、明暗比が低下し、周囲光依存性が読取れなくなると考えられる。これより下の照度は計測できているといえない。これに対し、ノイズ減算回路つき光センサ(黒点線)では 70°Cでの ALS 値が途中で飽和してしまうことなく、25°Cの場合とほぼ同様に照度の変化に応じた応答を確認できた。これはつまり、温度の影響を排除でき、温度依存性よりも周囲光依存性が支配的になっていることを意味する。このようにして、ノイズ減算回路を付加することで上昇による明暗比低下してしまうという、第 2 の課題を対策できた。

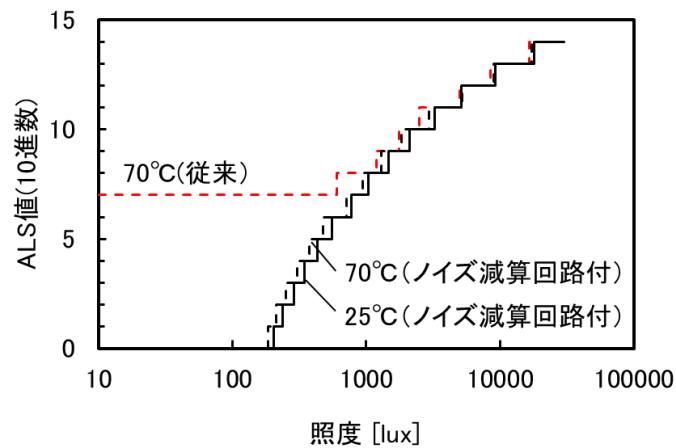


図 4-29 ノイズ減算回路付光センサの特性 ( $V_{np}=5V$ 、 $V_{DD}=5V$ 、 $V_{ref-1}=0.4V$ )

## 4.7. 画像読取り機能の集積化

ここでは、光センサを用いて LCD に画像読み取り機能をもたせるにあたり対策が必要となった、画素の狭い領域への集積化という第 3 の課題について取り組む。

### 4.7.1. 背景

LCD の TFT 基板に光センサを集積化する技術のアプリケーションとして、名刺や指紋を読むといったイメージスキャン機能や、画面をタッチする指の像を読み取りタッチパネル機能を LCD に持たせることが期待された。これらの機能を持つことによって、『操作性改善』や『小型化』につながるからである [97] [98] [99]。そこで、画素内に光センサを集積化することによって、これらの機能を実現することに取り組んだ(図 4-30)。

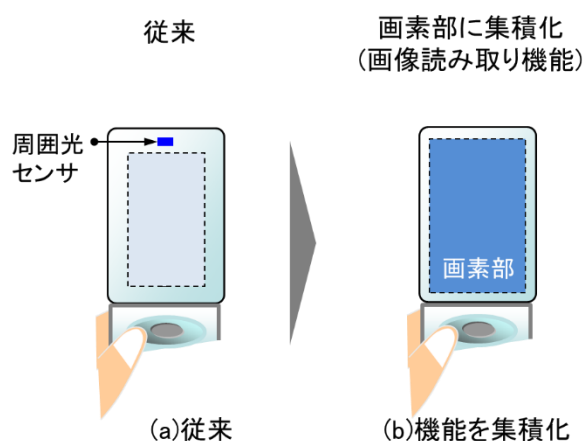


図 4-30 画像読み取り機能の集積化

具体的には、図 4-31 に示すように、LCD の表示の光を光源とし、対象物の反射光を画素内に集積化した光センサで読取る機能を持たせる。光源は LCD の表示光(バックライト光が LCD で変調された光)なので、明暗や色を変えることができる。光センサはシリコン (poly-Si) なので可視光に感度がある。よって、対象物のグレースケール(明暗の階調)や色を読取れると考えられる。

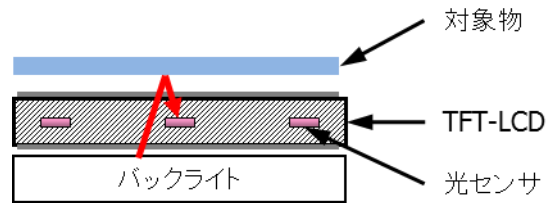


図 4-31 画像読み取り機能の原理

額縁部に周囲光センサとしての光センサを集積化する場合(4.6)と、画素に光センサを集積化する場合との主な違いを、表 4-4 に比較する。①集積化する場所、②集積化回路のための占有面積、さらに③読取る対象の光の照度が異なる。以下、これらの差異について説明した上で課題について説明する。

表 4-4 周囲光センサと画像読取りセンサの違い

	周囲光センサ	画像読取りセンサ
①集積化する場所	LCD の額縁部	LCD の画素部
②許容される占有面積	数 mm 角程度	数十 $\mu\text{m}$ 角程度
③読取る光の照度	100～数万[lux]	数 100[lux]以下

#### 4.7.2. 課題

まず、①集積化する場所については、周囲光センサが LCD の額縁部だったのに対し、画像読み取りセンサでは LCD の画素部となる。このため、②占有面積については、周囲光センサ(4.6.)では数 mm の範囲を回路集積のために占有することができたが、画素内への集積の場合は数十  $\mu\text{m}$  の範囲に集積化する必要がある。具体的には、額縁部に集積化する場合は光センサの W 長は 1.6mm と大きくし、信号となる電流を確保できた。一方画素に集積化する場合は、画素幅(本研究では 0.2mm 程度)に収めなければならない。サブピクセルの幅は 70  $\mu\text{m}$  程度であり、センサはこの幅の中に収めるため、センサは数十  $\mu\text{m}$  程度で集積化する必要がある。周囲光センサの場合と比べると、センサに割り当てられる面積は 1 桁から 2 桁小さくなる。その結果、各センサの大きさ(幅:W 長)及び、得られる信号が数十分の1と小さくなり、各画素からの読出しが困難となり、信号を大きくする何らかの対策を要する。但しこの対策とし

ではシリコンの CMOS イメージセンサ<sup>27</sup>の構造を応用し、センサと増幅回路を組みにして集積化する。LTPS は移動度の高い CMOS 回路を集積化できるため、対策可能と見込みが立つ。具体的な画素への集積化については 4.7.4 で後述する。最後に、③読取る光の照度については、周囲光センサの場合は数百[lux]から数万[lux]と広い照度範囲を読取る必要があったのに対し、画素内への集積の場合は、数百[lux]以下の低照度での読み取りが中心となる。図 4-31 のように物体の反射光を読取るためには、p-i-n センサの明暗比をさらに改善し、低照度での光電流を増やすことが必要で、最大の課題となる。本研究ではそれぞれ少なくとも 2 倍の改善を目標とする。

以下、画像読み取りの機能を実現するための対策について、はじめに 4.7.3 で、最大の課題となる明暗比改善及び光電流増大のための対策を説明する。次に 4.7.4 で試作品の画素回路について説明する。最後に 4.7.5 で LCD への機能付加の例として、タッチセンサ機能と画像読み取り機能 2 つのを示す。

#### 4.7.3. シールド付n-ノドープ構造による明暗比改善

LTPS p-i-n ダイオードの改良について構造と狙い／工程／明暗比検証結果の順に説明する。このダイオードの構造は、n-ノドープ構造の  $L_s$  長の部分に縦方向の電界をかけるための電極を追加する。このようにすることで、 $L_s$  長の部分のうち、光電流に貢献する領域を増やし明暗比を高める。この構造をシールド付 n-ノドープと呼ぶことにする。

##### 4.7.3.1. シールド付 n-ノドープ構造の狙い

まず、最大の課題である明暗比改善の対策について方針を説明する。光電流  $J_{ph}$  を表す数式 4-2 に立ち返ると、第 1 項の空乏層生成電流を増やすこと、第 2 項の拡散領域での生成電流の寄与を増やすことが望まれる。

$$J_{ph} = qG_{ph}W_D + qG_{ph}L_D \quad \text{再掲数式 4-2}$$

---

<sup>27</sup> 固体撮像素子の一つで、CMOS 結晶シリコンを用い、各画素にフォトダイオードと増幅回路を備える。

この対策として、4.7.3 で、シールド付 n-ノンドープ構造による LTPS p-i-n ダイオードの改良について、構造とその狙い／工程／明暗比改善結果の順に詳細を説明する。

図 4-32 に、n-ノンドープ構造に対し、シールド付 n-ノンドープ構造を比較した。シールド電極を追加することにより、光電流に貢献する領域を増やす狙いである。具体的な方策として、感光領域(p-型領域)の上部に電極を設け、かつ、LCD のパネル構成において前面側の基板をカラーフィルタ基板から TFT 基板に入れ替えた [100]。以下、これら 2 点を順に説明する。

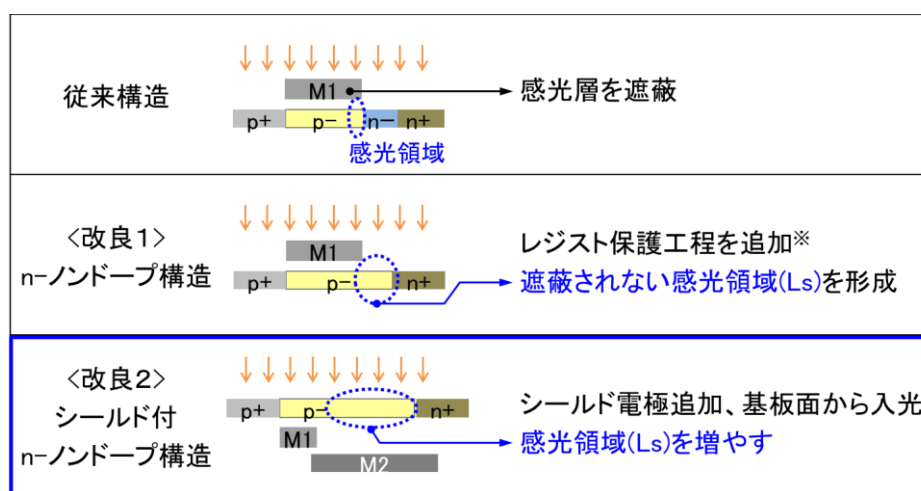


図 4-32 シールド付 n-ノンドープ構造の狙い

はじめに、感光領域(p-型領域)の上部に電極を設ける方策について説明する。具体的には、p-型領域の  $L_s$  長の部分の上部に電極(M2)に正の電圧を印加する。この電圧により、バンドを図 4-33 に示ように押し下げ、 $L_s$  長の領域全体を空乏化させ [101] [102]、 $L_s$  長の両端の 2 カ所に電界の強い部分を発生させる。このようにして  $L_s$  長の両端に空乏層領域を作り出すとともに、 $L_s$  領域全体で生成した電荷を極力光電流に寄与させ、明暗比を改善させる。数式 4-2 は数式 4-8 のように書き換えられる。第 1 項と第 2 項は  $L_s$  長の左端の空乏層 ( $W_{D1}$ ) と拡散領域( $L_{D1}$ )の寄与を表し、第 3 項と第 4 項は  $L_s$  長の右端の空乏層 ( $W_{D2}$ ) と拡散領域( $L_{D2}$ )の寄与を表す。

$$J_{ph} = qG_{ph}W_{D1} + qG_{ph}L_{D1}q + G_{ph}W_{D2} + qG_{ph}L_{D2}$$

数式 4-8

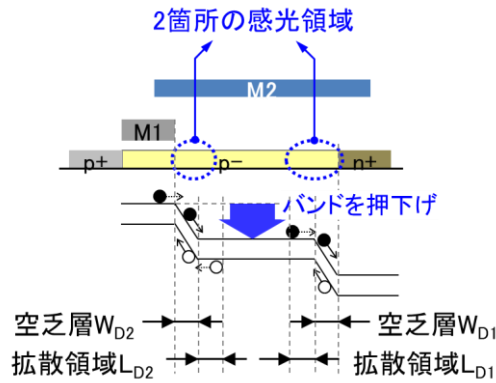


図 4-33 シールド付き n-ノドープ p-i-n 構造のエネルギーバンド図

次に LCD パネルの全面側の基板を TFT 基板に変更する方策について説明する。M2 は光を透過しないため、基板面から入光する構成に変更して用いる。図 4-34 に示すように、従来はカラーフィルタ基板を前面に用いていたが、シールド付 n-ノドープ構造の p-i-n ダイオードを用いる場合には TFT 基板を前面に用いる。このようにすると、2つの光学的な問題を解決できる。一つは、p-の領域がシールド電極(M2)に遮られずにすむこと。もう一つは LCD パネルの下に配置するバックライトからの光は大きなノイズとなるのでこれはセンサ当てないように M2 シールド電極により遮ることである。これらによって、明暗比は n-ノドープ構造の場合に対して、さらに改善すると考えた。





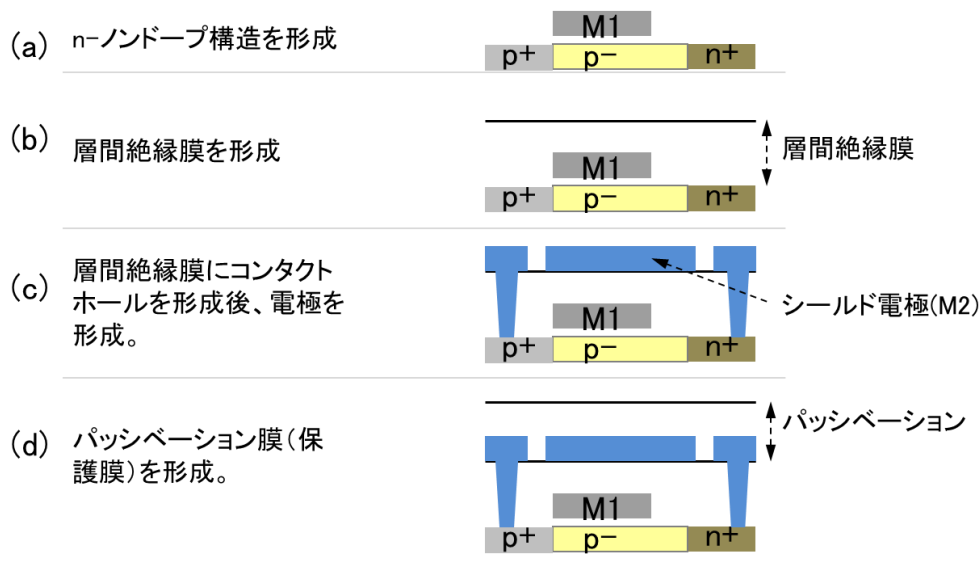


図 4-35 シールド電極付 n-ノンドープ p-i-n 構造を形成するためのフロー

#### 4.7.3.3. シールド付 n-ノンドープ構造の明暗比

シールド付n-ノンドープ構造の p-i-n センサ単体での検証について説明する。はじめに検証に用いるサンプルについて説明し、次にその評価結果について説明する。

はじめに検証に用いる LTPS p-i-n ダイオードの断面図を図 4-36 に示す。各膜厚は、n-ノンドープ構造(図 4-13)の各膜厚と同じである。構造上の差異はシールド電極(M2)が  $L_s$  長部を覆うように形成される点である。バイアス電圧のかけ方もn-ノンドープ構造(図 4-13)の場合と同じである。新たに追加されたシールド電極(M2)は電気的にポリシリコンの n+型領域と接続されており、電圧としては 5V が印加される。 $L_s$  長はパラメタとして  $2\mu\text{m}$  から  $50\mu\text{m}$  まで異なる長さのサンプルを測定した。照度 1000[lux]の光照射時に n+型領域から p+型領域に流れる光電流  $I_p$  を計測した。光源としてはハロゲンランプを用いた。また、暗電流計測時には 0[lux]とし、n+型領域から p+型領域に流れる電流を計測した。

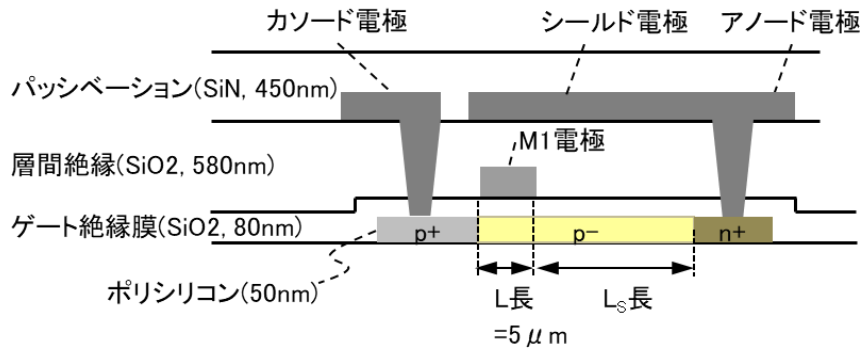


図 4-36 LTPS p-i-n ダイオードの断面図(シールド付き n-ノンドープ構造)

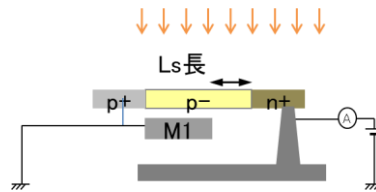


図 4-37 シールド付き n-ノンドープ素子の電流特性評価

次に評価結果として図 4-38 に光電流及び暗電流の  $L_s$  長依存性を示す。横軸に  $L_s$  長、縦軸に電流値をとっている。 $L_s$  長  $10 \mu\text{m}$  程度までは光電流が直線的に増大する。その後  $L_s$  長  $15 \mu\text{m}$  まで、傾きは小さくなるが光電流が増加する。 $L_s$  長  $30 \mu\text{m}$  程度までで飽和傾向となる。 $L_s$  長  $50 \mu\text{m}$  では光電流が減少した。一方、暗電流は  $L_s$  長  $2 \mu\text{m}$  から  $50 \mu\text{m}$  の範囲でほぼ一定だった。光電流が  $L_s$  長と共に増加する傾向については n-ノンドープ構造でも見られた。n-ノンドープ構造の場合には、 $L_s$  長  $4 \mu\text{m}$  程度までは直線的に増大し、その後  $L_s$  長  $10 \mu\text{m}$  程度で飽和傾向となった。これに対し、シールド付 n-ノンドープ構造の場合には光電流が直線的に増大する領域が  $L_s$  長  $10 \mu\text{m}$  程度、さらに飽和傾向となるのが  $30 \mu\text{m}$  程度といずれも増大している。

$L_s$  長に対し光電流が直線的に増大する  $L_s$  長の範囲が広がっていることから、狙い通り、空乏層領域が  $L_s$  長領域のより広い範囲(左右の 2 か所)に形成できるようになっていることを示唆していると考ええる。

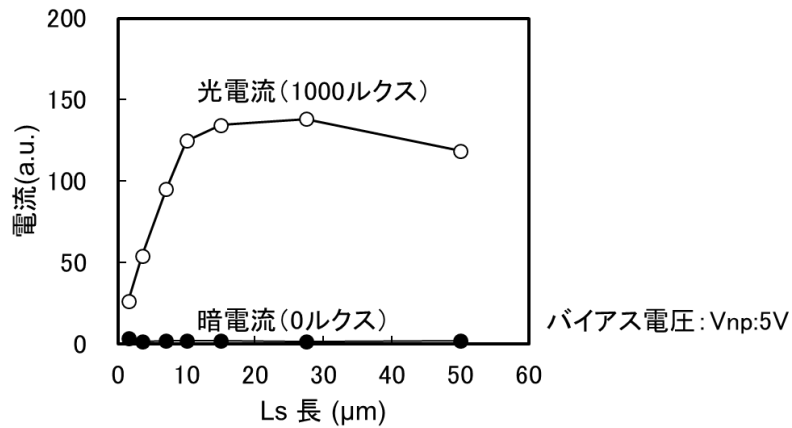


図 4-38 シールド付き n-ノンドープ素子の光電流及び暗電流の  $L_s$  長依存性

図 4-39 に明暗比の  $L_s$  長依存性を示す。横軸に  $L_s$  長、縦軸に明暗比をとっている。明暗比はシールド電極付では  $L_s$  長が  $30 \mu\text{m}$  程度までは  $L_s$  長とともに増大した。 $L_s$  長= $10 \mu\text{m}$  のときに明暗比が 60 程度となり、目標値の n-ノンドープに対し少なくとも 2 倍、という目標を達成することができた。

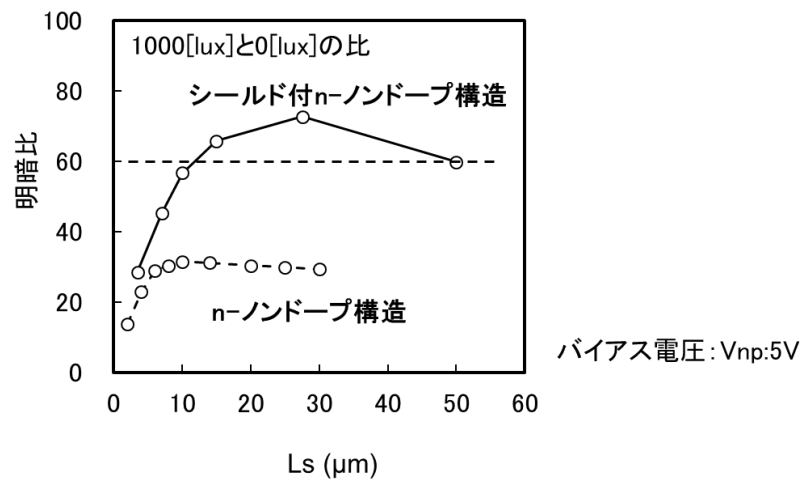


図 4-39 シールド付き n-ノンドープ素子の明暗比の  $L_s$  長依存性

#### 4.7.3.4. シールド付 n-ノンドープ構造の光電流

シールド付 n-ノンドープ構造の p-i-n センサの光電流増大効果の検証について説明する。はじめに検証に用いるサンプルについて説明し、次にその評価結果について説明する。

はじめに検証に用いる LTPS p-i-n ダイオードの断面図を図 4-40 に示す。各膜厚は、n-ノンドープ構造(図 4-13)の各膜厚と同じである。図 4-36 のシールド付き n-ノンドープ構造との差異は、シールド電極(M2)を電氣的に独立させてあり、アノード電極と別個の電圧を印加できる点である。シールド電極以外の各電極へのバイアス電圧のかけ方は、n-ノンドープ構造(図 4-13)の場合と同じである。L<sub>s</sub>長は 27 μm とした。照度 1000[lux]の光照射時に n+型領域から p+型領域に流れる光電流を計測した。光源としてはハロゲンランプを用いた。

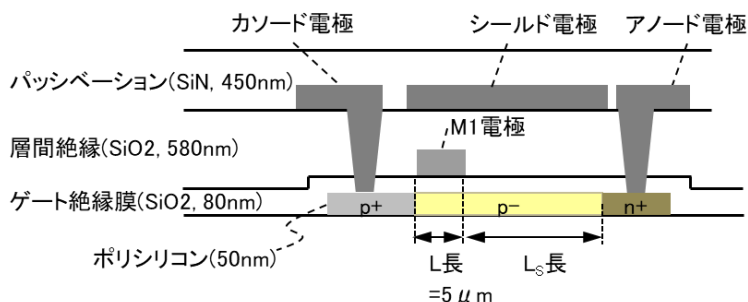


図 4-40 LTPS p-i-n ダイオードの断面図(シールド電極が独立した n-ノンドープ構造)

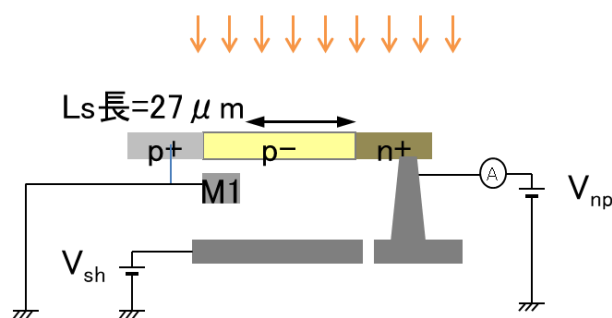


図 4-41 シールド付き n-ノンドープ素子の明暗比の L<sub>s</sub>長依存性

次に、評価結果を図 4-42 に示す。横軸にシールド電極の電圧 V<sub>sh</sub>、縦軸に光電流をとっている。シールド電極の電圧が 0V の時と比べ、シールド電極の電圧を 5V とすることにより、

光電流が 3.6 倍に増大することが確認できた。シールド電極のない、n-ノンドープ構造 (4.4) では p-の領域に上方から電圧をあたえることはできないため、図 4-42 のシールド電極電圧  $V_{sh}=0V$  に相当すると考える。シールド電極付き n-ノンドープ構造とし、シールド電極電圧を 5V とすることにより光電流を 3 倍以上に増大させる効果があると考えられる。なお、文献 [102]によると、シールド電極の電圧及び  $V_{np}$  電圧により、空乏層が、n+型領域界面の 1 か所に形成されたり、n+型領域界面と p+型領域界面の 2 か所に形成されるといったことが報告されている。

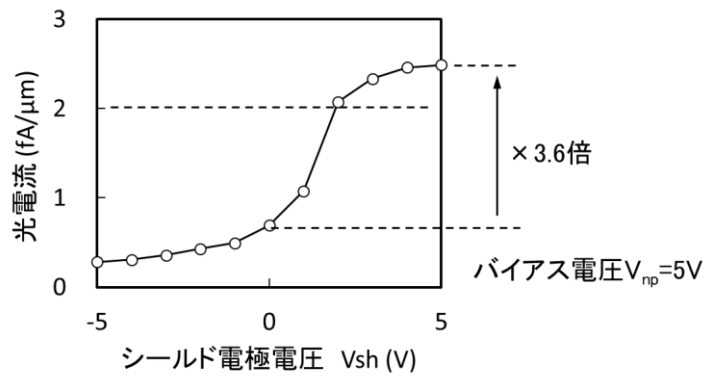


図 4-42 シールド付き n-ノンドープ素子の光電流のシールド電圧依存性

#### 4.7.4. 画素への LTPS 光センサの集積化

次にシールド付 n-ノンドープ構造の p-i-n センサを実際に LCD の画素内に集積化したことについて説明する。4.7.2 で述べたように、センサの信号が小さくなってしまいう対策として、シリコンの CMOS イメージセンサの構造を応用し、p-i-n センサと増幅回路を画素内に集積化を実現する。

はじめに光センサと増幅回路を組み合わせ画素内に集積化した試作品の LCD パネルの仕様と回路ブロック図を説明した上で、画素に集積化する回路とその動作について説明する。次にその回路を表示のための画素回路と組み合わせた画素集積化回路及び画素レイアウトの説明をする。最後に、2 つの異なる駆動のさせ方によって、タッチセンサとして動作させる場合と、画像読み取り機能のために動作させる場合との 2 例について説明する。

##### 4.7.4.1. 仕様と回路ブロック図

はじめに、表 4-5 に試作品の仕様をまとめた。ポイントはフレーム周波数である。表示はフリッカ(ちらつき)が視認されないように 60Hz とし、センサについては、座標計算の周波数が当時標準的だった 60Hz となるようにした。画面サイズは対角 3.5 インチ、画素数は 320(×RGB)×240)、センサ数は 320×240 と 1 正方面素に対し 1 個のセンサの割合とした。画素ピッチ及びセンサピッチはともに 222 μm ピッチである。シールド付ノンドープ構造の LTPS p-i-n センサである。図 4-39 及び開口率を考慮し、L<sub>s</sub> 長は 27 μm、W 長は 30 μm とした。

表 4-5 試作品の仕様

画面サイズ	対角 3.5 インチ
画素数	320(×RGB) × 240
センサ数	320 × 240
画素ピッチ	222 μm
センサピッチ	222 μm
センサ	LTPS p-i-n シールド付 n-ノンドープ構造 (L <sub>s</sub> 長=27 μm、W 長=30 μm)、 増幅回路付
フレーム周波数(表示)	60Hz
フレーム周波数(センサ)	60Hz

次に図 4-43 に回路ブロック図を示す。部品追加をすることなく、回路集積化により、新たな機能(画像読取り機能)を LCD に付加することを狙った。ベースとした(a)従来の LTPS TFT-LCD (DAC-IC 方式)の回路ブロック図に対し、(b)光センサ集積型 LCD の回路ブロック図では、画素部にセンサが集積化され、上辺にデータ出力回路、左辺にセンサ駆動回路を集積化した。画素内のセンサの出力は上辺のデータ出力回路でデジタルデータ(SDATA)に変換された上で外部の画像処理回路に出力される。外部の画像処理回路はデジタルデータ(SDATA)をもとの画素配列に整列し画像化し、所定の画像処理や画像に基づくタッチ座標の計算等を行う。このようにすることで新たな部品追加無く画像読取り機能を LCD に実現する。

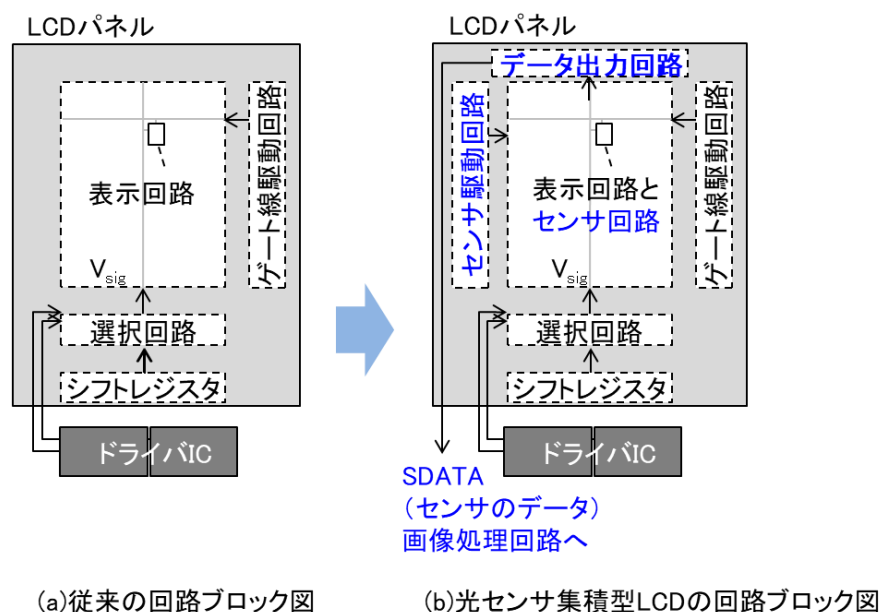


図 4-43 画素内に集積化される増幅回路付光センサ



#### 4.7.4.2. 光センサ集積化画素

ここではまず、シリコンの CMOS イメージセンサの構造を応用し、p-i-n センサと増幅回路を組み合わせた回路とは、具体的にどんな回路か説明する。次にその回路がどのような動作をするのか説明する。最後に、これを LCD の画素に集積化するための回路と、具体的な画素レイアウトについて説明する。

はじめに、p-i-n センサと増幅回路を組み合わせた回路について図 4-44(a)を用いて説明する。この回路の目的は、まずセンサにあたる光が強いかわいかに、センサに流れるリーク電流が多いか少ないかを電圧の高低に変換する。さらに、これを増幅回路で画素からデータ出力回路に伝達することである。図 4-44(a)の回路図に示すように、光センサ PD(LTPS p-i-n ダイオード)と容量素子 C をノード  $N_a$  と基準電圧線 SVSS の間に配置する。ノード  $N_a$  の電圧を増幅回路 AMP の入力に接続させておく。スイッチの役割の TFT M1 及び TFT M2 により、ノード  $N_a$  に初期電圧を充電したり、増幅回路 AMP の出力を OUT 線に接続するかを切り替える。

次に図 4-44(b)のタイミング図を用い、動作を説明する。まず、時刻  $t_1 \sim t_2$  の期間に、センサ容量をリセットするために制御信号 CRT を High レベルとして TFT M1 を導通させて VPRC 線から供給される初期電圧をノード  $N_a$  に充電する。その後、時刻  $t_2 \sim t_3$  の期間にセンサにあたる光の強度に応じてセンサ PD にリーク電流が流れ、ノード  $N_a$  の電圧が変化する。光の強度が大きければノード  $N_a$  の電圧は低くなり、逆に光の強度が弱ければノード  $N_a$  の電圧は高いままとなる。時刻  $t_3$  に配線 OUT は 5V に充電される。時刻  $t_3 \sim t_4$  の期間に AMP の出力を配線 OUT に接続するために、センサ出力制御信号 SFB を High レベルとして TFT M2 を導通させる。このとき AMP の抵抗はノード  $N_a$  の電圧高低、つまり時刻  $t_2 \sim t_3$  の期間の光の強度に応じて変化する。光が弱ければノード  $N_a$  の電圧は高いため、AMP の抵抗は低くなり、逆に光が強ければノード  $N_a$  の電圧は低くなるため AMP の抵抗は高くなる。このため、AMP を配線 OUT に接続したときに、光の強弱により、配線 OUT の電圧が 5V のままか、AMP の多端の SVSS(0V)に向かって低下していくかの点に差が生じる。このようにしてノード  $N_a$  の電圧変化を増幅回路 AMP により画素の外のデータ出力回路に電圧することができる。この出力電圧

が高いか低いかをデータ出力回路にて2値化することによって各画素のセンサにあたる光の強度が弱いか高いかに対応した画像データ(SDATA)となる。

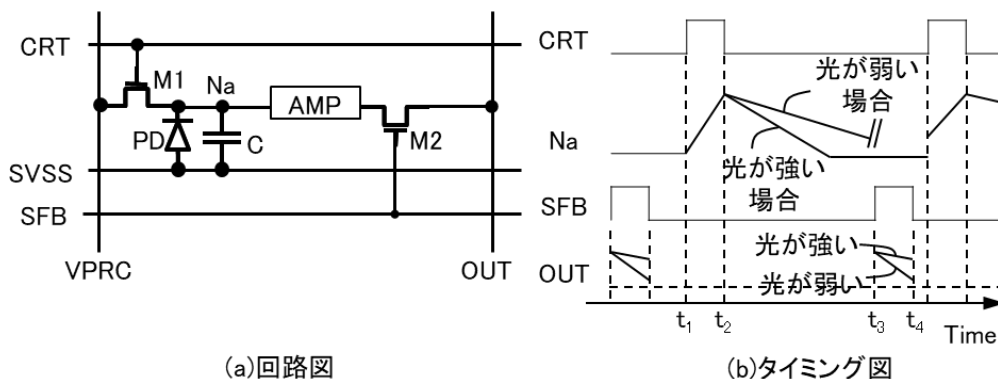


図 4-44 画素内に集積化される増幅回路付光センサ

次にこの回路を LCD の画素に集積化する回路(図 4-45)とレイアウト(図 4-46)の説明に移る。

ここでは、図 4-44 の増幅回路付センサ回路を従来の画素回路に組み合わせるにあたり、できるだけ開口率を高く確保することを狙った。以下、回路路について図 4-45 を用いて、表示のための回路と、センサのための回路を順に説明した上で、レイアウトについても図 4-46 を用いて、表示のための部分、センサのための部分の順に説明する。

まず、表示のための回路(図 4-45 青点線)はカラーフィルタの3つの色に対応させ3つの副画素に対応し3組ある。それぞれが画素 TFT、蓄積容量 Cs、液晶容量 CLC を含む。COM は共通電極の電圧を供給する配線である。表示のための画素電圧はそれぞれ信号線 Sig(n), Sig(n+1), Sig(n+2)から供給される。

次にセンサのための回路(図 4-45 赤点線)は、図 4-44 の増幅回路付センサ回路の要素を3つの副画素に分けて配置した。具体的には、センサ PD と容量素子 C は中央の副画素(緑)、TFT M1 は右の副画素(青)、増幅回路 AMP と TFT M2 は左の副画素(赤)に配置した。表示画素への集積化にあたり、図 4-44 の VPRC 線及び OUT 線がそれぞれ Sig(n+1)線及び Sig(n+2)によって代用(兼用)し、配線本数を削減した。

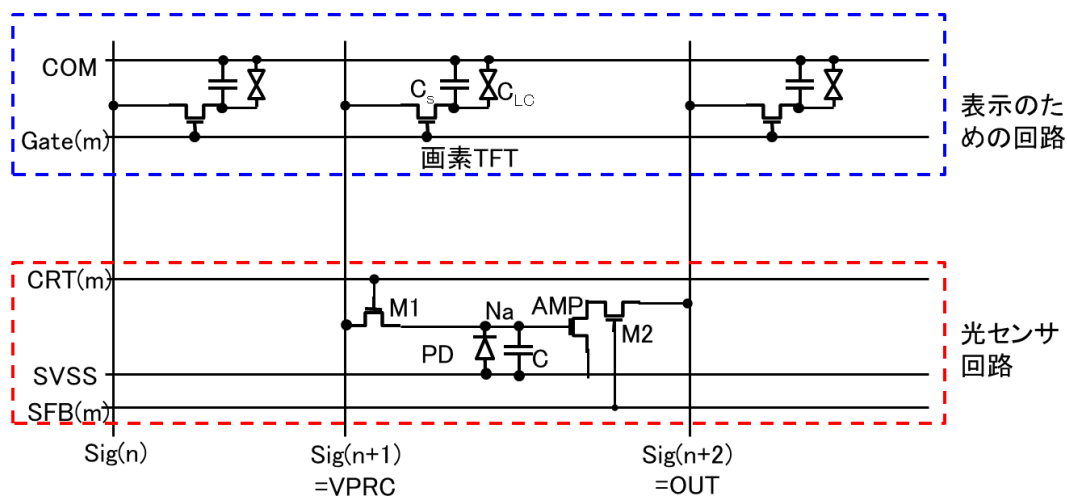


図 4-45 1 画素の等価回路図(3 つの副画素と1 つのセンサ)

次に具体的なレイアウトについて説明する。図 4-46 は対応する画素レイアウト図である。それぞれの要素の配置が見やすいように簡略化(イラスト化)した。表示のための回路を示す青点線と光センサ回路を示す青点線は図 4-46 と対応させた。

まず、表示のためのレイアウトは、表示のための共通電極 COM 及び、m 行目のゲート線 Gate(m)が横方向に配線され、n 本目、n+1 本目、及び n+2 本目の信号線 Sig(n)、Sig(n+1)、及び Sig(n+2)が縦方向に配線される。

次に光センサ回路の部分のレイアウトを説明する。m 行目のセンサ容量をリセットするための制御線 CRT(m)、m 行目のセンサの出力を画素から外へ出力するのを制御するための制御線 SFB(m)、及び基準電圧線 SVDD は画素を横方向に横断するようにレイアウトした。センサ PD と容量素子 C は中央の副画素(緑)、TFT M1 は右の副画素(青)、増幅回路 AMP と TFT M2 は左の副画素(赤)に配置した。表示画素への集積化にあたり、図 4-44 の VPRC 線及び OUT 線がそれぞれ Sig(n+1)線及び Sig(n+2)によって兼用されるようにし、配線本数を削減した。このようにして画素内にセンサと増幅回路をレイアウトし、開口率は 67%と十分大きい値を確保できた。

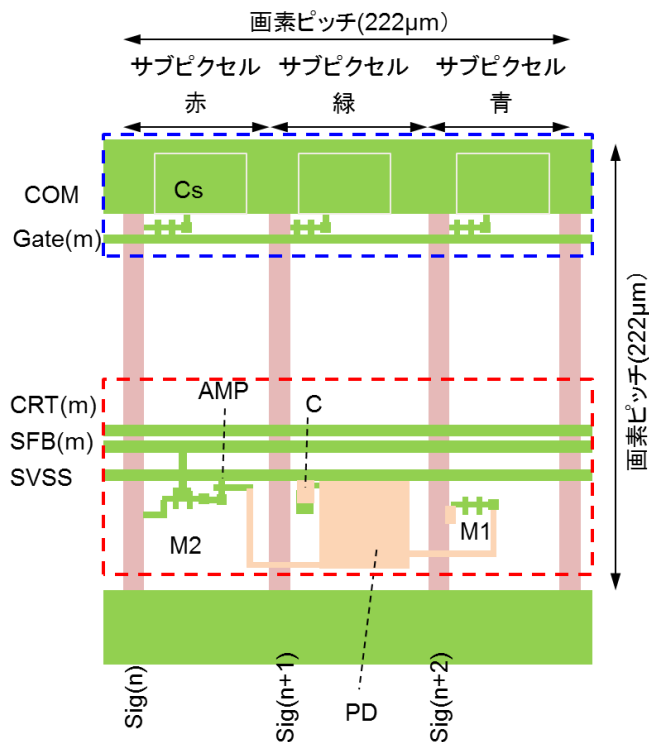


図 4-46 1 画素のレイアウト図(3 つの副画素と 1 つのセンサ)

#### 4.7.5. センサ集積化による LCD への機能付加

ここでは、画素内にシールド付き n-ノドープ構造の光センサを集積化することによる LCD への付加機能の例を 2 つ説明する。一つ目は、タッチセンサ機能であり、二つ目は画像読み取り機能である。この 2 つの機能を行うためにそれぞれ異なる駆動方法をとる。以下、はじめにタッチセンサとして動作させる場合について説明し、次に画像読み取りとして動作させる場合について順に説明する。

##### 4.7.5.1. タッチセンサ機能付加:

ここでは、シールド付き n-ノドープ構造の光センサを画素に集積化した LCD を用いてタッチセンサとして動作させる場合について説明する。はじめに、動作原理、次に駆動方法、最後に、実機の動作例の順に説明する。

はじめに、画素内に集積化した光センサを利用してタッチパネルとして動作させるための原理を説明する。図 4-48 は LCD にタッチしている指の像を読取る原理を説明する図である。

LCD の表示光がタッチする指の表面で反射される。これが TFT-LCD の画素に集積化された光センサにあたり光電流が流れる。一方、タッチしていない部分では、反射光が戻ってこないから光センサに流れる光電流は少なくなる。これを増幅出力し上辺に集積化するデータ出力回路で白と黒のいずれかに 2 値化しデジタルデータ (SDATA) として、LCD コントローラに出力される。LCD コントローラはデジタルデータ (SDATA) をもとの画素配列に整列し画像化し、所定の画像処理や画像に基づくタッチ座標の計算等を行う。これを画像化することによりタッチされている場所を割り出すことができる。

次に図 4-47 を用い駆動方法を説明する。以下、駆動のための期間を二つにわけ、表示のための動作とセンサのための動作を順に時分割で行う動作について説明する。フレーム期間とは通常、LCD の全ての画素に順番に表示のための電圧を書き込むための期間であり、16.7msec (フレーム周波数 60Hz) で行われる。表示のための書き込みは行毎に行われる。1 行分の書き込みに割り当てられる時間を水平期間という。画素内に光センサを集積化した、試作品の駆動では、水平期間を二つの期間 ( $\alpha$  と  $\beta$ ) に分けた [103] [97] [104]。期間  $\alpha$  は、表示のための動作を行う期間である。まず、期間  $\alpha$  では、ゲート線 Gate(m) が High レベルとなるタイミングに各画素に書き込む。ここで、LTPS の画素 TFT は移動度が高いため、各画素への書き込みは短時間で済む。次に残りの期間  $\beta$  は通常は何も駆動を行わない。この期間を本試作品の駆動においては、センサ回路動作を行う期間として利用することにした。期間  $\beta$  に、増幅回路 AMP から出力動作と、次の露光のためのリセット動作を行う。リセット動作とは容量素子 C (増幅回路の入力端) のノード  $N_a$  に初期電圧をプリチャージすることである。その後、1 フレームにわたり露光期間となる。露光期間中に容量素子のノード  $N_a$  の電圧が LTPS ダイオードを通じて入射光に応じてリークする。1 フレームにわたる露光期間経過後の期間  $\beta$  に、残存電圧に基づき増幅回路 (AMP) が電圧を信号線に出力する。これを毎行に繰り返すことにより、1 フレーム期間中に全画素の表示書き込みと、全てのセンサのリセットと出力を行う。よって、表示のフレーム周波数と全センサの出力をするための、いわば「センサのフレーム周波数」はともに 60Hz とした。

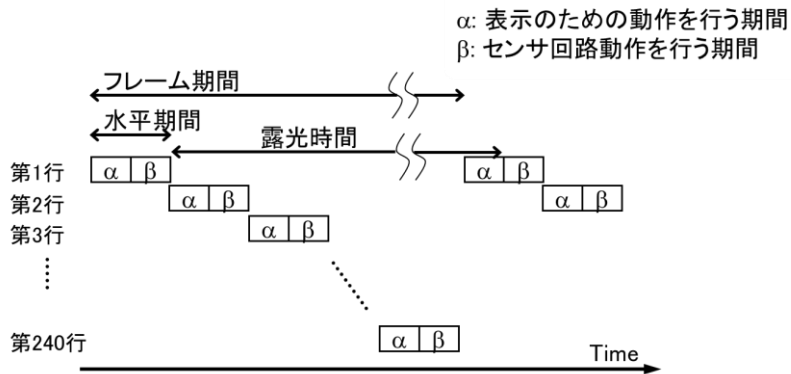


図 4-47 表示動作とセンサ回路動作のタイミング図(タッチパネルの場合)

最後に実機の動作例を説明する。暗所で、LCD の表示を白、輝度を 200cd/m<sup>2</sup> として指でタッチしているときの光センサによる撮像画像を取得した。図 4-49 は撮像画像の例である。指でタッチしている部位と周囲との際が識別できる。画像を用い、重心計算をすることなどにより、指が画面のどこをタッチしているか算出する。図 4-50 はタッチセンサ機能のデモの一例で、タッチした部位に応じて対応するコンテンツが選択され表示が切り替わることを確認できた。

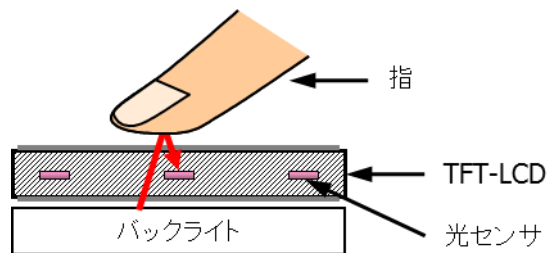


図 4-48 光センサ集積化 LCD でタッチを読取る原理



図 4-49 光センサ集積化 LCD での撮像画像の例



図 4-50 タッチセンサ機能のデモ

#### 4.7.5.2. 画像読取り機能付加

次にシールド付き n-ノドープ構造の光センサを画素に集積化した LCD を用いて、イメージスキャナとして動作させる場合について説明する。はじめに、動作原理、次に駆動方法、最後に、実機の動作例の順に説明する。

はじめに、イメージスキャン機能 [91] を付加するための動作原理を説明する。図 4-31 に示すようにこの LCD の上に写真や印刷物などの対象物を置き、対象物の表面を LCD の表示光で照らし反射光を読取る。前項のタッチパネルの場合とは LCD の駆動方法が異なる。対象物のグレイスケールを読み取るために、露光時間を 64 段階に変化させる。これが最大の差異である。

次に駆動方法について図 4-51 のタイミング図を用いて説明する。まず、1 フレーム目では、第 1 行から第 240 行まで表示のための書き込みを行う。次に全画素露光時間とする。この露光時間をフレームごとに変化させる。露光時間経過後に、各画素のセンサのデータを順次出力する。このようにすると 1 フレーム期間は第 1 フレーム目から第 240 フレーム目へと、徐々に長くなっていく。1 フレームの周波数は 60Hz でなくなるが、写真などの対象物で LCD の表示面はおおわれており問題ないと考えた。このようにして、表示光の色や露光時間を変えて複数回の読取りを行い、これを外部の回路で画像処理を行うことによって対象物の色や階調を読取ることができた。具体的には、LCD を全面赤表示として、露光時間を 64 段階に変化させ、センサの出力を保持する。次に各画素ごとの平均値を求め各画

素の階調値とした。これを全面緑表示、さらに全面青表示として繰り返し、合成することによってカラー画像を得ることができる。

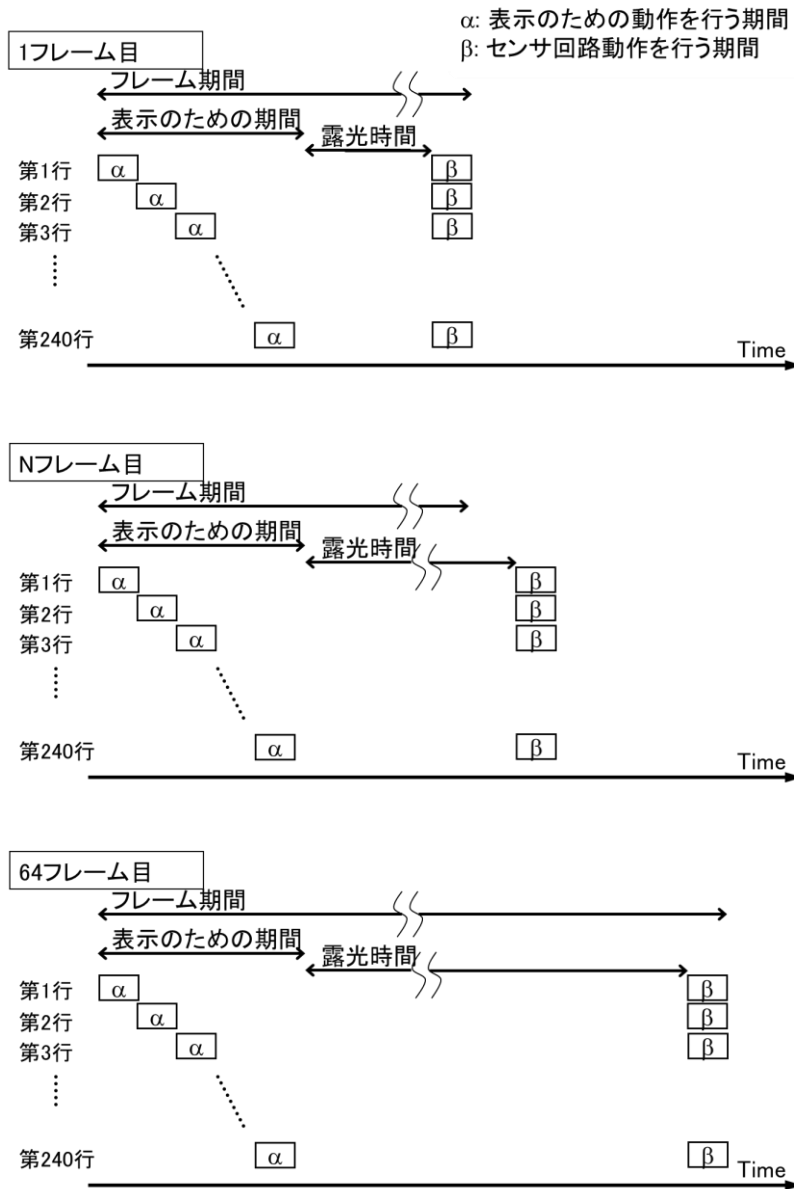


図 4-51 表示動作とセンサ回路動作のタイミング図(画像読み取りの場合)

最後に実機の動作例を説明する。シールド付き  $n$ -ノンドープ構造の光センサを画素内に集積化しイメージスキャンを行った。一例を図 4-52 に示す。被写体としてカラー写



真(手で持っているもの)を読み取り左の LCD に再現表示できた。このようにして、シールド付き n-ノンドープ構造の光センサにより明暗比を改善、画素内に集積化することによって画像などを読み取るイメージスキャン機能を LCD に持たせることを実現できた。



右側の手で持っているのが被写体のカラー写真。  
左のLCDに撮像した画像を表示している。

図 4-52 イメージスキャン機能のデモ

#### 4.8. 研究開発及び製品化動向

製品に必要な信頼性試験等もクリアでき、周囲光センサ集積化 LCD の量産化に成功した。画素内に光センサを集積化する技術については、LCD の画素を 300ppi ( $84 \times 84 \mu\text{m}$ ) と高精細化した上で横型 p-i-n ダイオードを光センサとして集積化し、指紋像の読み取りを行った報告 [104]、暗所で表示も黒のときでもタッチ動作を撮像するために近赤外光の LED をバックライトに追加し光源として用いる報告がされている [105]。現在でも LTPS と光センサの融合については研究開発が活発に続いている。光センサ素子としては工程は複雑化するが、a-Si の積層構造の p-i-n センサ等を LTPS の回路に組み合わせる報告 [106] [107]がされている。

#### 4.9. まとめ

2001 年頃からの 3G 携帯電話では、周囲の明るさに応じて LCD の輝度を調整するための周囲光センサが用いられた。『小型化』の期待を背景に、周囲光センサを LCD に集積化することが求められた。LTPS 工程を用い形成できる横型 p-i-n ダイオードは、感光層が他の電極

に遮蔽されてしまうため 1000[lux]程度の明るいところと暗所とでセンサの電流比(明暗比)が小さく、使用できない点が課題だった。対策として TFT 工程を改良し、n-ノンドープ構造と呼ぶ横型 p-i-n ダイオードを TFT と同時形成できるようにした。これによって明暗比が 30 程度得られるようになった。さらに温度が上昇した場合に暗電流(熱起因のリーク電流)が増大してしまう課題を LTPS TFT を用いた熱差分回路により対策することによって周囲光センサを集積化でき、『小型化』の期待に応えた。

また、携帯端末の『操作性』を改善するために、各画素に光センサを集積化する期待があった。LCD の表示光を光源と撮像対象物の反射光を読み取るため、光電流を増大させ、より高い明暗比にすることが課題だった。この対策として、シールド付き n-ノンドープ構造と呼ぶ横型 p-i-n ダイオードにより光電流を 3 倍・明暗比を 60 程度に向上できた。これを増幅回路とともに LCD の画素に集積化することによって、画面をタッチする指での LCD の表示光の反射光を読み取るタッチセンサ機能を実現した。また、LCD の表示光を赤、緑、青と順に変化させて繰り返し撮像を行い画素ごとに処理することにより、写真像を読み取る動作を実現した。

重要課題であった、LTPS プロセスを用いて光センサを同時形成できるようになったため、本来の LTPS の有用性(移動度の高い CMOS 回路をガラス基板上に集積化しやすい)を發揮でき、周囲光センサのための回路、及び、画像読み取りのための回路を集積化できた。これによって『小型化』や『操作性改善』の期待に応えた。

## 第5章 静電容量センサ機能の集積化

### 5.1. 期待

静電容量タッチパネル [16]は、スマートフォンの LCD の上に搭載された。これは透明電極が縦横に 4~5mm ピッチで配置され、静電容量の変化を検出することにより、表示画面のどこを指(導体)でタッチしているかを割り出し、表示コンテンツの動作に反映させるためのものである。2007 年にスマートフォン用に採用され、特に、2 本の指で表示面にタッチし、表面を滑らせる動きで 2 本の指の間隔を広げたり狭めたりするジェスチャー動作を行い、これに表示コンテンツの拡大と縮小を対応させるジェスチャー入力が人気となり、急速に普及した。

ただ、LCD の上にタッチパネルを搭載するため厚さが増してしまう。さらに光学的な界面が増すため光の反射も増え、透過率が低下することにより、視認性が犠牲になっていた。このため静電容量センサの機能を LCD に集積化(インセル化)による解決が期待された。また、タッチパネルという別個の部品が削減されることから低コスト化も期待された。

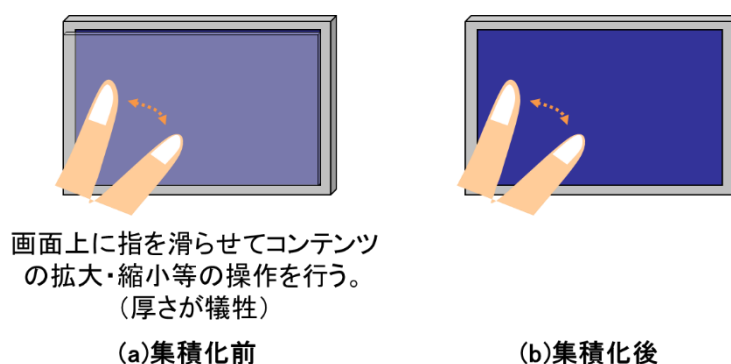


図 5-1 従来の集積化前の静電容量方式タッチパネル搭載型 LCD と静電容量タッチパネルを集積化した LCD

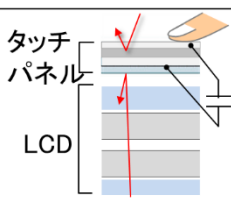
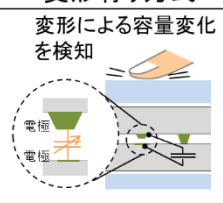
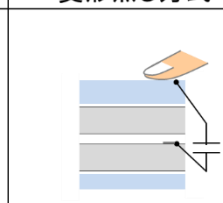
### 5.2. 背景

表 5-2 に従来と本研究のタッチパネルの比較をまとめた。静電容量タッチパネルを LCD の表示面の上に配置する方式(表 5-2 左)はアウトセル方式とよばれ普及した。ただ、LCD の表示面の上にタッチパネルを配置することから、厚さの増加に加え、光学的な界面が増加し反射

光が増え、透過率が下がるため、視認性も課題となる。当時すでにインセル化の提案 [108] [109]はあり、インセル変形有り方式(表 5-2 中)と表記した。これはタッチにより LCD に圧力を加え、LCD をゆがませタッチを検出するものである。具体的には、LCD の各画素には電極が 2つ形成され、加圧により互いに近づくように配置される。このとき生じる電極間の静電容量の変化を読み取るものである。この方式で厚さ及び視認性の課題は解決するが、シグナル検出に加圧が必要で前述の、表示面に指を滑らせる動作は難しくなり、操作性に課題があった [16]。

本研究では視認性をアウトセル方式に対し悪化させず、操作性をインセル変形有方式に対し改善する変形無し方式のインセル静電容量センサの集積化(表 5-2 右)に取り組む。

表 5-1 タッチパネルの比較

	従来		本研究
	アウトセル方式	インセル 変形有り方式	インセル 変形無し方式
断面構造			
厚さ	△(1mm増)	○	○
操作性	○(加圧不要)	×(加圧必要)	○(加圧不要)
透過率	△(10~20%ロス)	△	△(20%ロス)

### 5.3. 課題

インセル化の目的は、視認性を悪化させずに指による加圧無しでスムーズな入力を実現することである。そのために LCD の中になんらかの電極を配置し、LCD の表面にタッチしている指(導体)との静電容量の変化を検出することが有力な案である。しかし、図 5-2 に示すようにアウトセル方式の場合と比べると、インセル化で指と電極の距離拡大するため、静電容量値が減少してしまい、シグナル検出困難となる。小さいシグナルとなる静電容量の変化を検出する

ための電極に加え、必要な増幅回路を図 5-3 に示すように画素間に配置することが必要と考  
えた。

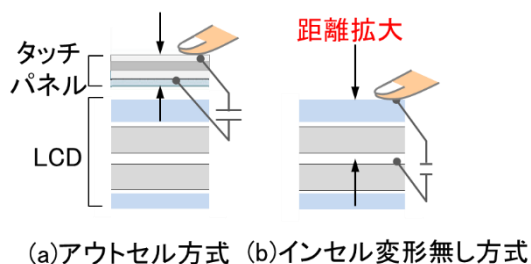


図 5-2 断面図 (a)アウトセル方式のタッチパネルが搭載された LCD、(b)インセル変形無し方式の LCD

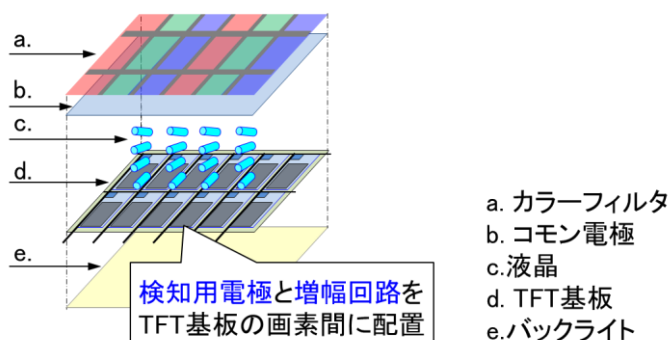


図 5-3 LCD の斜視図

次にこの構成を前提としたときの視認性への影響を検討する。インセル化すると、LCD の前  
面に別個のタッチパネルを搭載しなくなるので厚みが増加する課題と、光学的な界面の増加  
による影響は解決される。しかし、開口率(画素内の光透過部分の面積の割合)の低減が大き  
いと、透過率が低下するため表示輝度が暗くなり視認性を損なう恐れがある。このため透過率  
は従来同等をねらう必要がある。インセル化すると、アウトセルに比べ、光学的な界面での反  
射による透過率損失は 20%程度改善する。そこで開口率の悪化をこの範囲に抑えればよい。  
以上から、最大の課題は、検知電極と増幅回路を、開口率低下 20%以内で画素内に集積化

できるか、ということになる。なお、増幅回路はシグナルだけでなくノイズも増幅してしまうので、その対策も課題となる。本論文では開口率確保とノイズ対策の二つに取り組む。

本論文の課題構成は、第1は開口率確保であり、第2にノイズの対策である。第1の、開口率確保に関し、5.4/5.5で対策/検証の順で説明する。第2の、ノイズの対策については、5.6で簡潔に説明する。

## 5.4. 開口率確保のための対策

ここでは、まず対策の骨子(5.4.1)を説明した上で、次に画素に集積化する回路(5.4.2)、開口率低下の対策(5.4.3)、最後に駆動(5.4.4)について順に説明する。

### 5.4.1. 対策の骨子

はじめに対策の骨子を説明する。開口率への影響低減のため、画素間にセンサ回路をレイアウトする際、2つの方針をとる。第1は追加要素の希薄化、第2は部品の兼用化である。

第1の追加要素の希薄化とは、センサのための検知電極や増幅回路を、複数画素に横断配置することにより、開口率への影響を薄めることである。センサのための検知電極や増幅回路は、遮光性の金属を用いるため、画素に詰め込むと開口率の低下に直結してしまう。また、従来のセンサのピッチ(4~5mmピッチ)に対し、画素ピッチは150 $\mu$ m角程度と二桁程度密なため、センサのための回路は、各画素に納める必要はない。回路を複数の画素に横断的に配置することによって、各画素の開口率低下を薄める(希薄化する)ことができる。

第2の部品兼用とは、1本の信号線を表示とセンサとで兼用することにより、センサのための追加配線の本数を削減することである。通常、配線の材料としては遮光性の金属を用いるため、追加配線は、遮光領域を増やすことになり、開口率の低下に直結してしまう。対策として、LTPSは高移動度であることを利用する。即ち、表示のための各画素への書込み動作は短時間で完了できる。残された期間(ブランキング期間)でセンサのデータを出力する。この点を利用し、1本の信号線を表示とセンサに交互に使用する時分割駆動を行う。

## 5.4.2. 画素に集積化する回路

ここでは、画素に集積化する回路について、はじめにセンサ回路、次に画素回路について順に説明する。

### 5.4.2.1. センサ回路

ここでは、はじめに画素内に集積化する静電容量センサ回路を説明し、次にその動作をを説明する。

はじめに静電容量センサ回路を説明する。図 5-4(a)を用い回路の構成要素を説明する。AMP と記した TFT が増幅回路で、この TFT のゲート( $N_a$ )に検知電極が接続される。この検知電極は  $CP_N$  と記した配線(カップリングパルス線)と静電容量  $C_0$  を形成し、さらに指などの導体と容量結合させる。その静電容量値を  $C_f$  とする。 $V_{PRC}$  線は AMP のゲート電圧をリセットするための電圧を供給する。これは TFT M1 を経由して AMP のゲート電極及び検知電極に接続される。そのリセットのタイミングを指定するために  $P_N$  線が TFT M1 のゲート電極に接続される。一方 AMP の出力は TFT M2 を経由して  $V_{out}$  線から出力される。その出力タイミングを指定するために制御線  $R_N$  が TFT M2 のゲート電極に接続される。

次に静電容量センサ回路の動作を説明する。図 5-4(b)のタイミング図を用い、動作の順に説明する。まず、AMP の入力端(ノード  $N_a$ )にプリチャージ電圧  $V_{RST}$  が TFT M1 を通して充電される。次にカップリングパルス線  $V_{CP}$  の電圧が振幅  $\Delta V_{CP}$  だけ振り上げられる。このときノード  $N_a$  の電圧が容量結合によって変化する。ノード  $N_a$  の電圧変化は容量  $C_0$  だけでなく  $C_f$  (検知電極と指の間の容量)にも依存し式(1)で表すことができる。

$$V_a = V_{prc} + \frac{C_0}{C_0 + C_p + C_f} \Delta V_{CP} \quad \text{数式 5-1}$$

ここで  $C_p$  はノード  $N_a$  につく寄生容量である。検知電極の近くに指などの導体が接近していなければ式(1)は  $C_f=0$  となる。このように  $V_{CP}$  をプルアップした後のノード  $N_a$  の電圧  $V_a$  はユーザーの指などの導体が検知電極の近くにあるか否かにより異なる値をとる。その電圧差  $\Delta V_a$  は式(2)で表せる。

$$\Delta V_a = V_a' - V_a = \left( \frac{C_0'}{C_0' + C_p'} - \frac{C_0}{C_0 + C_p + C_f} \right) \cdot \Delta V_{CP} \quad \text{数式 5-2}$$

ここで  $V_a'$  は指などの導体が検知電極の近くにならないときのノード  $N_a$  の電圧である。ノード  $N_a$  は AMP の入力端であるから出力電圧  $V_{out}$  は指などの導体が検知電極の近くにあるか否かで変化する。また、 $C_0' = C_0$ ,  $C_p' = C_p$  and  $C_f \ll C_0$  とすると  $V_{out}$  の電圧差は次の式(3)で近似できる。

$$\Delta V_{out} = G \Delta V_a \approx G \frac{C_0 C_f}{(C_0 + C_p)^2} \Delta V_{CP} \quad \text{数式 5-3}$$

ここで  $G$  は AMP のゲインであり、AMP の設計により決まる。 $\Delta V_{CP}$  は LTPS TFT を用いる場合、10 V 以上にすることができる。 $C_f$  は検知電極の面積と指までの距離によって決まる。容量  $C_0$  及び寄生容量  $C_p$  は回路のレイアウトから決まる。

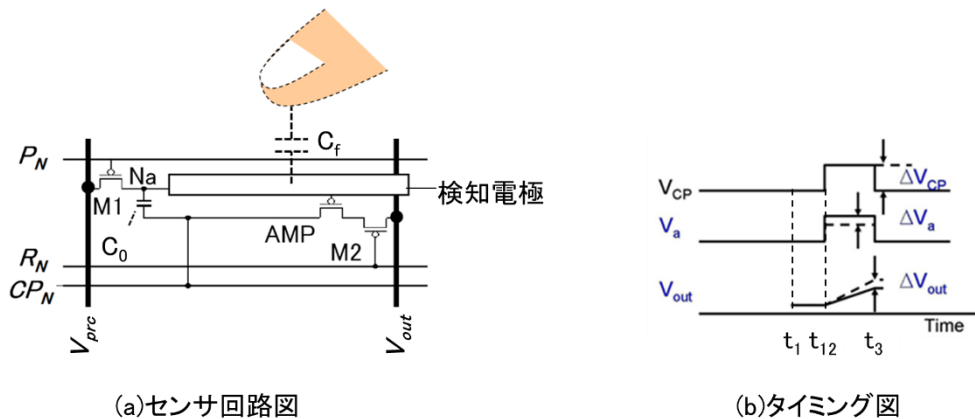


図 5-4 (a)センサ回路図と(b)タイミング図

#### 5.4.2.2. 画素回路

ここでは具体的な画素回路の検討について説明する。はじめに前提とする画素の仕様を説明した上で、画素回路と、その駆動法について説明する。画素回路では開口率低下の対策について、構成要素の①希薄化と②兼用化について説明する。



はじめに、前提とする画素の仕様を説明する。表 5-2 に試作品の仕様をまとめた。画面は対角 7 インチ、画素数は 1024(×RGB)×600 画素、画素ピッチは 150 μm である。液晶は IPS モードであり、TFT 基板は PMOS LTPS である。以下、これを前提として検討を進める。

表 5-2 試作品の仕様

画面サイズ	対角 7 インチ
画素数	1024(×RGB) × 600
画素ピッチ	150 μm
液晶	IPS モード
TFT	PMOS LTPS

次に画素回路を説明する。従来の画素の等価回路図は図 5-5 に示す。横方向に伸びるゲート線と、縦方向に伸びる信号線がそれぞれ繰り返し配置され、その交点に画素が配置される。1つの画素は、カラーフィルタの色(赤(R)、緑(G)、青(B))に対応する3つの副画素からなる。副画素は画素 TFT と蓄積容量と液晶容量をもつ。また駆動タイミング図を図 5-6 に示す。本研究では画素 TFT に PMOS-TFT を用いており、ゲート線の電圧が負に大きいときに信号線から各画素の蓄積容量への書込みが行われ、正に大きいときに導通が遮断され保持状態となる。これは、2.5 で説明した NMOS-TFT を画素 TFT として用いる場合に対し信号レベルの Low/High が逆となる。

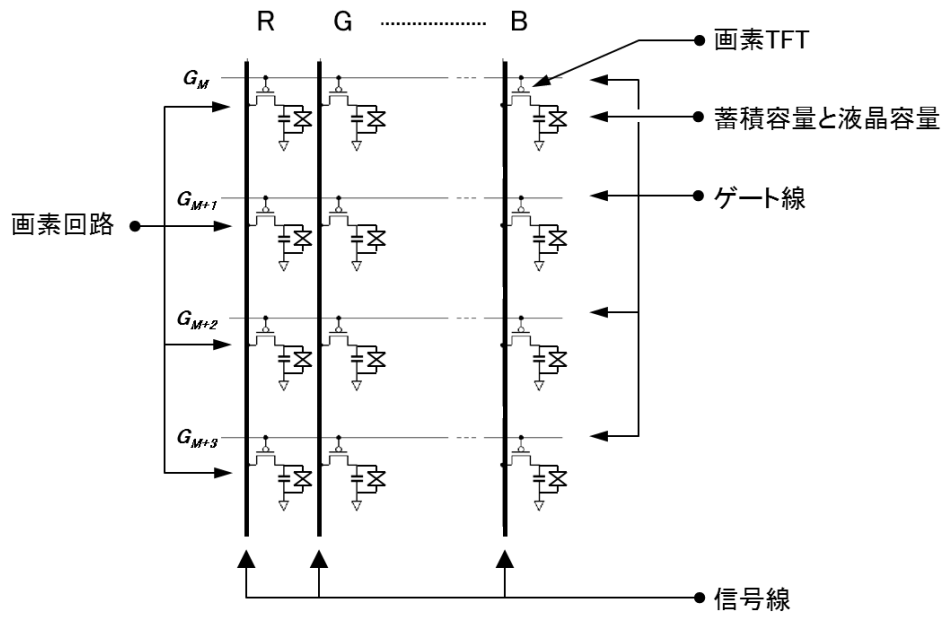


図 5-5 集積化する画素の回路図

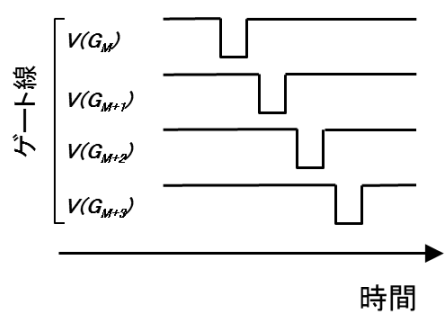


図 5-6 画素の駆動タイミング図

### 5.4.3. 開口率低下の対策

次に 5.4.2.1 で説明した、センサ回路(図 5-4)を画素回路(図 5-5)の中にどのように組み合わせるかについて説明する。はじめに、具体的な画素回路を説明する。次に部品の希薄化及び兼用化を具体的に説明する。

はじめに、具体的な画素回路の回路図を図 5-7 に示す。複数の画素の間にセンサ回路を配置する。図 5-7 では横方向に表示のためのゲート線  $G_M$ 、 $G_{M+1}$ 、 $G_{M+2}$ 、 $G_{M+3}$  が、縦方向に信号線があり、これらの交点に画素回路が接続されている。センサ回路は、静電容量を検知するための検知電極と、これを電氣的にリセットするための TFT(M1)と、検知電極の電位変化を増幅出力するための TFT(AMP)と、その出力を信号線に接続するか否かを切り替える TFT(M2)と、リセット用の制御線 ( $P_N$ )と、出力用の制御線 ( $R_N$ )とカップリングパルス線 ( $CP_N$ )と、を含む。カップリングパルス線と検知電極との間の静電容量  $C_0$  が形成され検知に用いる。

次に希薄化について具体的に説明する。センサ回路(図 5-7 の赤い部分)はゲート線  $G_{M+2}$  とゲート線  $G_{M+3}$  に属する画素の間に配置する。これらは縦方向に配置される信号線を越えて横断的に配置する。横断する横方向の画素数を増やすことにより、それだけ縦方向の幅は細くなる。開口率を確認しながら、横方向に何画素横断させるか決める。但し、ここでは、画素に集積化する回路について、はじめにセンサ回路、次に画素回路について順に説明する。

センサ回路で述べた容量  $C_0$  及び寄生容量  $C_p$  の値はレイアウトから決まる。その値を踏まえ必要な出力が得られるように設計する。また、センサの解像度が従来より悪化しないように、従来のアウトセルのセンサの電極ピッチ (4~5mm) よりは小さくする。このようにして横方向にセンサ回路の領域を延長し、一つの画素における占有面積を希薄化する。

次に兼用化について具体的に説明する。センサ回路(図 5-4)に必要な配線は 5 つある。

- 1)  $V_{PRC}$  線: センサをリセット (AMP の動作点を最適化) するための電圧を供給する配線
- 2)  $P_N$  線: 検知電極にリセット電圧を書き込むタイミングを決める制御線
- 3)  $CP_N$  線: 検知電極の容量を検知するために駆動される制御線
- 4)  $R_N$  線: センサの信号を外部に出力するタイミングを決める制御線

5)  $V_{out}$  線: センサの出力を外部に出すための配線

これらのうち、1)  $V_{PRC}$  線と、5)  $V_{out}$  線を、表示のための信号線 ( $Sig_k$  及び  $Sig_{k+1}$ ) で兼用する。それぞれ  $Sig_k$  及び  $Sig_{k+1}$  にセンサ回路との接続点を示した。これによって、表示のための信号線をセンサのための配線として兼用することになる。開口部を遮ってしまう配線の本数が少なくなるため、開口率を確保するために有効である。

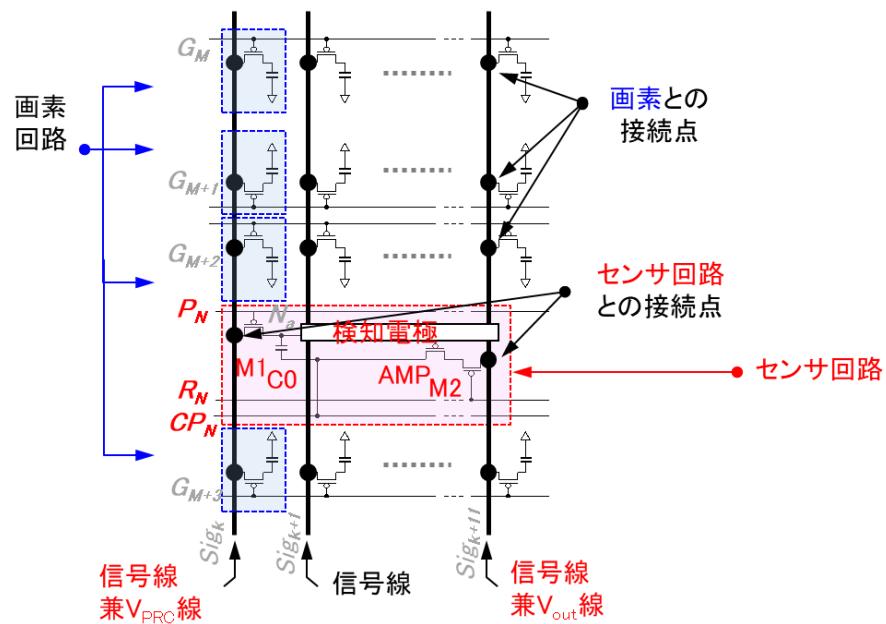


図 5-7 画素の等価回路図

#### 5.4.4. 駆動法(時分割駆動)

前項(5.4.3)で説明した、センサのための配線と表示のための信号線を兼用するためには、駆動法上の対策も必要である。つまり、信号線を表示の動作に用いる期間には、センサの動作には用いない、逆にセンサの動作に用いる期間には表示の動作には用いない、いわば「時分割駆動」が必要になる。LTPS は移動度が高いため表示のために必要な動作を短時間で行える。残りの期間は通常はブランキング期間と呼び何も行わない。本研究ではこの期間をセンサの動作のための期間として生かす時分割駆動を行う。

以下、はじめに時分割駆動のタイミング図を説明し、次に表示のための動作、次にセンサのための動作の順で説明する。センサのための動作は、センサ回路のリセット／静電容量の検知／増幅出力の3つに分けて順に説明する。

はじめに時分割駆動について、図 5-8 のタイミング図を用いて説明する。図 5-8 に、図 5-7 の画素回路を駆動するタイミング図である。図の上段に示すように、表示のための動作とセンサのための動作を時分割により交互に行う。図の下段に各制御線の波形を示した。本研究では PMOS-TFT を用いて LCD パネルを試作した都合からゲート線 ( $G^*$ ) 及びセンサ制御線 ( $P_N, R_N$ ) に関しては、波形が Low レベルのとき、PMOS-TFT がオンする(導通する)。

次に表示のための動作について説明する。表示のための書込みを行うために、ゲート線  $G_M, G_{M+1}, G_{M+2}, G_{M+3}$  の駆動波形である  $V(G_M), V(G_{M+1}), V(G_{M+2}), V(G_{M+3})$  を順次 Low レベルとして信号線から表示のための信号を各画素の画素 TFT を通じて各画素に書き込む。以降、1フレーム期間にわたり  $V(G_M), V(G_{M+1}), V(G_{M+2}), V(G_{M+3})$  を High レベルとし、蓄積容量の電圧を保持させる。

次にセンサのための動作の説明に移る。センサ回路のリセット／静電容量の検知／増幅出力の3つに分けて順に説明する。

まず、検知電極をリセットするために、制御線  $P_N$  を駆動波形  $V(P_N)$  で示すように Low レベルにする。このときに信号線からリセット電圧がセンサ回路の検知電極に書き込まれる。

次に、指との静電容量を検知するために、各画素のカップリングパルス線 (CP 線) を駆動波形  $V(CP_N)$  のように Low レベルから High レベルに変化させる。このとき、カップリングパルス線 (CP 線) は検知電極と、静電容量  $C_0$  をもって容量結合しているため、検知電極の電位も容量結合により電位変化する。この電位変化の程度から、検知電極と指(導体)との間の静電容量を検知する。検知電極の電位は増幅回路 (AMP) に入力されているので、増幅回路 (AMP) の信号出力が変化することになる。具体的には、検知電極の近傍に指(導体)があるか否かにより、検知電極の電圧は低めか高めかの差が生じる。検知電極の電圧が低めであれば増幅回路 (AMP) のゲート・ソース間電圧  $V_{gs}$  が負に大きくなるため増幅回路 (AMP) の出力電流が大きくなる。

最後に、増幅回路 (AMP) の出力を信号線に接続するために、制御線  $R_N$  の駆動波形  $V(R_N)$  のように信号レベルを Low レベルにする。これによって、増幅回路 (AMP) の信号が信号線 ( $V_{out}$  線) に出力される。具体的には、検知電極の近傍に指 (導体) があるか否かにより増幅回路 (AMP) の出力電流が大きい小さいかの差が出てくるため、 $V_{out}$  線の電圧上昇が速いか遅いかの差が出てくる。この電圧を外部のアナログ/デジタルコンバータで読み取る。

このようにして、4 行分の表示のための動作とセンサのための動作との時分割動作を行う。この動作を 150 回繰り返すことにより、600 行の画素と、150 行のセンサを相互に干渉することなく、全て動作させることができる。時分割駆動の効果として、信号線を表示とセンサとで兼用することができる。

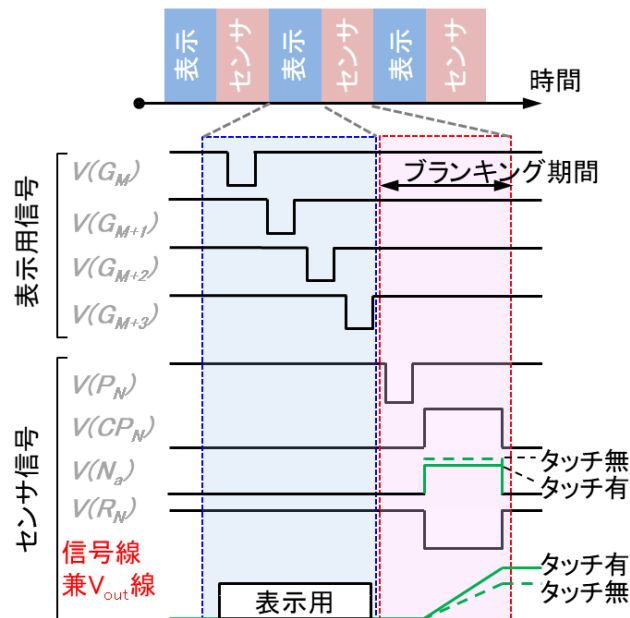


図 5-8 タイミング図

## 5.5. 開口率確保の検証

ここでは、5.4 で説明した内容に基づき、はじめに具体的な画素レイアウトができることの検証、次に加圧無しで信号出力を得られるかについて TFT 基板単体での動作確認、次に LCD パネルでの動作確認の順で説明する。

### 5.5.1. 画素レイアウト検証

ここでは、はじめに試作パネルの仕様、次に試作品の回路ブロック図、次に静電容量センサ回路集積化画素について説明する。

はじめに試作パネルの仕様を説明する。表 5-2 に試作パネルの仕様をまとめた。表示画面の対角寸法は 7 インチであり、画素数は 1024(×RGB) × 600 (WSVGA と呼ばれる) である。画素数に対し、センサ数は 256 × 150 と、4 × 4 画素に 1 個に希薄化した。液晶は IPS モードを採用した。なお、静電容量センサ機能集積化には、低コスト化の期待もあったことから第 2 章 2.8.2 で説明した NMOS 型とは異なる、PMOS 型 LTPS TFT-LCD の製造プロセスを用いた。これは LCD パネルに集積化する回路を全て PMOS-TFT を用いて形成することに限ることによって、TFT 形成プロセスのイオン注入工程を削減し低コスト化する製造プロセスである。

表 5-3 試作品の仕様

画面サイズ	対角 7 インチ
画素数	1024(×RGB) × 600
画素ピッチ	150 μm
センサ数	256 × 150
センサピッチ	0.6mm × 0.6mm
表示フレーム周波数	60Hz
センサ動作フレーム周波数	60Hz
液晶	IPS モード
TFT	PMOS LTPS

次に試作品の回路ブロック図を説明する。図 5-9 に試作品の回路ブロック図を示す。全て PMOS LTPS TFT を用いてガラス基板上に集積化する。従来どおり右辺に、表示を制御するためのゲート線駆動回路を集積化する。さらに左辺に、センサ駆動回路も集積化する。これ

は、センサ回路のリセット(AMPの動作点を最適化)を制御するための制御信号  $P_N$  と、センサ出力を制御するための制御信号  $R_N$  とを出力する。センサ同士は 0.6mm ピッチの周期で配置する。このピッチは、従来のアウトセルのものでは 4~5mm ピッチによりも細かく、LCDの表面にタッチする指の幅が 1cm 角程度とすると、その下に 100 個程度のセンサが含まれることになりセンサの解像度として十分である。表示画素は 600 行あり、センサが 150 行ある。つまり表示 4 行に対しセンサ 1 行が挿入される。駆動も、表示動作を 4 行分連続して行い、センサ動作が続く。これを 1 フレーム期間に 150 回繰り返すことで、表示のための 600 行分の動作とセンサのための 150 行分の動作を完了する。

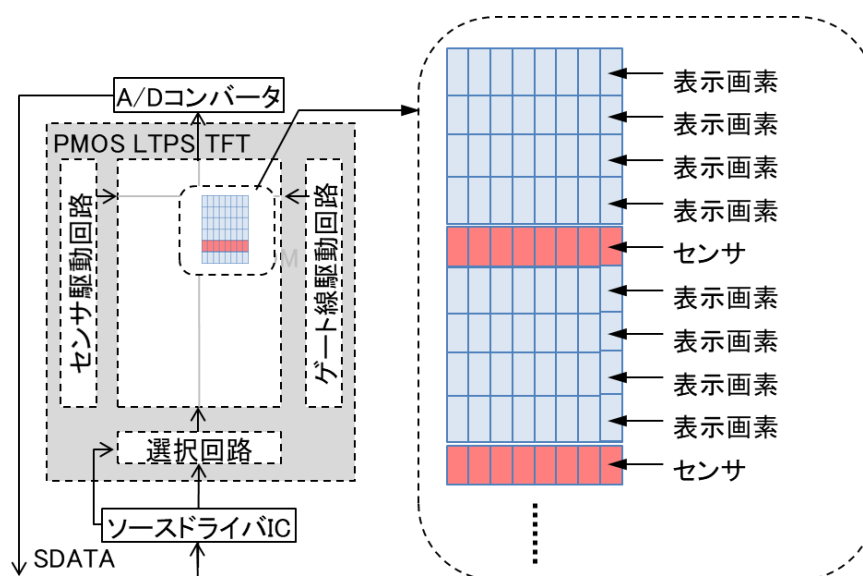


図 5-9 試作品の回路ブロック図

最後に、静電容量センサ集積化画素について説明する。ここでは、表示に必要な条件である開口率と、センサに必要な条件であるタッチ有無での出力電圧とを両立できることを確認する。まず画素レイアウトについて説明した上で、信号出力の見込を計算する。

はじめに、開口率につながる画素レイアウトについて説明する。センサ回路を画素間に押し込んだ画素のレイアウト図を図 5-10 に示す。表示の画素は 3 つの副画素からなり、それぞれカラーフィルタの色が赤(R)、緑(G)、青(B)と異なる。センサ回路を配置するスペースを確保



するため、副画素の縦の長さを縮め、さらに偶数行を上下反転した。以下、具体的に希薄化と兼用化について説明する。

・希薄化…センサ回路は図 5-10 及び図 5-12 に示すように、上から 3 番目のゲート線  $G_{M+2}$  に属する画素と上から 4 番目のゲート線  $G_{M+3}$  に属する画素の間に配置し、縦方向には 4 行に 1 個とした。横方向には 4 画素 ( $4 \times \text{RGB} = 12$  副画素) を横断するように検知電極及びセンサ回路に必要な TFT を配置した。左の 2 つの副画素に増幅回路のための TFT を 3 個レイアウトし、残りの右 10 個の副画素に検知電極を図のようにレイアウトした。

・兼用化…センサ回路(図 5-4)に必要な配線は 5 つある。

1)  $V_{\text{PRC}}$  線: センサをリセット (AMP の動作点を最適化) するための電圧を供給する配線

2)  $P_N$  線: 検知電極にリセット電圧を書き込むタイミングを決める制御線

3)  $CP_N$  線: 検知電極の容量を検知するために駆動される制御線

4)  $R_N$  線: センサの信号を外部に出力するタイミングを決める制御線

5)  $V_{\text{out}}$  線: センサの出力を外部に出すための配線

これらのうち、1)  $V_{\text{PRC}}$  線と、5)  $V_{\text{out}}$  線を、表示のための信号線 ( $\text{Sig}_k$  及び  $\text{Sig}_{k+11}$ ) で兼用する。それぞれ  $\text{Sig}_k$  及び  $\text{Sig}_{k+11}$  にセンサ回路との接点を示した。これによって、表示のための信号線をセンサのための配線として兼用することになる。このようにして、7 インチ LCD の複数画素 ( $600 \mu\text{m}$ ) を横断し検知電極と増幅回路等をレイアウトできた。これらは図 5-10 の右図に示すカラーフィルタのブラックマトリクスの背後に隠れる位置に配置でき視認性に影響しない。図 5-11 に 1 画素の開口率を比較するための図示をした。遮光部になるところを黒で表示し、光が透過する開口部を白で表示した。画素の開口率は 40% と、従来の画素の開口率 (50%) に対し、低減率 20% と目標の許容範囲内で設計できた。

次に信号出力の見込みを試算する。式(3)の  $C_0$ ,  $C_p$ ,  $C_f$  などのパラメータに、図 5-10 のレイアウト図から抽出した値を適用することによって試算する。図 5-10 のレイアウトでは、 $C_0 = 70\text{fF}$ 、 $C_p = 50\text{fF}$ 、 $C_f = 1\text{fF}$  となる。 $G = 3$ ,  $\Delta V_{\text{CP}} = 10\text{V}$  として式(3)に代入すると、 $\Delta V_{\text{out}} = 75\text{mV}$  程度と必要値  $50\text{mV}$  (※) を超える十分な値が期待できる。

(※:A/D コンバータの分解能が 1mV なので 50 階調に相当)

このようにして、表示に必要な条件である開口率と、センサに必要な条件であるタッチ有無での出力電圧とを両立できた。

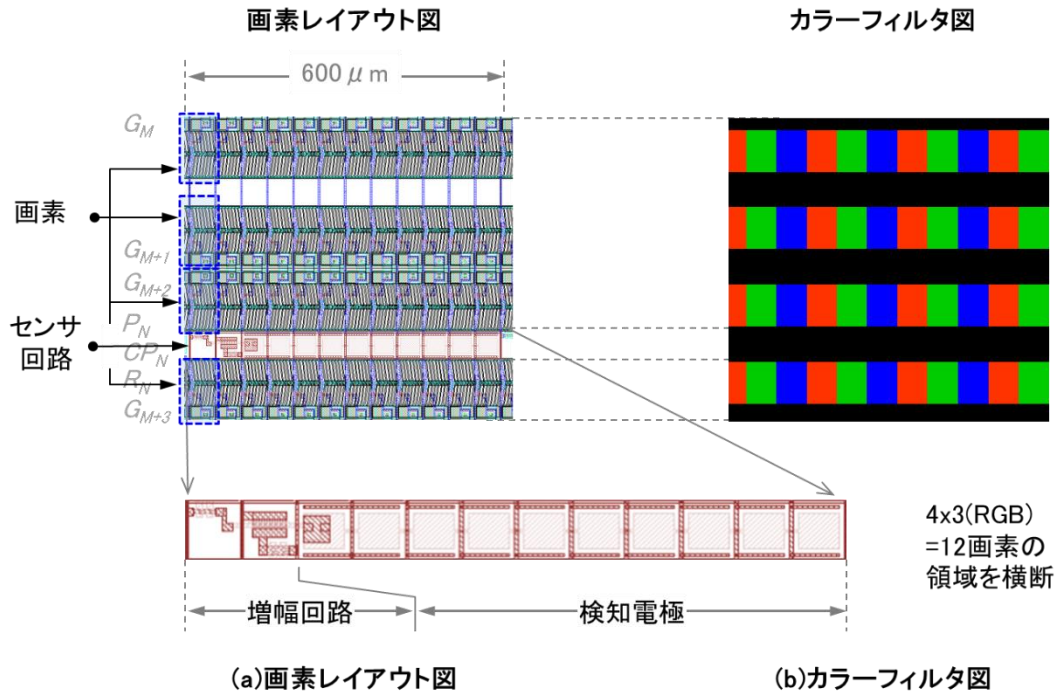


図 5-10 画素レイアウト図(4×4 画素)

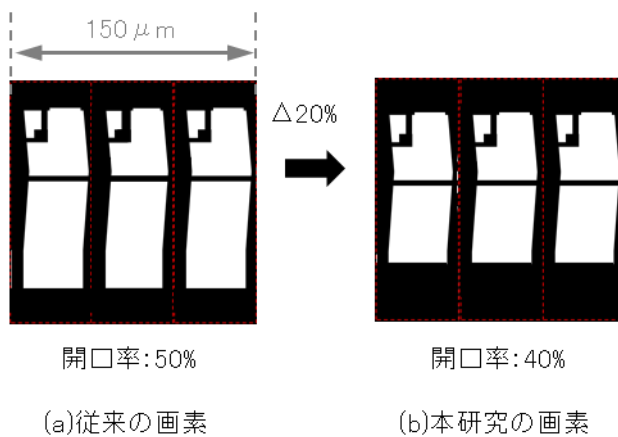


図 5-11 画素レイアウト図(1 画素)

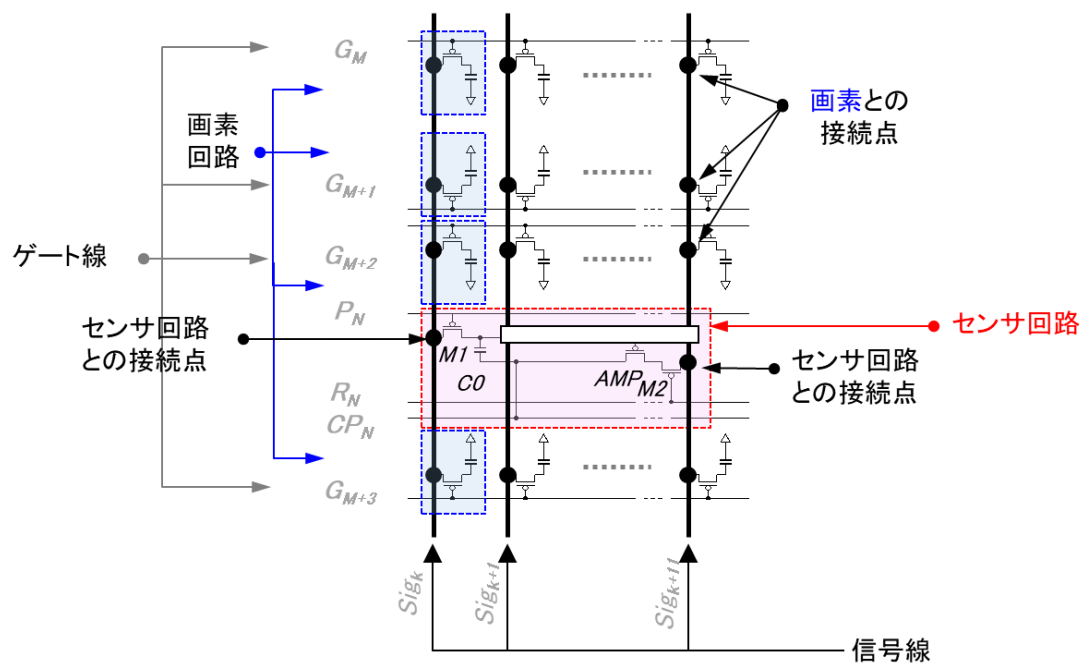


図 5-12 画素の等価回路図

### 5.5.2. TFT 基板単体での動作確認

ここでは、加圧不要で検知できることを、LCD の形にする前の TFT 基板単体の状態で動作確認する。最終的な LCD としては図 5-13(b)に示すように、厚さ 0.2mm の TFT 基板と厚さ 0.2mm のカラーフィルタ基板とが組み合わさり、それぞれに厚さ 0.14mm の偏光板<sup>28</sup>が貼られる。しかし、LCD を用いるとタッチの加圧のため、TFT 基板とカラーフィルタ基板の間の距離が変化して静電容量値し正しく計測できない場合がある。この影響を除くため、断面図を図 5-13(a)に示すように、TFT 基板のみで指有無により出力差が得られるか、について動作確認を行った。但し、指の代わりに GND 接続した銅箔を用いた。TFT、配線及び検知電極が形成される膜面側とは反対の基板面側に銅箔を貼った場合と張らない場合とでセンサの出力を観察した。銅箔は GND に接続されている。

<sup>28</sup> 所定の偏光成分のみを透過させる光学フィルム。

次に結果を説明する。センサの信号はパネルから、外部の A/D コンバータに出力される (図 5-9)。A/D コンバータの直前の電圧波形を図 5-14 に示す。出力期間  $40\mu\text{sec}$  である。TFT 基板のみで指有無による出力電圧差は  $300\text{mV}$  となった。画素レイアウトから  $C_f=2.1\text{fF}$  とみつめることができ、式(3)を用いるとほぼ同じ値となり、妥当と考える。このようにして、集積化したセンサ回路が加圧無しで静電容量を検知できることを確認した。

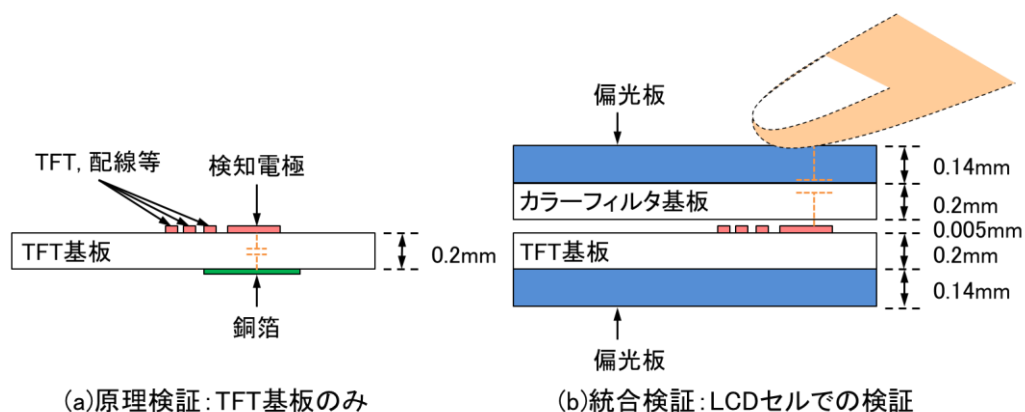


図 5-13 評価サンプルの断面図

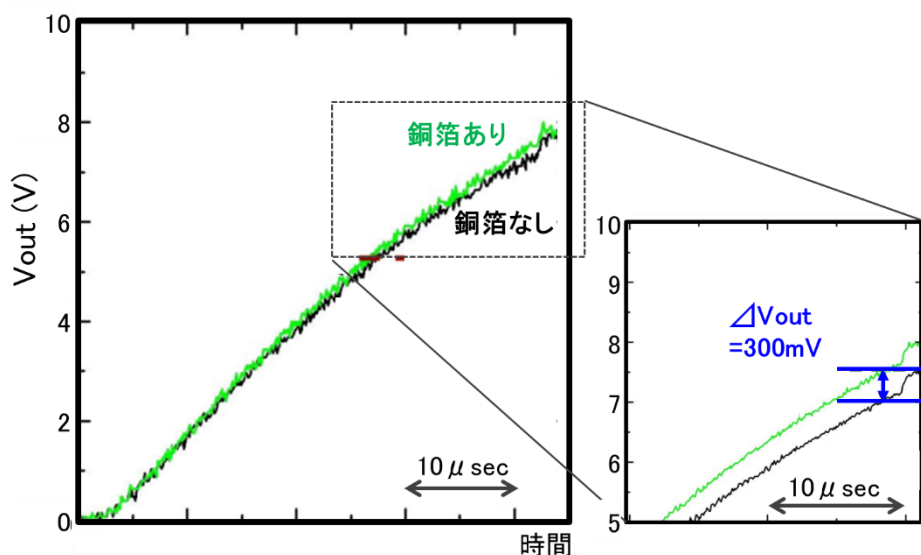


図 5-14 出力波形(TFT 基板単体)

### 5.5.3. LCD パネルでの動作確認

LCD パネルとしての統合検証を行った(詳細は別論文 [110])。5.5.2TFT 基板単体での動作確認の検証に対し、カラーフィルタ基板と、カラーフィルタ基板側の偏光板と TFT 基板側の偏光板が加わっている(図 5-13(b))。センサ機能を集積化した LCD にて、指有無により差分電圧 100mV を得た。この値は目標値(>50mV)を満たしている。

## 5.6. ノイズの対策

ここでは、増幅回路によって、シグナルとともに増幅出力されてしまうノイズの対策について説明する。

### 5.6.1. ノイズ対策アルゴリズム／背景差分処理

LCD パネルに集積化(インセル化)した回路は信号を増幅出力する。このため LCD パネルから出力されるセンサの信号にはノイズも増幅されて含まれてしまう。もともとのセンサの並び順に従い縦横に並べた画像(「入力画像」と呼ぶ)の一例を図 5-15(a)に示す。製造上のばらつきにより隣接画素間でも出力が異なり、結果としてノイズのほうがタッチによるシグナルよりも大きい。この画像のみからタッチされている部位を求めることは到底できない。ノイズ部分を除去し、真のシグナルだけを切り出す画像処理が必要である。

対策として、さまざまな画像処理を適用することができると考えられるが、本研究では、差分処理と、ノイズ処理の 2 つを行った。これらを順に説明する。

はじめに、差分処理について説明する。ここでは、画像処理で用いられる差分処理のひとつである、「背景差分処理 [111] [112]」を用いた。以下、背景差分処理について説明する。あらかじめ、ノイズを含んだ入力のない画像を「背景画像」と呼ぶ。入力画像が入力されたらこの背景画像と差分をとることにより、背景と異なる領域を抽出する処理を行う。これが背景差分処理である。

次にノイズ処理について説明する。ここでは、よく知られたメジアンフィルタを用いノイズを低減した。メジアンフィルタとは各画素毎にこれを取り囲む隣接画素領域を設定し、各画素が持っているデータを設定した隣接画素領域の全画素データのメジアン値(中央値)に置き換える

処理である。メジアンフィルタは画像データの解像度を損なうことなく、スパイクノイズのような孤立点を除去できる特徴を持っており、ノイズ除去によく用いられる。

これらの画像処理を適用した一例を図 5-15 に示す。(a)入力画像だけでは、タッチ部位の識別が困難であるが、背景画像との差分処理をした後の(b)差分画像では、まだノイズや欠陥が見えるものの、2点タッチしている部位が判別できるように改善している。さらにノイズ処理を行い(c)ノイズ処理画像を得る。図の中央の1点と、左寄りの1点の計2点をタッチしていることが明確になっている。これを用いてタッチしている部位の座標や、2点間の距離の算出を行う。

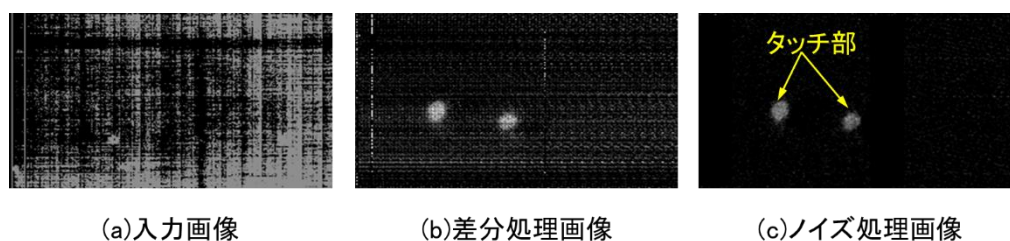


図 5-15 差分処理後の撮像画像

### 5.6.2. コンテンツの拡大／縮小動作の確認

さらに画面の2点をタッチし、そのまま指を滑らせる動作を行い、この動作の間の2点間の距離を算出し、この距離の減少／増加を表示コンテンツの縮小／拡大の動作に割り付けるアプリケーションソフトを作成し、動作させることができた。その外観を図 5-16 に示した。LCDのパネルから出力されるセンサの信号を用いて信号処理及び、その結果を表示コンテンツの動作に結びつける実験用の回路については、以下 5.6.2.1 にて補足する。



図 5-16 差分処理後の撮像画像

### 5.6.2.1. (補足)実験用の回路

図 5-17 に LCD パネルから出力される信号を用いて、信号処理や LCD パネルの制御を行うための実験用の回路を示す。LCD パネルに表示用駆動基板とセンサ用駆動基板が接続される。表示用駆動基板は LCD パネルに表示のための信号を出力する。センサ用駆動基板はセンサのための制御信号を出力し、LCD パネルから出力されるセンサの信号をアナログ／デジタル変換回路 (A/D 変換回路) によりデジタル信号に変換する。この信号は論理回路部によって並び替えられ、画像データとしてパソコンに出力される。パソコンは画像データを用いて信号処理を行った。信号処理の結果に基づいてパソコンから次のタイミングでの表示画像についての指示が表示用駆動基板上の LCD コントローラに送られる。表示用駆動基板は所定のタイミングで表示のための信号を LCD パネルに出力する。

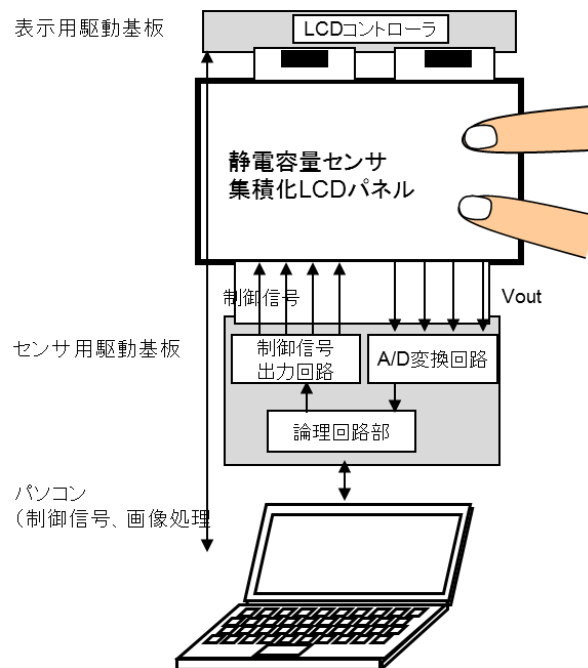


図 5-17 静電容量センサ集積化 LCD と信号処理のための回路



## 5.7. 研究開発及び製品化動向

静電容量の変化を増幅回路により出力する方式は、現在もフレキシブル基板と酸化物 TFT を用いた有機 EL 方式の表示装置<sup>29</sup>にタッチパネル機能を集積化する研究 [113] [114]などが報告されるなど研究が継続している。スマートフォン向け LCD の製品領域では、画素の高精細化が進み、2.8.4 で説明した、共通電極及びシールド電極をストライプ上に分割し、静電容量センサとして用いる方式が主流となった。この方式は LCD の既存の構成要素を生かして静電容量センサの役割をさせるため、開口率への影響がほとんどない特徴を持つ。第 6 章ではその方式を前提とする。

## 5.8. まとめ

2007 年頃からスマートフォンの LCD の上に静電容量センサが搭載され、2 本の指を表面に滑らせコンテンツの操作を行う入力法が急速に普及した。これを背景に『小型化』が期待され、静電容量センサを LTPS TFT を用いて LCD に集積化(インセル化)し、厚さを改善することが求められた。インセル化により検知できる静電容量の値が小さくなってしまったため、増幅出力するための回路の集積化が必要となる。これを透過率(開口率)と両立すること、及び、信号とともに増幅出力されてしまうノイズが課題となった。この対策として、静電容量の値を検知し増幅出力するための回路を複数の画素に横断させることで希薄化し、さらに、センサと表示とで一部の信号線を時分割にて兼用化し、透過率(開口率)への影響を 20%と許容レベルに抑えた。ノイズに対しては差分処理により解決できた。静電容量センサ機能を LCD に集積化でき、『小型化』の期待に応えることができた。

LTPS の移動度が高い点を活かし、集積化回路を高速動作させ、一部の信号線を時分割兼用化することにより、開口率の課題を解決し、『小型化』の期待に応えることができた。

---

<sup>29</sup> 電圧を加えると発光する有機半導体を用いた有機発光ダイオード(organic light-emitting diode)を用いた表示装置のこと。

## 第6章 低周波数駆動機能の集積化

### 6.1. 期待

LCD はさまざまな用途に用いられるなかで、携帯情報端末の用途では、『小型化』、『操作性改善』、『低消費電力化』、及び『画質向上』が常に求められた [52] [53] [115]。

2012 年頃のスマートフォン向け LCD では、画質向上のために画素の高精細化<sup>30</sup>が進んだ。高精細化により 1 つの画素の面積が、図 6-1 上に図示したように、小さくなる。この影響で 1 つの画素における配線や画素 TFT 等の割合が増える [69]。その結果、バックライトの光が透過する開口部の面積の割合(開口率)が低下してしまう。開口率が下がると画面が暗くなるためバックライトの輝度を高めることによって補わなければならない。この結果、バックライトが高輝度化し消費電力が増えた。そうした中で、トータルの消費電力は従来並みを期待され、バックライトや駆動に電力削減が割付けられた [116]。駆動側の電力削減目標として、30%の削減が求められた (図 6-1) [25]。

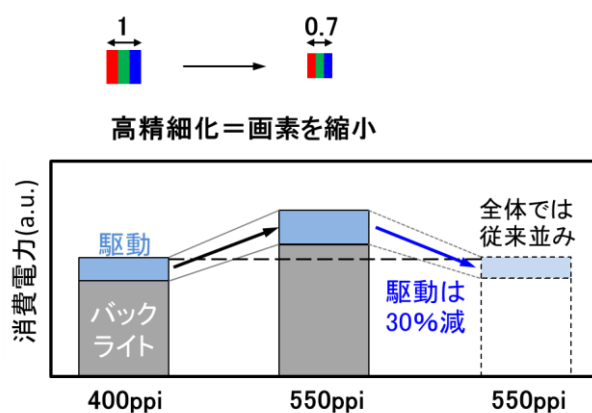


図 6-1 スマートフォン向け LCD の低消費電力化の期待

<sup>30</sup> ディスプレイの表示のきめ細かさを高めること。ディスプレイを構成する画素が視認されないように、画素密度(ppi=pixel per inch)を高める。画像は鮮明に、文字は滑らかに表示できる。

## 6.2. 背景

ここでは、はじめに LCD の駆動電圧を低減するために当時提案されていた低周波数駆動を説明し、次に低周波数駆動に伴うフリッカ(ちらつき)について説明する。最後に先行技術との関係を背景として説明する。

### 6.2.1. 低周波数駆動

LCD の駆動のための電力の低消費電力化には、駆動周波数を下げることが有効である [117] [118] [119] [25]。従来は各画素への表示のための電圧書き込みを 60Hz のフレーム周波数で行っている(2.5.1) [26]。60Hz は周期にすると 16.7msec である。この 1 周期をフレーム周期と呼び、その間に、図 6-2(a)に示すように殆ど常に LCD のいずれかの画素に順番に書き込みを行うための駆動を行っている。低周波数駆動では、図 6-2(b)に示すように画素への電圧書き込みのための駆動を行わない休止期間を設け、その分、消費電力を低減する。この駆動しない期間では、各画素が電圧を保持することで表示を維持する必要がある。この保持をしていなければならない期間(保持期間)が低周波数駆動により長くなる。保持期間が長くなることによる課題を対策する必要がある [120] [121] [122] [123] [119]。

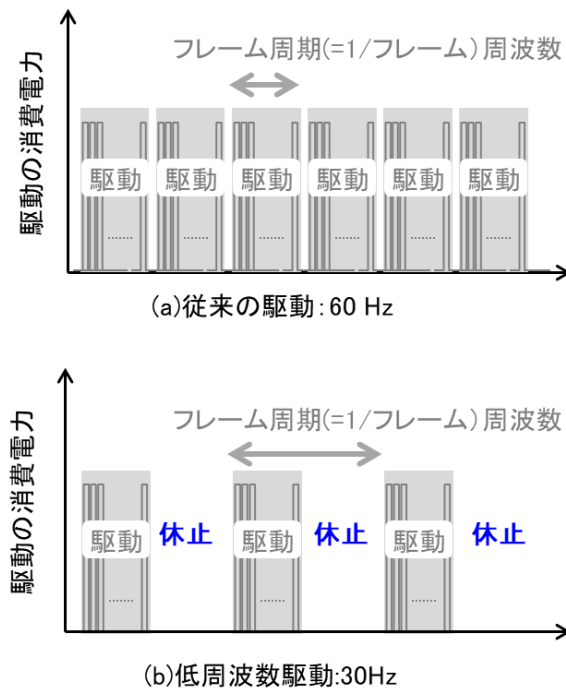


図 6-2 LCD の(a)従来の駆動と(b)低周波数駆動

### 6.2.2. 低周波数駆動に伴うフリッカ(ちらつき)

ここでは、LCD の駆動周波数を低減し、保持期間が長くなったときに生じる課題であるフリッカ(ちらつき)について説明する。次にフリッカ(ちらつき)の要因について説明する。

はじめに低周波数駆動に伴う課題であるフリッカ(ちらつき)の説明をする。図 6-3 に低周波数駆動時の輝度変動(画素電圧変動)の模式図を示す。LCD は所定の周期(フレーム期間)で画素の蓄積容量に書き込まれた電圧を、所定の期間(保持期間)保持し、この間の液晶の透過率を維持する。フレーム期間の逆数はフレーム周波数と呼ばれる。フレーム周波数を下げると電圧保持中にリーク電流<sup>31</sup>の影響で蓄積容量に書き込まれた電圧が低下する。この電

<sup>31</sup> 絶縁されていて本来流れないはずの場所・経路で漏れ出す電流のこと。TFT をオフ状態にしてもソース電極とドレイン電極の間に流れてしまう電流のこと。

圧変動影響で LCD 画素の輝度が変化し、フリッカ(ちらつき)として視認されてしまう [124] [125] [120]。

次にフリッカにつながる要因について説明する。画素の等価回路を図 6-4 に示す。画素に書き込まれた電化は、各画素の蓄積容量(Cs)に保持される。この電荷は、TFT のリーク電流及び液晶材料によるリーク電流  $I_{off}(LC)$ により低減する。TFT のリーク電流  $I_{off}(TFT)$ が大きいと、画素電極の電圧  $V_{pix}$  が信号線電圧に近づいてしまい、電圧を保持できなくなりコントラスト比が低下し LCD の表示品位に影響を及ぼす。また液晶材料によるリーク電流  $I_{off}(LC)$ も同じように画素電圧がコモン電圧に近づいていってしまう要因となり、保持特性を悪化させてしまう [122]。フリッカ(ちらつき)につながる画素電圧変動の要因を図 6-5 に整理する。電圧変動の要因は TFT 側の要因と液晶側の要因に分けられる。それぞれにリーク電流が要因としてあり、LCD の画素電圧変動につながる。また、TFT 側の要因の一つに蓄積容量不足がある。蓄積容量の電圧低下は、蓄積容量の静電容量に反比例する。リーク電流に対して、蓄積容量が十分大きければ電圧低下は小さくなる。逆に蓄積容量が小さいと、電圧低下が大きくなってしまふ。なお、液晶のリーク電流は別論文で言及されている [120]。本論文では TFT 側の要因について取り扱う。

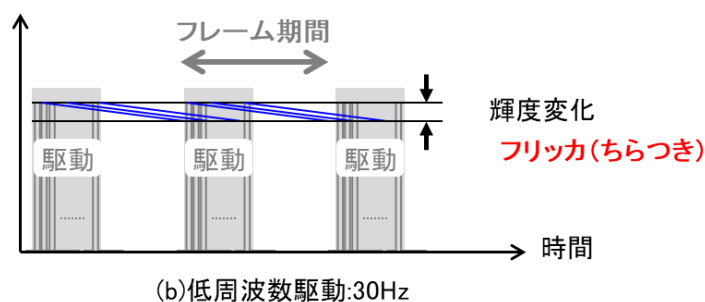


図 6-3 低周波駆動の際のフリッカ(ちらつき)の説明図

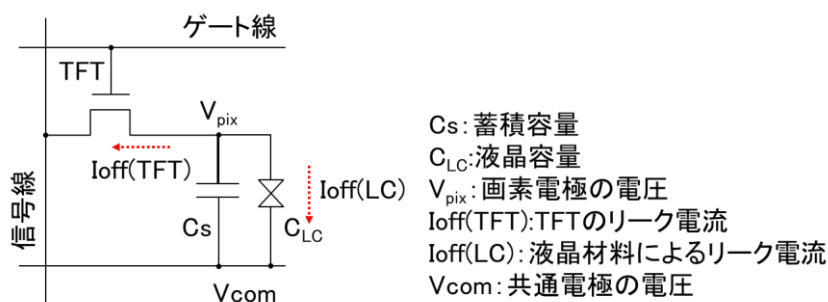


図 6-4 画素の等価回路図

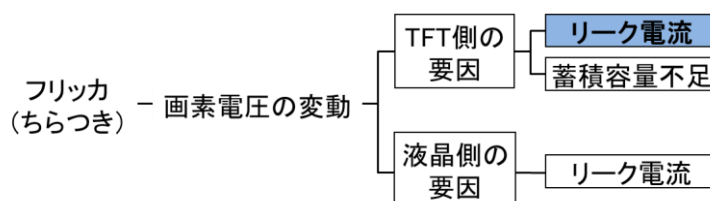


図 6-5 フリッカ(ちらつき)の要因

### 6.2.3. 先行技術との関係

表 6-1 に従来技術との関係を示した。比較の要点は消費電力低減のキーとなる TFT のリーク電流とフレーム周波数、さらに小型化のキーとなる回路集積度である。リーク電流が小さいと保持期間中の電圧変動(画面のちらつきの発生要因)を抑えることができる。また、回路集積度は、TFT の移動度が高いほど有利である。

従来技術の酸化物 TFT [126] [127] [119]では低リーク電流特性を持つことに着目し、これを LCD の画素 TFT として用いることによる低周波数駆動化が報告された [25]。しかし、酸化物 TFT は移動度が低いため、集積化回路の TFT を大きくする必要があり、その分、額縁部の集積化回路の占有面積が大きくなり集積度は LTPS に劣る。この結果 LCD の狭額縁化(小型化)を両立することは難しい。

他方、LTPS は回路集積しやすく狭額縁化には有利だが、リーク電流が大きいことが課題で低周波数駆動化が困難とされている [119]。低周波数駆動化により保持期間が長くなると、その分、リーク電流による画素電極の電圧が変化してしまいフリッカ(ちらつき)として視認されてしまう。

LTPS には回路集積による狭額縁化と低周波駆動化(リーク低減)と両立が期待された。リーク電流が低減できれば、小型化と低消費電力化が実現できる。そこで本研究では LTPS TFT-LCD の画素 TFT のリーク電流低減に取り組む。

表 6-1 先行技術と本研究の関係

	従来技術		本研究
	酸化物TFT	LTPS TFT-LCD	LTPS TFT-LCD
TFTリーク電流	○低い	×高い	○低い
駆動周波数 (フレーム周波数)低減	○低減できる	×低減困難	○低減できる
回路集積	×不利	○有利	有利

### 6.3. 課題

ここでは、LCD の駆動のための消費電力を低減するために、フレーム周波数を低減することによって生じる課題について、概略を述べた上で、従来行われていた対策を課題の背景(6.3.1)として説明し、次に本論文で取り扱う真の課題(6.3.2)について説明する。

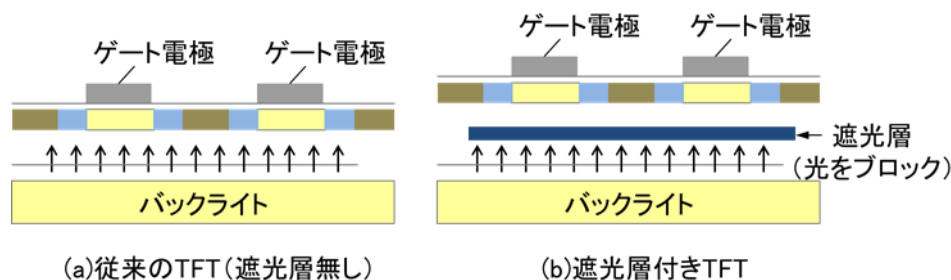
フレーム周波数を低減すると、各画素が電圧を保持していなければならない期間(保持期間)が長くなる。保持期間が長くなると画素 TFT のリーク電流や液晶材料のリーク電流のために各画素の電圧が変動してしまい、フリッカ(ちらつき)として視認されてしまう。画素電圧変動の抑制には、TFT のリーク電流低減、液晶材料によるリーク電流の低減や蓄積容量の増大が有効である(図 6-5)。液晶材料によるリーク電流低減は、液晶材料の改良による対策が他論

文で言及されている [120]。また、蓄積容量については、従来技術の範囲内で、絶縁膜の厚さを薄くすることで対応できた。残る技術課題は TFT のリーク電流低減ということになる。

### 6.3.1. 課題の背景: TFT リーク電流低減のための従来の技術

ここでは、まず従来行われている LTPS TFT のリーク電流低減のための対策について、具体的な画素レイアウトを参照しながら説明する。

LTPS TFT ではリーク電流はドレイン端での電界集中が大きな要因とされ、対策としてバイアス電圧を低減するため LDD 構造及びダブルゲート構造を用いる [9] [38] [27] [122]。また、近年の LCD の高精細化のため開口率が低下し、必要な LCD 輝度を確保するためのバックライト輝度が上昇した。これによって、再掲図 2-12(a)の従来の TFT(遮光層無し)では、チャネル部に強い光が照射されることとなり、光リーク電流が無視できなくなり、光リーク電流の低減も必要となった。再掲図 2-12(b)のように TFT 下に遮光層を追加する対策が採られるようになった [54] [55] [122] [121]。以下、従来行われている高輝度バックライトを用いるスマートフォン向け LCD でのリーク電流対策について、画素レイアウトの概要、蓄積容量、画素 TFT の構造の順に説明する。



再掲図 2-12

はじめに、TFT-LCD の画素の構成要素を説明する。図 6-6(a)に TFT-LCD の平面図、(b)に A-A線での断面図、図 6-8 にチャネル部の断面図を示す。構成要素として、横方向にゲート線、縦方向に信号線、これらの交点付近に画素 TFT、及び画素電極がある。さらに信号線と画素 TFT、画素 TFT と画素電極を接続するためのコンタクトホールがある。



次に蓄積容量について説明する。図 6-6 (a)画素平面図の A-A' 線での断面図を(b)断面図 (A-A') に示した。IPS 液晶の画素では、コモン電極そのものが図 6-6(b)TFT 基板の画素電極の下に敷かれている。その上に絶縁層(SiN)を積層し、さらにその上に画素電極を形成する。このようにして、コモン電極と画素電極の間で蓄積容量が形成される。

次に画素 TFT について説明する。画素 TFT は点線(赤)で囲んで示した。poly-Si(オレンジ色)を 90° 折れ曲がる形にして、ゲート電極が直行するように配置する。このようにして図 2-11 で説明したダブルゲート構造の TFT をレイアウトし、TFT に印加される信号線-画素電極間電圧を半減することによりリーク電流が低減する。さらに工程を追加し、TFT の下に遮光層を島状に形成する。このようにして、図 2-12 で述べた遮光層がレイアウトされる。遮光層が形成されることによって、TFT 基板直下に配置されるバックライトからの直接光は遮られ TFT のチャンネル部に直接入射することがなくなり光リーク電流が低減される。画素 TFT のチャンネル幅(Poly-Si 幅)は、リーク電流を最小化するため、最小線幅が適用される。従来は生産上の制約でチャンネル幅は 2.5~3 μm 程度であった。フレーム周波数が通常の 60Hz であれば、これでフリッカ(ちらつき)が視認される問題は無かった。しかしフレーム周波数を 30Hz 以下にすることは LTPS TFT のリーク電流が大きいため従来技術では困難と考えられていた [119] 。

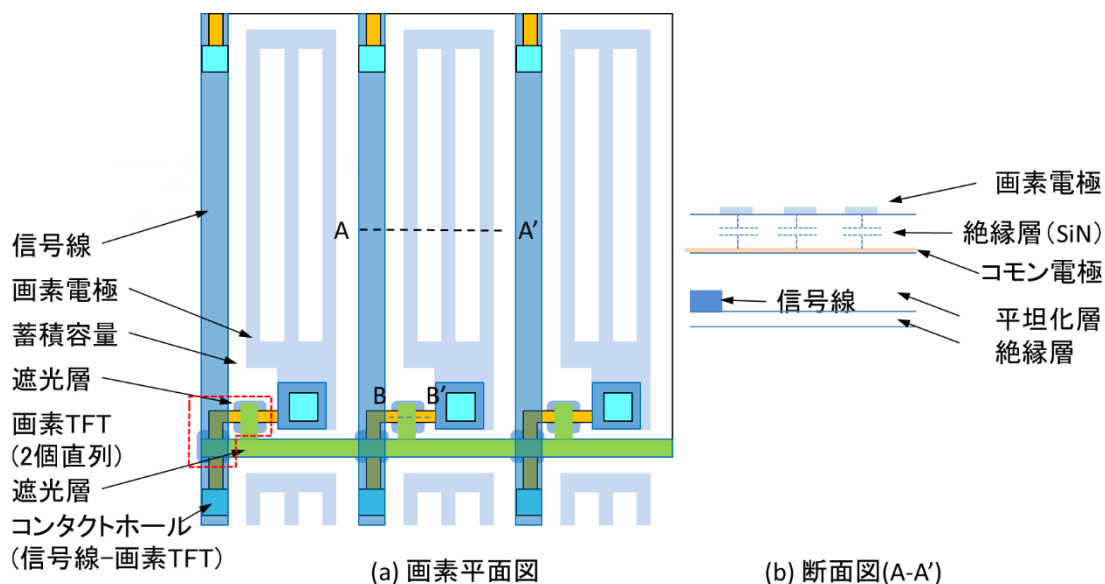


図 6-6 TFT-LCD における画素平面図と断面図

### 6.3.2. 本論文の課題:さらなるリーク電流低減のための加工に関する課題

ここでは、LCD の低消費電力化のために低周波数駆動により保持期間が長くなるため問題となるリーク電流低減を低減するための課題について説明する。

TFT のリーク電流は、ドレイン端での電界集中や、光リークによって引き起こされる。これらは前項(6.3.1)で説明した従来技術で対策する。さらなるリーク電流低減のために、本論文ではオフ抵抗を増加させるために TFT のチャンネル幅を細くすることでリーク電流を低減することを狙う。但し、リーク電流低減のためチャンネル幅を従来の  $2.5 \mu\text{m}$  から  $1.5 \mu\text{m}$  に細く(狭チャンネル幅化)したいが、前項で述べたように従来すでに工程での最小線幅が用いられており、さらなる狭チャンネル幅化をそのまま行くと、チャンネル幅の加工ばらつきが大きくなってしまいう生産上の制約がある。本研究ではこの狭チャンネル幅加工ばらつき低減に取り組む。

ここでは、まず従来の poly-Si のパターン形成工程を説明し、次にさらなる狭チャンネル幅化の際に生じる課題を説明する。

図 6-7 に従来の TFT アレイプロセスでのパターン形成工程を示す。

- (a)まず加工したい poly-Si 膜の上にレジストと呼ばれる紫外線光に対して化学反応する材料を塗布し保護膜を成膜する。
- (b)次にフォトマスクを通して紫外線光をレジスト表面に照射(露光という)する。レジストは光が照射されたところ変質する。
- (c)現像を行うことによりフォトマスクのパターンと同じパターンをレジストで poly-Si 膜状に作る事ができる。
- (d)さらに、膜をレジストパターンと同じパターンに加工するためにエッチングを行う。これはエッチングに適したガス(フロン(CF<sub>4</sub>)や酸素(O<sub>2</sub>)など)にさらすことによって膜を削る工程である。その間にレジストも徐々に削られるが、レジストが覆っていない(保護していない)ところのみエッチングが進行する。
- (e)レジストを除去すれば poly-Si 膜のパターン加工が完了する。

さらにこの後には、(f)厚さ 80nm 程度のゲート絶縁膜の形成及びゲート電極の形成が続き、  
 図 6-6 の B-B'線部が、図 6-8 のような断面構造にて形成される。

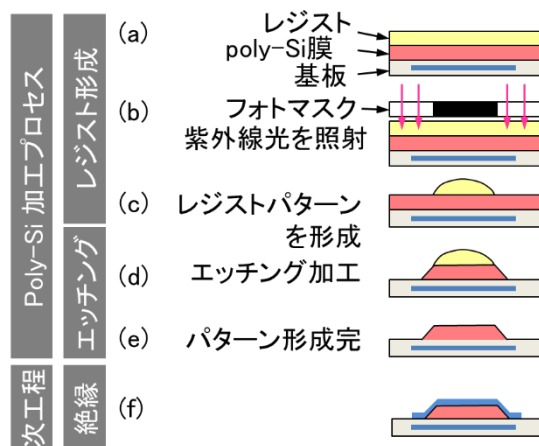


図 6-7 TFT アレイプロセスでのパターン形成工程

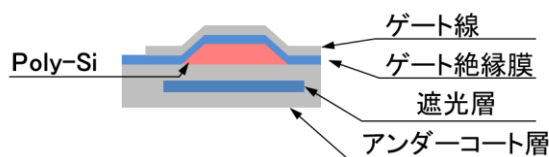


図 6-8 チャンネル部断面図(B-B'断面)

通常は、工程(a)では「gh 線用」と呼ばれるフォトレジスト、工程(b)では gh 線露光機が用いられる。ここで gh 線とは、波長 436nm(g 線)と 405nm(h 線)の混合光のことである。このようにして膜のパターンの線幅が 2.5~3  $\mu\text{m}$  程度までは加工が可能であり、TFT 基板上的のパターン加工は大半がこれで済む。従来の poly-Si 加工にも gh 線用フォトレジストと gh 線露光機が用いられる。

次に狭チャンネル幅化の際に生じる課題について説明する。gh 線用フォトレジストを用いてチャンネル幅を 1.5  $\mu\text{m}$  程度に細く形成すると、図 6-9(gh 線)に模式的に示すように、露光量変動による線幅ばらつきが相対的に大きくなってしまふ。そこで、1.5  $\mu\text{m}$  程度のパターンの形成のためには、工程(a)では露光量変動に対して感度の小さい(図 6-9 i 線 参照) i 線用フォトレジ

ストを用いる [128] [129]。これに対応して、工程(b)では i 線露光機を用いてレジスト形成を行う。i 線とは gh 線よりもさらに波長の短い(365nm)UV 光のことである。加工プロセスを図 6-10 に対比する。左は従来の gh 線レジスト・gh 線露光機を用いる加工であり、右はばらつき縮小のため i 線レジスト・i 線露光機を用いる加工である。しかし i 線用フォトレジストは露光量による線幅ばらつきが小さいものの、工程 (b) に示すように、レジストのテーパ角が大きくなる傾向がある。実際のレジストの断面写真を図 6-11 に示す。これは図 6-10(d)のエッチング工程に影響し poly-Si の出来上がりも図 6-10(e)に示すように高テーパとなる。図 6-12 は poly-Si のテーパが高くなりすぎた高テーパの場合の断面写真である。高テーパ部はゲート絶縁膜が薄化しカバレッジ不良の原因になる。高テーパ角の発生を対策できれば、チャンネル幅を狭められ、リーク電流を低減できる。

まとめると、LCD の低消費電力化のために低周波数駆動により保持期間が長くなるため問題となるリーク電流低減を低減するため、i 線フォトレジスト・i 線露光機を用いて poly-Si を 1.5  $\mu\text{m}$  幅にて形成する。このとき、poly-Si のテーパを小さくすること、この点が本論文で取り扱う課題である。

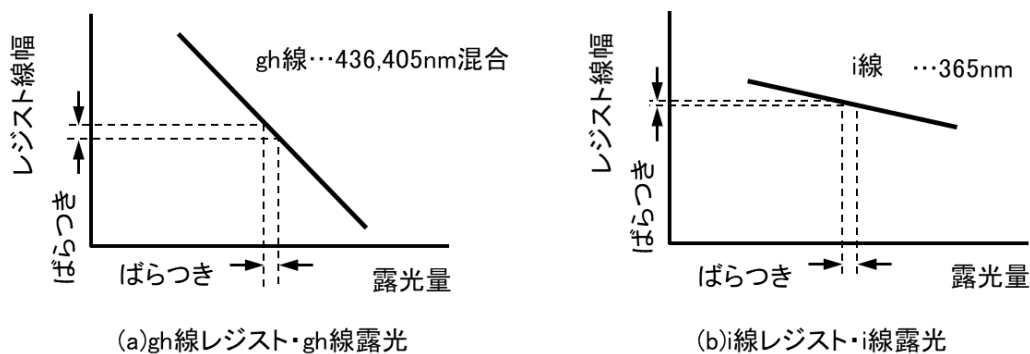


図 6-9 露光量とレジスト線幅(模式図)

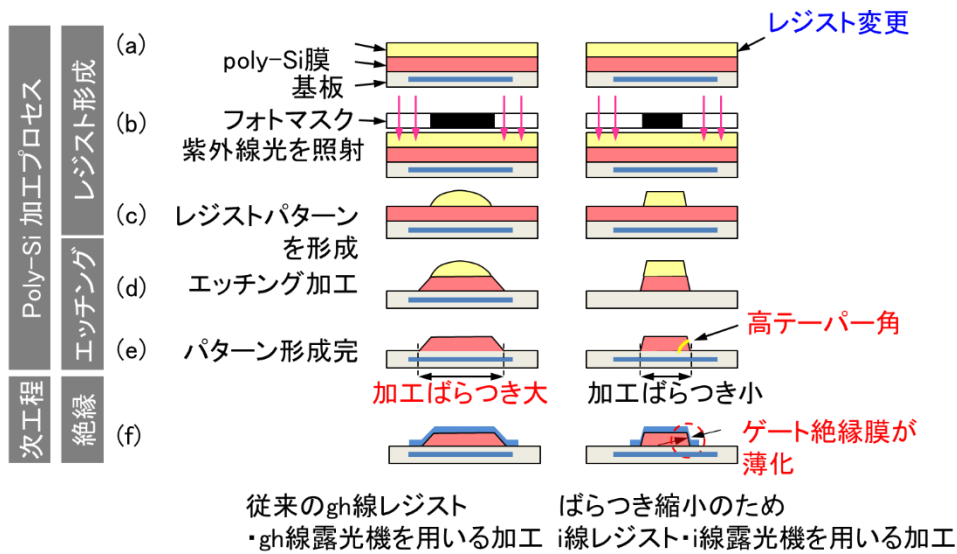


図 6-10 TFT アレイプロセスでのパターン形成工程

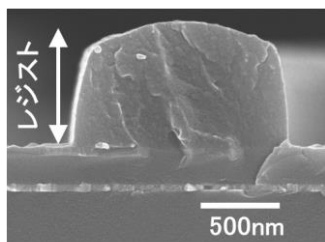


図 6-11 i線用フォトレジストの断面写真

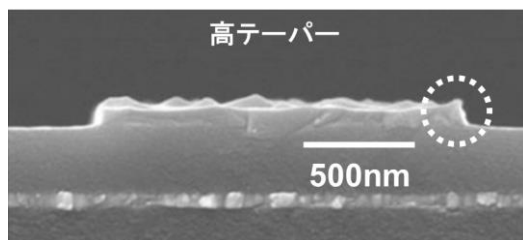


図 6-12 poly-Si 断面写真(高テーパー部)

## 6.4. 対策

ここでは、本論文での真の課題である、poly-Si の  $1.5 \mu\text{m}$  幅化の際に、poly-Si の加工断面が高テーパ化してしまう課題の対策について説明する。i 線フォトレジスト・i 線露光機を用いて poly-Si を  $1.5 \mu\text{m}$  幅にて形成する際に、poly-Si のテーパを小さくするための対策を図 6-13 を用いて説明する。エッチング工程を改良し、レジストパターンの高テーパが poly-Si の完成パターンに影響しないことを狙う。

- (a)まず poly-Si 上に塗布するレジストを gh 線レジストから i 線レジストに変更する。
- (b)次に i 線露光機を用いレジストパターンを形成する。このとき、線幅ばらつき低減を優先し、レジストが高テーパになってしまう点は許容する。
- (c)次の、エッチング工程を改良する。具体的には、 $\text{O}_2$  ガスを多くするとレジストの削れ速度が速まり、 $\text{CF}_4$  ガスを多くすると poly-Si の削れ速度が速まる傾向があることに着目する。エッチングガスの  $\text{O}_2$  ガスと  $\text{CF}_4$  ガスの比率(流量比)を変更することにより、テーパ角を低減する条件を探る。
- (d)その結果、線幅  $1.5 \mu\text{m}$  かつ低テーパ角の poly-Si のパターンを形成できるはずである。

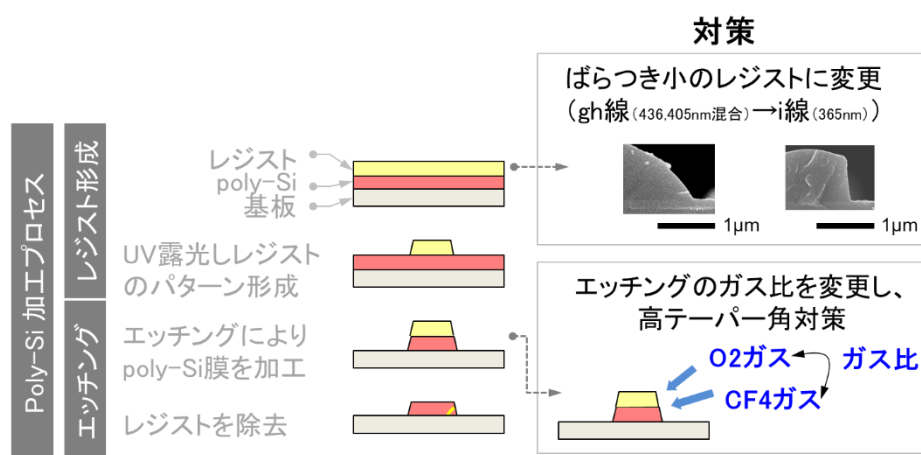


図 6-13 狭チャンネル幅化 poly-Si 加工の説明図

## 6.5. 検証

検証の進め方は、はじめに本論文での真の課題である poly-Si のテーパー検証を行う。次にチャンネル幅の確認、次にリーク電流低減効果の確認、及びその結果としてのフリッカの改善効果を確認する。最後に 550ppi の LCD でフリッカ及び消費電力の改善効果を確認する。

### 6.5.1. Poly-Si テーパー確保

ここでは、真の課題である poly-Si の加工断面の高テーパー化に対し、図 6-13 に示した対策を適用し、poly-Si のテーパー角を確保する検証を行う。この検証のために用いた画素レイアウト図を図 6-14 に示す。

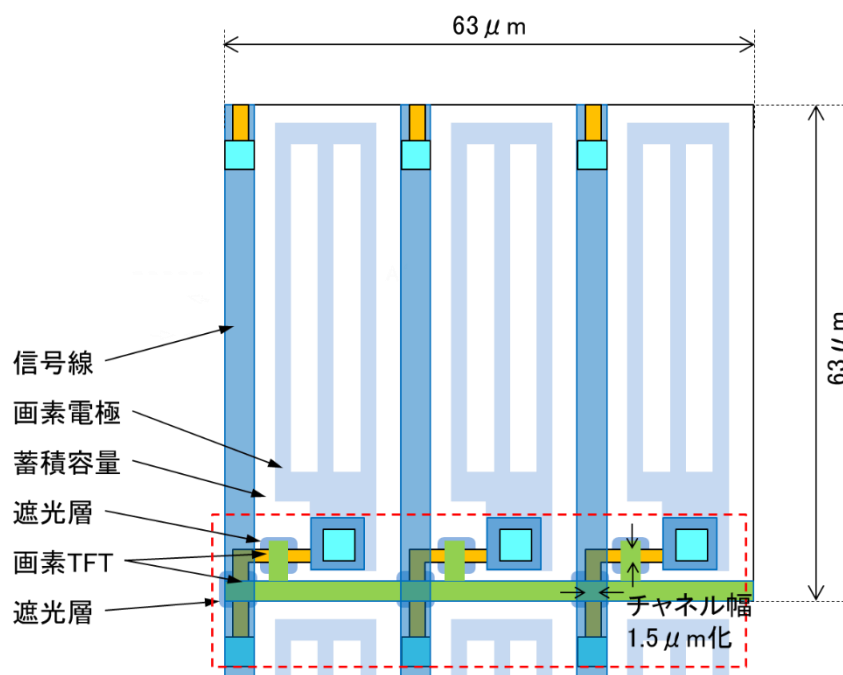


図 6-14 画素レイアウト図

図 6-14 の画素図の赤点線内の遮光層と poly-Si のパターンを抜き出したものを図 6-15 に示す。画素 TFT のチャンネル幅となる Poly-Si の線幅は、従来は 2.5 μm だったが、本検証では 1.5 μm 化する。加工のためのレジストは i 線用のものを採用し、露光機も i 線露光機を用いる。図 6-16 は実際のガラス基板上に形成した遮光層と poly-Si の写真である。この部分に着

目してエッチングガス比変更による poly-Si のテーパー角の改善を調べた。エッチングガス比は従来の  $\text{CF}_4:\text{O}_2=67:33$  に対し、 $\text{CF}_4:\text{O}_2=55:45$ 、 $50:50$ 、 $45:55$  と変化させた。目標テーパー角は  $45^\circ$  以下である。各条件で 4 個ずつデータを取り、最大値と最小値が工の字の上下になるようにグラフ化した結果を図 6-17 に示す。ガス比 ( $\text{CF}_4:\text{O}_2$ ) を従来の  $67:33$  から  $50:50$  もしくは  $45:55$  に変化させることで、テーパー角を目標値の  $45^\circ$  以下に低減できている。一方、テーパー角を小さくしすぎるとエッチングに要する時間が長くなり生産性が悪化する。テーパー角低減と生産性の最適点として、エッチングガス比は  $\text{CF}_4:\text{O}_2=50:50$  を最適点 (図 6-17) とした。図 6-18(a) 及び (b) にガス比変更前後の断面写真を示す。最適化前の従来のガス比  $\text{CF}_4:\text{O}_2=67:33$  の場合、テーパー角は  $72^\circ$ 、 $80^\circ$  と高テーパーとなっている。これに対し、最適化後のガス比  $\text{CF}_4:\text{O}_2=50:50$  では、 $32^\circ$ 、 $29^\circ$  と目標値の  $45^\circ$  以下となっている。これにより製造時の不良であった絶縁不良を撲滅できた。

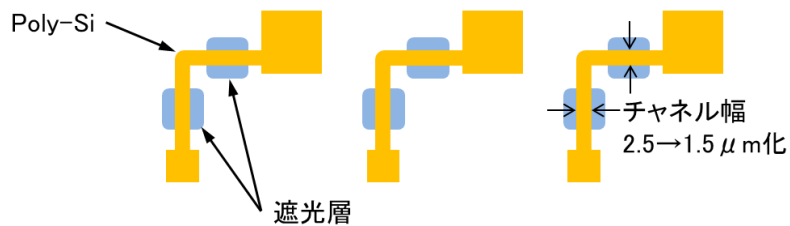


図 6-15 図 6-14 の赤点線内の遮光層と Poly-Si のパターンを抜き出した図



図 6-16 ガラス基板上に形成された遮光層と poly-Si



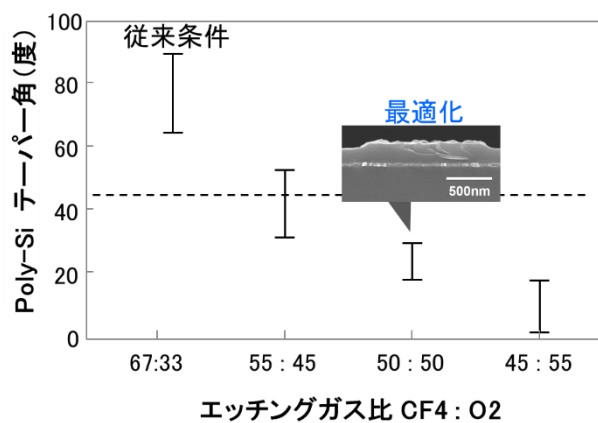


図 6-17 エッチングガス比によるテーパー角の改善

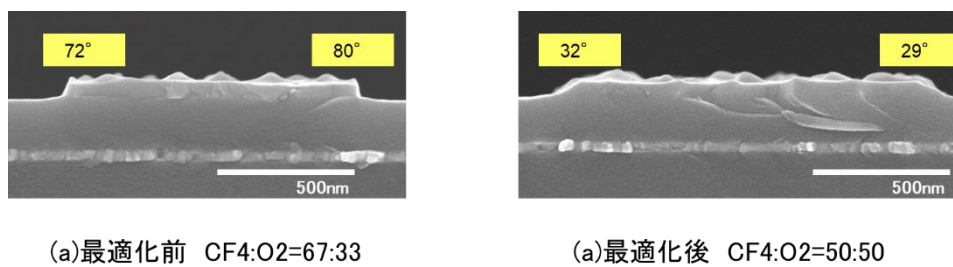


図 6-18 エッチングガス比によるテーパー角の改善

## 6.5.2. Poly-Si チャネル幅

次に poly-Si の線幅を  $1.5\ \mu\text{m}$  と細くしても、i 線レジストを用いることによって、poly-Si の加工線幅のばらつきを小さくできることを確認する。i 線用レジスト、i 線露光機を用いてレジストパターンを形成した上で、エッチングガス比を  $\text{CF}_4:\text{O}_2=50:50$  に最適化しエッチングを行ったときの、poly-Si のチャネル幅を実測した結果を表 6-2 に示す。6 枚の基板に対し、面内 9 点の測定を行った。その結果、 $1.47\ \mu\text{m} \pm 0.34\ \mu\text{m}$  ( $3\sigma$ ) であった。加工ばらつきは従来の gh 線レジストの場合に比べ半分以下となっており、狙いのばらつき低減が達成できた。

表 6-2 Poly-Si チャネル幅

poly-Siチャネル幅 (CF <sub>4</sub> :O <sub>2</sub> =50:50)		
基板 No.	平均 ( $\mu\text{m}$ )	3 $\sigma$ ( $\mu\text{m}$ )
1	1.520	0.384
2	1.488	0.381
3	1.502	0.396
4	1.432	0.300
5	1.411	0.282
6	1/496	0.264
<b>Total</b>	<b>1.47</b>	<b>0.34</b>

## 6.5.3. リーク電流低減効果

次に TFT のリーク電流の低減効果を確認する。エッチングガス比を  $\text{CF}_4:\text{O}_2=50:50$  に最適化しテーパー角が  $45^\circ$  以下となる条件で形成した TFT の電流特性(ゲート電圧対ドレイン電流特性( $V_g$ - $I_d$  特性))を図 6-19 に示す。 $V_g$  はゲート電極に印加する電圧であり、 $I_D$  はドレイン電流である。実際の LCD の画素 TFT の電圧印加状態を考えると、 $V_{ds}$  は  $-5\text{V} \sim +5\text{V}$ 、 $V_g$  を  $2\text{V}$  以上としたときに ON となり、 $V_g$  を  $-2\text{V} \sim -7\text{V}$  としたときにオフとなる。リーク電流の指標としては、 $V_{ds}=5\text{V}$ 、 $V_g=-5\text{V}$  のときの電流値を用いた。チャネル幅を  $2.5\ \mu\text{m}$  から  $1.5\ \mu\text{m}$  化したことにより、リーク電流は約 3 割低減できた。

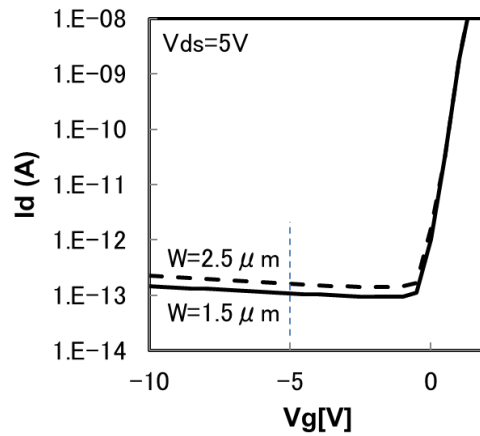


図 6-19 TFT の電流特性 (VG-ID 特性)

#### 6.5.4. フリッカ低減効果

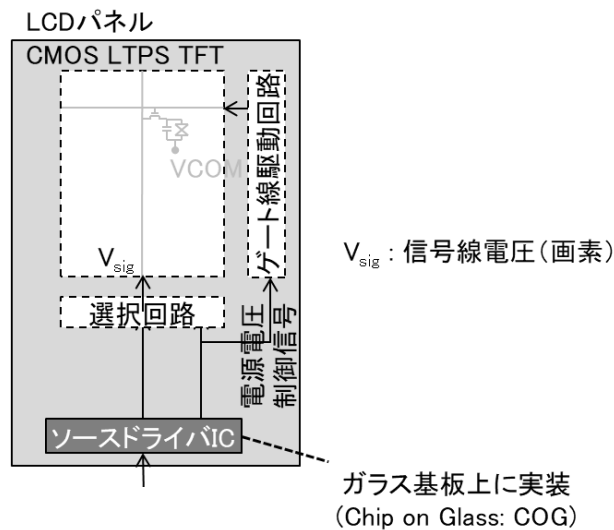
最後に、表 6-3 の(a)本研究と(b)比較用の 2 種類の TFT-LCD を作製し、フリッカ(ちらつき)の低減効果を検証した。はじめに検証に用いた試作品の LCD の仕様を説明し、次にフリッカ(ちらつき)の検証結果を説明する。

はじめに、検証のために用いた 400ppi の LCD の仕様を表 6-3 に示す。画面サイズは対角 4 インチ、画素数は、1136×1920、精細度は 400ppi である。液晶は IPS モードであり、フレーム周波数は従来の 60Hz に加え、30Hz が可能である。サンプルは画素 TFT のチャンネル幅のみ異なる 2 種類作製した。(a)本研究のサンプルと、(b)比較用のサンプルである。本研究のものは画素 TFT のチャンネル幅が 1.5  $\mu\text{m}$  である。比較用のものは 2.5  $\mu\text{m}$  と従来のチャンネル幅とした。

表 6-3 試作品の仕様

	本研究	比較用
画面サイズ	対角 4 インチ	←
画素数	1136×RGB×1920	←
画素ピッチ	63 $\mu$ m	←
精細度	400ppi (pixel per inch:1 インチあたりの画素数)	←
液晶	IPS モード	←
画素 TFT のチャンネル幅	1.5 $\mu$ m	2.5 $\mu$ m
フレーム周波数	60Hz, 30Hz	←

試作品の回路ブロック図は第 2 章 2.8.2 ソースドライバ IC 方式で説明した図 2-22 であり再掲する。2.8.4 静電容量センサ集積型のもので最終的な確認は 6.6 で行う。



再掲図 2-22 回路ブロック図(ソースドライバ方式)

LCD 表示は IPS 液晶モードにおいて電圧-透過率特性の傾きが最も大きい(条件として厳しい) 透過率 20% の中間調とした。フリッカは輝度応答波形の最大値-最小値の幅が大きいと視認される。その許容値はフレーム周波数によって異なり、低周波数ほど、許容値が小さくなる[文献]。今回前提とするフレーム周波数は 30Hz であり、変動の上限は 3% とされる。測定

は市販のフォトダイオード(S9219:浜松ホトニクス社)とフォトセンサアンプ(C9329:浜松ホトニクス社)を用い LCD の輝度を測定し、平均輝度で規格化し規格化透過率とした。透過率の時間変化を図 6-21 に示す。画素への電圧書込み(時刻  $t_1$ )後、液晶が画素電圧に応答し透過率が上昇する。この応答は数 msec 程度かかるのが通常である。その後、次の書込みが行われる(時刻  $t_2$ )までの保持期間に輝度変動が発生する。輝度の最大値と最小値の間の差を平均輝度で規格化しフリッカ(%)とした。

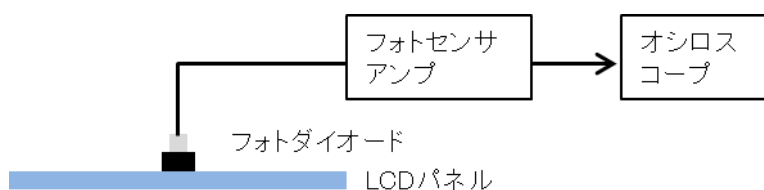


図 6-20 フリッカの測定

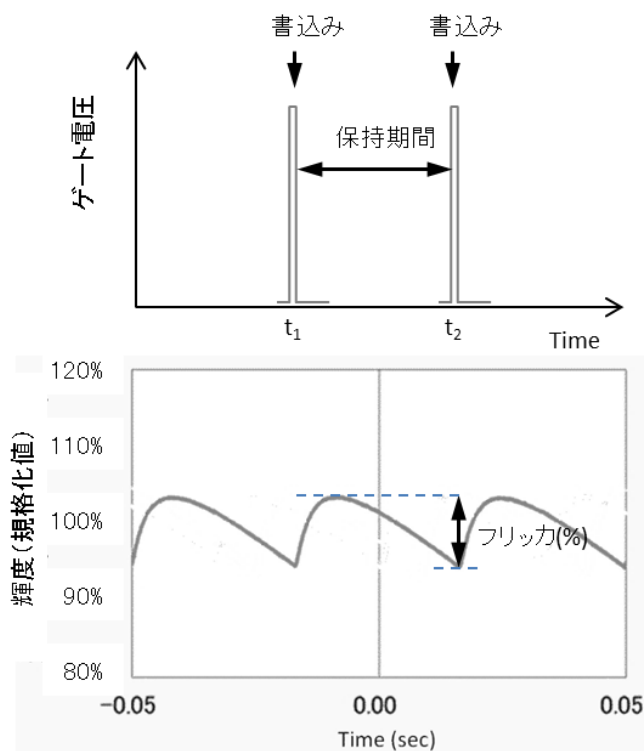


図 6-21 狭チャネル幅化によるリーク電流低減効果

図 6-22 に、(b)比較用と(a)本研究の 2 種類のサンプルに対し、フリッカ(ちらつき)を計測する際の輝度応答波形を示す。チャンネル幅が従来のままの  $2.5 \mu\text{m}$  の(b)比較用サンプルに対し、チャンネル幅が本研究の  $1.5 \mu\text{m}$  としたサンプルでは、輝度応答波形の振幅が低減していることがわかる。図 6-23 にフリッカの改善を棒グラフで示した。フリッカは従来の 3.7% から 2.7%に低減でき、視認される限界値 [130]以下にできた。

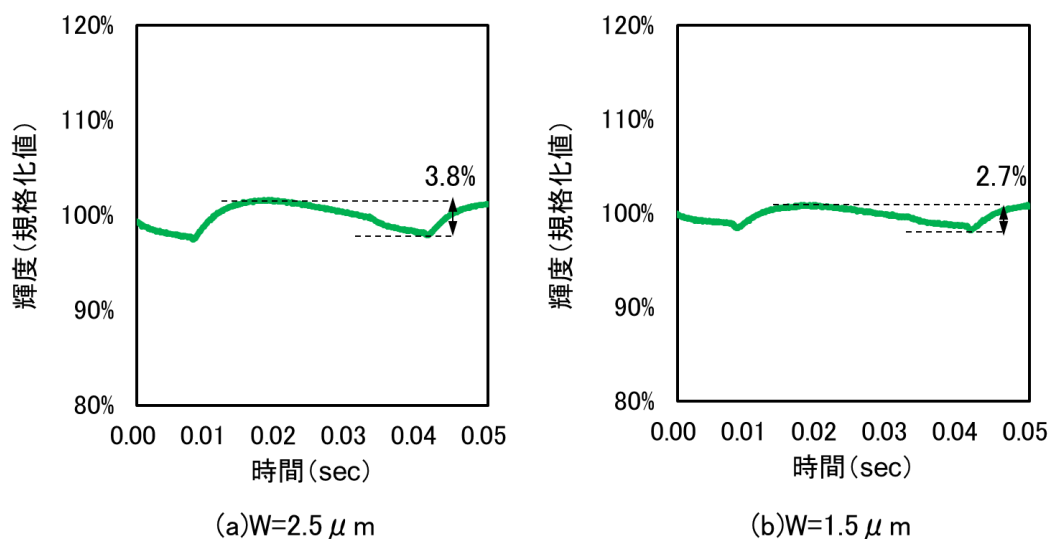


図 6-22 狭チャンネル幅化によるフリッカ低減効果

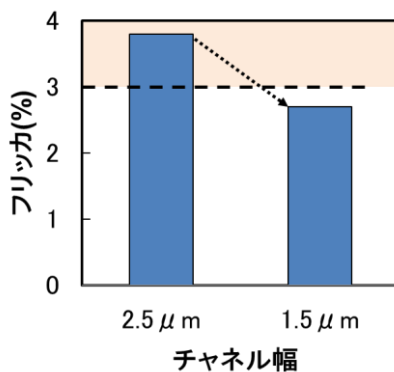


図 6-23 狭チャンネル幅化による画素電位変化／フリッカ低減効果

### 6.5.5. 高精細 LCD でのフリッカ及び消費電力

ここでは、最終的な消費電力の検証を 550ppi の高精細 LCD で行う。LCD の駆動ための消費電力を低減するためにフレーム周波数を低減する。そのため保持期間が長くなるため TFT のリーク電流を低減するための狭チャンネル幅化(6.5.1~6.5.3)を適用する。さらに画素が高精細(550ppi)となるため不足する蓄積容量の対策を加える。

以下、はじめに 550ppi の高精細 LCD の仕様を説明した上で、画素が高精細となることにより、加わる課題について説明する。低周波数駆動時の画素電圧変動要因としてはリーク電流と蓄積容量不足があった。ここではこれらに対し、高精細 LCD 適用時にどう対応していったかを簡潔に述べる。次にフリッカと消費電力の検証結果について説明する。

#### 6.5.5.1. 550ppi の LCD の課題

ここでは、はじめに 550ppi の LCD の試作品の仕様を説明した上で、画素が 550ppi と高精細化した LCD で低消費電力化のための低周波数駆動を行うことにより長くなる保持期間中の課題を再度検討する。そして、TFT のリーク電流対策に加え、蓄積容量不足について説明する。

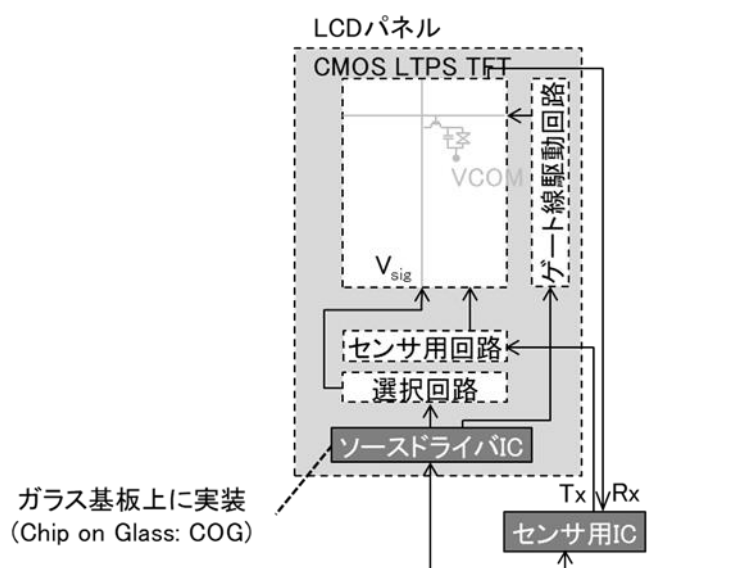
はじめに 550ppi の LCD の試作品の仕様を表 6-4 により説明する。画素の精細度は 550ppi、画素数は 2160×3840 画素である。左右の額縁幅は 1.1mm である。当時想定されたハイエンドのスマートフォンの想定仕様は 500ppi・1080×2140 画素であるが、ppi、行数とも、これよりハイスペックである。スマートフォンのみならず、タブレット PC への適用も可能にするためである。フレーム周波数は従来の 60Hz に加え、低周波数駆動の 30Hz が可能である。タッチパネルとして静電容量センサが集積化(インセル化)され薄型化されている。

回路ブロック図は 2.8.4 で示したものであり再掲する。表示のためのソースドライバ IC が、400ppi の項で用いたソースドライバ IC 方式と同様に、LCD パネルの TFT 基板上に実装(COG)される。また、センサ用 IC とセンサ用回路が追加される。TFT 基板上の集積化回路としては、センサ用回路が追加される。選択回路及びゲート線駆動回路は図 2-22 と同じである。また、静電容量センサの機能のために図 2-25 に示すように、(a)従来全面でつながっていた共通電極及びシールド層をそれぞれストライプ状に(b)のように分割する。タッチパネルの動作周波数は 120Hz である。表示が低周波数駆動の 30Hz になったときでも、タッチパネルの

動作周波数は 120Hz が維持され急にタッチされたときにすぐにシステムが反応できるようになっている。

表 6-4 試作品の仕様

画面サイズ	対角 8 インチ
画素数	2160×3840
精細度	550ppi (pixel per inch:1 インチあたりの画素数)
左右額縁幅	1.1mm
フレーム周波数	60Hz、30Hz
タッチパネル	インセル型、動作周波数 120Hz



再掲図 2-24 回路ブロック図(静電容量センサ集積化方式)

次に蓄積容量不足について説明する。高精細化された 550ppi の画素のサイズは  $46.2\mu\text{m}$  角と小さく、従来の 400ppi( $63\mu\text{m}$  角)の画素の半分程度の面積しかない。図 6-24 に 1 つの画素の(a)平面図と(b)蓄積容量部の断面図を示す。蓄積容量は画素電極とコモン電極と、これらの間の絶縁膜 (SiN) により形成する。蓄積容量の値は、画素電極とコモン電極とが向かい合う面積  $S$  に比例し、かつ、それらの距離、つまり絶縁膜 (SiN) の厚さ  $d$  に反比例する。高精細化により画素のサイズが小さくなると、それに比例して、蓄積容量のための面積  $S$  が小さくなってしまふ。このため高精細化された 550ppi の画素では蓄積容量不足となってしまふ。低周波数駆動の際のフリッカ(ちらつき)に直結する画素電圧変動の要因図を再掲図 6-5 に示す。



550ppi の LCD でもリーク電流を低減するために狭チャンネル幅化(6.5.1~6.5.3)を採用するが、さらに蓄積容量不足の課題が加わる。

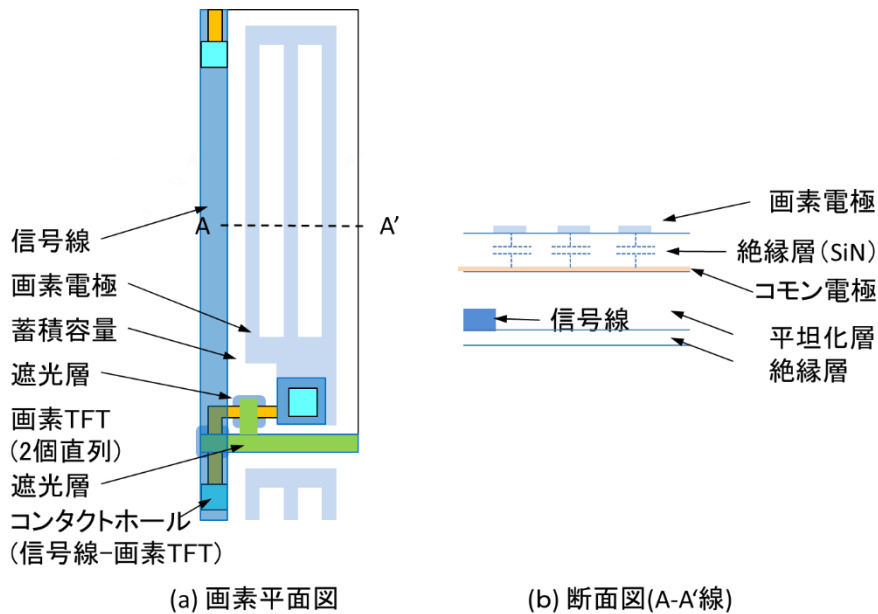
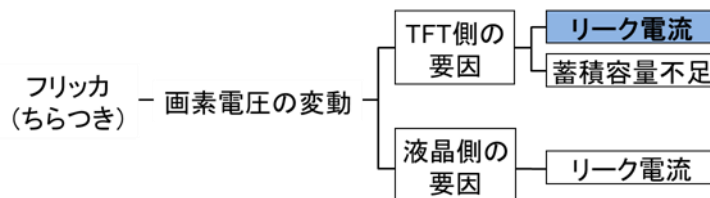


図 6-24 画素の(a)平面図と、(b)蓄積容量部の断面図



再掲図 6-5 フリッカ(ちらつき)の要因

### 6.5.5.2. 蓄積容量不足の対策

ここでは、蓄積容量不足の対策について説明する。図 6-24 を用いて説明したように、蓄積容量の値は、画素電極とコモン電極とが向かい合う面積  $S$  に比例し、かつ、それらの距離、つまり絶縁膜(SiN)の厚さ  $d$  に反比例する。高精細化により面積  $S$  が小さくなってしまっているの、これを補うには絶縁膜(SiN)の厚さ  $d$  を薄くするしかない。このように考え、絶縁膜(SiN)の

厚さ  $d$  を薄くする対策を、TFT のリーク電流低減のための狭チャンネル幅化に加えることを対策とした。

表 6-5 に 6.5 で説明した 400ppi の LTPS TFT-LCD に対する、550ppi 試作品の差異をまとめた。400ppi の比較用(従来)に対し画素 TFT のチャンネル幅はリーク量低減のため  $1.5 \mu\text{m}$  とした。蓄積容量に用いる絶縁膜(SiN)の厚さは従来は 180~200nm 程度で用いられていた。今回、蓄積容量の面積不足の対策として絶縁膜(SiN)の膜厚は 400ppi では  $200 \mu\text{m}$  であったが、本研究では、それより薄い 100nm、70nm の合計 2 水準のサンプルを作製した。また絶縁膜(SiN)が厚い場合の比較のため絶縁膜(SiN)の膜厚が 180nm のサンプルも比較用に作成した。ただしこのサンプルの画素 TFT のチャンネル幅は  $1.5 \mu\text{m}$  と狭チャンネル幅化したものである。フレーム周波数は通常の 60Hz に加え、低周波数駆動の 30Hz が可能である。また 400ppi の試作品ではタッチパネルは用いなかったが、550ppi の試作品では集積化しており、動作周波数は 120Hz である。

表 6-5 従来の 400ppi の LTPS TFT-LCD に対する試作品の差異

項目		400ppi の試作品		550ppi の試作品	
		比較用(従来)	本研究	比較用	本研究
画素設計	画素 TFT のチャンネル幅	$2.5 \mu\text{m}$	$1.5 \mu\text{m}$	←	←
	蓄積容量用の絶縁膜(SiN)の厚さ	200nm	←	180nm	100nm、70nm
ドライバ設計	ドライバ用 TFT のチャンネル幅	$3 \mu\text{m}$ 、 $4.5 \mu\text{m}$	←	←	←
駆動	フレーム周波数	60Hz、30Hz	←	←	←
タッチパネル	動作周波数	なし	←	120Hz	←

### 6.5.5.3. フリッカの検証

図 6-27 は試作品の外観写真である。これを用いてフリッカの確認を行った。図 6-25 に試作品のフリッカの実測値を容量絶縁膜(SiN)の厚さ  $d$  毎に示す。厚さ  $d$  を 100nm 薄くすることにより、上限値 3%はクリアできた。厚さを 70nm とすることにより、さらにフリッカが低減されることも確認した。逆に厚さが 180nm と厚いとフリッカが 3%を超えてしまうことも確認した。これらの結果により、容量絶縁膜(SiN)の厚さを薄くすることが有効であることを確認できた。

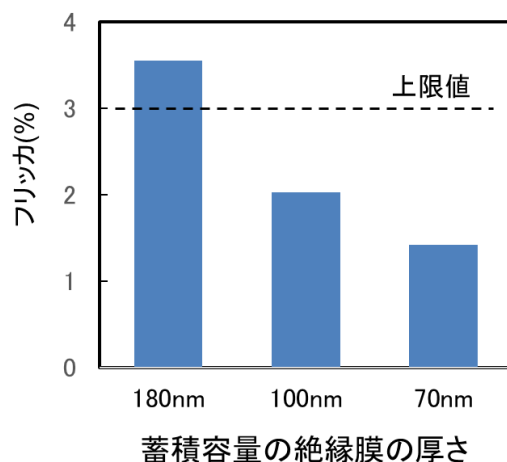


図 6-25 フリッカの評価結果

### 6.5.5.4. 消費電力の確認

低消費電力化のための低周波数駆動の際に保持期間が長くなり、この間の画素電圧品同を抑制するために、画素 TFT を狭チャンネル幅化し、かつ、蓄積容量対策(厚さ 100nm 化)をしたサンプルを用い、実際の消費電力を検証した。消費電力はパネル内の回路に供給する電源(VGH, VGL)及び、ソースドライバに供給する電源(VDD, GND)について測定し合計値を求めた。図 6-26 に示すように LCD の消費電力はフレーム周波数を 60Hz から 30Hz に低減することにより 32%削減された。これにより当初の目標値 30%低減を満たすことができた。

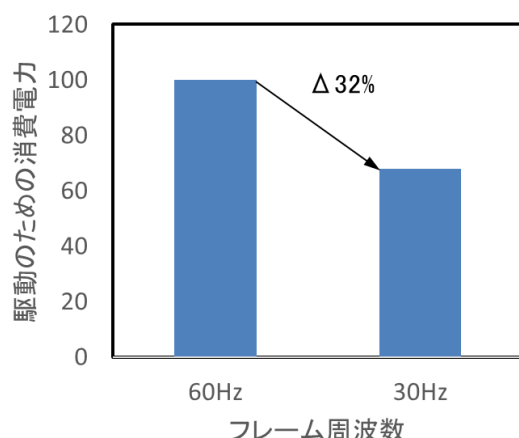


図 6-26 消費電力の低減効果

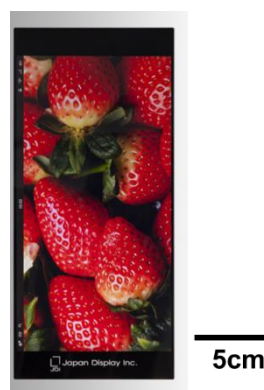


図 6-27 試作品の LTPS TFT-LCD

## 6.6. 研究開発及び製品化動向

本技術はスマートフォン向け LCD として量産化・実用化に成功した [131]。LTPS は本来移動度が高いため LCD パネルの額縁部に集積化する回路は小さくし狭額縁化たり、静電容量センサのための回路を集積化したり、LCD の画素に用いる画素 TFT を小さく高精細化したりすることに適している。さらに低周波数駆動を両立できることにより、『小型化』、『操作性改善』、『画質向上』に、『低消費電力化』を加えた 4 つ全ての期待に応えることができ、ハイエンドのスマートフォン向け LCD として事実上スタンダード化されている。さらにフレーム周波数を 15Hz まで低減する研究や、パーソナルコンピュータ向けの LCD にも適用する研究開発に発展している [122] [121]。さらに、駆動回路部は LTPS TFT を用い、画素部に酸化物 TFT を用いる、いわば「ハイブリッド TFT 化」により狭額縁化による『小型化』とフレーム周波数を 5Hz 以下にする『低消費電力化』を追究する研究開発も始まっている [132] [133] [134]。

## 6.7. まとめ

2012 年頃からスマートフォンの『画質向上』のためのさらなる高精細化に際し、『低消費電力化』との両立が期待され、駆動電力の低減のために低周波数駆動の機能が求められた。画素の書込みを行うフレーム周波数を低減することになるため、画素電圧の変動を抑制しフリッカ（液晶の透過率の変化に起因するちらつき）を生じないようにする必要があった。そこで、画素 TFT を狭チャンネル幅化しリーク電流を低減する方策をとった。狭チャンネル幅化のため poly-Si 加工に際し、poly-Si が高テーパー角 (60~90°) 化し絶縁不良を招く点が課題となった。対策

としてエッチング加工条件(ガス比)の最適化を行いテーパ角を  $45^{\circ}$  以下にできた。画素 TFT のリーク電流を低減でき画素電圧変動を低減できた。また、画素の蓄積容量を確保するため絶縁膜の薄化と組み合わせ、高精細(550ppi)LCD のフレーム周波数を従来の 60Hz から 30Hz に低減できた。その結果、駆動電力が低減でき、『画質向上』のための高精細化と、『低消費電力化』を両立する期待に応えることができた。

LTFS TFT は移動度が高いため、画素 TFT を狭チャネル幅化しても書き込み性能に影響しないことを利用しリーク電流を低減した。重要課題であった、低周波数駆動化ができたため、本来の LTFS の有用性を発揮でき、『小型化』、『操作性改善』、『画質向上』に、『低消費電力化』を加えた 4 つ全ての期待に応えることができた。

## 第7章 まとめと今後の展望

### 7.1. まとめ

携帯端末の市場拡大の各段階で、LCD には、持ち歩きやすく、操作しやすく、見やすいことが求められた。具体的には、小型化・操作性改善・低消費電力化・画質向上の点で改良が期待された。ガラス基板上に高移動度の TFT を用い回路を形成可能等の LTPS の特徴(下線部)を活かし、期待の高かった以下の諸機能の集積化に関する重要課題を解決した。

① デジタル/アナログ変換機能:2001 年頃からの 3G 携帯電話向け LCD の『小型化』の期待を背景に、ドライバ IC を削減することが求められた。独自のインバータ型のアナログバッファを初めて導入し、LCD のコモン反転駆動と組み合わせることで、低電圧化(5V)し低消費電力化した。表示不良につながる誤差電圧は、インバータ部分を 3 段直列とすることにより 20mV 以下にできた。消費電力は 4mW と目標値(10mW)に対し低くできた。低電圧駆動できるアナログバッファを実現できたことで、消費電力の課題が解決され、デジタル/アナログ変換機能を集積化でき、期待に応えた。LTPS TFT は高移動度のため、本来ガラス基板上に低電圧回路を集積化しやすい点を生かし、課題(低消費電力化)を解決できた。

② 光センサ機能:2001 年頃からの 3G 携帯電話の『小型化』の期待を背景に、周囲光センサを LCD に集積化することが求められた。TFT 工程を改良し、n-ノドープ構造と呼ぶ横型 p-i-n ダイオードを TFT と同時形成できるようにし明暗比(30)を確保、必要な他の回路(熱電流対策回路)も集積化し期待に応えた。また、携帯端末の『操作性』を改善するために、各画素に光センサを集積化する期待があった。シールド付き n-ノドープ構造と呼ぶ横型 p-i-n ダイオードにより光電流を 3 倍・明暗比を 60 程度に向上できた。必要な他の回路(増幅回路)とともに LCD の画素に集積化することによって、対象物による LCD の表示光の反射光を読み取る機能の可能性を示した。LTPS プロセスを用いて光センサを同時形成できるようになったため、本来の LTPS の移動度の高い CMOS 回路をガラス基板上に集積化しやすい特徴を生かした。

③ 静電容量センサ機能:2007年頃からスマートフォンのLCDの上に静電容量センサが搭載され、2本の指を表面に滑らせコンテンツの操作を行う入力法が急速に普及した。これを背景に『小型化』が期待され、静電容量センサをLTPS TFTを用いてLCDに集積化(インセル化)し、厚さを改善することが求められた。静電容量の値を検知し増幅出力するための回路を複数の画素に横断させることで希薄化し、さらに、センサと表示とで一部の信号線を時分割にて兼用化し、透過率(開口率)への影響を20%と許容レベルに抑えた。ノイズに対しては差分処理により解決できた。静電容量センサ機能をLCDに集積化でき、期待に応えた。LTPSの移動度が高い点を活かし、集積化回路を高速動作させ、一部の信号線を時分割兼用化することにより、課題(開口率)を解決した。

④ 低周波数駆動機能:2012年頃からスマートフォンの『画質向上』のためのさらなる高精細化に際し、『低消費電力化』との両立が期待され、駆動電力の低減のために低周波数駆動の機能が求められた。フリッカ(ちらつき)につながる画素電位変動を抑制するため画素TFTを狭チャンネル幅化しリーク電流を30%低減した。また、画素の蓄積容量を確保するため絶縁膜の薄化と組み合わせ、高精細(550ppi)LCDのフレーム周波数を従来の60Hzから30Hzに低減できた。その結果、駆動電力が30%低減でき、期待に応えることができた。LTPSは移動度が高いため、画素TFTを狭チャンネル幅化しても書き込み性能に影響しないことを利用しリーク電流を低減した。重要課題であった、低周波数駆動化ができたため、本来のLTPSの有用性を発揮でき、『小型化』、『操作性改善』、『画質向上』に、『低消費電力化』を加えた4つ全ての期待に応えることができた。

①～④のいずれも、ガラス基板上に高移動度のTFTを用い回路を形成可能等のLTPSの特徴を活かし、期待の高かった諸機能の集積化に関する重要課題を解決したということが出来る。これらによって、携帯端末向けLCDへの機能集積化に関し、LTPSの有用性を示すことができた。

このことは、LTPS TFT-LCDが携帯端末用にスタンダード化していくのに貢献した。

## 7.2. 今後の展望

携帯端末向け LCD への LTPS TFT の適用により、その有用性は十分認知された。

スマートフォンの分野では、『小型化』、『操作性改善』、『低消費電力』及び『画質向上』の期待がいずれもハイレベルであったため、狭い額縁領域への回路集積化、センサ機能の集積化、LTPS TFT 形成工程などが高度化した。そのため各要素技術を他の分野に応用しやすい。スマートフォンへのさらなる機能集積化の研究の継続と共に、すでに新分野への適用の研究及び実用化が始まっている。

例えば、車載ミラーの曲線形状化・及び曲線形状部への回路集積化、LCD に集積化(インセル化)したセンサの、単体・大面積センサとしての応用、非ガラス・フレキシブル基板上への LTPS TFT 形成などである。

携帯端末向け LCD の範疇にとどまらず、車載用 LCD、有機 EL 用バックプレーン、生体センサへの適用の研究が加速されていく展望である。





図 7-1 LTPS TFT 技術のアプリケーション

## 謝辞

本研究を行う上で、大変多くの方々のご協力とご支援を賜りました。この場をお借りして感謝を申し上げます。

染谷隆夫教授には本研究につきご指導をお引き受け下さいましたことに心より感謝申し上げます。先生の広く深いご見識に基づくご指導やご指摘をいただくたび、その一言一句に対し言葉と文章を用いてじっくり検討と整理を行いました。その上で適した図表を整えることを重ね、本論文の骨格とすることができました。また、横田知之准教授にもご指導とご指摘のみならず具体的なまとめ方・記載の仕方につきご指導いただきました。国内外でのご活躍に大変ご多忙な中、お二人の先生がご指導に時間を割いて下さいましたことに感謝申し上げます。

株式会社ジャパンディスプレイ瀧本昭雄氏は、本研究の実務の多くの部分と、各段階での論文文化において長年にわたり数多くのご指導と親身なご助言を下さいましたことに感謝申し上げます。永岡一孝氏、仲島義晴氏、木村裕之氏にも各段階での議論やご指導とともに、会社の学位取得支援制度の発足と活用につき助言とともにご了解を下さいましたことに感謝申し上げます。

本研究は、小職が株式会社東芝、東芝松下ディスプレイテクノロジー株式会社・東芝モバイルディスプレイ株式会社・株式会社ジャパンディスプレイ在職中の研究開発活動をまとめたものであり、非常に多くの方々のご協力とご支援のもとに成り立っています。感謝申し上げます。森田廣氏(現山口東京理科大学 学長)は、「企業での研究開発活動もすべて学会発表や論文文化に繋がるよう志高く行うこと」という意味のお言葉を小職が新入社員として入社したときに下さいました。また多数の学会発表機会とご指導ご鞭撻を下さいましたことに感謝申し上げます。鎌上信一氏、春原慶子氏、飯塚哲也氏、安倍裕嗣氏、平井孝典氏、飯塚みゆき氏、澁澤誠氏には LCD の設計、クリーンルームで TFT 基板を試作、LCD として完成させ検証評価を行うこと、これらを全て行うための実務ご指導をして下さいましたことに感謝します。神崎晃一氏、茨木伸樹氏、堀内重治氏、原田望氏、西部徹氏、樋口豊喜氏、佐藤肇氏、中村弘喜氏、渡辺良一氏は、小職に低温ポリシリコン TFT を用いた回路・機能集積化の研究開発及び製品化に携わる機会を与えて下さいましたこと、及びご指導下さいましたことに感謝します。田

窪米治氏、田村達彦氏、越後博幸氏、木下正樹氏、小川鉄氏、木越基博氏、大関茂樹氏、川村哲也氏、秦泉寺哲氏には、低温ポリシリコン TFT を用いた光センサ集積化 LCD、静電容量センサ集積型 LCD、及び低周波数駆動 LCD に関し、国内外の企業・機関との先端技術ディスカッションの場に数多く参加させていただき、本論文の各テーマにつながる検討をさせていただきましたことに感謝します。

また、株式会社東芝、東芝松下ディスプレイテクノロジー株式会社・東芝モバイルディスプレイ株式会社・株式会社ジャパンディスプレイの関係事業部、関係工場のみなさま、並びに研究開発部門の関係者のみなさまには、本論文で取り上げたそれぞれについて、企画提案議論から最後の製品化までの苦楽を何度も共にさせていただきましたことに感謝します。

最後に、支え続けてくれた家族に感謝します。

## 引用文献

- [1] J. E. Lilienfeld, “Method and apparatus for controlling electric currents”. 特許番号: US Patent, 1745175, 1930.
- [2] W. Shockley, “The Path to the Conception of the Junction Transistor,” IEEE Trans. Electron Devices ED-23(7), 1976.
- [3] J. S. Kilby, “Invention of the Integrated Circuit,” IEEE Trans. Electron Devices, ED-23, 1976.
- [4] C. H. Museum, “1960: Metal Oxide Semiconductor (MOS) Transistor Demonstrated,” [オンライン]. Available: <https://www.computerhistory.org/siliconengine/metal-oxide-semiconductor-mos-transistor-demonstrated/>.
- [5] Dawon Kahng, “Electric field controlled semiconductor device”. 特許番号: U. S. Patent No. 3,102,230, 31 5 1960.
- [6] P.G. le Comber, W.E. Spear , A. Ghaith, “Amorphous-silicon field-effect device and possible application,” Electronics Letters ( Volume: 15 , Issue: 6 ), 1979.
- [7] A. J. SnellK. D. MackenzieW. E. SpearP. G. LeCombe , A. J. Hughes, “Application of amorphous silicon field effect transistors in addressable liquid crystal display panels,” Appl. Phys. 24, 1981.
- [8] T. Yanagisawa, K. Kasahara, Y. Okada, K. Sakai, Y. Komatsubara, I. Fuki, N. Mukai, K. Ide, S. Matsumoto , H. Hori, “A 3.1 inch a-Si TFT addressed colour LCD,” Eurodisplay, 1984.
- [9] 武 宏, “液晶ディスプレイ発展の系統化調査,” 3 2015. [オンライン]. Available: <http://sts.kahaku.go.jp/diversity/document/system/pdf/092.pdf>.

- [10] 船田 文明, “TFT 研究開発ことはじめ,” シヤープ技報 第 96 号, 2007.
- [11] S. Morozumi, K. Oguchi, S. Yazawa, T. Kodaira, H. Ohsima, T. Mano, “B/W and Color LC Video Display Addressed by Poly-Si TFTs,” SID 1983 Symposium, Digest of Technical Papers, 1983.
- [12] 両角 伸治, “TFT を用いたカラー液晶表示デバイスの開発とその事,” 高知工科大学院, 平成 14 年.
- [13] N. Ibaraki, “Low Temperature Poly-Si TFT Technology,” SID, 1999.
- [14] 五十嵐 大和, “第3世代携帯電話の普及で社会はどうか変わったか,” 電子情報通信学会, 2014. [オンライン]. Available: [http://www.ieice.org/~cs-edit/magazine/ieice/alldata/Bplus30\\_all.pdf](http://www.ieice.org/~cs-edit/magazine/ieice/alldata/Bplus30_all.pdf).
- [15] 年代流行, “携帯電話の歴史／年代流行,” 2014. [オンライン]. Available: <https://nendai-ryuukou.com/keitai/>.
- [16] G. Walker et al., “LCD In-Cell Touch,” Information DISPLAY Vol. 26, No.3, 2010.
- [17] A. Sakaigawa, “Advanced Mobile Display Technologies,” SID Display Week, 2013.
- [18] Yuzo Hisatake, Tetsuya Iizuka, Tetsuya Kawamura, Yoneharu Takubo, “Correlation with Pixel Density and Image Quality of Japanese Font by Subjective Evaluation using Ultra-high Resolution (136 to 651 ppi) LCDs,” SID 2012 DIGEST, 2012.
- [19] Yoneharu Takubo, Yuzo Hisatake, Tetsuya Iizuka, Tetsuya Kawamura, “Ultra-High Resolution Mobile Displays,” SID 2012 DIGEST, 2012.
- [20] Satoru Kubota, Yuzo Hisatake, Tetsuya Kawamura, “Influence of Pixel Density on the Image Quality of Smartphone Displays,” SID 2015 DIGEST, 2015.
- [21] A. Carroll and G. Heiser, “An analysis of power consumption in a smartphone,” Proc. USENIX Annual Technical Conference, Boston MA, USA, 2010.

- [22] A. Sakaigawa, M. Kabe, Y. Matsui, T. Nagatsuma, A. Higashi, "Development of high image quality with low power consumption mobile display by using novel RGBW technology," Proc. 31st International Display Research Conference (Eurodisplay), 2011.
- [23] Tae Nakahara Akira Sakaigawa Mitsutaka Okita, Kojiro Ikeda Masashi Mitsui Masaaki Kabe, Toshiyuki Nagatsuma Amane Higashi, "Image Quality Assessment of Ultra-High Resolution Mobile Display Utilizing New RGBW Method," SID Digest, 2013.
- [24] Akira Sakaigawa, Masaki Kabe, Fumitaka Goto, Naoyuki Takasaki, Masashi Mitsui, Tae Nakahara, Kojiro Ikeda, Kenta Seki, Toshiyuki Nagatsuma and Amane Higashi, "Low Power Consumption Technology for Ultra-High Resolution Mobile Display by Using RGBW System," IEICE TRANS. ELECTRON., VOL.E96-C, NO.11, 2013.
- [25] T. Kim and S. Kwa, "Challenges and Requirements of Power Saving Techniques on Mobile Platforms," SID 2014 Digest, 2014.
- [26] 鈴木 八十二, 液晶ディスプレイ工学入門, 日刊工業新聞社, 1998.
- [27] 松本 正一, 液晶ディスプレイ技術—アクティブマトリクス LCD, 産業図書, 1996.
- [28] Y. Suzuki ; K. Odagawa, T. Abe, "Clocked CMOS calculator circuitry," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-8, NO.6.
- [29] T. Ogawa, et al., "COLOR LIQUID CRYSTAL DISPLAY APPARATUS". 特許番号: USPAT4632514, 1984.
- [30] S. Kobayashi, F. Takeuchi, "Multi-color field effect liquid crystal display devices," SID'73 Digest, 1973.
- [31] 岡野 光治 小林 駿介, 液晶 (応用編), 培風館, 1985.
- [32] B. J. Lechner et. al., "Liquid Crystal Matrix Displays," Proc. IEEE, Vol. 59, 1971.
- [33] 松本 正一, 電子ディスプレイデバイス, オーム社, 1984.

- [34] A. Misumi ; K. Sunahara ; H. Tanabe , M. Kumada, “Evaporated polycrystalline-silicon thin-film transistors on glass,” International Electron Devices Meeting, 1981.
- [35] A.G. Lewis, USA D.D. Lee, R.H. Bruce, “Polysilicon TFT circuit design and performance,” IEEE Journal of Solid-State Circuits, Volume: 27 , Issue: 12 , 1992.
- [36] S. Inoue, “425°C poly-Si TFT technology and its application to large size LCDs and integrated digital data drivers,” Asia Display 95 Digest, 1995.
- [37] E. Kaneko, “Novel key technologies used to fabricate very-large-area TFT-LCD panels,” SID '95 Digest., 1995.
- [38] N. Ibaraki, “Poly-Si displays,” SID 2000 Seminar Lecture Notes, 2000.
- [39] 西部 徹、茨木 伸樹, “低温 p-Si TFT-LCD,” 東芝レビュー, 第 卷 Vol. 55, 第 No. 2, 2002.
- [40] Pierre Boher, D. Zahorski, M. Stehlé , Christophe Prat, “Single area excimer laser crystallization of amorphous silicon for flat panel display applications,” Conference: EMRS Spring Meeting, 1998.
- [41] K. Sera, F. Okumura, H. Uchida, S. Itoh , S. Kaneko, K. Hotta, “High-performance TFTs fabricated by XeCl excimer laser annealing of hydrogenated amorphous-silicon film,” IEEE Transactions on Electron Devices, Volume: 36 , Issue: 12, 1989.
- [42] T. Sameshima, S. Usui, M. Sekiya, “XeCl Excimer Laser Annealing Used in the fabrication of Poly-Si TFT's,” IEEE Electron Device Lett. EDL-7, 1986.
- [43] K. Suzuki, et al., “Low-temperature poly-silicon TFT technology and it's application to 12.1-inch XGA,” AM-LCD'98, 1998.
- [44] M. Goto, M. Sakai, M. Shibuya, M. Nishitani, “Characteristics of SiO<sub>2</sub> Films Prepared by TEOS based PECVD,” AM-LCD 99, 1999.

- [45] S. Uchikoga and N. Ibaraki, "Low Temperature Poly-Si TFT-LCD by Excimer Laser Anneal," *Thin Solid Films*, 383, 2001.
- [46] 南野 裕, "低温poly-Si TFTのデバイスシミュレーションおよびその応用に関する研究," 佐賀大学大学院工学系研究科, 2002.
- [47] Y. Aoki, T. Iizuka, S. Sagi, M. Karube, T. Tsunashima, S. Ishizawa, K. Ando, H. Sakurai, T. Ejiri, T. Nakazono, M. Kobayashi, H. Sato, N. Ibaraki, M. Sasaki, N. Harada, "A 10.4-inch XGA Low-Temperature Poly-Si TFT-LCD for Mobile PC Applications," *SID'99 DIGEST*, 1999.
- [48] Y. Hanazawa et al, "A 202 ppi TFT-LCD Using Low Temperature poly-Si Technology," *EuroDisplay'99*, 1999.
- [49] 川又 健司, 平井 保功, "超高精細 200 ppi 液晶ディスプレイシリーズ," *東芝レビュー* Vol.55 No.2, 2000.
- [50] 田中 康晴, 大関 茂樹, 木村 恒基, "4 型 VGA 反射型低温 p-Si TFT-LCD," *東芝レビュー* Vol.56No.1, 2001.
- [51] K. Kanzaki, M. Sakamoto, "Direction of Low-Temperature p-Si Technology," *SID'01 DIGEST*, 2001.
- [52] H. Ohshima, "Value of LTPS: Present and Future," *Proc. SID'14*, 2014.
- [53] A. Takimoto, "Next generation technologies for mobile use display," *IDW'17, Keynote Address - 1*, 2017.
- [54] T. Sunata, T. Yukawa, K. Miyake, Y. Matsushita, Y. Murakami, Y. Ugai, J. Tamamura, S. Aoki, "A large-area high-resolution active-matrix color LCD addressed by a-Si TFT's," *IEEE Trans. Electron Devices*, vol.ED-33, no. 8, 1986.



- [55] M. Kim and H. Shin, "Anomalous drain-induced barrier lowering effect of thin-film transistors due to capacitive coupling voltage of light-shield metal," *Electron. Lett.*, vol. 50, no. 15, 2014.
- [56] K. Suzuki, T. Aoki, M. Ikeda, Y. Okada, Y. Zohta, K. Ide, "High-Resolution Transparent-Type a-Si TFT LCDs," *SID'83*, 1983.
- [57] 佐々木 昭夫、苗村 省平, 液晶ディスプレイのすべて—大画面・高精細をめざして, 工業調査会, 1993.
- [58] G. W. Brundrett, E. Eng, M. Mech, "Human sensitivity to flicker," *Lighting and Research Technology* 6, 1974.
- [59] C. W. Tyler, "Analysis of normal flicker sensitivity and its variability in the visuogram test," *Investigative Ophthalmology & Visual Science* 32, 1991.
- [60] 小川 誠ほか, "TFT-LCD の表示特性," *信学技報*, EID 87-44, -87, -160, 1987.
- [61] 石原ほか, "表示特性に及ぼす配向膜の影響," 第 12 回液晶討論会予稿集, 3 連 F04, 1986.
- [62] 小川、宮田、堀田、近村, "LCD フリッカの定量化," *テレビジョン学会技術報告* ED87-5, 1987.
- [63] 古橋勉, 新田博幸, 工藤泰幸, 真野宏之, "液晶駆動の回路と構成," *応用物理*, 第 68 卷, 第 7 号, pp. 821-826, 1999.
- [64] H. Okada, et al., "An 8.4-in. TFT-LCD System for a Note-Size Computer Using 3-Bit Digital Data Drivers," *JAPAN DISPLAY DIGEST*, 1992.
- [65] M. Schadt and W. Helfrich, "Voltage-Dependent Optical Activity of a Twisted Nematic Liquid Crystal," *Appl. Phys. Lett.*, 18, 1971.

- [66] M. Oh-e, M. Ohta, S. Aratani, K. Kondo, "Field effects in nematic liquid crystals obtained with interdigital electrodes," Asia Display, 1995.
- [67] M. Ohta, M. Oh-e, K. Kondo, "Development of Super-TFT-LCDs with In-Plane Switching Display Mode," Asia Display, 1995.
- [68] S. H. Lee, S. L. Lee, H. Y. Kim, "Electro-optic characteristics and switching principle of a nematic liquid crystal cell controlled by fringe-field switching," Appl. Phys. Lett., 73, 1998.
- [69] 木村 裕之, "超高精細モバイルディスプレイ技術徹底解説," Electronic Journal 第 2231 回 Technical Seminar.
- [70] M. Miyatake, et al., "A 7.94-ppm, 10-cm-Diagonal TFT-LCD Using Low-Temperature Poly-Si Technology," IDW'99, 1999.
- [71] 千川 保憲, "液晶ディスプレイにおけるドライバ LSI 実装技術," 第 13 卷, 第 2 号, pp. 34-40, 1997.
- [72] T. Miyazawa, K. Goto, A. Hasegawa, M. Maki, H. Sato, T. Nagata, M. Ohkura, "An improved dynamic ratio less shift register circuit suitable for LTPS-TFT LCD panels," SID'05 Digest, 2005.
- [73] S.-H. Yeh, W.-T. Sun, C.-C. Pai, H.-S. Chou and C.-S. Yang, "System-on-glass LTPS LCD using p-type TFTs," SID Digest 2006, 2006.
- [74] K. Noguchi, Y. Kida, K. Ishizaki and T. Takeuchi, "Novel In-Cell Capacitive Touch Panel Technology in a Wide Viewing Angle IPS-Mode Display," Proc. 31st Int. Display Research Conference (Eurodisplay), 2011.
- [75] K. Noguchi, "Recent Capacitive Touch-Panel Technologies," SID 2015, 2015.
- [76] M. Brownlow, "A 6-Bit Multi-Resolution Digital to Analogue Converter for Low Temperature Poly-Silicon Digital Drivers," Proc. of SPIE Vol.4295, 2001.

- [77] Y. Goto, H. Yoshihashi, N. Tada, T. Ishiu, M. Tada, T. Nakazono, T. Motai, A. Ishida, A. Takami, J. Tsutsumi, "The high performance low-temperature poly-Si TFT for integrated DAC and AMP circuit," AM-LCD'01, 2001.
- [78] T. Itakura, "Low Output, 8-bit Signal Driver ICs for XGA/SVGA TFT-LCDs," Trans.IEE of Japan, Vol.117-C, No.8, 1997.
- [79] A. G. F. Dingwall, Bridgewater, N. J., "Voltage Comparator". US 特許番号: 4,262,221, 14 4 1981.
- [80] K. Meinstein, C. Ludden, M. Hagge, and S. Bily, "Low-Voltage Source Driver for Column Inversion Applications," Proc. SID '96, 1996.
- [81] T. Furuhashi, M. Ikeda, T. Tanaka, H. Kawakami, T. Suzuki, "High-Quality TFT-LCD Driver Using Low-Voltage Driver," Proc. SID '93, 1993.
- [82] 松本 正一, 角田 市良, 液晶の基礎と応用, 工業調査会, 1991.
- [83] T. Motai, "Circuit integration technology of low-temperature poly-Si TFT LCDs," Proc Asia Display '04, 2004.
- [84] 株式会社 東芝, "高精度アナログ回路を搭載した26万色表示TFT液晶表示装置の開発について," 8 3 2001. [オンライン]. Available: [https://www.toshiba.co.jp/about/press/2001\\_03/pr\\_j0801.htm](https://www.toshiba.co.jp/about/press/2001_03/pr_j0801.htm).
- [85] J. F. Wu, C. L. Wei, Y. T. Hsieh, C. L. Fang, H. H., "Integrated ambient light sensor on a LED driver chip," IEEE - PEDS Dig. Tech. Papers, 2011.
- [86] N. Chang, I. Choi, and H. Shim, "DLS: Dynamic backlight luminance scaling of liquid crystal display," IEEE Trans. VLSI Syst. 12, no.8, 2004.
- [87] K.-C. Lee et al, "Integrated Amorphous Silicon Color Sensor on LCD Panel for LED Backlight Feedback Control System," SID'05, 2005.

- [88] K. Maeda, T. Nagai, T. Sakai, N. Kuwabara, S. Nish, “The system-LCD with monolithic ambient-light sensor system,” SID Symposium Digest Tech. Papers, vol.36, 2005.
- [89] Willem den Boer, Adi Abileah, Pat Green, Terrance , Scott Robinson , Tin Nguyen, “Active Matrix LCD with Integrated Optical Touch Screen,” SID 03 DIGEST, 2003.
- [90] T. Nishibe and N. Ibaraki, “Quite a New Approach for System-on-Glass Technology Based on Low-Temperature Polycrystalline Silicon,” IDW'03, 2003.
- [91] T. Nakamura et al., “A TFT-LCD with image capture function using LTPS technology,” Proc IDW '03, 2003.
- [92] T. Nishibe et al, “Realization of new-concept ‘Input display’ by p-Si SOG technology,” AM-LCD '04, 2004.
- [93] A. S. Grove, “Physics and Technology of Semiconductor Devices,” John Wiley & Sons, New York, 1967.
- [94] S. M. Sze, “Semiconductor devices, physics and technology 2,” John Wiley, New York, 2002.
- [95] S. Morozumi, H. Kurihara, T. Takeshita, H. Oka , K. Hasegawa, “Completely Integrated Contact-Type Linar Image Sensor,” IEEE Trans. on elect. dev. Vol. ED-32, No.8, pp.1546-1550, 1985.
- [96] T. Nakamura et al., “Display Architecture Suitable for Multiple Ambient Light-Sensor Integration Using LTPS Technology,” SID' 08, 2008.
- [97] T. Nakamura, H. Hayashi, M. Yoshida, N. Tada, M. I, “Incorporation of input function into displays using LTPS TFT technology,” J. SID 14/4, 2006.
- [98] C. Brown, H. Kato, K. Tanaka , Y. Sugita, “A System LCD with Integrated Infra-Red Sensing Optical Touch Panel,” IDW'09, 2009.

- [99] H. Hayashi et al., "Optical Sensor Embedded Input Display Usable under High-Ambient-Light Conditions," SID'07, 2007.
- [100] T. Nakamura, N. Tada, M. Tada, "DISPLAY DEVICE AND PHOTOELECTRIC CONVERSION DEVICE". 米国 特許番号: US 7,164,164 B2, 16 Jan. 2007.
- [101] F. Matsuki, K. Hashimoto, K. Sano, D. Yeates, J. R., "Integrated ambient light sensor in LTPS AMLCDs," SID Symposium Digest Tech. Papers vol.38, 2007.
- [102] M. Kimura, Y. Miura, T. Ogura, S. Ohno, T. Hachida, "Device characterization of p/i/n thin-film phototransistor for photosensor applications," IEEE Electron Device Lett., vol. 31, no. 9, 2010.
- [103] N. Tada et al., "A Touch Panel Function Integrated LCD Using LTPS Technology," IDW'04, 2004.
- [104] C. Brown et al., "A 2.6 inch VGA LCD with Optical Input Function using a 1-Transistor Active-Pixel Sensor," ISSCC'07 Digest, 2007.
- [105] K. Tanaka, H. Kato, Y. Sugita, N. Usukura, K. Maeda, C. Brown, "The technologies of in-cell optical touch panel with novel input functions," Journal of the SID 19/1, 2011.
- [106] Tsukasa Eguchi, Yasunori Hiyoshi, Eiji Kanda, Hiroshi Sera, Tokuro Ozawa, Takao Miyazawa, Tomotaka Matsumoto, "A 1300-dpi Optical Image Sensor Using an a-Si:H Photo Diode Array Driven by LTPS TFTs," SID 07 DIGEST, 2007.
- [107] H. Ou, K. Wang, J. Chen, A. Nathan, S.Z. Deng, N. S. Xu, "Dual-Gate Photosensitive FIN-TFT with High Photoconductive Gain and Near-UV to Near-IR Responsivity," IEEE International Electron Device Meeting, San Francisco, CA, USA, pp.814-817, 2016.
- [108] J. Lee et al., "Hybrid Touch Screen Panel Integration in TFT-LCD," SID'07, 2007.

- [109] E. Kanda et al., “Integrated Active Matrix Capacitive Sensors for Touch Panel LTPS-TFT LCDs,” SID’08, 2008.
- [110] S. Tomita, T. Okada , H. Takahashi, “An in-cell capacitive touch sensor integrated in an LTPS WSVGA TFT-LCD,” JSID 20/8, 2012.
- [111] N. J. B. McFarlane , C. P. Schofield, “Segmentation and Tracking of Piglets in Images,” Machine Vision and Applications, vol.8, no.3, pp.187-193, 1995.
- [112] 窪田 進, 西浦 正英, 中村 卓 , 遠藤 尚彦, “表示装置”. 特許番号: 特開 2012-48482.
- [113] Y. CHEN, D. GENG, AND J. JANG, “Capacitive Touch Sensor using a-IGZO TFTs for Flexible AMOLED,” SID Symposium Digest of Technical Papers, 2017.
- [114] Y. CHEN, D. GENG, AND J. JANG, “Integrated Active-Matrix Capacitive Sensor Using a-IGZO TFTs for AMOLED,” IEEE Journal of the Electron Devices Society, 6, 2018.
- [115] T. Kaneko, Y. Nakajima, K. Nishiyama, T. Ishigaki, “Innovative 5-inch FHD and 7-inch WQXGA Displays for Next Generation Smartphones and Tablets,” Proc. SID’ 13, 2013.
- [116] T. Harada, A. Sakaigawa, N. Takasaki, F. Goto, S. Kimura, A. Higashi, T. Nakahara, Y. Shiraishi , M. Mifune, “Development of a Novel RGBW Mobile Display with a Local-Dimming Backlight System,” Proc. SID’ 14, 2014.
- [117] H. Veendrick, “Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits,” IEEE J. of Solid State Circuits, SC-19, No.4, 1984.
- [118] N. Ueda, S.Uchida, Y. Ogawa, K. Okada, A. Oda, S. , “An Ultra High Density 736-ppi Liquid Crystal Display using InGaZnO Platform,” SID’ 15 DIGEST, 2015.
- [119] Y. Kataoka, H. Imai, Y. Nakata, T. Daitoh, T. Mats, T. Nakano, Y. Mizuno, T. Oketani, M. Takahashi, M. Tsubuku, H. Miyake, T. Ishitani, Y. Hirakata, J. Koyama, S.

- Yamazaki, J. Koezuka, K. Okazaki, "Development of IGZO-TFT and Creation of New Devices Using IGZO-TFT," SID Symp. Dig. Tech. Paper 44, 2013.
- [120] R. Hatsumi, S. Fukai, Y. Kubota, A. Yamashita, M. , "FFS-mode OS-LCD for reducing eye strain," Journal of the SID, vol.21/10, 2013.
- [121] Wen-Ching Tsai, Hsiao-Wei Cheng, et al., "Low Power and Narrow Border UHD LTPS Notebook Display," 2018.
- [122] Bozhi Liu, Guozhao Chen, et al., "Image Flicker Improvement in LTPS TFT-LCD with Low Frequency Driving," SID 2018 DIGEST, 2018.
- [123] T. Nakamura, M. Tada, and H. Kimura, "A 550-PPI LCD using 1.5  $\mu\text{m}$  channel width LTPS TFTs with low frame rate driving," J. SID, vol.23, no.12.
- [124] D. Cristaldi, S. Pennisi, and F. Pulvirenti, Liquid Crystal Display Drivers, Netherlands: Springer, 2008.
- [125] M. Watanabe, Active Matrix Driving and Circuit Simulation, Features of Liquid Crystal Display Materials and Processes, ISBN: 978-953-307-899-1, InTech, Available from: <http://www.intechopen.com/books/features-of-liquid-crystal-display-materials-and-processes/active-matrix-driving-and-circuit-simulation>, 2011.
- [126] N. Kimizuka, T. Mohri, "Spinel,  $\text{YbFe}_2\text{O}_4$ , and  $\text{Yb}_2\text{Fe}_3\text{O}_7$  types of structure for compounds in the  $\text{In}_2\text{O}_3$  and  $\text{Sc}_2\text{O}_3\text{-A}_2\text{O}_3\text{-BO}$  systems (A: Fe, Ga, or Al; B: Mg, Mn, Fe, Ni, Cu, or Zn) at temperatures over 1000C," Journal of Solid State Chem. 60, 1985.
- [127] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hiran, H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," Nature 432, 2004.
- [128] P.E. Malinowski et al., "Patterning of multicolor OLEDs with ultra-high resolution by photolithography," International Display Workshop, FMC1-3, 2014.

- [129] Paweł E. Malinowski, et al., “True-Color 640 ppi OLED Arrays Patterned by CA i-line Photolithography,” SID 2015 DIGEST, 2015.
- [130] DaeSeok Oh, WooKyu Sang, YongHwa Park, MoonSoo Chu, “Low Frequency Driving Display to Reduce Logic Power in Liquid Crystal Display,” SID 2014 DIGEST, 2014.
- [131] 株式会社ジャパンディスプレイ, “プレミアムモバイル端末向け 進化した高解像度 WQHD 液晶モジュールの量産開始,” 19 1 2017. [オンライン]. Available: <https://www.j-display.com/news/2017/20170119.html>.
- [132] Masahiro Tada, Kazuhide Mochizuki, et al., “An Advanced LTPS TFT-LCD using Top-Gate Oxide TFT in Pixel,” SID 2018 Digest, 2018.
- [133] Ting-Kuo Chang, Chin-Wei Lin, Shihchang Chang , “LTPO TFT Technology for AMOLEDs,” SID 2019 DIGEST, 2019.
- [134] Hajime Watakabe, Toshihide Jinnai, et al., “Development of Advanced LTPS TFT Technology for Low Power Consumption and Narrow Border LCDs,” SID 2019 DIGEST, 2019.
- [135] 編, 日本学術振興会第 142 委員会, 液晶デバイスハンドブック, 東京: 日刊工業新聞社, 1989.
- [136] 藤田 勉ほか, “液晶表示素子用カラーフィルター,” 住友化学, 第 巻 I , pp. 37-44, 2000.
- [137] H.-S. Park, S.-B. Ji, M.-K. Han, J.-S. Lee, C.W. K, “A self-reset ambient light sensor system for low-temperature polycrystalline silicon active-matrix displays,” J. Soc. Info. Display, vol.16, no 8, 2008.
- [138] S. Koide, S. Fujita, T. Ito, S. Fujikawa, T. Matsu, “LTPS Ambient Light Sensor with Temperature Compensation,” IDW'06, 2006.



- [139] C. Weng, C. Chao, H. Tseng, C. Peng, K. Lin, and F, “2.2”QVGA LTPS LCD Panel integrated with Ambient light Sensor,” IMID’07, 2007.
- [140] H. Hayashi, T. Nakamura, N. Tada, T. Imai, M. Yosh, “Optical Sensor Embedded Input Display Usable under High-Ambient-Light Conditions,” SID’07, 2007.
- [141] S. M. Lee, D. L. Kim, T. H. Jung, K. Y. Heo, and H, “An integrated photodiode fabricated by low temperature poly-Si TFT process,” IMID Digest Tech. Papers, 2007.
- [142] Ilku Nam and Doohyung Woo, “An ambient-light sensor system with startup correction for LTPS-TFT LCD,” IEICE Electron. Express, vol.11, no.5, 2014.
- [143] C. Sah, R. Noyce, W. Shockley, “Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics,” Proc. of the IRE, 45 (9), 1957.
- [144] C. Brown et al., “A System LCD with an integrated 3-Dimensional Input Device,” SID’10, 2010.
- [145] H. Haga et al., “Touch Panel embedded IPS-LCD with Parasitic Current Reduction Technique,” SID’10, 2010.
- [146] Chun-Huai Li et al., “In Cell Multi-Touch Panel: Trend and Applications,” IDW’09, 2009.
- [147] Digital Cinema Initiative LLC, “Digital Cinema System specification Ver. 1.2 with Errata,” 2005-2012. [オンライン]. Available: [http://dcimovies.com/specification/DCI\\_DCSS\\_v12\\_with\\_errata\\_2012-1010.pdf](http://dcimovies.com/specification/DCI_DCSS_v12_with_errata_2012-1010.pdf).
- [148] H.S. Chang, “Novel pixel structure of IPS panel for High Aperture Ratio using inorganic layer,” IDW’05, 2005.
- [149] K. Ono , I. Hiyama, “The Latest IPS Pixel Structure Suitable for High Resolution LCDs,” IDW/AD’12, 2012.

- [150] N. Kunimatsu, H. Sonoda, Y. Hyodo and Y. Tomioka, "Photoalignment Technology for High Performance IPS-LCDs: IPS-NEO Technology," SID 2014 DIGEST, 2014.
- [151] Development of a 10.4-in. UXGA display using low-t, "Development of a 10.4-in. UXGA display using low-temperature poly-Si technology," Journal of the SID 10/1, 2002.
- [152] H. Tsuchi, N. Ikeda and H. Hayama, "A New Low-Power TFT-LCD Driver for Portable Devices," SID '00 DIGEST, 2000.
- [153] R. Hatsumi et al, "FFS-mode OS-LCD for reducing eye strain," J. SID. 21 , No. 10, 2013.
- [154] T. Nishibe and H. Nakamura, "Value-added integration of functions for silicon-on-glass (SOG) based on LTPS technologies," Journal of the Society for Information Display Volume 15, Issue 2, 2007.
- [155] Shunpei Yamazaki, Yukinori Shima, Yasuharu Hosaka, Kenichi Okazaki , Junichi Koezuka, "Achievement of a high-mobility FET with a cloud-aligned composite oxide semiconductor," Jpn. J. Appl. Phys. 55, 115504, 2016.
- [156] 小林 駿介 , 御子柴 茂生, 液晶ディスプレイバックライト, サイエンス&テクノロジー, 2006.
- [157] S.Y.Han, DC Kim, B.Cho, K.S.Jeon, et al, "A highly sensitive and low-noise IR photosensor based on a-SiGe as a sensing and noise filter: Toward large-sized touch-screen LCD panels," Journal of the SID 19/12, 2011.
- [158] 山崎照彦、川上 英昭、堀 浩雄, カラーTFT 液晶ディスプレイ 改訂版, 共立出版, 2005.

## 業績リスト

### 投稿論文（主著）

1. A 550-PPI LCD using 1.5  $\mu\text{m}$  channel width LTPS TFTs with low frame rate driving, Journal of the SID Volume23, Issue12, 2015, Pages 580-586, Takashi Nakamura, Masahiro Tada and Hiroyuki Kimura
2. In-cell capacitive-type touch sensor using LTPS TFT-LCD technology, Journal of the SID Volume 19, Issue 9, 2011, Pages: 639–644, Takashi Nakamura
3. Incorporation of input function into displays using LTPS TFT technology, Journal of the SID Volume 14, Issue 4, 2006, Pages: 363–369, Takashi. Nakamura, H. Hayashi, M. Yoshida, N. Tada, M. Ishikawa, T. Motai, H. Nakamura and T. Nishibe
4. Low-temperature poly-Si TFT-LCD with an integrated analog circuit, Journal of the SID Volume 10, Issue 3, 2002, Pages: 203–207, Takashi Nakamura, Masao Karube, Hirotaka Hayashi, Kazuo Nakamura, Norio Tada, Hisao Fujiwara, Junsei Tsutsumi and Tomonobu Motai
5. An LTPS lateral diode and ambient light sensor system in LCDs, IEICE, Vol.E102-C, No.7, No.7, pp.558-564, 2019, Takashi Nakamura, Masahiro Tada and Hiroyuki Kimura

### 投稿論文(主著以外)

1. Reflective full-color LCD using low-temperature polysilicon TFTs in low-frequency driving: Analysis of image persistence and flicker with scientific CMOS camera, Hajime Yamaguchi Yasushi Kawata Yuki Matsuura Muneharu Akiyoshi Kisako Takebayashi Takumi Sano Akio Murayama Yoko Fukunaga Masaya Tamaki Masashi Mitsui Naoyuki Takasaki Takashi Nakamura Yoshiro Aoki Hirotaka Hayashi, Journal of the Society for Information Display Volume 24, Issue 7

### 学術雑誌等又は商業誌における解説、総説(主著)

1. 2018 Display Week Seminar Lecture Notes, SE-5: Recent Advances in TFT-LCD Technologies and Related Applications, 2018

2. 2017 Display Week Seminar Lecture Notes, M-7: Recent Technologies in LTPS TFT-LCDs, 2017
3. ファインテックジャパン専門技術セミナー:回路・センサー一体型LTPS TFT-LCDの開発動向, 2011

### 学術雑誌等又は商業誌における解説、総説(主著以外)

1. アナログ回路を内蔵した低温ポリシリコン LCD の開発 (特集 LCD 駆動回路技術)、罇友信, 中村 卓、ディスプレイ 8(6), 78-82, 2002-06

### 受賞(Awards)

1. IDW '10 Best Paper Award: In-Cell Capacitive Type Touch Sensor Using LTPS TFT-LCD Technology, T. Nakamura, S. Tomita
2. IDW '15 Best Paper Award: Reflective Color LCDs with High Image Quality Using LTPS TFTs in Low Frequency Driving H. Yamaguchi, Y. Kawata, Y. Matsuura, M. Akiyoshi, K. Takebayashi, T. Sano, A. Murayama, Y. Fukunaga, M. Tamaki, M. Mitsui, N. Takasaki, T. Nakamura, Y. Aoki, H. Hayashi

### 国際学会発表(主著)

1. A 2k x 4k 550-ppi In-Cell-Touch TFT-LCD Using 1.5- $\mu$ m-Channel Width LTPS-TFTs, Takashi Nakamura, Masahiro Tada, Kazuhide Mochizuki, Takanori Tsunashima, Hirotaka Hayashi, Yoshiro Aoki, Yukio Tanaka, Daiichi Suzuki, Hiroyuki Kimura, SID Symposium Digest of Technical Papers Volume 46, Issue 1(2015), Convention Center, San Jose, California, USA May 31-June 5, 2015.
2. In-Cell Capacitive Type Touch Sensor Using LTPS TFT-LCD Technology, Takashi Nakamura, Satoru Tomita, IDW'10, 501 (2010), Fukuoka International Congress Center, Fukuoka, 2010.12.1-3
3. Display Architecture Suitable for Multiple Ambient Light - Sensor Integration Using LTPS Technology, Takashi Nakamura Hirotaka Hayashi Masayoshi Fuchi Masahiro Tada Takayuki Imai Hiroki Nakamura Koji Shigehiro Shinichi Hirota Satoshi Maruyama Akihiko Saitoh Hiroyuki Kimura, SID Symposium Digest of Technical Papers Volume 39, Issue 1(2008), May 20-23, 2008 (Tuesday - Friday), Los Angeles Convention Center, Los Angeles, California, USA

4. A Touch Panel Function Integrated LCD Including LTPS A/D Converter, Takashi Nakamura, Hirotaka Hayashi, Masahiro Yoshida, Norio Tada, Miyuki Ishikawa, Tomonobu Motai, Tohru Nishibe, SID Symposium Digest of Technical Papers 36(1) · May 2005, Boston, MA, USA
5. A TFT-LCD with Image Capture Function Using LTPS Technology, Takashi Nakamura, Hirotaka Hayashi, Masahiro Yoshida, Norio Tada, Miyuki Ishikawa, Satoko Fukumoto, Masayoshi Fuchi, Masahiro Tada, Motoshi Maruno, Tomonobu Motai, Arichika Ishida and Tohru Nishibe, IDW'03, 1661 (2003) , Fukuoka International Congress Center, Fukuoka, Japan, December 3 - 5, 2003
6. Low Temperature Poly-Si TFT-LCD with Integrated Analog Circuit, Takashi Nakamura, Masao Karube, Hirotaka Hayashi, Kazuo Nakamura, Norio Tada, Hisao Fujiwara, Junsei Tsutsumi, Tomonobu Motai, Asia Display/IDW '01 [October 16 (Tue) - 19 (Fri), 2001, Nagoya Congress Center, Nagoya, Japan], pp.1603-1606(2001).

#### **国際学会発表(主著以外)**

1. Present and Future of LTPS Technology, Toshiki Kaneko, Takashi Nakamura, and Hiroyuki Kimura, ECS Trans. 2016 75(10): 3-12
2. A 510-ppi 8K x 4K LTPS TFT-LCD with 120-Hz Frame-Rate Driving, Kazuhide Mochizuki Hirotaka Hayashi Takashi Nakamura Hirofumi Kato Atsunori Oyama Mitsutaka Okita Yasuyuki Matsui Hiroyuki Kimura, SID Symposium Digest of Technical Papers Volume 47, Issue 1(2016)
3. Reflective Full-Color LCD Using LTPS TFT at 1Hz with Measures against Photo Leakage Current, Takumi Sano Hajime Yamaguchi Yasushi Kawata Yuki Matsuura Muneharu Akiyoshi Kisako Takebayashi Akio Murayama Yoko Fukunaga Masaya Tamaki Masashi Mitsui Naoyuki Takasaki Takashi Nakamura Yoshiro Aoki Hirotaka Hayashi, SID Symposium Digest of Technical Papers Volume 47, Issue 1(2016)
4. High Image Quality Reflective Color LCD Using Novel RGBW Technology, Masashi Mitsui Yoko Fukunaga Masaya Tamaki Akira Sakaigawa Tsutomu Harada Naoyuki Takasaki Takashi Nakamura Yoshiro Aoki Takanori Tsunashima Hirotaka Hayashi Toshiyuki Nagatsuma, SID Symposium Digest of Technical Papers Volume 45, Issue 1(2014)

5. An In-Cell Capacitive Touch-Sensor Integrated in an LTPS WSVGA TFT-LCD, Satoru Tomita, Takashi Nakamura, Tetsuo Morita, Takayuki Imai, Takashi Okada, Hiroataka Hayashi, Yasuo Saruhashi, Masayoshi Fuchi, Miyuki Hashimoto, Masahiro Tada, Takahiko Endo, Keiichi Saito, Hiroki Nakamura, Hideyuki Takahashi, Digest of Technical Papers. SID International Symposium, 巻: 42 号: Book 2 ページ: 629-632 発行年: 2011年05月
6. Optical Sensor Embedded Input Display Usable under High-Ambient-Light Conditions, Hiroataka Hayashi Takashi Nakamura Norio Tada Takayuki Imai Masahiro Yoshida Hiroki Nakamura, SID Symposium Digest of Technical Papers Volume 38, Issue 1(2007)
7. Touch Panel Function Integrated LCD Using LTPS Technology, Hiroki Nakamura, Takashi Nakamura, Hiroataka Hayashi, Norio Tada, Masahiro Yoshida, Miyuki Ishikawa, Tomonobu Motai, Tohru Nishibe, Proc Int Disp Workshops (Proceedings of the International Display Workshops) 巻: 12th 号: Vol.2 ページ: 1003-1006 発行年: 2005年
8. Realization of New-Concept "Input Display" by p-Si SOG Technology, Tohru Nishibe and Takashi Nakamura, Proc AMLCD'04, pp 85-88, 2004.