

論文の内容の要旨

論文題目 Real-time super high resolution video encoder VLSI architecture and its power reduction

(超高解像度映像のリアルタイム符号化に向けたVLSIアーキテクチャとその低電力化手法)

氏 名 大西 隆之

2018年12月の4K/8K衛星本放送開始や各種映像配信サービスの4K対応、家庭用4Kテレビの急速な販売数拡大など、超高精細映像の利用は着実に広がりつつある。しかし、HDTV比で8倍および32倍のピクセルレートや、高い圧縮効率と引き換えに膨大な演算量が要求される最新符号化標準H.265/HEVCなど、とりわけ実時間処理が要求されるリアルタイムエンコーダの実現には技術的課題が多い。さらには消費電力の増加がモバイル分野への適用を困難にしており、エンコーダの回路規模および電力の削減も急務となっている。

本論文は以上の課題に対し、放送・配信事業者向けの高い画像品質と高圧縮率を両立するリアルタイムエンコーダVLSIを構成するため、符号化品質を保ちつつも効率的に演算量を削減し、超高精細映像の実時間処理を可能とする映像符号化ハードウェアアーキテクチャを確立することを目的とする。

上記の目的に鑑み、本論文では以下に示す3つのポイントに重点を置き、課題解決に向けた提案を行う。

1つめは予測符号化モードを決定する予測コアの構成である。近年の符号化標準の演算量増大の主因は、動きベクトルや符号化モード候補の組み合わせ数が爆発的に増加することにある。そこで、空間的・時間的に隣接・包含する候補間の相関性を活用する。統計量に基づく動き探索演算の適応切り替えや予測モードの絞り込み、モード評価演算

結果の複数ブロックサイズにわたる共用によって、広い探索範囲と符号化モードの多様性を担保しつつ、評価に要する演算量を大幅に削減する。

さらに、並列動作する動き探索器の膨大な参照画像転送要求に応えるため、高速な転送バスを備えた参照画像キャッシュを設けて転送要求を時分割処理する。最終モード判定は符号化手順に則った高速逐次演算により符号化効率の低下を防ぐとともに、プロセッサ制御による柔軟な動作の組み換えや変更も可能とする。

これらの特徴を備えた予測コアアーキテクチャを適用したH. 264/AVCおよびH. 265/HEVCリアルタイムエンコーダVLSIは、90nmおよび28nm CMOSプロセスで設計製造され、放送配信向けエンコーダ装置に採用されている。これらのVLSIは超高精細映像のリアルタイム符号化を実現しつつ、あわせて高い符号化効率を達成していることを、HDTV/4K/8K符号化画像の品質評価によって明らかにする。

2つめはさらなる高解像度化・多チャンネル化に向けた並列符号化構成である。8Kやデジタルシネマなど1チップ化が現実的でない大規模アプリケーションに向けて、複数VLSIによる協調処理は必須の機能となる。そこで、画面分割による並列符号化を実現するための相互画像転送機構をVLSI内部に装備するとともに、符号化ストリームを出力する多重化部には多様なアプリケーションに応じた柔軟な協調動作が可能な分散処理機構を設ける。これらの機構を備えたMPEG-2およびH. 265/HEVCリアルタイムエンコーダVLSIは0.18 μ mおよび28nm CMOSプロセスで設計製造され、超高精細映像エンコーダ装置に採用されている。これらのVLSIがリアルタイムにチップ間データ転送を行いつつ高品質なトランスポートストリームを生成可能なことを、出力ストリームの解析によって明らかにする。

3つめはリアルタイムエンコーダVLSIのさらなる消費電力削減に向けた動き探索エンジンの規模・電力削減技術である。例としてH. 265/HEVCでは動き探索処理を行う機能ブロックは予測コア全体の消費電力の60%以上であるため、この電力効率化はVLSI全体の電力削減に寄与する。ただし、演算精度の引き下げや動き探索範囲の削減は画質劣化に直結するため、放送配信向けの高画質が要求されるエンコーダVLSIには適切でない。

そこで、動き探索演算の大部分を占める差分絶対値和 (SAD) 演算において、画像の平坦度に応じてビット抽出位置を可変とする適応的ビット削減SAD演算手法を提案する。各画素の輝度のMSB側ビット値が一様な平坦領域では、LSB側のビットを選択的に抽出してSAD演算を行い、それ以外の領域ではMSB側ビットを抽出してSAD演算を行う。

提案手法はH. 265/HEVCリアルタイムエンコーダVLSI設計ファイルに実装され、28nm CMOSプロセスでの電力シミュレーションを行った結果、各機能ブロックの消費電力を18~39%削減できることを明らかにした。また、適応的なビット削減により符号化性能の劣化を抑えて高品質な符号化が可能であることを、近年普及が進むHDR映像を含むHDTV/4K/8Kの符号化画質評価で明らかとした。

以上の提案技術により、本論文は4K/8K超高精細映像のリアルタイム符号化が実現さ

れることをVLSI化によって実証するとともに、さらなる消費電力削減によるモバイル向けアプリケーションへの適用拡大の可能性を示した。

現在標準化作業中であるVVC等の次世代映像符号化標準においても、同様の処理フローのもと、符号化モード候補のさらなる増加によって圧縮効率を向上する方針となっている。よって本論文で提案する技術および思想は今後、次世代標準対応のリアルタイムエンコーダVLSI設計においても等しく適用可能である。