

審査の結果の要旨

氏名 大西 隆之

本論文は「Real-time super high resolution video encoder VLSI architecture and its power reduction」と題し、5つの章から構成されている。4K/8Kに代表される映像の超高精細化や、近年の符号化標準規格の複雑化が原因となり、実時間処理が要求されるリアルタイムエンコーダ VLSI の回路規模および消費電力の増加が深刻な問題となっている。本論文では、符号化処理において大きな演算量を占める動き探索および符号化モード判定処理に焦点を当て、符号化効率を維持しつつ演算量を効率的に削減することで回路規模および消費電力を削減する手法、および、マルチチップ構成を含めた超高精細映像リアルタイムエンコーダの構成手法を提案することで、従来の問題を解決している。さらに、画像特徴量に基づく動き探索処理の適応的ビット幅削減によって、画質を維持しつつ消費電力をさらに削減する提案を行っている。

第1章「Introduction」では、本論文の背景と目的、および本論文の構成を述べている。放送品質のリアルタイムエンコーダに求められる性能と増大する VLSI 回路規模の問題を示し、高い圧縮効率を維持しつつ効率的に演算量を削減する方式の必要性について述べるとともに、超高精細映像対応リアルタイムエンコーダ VLSI を実現するための課題を論じている。

第2章「Video encoding core architecture」では、エンコーダ VLSI 中で多くの規模を占めるとともに、符号化効率の要となる符号化予測コアに焦点を当てている。空間的・時間的に隣接・包含する候補間の相関性を活用して、統計量に基づく動き探索演算の適応切り替えや予測モードの絞り込み、モード評価演算結果の複数ブロックサイズにわたる共用によって、放送品質の映像符号化に必要となる広い探索範囲と符号化モードの多様性を担保しつつ、評価に要する演算量を大幅に削減する手法を提案している。また、提案手法を実時間で処理しつつ高い符号化効率を保つため、時分割の高速転送バスを備えた参照画像キャッシュ、符号化手順に則った高速逐次演算とプロセッサ制御による柔軟な動作変更を両立した最終モード判定手法を併せて提案している。提案方式に基づいた H.264/AVC および H.265/HEVC 符号化標準対応のリアルタイムエンコ

一ダ VLSI を 90nm および 28nm CMOS プロセスで設計製造し、エンコーダ装置を構成して HDTV/4K/8K 符号化画像の品質評価を行うことにより、リアルタイム処理を実現しつつも高い符号化効率を併せて達成していることを明らかにしている。

第 3 章「Multi-chip configuration and flexible stream output」では、さらなる高解像度化・多チャンネル化に向けた複数 VLSI による協調処理に焦点を当て、画面分割による並列符号化を実現する相互画像転送機構を VLSI 内部に装備するとともに、符号化ストリームを出力する多重化部には多様なアプリケーションに応じた柔軟な協調動作が可能な分散処理機構を設けることで、並列符号化処理を柔軟かつ容易に実現する手法を提案している。提案方式に基づいた MPEG-2 および H.265/HEVC 対応のリアルタイムエンコーダ VLSI を $0.18\mu\text{m}$ および 28nm CMOS プロセスで設計製造し、エンコーダ装置を構成して 4K/8K 映像の符号化動作検証を行うことにより、チップ間データ転送をリアルタイムに行いつつ超高解像度映像の符号化ストリームを高品質に生成可能なことを明らかにしている。

第 4 章「Power reduction of motion estimation engines」では、さらなる消費電力の削減を目的として、符号化予測コア内で多くの電力を消費する動き探索エンジンに焦点を当てる。動き探索のブロックマッチング演算において、画像の平坦度に応じてビット抽出位置を適応的に変更しながら差分絶対値和演算を行うことにより、演算器幅を削減しつつもブロックマッチング演算精度を維持する手法を提案している。H.265/HEVC リアルタイムエンコーダ VLSI 設計に対して提案手法を実装して 28nm CMOS での電力シミュレーションを行い、消費電力の削減効果を明らかにするとともに、適応処理によって符号化効率の低下を抑え高品質な符号化が可能であることを、近年普及が進む HDR 映像を含む HDTV/4K/8K 映像による符号化シミュレーションで明らかにしている。

第 5 章「Concluding remarks」では、以上の成果を要約している。

以上を要するに、本論文は超高精細映像のリアルタイムエンコーダ VLSI の実現とさらなる消費電力削減を目的とし、符号化効率を維持しつつも効率的に演算量及び消費電力を削減してリアルタイム処理を実現する手法を提案しその有効性を明らかにしたもので、非常に意義がある研究であり、その成果は工学的に貢献するところが大きいと考えられる。

よって本論文は博士（工学）の学位請求論文として合格と認められる。