

審査の結果の要旨

氏名 木村悠介

本博士論文は、「論理デバッグ・ECO のための自動修正技術に関する研究」と題し、6章から構成される。

第1章は序論であり、論文全体で議論する課題を導入している。大規模集積回路（VLSI）設計における、論理設計のデバッグや仕様変更時の実装設計修正の必要性とその難しさを議論し、論文全体の課題を明確化している。

第2章は「背景技術」と題し、本論文で利用される論理関数充足可能性判定問題（Satisfiability checking, SAT 問題）関連技術、論理回路の形式的等価性判定技術に関して、現状の技術概要をまとめており、次章以降の議論で利用されている。両技術とも、ここ数年で実用的な観点から研究開発が大きく進み、大規模設計に適用できるようになった背景についても説明されている。

第3章は「組合せ回路のための修正信号選択手法」と題し、設計が正しくなるように、回路中の1つまたは複数個所の修正を行う際に、そこで回路中のどの信号を利用すれば、最も効率的かつ効果的かを選択する技術について議論し、新規手法を提案している。まず、従来技術である修正箇所が1つのみの場合について、設計修正問題を SAT 関連問題として数学的定式化を導入した後、修正すべき箇所が複数ある場合について新しい定式化手法を提案し、合わせてそれに基づく新規信号選択手法を提案している。複数個所を同時に修正することで最も小さい（変更の少ない）修正が可能であることを実験で示すとともに、一方、設計が大きくなると SAT 問題が大きくなりすぎて処理できなくなる問題があることを実例題による評価で示している。そしてそれを解決するための、発見的な手法も提案・評価し、従来技術よりも優れていくことを示している。

第4章は「順序回路のための修正信号選択手法」と題し、3章で示した技術を順序回路に適用した場合の制限について議論し、順序回路に対する制限のない新規手法を提案している。従来の設計デバッグ技術では、ほぼ全ての提案手法が組合せ回路しか想定しておらず、対象が順序回路の場合でも、その組合せ回路部分のみを抽出して、修正しており、修正できる範囲に制限がある。本章では、まず順序回路に対する問題を明確化し、数学的に新しく定式化している。

またそれに基づき、順序回路に対する新規信号選択手法を提案し、評価している。初期状態から順次状態遷移を辿りながら、回路を正しく修正できる条件を導出し、それに基づいて信号を選択する手法となっている。回路の状態を辿っていく際、設計中の制御部分に相当するフリップフロップのみを辿ることで、データパス部の大きい回路にも実用時間で適用できることが示されている。また、仕様中の記憶素子（フリップフロップに相当）の数が実装のそれと合わない場合でも正しく信号を選択できることが示されている。

第5章は「修正されたゲートレベル回路からのC記述再合成」と題し、近年広まりつつある、C言語から設計をスタートするC言語ベース設計を仮定し、設計が進み、ゲートレベル設計など実装設計をデバッグのために人手修正した場合に、それに対応して上位設計技術（C言語記述）を正しく修正する技術について、問題の定式化とともに、新規手法を提案している。実装設計において設計バグが見つかった場合に、もとのC言語に戻って修正し再合成することはあまりなく、実装設計を人手修正するケースが多い。これは、C言語に戻って修正・再合成すると、自動生成された実装設計が以前のものを大きく異なってしまう、今までの各種設計最適化が無意味になってしまうことが多いからである。一方、実装設計を人手修正してしまうと、元のC言語設計との整合性は取れなくなってしまう。そこで、実装設計を人手修正した場合でも、元のC言語設計は一部修正すれば済む場合がほとんどであることを利用し、従来手法であるテンプレートベース合成をC言語レベルで適用することで、自動的にC言語設計を修正された実装設計に合わせることを各種実験により示している。

第6章は「結論と今後の課題」と題し、本論文のまとめを行うとともに、残された今後の課題や今後の研究方向について議論している。

以上本論文は、大規模集積回路（VLSI）を中心としたハードウェア論理設計に関し、デバッグや仕様変更などにより設計を修正しなければならない場合に、修正すべき箇所が複数ある場合や設計対象が順序回路やC言語などの高位設計記述である場合など、従来技術では扱えなかった問題に対し、問題の定式化とその解法を示すとともに、ベンチマーク回路などによる評価によってその有効性を示しており、電子工学における貢献が少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。