

# 博士論文

フォノンニック結晶ナノ構造を用いた熱伝導制御と  
平面型シリコン熱電変換エネルギーハーベスタ

Heat conduction control by phononic crystal  
nanostructures and planar-type silicon  
thermoelectric energy harvesters

令和元年 11月 29日 提出  
指導教員 野村 政宏 准教授

東京大学大学院工学系研究科  
電気系工学専攻  
37-177074

柳澤 亮人  
Ryoto Yanagisawa



## 謝辞

博士課程の間、多くの方にお世話になり本研究を遂行できたこと、感謝申し上げます。

まず、指導教員である野村政宏准教授には、研究の全ての面でサポートしていただき、最大の感謝を申し上げます。博士課程とあって、私自身主体的に研究を行ってまいりましたが、先生のサポートがあり大変よい環境で研究を行えたこと感謝いたします。折に触れて的確なアドバイスをいただき、博士論文にまとめられる結果を得られました。また、中々結果が出ない時期も辛抱強く指導していただき、大変感謝しております。特に結果のアウトプットに時間がかかりご迷惑をおかけしましたが、最後まで見守っていただきありがとうございます。これからも多くのことでお世話になると思います、どうぞ宜しくお願い致します。先生のさらなるご活躍をお祈り申し上げます。

平川一彦教授には、研究について多くの助言をいただき、大変感謝申し上げます。特に、研究結果を発表する際にはいつも直観的に理解できるような説明を求められ、自身の研究についてより深く理解するきっかけをいただきました。先生の研究室メンバーの皆様にも日頃から垣根なく接していただき、研究の面でサポートしていただいたのみならず、生産研における生活の面でも趣深いものになり感謝申し上げます。先生のご健勝と研究室の益々のご発展をお祈り申し上げます。

博士論文審査にあたって副査を引き受けていただきました高橋琢二教授と高宮真教授、塩見淳一郎教授の先生方には、博士論文の執筆において多くの助言をいただき大変感謝申し上げます。固体物理、半導体素子物理、熱工学の多方面の分野から評価していただき、論文がより広く深いものになりました。

荒川泰彦特任教授と平本俊郎教授、岩本敏教授には、本研究においてクリーンルームを利用するにあたり多大なご協力をいただき感謝申し上げます。生産技術研究所の伝統あるナノ物理・デバイス分野 SHAFT 研究グループの一員として、季節ごとにメンバーの皆様と交流できたこともよい刺激になりました。またクリーンルームでの研究活動においては、量子ドットラボの有田宗貴特任准教授と権晋寛特任講師、岩本研究室の西岡政雄様と石田悟己様に幾度となく助けられたこと、ここで感謝申し上げます。

ドイツ・フライブルク大学の Oliver Paul 先生と Patrick Ruther 博士には、本研究を行うにあたって素子の作製に用いる多結晶シリコンの SOI ウェハを成長していただき、研究に協力していただいたことを感謝いたします。共同研究者として論文投稿の際には多くの助言をいただきありがとうございました。

物質・材料研究機構の森孝雄先生と辻井直人博士には、ゼーベック係数の測定においてお世話になりましたことと、論文投稿の際にも多くの助言をいただき感謝申し上げます。

早稲田大学の渡邊孝信教授と生産技術研究所の小林正治准教授には、窒化チタンを成膜するにあたって多くの助言をいただき感謝いたします。研究室のノウハウも含めて教えていただき、結果として本研究の素子性能を向上することができたこと感謝いたします。

本研究を行うにあたって、野村先生が研究代表者を務められております科学技術振興機構のCRESTプロジェクトから多くの支援をいただきましたこと感謝申し上げます。CRESTを通じて、東京大学の太西正人特任助教と前田建設工業株式会社、凸版印刷株式会社、セイコーホールディングス株式会社の皆様にもお世話になり、感謝を申し上げます。

野村研究室の皆様にも、日頃から最も近いところで支えていただき感謝いたします。研究室秘書の大河内絵里菜様には研究室生活において様々なことお世話になり大変感謝しております。いつも的確にリマインドしていただき何度も助けられました。Sebastian Volz 先生と Laurent Jalabert 博士には、研究室ミーティングなどにおいて多くのアドバイスをいただき感謝いたします。先生方の深い知識と経験には感服いたします。特任助教の Roman Anufriev 博士とは長年にわたり研究室を共にし、多くのアドバイスをいただいたこと感謝いたします。研究成果のアウトプットの多さを尊敬するとともに見習っていきたく思っております。時には一緒にビデオゲームに興じたこともよい思い出です。研究員の皆様にも、多くのアドバイスをいただいたこと感謝いたします。特に郭洋裕博士と呉雲輝博士、張忠衛博士、渡辺宜朗博士の皆様には、研究についてアドバイスをいただいただけでなく、研究室生活においても気さくに接していただき楽しく過ごせたこと感謝します。

研究室の先輩・後輩の皆様にもとてもお世話になり感謝いたします。研究の最初期には当時先輩学生でした Jeremie Maire 博士と中川純貴さんに、実験の方法から大学院生活についてなど様々なことを丁寧に教えていただき感謝しております。後輩学生の皆様にも、日頃から仲良くしていただき、交流していただいたこと感謝しております。特に Anthony George さんと秦佑介くん、黄鑫くん、岡本昂くん、立川冴子さん、Boris Nedialkov くん、早勢直紀くん、小池壮太くん、Eldar Sido くん、縄江朋季くんには、迷惑をかけたことも多々ありますが、いつも話を聞いてもらい感謝しております。研究室での議論からもいつも刺激をもらい、楽しく過ごすことができました。研究室での生活は本当に濃厚なもので、20代半ばで既に個性が完成されたメンバーが集まり、多様な背景を持つメンバーたちとの交流は私の人生をより豊かなものにしてくれました。

平川研究室の皆様にもお世話になり感謝しております。特に邱博奇さんと牛天野くん、朱翔宇くんとは、研究の話だけでなくアニメやゲームについても深い話ができ楽しく過ごすことができました。また当時助教でいらっしゃいました吉田健治様におかれましては、研究について様々なアドバイスをいただき、特にクリーンルームでの素子作製と評価について非常にお世話になりましたこと深く感謝申し上げます。今後の益々のご活躍をお祈り申し上げます。

大学院の同期の皆様と SHAFT 研究室の皆様にも大変お世話になりました。特に同期の佐野智華子さんには、博士課程を共に戦い抜いた同志として尊敬していると同時に、人間としての生活についても多々相談に乗ってもらいましたこと深く感謝しています。

また年吉洋教授と研究室の皆様にもお世話になり感謝いたします。年吉研究室の皆様とは国際会議でご一緒することも多く、慣れない場所で様々お世話になったこと感謝しております。特に本間浩章博士と三屋裕幸様、小泉弘子さんには様々お世話になったほか、日頃の飲み仲間としてもお付き合いいただき感謝しております。

最後に、私の長い学生生活を常に応援してくれた両親と兄たち、家族のみんなに感謝いたします。ありがとうございました。

令和3年 1月



## 要旨

近年、熱伝導制御技術への期待が高まっており、固体物質中の熱伝導制御による熱電変換素子の性能向上とその応用について研究が行われている。熱電変換素子は温度差から電力を発電することが可能であり、工場や自動車などで廃熱として捨てられている熱エネルギーを回収するなどの利用が期待されているが、発電効率が低いことと発電量に対して素子のコストが高いことが普及に向けて課題となっている。熱電変換材料として、ビスマスやテルルなどの合金が高い性能を示しているが、レアメタルであることからコストが高く、近年では地球上に多く存在しているシリコンや鉄、アルミニウムなどの合金を用いた熱電変換材料の研究が行われている。特にシリコンはナノテクノロジーの進歩によって、シリコンナノ構造における熱伝導の低減が多く報告され、熱電変換材料としての期待が高まっている。シリコンを用いた熱電変換素子は、半導体素子製造技術を用いて大量生産が可能であり、環境中の微小な温度差から発電することで、今後その数が大きく増加すると予測されている様々なセンサーを駆動するための自立発電素子としての応用が考えられている。

そこで、本研究ではナノ構造を用いてシリコン薄膜中の熱伝導を制御し、平面型熱電変換素子に応用することで高性能な熱電発電素子を実現することを目的とした。特徴として、ナノ構造及び、熱電変換素子は全て半導体素子の製造に用いられるリソグラフィベースの工程で作製され、ナノ構造の作製においては熱輸送を担うフォノンの特性を考慮して設計を行った。手法として、ナノ構造を作製した多結晶シリコン薄膜の熱電変換性能指数を測定することで、最適なナノ構造寸法を決定し、次にナノ構造化シリコン薄膜を用いた平面型熱電変換素子を作製・評価することで、ナノ構造による発電量の向上を実証する。最後に、素子上部にキャップ構造を作製することで素子の熱設計を改善し、 $1 \mu\text{Wcm}^{-2}$  以上の発電量密度を実現する。

第2章では、ナノ構造による熱伝導制御を理解するために、固体中の熱輸送とナノスケールに特徴的な振舞いを概説した。特にシリコンにおける熱伝導に関する研究と、フォノンニック結晶ナノ構造を用いた熱伝導制御に関する研究について、代表的な先行研究をまとめた。

第3章では、マイクロ・ナノスケールの半導体素子作製に用いられるリソグラフィベースのウエハプロセスについて述べ、ナノ構造化シリコン薄膜試料の熱伝導率測定に用いられるマイクロサーモリフレクタンス法について、試料の作製方法と測定・解析手法について述べた。

第4章では、円孔配列のナノ構造を作製した多結晶シリコン薄膜について、熱電変換性能指数の測定・評価を行い、熱電変換素子に用いる最適なナノ構造及びプロセス条件を決定した。まずパワーファクターの測定から最適なイオン注入ドーズ量を決定した。次に熱アニール時間を変えた試料について熱伝導率とキャリア濃度の測定を行い、熱アニール時

間が長いほど熱伝導率が増加する結果が得られ、最適なプロセス条件を決定した。そしてナノ構造について、円孔配列の格子形状と円孔半径を変えた多数の試料において熱伝導率及び電気伝導率を測定することで、熱電変換性能を最大化する最適な設計を決定した。円孔周期 300 nm、円孔半径 120 nm のハニカム格子のナノ構造を作製した試料において、熱電変換性能指数 0.02 が得られた。

第 5 章では、フォノンニック結晶ナノ構造を作製した多結晶シリコン薄膜を用いた平面型ユニレグ熱電変換素子の作製・評価を行った。平面型熱電変換素子として、n 型シリコンのみを用いたユニレグ型素子を考案し、一般的な熱電変換素子と比較して少ない工程で作製できる素子設計を行った。作製した素子の電気抵抗と熱起電力の測定から発電量を評価し、ナノ構造による 10 倍の発電量向上を実証した。一方で課題として、素子内部に生じる温度差が小さいことがわかり、素子の熱設計を改善する必要があることがわかった。

第 6 章では、熱電変換素子の熱設計を改善するために、上部にキャップ構造を有する素子を設計し、シミュレーションと実験によってその有効性を実証した。素子上部にシリコンウエハと熱交換器を乗せた試料を作製し、温度差を与えた際の発電量の測定・評価から、キャップ構造によって素子内部に生じる温度差が 20 倍以上増加していることを観測し、配線材料と素子設計の最適化と合わせて 600 倍の発電量増加を達成した。素子外部の温度差 15 °C から目標である  $1 \mu\text{Wcm}^{-2}$  以上の発電量密度を達成した。また、応用研究に向けて集積数を増やした素子の作製にも取り組み、 $0.14 \text{ cm}^2$  の面積に 2400 ユニットを集積した素子を作製・評価し、素子外部の温度差 10 °C から  $0.1 \mu\text{W}$  の発電量を達成した。

第 7 章では、本研究のまとめと将来の展望について述べた。本研究は、ナノ構造を作製したシリコン薄膜を用いた平面型熱電変換素子について、材料における基礎物性探索から、素子による実証、さらには応用に向けた素子開発まで首尾一貫して行った研究であり、多数の試料についての系統的な実験結果から、平面型熱電変換素子について多くの知見が得られた。



# 目次

謝辞.....	i
要旨.....	v
<b>第1章 序論.....</b>	<b>1</b>
1.1 研究背景.....	1
1.1.1 熱エネルギー制御の重要性.....	1
1.1.2 熱電変換発電.....	1
1.1.3 熱電変換効率と熱電変換材料.....	3
1.1.4 ナノ構造化シリコン熱電変換材料.....	4
1.1.5 平面型シリコン熱電変換素子とエネルギーハーベスト応用.....	5
1.2 研究目的・手法.....	7
1.3 論文の構成.....	8
<b>第2章 ナノスケールにおけるフォノン輸送及び熱伝導.....</b>	<b>9</b>
2.1 固体中の熱伝導.....	9
2.2 フォノン輸送.....	10
2.2.1 フォノンの分散関係と群速度.....	10
2.2.2 フォノン比熱.....	11
2.2.3 フォノンの散乱機構.....	12
2.2.4 累積熱伝導率.....	14
2.3 ナノスケールにおけるフォノン輸送.....	15
2.3.1 準弾道的フォノン輸送.....	15
2.3.2 フォノンニック結晶ナノ構造を用いたフォノン輸送制御.....	16
<b>第3章 マイクロ・ナノスケールの試料作製及び測定手法.....</b>	<b>17</b>
3.1 マイクロ・ナノ構造作製プロセス.....	17
3.1.1 半導体ウエハプロセス.....	17
3.1.2 リソグラフィ.....	17
3.1.3 真空蒸着.....	18
3.1.4 プラズマエッチング.....	18
3.1.5 気相フッ酸エッチング.....	19

3.2	マイクロサーモフレクタンズ用試料の作製	19
3.3	マイクロサーモフレクタンズによる熱伝導率測定	21
3.3.1	熱散逸時定数の測定	21
3.3.2	有限要素法シミュレーションによる熱伝導率の決定	23
<b>第4章</b>	<b>ナノ構造化シリコン薄膜における熱電変換性能指数の最適化</b>	<b>25</b>
4.1	試料の作製と電子顕微鏡観察結果	25
4.2	試料の測定結果	26
4.2.1	パワーファクターのイオン注入ドーズ量依存性	26
4.2.2	熱伝導率のアニール時間依存性	27
4.2.3	熱電変換性能指数のナノ構造依存性	29
4.3	本章のまとめ	33
<b>第5章</b>	<b>フォノン結晶ナノ構造を用いた平面型熱電変換素子の作製と評価</b>	<b>35</b>
5.1	平面型ユニレグ熱電変換素子の設計	35
5.2	試料の作製	37
5.3	試料の測定結果及び考察	40
5.3.1	素子内部電気抵抗の測定	40
5.3.2	熱起電力の測定	42
5.3.3	素子面内温度差についての考察	43
5.4	本章のまとめ	46
<b>第6章</b>	<b>キャップ構造の導入による発電量の向上</b>	<b>47</b>
6.1	レジストスペーサを用いたキャップ構造作製の検討	47
6.2	キャップ構造を有する熱電変換素子の作製	49
6.3	シリコン薄膜と金属配線の電気特性評価	52
6.4	キャップ構造の無い熱電変換素子の測定結果	55
6.4.1	素子内部電気抵抗の直列数依存性	55
6.4.2	素子内部電気抵抗のシリコン幅依存性及び最適化	56
6.4.3	発電量密度のナノ構造化シリコン長さ依存性	58
6.5	キャップ構造を作製した熱電変換素子の測定結果	60
6.5.1	試料の熱起電力測定	60
6.5.2	キャップ構造を有する試料の発電量評価	61
6.5.3	熱抵抗回路モデルによる考察	64
6.6	応用に向けた大面積化素子の評価	67
6.6.1	試料の作製	67

6.6.2 大面積化素子の測定結果.....	68
6.6.3 エネルギーハーベスト応用への課題.....	71
6.7 熱電変換発電素子の比較.....	73
6.8 本章のまとめ.....	76
<b>第7章 結論.....</b>	<b>77</b>
7.1 各章のまとめ.....	77
7.2 本研究のまとめ.....	78
7.3 今後の展望.....	78
<b>参考文献リスト.....</b>	<b>79</b>
<b>本研究に関する研究業績.....</b>	<b>85</b>



# 第 1 章 序論

## 1.1 研究背景

### 1.1.1 熱エネルギー制御の重要性

21 世紀の現代、熱をいかにして操るかが人類社会の課題となっている。古くは火として利用されることが多かった熱であるが、18 世紀には蒸気機関の発明により熱を仕事に変えて有効に活用できるようになった。さらに 19 世紀から 20 世紀にかけての科学の発展により、人類は電気というより扱いやすいエネルギーを手に入れ、エレクトロニクスの進歩とレーザーや光ファイバーなど光技術の発明によりインターネットを構築し、現代の情報通信社会へと至る。しかし現在、電子素子や光学素子においては微細化が進んだことにより、発熱の問題が技術の進歩に対して課題となっている[1],[2]。例えば、高速計算を行う演算処理装置においては消費電力が 200~250 W に達するものもあり、消費電力に近いエネルギーの発熱が生じるため、新しい熱制御技術が求められている[3]。

高度な熱制御技術の発展においては、熱輸送についてのさらなる理解が必要であり、特にナノスケールにおけるフォノン熱輸送について盛んに研究が行われている[4]–[6]。熱の制御として特に固体中の熱伝導を制御する研究の発展と共に、熱電変換に関する研究も盛んに行われ、ナノ構造化材料を用いることで性能を向上できることが報告されている[7]–[9]。熱電変換技術は、電子素子の発熱や、自動車や工場における廃熱などから電力を発電することができるため、熱エネルギーの有効利用につながる技術として注目されている。

### 1.1.2 熱電変換発電

熱電変換現象は、温度差から電圧を取り出せるゼーベック (Seebeck) 効果と、電圧から温度差を生み出すペルチェ (Peltier) 効果に分けられる。ペルチェ効果は固体物質を用いた冷却素子として利用でき、コンプレッサーなどの駆動部が無く静音・小型であることや環境に有害な冷媒ガスを用いないなどの特徴があり、医療用冷蔵庫や書斎に置くワインセラーなど日常的にも応用されている。しかし本研究ではペルチェ効果は扱わず、ここからはゼーベック効果を用いた熱電変換発電について述べる。

図 1.1 に半導体固体材料を用いた、熱電発電素子(Thermoelectric generator: TEG)の模式図を示す。異なる極性を持つ n 型と p 型の半導体材料が配列され、上面と下面が交互に金属配線で繋がれており、破線で囲まれた一対の単位素子部分の形状から  $\pi$  型モジュールと呼ばれる。半導体材料部分に、図に示すような温度差  $\Delta T_{TE}$  が与えられた場合、材料部の高温側から低温側に向かって電導キャリア密度の勾配が生じ、その結果温度差の向きと平行に起電力が生じる。これはゼーベック効果による熱起電力  $V_{TE}$  と呼ばれ、電圧の大きさは材料部の

温度差 $\Delta T_{TE}$ に比例し、比例係数はゼーベック係数 $S$  (VK<sup>-1</sup>)と呼ばれる。

$$V_{TE} = S \times \Delta T_{TE} \quad (1.1)$$

n型とp型の半導体中では多数キャリアがそれぞれ電子と正孔であり、極性が異なるため電流の向きの定義から、温度差に対する熱起電力の向きが異なる。よって、先に述べた $\pi$ 型モジュールにおいてはn型とp型の半導体材料が電気的には直列に繋がっており、熱的には並列につながっている。単位素子を発電素子チップ内でマトリックス状に配列することで、チップの面直方向の温度差 $\Delta T_{DEV}$ から直列に繋がれた電力を取り出すことができる。ここで、熱電素子は絶縁のためにセラミックス材料を用いてパッケージされており、パッケージ部分の熱抵抗によって熱電材料部分の温度差 $\Delta T_{TE}$ と熱電発電素子にかかる温度差 $\Delta T_{DEV}$ の間には損失がある。

熱電発電は固体素子内で熱から直接電気に変換することができ、可動部がないことから摩耗などによる材料の劣化がなく長寿命であると考えられ、また素子の小型化が容易であるため様々な応用が期待されるが、現在においてその利用範囲は限定的である。原因として、得られる発電量に対して、素子のコストが高いことが挙げられる。次の項では熱電発電材料の性能指標について述べる。

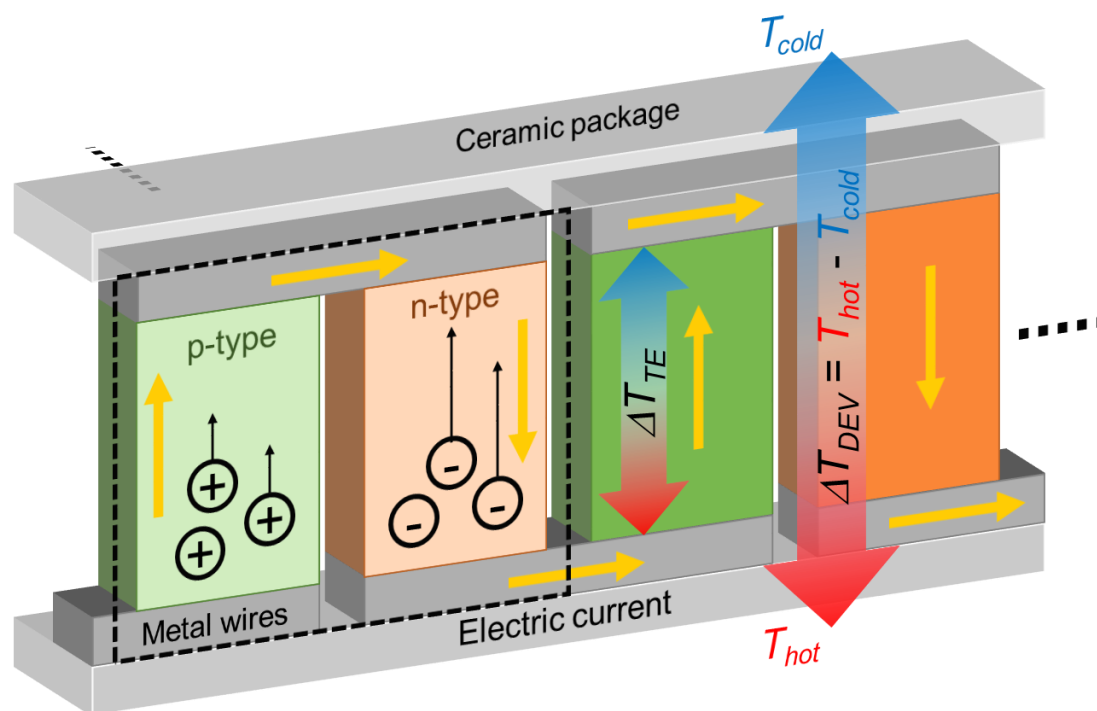


Fig. 1.1 Schematic picture of thermoelectric generator (TEG) composed of n- and p-type semiconductor materials. The n- and p-type materials are connected by metal wires to form p-shape connection so that the device can generate electricity from temperature difference  $\Delta T_{DEV}$  induced between top and bottom ceramic packages.

### 1.1.3 熱電変換効率と熱電変換材料

熱電発電における発電効率 $\eta$ は可逆熱サイクルのカルノー効率と、熱電材料の物性によって決まる材料効率の積の形で、式 1.2 のように表される[10]。

$$\eta = \frac{T_{hot} - T_{cold}}{T_{hot}} \cdot \frac{\sqrt{1 + ZT} - 1}{\sqrt{1 + ZT} + T_{cold}/T_{hot}} \quad (1.2)$$

ここで第 2 項の材料効率の式において、 $ZT$  は熱電変換の無次元性能指数(Figure of merit)と呼ばれ、材料のゼーベック係数  $S$ 、電気伝導率 $\sigma$  ( $\text{Sm}^{-1}$ )、熱伝導率 $\kappa$  ( $\text{Wm}^{-1}\text{K}^{-1}$ )と動作温度  $T$  ( $\text{K}$ )によって次式のように定義される。

$$ZT \equiv \frac{S^2 \sigma}{\kappa} T \quad (1.3)$$

式 1.2 の発電効率は  $ZT$  の単調増加関数であり、熱電材料の性能向上は  $ZT$  の向上に帰着され、ゼーベック係数と電気伝導率が高く、熱伝導率の低い材料が優れた熱電材料となる。

ここで分子の  $S^2 \sigma$  ( $\text{Wm}^{-1}\text{K}^{-2}$ )はパワーファクター(Power factor: PF)と呼ばれ、材料の電気特性を表すが、ゼーベック係数と電気伝導率はキャリア濃度に対して相反する傾向を示し、そのため両者の積であるパワーファクターのキャリア濃度依存性はピークを持ち、キャリア濃度  $10^{19} \sim 10^{20} \text{ cm}^{-3}$  の半導体領域において最大となる[10]。また、熱伝導率 $\kappa$ は格子振動による寄与 $\kappa_{lattice}$ と電荷キャリアによる寄与 $\kappa_{elec}$ の和として表される。

$$\kappa = \kappa_{lattice} + \kappa_{elec} \quad (1.4)$$

ここで $\kappa_{elec}$ は式 1.5 に示す Wiedemann-Franz 則によって電気伝導率 $\sigma$ と結び付けられており、係数  $L$  はローレンツ数と呼ばれ、 $\kappa_{elec}$  が支配的となる金属においては熱伝導率と電気伝導率の比を示す値であり、式 1.6 のように表される。

$$\frac{\kappa_{elec}}{\sigma} = LT \quad (1.5)$$

$$L = \frac{\pi^2}{3} \left( \frac{k_B}{e} \right)^2 = 2.45 \times 10^{-8} \text{ (WS}^{-1}\text{K}^{-2}\text{)} \quad (1.6)$$

このように、熱電材料の性能指数  $ZT$  を構成するゼーベック係数、電気伝導率、熱伝導率は相互に関連しあっており、独立に一つの物性を変化させることが難しい点が、熱電材料の研究において課題であった。

また、性能指数  $ZT$  は物性の温度依存性に従って、動作温度  $T$  に依存して変化するため、室温付近から  $1000 \text{ }^\circ\text{C}$  以上の高温域まで広い範囲の応用を考える場合、それぞれの温度域において有効な熱電材料の開発が求められる。高い性能指数を示す材料として、室温付近ではビスマステルル(BiTe)合金や鉛テルル(PbTe)、ビスマスアンチモンテルル(BiSbTe)などの合金半導体において  $ZT > 1$  以上の高い性能指数が報告され、製品化もされている[11], [12]。これらの材料は電子構造が適している点と、結晶内にカゴ状の構造を持ち、トラップされた原子によるラットリング効果が、格子熱伝導のキャリアであるフォノンを散乱し、 $\sim 1 \text{ Wm}^{-1}\text{K}^{-1}$  程度の低い熱伝導率を示す点が熱電材料として有効である[13], [14]。

また高温域で有効な熱電材料としては 1000 °Cでも安定なシリコンゲルマニウム(SiGe)合金があり、実際にアメリカ航空宇宙局(NASA)の深宇宙探査において放射性同位体の崩壊熱を熱源とした熱電発電素子として実用化され、太陽光の届かない深宇宙においてボイジャーなどの探査機の動力源として利用された[15]。

しかし、このような放射性同位体を用いた熱電発電は用途が極めて限定的であり、また室温において高い性能指数を持つ材料についても、以下のような課題があり広く普及するには至っていない。

- ビスマス、テルル、アンチモンなどいずれも希少でコストが高い。
- アンチモン化合物や鉛には毒性があるものも多い。
- 小型の素子が実用化されているが、出力密度が低い[12]。(～100  $\mu\text{Wcm}^{-2}$ )

これらの課題を解決する方策として、まずコストと毒性について、半導体エレクトロニクスで広く用いられているシリコンを用いることで、低コストでエコフレンドリーな素子を作製できると考えられるが、シリコンは室温付近では熱伝導率が比較的高く、(バルク単結晶シリコン～130  $\text{Wm}^{-1}\text{K}^{-1}$ ) 性能指数が～0.001 程度と低いことが課題であった。しかし、熱電材料の性能向上の歴史において 1995 年に Slack らが提唱した PGEC (Phonon glass, electron crystal) というコンセプトの下、フォノンと電子の散乱スケールの違いを利用して、フォノンのみを効果的に散乱するナノ構造体を用いて材料の格子熱伝導率のみを低減する試みがシリコンにおいても盛んに研究されている。2008 年にカリフォルニア大学の Hochbaum らが 1 本の直径 50 nm のシリコンナノワイヤにおいて 2  $\text{Wm}^{-1}\text{K}^{-1}$  以下のバルクと比較して 100 分の 1 程度低い熱伝導率を観測し、室温における性能指数 0.6 が報告されて以来、ナノ構造を利用してシリコン材料の熱電変換性能指数を向上する研究が盛んに行われている[16], [17]。

また、熱電発電の課題として 100 K 以下程度の温度差においては出力密度が数 100  $\mu\text{W}$  程度と低い点について、近年では“物のインターネット(Internet of Things: IoT)”に代表される、高度なネットワークにおいて多数のセンサーを運用するために、環境中のエネルギーから発電する自立電源素子への需要が高まっており、ここでは 100  $\mu\text{W}$  の熱電発電素子にも応用の可能性があると考えられる[18], [19]。ここでは素子の大量生産とコスト低減が重要であり、シリコン材料は有力な候補であると考えられる。

#### 1.1.4 ナノ構造化シリコン熱電変換材料

ここでは、これまでのシリコン熱電変換材料の研究について紹介する。性能指数  $ZT$  については、断りがない場合、室温( $T=300\text{ K}$ )における値について述べる。

カリフォルニア大学の Hochbaum らがシリコンナノワイヤにおいて  $ZT\sim 0.6$  を報告したのと同じ 2008 年に、カリフォルニア工科大学の Boukai らも 1 本のシリコンナノワイヤにおいて  $ZT\sim 0.3$  を報告している[20]。同じく 2008 年に、マサチューセッツ工科大学の Joshi と Wang らは 50~200 nm のナノ結晶粒径を持つバルクのシリコンゲルマニウム合金において、



$ZT \sim 0.4$  と  $\sim 0.5$  をそれぞれ p 型と n 型について報告している[21], [22]。

また、2010 年にカリフォルニア大学の Tang らが、厚さ 100 nm のシリコン薄膜に、有機材料の自己組織化を利用して  $\sim 30$  nm 程度の空孔を周期  $\sim 50$  nm 程度で多数作製した試料において、熱伝導率をナノ構造のない薄膜における  $50 \text{ Wm}^{-1}\text{K}^{-1}$  から  $2 \text{ Wm}^{-1}\text{K}^{-1}$  程度まで低減し、 $ZT \sim 0.4$  を報告している[23]。2012 年にサムスン電子の Lee らは、1 本の直径 26 nm のシリコンゲルマニウムナノワイヤにおいて、 $ZT \sim 0.2$  を報告している[24]。

ここまで、シリコン材料において高い性能指数を示す報告について紹介したが、現在においても  $ZT > 1$  ( $T = 300 \text{ K}$ ) を達成するような報告は無く、ナノワイヤにおける値を越える報告も無いのが現状である。しかし、熱電発電素子の開発においては、素子の作製コストや歩留まりも重要であり、熱電素子をシリコンウエハ上に作製することを考慮した場合、トップダウンのプロセスで作製可能な熱電材料の研究も重要である。

2009 年にシンガポールマイクロエレクトロニクス研究所の Xie らは、熱電発電素子に用いる熱電材料として、厚さ 700 nm の多結晶シリコン膜を評価し、ドーピングドーズ量の最適化を行い、p 型と n 型でそれぞれ  $ZT \sim 0.012$  と  $\sim 0.014$  を報告している[25]。また、高い性能を示すナノワイヤを発電素子に利用する目的で、シリコンウエハに形成された溝に多数のナノワイヤを成長させ、ナノワイヤの束を熱電材料として用いた発電素子の研究がバルセロナ大学から報告されており、2020 年には Gadea らからナノワイヤの束及び 1 本のナノワイヤについて性能評価を行った結果、 $ZT \sim 0.02$  が報告されている[26], [27]。

また 2015 年に東京大学の Nomura らは、シリコン中のフォノンと電子の輸送スケールの違いに着目し、厚さ 150 nm の多結晶シリコン薄膜に周期 300 nm の円孔配列を電子線描画とプラズマエッチングによって作製し、電気伝導率を保ったまま熱伝導率を 70 %程度低減し、p 型と n 型においてそれぞれ  $ZT \sim 0.04$  と  $\sim 0.06$  を報告している[28]。

このように、近年では特に発電変換素子応用に向けたナノシリコン熱電材料の研究が行われている。

### 1.1.5 平面型シリコン熱電変換素子とエネルギーハーベスト応用

図 1.1 において、バルク熱電材料を用いた縦型の発電素子の模式図を示したが、シリコンウエハ上に作製される熱電発電素子においては、熱電材料がウエハ面内に集積され、面内に生じる温度差から熱起電力が得られる。図 1.2 に平面型熱電発電素子の模式図を示す。素子の設計として、水平方向の温度差を利用するものと、垂直方向の温度差から面内に生じる温度差を利用するものが考えられ、近年のレビューではそれぞれ水平型、ハイブリッド型と呼ばれる[29]。水平型の設計は材料部分の温度差が取りやすい利点があり、応用として熱い流体が流れる管に放射状に素子を設置して発電を行う提案があるが[30]、ウエハの水平方向に温度差が生じる場面が限定的であり、ここからは平面型発電素子としてハイブリッド型を考える。

平面型（ハイブリッド型）発電素子の共通の課題として、外部面直方向の温度差  $\Delta T_{DEV}$  か

ら素子内部熱電材料部分に生じる面内温度差 $\Delta T_{TE}$ が小さいことが挙げられ、多くの素子においては、図に示すような下部キャビティの作製によるブリッジ構造が用いられ、ブリッジ部分を基板から熱的に分離することで面内に温度差を生み出している。そして、センサーネットワークにおけるエネルギーハーベスタとして利用する場合は、外部温度差 $\Delta T_{DEV}$ に対する出力が重要であるが、平面型熱電発電素子の評価実験においては、面内に温度差を与えた場合の $\Delta T_{TE}$ に対する出力の評価や、面内低温部分と基板底面との温度差に対して出力を評価したものが多いたが現状である。シンガポールマイクロエレクトロニクス研究所のXieらは、多結晶シリコン薄膜を材料に用い、下部キャビティと上部キャビティ構造を持つ平面型熱電発電素子を作製し、素子面直方向の温度差 $\Delta T_{DEV}$ に対する出力を評価した結果、 $\Delta T_{DEV}=100\text{ K}$ に対して $0.8\ \mu\text{Wcm}^{-2}$ 、温度差の比 $\Delta T_{TE}/\Delta T_{DEV}$ が3.8%という値を報告している[31]。エネルギーハーベスタ応用に向けては、環境中の10K以下程度の温度差から $10\ \mu\text{W}$ 程度の出力が求められ、平面型シリコン熱電発電素子について、材料と素子設計の両面から性能向上が必要である。

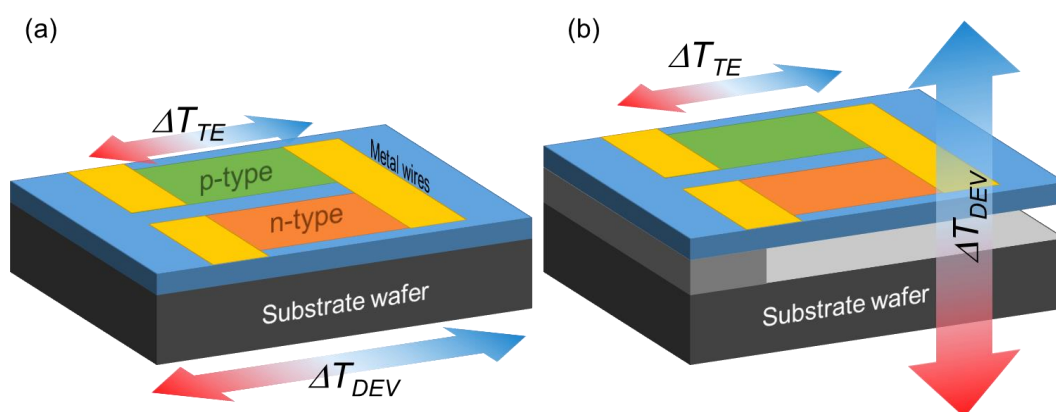


Fig. 1.2 Schematic pictures of planar-type TEG for the temperature difference in (a) horizontal and (b) vertical directions.

## 1.2 研究目的・手法

ここまで述べてきた背景を踏まえて、本研究では、ナノ構造化により多結晶シリコン薄膜の熱電性能を向上し、さらに平面型熱電変換素子においてナノ構造化による性能向上を実証し、エネルギーハーベスト応用に向けて環境中の 10 °C 程度の温度差から 1  $\mu$ W 以上の発電量を得るシリコン熱電発電素子を実現することを目的とする。

そのための手法として、以下を行う。

- シリコン薄膜に電子線描画とプラズマエッチングを用いてトップダウンのプロセスでナノ構造を作製し、ナノ構造寸法を変えた試料の測定から最適な構造を探索する。
- ナノ構造化薄膜試料の熱伝導率測定においては、光学的手法であり測定のスループットが高いマイクロサーモリフレクタンス法を用いることで、リソグラフィによる試料作製と合わせて多数の試料について系統的な測定を行う。
- 平面型熱電変換素子の作製においては、n 型熱電材料のみを用いたユニレグ型素子を考案し、従来の素子よりも簡便なプロセスで作製できる設計とすることで素子作製のスループットを高めて系統的な測定を行う。
- 素子内の熱電材料部分の寸法を変えた試料について、素子の内部抵抗と熱起電力の測定から、寸法の最適化を行う。
- 平面型熱電発電素子における温度差の比率  $\Delta T_{TE} / \Delta T_{DEV}$  を高めるため、レジスト材料を介したキャップ構造の作製を考案し、キャップ上面と素子下面の温度差に対する発電量の測定からキャップ構造の有効性を評価する。
- 素子内の温度差について、熱抵抗回路モデルによる解析と実験結果を比較し、熱設計を最適化する。

### 1.3 論文の構成

本博士論文の構成を図 1.3 に示す。第 2 章と第 3 章では、ナノスケールにおける熱輸送の理論と、本研究で用いるマイクロ・ナノスケールの試料作製手法及び熱伝導率の測定手法について述べる。第 4 章から第 6 章において、主要な実験結果と考察について述べ、第 7 章ではまとめと展望について述べる。

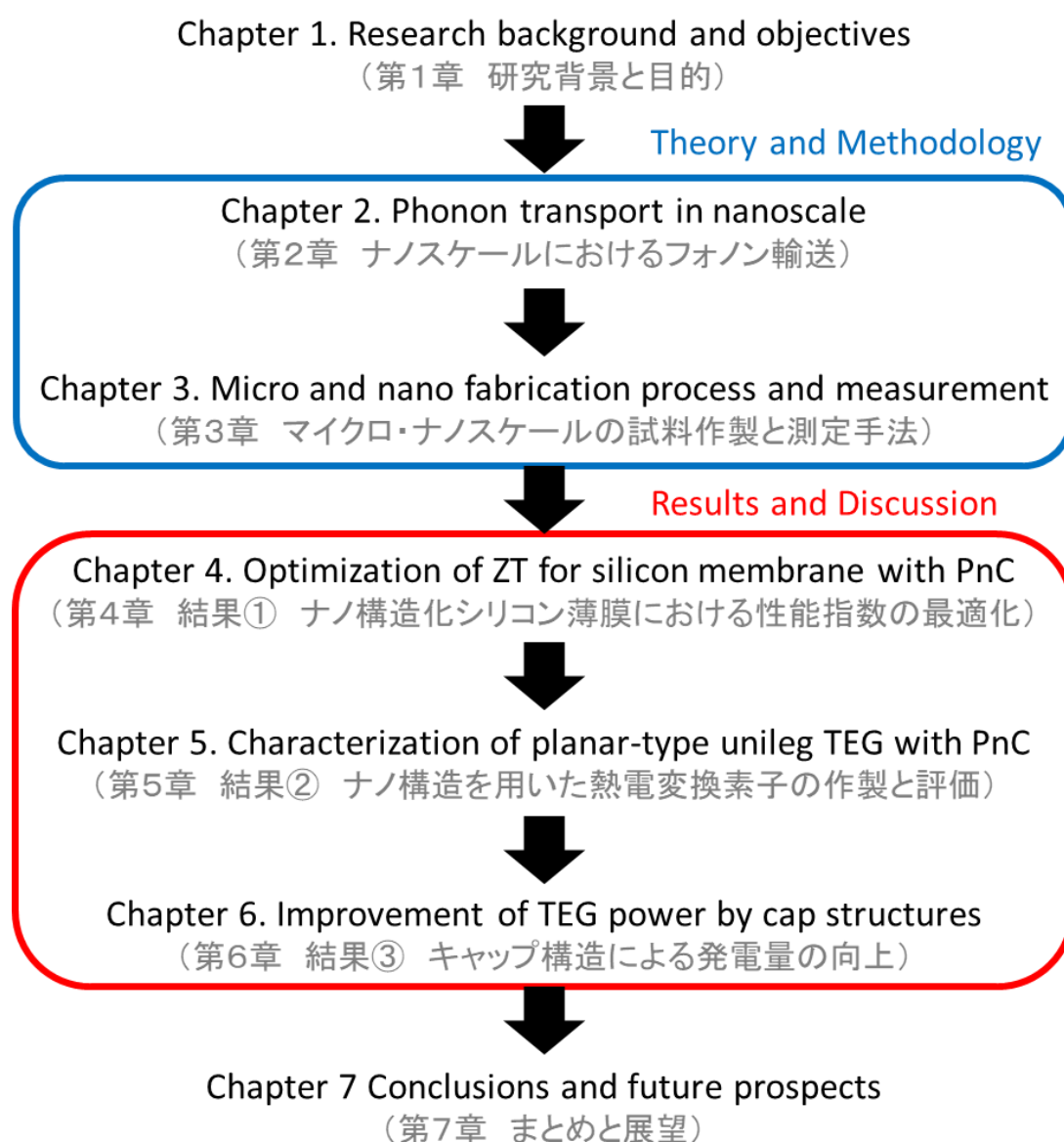


Fig. 1.3 Flow of thesis.

## 第2章 ナノスケールにおけるフォノン輸送及び熱伝導

### 2.1 固体中の熱伝導

固体中の熱エネルギーの輸送は熱伝導率によって特徴づけられる。熱伝導率は巨視的には、ある温度勾配中の熱流束によって表され、フーリエの法則として知られている。図 2.1 (a)に示すような一方向の温度勾配  $dT/dx$  中に定常的な熱流束  $j_x$  が生じているとき、熱伝導率  $\kappa$  は次のように定義される。

$$j_x = -\kappa \frac{dT}{dx} \quad (2.1)$$

フーリエの法則は経験的な法則であり、これは導体中に電場  $E$  が与えられた時の電流密度  $J$  と電気伝導率  $\sigma$  の関係と類似する。

$$J = \sigma E \quad (2.2)$$

2.1 式において、熱流束とは単位面積を単位時間あたりに通過するエネルギーであり、単位は  $\text{Wm}^{-2}$  であることから、熱伝導率  $\kappa$  の単位は  $\text{Wm}^{-1}\text{K}^{-1}$  である。

微視的には熱エネルギーの輸送は固体結晶を構成する原子の格子振動によるものであり、格子振動を量子化したフォノンによって熱伝導を考えることができる。光の量子である光子が波としての性質とともに粒子としての性質を持つように、フォノンもまた波動性と粒子性を合わせ持つ。フォノンの粒子的描像に立って見ると、熱エネルギーの輸送を気体分子運動の視点から考えることができる。

図 2.1 (b)に示すように円筒の中にフォノンが粒子数密度  $n$  ( $\text{m}^{-3}$ ) で存在し、 $x$  方向の温度勾配  $dT/dx$  があるとする。フォノンの速度を  $v_x$  とすると、単位面積を単位時間あたりに通過するフォノンの数は  $nv_x$  である。フォノン粒子は多数の散乱を受けながら進むと考えられ、ある散乱と散乱の間にフォノンが進む平均の距離は平均自由行程(Mean free path: MFP)と呼ばれる。フォノンの平均自由行程を  $\Lambda_x$  とすると、温度勾配  $dT/dx$  は微視的には  $\Lambda_x$  進むごとに温度が  $\Delta T$  下がるような階段状の温度変化だと考えられる。フォノン 1 粒子の比熱を  $c$  ( $\text{JK}^{-1}$ ) とすると、フォノン 1 粒子が持つエネルギーは  $c\Delta T$  であり、 $\Delta T/\Lambda_x = dT/dx$  より、 $\Delta T = \Lambda_x dT/dx$  となり、熱流束は次のように表される。

$$j_x = -c\Delta Tnv_x = -cnv_x\Lambda_x \frac{dT}{dx} \quad (2.3)$$

ここで、 $cn$  は固体の単位体積当たりの比熱  $C$  ( $\text{JK}^{-1}\text{m}^{-3}$ ) であり、 $v_x = v/3$  とすると、

$$j_x = -\frac{1}{3}Cv\Lambda \frac{dT}{dx} \quad (2.4)$$

となり、したがって式 2.1 より固体中の熱伝導率を、

$$\kappa = \frac{1}{3}Cv\Lambda \quad (2.5)$$

と表すことができる。熱伝導率は、比熱が大きく（多くのモードが存在する）、フォノン速度が大きく、平均自由行程が長い（散乱が少ない）ほど高くなる。

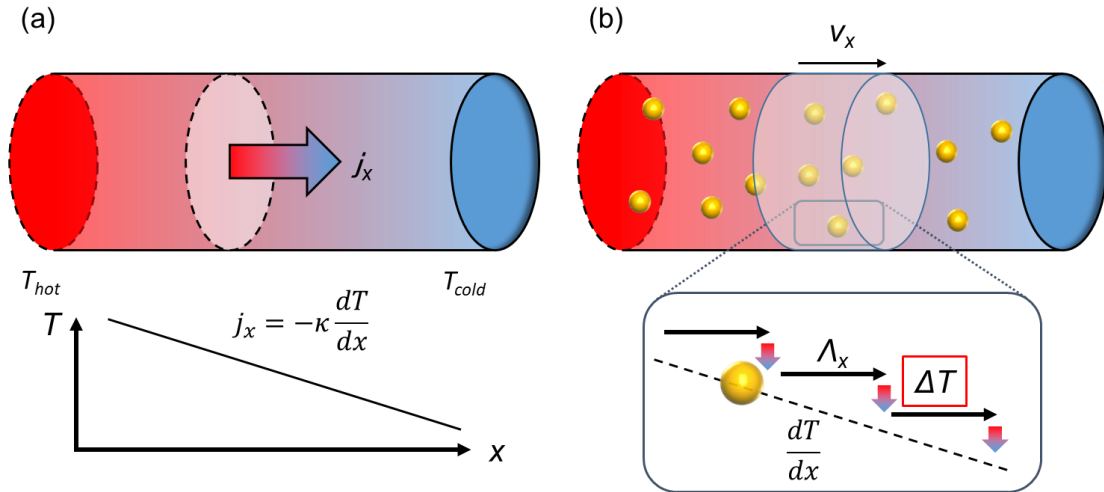


Fig. 2.1 (a) Macroscopic picture of heat flux along a temperature gradient  $dT/dx$ . (b) Microscopic picture of heat flux, which is described by transport of phonon particles.

ここまでは簡略化したモデルでフォノン粒子が全て同一であるとしてきたが、実際の固体中では様々な振動が伝搬しており、様々な周波数、モードを持ったフォノンが存在する。フォノンによる熱伝導を考える場合、こうしたフォノンのスペクトルを考慮しなければならない。

## 2.2 フォノン輸送

この節では、フォノンによる熱伝導を考えるため、フォノンの速度であるフォノン波束の群速度とフォノンの比熱、そしてフォノンの散乱機構について述べる。

### 2.2.1 フォノンの分散関係と群速度

フォノンの周波数を  $\omega$ 、波数を  $q$  とすると、 $\omega$  と  $q$  の関係はフォノンの分散関係と呼ばれ、フォノンの群速度  $v_g$  は次のように定義される。

$$v_g = \frac{d\omega}{dq} \quad (2.6)$$

これは分散関係において傾きにあたる。図 2.2 に Si 中のフォノンの分散関係を示す[32]。分散関係中の曲線は 4 つのグループに分けられ、それぞれフォノンのモードに対応する。4 つのモードは縦波音響 (Longitudinal Acoustic: LA)、横波音響 (Transverse Acoustic: TA)、縦波光学 (Longitudinal Optical: LO)、横波光学 (Transverse Optical: TO) モードと呼ばれ、Si 中では音響、光学モードどちらも一つの縦波モードと二つの横波モードを持つ。ここ

で、光学モードは分散関係が平坦で群速度が低く、熱伝導にはあまり寄与しない。Siでは光学モードの熱伝導への寄与は5%程度であり、95%は音響モードによる。よってSiの熱伝導率を考えるにあたっては音響モードのみを考える。

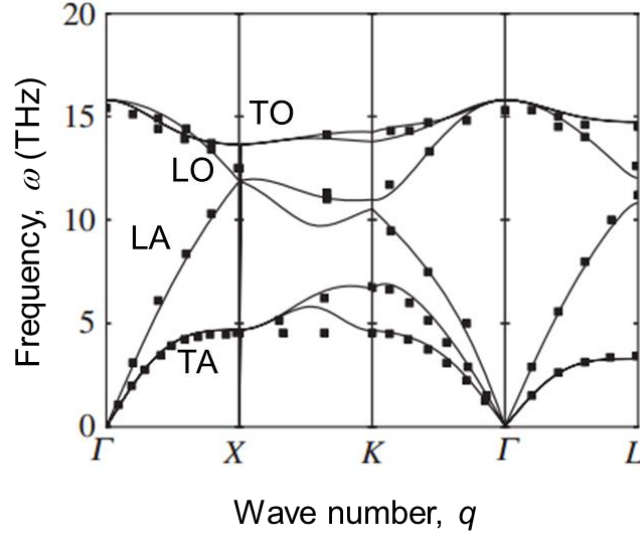


Fig. 2.2 Phonon dispersion relation in bulk silicon from reference[32].

## 2.2.2 フォノン比熱

次にフォノンによる比熱を求める。フォノン比熱  $C_{lattice}$  は固体中の全てのフォノンのエネルギーの総和を  $U$  として、

$$C_{lattice} \equiv \frac{\partial U}{\partial T} \quad (2.7)$$

と定義される。周波数  $\omega(q)$  のフォノンのエネルギーは  $\hbar\omega(q)$  で与えられ、 $U$  は全波数・モードについてのフォノンエネルギーの和であるので、モードを  $j$  として次のように表される。

$$U = \sum_q \sum_j \hbar\omega(q) f_0 \quad (2.8)$$

ここで  $f_0$  はフォノンの分布関数で、フォノンはボース粒子であり次式で表される Bose-Einstein 分布に従う。

$$f_0 = \frac{1}{\exp(\hbar\omega/k_B T) - 1} \quad (2.9)$$

式 2.7 において、波数についての和を、分散関係の Debye 近似における  $\omega(q)=vq$  の関係を用いて周波数についての積分に変換する。

$$U = \sum_j \int \hbar\omega D(\omega) f_0 d\omega \quad (2.10)$$

ここで  $D(\omega)$  はフォノンの状態密度  $dq/d\omega$  である。式 2.6 と 2.9 より、フォノン比熱は、

$$C_{lat} = \frac{\partial U}{\partial T} = \sum_j \int \hbar \omega D(\omega) \frac{\partial f_0}{\partial T} d\omega \quad (2.11)$$

と表される。

### 2.2.3 フォノンの散乱機構

フォノンは固体中で様々な散乱を受けながら伝搬する。フォノンが平均自由行程  $\Lambda$  進むのにかかる時間  $\tau$  は、

$$\tau = \frac{\Lambda}{v_g} \quad (2.11)$$

と表され、 $\tau$  を緩和時間と呼び、逆数の  $\tau^{-1}$  は散乱頻度を表す。フォノンの散乱において特に重要なものは、境界散乱、不純物散乱、ウムクラップ(Umklapp)散乱である。それぞれの散乱頻度は次式のように表される[33]–[35]。

$$\frac{1}{\tau_{Boundary}} = \frac{v}{L} \quad (2.12)$$

$$\frac{1}{\tau_{Impurity}} = A\omega^4 \quad (2.13)$$

$$\frac{1}{\tau_{Umklapp}} = BT^3 \omega^2 \exp\left(\frac{-\theta_D}{bT}\right) \quad (2.14)$$

ここで、 $L$  は系の代表長さであり、 $A$ 、 $B$ 、 $b$  は定数で試料ごとに実験によるフィッティングによって決定される。 $\theta_D$  はデ바이温度でありシリコンでは室温において 645 K である。境界散乱は物質の界面における散乱であり、結晶粒界が小さいほど、また材料の寸法が小さいほど大きくなることがわかる。不純物散乱は、主にフォノンの波長よりも小さいサイズの散乱体によるものであり、光のレイリー散乱と類似して高周波のフォノンを強く散乱する。

またウムクラップ散乱はフォノン同士の衝突による散乱であり、高温でフォノンの運動エネルギーが大きくなるほど散乱頻度は大きくなる。図 2.3 に示すように、波数空間で波数  $q_1$  と  $q_2$  のフォノンが衝突し、波数  $q_3$  のフォノンが生じる際、 $q_1$ 、 $q_2$  が小さく  $q_3$  が第一ブリュアンゾーン(Brillouin Zone)を越えない場合は運動量が保存されるが、 $q_3$  がブリュアンゾーンを越える場合、ブリュアンゾーンの対称性により  $q_3$  は  $q_3'$  に折り返され、運動量が失われて熱抵抗が生じる。これは波数が大きくなり、波長が結晶の格子定数よりも短い場合に波が存在できないこととして理解でき、テレビなどで高速に回転するタイヤの映像において、回転数が映像のフレームレートより速い場合に逆回転して見える現象と類似している。一般に熱伝導率は、高温においてはウムクラップ散乱の増大により減少する。

これらの散乱について、次式のマティセン(Matthiessen)則が成り立つ。

$$\frac{1}{\tau} = \frac{1}{\tau_{Boundary}} + \frac{1}{\tau_{Impurity}} + \frac{1}{\tau_{Umklapp}} \quad (2.15)$$



このようにフォノンの緩和時間は様々な散乱因子によって決まる。図 2.4 にシリコンの熱伝導率の温度依存性を示す[36]。高温においてはウムクラップ散乱が支配的であるが、低温においては境界散乱が熱伝導率の決定に支配的であることがわかる。

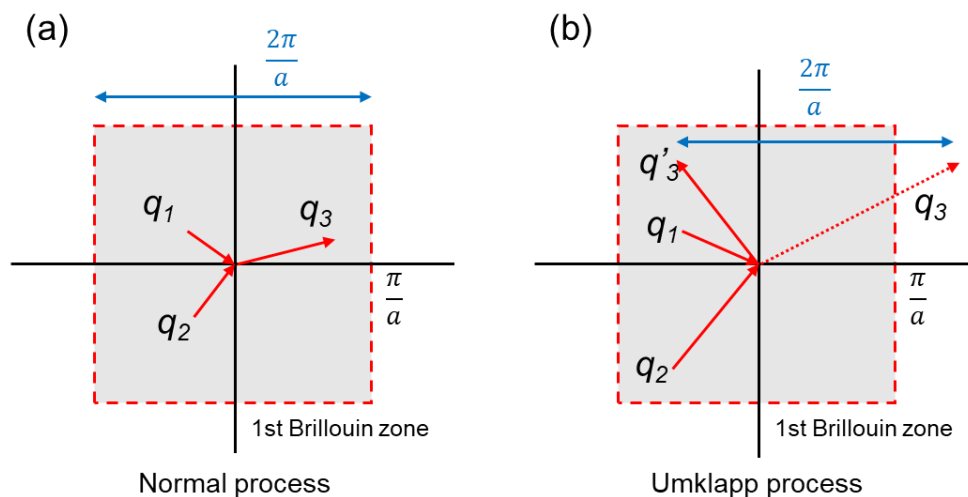


Fig. 2.3 Schematic pictures of (a) normal scattering process and (b) Umklapp scattering process.

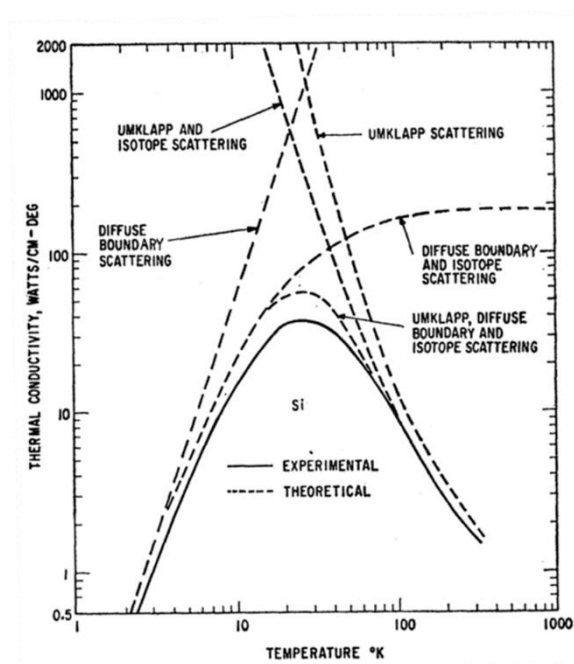


Fig. 2.4 Temperature dependence of thermal conductivity of silicon from reference[36].

ここまですとまとめると、式 2.5、2.11、2.15 よりフォノンによる熱電度率が、

$$\kappa = \frac{1}{3} \int C_{\omega} v^2 \tau d\omega \quad (2.16)$$

と表される。ここで、比熱、群速度、緩和時間はフォノン周波数に依存し、フォノンによる熱伝導率は様々な周波数のフォノンによる寄与を積分する形で表される。

## 2.2.4 累積熱伝導率

フォノンの散乱頻度は周波数に依存して変化するため、フォノンの平均自由行程はフォノン周波数に対してナノメートルから数ミリメートル以上まで広いスペクトルを持つ。図 2.5 (a)に様々な材料について計算された平均自由行程の周波数スペクトルを示す[37]。シリコンにおいては他の化合物材料と比較して平均自由行程の長いフォノンが多いことがわかる。ここで、熱伝導率についてある平均自由行程を持つフォノンによる寄与を平均自由行程  $\Lambda_0$  のフォノンまで積分したときに得られる熱伝導率を累積熱伝導率と呼び、平均自由行程が  $\Lambda_0$  より短いフォノンが熱伝導率に寄与する割合を示す。図 2.5 (b)に計算された累積熱伝導率のスペクトルを示す[37]。傾きが急峻な範囲の平均自由行程を持つフォノンが熱伝導率への寄与が大きいことから、材料中の代表的な平均自由行程の長さを理解することができる。シリコンにおいては他の材料よりも平均自由行程が長く、100 nm から 10  $\mu\text{m}$  程度の平均自由行程を持つフォノンによる寄与が 60 %程度を占めることがわかる。

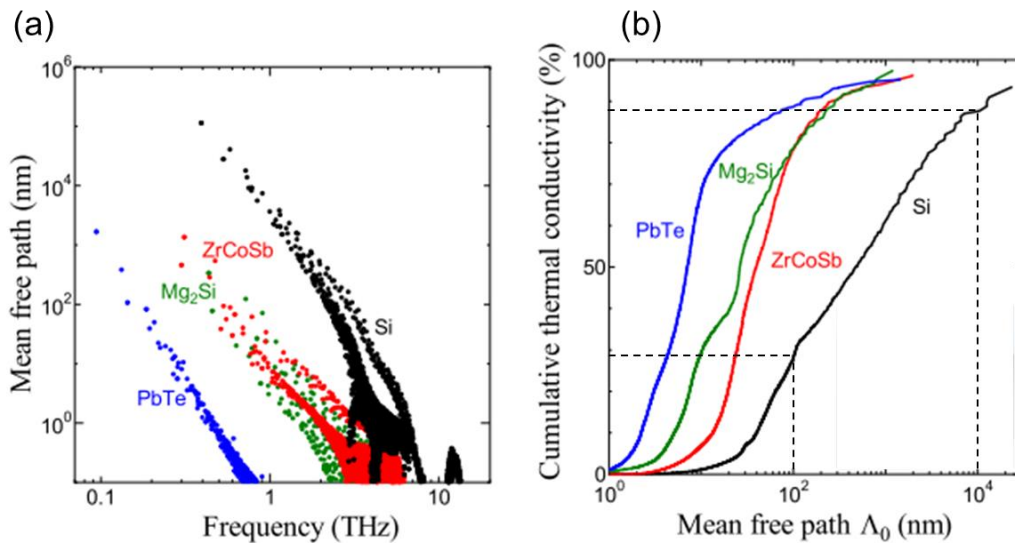


Fig. 2.5 Calculated (a) phonon mean free path and (b) cumulative thermal conductivity for different materials from reference[37].

## 2.3 ナノスケールにおけるフォノン輸送

ここまで、固体中のフォノン輸送について述べてきたが、ここからはナノスケールに特有のフォノン輸送について述べる。

### 2.3.1 準弾道的フォノン輸送

巨視的な系においては、フォノンは平均自由行程ごとに散乱され、熱伝導は拡散的な輸送となりフーリエの法則に従うが、ナノスケールにおいてフォノンの平均自由行程  $\lambda$  と微視的な系の代表長さ  $L$  が同程度か  $\lambda > L$  の場合、境界散乱の頻度が増加し熱伝導率が低減する。ここで代表長さとは、ナノ構造化された材料における特徴的な長さであり、薄膜における厚さやナノワイヤの直径、多結晶体における結晶粒径などである。このようなフォノン輸送は準弾道的なフォノン輸送と呼ばれ、ナノ構造における熱伝導を理解するために重要である。境界散乱において、境界が滑らかでありフォノンが鏡面反射的に進む場合は、熱伝導率が低減せず弾道的なフォノン輸送と呼ばれるが、多くの場合は境界において粗さが存在し、準弾道的な輸送となる。これまでに薄膜やナノワイヤ、多結晶体において代表長さ及び表面粗さに依存するような熱伝導率の低減が報告されており、特にシリコン材料における報告について紹介する。

1997年から1999年にスタンフォード大学の Ashghi と Ju らは、厚さ  $1.6 \mu\text{m}$  から  $100 \text{ nm}$  程度の単結晶シリコン薄膜について熱伝導率を測定し、室温において厚さ  $1.6 \mu\text{m}$  ではバルクにおける値  $\sim 130 \text{ Wm}^{-1}\text{K}^{-1}$  と変わらないが、 $100 \text{ nm}$  以下の厚さにおいては  $40 \text{ Wm}^{-1}\text{K}^{-1}$  以下の熱伝導率を報告している[38], [39]。2003年にはカリフォルニア大学の Li らが、直径  $115 \text{ nm}$  から  $22 \text{ nm}$  の単結晶シリコンナノワイヤについて熱伝導率を測定し、室温において直径  $22 \text{ nm}$  のナノワイヤでは  $6.8 \text{ Wm}^{-1}\text{K}^{-1}$  という低い熱伝導率とナノワイヤの直径に依存する熱伝導率の低減を報告している[40]。また同じグループなどから、ナノワイヤ材料の熱伝導率について、表面粗さに依存する熱伝導率が実験的あるいはモンテカルロ法などを用いたシミュレーションによって報告されており、表面粗さの自乗平均や相関長によって熱伝導率が変化する結果となっている[16], [41]–[43]。

また、多結晶シリコンにおいても、複数のグループから結晶粒径  $50\text{--}500 \text{ nm}$  程度の試料について熱伝導率が報告され、結晶粒径が小さいほど熱伝導率が低減される傾向を示している[44], [45]。2018年には、東京大学の Oyake らから、数  $\text{nm}$  の結晶粒径を持つ多結晶シリコンにおいて結晶粒界に単原子層程度の酸化膜が存在することで、非晶質のアモルファスシリコンよりも低い熱伝導率が報告されている[46]。

ここで重要なこととして、これらのナノ構造寸法や結晶粒径を代表長さとして、熱伝導率について比較すると、どちらの場合も同様の傾向を示し、ナノ構造によって熱伝導が制御されていると考えられる。

### 2.3.2 フォノンニック結晶ナノ構造を用いたフォノン輸送制御

近年では、ナノ構造を周期的に配置した、フォノンに対する人工周期構造であるフォノンニック結晶(PnC)を用いた熱伝導制御が報告されている[47]。フォノンニック結晶は、光の量子であるフォトンに対する周期構造として知られるフォトニック結晶と類似しており、フォトニック結晶においては屈折率が周期的に変化するが、フォノンニック結晶においては密度が周期的に変化することでフォノン輸送が制御される。

フォノンニック結晶の例として、薄膜のエピタキシャル成長によって作製された GaAs 層と AlGaAs 層やシリコン層とゲルマニウム層による 1 次元周期構造や[48], [49]、リソグラフィを用いてシリコンなどの薄膜上に空孔や柱構造を配列させた 2 次元周期構造がある[50]–[52]。ここで、フォノンニック結晶の周期とフォノンのコヒーレンス長が同程度の系においては、フォノンニック結晶によるフォノンバンドの変化による群速度の低減とそれに伴う熱伝導率の低減など、フォノンの波動性に基づく熱伝導制御が計算と実験によって報告されている[53]–[56]。

また、シリコン薄膜に作製された 2 次元フォノンニック結晶ナノ構造中において、周期構造の結晶格子配列を変えた試料について熱伝導率を測定した報告があり、マイクロスケールの周期構造では配列による変化がない一方で[55]、ナノスケールの周期構造においては配列の違いによる熱伝導率の変化が見られている[58]。ここでは、正方格子の円孔配列と、列ごとに半周期ずらした配列をもつ試料において実験が行われ、半周期ずれた配列を持つ試料において低い熱伝導率が観測されている。先にナノスケールにおいては、系の代表長さによって熱伝導が制御されると述べたが、フォノンニック結晶ナノ構造中においては、系の代表長さが同一であるにも関わらず、円孔配列の違いによる熱伝導率の変化が見られ、ナノスケールにおいて弾道的に伝搬するフォノンが空孔表面において散乱されると考えられる。この現象はフォノンの平均自由行程とナノ構造のスケールが同程度である場合に顕著にみられ、フォノンニック結晶ナノ構造を用いることで効率的に熱伝導を制御できると考えられる。

## 第3章 マイクロ・ナノスケールの試料作製及び測定手法

本章では、熱伝導率測定用試料の作製方法と、サーモリフレクタンス法を用いた熱伝導率測定手法について述べる。

### 3.1 マイクロ・ナノ構造作製プロセス

#### 3.1.1 半導体ウエハプロセス

コンピュータなどに用いられている半導体電子素子は、シリコンなどのウエハ上に作製される。ウエハプロセスにおいて重要な材料としてフォトリソレジストがあり、レジストは感光性によって光が照射された部分の性質が変化して、硬化あるいは特定の溶液に溶解するようになる材料である。溶液処理をレジストの現像といい、溶液を現像液と呼ぶ。現像において感光部分が残るレジストをネガ型、感光部分が溶解するレジストをポジ型と呼ぶ。レジストは常温で液体であり、ウエハを高速回転しながら塗布することで、ウエハ表面に均一な厚さでレジストが成膜される。フォトリソグラフィにおいては、あらかじめ金属マスクにパターンを作製しておき、そのマスクを通してレジストに対して光を露光することで、レジスト上にパターンが転写される。レジストを現像し、残ったレジストをマスクとしてウエハ表面に対して他の材料を付加、あるいはウエハ表面の材料を除去するプロセスがウエハプロセスの基本となる。

ウエハプロセスにおいて、素子は1枚のウエハ上に多数同時に作製される。一般的な機械加工プロセスにおいては、製品の部品は並列的に同時に作製され、部品の組み立ては製品ごとに直列的となる。一方でウエハプロセスによる半導体素子の作製においては、多数の素子が並列に作製され、素子を構成する各部材の作製が直列的となる。数多くの部品で構成される自動車などは、部品を並列に作製し工場のラインにおいて1台ずつ組み立てる方式が適しているが、半導体素子は大量に生産することが必要であり、ウエハプロセスが適している。本研究においても、熱電発電素子の将来の大量普及を見据えて、ウエハプロセスによって作製できる素子設計とした。

#### 3.1.2 リソグラフィ

ウエハプロセスにおいて、レジストと共に重要な技術がリソグラフィである。リソグラフィの性能において重要なのは解像度であり、解像度は光源の波長に依存する。本研究では、ナノ構造の作製には解像度が $\sim 10\text{ nm}$ と小さい電子線描画を用い、大きなパターンに対しては波長 $405\text{ nm}$ の半導体レーザを光源とする解像度 $2.5\text{ }\mu\text{m}$ 程度のレーザ描画を用いた。電子線描画は $100\text{ kV}$ の高電圧で加速された電子線を電磁レンズによって絞り数 $\text{nm}$ のスポットサイズを実現しているが、描画スピードが $1.2\text{ }\mu\text{m}^2/\text{min}$ と遅く、広い面積を描画

することは難しい。一方でレーザ描画の描画スピードは  $35 \text{ mm}^2/\text{min}$  と速く、素子の大部分はレーザ描画を用いて作製された。

電子線描画においてはレジストとしてゼオン社の ZEP520A を用いた。特徴として PMMA レジストに比べ解像度はやや低いものの ( $\sim 20 \text{ nm}$ )、感度が高いためドーズ量が少なく描画時間が短いことと、プラズマエッチングに対して高い耐性を持つことが挙げられる。4500 rpm で 45 秒間スピコートした場合の厚さは  $\sim 350 \text{ nm}$  程度であり、現像液にはあ ZED-N50、除去するための剥離液には ZDMAC (共にゼオン社) を用いた。

レーザ描画においてはレジストとして AZ1500 を用い、4500 rpm で 45 秒間スピコートした場合の厚さは  $1.5 \mu\text{m}$  程度、現像液には AZ developer と水を 1:1 に希釈した混合液を用い、剥離にはアセトンを用いた。

### 3.1.3 真空蒸着

金属配線の作製など、他の材料を付加する工程には真空蒸着が用いた。真空引きしたチャンバーの中で金属を加熱し蒸発させると、金属原子は他の気体分子にぶつかることなく飛散し、同じくチャンバー内に固定した試料表面において一様に堆積する。蒸着後、レジストを溶解し除去することで所望のパターンを得ることができる (リフトオフ)。

本研究では電子線蒸着装置を使用した。チャンバー内に試料と金属蒸着源をセットし、ポンプによってチャンバーを  $5.0 \times 10^{-5} \text{ Pa}$  以下まで真空引きを行い、続いて蒸着源に電子線を電圧  $10 \text{ kV}$  で照射して加熱することで金属が蒸発し、蒸着が行われる。金属の堆積スピードは電子線のパワーを制御することで一定に保たれ、今回 Al の場合は  $1 \text{ \AA}/\text{s}$  のレートで蒸着を行った。蒸着された膜厚は水晶振動子の膜厚計にて計測した。

蒸着後、レジスト剥離液を用いてリフトオフを行った。ZEP レジストに対しては剥離液として ZDMAC が用い、試料を  $80^\circ\text{C}$  のホットプレート上で温められた ZDMAC に 30 分以上浸した後、超音波洗浄機内でアセトン、イソプロパノール、水によって洗浄した。リフトオフはパターンの側面から始まるため、レジストが薄いあるいは蒸着の厚みがレジストの厚さに近いとうまくリフトオフできず、厚さ  $300 \text{ nm}$  の配線などはフォトレジストを用いて作製した。

### 3.1.4 プラズマエッチング

フォノンニック結晶ナノ構造の作製など、シリコンのエッチングにはプラズマエッチングを用いた。プラズマエッチングはウェットエッチングとの比較でドライエッチングとも呼ばれ、今回シリコンのプラズマエッチングには  $\text{SF}_6$  と  $\text{O}_2$  の混合ガスによるプラズマを用いた。 $\text{SF}_6$  と  $\text{O}_2$  の分圧比を  $5 : 4$  とし、圧力  $0.2 \text{ Pa}$  の混合ガスに高周波電源のパワーを  $50 \text{ W}$  として電圧を印加し、プラズマを形成した。電圧は試料基板面直方向に印加されるため、シリコンはマスクパターンに対して垂直にエッチングされ、等方的なウェットエッチング

とは異なり異方性エッチングとなる。今回、膜厚 350 nm にスピコートされた電子線レジストを用いて、厚さ 300 nm の多結晶シリコン層のエッチングを行った。

### 3.1.5 気相フッ酸エッチング

埋め込み酸化膜の上に堆積されたシリコン層におけるブリッジ構造の作製には、フッ酸蒸気 (Vapor hydrofluoric acid: VHF) による酸化膜エッチングを用いた。液体のフッ酸によるウェットエッチングでは、溶液が乾燥する際に毛細管現象によってブリッジ層と基板の間に力が加わり、構造が機械的に壊れる問題があるため、気相フッ酸によって酸化膜の除去を行った。試料は温調機能を備えたホルダーに設置され、フッ酸を入れた浴槽の上にホルダーを固定することで、試料がフッ酸蒸気にさらされ酸化膜がエッチングされる。ここで、フッ酸の浴槽にもヒーターと温度計が備わっており、フッ酸の液温と試料温度を変化させてエッチング速度を制御しながらプロセスを行った。フッ酸温度を 25 °C、試料温度を 46 °C に設定した場合で、シリコン層下の酸化膜について水方向のエッチング速度が $\sim 1 \mu\text{m}/\text{hour}$  である。図 3.1 に光学顕微鏡で観察した酸化膜エッチング中の試料の写真を示す。

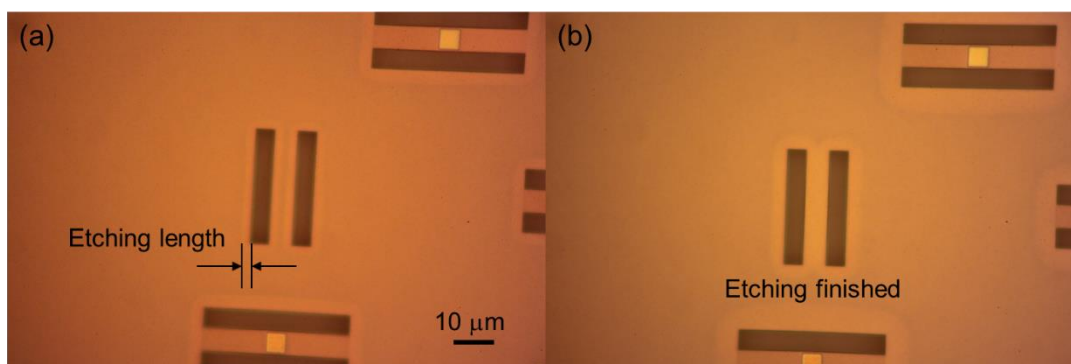


Fig. 3.1 Optical microscope photos of bridge shape samples during VHF process.

## 3.2 マイクロサーモリフレクタンス用試料の作製

ここでは試料作製の例として、熱伝導率測定に用いる試料の作製プロセスを述べる。レーザーを用いたサーモリフレクタンス法において、試料の面内方向熱伝導率を測定するために、ブリッジ構造の試料を作製し、レーザーをあてる金属パッドとしてブリッジ中央にアルミが成膜される。作製プロセスを以下に示す。

1. アセトン、イソプロパノール、水による有機洗浄。及び緩衝フッ酸溶液を用いたシリコン表面の自然酸化膜除去。
2. 電子線レジストをスピコート。
3. 電子線描画及び現像。

4. 電子線蒸着によるアルミの真空蒸着
5. リフトオフによるアルミパッドの形成
6. 再度電子線レジストをスピコートし、電子線描画及び現像。
7. プラズマエッチングによるフォノンニック結晶ナノ構造とエッチングスリットの作製。
8. レジスト除去、及び有機洗浄。
9. 気相フッ酸エッチングによるブリッジ構造の形成。

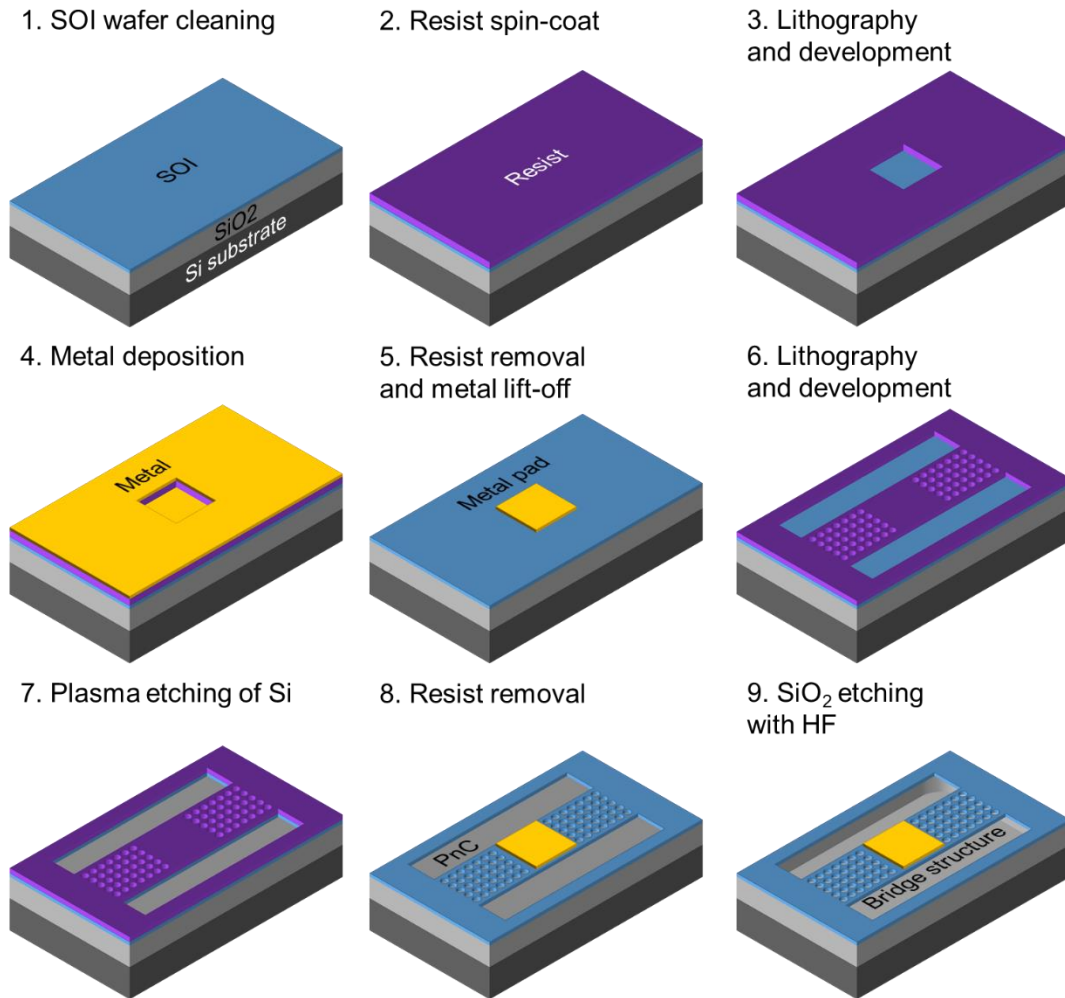


Fig. 3.2 Fabrication process of sample for TDTR measurement.



## 3.3 マイクロサーモリフレクタンスによる熱伝導率測定

### 3.3.1 熱散逸時定数の測定

作製したフォノンニック結晶薄膜試料についてマイクロサーモリフレクタンス法 (Micro Time Domain Thermoreflectance:  $\mu$ -TDTR) を用いて薄膜面内方向の熱伝導率を測定した。図 3.3 に光学系の全体像と模式図を示す。試料をクライオスタットにセットし、液体 He を流すことで試料を冷却し、4 K から室温まで温度を変えて測定することが可能である。クライオスタットはポンプで  $4 \times 10^{-4}$  Pa 以下まで真空引きされており、対流による熱輸送の影響は無視できるほど小さい。

サーモリフレクタンス法は 2 つのレーザを用いたポンプ・プローブ法であり、ポンプ光として波長 642 nm、パルス幅 500 ns、繰り返し周波数 1 kHz のパルスを、プローブ光として波長 785 nm の連続光を用いた。2 つのレーザをマイクロスコープ用対物レンズによって試料のアルミパッド上に集光し、アルミパッドがパルス加熱された時のアルミパッドの温度変化をプローブによって観測する。ここで、金属の反射率は温度に依存して変化するため、温度変化はプローブの反射光の強度変化として観測される。プローブ光の波長 785 nm 付近において、アルミの反射率の温度変化が大きく良い感度を持つため、本研究ではパッドとしてアルミを用いた[59]。試料はアルミパッドを中心にブリッジ構造になっているため、熱はフォノンニック結晶のみを通して散逸し、プローブによるアルミパッドの温度変化の測定から試料の熱散逸時間が求められる。実験で得られた散逸時間  $\tau$  と、次節で述べる有限要素法シミュレーションによるフィッティングから、フォノンニック結晶の面内方向の熱伝導率が決定される。

サーモリフレクタンス法は薄膜の熱伝導率を測定するのに有効であり、光学的手法を用いているためスループットが高く、一つの試料内で多くの構造を系統的に測定することができる。電気的な測定では電極パッドがあるため一つのチップに作製できる構造の数が制限されるが、今回の試料では 3 mm 角のチップに 100 以上の異なる構造が作製でき、フォノンニック結晶の円孔配列や円孔サイズを変えて系統的な測定を行うことができる。

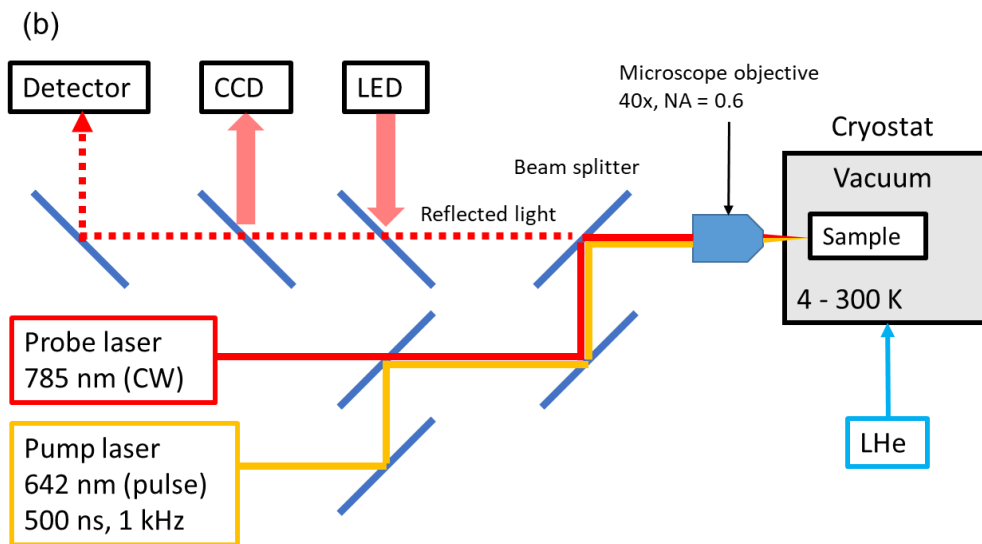
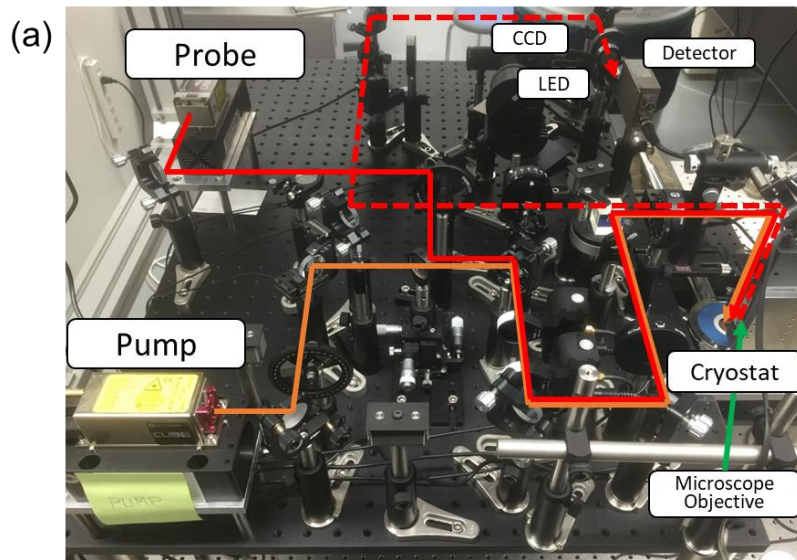


Fig. 3.3 (a) Photo and (b) schematic picture of whole optical system of TDTR measurement.

### 3.3.2 有限要素法シミュレーションによる熱伝導率の決定

フォノン結晶の熱伝導率を決定するため、有限要素法シミュレーションを用いて熱散逸時定数のフィッティングが行われる。図 3.13 のように有限要素法シミュレーション上のモデルにおいてフォノン結晶ナノ構造とアルミパッド、ヒートシンクを再現し、フォノン結晶部分の熱伝導率 $\kappa$ をフィッティングパラメータとして熱伝導シミュレーションを行った。有限要素法のモデルでは試料の対称性を考慮し、1/4 のサイズでシミュレーションを行った。ヒートシンクの外縁を温度  $T=T_0$  で一定とし、初期条件として全体の温度も時刻  $t=0$  において  $T_0$  である。ここで、時間に依存する熱拡散方程式

$$\rho C_p \frac{\partial T}{\partial t} = \kappa \nabla^2 T \quad (3.1)$$

を解くことで系全体において温度分布の時間発展が得られる。アルミパッドの温度変化をプロットし指数関数の減衰曲線でフィッティングすることで、異なる $\kappa$ に対する $\tau$ の関係が得られ、実験で得られた $\tau$ と比較することでフォノン結晶の熱伝導率が決定される。

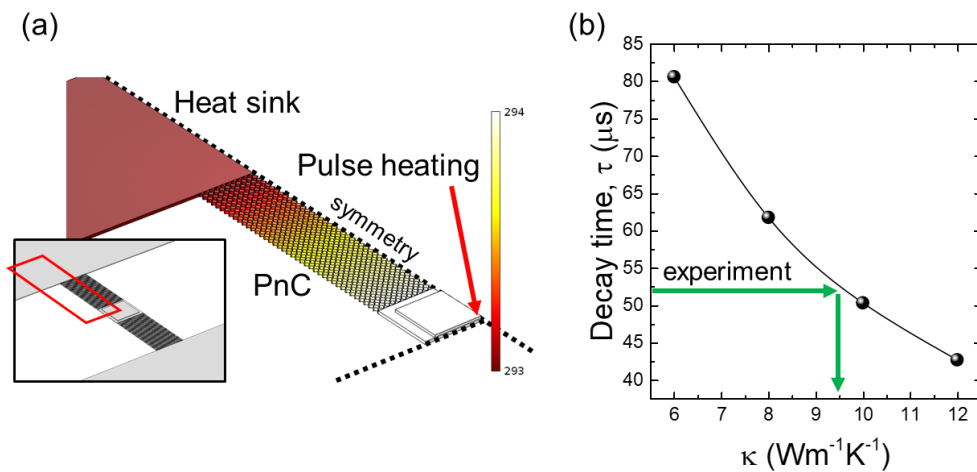


Fig. 3.4 Finite element method simulation for thermal conductivity measurement.



## 第4章 ナノ構造化シリコン薄膜における

### 熱電変換性能指数の最適化

本章では、フォノンニック結晶ナノ構造を作製した多結晶シリコン薄膜について、熱伝導率及び電気伝導率の測定を行い、性能指数の  $ZT$  を向上するためのナノ構造寸法について最適化を行った結果について述べる。

#### 4.1 試料の作製と電子顕微鏡観察結果

試料は厚さ 300 nm の多結晶シリコン層を活性層に持つ SOI ウェハ上に作製され、埋込酸化膜の厚さは 2.5  $\mu\text{m}$ 、シリコン基板の厚さは 525  $\mu\text{m}$  である。p 型キャリアとしてホウ素をドーパした試料と n 型としてリンをドーパした試料を用意し、熱アニールによるキャリアの活性化を行った。この際、イオン注入のドーズ量とアニール時間を変えて試料を作製した。ナノ構造として周期 300 nm の円孔配列を作製し、配列の格子形状として、六方格子、正方格子、ハニカム格子の 3 種類を用い、それぞれについて円孔半径の異なるものをサーモフレクタンス法の試料については 8 つ、四端子測定用の試料については 5 つ作製し、また比較用にナノ構造のない試料も作製した。

作製した試料の走査型電子顕微鏡写真を図 4.1 に示す。サーモフレクタンス法の試料は酸化膜層のエッチングにより、ブリッジ構造となっており、中央のアルミパッドに対してポンプとプローブのレーザが照射され、測定が行われる。四端子測定用の試料は、測定部分の電氣的絶縁のために、配線が形成される長方形領域を残してその周囲のシリコン層は除去されている。4 つの配線のうち、外側の配線間に電流が印加され、内側の配線間にて電圧を測定することで、配線の電気抵抗の影響を除いて、内側の配線間の抵抗（ナノ構造薄膜部分の抵抗）が測定される。

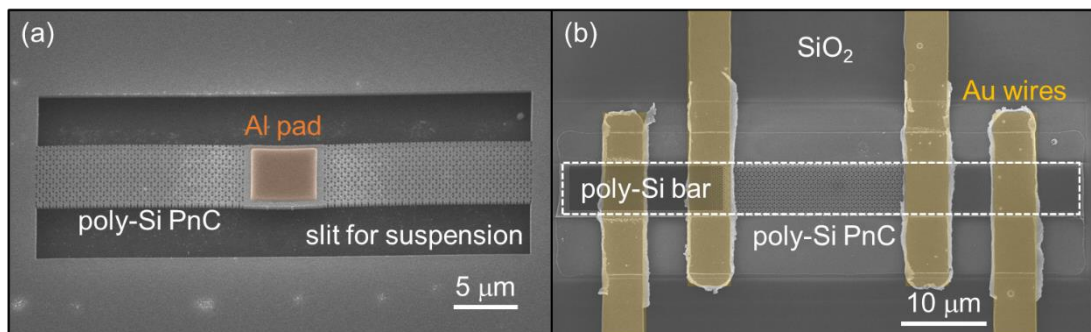


Fig. 4.1 SEM photos of samples for (a) TDTR measurement and (b) four probes measurement.

図 4.2 に作製したフォノンニック結晶ナノ構造の走査型電子顕微鏡写真を示す。円孔配列の周期はどれも 300 nm であるのに対して、円孔半径は 30 nm ~ 120 nm の間で異なる。近接する 2 つの円孔の間の最も短い距離はネックサイズ  $n$  と呼ばれ、周期を  $a$ 、半径を  $r$  とすると、 $n=a-2r$  で定義される。また、円孔による空隙率  $\phi$  は、それぞれの結晶格子について次のように定義される。

$$\phi_{hexagonal} = \frac{2\pi r^2}{\sqrt{3}a^2} \quad (4.1)$$

$$\phi_{square} = \frac{\pi r^2}{a^2} \quad (4.2)$$

$$\phi_{honeycomb} = \frac{4\pi r^2}{3\sqrt{3}a^2} \quad (4.3)$$

ハニカム格子においては円孔の数が六方格子と比較して 1/3 少なくなっており、空隙率は同じ半径の円孔配列においては六方格子で最も大きく、ハニカム格子で最も小さくなる。

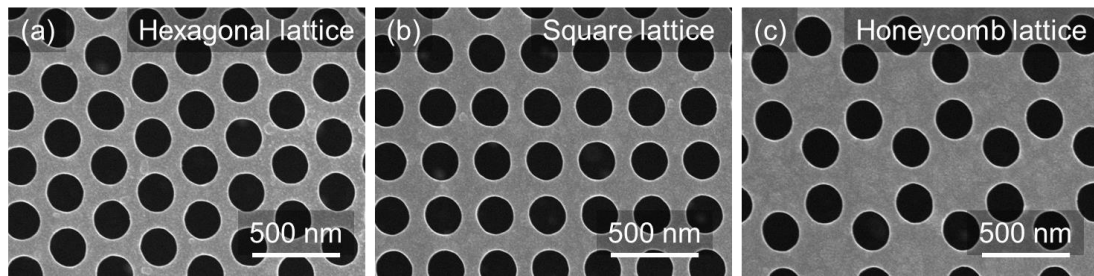


Fig. 4.2 (a-c) SEM photos of PnC nano structures with different lattice type.

## 4.2 試料の測定結果

### 4.2.1 パワーファクターのイオン注入ドーズ量依存性

キャリアドーピングのためのイオン注入において、注入ドーズ量を  $3, 9, 18 \times 10^{15} \text{ cm}^{-2}$  と変えて試料を作製し、窒素雰囲気下で 1000 °C、30 分間の熱アニールを行ったのち、ナノ構造を作製していない薄膜について電気伝導率とゼーベック係数の測定を行い、パワーファクターの計算を行った。結果を図 4.3 に示す。ドーズ量に対して、電気伝導率とゼーベック係数の異なる傾向が見られ、パワーファクターはドーズ量  $9 \sim 18 \times 10^{15} \text{ cm}^{-2}$  の間でピークをもつ傾向が見られた。ここから、素子作製においては  $18 \times 10^{15} \text{ cm}^{-2}$  ドーズ量を用いることとした。n 型と p 型を比較すると、電気伝導率は n 型が 3 倍程度高く、ゼーベック係数は p 型が 1.5 倍程度高いため、パワーファクターは n 型において高い値が得られた。他のシリコン薄膜熱電材料と比較して同程度のパワーファクターが得られている[23]。

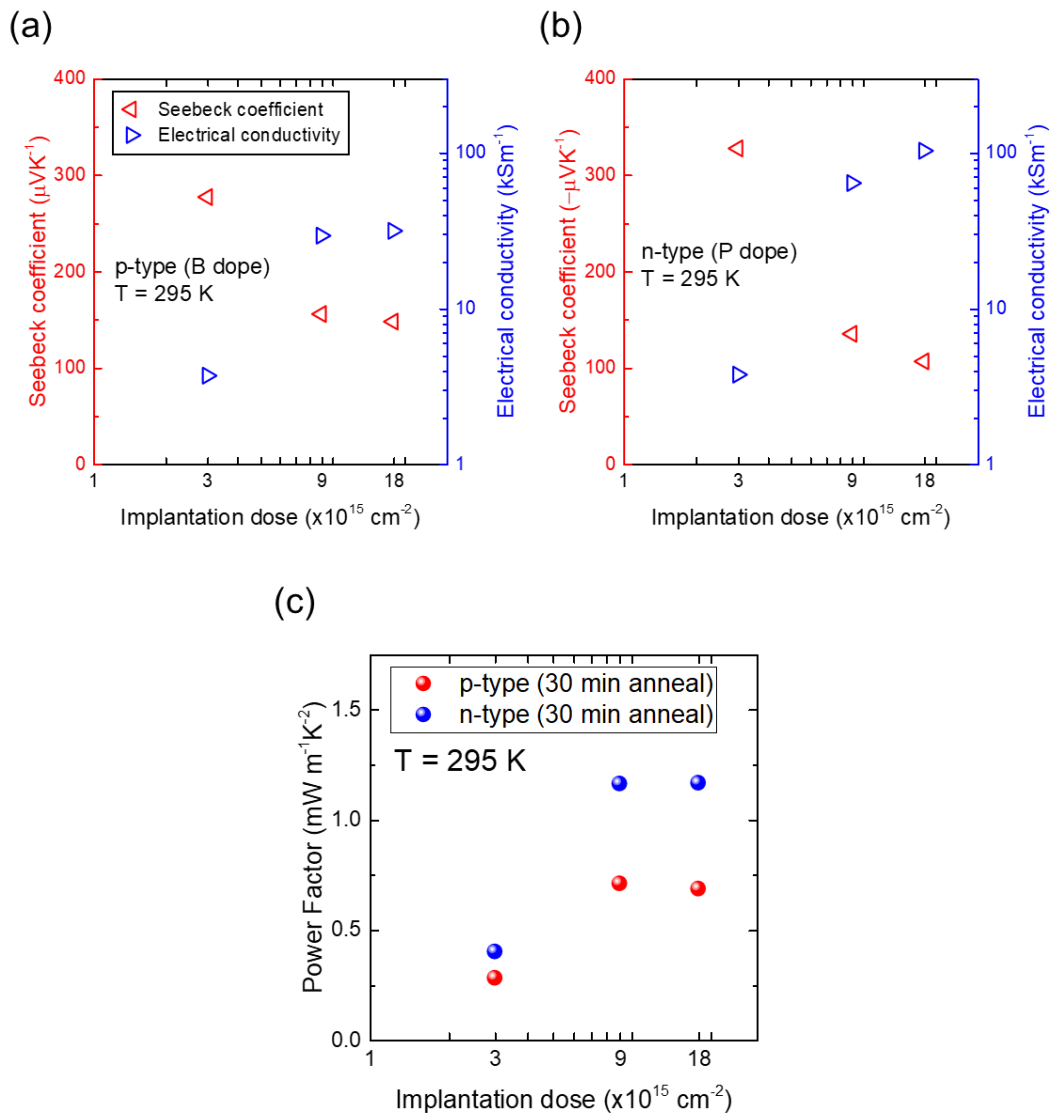


Fig. 4.3 Measured Seebeck coefficient and electrical conductivity for (a) p-type and (b) n-type poly-Si membrane as a function of implantation dose. (c) Calculated power factor of TE material.

#### 4.2.2 熱伝導率のアニール時間依存性

次に  $1.8 \times 10^{16} \text{ cm}^{-2}$  のドーズ量でイオン注入を行った試料について、アニール温度を変えて試料を作製し、熱伝導率とキャリア濃度の測定を行った。結果を図 4.4 に示す。図 4.4 (a)において、黒い点線はイオン注入前の多結晶シリコン薄膜の熱伝導率を示しており、赤い破線はイオン注入後、アニール前の熱伝導率を示している。イオン注入直後においては、多結晶シリコンの結晶が熔融し、非晶質のアモルファス状になっていると考えられ、それによって低い熱伝導率を示していると考えられる。また、図 4.5 に透過型電子顕微鏡によって観察された多結晶シリコン試料の表面観察結果を示す。ここでは、イオン注入前の試料において結晶粒が最も小さく、アニール後の p 型試料と比較して、30 分間アニール

を行った n 型試料では 200~300 nm 程度の大きな結晶粒が観察された。よって n 型試料において熱アニール時間を短くした試料では結晶粒径の成長が抑えられ、30 分間アニールした試料と比較して低い熱伝導率が得られていると考えられる。キャリア濃度の測定からは、熱伝導率の違いは電気キャリアによる熱伝導率の寄与では説明できず、結晶粒径の変化によるものだと考える。よって n 型熱電材料の作製においてはアニール時間を 1 分間にすることとし、プロセス条件の最適化を行った。

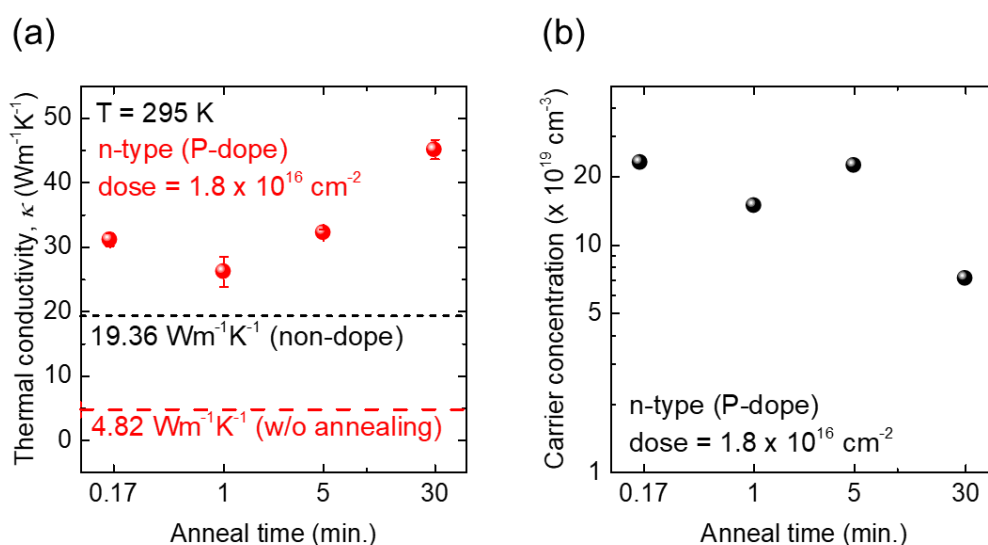


Fig. 4.4 Measured (a) thermal conductivity and (b) carrier concentration of poly-Si membrane for different implantation and anneal conditions.

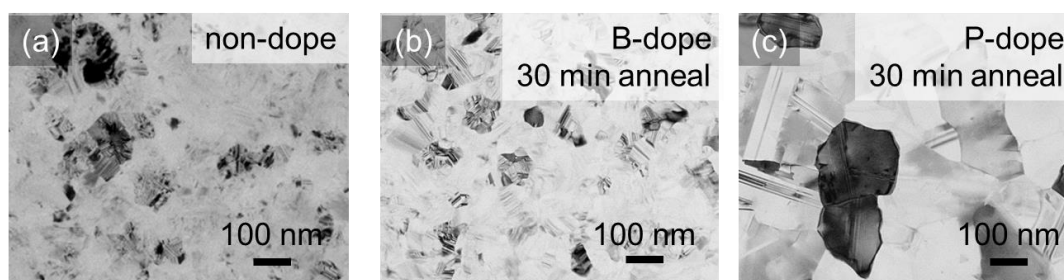


Fig. 4.5 Surface TEM photos of crystal grains in poly-Si samples.



### 4.2.3 熱電変換性能指数のナノ構造依存性

ここまで、ナノ構造を作製していない試料についてイオン注入ドーズ量とアニール時間の最適化を行った。ここからは、ナノ構造を作製した多結晶シリコン薄膜について、熱電変換性能指数のナノ構造格子形状、及び円孔半径に対する依存性を測定した結果について述べる。

図 4.6 にサーモフレクタンズ法で測定されたパルス加熱前後のアルミパッドの温度変化について、六方格子とハニカム格子のフォノン結晶について測定した結果を示す。六方格子においては円孔の数が多く空隙率が高いため長い熱散逸時間を示し、円孔半径が大きいほど空隙率が大きいため熱散逸時間が長くなる結果が得られた。

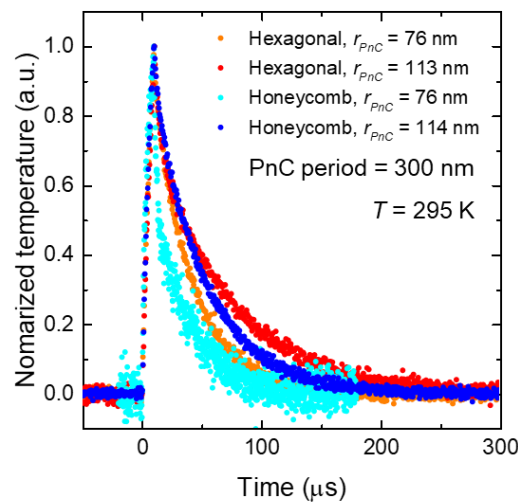


Fig. 4.6 Measured temperature variation in TDTR measurement for different PnC lattice types and hole radius.

測定された熱散逸時間と有限要素法を用いて得た熱伝導率の結果を図 4.7 に示す。(a-d) は p 型の試料、(e-h) は n 型で 30 分間アニールした試料、(i-l) は n 型で 1 分間アニールした試料についての結果であり、(a, e, i) と (b, f, j) はそれぞれ熱散逸時間を円孔半径と空隙率についてプロットした結果であり、(c, g, k) と (d, h, l) は熱伝導率についてそれぞれ円孔半径と空隙率に対してプロットした結果である。熱散逸時間は、半径の大きい六方格子において長くなるが、空隙率に対してみると、同じ空隙率においてはハニカム格子において長い傾向が得られた。熱伝導率については、円孔半径が大きく、フォノン結晶のネックサイズが小さくなるにつれて、3 つの格子形状において収束する傾向が見られ、空隙率についてみると、ハニカム格子においては六方格子と比較して小さな空隙率において同程度に低い熱伝導率が得られた。以前の報告にあるフォノン結晶中の熱伝導率に対するネック効果と同様の現象が起きていると考えられる[60]。

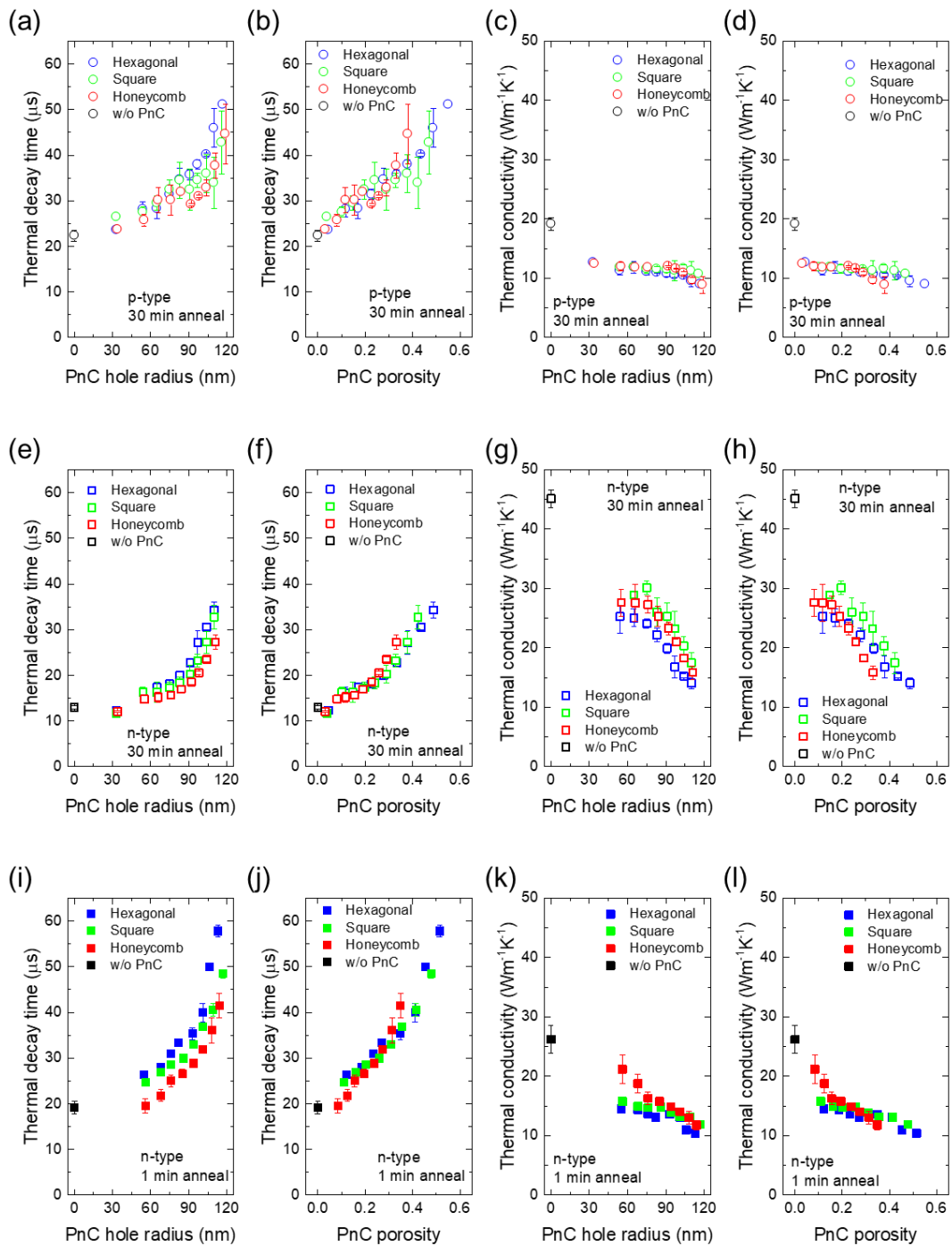


Fig. 4.7 Summary of measured thermal decay time and thermal conductivity as a function of PnC hole radius and porosity for different doping, anneal condition and PnC lattice types.

次に電気抵抗と電気伝導率の測定結果について図 4.8 に示す。ここで、各図の配置は図 4.7 と同様であり、電気伝導率は測定された電気抵抗  $R_{PnC}$  からフォノン結晶薄膜の厚さ  $h$ 、幅  $w$ 、長さ  $L$ 、及び空隙率  $\phi$  から式(4.4)を用いて計算した。

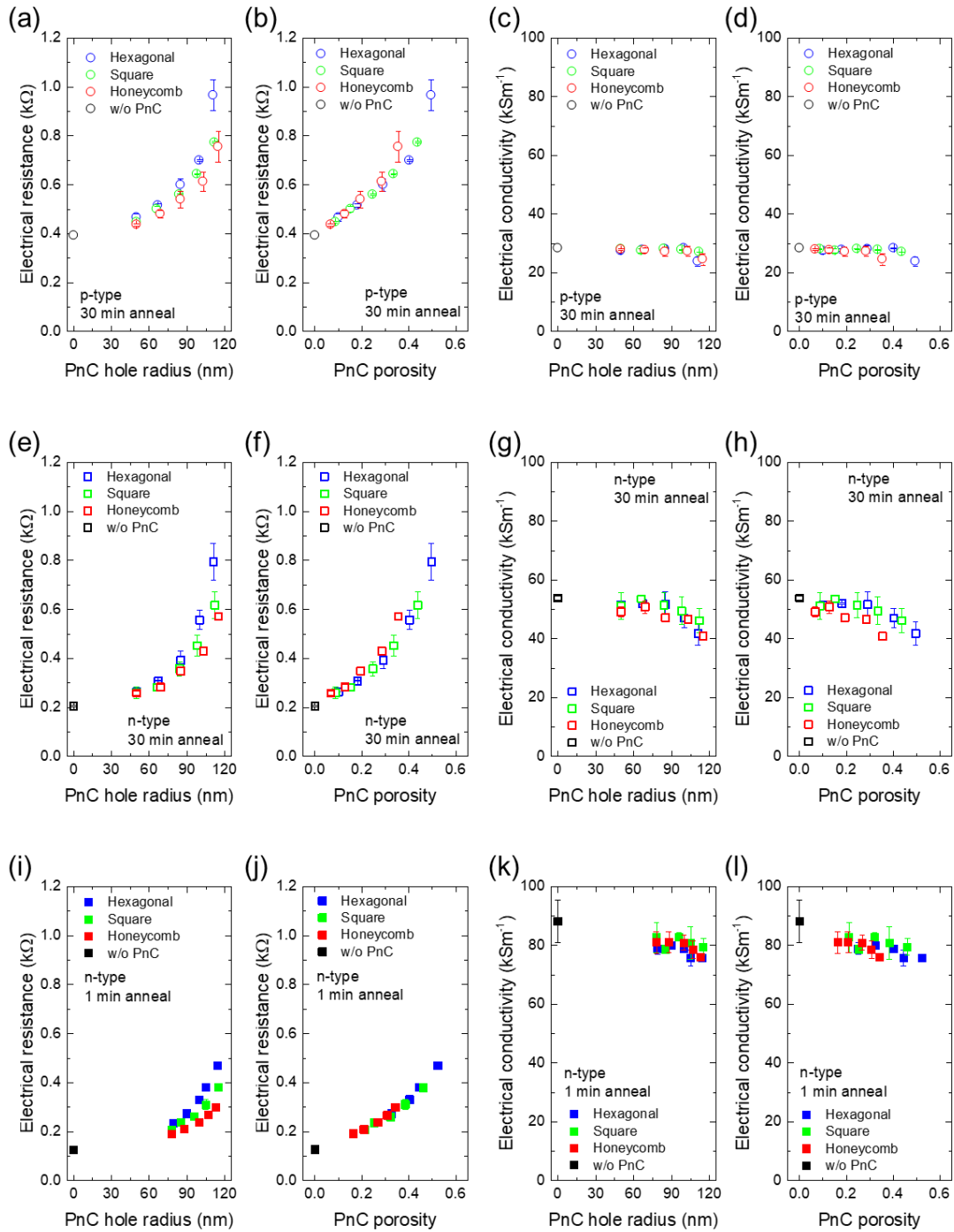


Fig. 4.8 Summary of measured electrical resistance and electrical conductivity as a function of PnC hole radius and porosity for different doping, anneal condition and PnC lattice types.

$$\sigma_{pnc} = \frac{L}{R_{pnc}wh} \times \frac{(1-\phi)}{(1+\phi)} \quad (4.4)$$

フォノン結晶の電気抵抗は格子形状に依らず空隙率に対して同一の傾向を示している。これは電気キャリアの平均自由行程が今回作製したナノ構造寸法よりも短いためであると考えられる。電気伝導率についても、熱伝導率の結果と比較して、格子形状に対する依存性は小さく、円孔半径が 100 nm 以上となり、周期が 300 nm であることからネックサイズが 100 nm 以下になる領域においては電気伝導率が低下する結果が得られた。

最後に薄膜試料のゼーベック係数を用いて、熱電変換性能指数  $ZT$  を計算した結果を図 4.9 に示す。空隙率に対するプロットにおいては、ナノ構造を作製していない試料の  $ZT$  を残っている体積  $(1-\phi)$  で割った値を破線で示しており、この線上では例えば  $ZT$  が 2 倍になった時に体積が半分になっており、ナノ構造化材料の性能指標としては破線より上にある試料が素子応用において有効であると考えた。各格子形状について比較すると、今回の測定結果では大きな差は見られないが、ハニカム格子においては常に破線より上にあり、円孔半径の大きいハニカム格子フォノン結晶が最も有効な熱電材料であると考えられる。

$ZT$  の値として n 型でアニール時間を 1 分間とした試料において、ナノ構造を作製することで  $ZT=0.02$  を達成した。

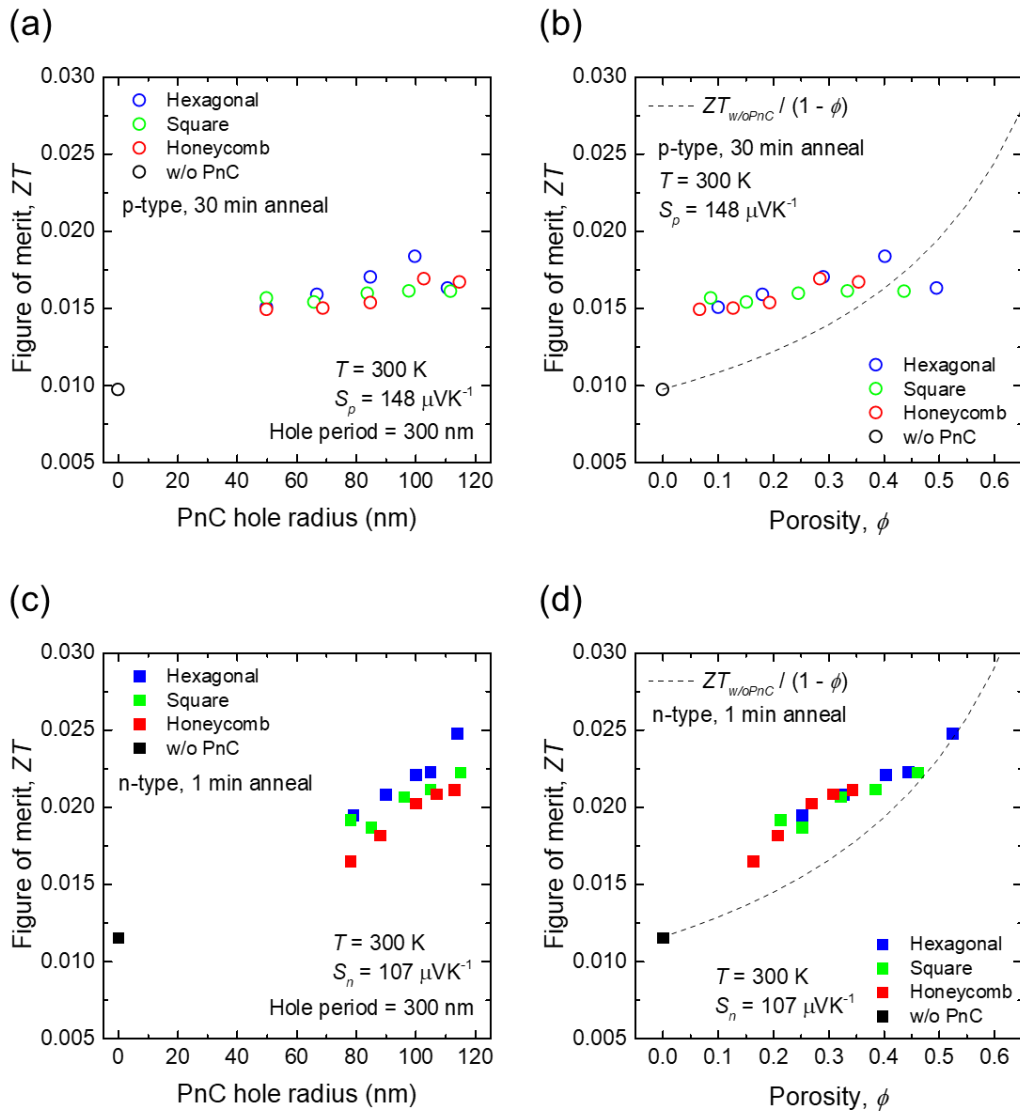


Fig. 4.9 Measured thermoelectric figure of merit  $ZT$  for p-type and n-type poly-Si PnCs.

### 4.3 本章のまとめ

- フォノンニック結晶ナノ構造を有する多結晶シリコン薄膜を作製し熱電変換性能指数の評価を行った。
- イオン注入ドーズ量について、パワーファクターの測定から最適化した。
- n型試料の熱アニール時間について、熱伝導率の測定と結晶粒径観察から最適化を行った。
- フォノンニック結晶ナノ構造について熱伝導率及び電気伝導率の測定から熱電変換性能指数を評価し、空隙率に対して最も高い性能を示すハニカム格子が最適であると結論した。



## 第5章 フォノンニック結晶ナノ構造を用いた

### 平面型熱電変換素子の作製と評価

前章では多結晶シリコン薄膜について、熱電変換性能指数を最大化するナノ構造寸法の探索を行った。本章では、ナノ構造化シリコン薄膜を用いて熱電発電素子の性能向上を実証した実験結果について述べる。

#### 5.1 平面型ユニレグ熱電変換素子の設計

本研究ではシリコン薄膜を熱電材料とする平面型熱電発電素子の開発を行った。図 5.1 に本章で扱う熱電発電素子の模式図を示す。平面型熱電発電素子においては、素子面直方向の温度差 $\Delta T_{DEV}$ から素子面内に温度差 $\Delta T_{TE}$ を取り出すことが重要であり、これまで熱電材料層の下部にキャビティ構造を設けることで熱電材料の一端を熱的に分離し温度差を取り出す素子が報告されている[31], [61], [62]。本研究ではシリコン薄膜熱電材料層の下に埋込酸化膜を持つ SOI 基板上に素子を作製し、埋込酸化膜の一部をエッチングすることで両持ち梁状のブリッジ構造となる素子を考案した。特徴として、熱電材料層のシリコン薄膜に前章で述べたフォノンニック結晶ナノ構造を作製することで材料の性能指数  $ZT$  を高めていること、ナノ構造化薄膜の高い熱抵抗によって面内により大きな温度差を取り出せる点が挙げられる。また素子は全てリソグラフィベースのプロセスで作製可能であり、リソグラフィの回数を減らして作製のスループットを向上し素子のコストを低減するために、モノドーブの SOI に作製可能なユニレグ型となっている点も特徴的である。

今回、素子層として n 型にドーピングされた多結晶シリコン薄膜を用い、金属配線にはチタンを界面に挟んだ金配線を用いた。素子の設計値を表 5.1 に示す。これらの値は以前の素子寸法シミュレーションの結果を考慮して決定した[63]。

シリコン薄膜へのナノ構造の作製による性能向上を実証することを目的として、素子の作製においてはシリコン薄膜部分にナノ構造を有するものとナノ構造のないものを作製し、外部温度差を与えた際の出力熱起電力及び素子の内部抵抗から算出される発電量によって評価を行った。

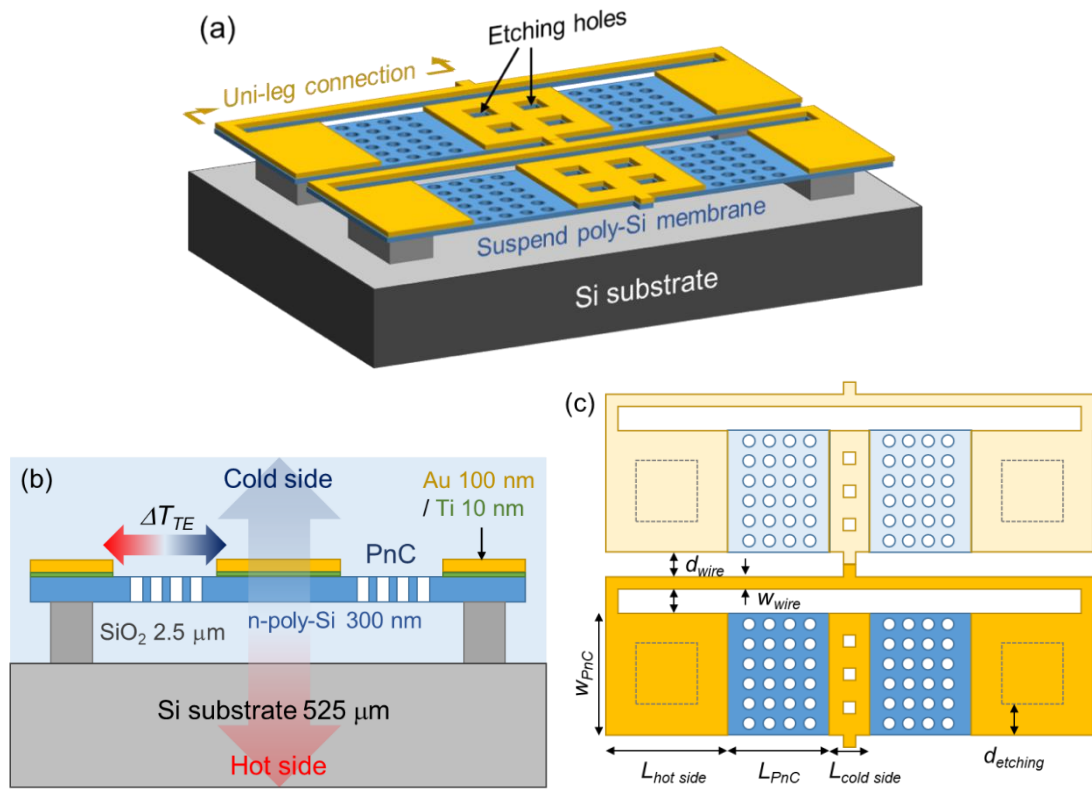


Fig. 5.1 Schematic picture of a planar-type uni-leg TEG. (a) Two units of TEG with PnC nanostructures. (b) Cross-section view of a unit of TEG. Si membrane is suspended with SiO<sub>2</sub> supporting pillars so that more temperature difference is induced from the temperature difference in vertical direction. Each unit is connected by Au wires and Ti interfacial layers.

Table 5.1 Structural dimensions of TEG

$L_{PnC}$	6 or 9 $\mu\text{m}$
$W_{PnC}$	12 $\mu\text{m}$
$L_{hot\_side}$	12 $\mu\text{m}$
$L_{cold\_side}$	4.5 $\mu\text{m}$
$W_{wire}$	300 nm
$d_{wire}$	2.35 $\mu\text{m}$
$d_{etching}$	$\sim 1.5$ $\mu\text{m}$
PnC period	300 nm



## 5.2 試料の作製

試料は厚さ 300 nm の多結晶シリコンを活性層にもつ SOI ウエハ上に作製される。4 インチのウエハを 14 mm 角程度の小片に切り出し、そのうちの中央 9 mm 角程度の領域を用いて試料の作製を行った。図 5.2 に全作製工程を示す。まず素子層にキャリアをドーピングするため、リンをドーピング  $1.8 \times 10^{16} \text{ cm}^{-2}$ 、注入エネルギー 120 keV でイオン注入し、ドーパントを活性化するために窒素雰囲気中で 1000°C、1 分間の熱アニールを行った（工程 1）。

次に電子線描画と電子線蒸着を用いてチタン 10 nm と金 100 nm の配線を真空蒸着した（工程 2）。ここでチタンは金とシリコンの間の界面材料である。続いて再び電子線描画を用いてナノ構造及びエッチングスリットのパターンをレジストに作製し、プラズマエッチングによってシリコン薄膜上にナノ構造を作製した（工程 3）。素子層は均一にドーピングされているため、ナノ構造の作製と同時に素子と配線に沿って素子分離のためのスリットも形成された。

最後に気相フッ酸エッチングによって埋込酸化膜層を、ブリッジ両端の下部を除いてエッチングし、両持ち梁状のブリッジ構造を作製した（工程 4）。素子の寸法として、ナノ構造化薄膜の幅を 12  $\mu\text{m}$ 、長さは 6 or 9  $\mu\text{m}$  とし、エッチングホールの間隔を 3  $\mu\text{m}$  以下にすることで、酸化膜のエッチングについて水平方向 1.5  $\mu\text{m}$  程度のエッチングで完了できるように設計した。この際、ブリッジ両端については酸化膜が残るようにエッチングホールは作らず、大きさを 12  $\mu\text{m} \times 12 \mu\text{m}$  とした。また配線については、金の電気伝導率はドーピングしたシリコンよりも 100 倍以上高いため、専有面積を節約するため幅をできるだけ細くして 300 nm とし、素子を密に集積できるようにした。

作製した素子試料の光学顕微鏡写真を図 5.3 に示す。一つの素子に 40 の単位素子が集積されており、8 つの測定用電極が繋がっている。単位素子は 10 ずつ 4 列で構成され、各列で接続の向きが異なるため、折り返して 40 の直列接続となっている。電極のペアを変えることで、直列数を 10、20、40 と変えて測定が行われる。図 5.4 に素子の走査型電子顕微鏡写真を示す。素子面内高温側の配線の下に酸化膜層が残っており、両持ち梁構造になっていることが確認できる。またフォノンニック結晶部分は周期 300 nm のハニカム格子円孔配列となっており、試料によって 3 種類の異なる半径を持っている。走査型電子顕微鏡によって測長した円孔半径はそれぞれ 74、92、133 nm であった。

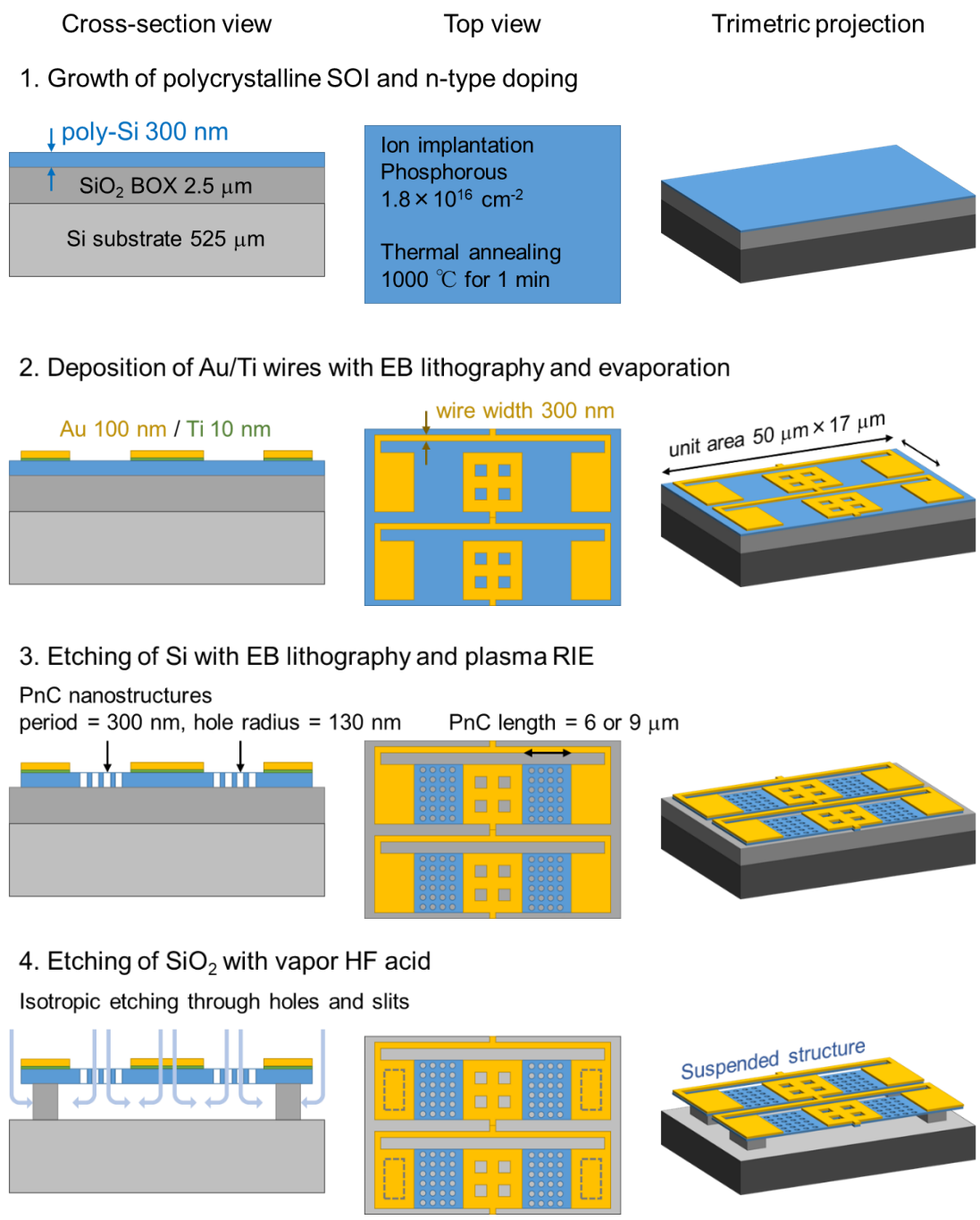


Fig. 5.2 Fabrication process for the planar-type uni-leg TEG. For each step, the left picture shows cross-section view of a unit device, the middle one shows top view, and right one shows trimetric projection of two units. Fabrication steps can be divided into four steps including two e-beam lithography steps.

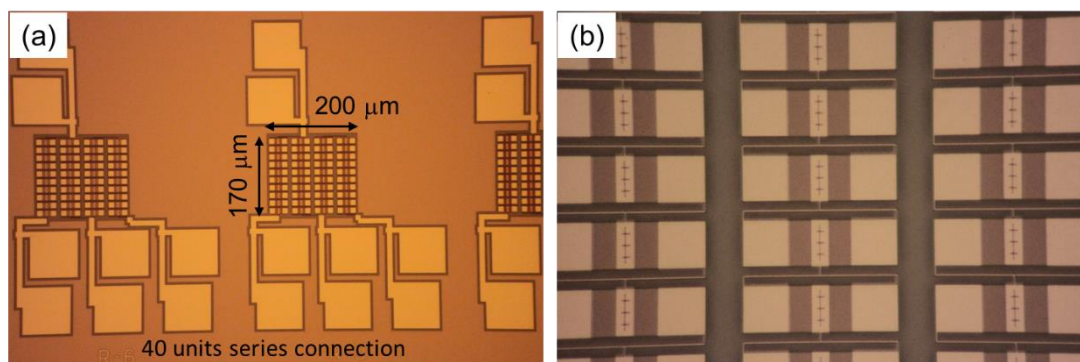


Fig. 5.3 Optical microscope photos of fabricated device. (a) Each device is composed of 40 units of device in  $170\text{ }\mu\text{m} \times 200\text{ }\mu\text{m}$  area and connected 4 pairs of electrodes. (b) In close view of device, each unit is connected in different direction from next column alternately.

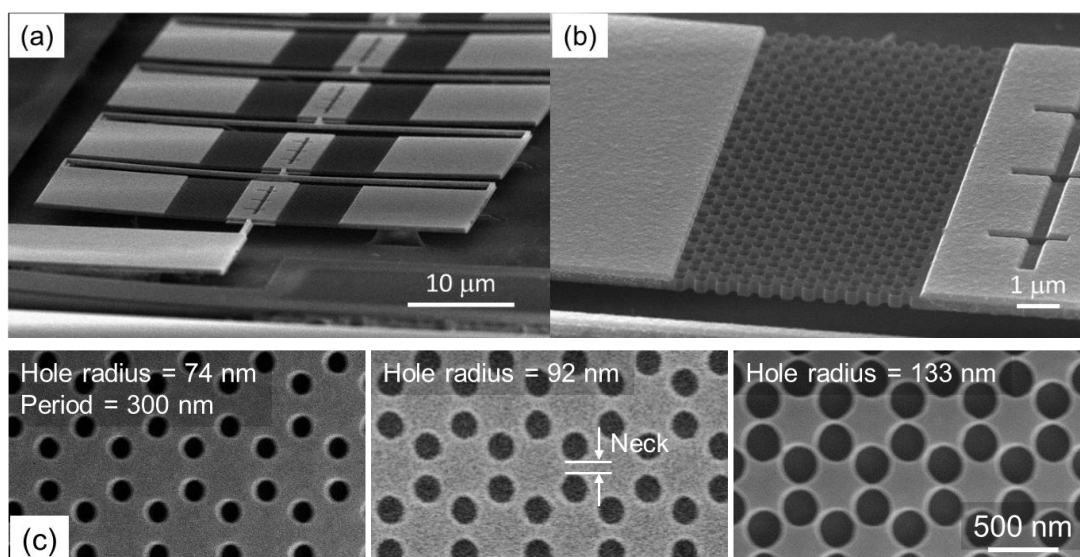


Fig. 5.4 SEM photos of fabricated device. (a) Tilted view of suspended devices and (b) closed view of nanostructured membrane with length of  $6\text{ }\mu\text{m}$  and width of  $12\text{ }\mu\text{m}$ . (c) Top view of fabricated 300-nm-period PnC nanostructures with different hole radius. Neck size of PnC nanostructure is defined as the distance between holes.

### 5.3 試料の測定結果及び考察

試料を作製した小片をペルチェ素子の温調ステージに乗せ、プローバーとソースメジャーユニットを用いて 4 端子法による内部電気抵抗の測定と熱起電力の測定を行った。熱起電力の測定は、室温 22°C 程度の大気中で温調ステージの温度を変化させることで、素子に面直方向の温度差を印加して行った。図 5.5 に測定の様子と、電圧測定における温度条件を示す。

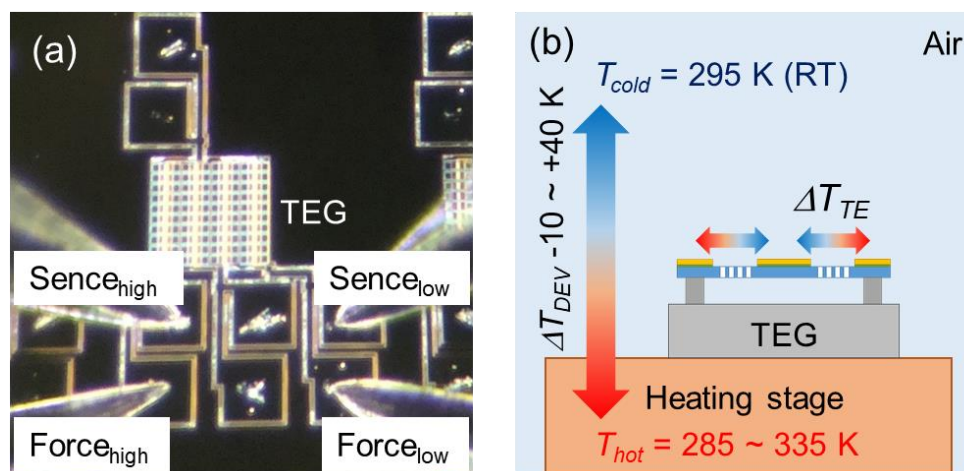


Fig. 5.5 (a) A photo of four probes measurement of TEG resistance. The total resistances of 10, 20, and 40 units of TEG are measured with different pairs of electrodes. (b) Schematic picture of the measurement configuration for thermoelectric voltage. The TEG is put on the heating stage and temperature difference  $\Delta T_{DEV}$  is applied by changing  $T_{hot}$ .

#### 5.3.1 素子内部電気抵抗の測定

図 5.6 に単位素子の電氣的な等価回路を示す。

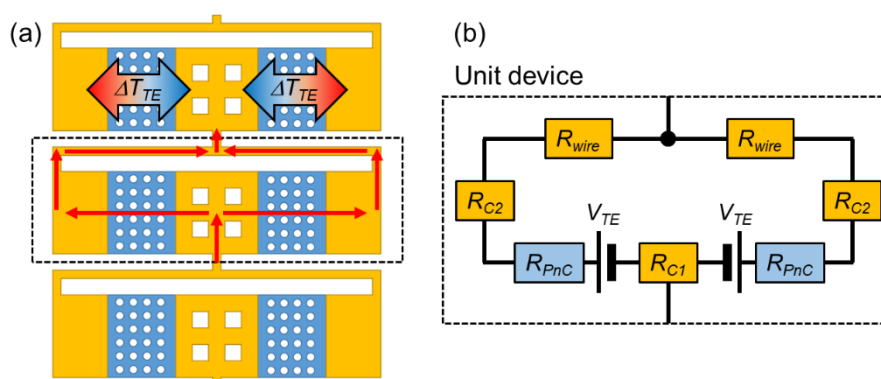


Fig. 5.6 (a) Schematic picture of electrical connection in TEG and (b) equivalent circuit for a unit device. The electrical resistance of TEG is composed of the resistance of PnC membranes, the resistance of Au wires, and the contact resistance between Si and Au interfaces.

単位素子の電気抵抗はブリッジ中央低温側のコンタクト抵抗と、シリコン薄膜、高温側のコンタクト抵抗、金配線が並列化した抵抗の和で表される。

$$R_{unit} = R_{C1} + 0.5 \times (R_{PnC} + R_{C2} + R_{wire}) \quad (5.1)$$

また、実際に測定される素子全体の抵抗は、直列数を  $N_{series}$ 、並列数を  $N_{parallel}$  として、次式のように表される。

$$R_{DEV} = R_{unit} \times N_{series} / N_{parallel} \quad (5.2)$$

ただし、本章で扱う素子においては全て並列数 1 である。

図 5.7 に、異なる直列数における素子全体の直列抵抗の測定結果を示す。抵抗は直列数によく比例しており、ここから単位素子の抵抗を見積もると、ナノ構造を作製した素子において  $181 \Omega$ 、ナノ構造の無い素子においては  $93 \Omega$  程度であった。

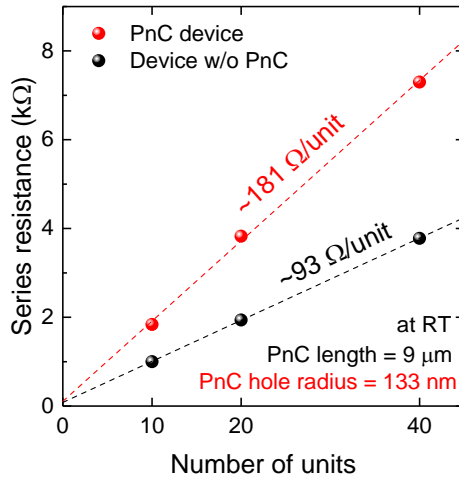


Fig. 5.7 Measured resistance of TEG with different number of units connected in series. Red spheres are for the resistance of TEG with PnC nanostructure and black spheres are for the device without PnCs.

単位素子の抵抗について、シリコン薄膜の長さが異なる試料や、ナノ構造の円孔半径が異なる試料について測定した結果を図 5.8 に示す。まず図 5.8 (a)において、シリコン薄膜部分の長さ依存性を見ると、長さ 0 に相当する y 軸との交点では  $R_{pnc}$  が 0 になると考えられるので、単位素子の抵抗におけるコンタクト抵抗の寄与を推定できる。ナノ構造を有する素子と無い素子においてややバラつきがあるが、コンタクト抵抗が  $70 \sim 90 \Omega$  程度、単位素子の抵抗のうち  $50 \sim 75 \%$  を占めていることがわかる。シリコンと金属配線のコンタクト抵抗を低減することが課題の一つである。次に図 5.8 (b)について、ナノ構造の円孔半径が大きくなるにつれて抵抗が大きく増加しているのは、円孔によってシリコン薄膜の体積が減少し、実効的な断面積が縮小しているためと、前章で述べたように円孔配列のネックが  $50 \text{ nm}$  以下

程度になると電気伝導率も大きく低減するためである。円孔半径 133 nm の場合、ハニカム格子において空隙率が 47.5 % であり、電気伝導率の低減が 20 % 程度とすると、ナノ構造部分の抵抗はナノ構造の無い薄膜と比べて 2.6 倍増加する。

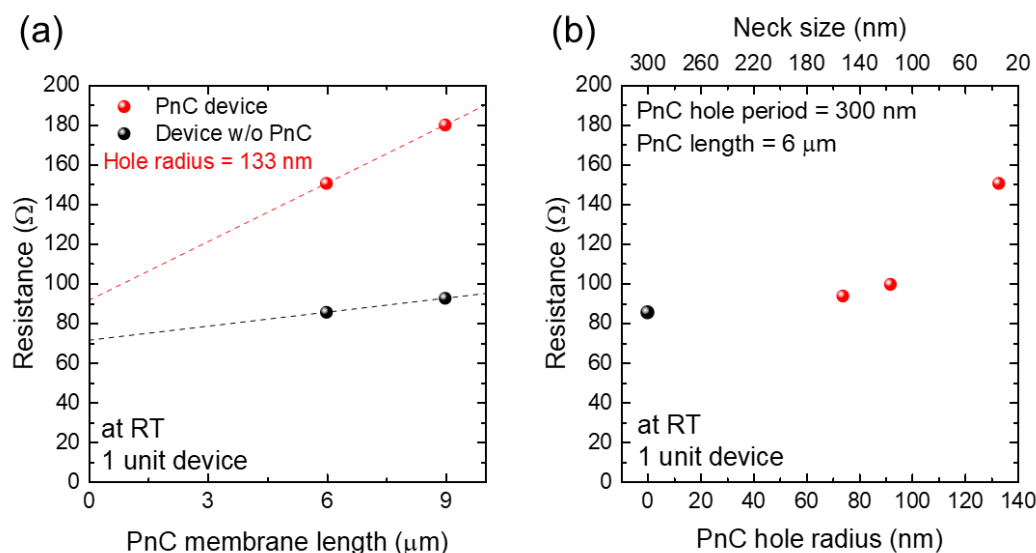


Fig. 5.8 Measured electrical resistance of unit device as a function of (a) PnC membrane length and (b) PnC hole radius. In figure (a), extrapolations of length dependence to the y-axis give the estimation of contact resistance between Au and Si.

### 5.3.2 熱起電力の測定

熱起電力の測定は、試料を置いた温調ステージの温度を変えて素子の面直方向に温度差  $\Delta T_{DEV}$  を  $-10 \sim +40$  K の範囲で与え、ソースメジャーユニットを用いて無電流時の開放電圧として測定を行った。図 5.9 (a) に  $\Delta T_{DEV}$  に対する開放電圧のプロットを示す。電圧は温度差に比例し、プロット群の傾きに注目すると、シリコン薄膜のナノ構造化によって電圧が 4 倍程度増加していることがわかる。これは等しく与えられた温度差  $\Delta T_{DEV}$  に対して、素子面内の温度差  $\Delta T_{TE}$  がナノ構造化素子においては増加していると考えられる。測定された電圧  $V_{OC}$  は、

$$V_{OC} = V_{TE} \times N_{series} = S_n \times \Delta T_{TE} \times N_{series} \quad (5.3)$$

と表されるため、シリコン薄膜のゼーベック係数  $S_n$  と素子の直列数から、面内に生じている温度差  $\Delta T_{TE}$  を推定することができる。ここで平面型熱電素子においては、素子に印加された温度差と、素子面内に生じる温度差の比  $\Delta T_{TE}/\Delta T_{DEV}$  が重要であり、今回の素子においては、ナノ構造化素子において 0.22 %、ナノ構造がないもので 0.06 % であった。この比率を大きくすることも課題の一つである。

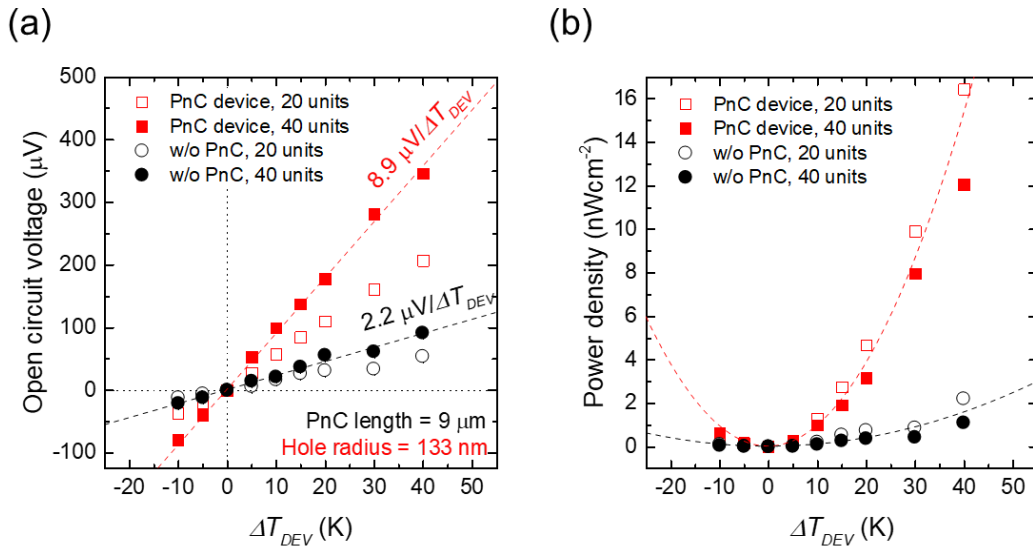


Fig. 5.9 Measured (a) open-circuit voltage and (b) power density of TEGs as a function of  $\Delta T_{DEV}$ .

図 5.9 (b)に素子外部温度差に対する発電量密度を示す。発電量密度  $P$  は素子の開放電圧  $V_{OC}$  と抵抗  $R_{DEV}$ 、そして素子が占有する面積  $A$  を用いて次式で計算される。

$$P = V_{OC}^2 / (4R_{DEV} \times A) \quad (5.4)$$

素子の性能指標として、温度差に対する発電量密度のプロットを放物線で近似した場合の係数を考えると、ナノ構造を作製した試料においては  $9.53 \times 10^{-3} \text{ nWcm}^{-2}\text{K}^{-2}$ 、ナノ構造の無い試料では  $9.78 \times 10^{-4} \text{ nWcm}^{-2}\text{K}^{-2}$  となっており、シリコン薄膜のナノ構造化によって発電量密度が 10 倍増加している。これは、ナノ構造化によって電気抵抗が 2 倍になっている一方で、電圧が 4 倍以上高いためである。

先の発電量密度の性能指数について、他の平面型シリコン熱電素子と比較すると、多結晶シリコン薄膜と上部キャビティ構造を用いた 2010 年の報告では  $7.5 \times 10^{-2} \text{ nWcm}^{-2}\text{K}^{-2}$ [31]、シリコンナノワイヤと上部ヒートシンク構造を用いた 2019 年の報告では  $6.5 \text{ nWcm}^{-2}\text{K}^{-2}$  とあり[64]、10 倍から 100 倍以上高い値となっている。これは主に今回の素子は上部に熱を逃がす構造が無いために  $\Delta T_{TE} / \Delta T_{DEV}$  の比率が低いことが原因と考えられる。

### 5.3.3 素子面内温度差についての考察

測定された面内温度差  $\Delta T_{TE}$  について、妥当性の検証とこれを改善するための方策を検討するために、図 5.10 に示すような熱抵抗分布モデルを考え、外部温度差が与えられた時の素子内温度差を評価した。表 5.2 に熱抵抗の計算に用いたパラメータと熱抵抗の値を示す。ナノ構造化シリコン薄膜とシリコン基板、酸化膜層については熱伝導による熱抵抗を、素子上部の空気については熱伝達率を用いて対流による熱抵抗を計算した。空気の熱伝達率には自然対流として  $h = 5 \text{ Wm}^{-2}\text{K}^{-1}$  を使い、対流に寄与する面積は単位素子の面積とした。またナノ構造化薄膜について円孔による体積減少を断面積の縮小として考慮して計算を行っ

た。素子上面から放射によって逃げる熱についても、放射による熱コンダクタンスの逆数として熱抵抗を計算して回路に組み込んだ。多結晶シリコン薄膜の放射率については、室温におけるプランク放射のピーク波長 $\sim 10\ \mu\text{m}$ に対して、文献から $\varepsilon = 0.55$ とした[65]。

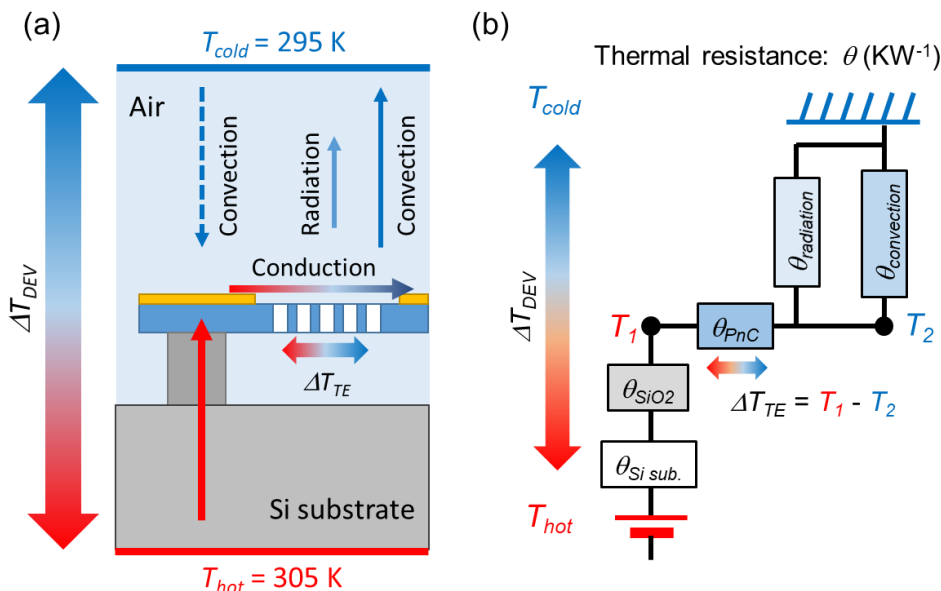


Fig. 5.10 Schematic picture and equivalent thermal circuit model for planar-type TEG between hot side and cold side heat sink.

Table 5.2 Parameters used in thermal resistance circuit model.

	Thermal conductivity $\kappa$ ( $\text{Wm}^{-1}\text{K}^{-1}$ )	Length $L$ ( $\mu\text{m}$ )	Cross section $A$ ( $\mu\text{m}^2$ )	Porosity $\phi$	Thermal resistance $\theta$ ( $\text{KW}^{-1}$ ) = $L/(\kappa A(1-\phi))$
Si PnC, $r = 133\ \text{nm}$	10	9	3.6	0.475	$4.77 \times 10^5$
Si PnC, $r = 92\ \text{nm}$	14	9	3.6	0.227	$2.31 \times 10^5$
Si PnC, $r = 74\ \text{nm}$	16	9	3.6	0.147	$1.83 \times 10^5$
Si w/o PnC	26	9	3.6	-	$0.96 \times 10^5$
SiO <sub>2</sub> pillar	1.38	2.5	81	-	22400
Si substrate	130	525	425	-	9500
	Heat transfer coefficient $h$ ( $\text{Wm}^{-2}\text{K}^{-1}$ )		Effective area $A$ ( $\mu\text{m}^2$ )		Thermal resistance $\theta$ ( $\text{KW}^{-1}$ ) = $1/(hA)$
Air convection	$\sim 5$ for natural convection		425		$4.71 \times 10^8$
	Emissivity $\varepsilon$ for $\lambda \sim 10\ \mu\text{m}$	Effective area $A$ ( $\mu\text{m}^2$ )		Thermal resistance $\theta$ ( $\text{KW}^{-1}$ ) = $\Delta T_{\text{DEV}}/\sigma\varepsilon A(T_{\text{hot}}^4 - T_{\text{cold}}^4)$	
Radiation from Si	0.55	56.7		$5.24 \times 10^9$	
Radiation from Au	0.03	27		$2.02 \times 10^{11}$	

$$\sigma = 5.67 \times 10^{-8} \text{Wm}^{-2}\text{K}^{-4}$$

表 5.2 に示す熱抵抗の計算結果から、まず放射について、対流による熱抵抗と比較して 10 倍以上大きく、室温付近で温度差が小さい系では、放射の影響は対流と比較して 1%以下程



度であると考えられる。よって素子面内においてブリッジ中央の冷却に寄与する熱輸送は対流が支配的であると考えられる。熱抵抗回路において、素子面内の温度差 $\Delta T_{TE}$ はノード $T_1$ と $T_2$ における温度の差として与えられる。ここで酸化膜層とシリコン基板の熱抵抗は、薄膜部分と対流の熱抵抗と比較して十分小さく、 $T_1 \neq T_{hot}$ と考えられ、対流の熱抵抗が薄膜部分の熱抵抗より1000倍以上大きいため、熱抵抗比 $\theta_{PnC} / \theta_{convection}$ が温度差の比 $\Delta T_{TE} / \Delta T_{DEV}$ を与えると考えられる。

図 5.11 に測定された面内・外部温度差比 $\Delta T_{TE} / \Delta T_{DEV}$ と計算した熱抵抗比 $\theta_{PnC} / \theta_{convection}$ のナノ構造円孔半径に対するプロットを示す。実験による測定値と計算値を比較すると、絶対値は異なるが、オーダー及び傾向においてよい一致が見られる。ナノ構造化による熱抵抗の増加が温度差比の向上につながっていると考えられる。一方で対流による熱抵抗が熱伝導と比べて4桁大きいいため、温度差の比 $\Delta T_{TE} / \Delta T_{DEV}$ が1%以下と非常に小さいと考えられ、素子上部の熱抵抗を低減するために熱設計の改善が必要である。

また、図 5.11 中の破線は熱抵抗の計算においてナノ構造化による熱伝導率の低減を考慮せず、体積減少のみを考慮したモデルを示しており、実験結果とは乖離が見られる。これは今回のナノ構造化による面内温度差の改善が、体積減少によるものではなく、ナノ構造化によって効果的に熱伝導率を低減した結果であることを示している。

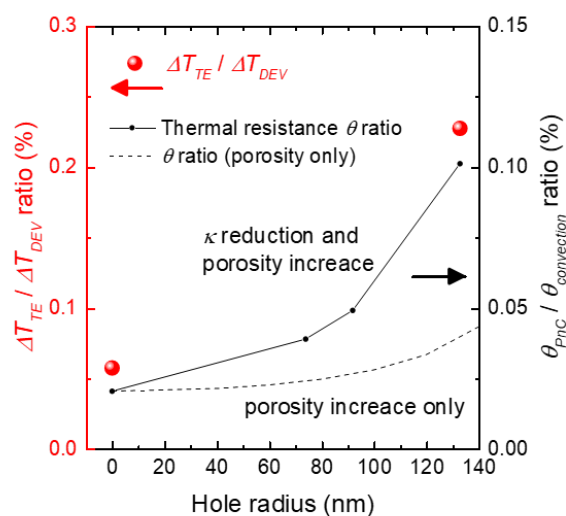


Fig. 5.11 (left axis) Measured temperature difference ratio between one in the device and one applied outside of the device plotted as a function of hole radius. (right axis) calculated thermal resistance ratio between the resistance of Si membrane and the resistance of air convection.

## 5.4 本章のまとめ

- ナノ構造を作製したシリコン薄膜を用いた平面型熱電発電素子について、ユニレグ型の素子を考案し、リソグラフィプロセスを用いてこれを作製した。
- 素子の電気抵抗及び温度差を印加した際の熱起電力を測定し、ナノ構造によって素子の発電量密度を 10 倍向上できることを実証した。
- 熱抵抗モデルを用いた解析によって、ナノ構造による熱伝導率の低減が素子面内温度差の改善に効果的に働いていることを考察した。
- 課題として、金属配線とシリコン薄膜との間のコンタクト抵抗が大きいこと、対流の熱抵抗が非常に大きいため、上部熱設計を改善する必要があることを明らかにした。

## 第6章 キャップ構造の導入による発電量の向上

前章ではフォノンニック結晶ナノ構造を作製したシリコン薄膜を用いて平面型ユニレグ熱電発電素子を作製し、発電量密度の向上を実証した結果について述べた。リソグラフィを用いたトップダウンのナノ構造作製によって発電量が10倍向上した一方で、素子にかかる温度差のうち0.2%しか利用できていないという課題が明らかになった。本章では、素子内部抵抗の低減、及び上部キャップ構造によって素子面内温度差を改善したことで発電量を大きく向上した結果について述べ、最後にエネルギーハーベスト応用に向けた展望を述べる。

### 6.1 レジストスペーサを用いたキャップ構造作製の検討

ここまで述べてきた平面型熱電発電素子について、ブリッジ中央と低温側ヒートシンクの間での熱抵抗が材料部分の熱抵抗と比較して巨大であるため、材料部分において生じる温度差が小さいことが大きな課題であることを明らかにした。これを改善する方策として、以前に報告があるような上部キャビティ構造を作製し、ブリッジ中央部分と低温側のヒートシンクを固体熱伝導でつなぐことが有効である[31], [66]。本研究では、リソグラフィプロセスで作製できるトップダウン式の上部キャビティとしてフォトレジストスペーサとウエハ張り合わせを用いた構造を考案した。図6.1に、素子の模式図を示す。キャップウエハと素子層をつなぐために、ネガ型のフォトレジストであるSU8 (Kayaku Advanced Material 社)を用いてブリッジ中央に太い柱構造を作製し、キャップウエハを圧着することを検討している。先に報告のある素子上面に犠牲層を堆積させて上部キャビティを作製する手法より簡便に作製でき[31]、あらかじめキャップ側のウエハに構造を作りこんで張り合わせる手法では難しいマイクロスケールの素子に対してもキャビティ構造を作製できる[66]。

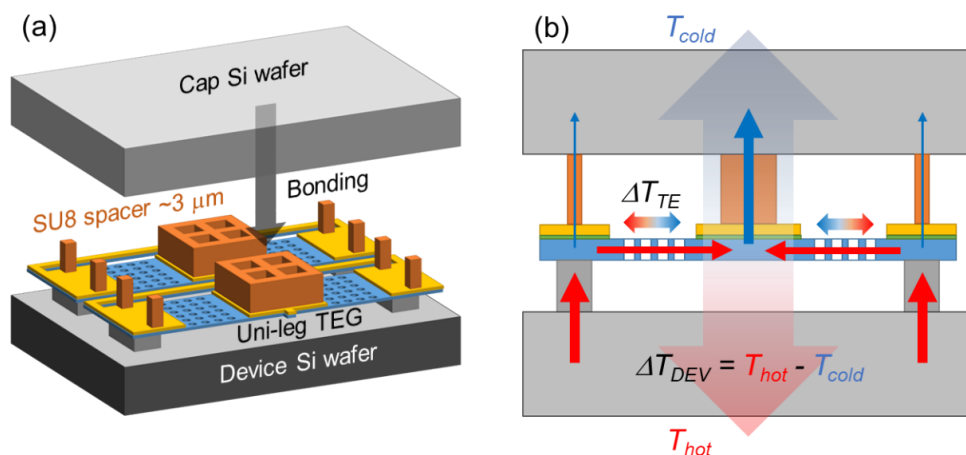


Fig. 6.1 (a) Conceptual picture of the cap bonding on the planar-type TEG with resist spacer to improve temperature difference induced in the device membrane. (b) Cross-section of the device after cap wafer is attached showing central thick resist help heat with dissipate into cold cap.

キャップウエハを張り合わせた素子について熱回路モデルを図 6.2 に、熱抵抗の計算に用いたパラメータを表 6.1 に示す。ここでブリッジ面内の高温側においても、キャップウエハを支持する用途で細い SU8 スペース (thin SU8) を配置した。第 5 章では、対流による熱伝達を用いたが、本素子ではキャップウエハの存在により自然対流を無視し、室温における空気の熱伝導率を  $0.03 \text{ Wm}^{-1}\text{K}^{-1}$  として熱伝導による熱抵抗を考慮している。また、素子の寸法を一部見直し、大きな変更としては、単位素子の電気抵抗を低減する目的で PnC 部分の幅  $w_{PnC}$  が  $12 \mu\text{m}$  から  $39 \mu\text{m}$  に、電子線描画ではなくレーザ描画を用いるために配線の幅  $w_{\text{wire}}$  が  $300 \text{ nm}$  から  $4.5 \mu\text{m}$  になっている。

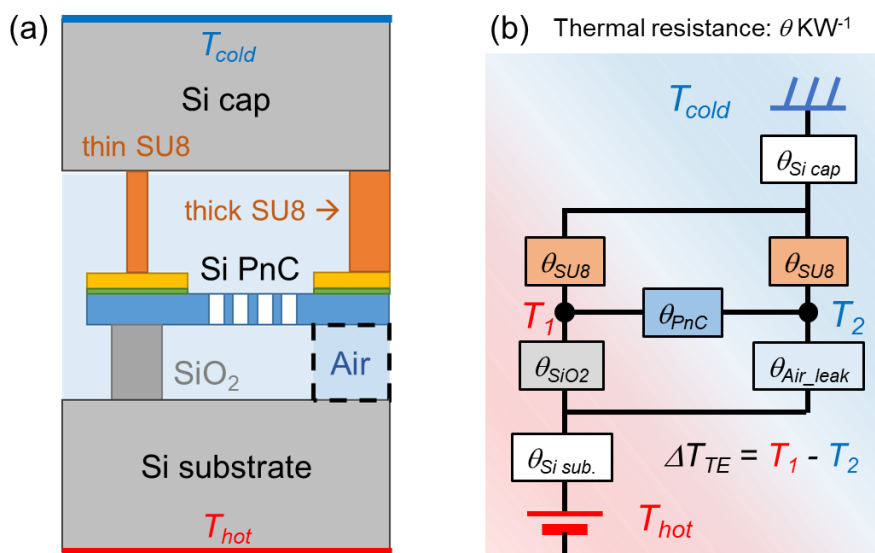


Fig. 6.2 Equivalent thermal circuit model for planar-type TEG with cap structure.

Table 6.1 Parameters used in thermal resistance circuit model.

	Thermal conductivity $\kappa (\text{Wm}^{-1}\text{K}^{-1})$	Length $L (\mu\text{m})$	Cross section $A (\mu\text{m}^2)$	Thermal resistance $\theta (\text{KW}^{-1}) = L/(\kappa A)$
Si membrane with PnC	11	12	8.1*	138000
Si membrane w/o PnC	26	12	11.7	39500
SiO2 pillar	1.38	2.5	406	4500
SU8 spacer (cold side)	0.38	3	438	18000
SU8 spacer (hot side)	0.38	3	32	246700
Air leak	0.03	2.5	438	190300
Si substrate and cap	130	525	2941	1400
Total with PnC	-	1056	2941	68000

\*considering the reduction of volume by PnCs

熱回路モデルにおいて、温度  $T_1$  と温度差  $\Delta T_{DEV}$  の比は上部合成抵抗と酸化膜の熱抵抗の比から次式で求められる。

$$\frac{T_1}{\Delta T_{DEV}} = \frac{\theta_{SU8\_hot}(\theta_{PnC} + \theta_{SU8\_cold})/(\theta_{SU8\_hot} + \theta_{PnC} + \theta_{SU8\_cold})}{\theta_{SiO2} + \theta_{Si\_sub} + \theta_{SU8\_hot}(\theta_{PnC} + \theta_{SU8\_cold})/(\theta_{SU8\_hot} + \theta_{PnC} + \theta_{SU8\_cold})} \quad (6.1)$$

同様に、 $T_2$  についても SU8 の熱抵抗と下部合成抵抗の比から次式で求められる。

$$\frac{T_2}{\Delta T_{DEV}} = \frac{\theta_{Air}(\theta_{PnC} + \theta_{SiO2})/(\theta_{Air} + \theta_{PnC} + \theta_{SiO2})}{\theta_{SU8\_cold} + \theta_{Si\_cap} + \theta_{Air}(\theta_{PnC} + \theta_{SiO2})/(\theta_{Air} + \theta_{PnC} + \theta_{SiO2})} \quad (6.2)$$

よって、温度差の比  $\Delta T_{TE}/\Delta T_{DEV}$  は、

$$\frac{\Delta T_{TE}}{\Delta T_{DEV}} = \frac{T_1}{\Delta T_{DEV}} - \frac{T_2}{\Delta T_{DEV}} = 0.9554 - 0.1964 = 0.759 \quad (6.3)$$

となり、外部温度差のうち 76% がシリコン薄膜面内に生じる見込みとなる。

よって本章の目的は、熱電素子に対してキャップ構造を作製し、熱起電力の測定から素子面内の温度差を評価、発電量の向上を実現することとする。また、配線材料を検討し、コンタクト抵抗の低減にも取り組む。

## 6.2 キャップ構造を有する熱電変換素子の作製

試料の作製プロセスを図 6.3 に示す。前章のプロセスとの違いは、多結晶シリコン層へのキャリア注入後、まず初めに電子線リソグラフィとプラズマドライエッチングを用いてナノ構造の作製を行う点であり、電子線リソグラフィを用いるのはこの 1 回のみとなっている。これは、将来の素子量産において電子線リソグラフィはスループットの低さからボトルネックとなるため、ナノインプリントリソグラフィによる置換を検討しており、研究開発段階においてはナノインプリントリソグラフィの複数回の位置合わせ描画は難しいと考え、ナノ構造の作製以外のプロセスにおいては全てレーザ描画あるいはフォトマスクを用いた一括露光によって作製できるものとした。

また、前章で課題として出た金属配線とシリコンの間のコンタクト抵抗を低減する目的で、配線に用いる材料をシリコン側からチタン、窒化チタン、アルミの順として配線の成膜を行った。チタンと窒化チタンの成膜にはスパッタ装置 (ULVAC 社製) を用い、スパッタガスとしてアルゴンを、窒化チタンの成膜には反応ガスとして窒素を分圧比  $\text{Ar} : \text{N}_2 = 10 : 3$  で加えて、RF パワー 100 W で成膜を行った。この際スパッタ前のバックグラウンド圧力は  $2 \times 10^{-4}$  Pa 以下に到達するまで真空引きを行うことで、酸素の混入を最小限に抑えられる。

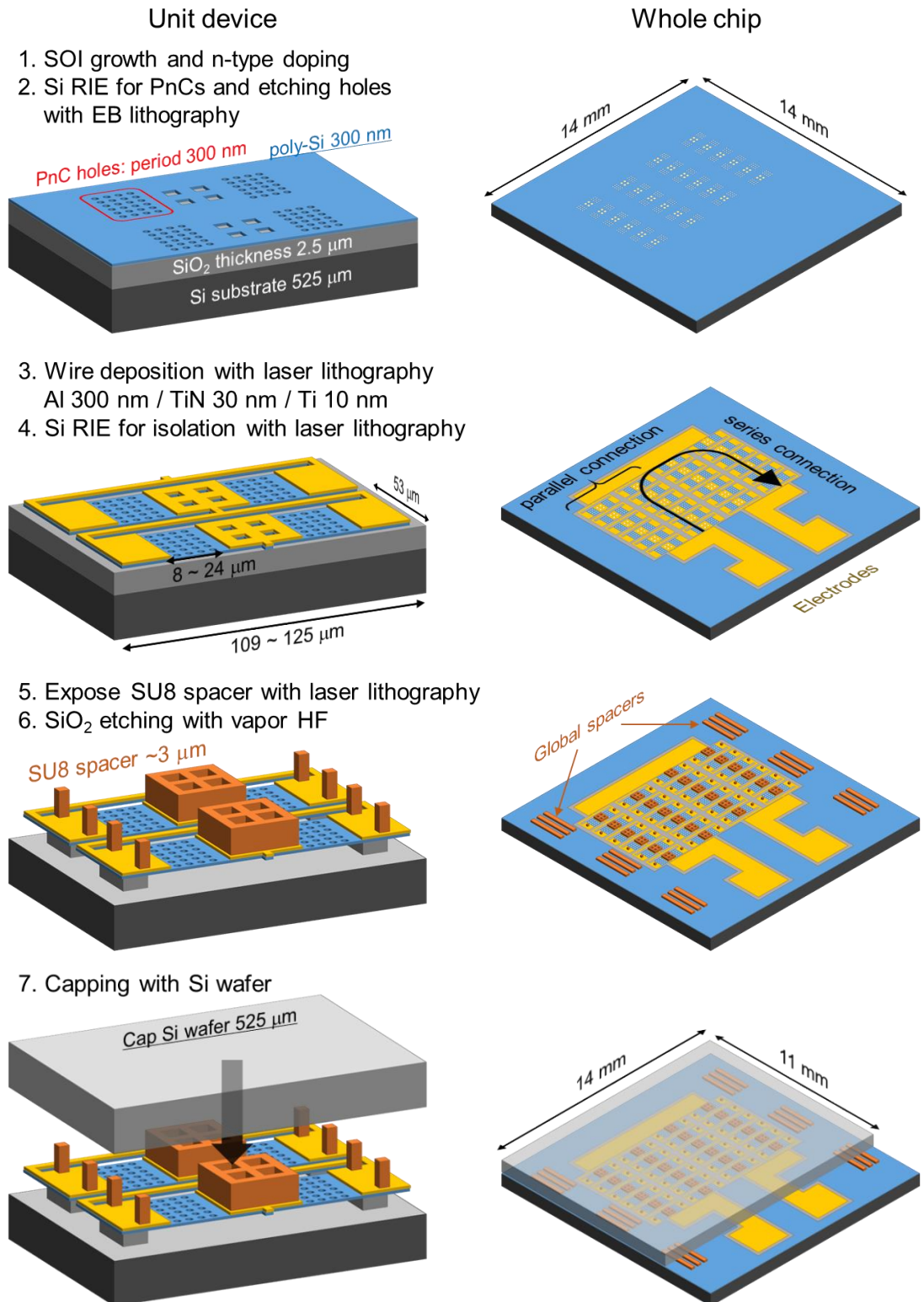


Fig. 6.3 Fabrication process for the planar-type TEG with cap structure. Left column shows the picture of unit devices while right pictures show the global view of whole chip. The number of EB lithography used in the process is reduced to only once.

配線の作製とシリコンエッチングによる絶縁分離を行ったのち、酸化膜のエッチングを行う前に SU8 レジストを用いてスペーサの作製を行った。SU8 レジストは 2000 rpm で 60 秒間スピコートされ、膜厚は約 3  $\mu\text{m}$  であった。95  $^{\circ}\text{C}$  のホットプレート上で 2 分間プリベークを行ったのち、レーザ描画装置のランプパワー 110 W、スピードを 4 分の 1 に落としさらに 4 回の繰り返し描画を行うことで、AZ レジストのドーズに対して 600 倍以上高いドーズ量で描画を行う。露光後、95  $^{\circ}\text{C}$  に設定されたホットプレート上で 2 分間ポストベークを行うことで、露光した部分に架橋構造が形成され、パーマネントな部材となる。現像はアセトンで 1 分間行ったのち、イソプロパノールで 1 分間リンスを行い、最後に 180  $^{\circ}\text{C}$  のホットプレート上で 2 分間ハードニングを行った。

その後、気相フッ酸を用いて酸化膜層のエッチングを行い、ブリッジ構造を作製するが、一部の試料はフッ酸エッチング前にも測定を行った。

以上のプロセスで作製した試料の光学カメラ写真と光学顕微鏡写真を図 6.4 に示す。図 6.4 (a)において、(1)赤枠で囲まれた試料が複数の熱電素子であり、(2)青枠は電気抵抗評価用の試料群、(3)は Hall 測定用のクローバー葉形 Van Der Pauw 試料、(4)は張り合わせ用のグローバルな SU8 スペーサの一部である。熱電素子から伸びている線は、キャップ構造を作製した後に素子の測定を行うための配線と電極である。図 6.4 (b)の顕微鏡写真では、前章とは異なり素子が並列化されていることが確認できる。発電量密度は変わらないが、並列化により素子の抵抗が低減される。

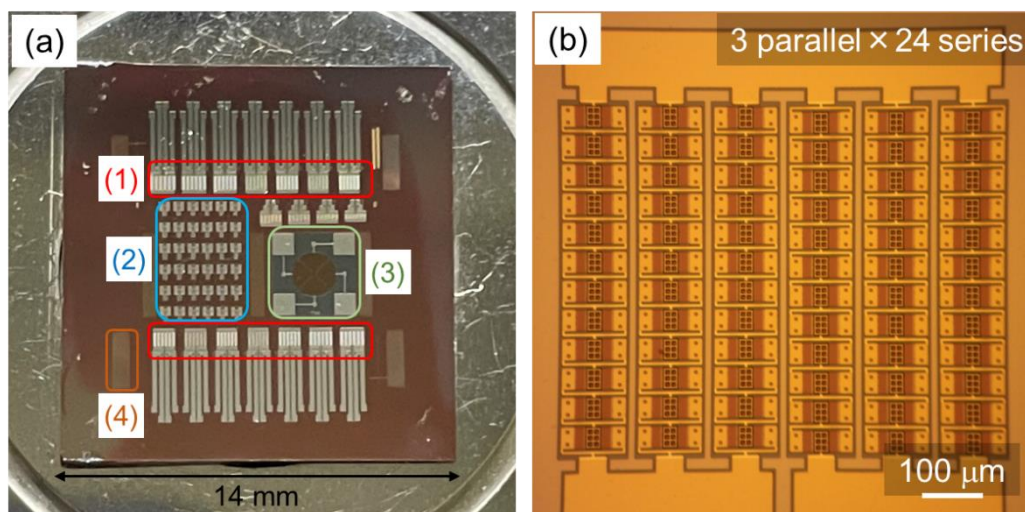


Fig. 6.4 (a) A photo of 14-mm-square chip composed of (1) TEGs, (2) test structures for resistance measurement, (3) Van Der Pauw sample for Hall measurement, and (4) SU8 spacers. (b) A microscope image of one of the TEG, in which 72 units are integrated.

作製した試料の電子顕微鏡写真を図 6.5 に示す。先に述べたように、ナノ構造以外のパターンは全てレーザ描画で作製されるため、配線幅が 4.5  $\mu\text{m}$  に、ブリッジ中央のエッチングホールも 6  $\mu\text{m}$  角の大きさになっている。それに伴いブリッジ部分の幅も 39  $\mu\text{m}$  に変更し、

面積に占める発電部分の割合が増えるように設計を更新している。また図 6.5 (d)に示した、浅い角度から撮影された写真を見ると、ブリッジ高温側のシリコン薄膜下に酸化膜層が残っていること、及び SU8 スペースが約  $3\ \mu\text{m}$  の高さで形成されていることが確認できる。

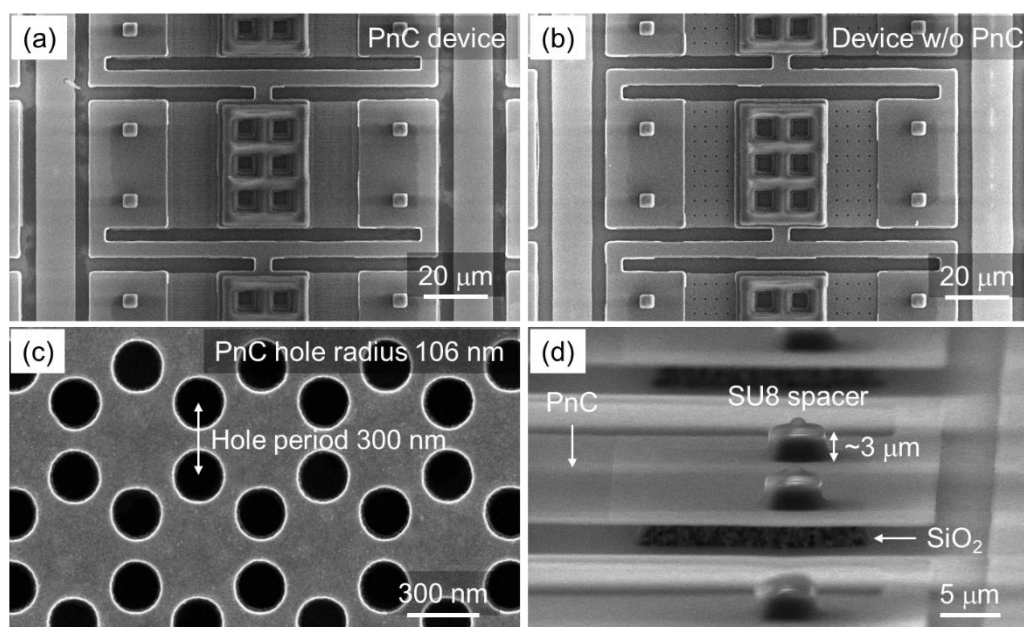


Fig. 6.5 SEM photos of fabricated TEGs (a) with PnC nanostructures and (b) without PnCs. (c) Closed photo of honeycomb lattice PnC. (d) A photo taken from tilted angle shows hot side of the bridge structure in unit device.

### 6.3 シリコン薄膜と金属配線の電気特性評価

図 6.6 に示すようなテスト試料を作製し、素子中のシリコン薄膜、金属配線の電気伝導率、及びコンタクト抵抗率の評価を行った。図 6.6 (b)に示す単位構造中の配線長さ、シリコン長さ・幅をパラメトリックに変えた試料を多数作製し、電気抵抗の掃引したパラメータに対する振舞いからそれぞれ評価した。

測定結果を図 6.7 に示す。まず図 6.7 (a)に示す、配線の長さのみを変えた試料の電気抵抗を測定した結果について、プロットの傾きから単位長さあたりの配線の抵抗がわかり、配線の形状パラメータから電気伝導率が計算される。今回成膜したアルミ配線の電気伝導率は  $1.1 \times 10^7\ \text{Sm}^{-1}$  程度と測定され、バルクアルミニウムの 3 分の 1 程度、シリコン薄膜と比較して十分高い値であった。アルミ配線の厚さが  $300\ \text{nm}$  であることと、真空蒸着の際に結晶粒のようなドメインに分かれて成膜されるため、バルクと比較して電気伝導率が低減していると考えられる。

次に、測定電流が通るシリコン部分について長さや幅を変えて電気抵抗を測定した結果を図 6.7 (b)に示す。ここで示した抵抗については、先の配線抵抗の測定結果から配線の寄与



を差し引いており、シリコン部分とコンタクト抵抗のみの寄与となっている。よって、各プロット群の長さに対する傾向を  $y$  軸に外挿することで、シリコン部分の抵抗を除いたコンタクト抵抗の寄与分を評価できると考えた。シリコン幅の異なる 3 つのプロット群について、それぞれの線形近似曲線の  $y$  切片をシリコン幅の逆数に対するプロットを図 6.7(c)にも示す (黒三角)。幅の増加に従って抵抗が低減している傾向は見られるが、理想的には原点を通る直線に乗るものであり、マイクロスケールのコンタクト抵抗の測定が難しいがうかがえる。

一方で、図 6.7 (b)の線形近似の傾きを幅の逆数に対してプロットしたものは (白三角)、原点を通る直線に乗る傾向が見られている。アルミ配線と同様に線形近似の傾きからシリコン薄膜の電気伝導率を計算すると、幅によらず概ね一定の値となり、Hall 測定の結果ともよい一致を得た。電気伝導率  $100 \text{ kSm}^{-1}$  は、熱電材料としては十分な値であり、同じ条件でキャリアドーピングを行った多結晶シリコン薄膜において測定されたゼーベック係数の値  $107 \mu\text{VK}^{-1}$  を用いて熱電材料のパワーファクターを計算すると、 $1.14 \text{ mWm}^{-1}\text{K}^{-2}$  となる。

Hall 測定の他の結果について、今回の試料作製においては厚さ  $300 \text{ nm}$  のシリコン層にドーズ  $9 \times 10^{15} \text{ cm}^{-2}$  でリンイオンの注入を行っており、測定されたキャリア濃度  $2 \times 10^{20} \text{ cm}^{-3}$  から 60 %以上のドーパントが活性化していると考えられる。移動度に関しては、 $28 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  とやや低い、不純物濃度が高いことと、多結晶シリコンであることから妥当な範囲であると考えられる。

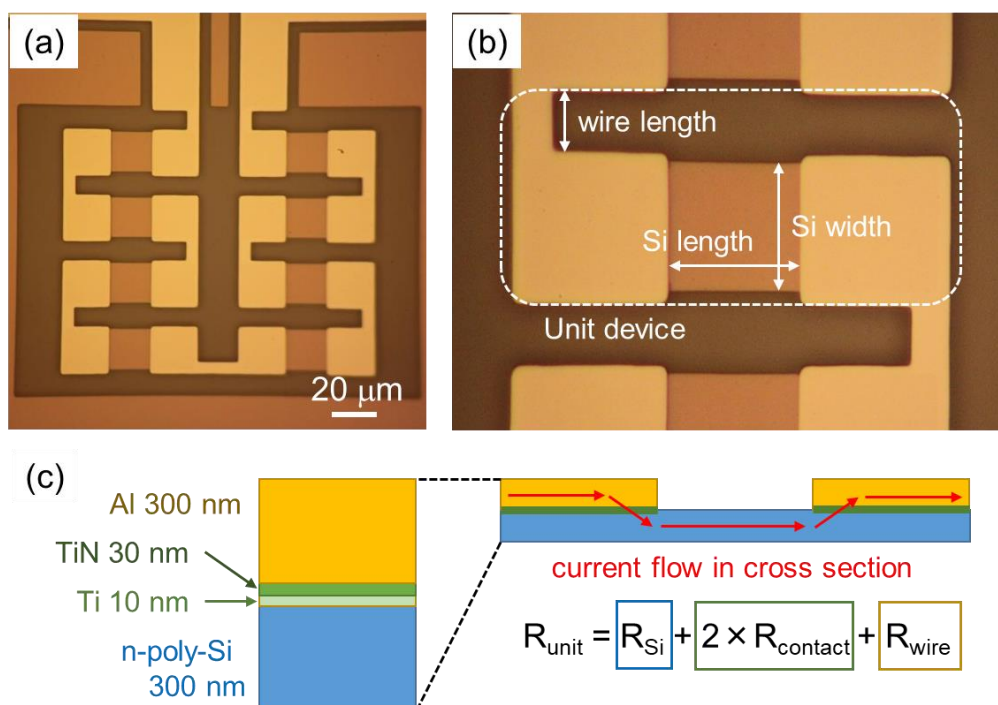


Fig. 6.6 (a, b) Microscope images of test structure for resistance measurement. (c) Schematic picture of the test structure in cross section, where red arrows show the flow of electric current corresponding with each factor of resistance.

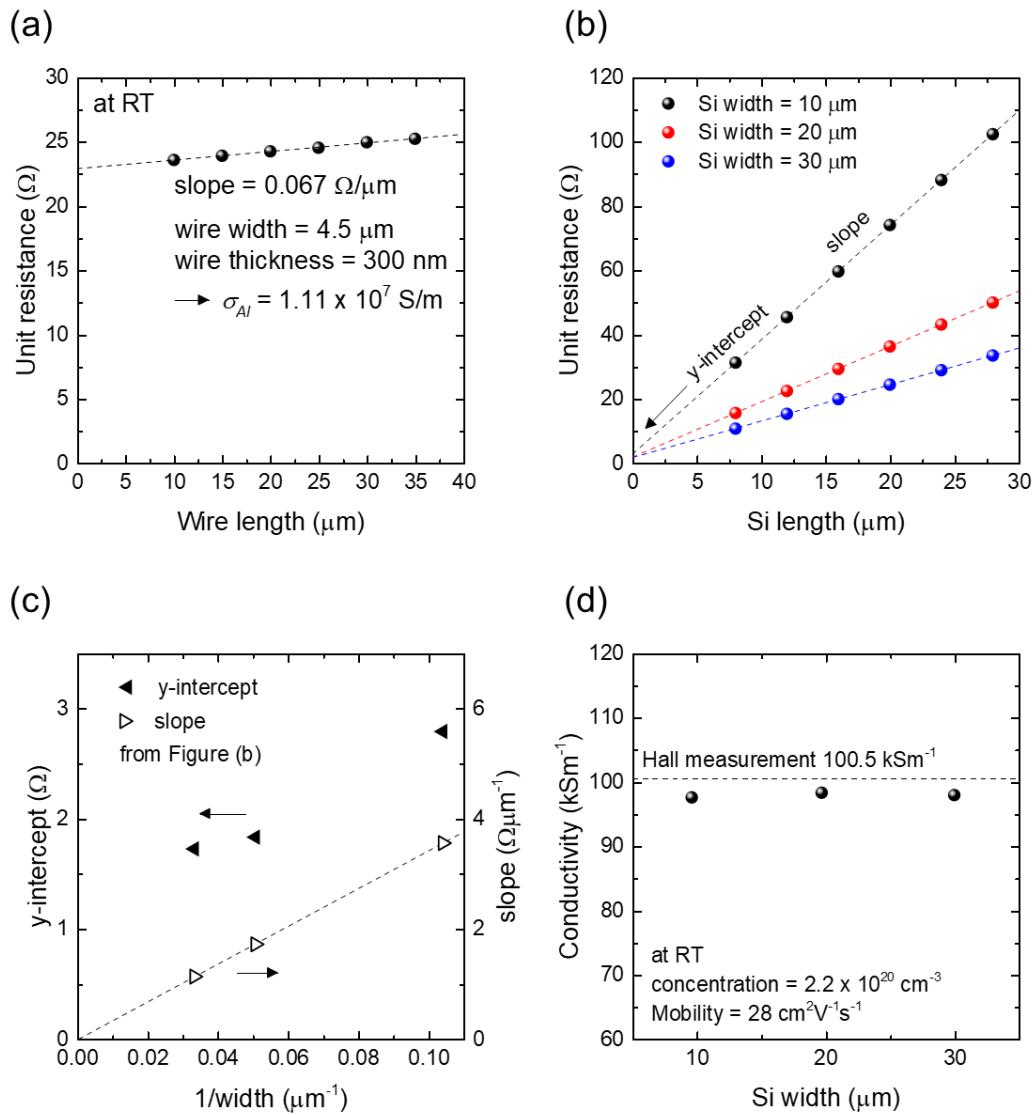


Fig. 6.7 Measurement results for the test structures. (a) Resistances of unit device with different length of wire give the electrical conductivity of Al wire. (b) Resistance of unit device as a function of length of Si part with different width of Si part. The slope and y-intercept of linear fitting give the conductivity of Si and contact resistance between Si and Al respectively. (c) Y-intercept and slope of plots in Figure (b) as a function of the inverse of Si width. (d) Measured conductivities with the test structures and comparison with the result from Hall measurement.

## 6.4 キャップ構造の無い熱電変換素子の測定結果

### 6.4.1 素子内部電気抵抗の直列数依存性

上部キャップ構造の作製に先立って、熱電発電素子の内部電気抵抗の評価を行った。図 6.8 に並列及び直列に集積された熱電素子について、直列数のみが異なる試料を作製し、内部電気抵抗の測定した結果を示す。気相フッ酸を用いた酸化膜層のエッチング前後で抵抗を測定し、エッチング前の抵抗を黒丸で（左軸）、エッチング後の抵抗を白丸に（右軸）示す。どちらの場合においても線形近似の y 切片は 0 近くを通り、エッチング前においては y 切片の値は  $3.1 \Omega$  である。これは集積された素子の抵抗のうち、並列化された素子群をつなぐ幅  $100 \mu\text{m}$  の配線の寄与が十分小さいことを示している。

しかしフッ酸エッチングの前後で抵抗が 3 倍以上増加しており、大きな問題となっている。この原因はいまだわかっていないが、フッ酸エッチングの前後でナノ構造部分のネック幅が数ナノメートル細くなることが確認されており、これによって抵抗が増加していると考えられる。しかし 3 倍の増加は説明できず、今後の課題の一つである。

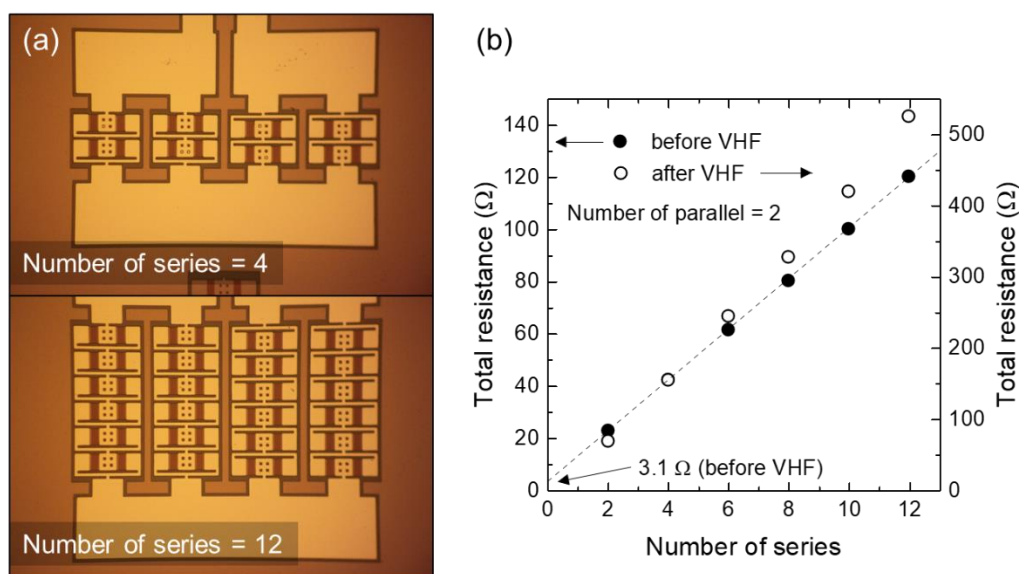


Fig. 6.8 Measurement of device total resistance with different number of series connections. (a) Microscope images of measured device with 4 and 12 series connections. (b) Measured resistance as a function of number of series connections. The small y-intercept of linear fitting for the plot shows small enough resistance from interconnect wires. The open circles with right axis show the resistance of same sample as filled circle after VHF process, and indicate the increase of resistance by the VHF treatment of samples.

## 6.4.2 素子内部電気抵抗のシリコン幅依存性及び最適化

次に単位素子のナノ構造化シリコン薄膜部分の幅（ブリッジ部分の幅と同義）のみを変えて素子試料を作製し、電気抵抗の測定を行った結果について述べる。4つの試料について、シリコン幅をそれぞれ 28、50、72、94  $\mu\text{m}$  として作製し、単位ユニットの抵抗を評価した結果を図 6.9 に示す。ブリッジ部分の抵抗は幅の逆数に比例すると考えられ、図 6.9 (a) に示すように線形な関係が得られた。y 軸との切片は原点を通らず、この値は単位ユニットの抵抗におけるブリッジ部分以外の配線部分からの寄与を示している。シリコン幅を広げると、配線部分の抵抗がボトルネックとなり面積当たりの抵抗が大きくなってしまふ。一方でシリコン部分の幅を小さくすると単位ユニットに占める配線部分の割合が大きくなるため、ブリッジ部分の抵抗  $R_{\text{Bridge}}$  と配線部分の抵抗  $R_{\text{wires}}$  のバランスから最適なシリコン幅  $w_{\text{Si}}$  が決定すると考えられる。

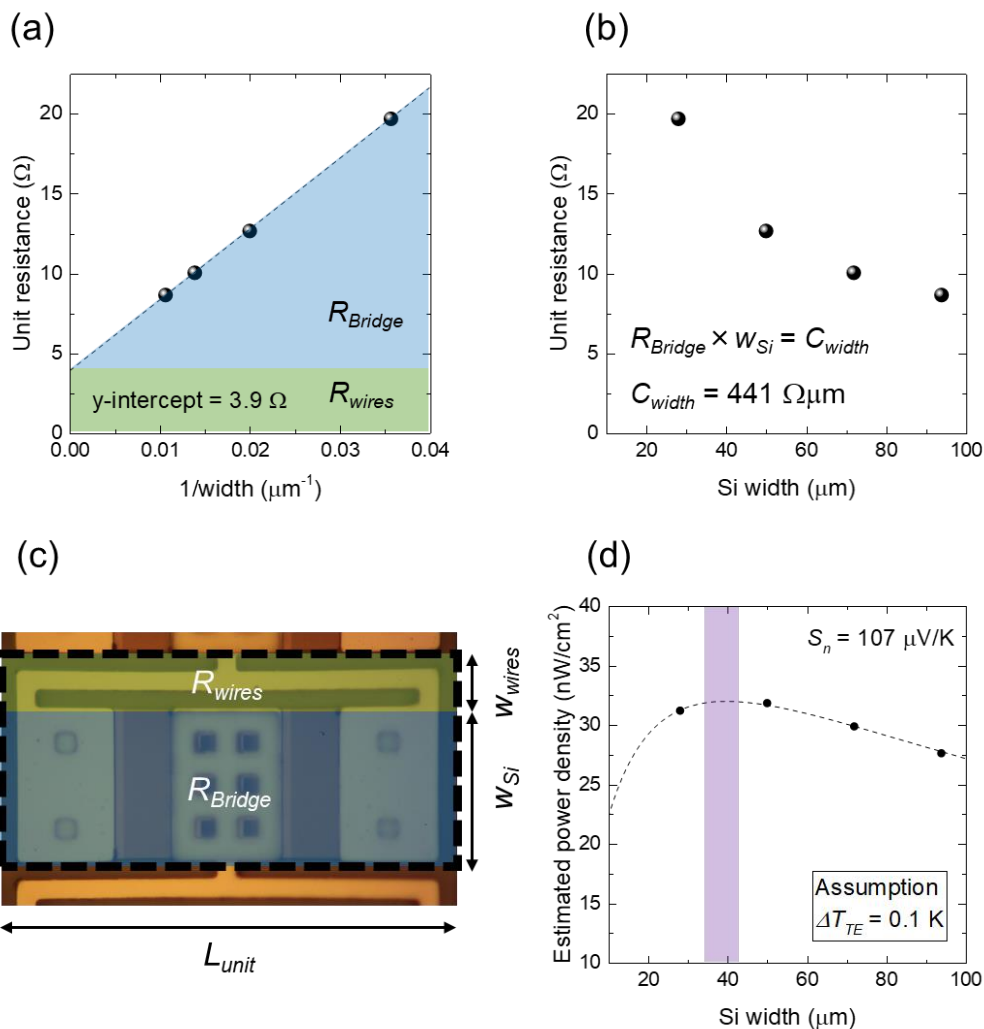


Fig. 6.9 Measured resistances of unit device with different width of Si part as functions of (a) inverse of width and (b) width. (c) A microscope image of unit device with definitions of dimensions and resistances. (d) Estimated power assuming  $0.1 \text{ K } \Delta T_{\text{TE}}$  in the bridge.

ここで、素子外部に温度差を与えた際にブリッジ面内に生じる温度差は、ブリッジ幅に依存しないと仮定すると、次式を用いて発電量密度の幅依存性を推定できる。

$$P = \frac{(S_n \Delta T_{TE})^2}{4(R_{Bridge} + R_{wires})L_{unit}(w_{Si} + w_{wires})} \quad (6.4)$$

ここで、 $L_{unit}$  と  $w_{wires}$  は図 6.9 (c)に示すようにそれぞれ単位ユニットの長さで配線部分の幅であり、 $w_{wires}$  は配線幅  $w_{wire}$  とギャップマージン  $d_{wire}$  の合計で表される。

$$w_{wires} = w_{wire} + 2 \times d_{wire} \quad (6.5)$$

仮に面内の温度差  $\Delta T_{TE} = 0.1 \text{ K}$  として発電量密度を計算した結果を図 6.9 (d)に示す。幅依存性にピークが見られ、今回の試料についてはシリコン幅  $40 \mu\text{m}$  程度が最適であるとわかる。この幅は次に述べるように解析的に決定することができる。

ブリッジ部分の抵抗と幅の反比例の関係について、比例定数を  $C_{width} (\Omega\text{m})$  とする。

$$R_{Bridge} \times w_{Si} = C_{width} \quad (6.6)$$

ここで最適なシリコン幅は、式 (6.4) の分母を最小にする幅であるので、次のように関数

$$f(w_{Si}) = \left( \frac{C_{width}}{w_{Si}} + R_{wires} \right) (w_{Si} + w_{wires}) \quad (6.7)$$

を定めると、

$$\frac{df(w_{Si})}{dw_{Si}} = R_{wires} - \frac{C_{width} w_{wires}}{w_{Si}^2} \quad (6.8)$$

であるので、式(6.7)を最小にする幅  $w_{Si}$  として、

$$w_{Si, optimal} = \sqrt{\frac{C_{width} w_{wires}}{R_{wires}}} \quad (6.9)$$

が決定される。今回の試料においては  $C_{width} = 441 \Omega\mu\text{m}$  であり、 $w_{wires} = 14 \mu\text{m}$ 、 $R_{wires} = 3.9 \Omega$  を代入して、 $w_{Si, optimal} = 39.8 \mu\text{m}$  となる。ここで、平面型熱電素子において  $R_{wires}$  と  $w_{wires}$  は主に配線材料の選定と素子作製のデザインルールで決まり、 $C_{width}$  は熱電材料の電気伝導率と厚さ及びブリッジ長さで決まるため、材料及び膜厚を選定し熱抵抗の設計からブリッジ長を決定することで単位素子の最適なレイアウトが決定されることがわかる。これは、熱電素子に用いる材料の電气的な特性で決まる普遍的な結論であると考えられる。

### 6.4.3 発電量密度のナノ構造化シリコン長さ依存性

次に単位ユニットにおいてナノ構造化シリコン薄膜部分の長さを変えた試料について内部電気抵抗及び熱起電力を測定し、発電量密度の薄膜長さ依存性から寸法について最適化を行った結果を述べる。

素子の熱電材料部分にあたるナノ構造を作製した薄膜部分について長さを変えた試料を作製し、素子の内部電気抵抗を測定した結果を図 6.10 (a)に示す。素子は 6 直列が 2 並列された 12 の単位ユニットで構成される。気相フッ酸を用いて酸化膜層のエッチングを行う前後で抵抗の測定を行った結果、フッ酸プロセス後は 3 倍以上高い抵抗が測定され、薄膜が長い試料ほど抵抗の増加が大きくなる結果を得た。抵抗の増加について、ナノ構造化薄膜部分の性能劣化が考えられる。

素子抵抗の薄膜長さ依存性において、線形近似の y 切片をみると、コンタクト抵抗などナノ構造薄膜以外の抵抗への寄与が得られる。フッ酸プロセス前後ともにコンタクト抵抗はナノ構造化薄膜と比べて十分低い割合であることが確認された(薄膜長さが 12  $\mu\text{m}$  の場合、全体の 25 %以下)。

素子を作製したチップ下面をヒーターで加熱し、面直方向の温度差を与えて素子の熱起電力を測定した結果を図 6.10 (b)に示す。薄膜長さに比例して概ね傾きが増加している。それぞれの傾きを素子の熱起電力として薄膜長さに対してプロットした結果を図 6.10 (c)に示す。長さに比例して熱起電力が増加しているが、薄膜部分の熱コンダクタンスが小さくなりすぎると、ブリッジ中央における冷却の熱コンダクタンスとのマッチングが悪くなるため、熱起電力の増加傾向は次第に飽和していくと考えられ、指数関数による近似を破線で示している。

図 6.10 (d)に測定した抵抗 (フッ酸プロセス後) と開放電圧 ( $\Delta T_{DEV} = 10 \text{ K}$ )、及び素子の面積から計算される発電量密度の薄膜長さに対するプロットを示す。また、抵抗と開放電圧に対するフィッティングから計算して補完した結果も破線で示す。発電量密度は長さ 8 mm 程度で最大となる結果が得られた。長さが短い領域では温度差が充分に取れないことから熱起電力が小さくなることと、素子面積に占める発電部の面積の割合が小さいことから発電量密度は小さくなり、長さが長い領域では抵抗の増加に対して、熱起電力の増加が飽和することで発電量密度が小さくなると考えられる。また、今回の試料においては長さに対する抵抗の増加が非常に大きいため、短い領域でピークを得たと考えられる。熱起電力の薄膜長さに対する傾向は素子上下の熱設計によって大きく変わると考えられ、上部にキャップ構造を持つ素子においては最適な薄膜長さが異なることも考えられる。

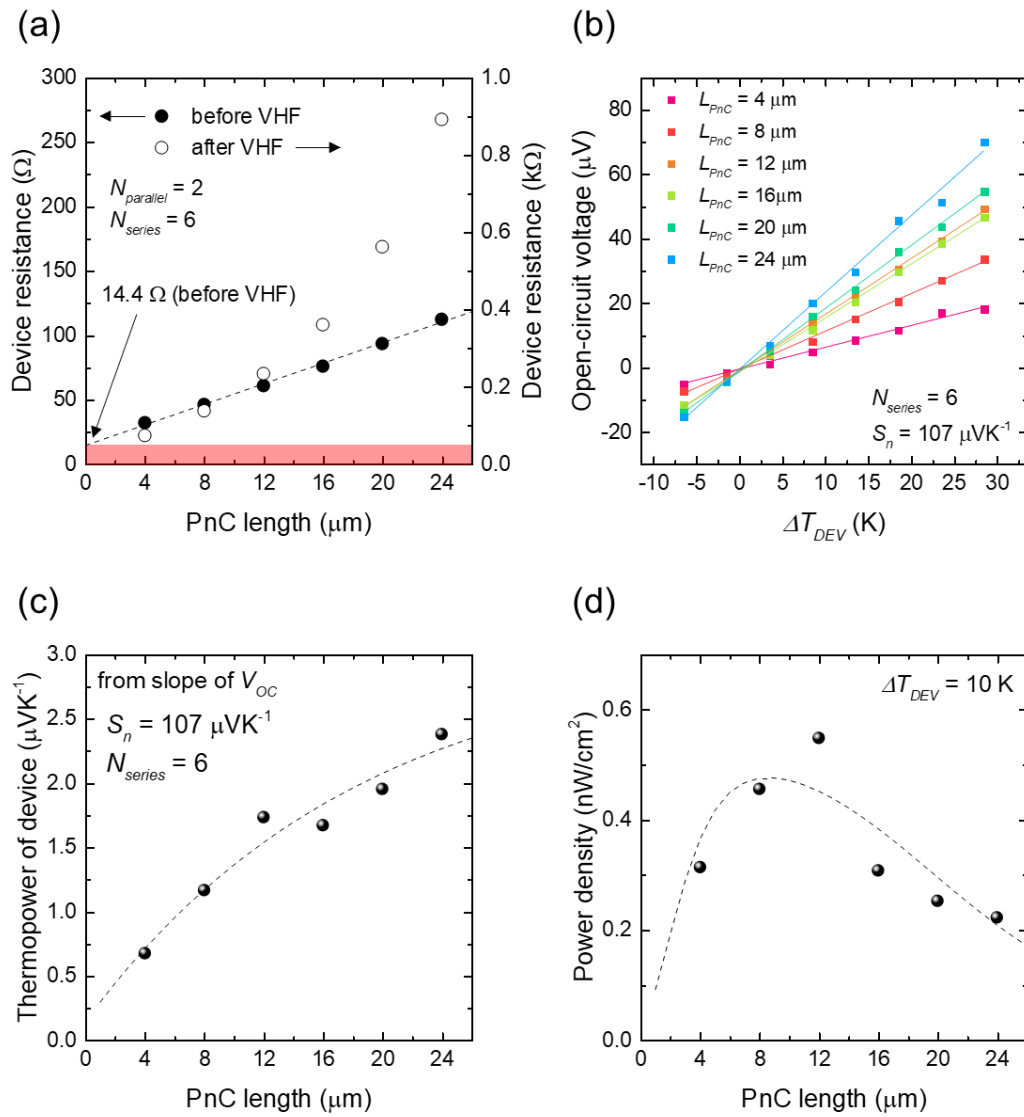


Fig. 6.10 (a) Measured device resistance before and after VHF process as a function of length of PnC Si membrane. (b) Measured open-circuit voltage as a function of applied  $\Delta T_{\text{DEV}}$  for the set of samples with different PnC length. (c) Thermopower of device extracted from slope of open-circuit voltage. (d) Measured power density depending on the PnC length shows a peak in the length.

## 6.5 キャップ構造を作製した熱電変換素子の測定結果

ここまでキャップ構造の無い素子について述べてきたが、本項では SU8 スペーサを作製した試料に対してキャップ構造としてシリコンウエハを乗せた素子について性能を評価した結果を述べる。

### 6.5.1 試料の熱起電力測定

14 mm 角の素子チップに対して、大きさ 11 mm×14 mm、厚さ 525  $\mu\text{m}$  のシリコンウエハを、研磨面を素子側に向けて設置し、シリコンウエハが乗っていない部分に出ている電極から素子の測定を行った。キャップ構造の条件として 3 パターン、キャップウエハのみ、キャップウエハにアルミ製のフィンをつけた場合、及びフィンに平行に窒素ガスを吹き込んだ場合にそれぞれ加熱ステージの温度を変化させて熱起電力の測定を行った。結果を図 6.11 に示す。ホットプレートの温度に対する電圧の傾きを見ると、フィンに対して窒素ガスを吹き込んだ場合は、ガスフローが無い場合と比較して 8 倍以上高い電圧が得られている。これはガスフローによる強制対流によって、フィンが冷却され、キャップウエハとホットプレート間に温度差が生じており、その結果素子面内の温度差が増加しているからだと考えられる。

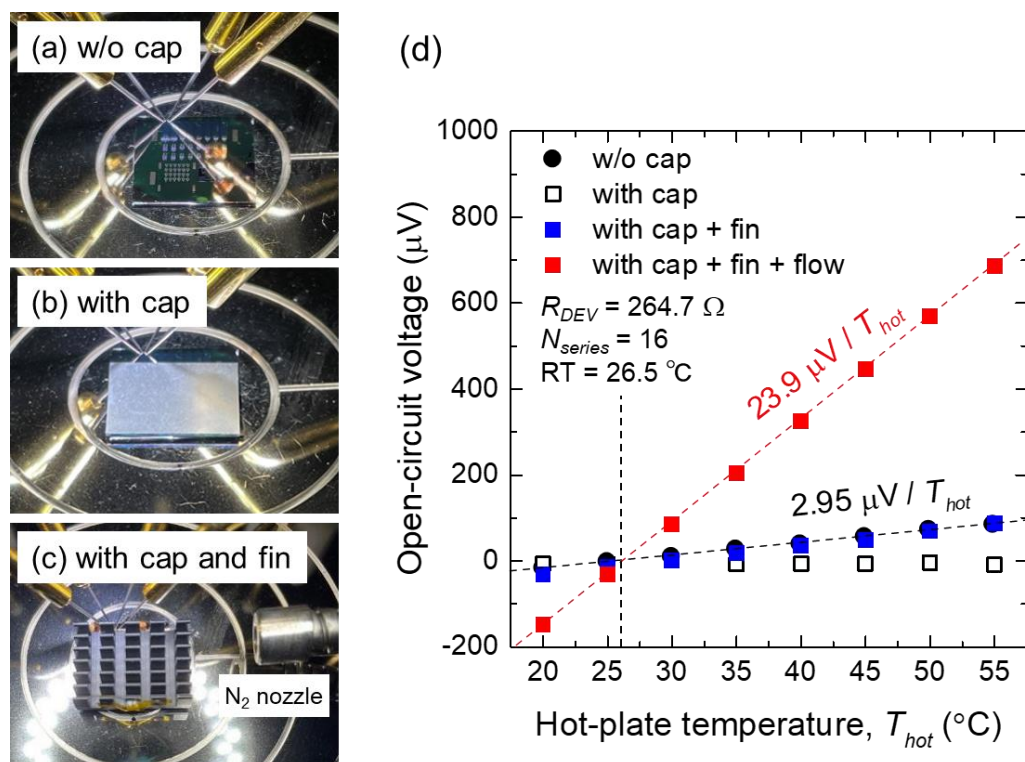


Fig. 6.11 (a-c) Photos of TEG measured in different conditions. (d) Measured open-circuit voltage as a function of the temperature of hot-plate which heats up the bottom substrate of TEGs.



図 6.12 に、ホットプレートの設定温度を変更した際の測定電圧の時間推移を示す。これを見ると、ガスフローが無い場合でもヒーターの設定温度が変わって加熱が始まった直後は高い電圧が出ているのだが、やがて電圧が低下していることがわかる。これはホットプレートでチップ基板を加熱する際にキャップ上部のフィンも温まっているためと考えられる。一方ガスフローがある場合は、設定温度を変えてから十分時間が経った後も高い電圧が保たれており、大きな温度差が生じていることが分かる。

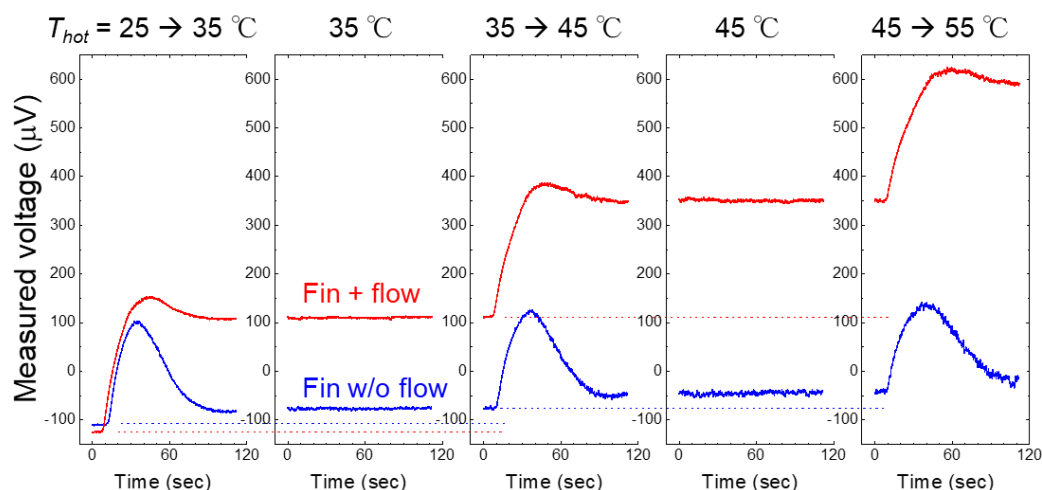


Fig. 6.12 Five intermittent measurements of TE voltage as a function of time while varying or keeping set temperature for the hot-plate. In each panel voltage is measured for 110 seconds.

## 6.5.2 キャップ構造を有する試料の発電量評価

キャップ構造とガスフローによる熱起電力の増加についてより詳細に評価するため、ガスフローの風速を測定し、風速を 0.9~3.6 m/s の間で変化させて測定を行った。また、白金の測温用抵抗体 (CRZ1632-R100、林電工社製) をキャップ上部のフィンに張り付け、ステージ温度を変化させた際のフィンの温度変化の測定も行った。

図 6.13 (c)にホットプレートの温度変化に対する素子熱起電力の測定結果を示す。風速が大きいほど電圧が大きくなっていることがわかる。また同様にホットプレートの温度変化に対する抵抗体の温度変化を測定した結果を図 6.13 (d)に示す。ガスフローが無い場合はフィンの温度がホットプレートの温度と同等になっていることがわかる。ガスフローがある場合は、風速が大きくなるにしたがってフィンの温度が低下し、室温に近付いている。

ここで、ホットプレート温度を  $T_{hot}$ 、測定されたフィンの温度を  $T_{cold}$  とすると、それぞれの風速におけるホットプレートの設定温度に対して素子下面とキャップ上面の間の温度差  $\Delta T_{DEV} = T_{hot} - T_{cold}$  が計算できる。このホットプレート温度と温度差  $\Delta T_{DEV}$  の関係を用いて図 6.13 (c)のプロットを、横軸を  $\Delta T_{DEV}$  に再度プロットした結果が図 6.14 (a)である。風速に依らず全てのプロットが同一の直線に乗るような傾向が見られており、風速を大きくした際

の電圧の増加は温度差 $\Delta T_{DEV}$ の増加によるものであることが確認された。キャップ構造を設置した素子の性能指標としては図 6.14 (a)における傾きが重要であり、この傾きとゼーベック係数、素子内の直列数から素子面内に生じている温度差を求めると、温度差の比 $\Delta T_{TE} / \Delta T_{DEV}$ は 4.6 %であり、前章と比較して 20 倍以上の向上が得られた。

素子の抵抗  $125.4 \Omega$  (フッ酸処理前は  $93.2 \Omega$ ) と面積  $0.323 \text{ mm}^2$  (3 並列 $\times$ 18 直列) から発電量密度を計算した結果を図 6.14 (b)に示す。放物線近似の比例定数にあたる素子のパワーファクターとして  $5.6 \times 10^{-3} \mu\text{Wcm}^{-2}\text{K}^{-2}$  が得られ、これは前章の素子と比較して 580 倍以上高い値である。 $\Delta T_{DEV} > 14 \text{ K}$  において  $1 \mu\text{Wcm}^{-2}$  以上の発電量を達成した。

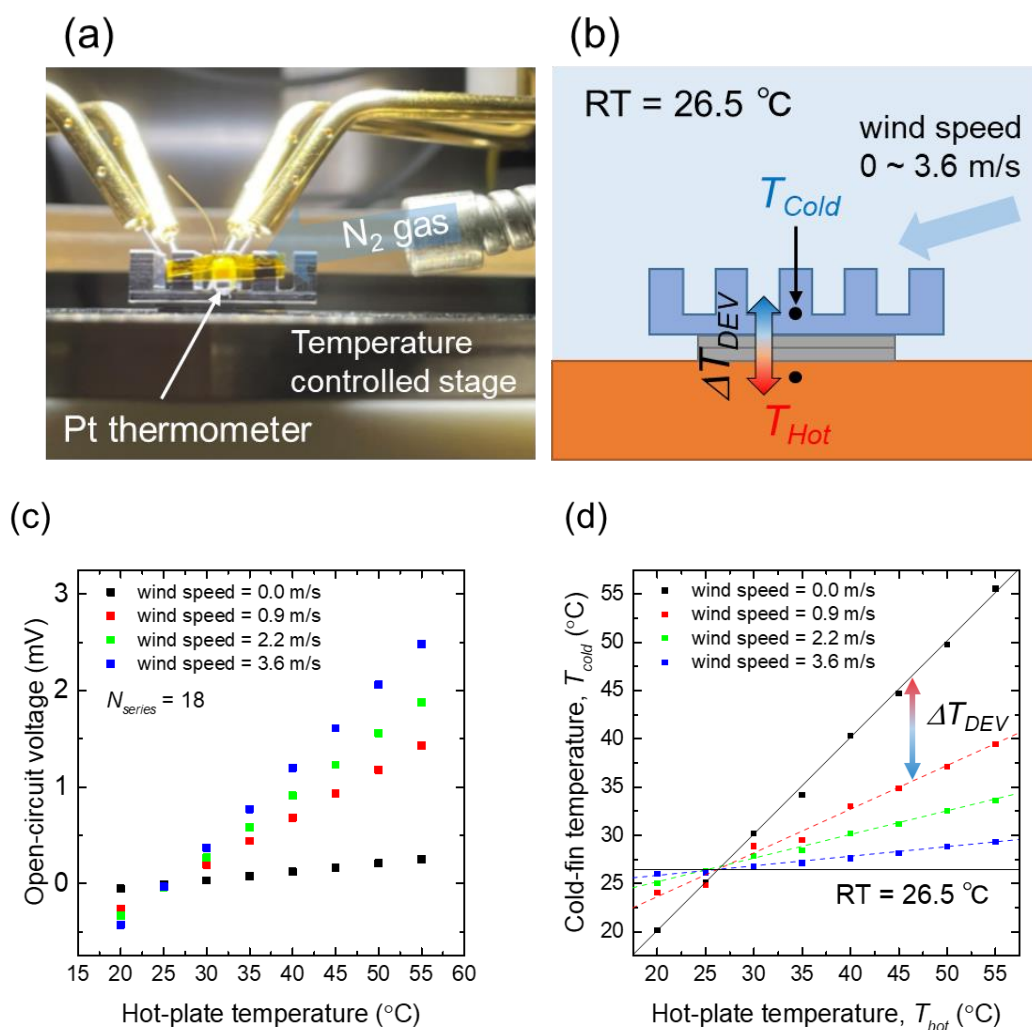


Fig. 6.13 (a) A photo of measurement setup for TEGs with cap structure and (b) schematic picture of setup. (c) Measured voltages of TEG with cap structure as a function of hot-plate temperature with different wind speed conditions. (d) Temperature of Al fin attached on cap structure measured with Pt thermometer as a function of hot-plate temperature.

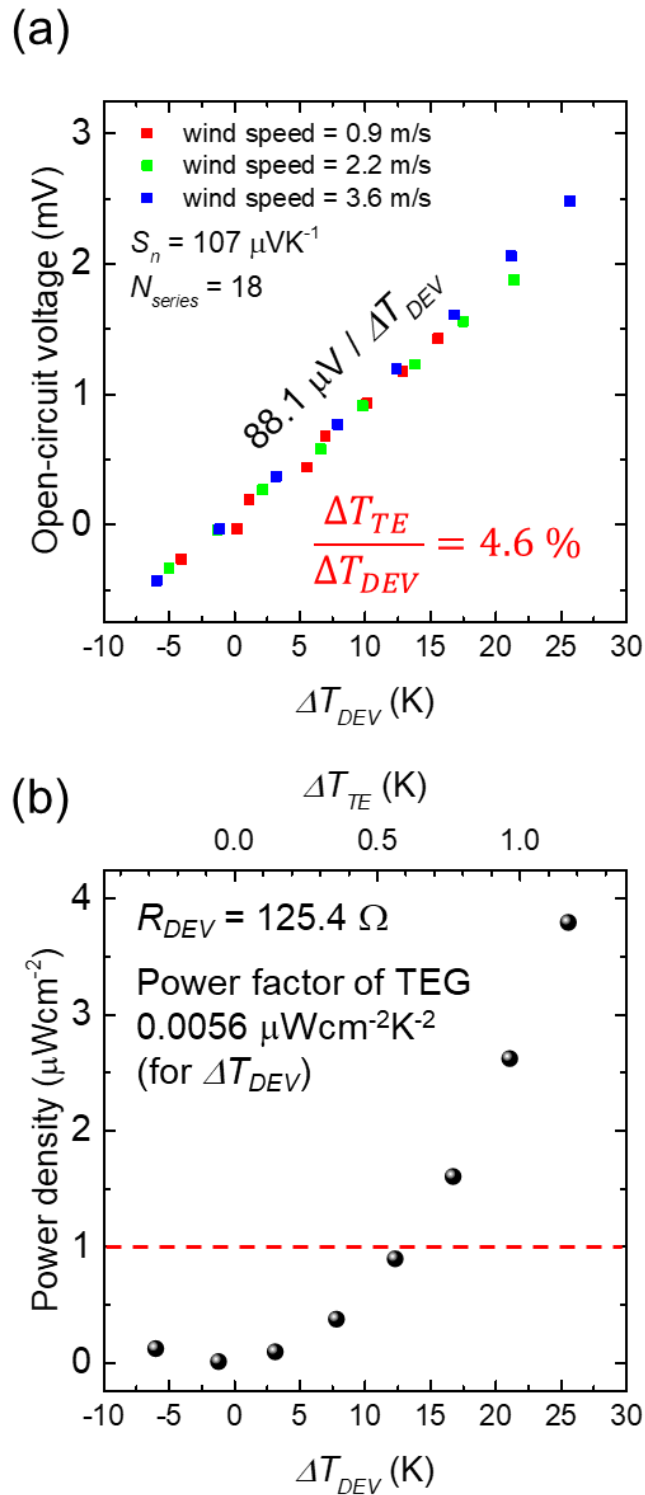


Fig. 6.14 (a) Measured thermoelectric voltage of device with cap structure plotted as a function of temperature difference between bottom and top  $\Delta T_{DEV}$  for the results with different wind speed. (b) Calculated power density reached more than  $1 \mu\text{Wcm}^{-2}$ .

### 6.5.3 熱抵抗回路モデルによる考察

前項でキャップ構造を作製した試料における素子内温度差の比 $\Delta T_{TE} / \Delta T_{DEV}$ は 4.6 %であり、本章の冒頭で予測した 70 %を超える値よりは小さい結果となった。これは、今回作製した試料においてはキャップウエハと SU8 スペーサが密着しておらず、ブリッジ中央とキャップウエハの間に大きな熱抵抗があるためであると考えられる。

図 6.15 にキャップウエハと素子ウエハの境界部分について、走査型電子顕微鏡写真を示す。キャップは素子ウエハに対して水平に設置されているものの、素子ウエハとの間に 30  $\mu\text{m}$  以下程度のギャップがあり、SU8 スペーサの高さが 3  $\mu\text{m}$  程度であるので、キャップウエハが浮いている状態だと考えられる。

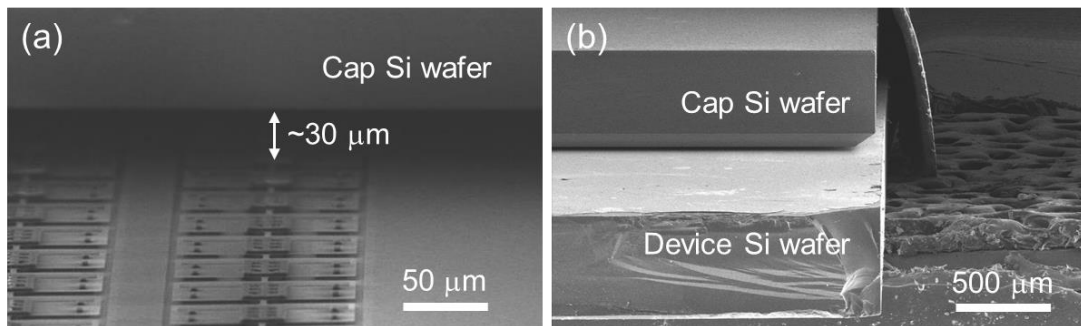


Fig. 6.15 SEM photos of the gap between cap and device wafers taken from tilted angle.

このような状態に対して、素子下面から上面の間の熱抵抗分布回路モデルを考える。図 6.16 に示すようにブリッジ内低温側であるブリッジ中央からキャップウエハに向かって厚さ 30  $\mu\text{m}$  空気層の熱伝導によって熱が流れるモデルとした。空気の熱伝導率として  $0.03 \text{ Wm}^{-1}\text{K}^{-1}$  を用いた。表 6.2 に示す熱抵抗の値を用いて、素子外部の温度差 $\Delta T_{DEV}$ に対する、 $T_1$ と $T_2$ における相対温度を計算し、それらの差から外部温度差に対する面内温度差の比 $\Delta T_{TE} / \Delta T_{DEV}$ を計算した。表 6.2 においては空気の厚さが 30  $\mu\text{m}$  の場合のみを示すが、厚さを変えて計算した結果を図 6.17 に示す。

図 6.17 (a)に厚さ 10 ~ 1000  $\mu\text{m}$  の範囲の計算結果を示す。温度差の比は空気層の厚さに比例して減少し、厚さ 600  $\mu\text{m}$  付近で、破線で示した、熱伝導の代わりに空気の対流による熱抵抗を用いて計算した場合の値となる結果が得られた。ギャップがこれ以上広い範囲ではキャップウエハが無い場合と変わらないと解釈できる。また、実験結果と比較すると、空気層の厚さが 22  $\mu\text{m}$  程度において温度差の比が実験値と一致し、電子線顕微鏡によるギャップの観察結果とよい一致を得た。

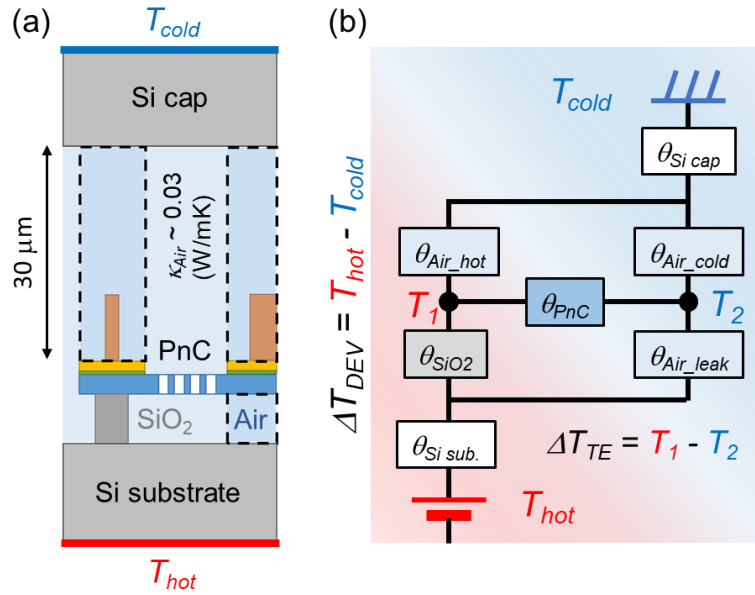


Fig. 6.16 (a) Schematic picture of device cross section while temperature difference is applied between bottom of substrate and top of cap. (b) An equivalent thermal resistance model for the device. Temperature difference in the bridge is defined with  $T_1$  and  $T_2$ .

Table 6.2 Thermal resistance used in the model

	Thermal conductivity $\kappa$ ( $\text{Wm}^{-1}\text{K}^{-1}$ )	Length $L$ ( $\mu\text{m}$ )	Cross section $A$ ( $\mu\text{m}^2$ )	Thermal resistance $\theta$ ( $\text{KW}^{-1}$ ) = $L/(\kappa A)$
Si membrane with PnC	11	12	7.9	138200
SiO <sub>2</sub> pillar	1.38	2.5	406	4500
Air (cold side)	0.03	30	546	1832000
Air (hot side)	0.03	30	936	1068000
Air (leak under $T_2$ )	0.03	2.5	546	153000
Si substrate and cap	130	525	2941	1400
Total	-	1083	2941	687000
Combined resistance between $T_1$ and $T_{cold}$	$\frac{\theta_{Air\ cold}(\theta_{PnC} + \theta_{Air\ hot})}{\theta_{Air\ cold} + \theta_{PnC} + \theta_{Air\ hot}} + \theta_{cap}$			694000
Combined resistance between $T_2$ and $T_{hot}$	$\frac{\theta_{Air\ leak}(\theta_{PnC} + \theta_{SiO_2})}{\theta_{Air\ leak} + \theta_{PnC} + \theta_{SiO_2}} + \theta_{sub.}$			75000

次に図 6.17 (b)にギャップが 10  $\mu\text{m}$  以下の範囲において、キャップウエハが空気層によってつながっている場合と SU8 スペースでつながっている場合の二通りの結果について示す。ギャップが狭まるにつれて面内に得られる温度差が増加する傾向が見られ、今後の課題として、ギャップを狭めて張り合わせることで、電圧を向上できると考えられる。図中に破線で示したものは、 $T_{hot}$  と  $T_{cold}$  の間の熱抵抗について、熱抵抗の合計を素子面積で割ったものであり、面直方向単位面積当たりの熱コンダクタンスを表す。例えば空気による自然対流による熱コンダクタンスは単位面積当たり、10~50  $\text{Wm}^{-2}\text{K}^{-1}$  程度であり、素子の熱コンダクタンスが大きい場合は低温側において性能の良い冷却機構が必要となる。今回、ギャップ長さが狭まるほど温度差の比が増加する結果が得られたが、熱コンダクタンスも増加しているため、素子を運用する際の冷却系によっては、最適なギャップ設計が変わるものと考えられる。エナジーハーベスタとして運用する際のシステムについては後の項で述べる。

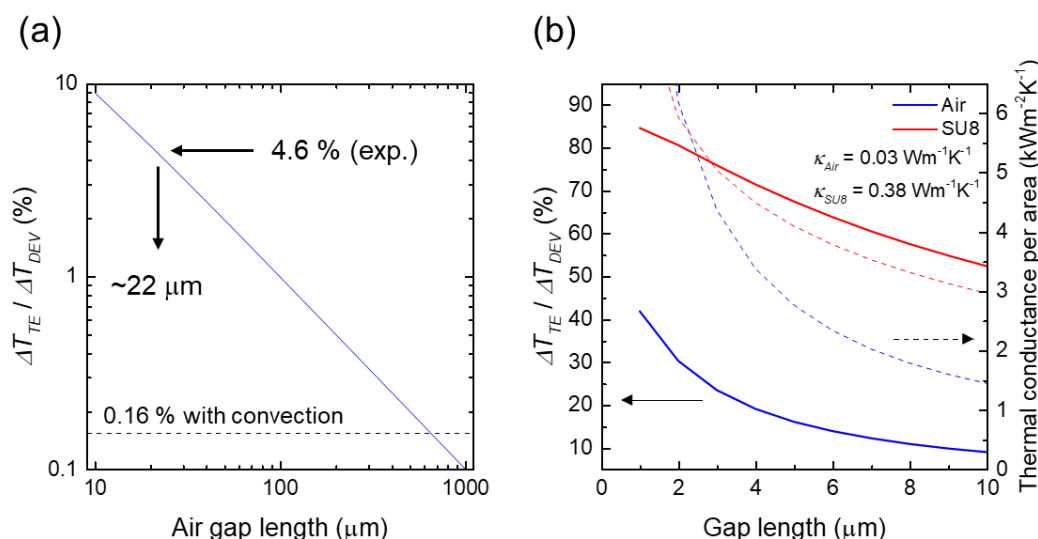


Fig. 6.17 (a) Calculated  $\Delta T_{TE} / \Delta T_{DEV}$  using thermal resistance circuit model depending on the length of air gap between top surface of device wafer and bottom surface of cap wafer. (b) Left axis shows temperature difference ratio  $\Delta T_{TE} / \Delta T_{DEV}$  and right axis shows total thermal conductance of device layer along out of plane direction as a function of gap length. Blue lines show the calculation with air and red lines show the one with SU8.

## 6.6 応用に向けた大面積化素子の評価

前項において、キャップ構造によって素子面内の温度差を向上した結果を述べた。ここからは、素子の集積数を増やして発電量を向上した結果について述べ、本章の最後にエネルギーハーベスタ応用に向けて求められる要件と現状・課題について、及び先行研究との比較をまとめた結果について紹介する。

### 6.6.1 試料の作製

これまで、直列数が 20 以下の範囲で素子を作製し、電圧は直列数に比例し、直列化した素子を並列化することで、発電量密度はそのままに素子の内部抵抗を低減できることを確認した。ここでは直列数を 200、並列数を 12 とし、計 2400 の単位ユニットを集積して素子について、作製と測定の結果を述べる。

単位素子ユニットの寸法としてナノ構造化シリコン薄膜の長さを  $12\ \mu\text{m}$ 、幅は  $39\ \mu\text{m}$  とし、単位ユニットの長さ、幅はそれぞれ  $111\ \mu\text{m}$ 、 $53\ \mu\text{m}$  となるため、2400 のユニットが  $5.3\ \text{mm} \times 2.66\ \text{mm}$  の面積に集積される。作製した素子試料の写真を図 6.18 に示す。14 mm 角のチップ内に 2400 集積の素子が 3 つ作製された。それぞれ、ナノ構造の円孔半径の大きさがわずかに異なっている。作製した素子について、光学顕微鏡で状態を確認した結果、気相フッ酸プロセスの前までは異常が見られたユニットは 3/7200 であり、フッ酸プロセス後は 30/7200 (0.4%) 程度に増加した。ユニレグ素子においては単位ユニット内で電氣的に並列化しているため、例えば 200 直列のうちの 1 ユニットにおいて半分が断線した場合、元々の直列抵抗を 200 とすると 201 となって 0.5% 程度の悪化に抑えられる。

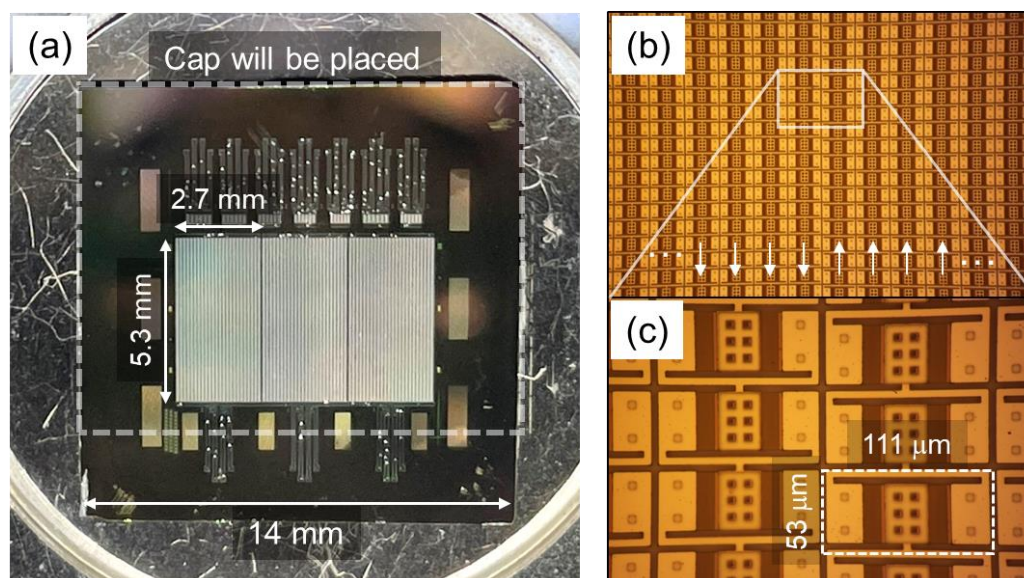


Fig. 6.18 (a) A photo of 14-mm-square chip composed of the three large area TEGs, which occupy  $5.3\ \text{mm} \times 2.7\ \text{mm}$  area each. (b, c) Closed views of the TEG taken with optical microscope. In a large area device, 200 units are connected in series and 12 series connections are integrated in parallel, so that 2400 units are united.

図 6.19 に、今回作製した試料のフォノンニック結晶ナノ構造部分の円孔の大きさを示す。電子顕微鏡で寸法を測長した結果、フッ酸プロセスの前後で円孔半径が 6 nm 程度増加していることがわかった。空隙率で考えた場合、周期 300 nm のハニカム格子配列で半径が 97 nm から 103 nm とすると、25.3%から 28.5%への変化であり、素子の抵抗に影響すると考えられる。

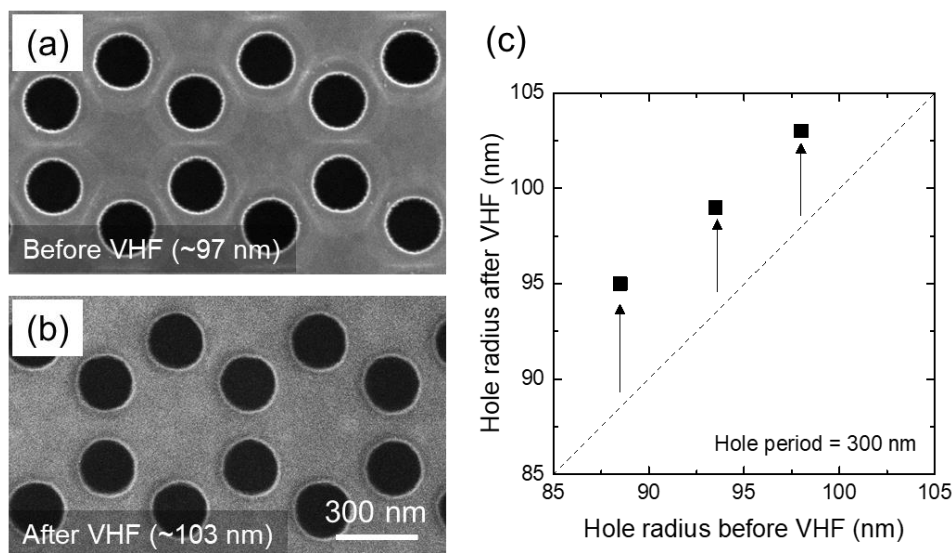


Fig. 6.19 (a, b) SEM photos of fabricated PnC nanostructures taken (a) before VHF process and (b) after VHF. (c) Measurement results of hole radius for three different samples.

## 6.6.2 大面積化素子の測定結果

作製した 2400 直列の試料のうち、円孔サイズが大きい二つの試料と、同一チップ内で比較用に作製した直列数 10 でナノ構造を作製していない試料について、電気抵抗及び発電量の測定を行った結果を述べる。発電量の測定においては前項と同様にキャップ構造を設置して測定を行った。

まず素子の内部電気抵抗を測定した結果を図 6.20 に示す。抵抗はナノ構造の円孔半径に比例して増加し、またフッ酸プロセスの前後で 1.5~2 倍ほど増加していることがわかる。直列数と並列数から単位ユニットあたりの抵抗を見積り、ナノ構造を作製していない素子の抵抗と比較すると、フッ酸プロセス後の素子において最大 2.4 倍程度増加している。これは破線に示した空隙率の増加による薄膜部分の体積減少による抵抗増加よりも大きく、他の要因があると考えられる。



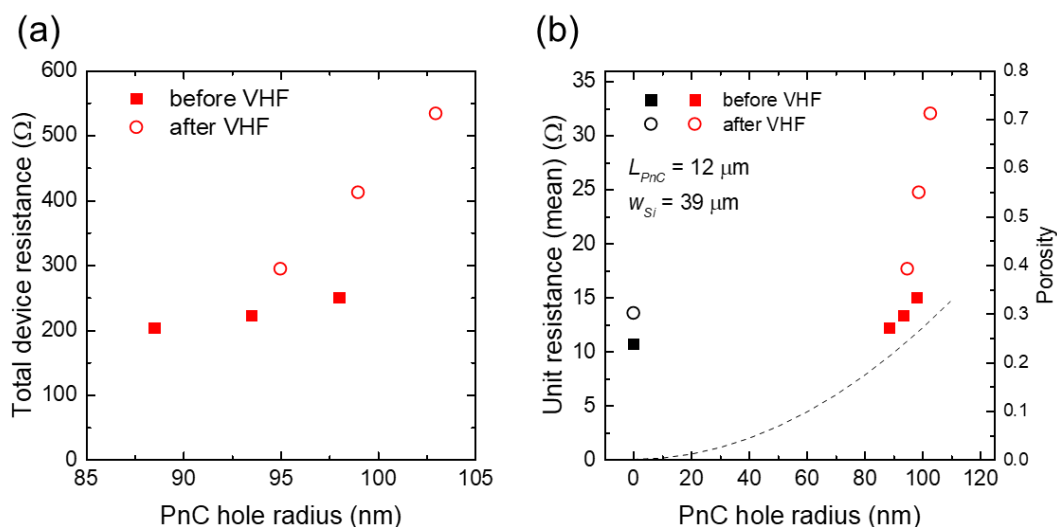


Fig. 6.20 Measured resistance of (a) device and (b) a unit as a function of PnC hole radius. Black broken line shows porosity of PnC depending on the hole radius.

次にキャップ構造を設置した素子について、素子下面とキャップ上面の間に温度差を与えた時の電圧及び発電量を測定した結果を示す。図 6.21 (a)に示すように直列数を 200 にしたことにより、mV オーダーの電圧を達成し、温度差に対する傾きを見ると、円孔半径が大きいもので  $1.23 \text{ mV}/\Delta T_{DEV}$  を得た。この傾きから面内に生じている温度差と素子に印加した温度差の比  $\Delta T_{TE} / \Delta T_{DEV}$  を推定すると、半径が大きいもので 5.8%、小さいもので 3.8%であった。前項の試料と同様に、キャップ構造によって面内に生じる温度差が改善されていることがわかる。

図 6.21 (b)に発電量の測定結果を示す。ここで、左は実際に測定された発電量、右は素子の専有面積を考慮した発電量密度であり、2400 集積の素子において外部温度差 10 K から  $0.1 \mu\text{W}$  の発電量を達成した。また、ナノ構造の半径が異なる試料を比較すると、半径が大きくなることで抵抗は増加する一方で電圧の増加量も大きく、結果として発電量においては半径が大きい試料で大きな発電量を得た。素子の性能指標である面積及び温度差あたりの発電量は、ナノ構造半径が大きい試料で  $5.0 \times 10^{-3} \mu\text{Wcm}^{-2}\text{K}^{-1}$  であり、集積数を増やした際も前項と同等の性能が得られている。

また、ナノ構造を作製していない試料についても、キャップ構造を設置した状態における性能を評価し、面内温度差と外部温度差の比として 3.3%と高い値を得た。ナノ構造を作製することによる熱抵抗の増加を計算すると、半径 103 nm のナノ構造においては熱抵抗が 3 倍程度大きいのにに対し、温度差の比の向上は 1.8 倍の向上となっている。素子の発電量性能指数は  $3.8 \mu\text{Wcm}^{-2}\text{K}^{-1}$  と、今回の試料においてはナノ構造を作製していない試料においても抵抗が低いために高い値が得られている。今後、ナノ構造薄膜の電気抵抗について、フッ酸プロセス後の悪化を低減することがひとつの課題であると言える。

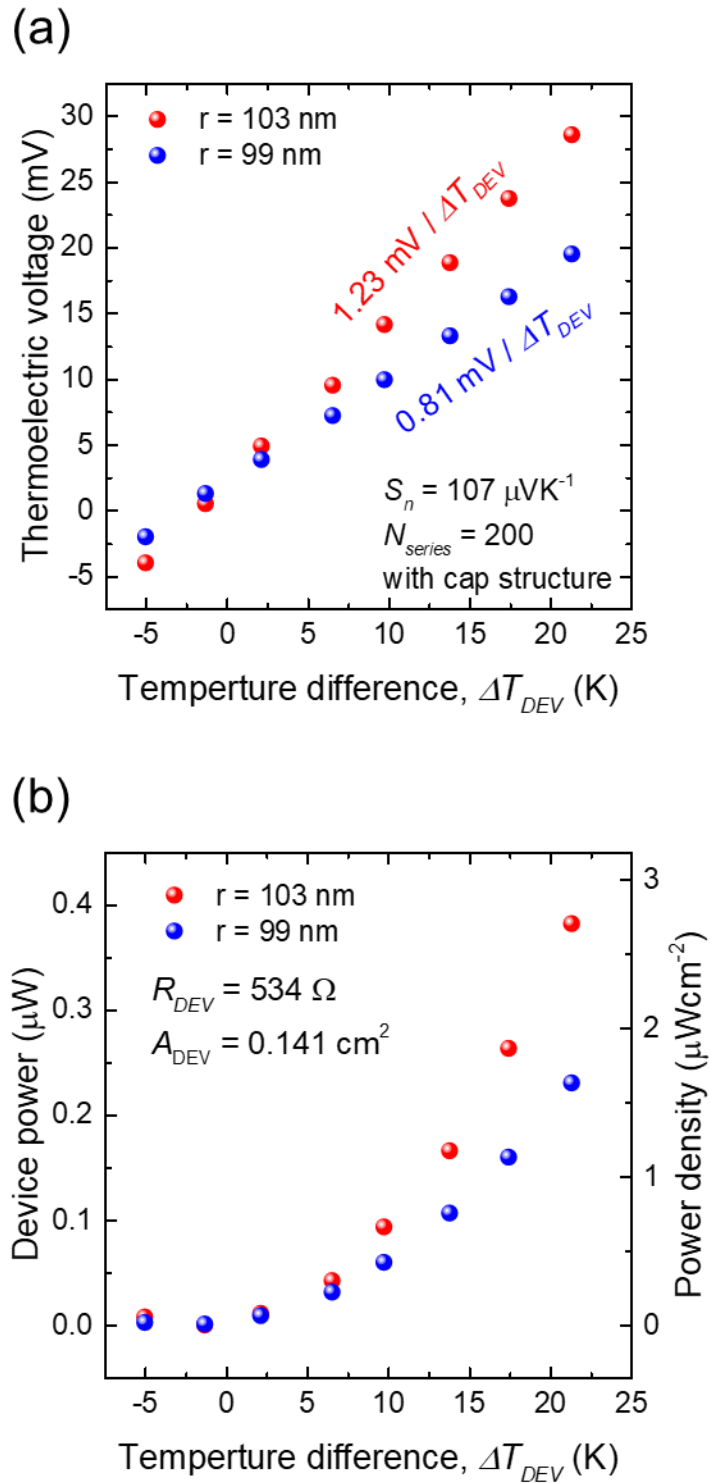


Fig. 6.21 (a) Measured thermoelectric voltage as a function of temperature difference  $\Delta T_{DEV}$  in devices with different PnC hole radius. (b) Measured power of device on left axis and power density on right axis.

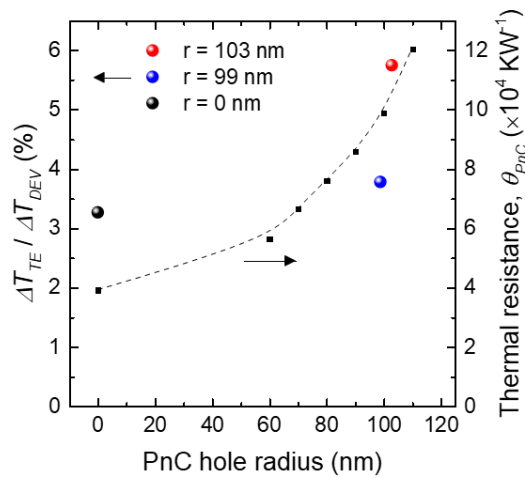


Fig. 6.22 Measured temperature difference ratio  $\Delta T_{TE} / \Delta T_{DEV}$  as a function of PnC hole radius. Black dot points and broken line show the calculation of thermal resistance changes depending on the hole radius from 0 to 110 nm.

### 6.6.3 エナジーハーベスト応用への課題

以上が、本研究で得られた実験及び計算の結果の全てである。ここでは、本研究で作製した熱電発電素子を用いたエネルギーハーベスト応用について検討する。

図 6.23 に熱電発電素子を用いた自己給電によるセンサーネットワークシステムの模式図を示す。このシステムは、熱電素子、パワーマネジメント回路やキャパシタ、通信モジュールが載った IC 基板、そして目的に応じたセンサー素子で構成され、センサーやデータ転送における消費電力の全てを熱電素子の出力によって賄われる。

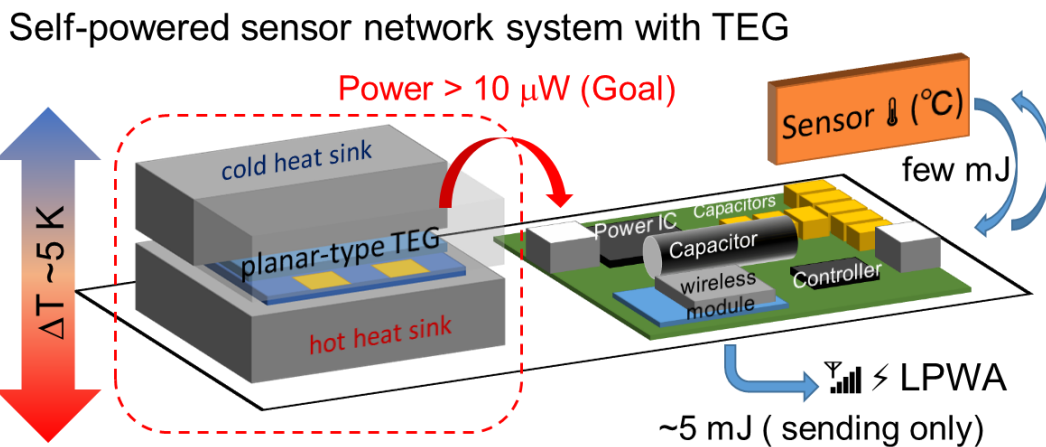


Fig. 6.23 Schematic picture of the sensor system composed of TEG power supply and IC board for power management and wireless communication. All power consumption in sensing, data storage, and sending data are covered by output of TEG.

一度のセンサー駆動における消費エネルギーを数 mJ、LPWA ネットワークのデータ送信における消費電力量を 5 mJ 程度とすると、これを熱電素子の出力によって 1 時間で供給するためには、約 1  $\mu\text{W}$  以上の出力が必要である。センシングの頻度を例えば 1 日に 1 回の駆動とするとより小さな出力でも賄えるが、目標としては 10  $\mu\text{W}$  以上の出力があれば十分にシステムを運用できると考えられる。

一方で熱電発電の出力電圧は数 100 mV 程度と、回路を駆動する動作電圧 (3~5 V) と比べて低いため、システムには昇圧回路を含むパワーマネジメント回路が組み込まれている。ここで、熱電素子の内部抵抗が大きい場合、昇圧回路の駆動電流によって出力の大部分を失ってしまうため、内部抵抗としては 100  $\Omega$  以下程度が求められる。今回作製した素子について、十分な温度差が与えられて 1  $\mu\text{Wcm}^{-2}$  の出力が出ている場合、10  $\mu\text{W}$  かつ 100  $\Omega$  とするためには、10 直列の 53 並列が必要であり、23 cm 角の素子となってしまう。まず内部抵抗の低減が大きな課題であることがわかる。あるいは昇圧回路のカスタムによって、内部抵抗 1 k $\Omega$  の熱電素子でも駆動できるとし、さらに内部抵抗を 5 分の 1 に低減できた場合、3 cm 角の素子で 10  $\mu\text{W}$  の出力が実現可能となる。

また、1  $\mu\text{Wcm}^{-2}$  の出力を得るためには、現状 15 K 程度の外部温度差が必要であるが、環境中に存在する温度差は 5 K 程度であり、この温度差から同様の出力を得るためには内部温度差と外部温度差の比  $\Delta T_{TE} / \Delta T_{DEV}$  を 3 倍改善する必要がある。これは、先の図 6.17 に示すギャップ層の厚さに対する計算から、SU8 スペーサを用いた張り合わせや、空気のギャップ層を薄くすることで実現可能であると考えられる。さらに温度差の比を 3 倍以上改善できれば、内部抵抗に対する要求を緩和することにもつながる。

最後に、熱電素子を例えば大気環境中で使用する場合、素子の低温側の表面は大気によって冷却されるため、素子内部の熱コンダクタンスが大気コンダクタンスに対して大きすぎる場合、素子内に十分な温度差が得られないと考えられる。自然対流大気の単位面積あたりの熱コンダクタンスは、フィン状の熱交換機を用いた場合で熱伝達係数  $h$  として 5~15  $\text{Wm}^{-2}\text{K}^{-1}$  程度であり、風速 2  $\text{ms}^{-1}$  程度の風が吹いている場合でも 20~50  $\text{Wm}^{-2}\text{K}^{-1}$  程度である。今回作製した素子の面直方向単位面積当たりの熱コンダクタンスは 500  $\text{Wm}^{-2}\text{K}^{-1}$  であるので、自然対流による冷却では十分な温度差が得られないと考えられる。よって、熱電材料の熱伝導率をさらに低減することで素子内部の熱コンダクタンスを低減するか、冷却側に表面積の大きなフィンを用いて、実効的にフィン/空気間の熱伝達係数を大きくするなどの工夫が必要である。

以上、熱電発電素子を用いたエネルギーハーベスタについて、求められる性能と達成するための課題について述べてきたが、本研究において平面型素子として以前の報告と比較して 2 桁以上の性能向上を実現したことにより、10  $\mu\text{W}$  という厳しい目標も実現可能な段階に到達したと言える。

## 6.7 熱電変換発電素子の比較

本章の最後に、本研究で作製した熱電発電素子について、他の報告との比較を述べる。

表 6.3 に、最近 10 年間に報告された平面型及びバルク型の熱電発電素子のうち、特にエネルギーハーベスト応用に向けて設計されたものを示す。表中に示した要素について、熱電発電素子において重要な指標は素子外部に温度差 $\Delta T_{DEV}$ が印加された場合の発電性能指数( $\mu\text{Wcm}^{-2}\text{K}^{-2}$ )であり、エネルギーハーベスタとしては熱コンダクタンスも重要である。熱伝導率の低減など材料の性能指数  $ZT$  の向上は発電性能指数の増加につながり、モジュールタイプと作製プロセスは素子のコストに関わると考えられる。

本研究では、シリコン薄膜にフォノンニック結晶ナノ構造を作製することで、シリコンの熱伝導率を 70%低減し、 $ZT$  を高めることで平面型シリコン熱電発電として最高水準の発電性能指数を得た。また材料の熱伝導率が低いため、面直方向の熱コンダクタンスも他の報告と比較して十分低い水準にある。

まず平面型シリコン熱電発電素子として、2010 年にシンガポールマイクロエレクトロニクス研究所の Feng らが MEMS プロセスを用いて作製した上部キャビティ構造によって、素子の出力を向上できることを報告しているが、ナノ構造を利用していないため多結晶シリコン薄膜の性能指数がまだ低く、熱コンダクタンスも本研究と比較して 30 倍程度大きなものであった[25], [31]。

近年ではフランス・リール大学の Bougrioua らのグループが、あらかじめ溝状にエッチングを行ったシリコンウエハを素子ウエハに張り合わせる手法で上部キャビティ構造を作製した素子について報告しており、熱コンダクタンスの値は本研究と同程度に低くなっているが、ナノ構造を用いていないため材料の性能が低く、発電量密度も本研究の 100 分の 1 であった[66], [67]。しかし 2021 年に、多結晶シリコン薄膜に陽極酸化を用いてナノスケールの多孔質を作製して  $ZT$  を向上した報告もあり、今後の素子化が期待される[68]。

スペイン・バルセロナ大学の Fonseca らは、2012 年頃からシリコンナノワイヤを束の様に成長させた熱電材料を用いて熱電発電素子の開発を報告しており、2019 年には素子上部にヒートシンク構造を作製することで面内の温度差を改善し、発電量密度を大きく向上できる報告をしている[26], [64], [69]。本研究と比較すると、面内温度差の比が大きく素子の性能は優れているが、一方で作製プロセスにおいてナノワイヤの成長プロセスが素子の大量生産化にむけてはネックになると考えられる。

縦型の熱電素子とも比較を行うと、2012 年にアメリカ・カリフォルニア大学の Bowers らが、シリコンナノワイヤを用いた熱電発電素子を報告し、印加された温度差に対して非常に高い発電量密度を示しており、シリコン材料を用いて高い出力を報告した例として挙げられる[70]。しかし素子の熱コンダクタンスが本研究と比較して 4 桁大きいため、実験において強制的に温度差をつけられる系においては高い性能が得られているが、環境中の温度差から発電を行うためには熱設計の改善が必要であると考えられる。

ドイツ・フライブルク、フラウンホーファー研究所の Böttner らは、古くから熱電発電の研究に取り組んでおり、熱電発電素子の開発・販売を行う Micropelt 社を立ち上げ、室温付近で高い  $ZT$  を示すビスマステルル合金を用いた熱電素子について報告している[12]。本研究の平面型シリコン発電素子と比較した場合、材料の性能指数が 50 倍高く発電量は 20000 倍大きい、熱コンダクタンスの面では 30 倍大きな値となっている。また熱電発電素子の材料コストについて、スタンフォード大学などの研究グループによる報告には、 $\text{Bi}_2\text{Te}_3$  系材料とシリコン系材料のコストについてそれぞれ  $\sim 120$   $\$/\text{kg}$ 、 $3.1$   $\$/\text{kg}$  とあり、密度を考慮するとそれぞれ  $0.85$   $\$/\text{cm}^3$ 、 $0.0072$   $\$/\text{cm}^3$  となり、シリコンの材料コストは約 120 分の 1 と考えられる[71], [72]。本研究のシリコン素子と  $\text{Bi}_2\text{Te}_3$  系材料を用いた素子と比較すると、多結晶シリコン素子層の厚さが 300 nm に対し、 $\text{Bi}_2\text{Te}_3$  の高さが 20  $\mu\text{m}$  であり、 $\text{Bi}_2\text{Te}_3$  系素子では n 型の  $\text{Bi}_2\text{Te}_3$  と p 型の  $\text{Bi}_{0.5}\text{Sb}_{1.5}\text{Te}_3$  を 2 回成膜するため、材料コストの比は 1 : 15700 と計算される。よって出力密度/コストの観点で比較すると、1 : 1.3 程度と計算され、シリコン素子では  $\text{Bi}_2\text{Te}_3$  系素子と比較して発電量は 10000 分の 1 以下だが、コストも考慮すると同程度の性能が得られていることがわかる。材料のコストと作製プロセスの違いから、ビスマステルル系材料を用いた素子は高い性能が求められ、付加価値が高くコストを回収できる応用に向いており、シリコン素子は高スループットかつ低コストという長所を活かした広範囲かつ高密度なセンサーネットワーク応用に向いていると考えられる。

他のビスマステルル系素子として、2018 年に中国・杭州の Wang らの報告では、体温と自然冷却による温度差によって 10  $\mu\text{W}$  の出力を達成し、実際に加速度センサーの駆動を実証している[73]。しかしビスマスやテルルなどの金属は、環境負荷の高い材料であるため、シリコン系材料などの低環境負荷材料の  $ZT$  を向上することで、同様の素子を実現することが期待される。

最後に、日本の物質材料研究機構から鉄アルミシリコン系熱電材料 (FAST: Fe-Al-Si based Thermoelectric material) を用いた素子の報告が 2020 年にあり、バルク材料の縦型素子において、高い性能が示されている[74]。鉄とアルミ、シリコンはどれも安価な材料であり、今後さらに研究が進んでいくものと考えられる。しかしバルクの作製プロセスは大量生産に不向きであるため、大量の素子が求められるセンサーネットワーク応用には平面型シリコン素子を利用し、最大の性能が求められる応用においてはビスマステルル系、そしてその中間にあたる範囲を FAST のような安価なバルク素子を用いた素子によってカバーすることで、それぞれ差別化できると考えられる。

以上をまとめると、本研究成果は世界の研究報告と比較して、シリコン熱電発電素子として最高水準の発電性能が得られており、熱コンダクタンスにおいてもナノ構造化薄膜の高い熱抵抗により、高水準の値が得られている。シリコンナノワイヤを用いた素子と比較して温度差の効率が低い値となっているが、作製方法の違いから大量生産に向けては有利であると考えられる。一方で材料の性能指数  $ZT$  はシリコンナノワイヤやビスマステルル合金と

比較して 10 分の 1 以下であり、さらなる熱伝導率低減技術の探索が求められる。

Table 6.3 Comparison of TEGs fabricated for harvester application reported in this decade.

	TE material	$\kappa$ ( $\text{Wm}^{-1}\text{K}^{-1}$ ) at 300 K	ZT at 300 K	Module type	Process type	TEG size ( $\text{cm}^2$ )	PF of device ( $\mu\text{Wcm}^2\text{K}^{-2}$ )	Thermal conductance per area ( $\text{Wm}^{-2}\text{K}^{-1}$ )	$\frac{\Delta T_{TE}}{\Delta T_{DEV}}$ (%)
Tokyo 2020 (this work)	Si PnC $t_{\text{Si}} = 300 \text{ nm}$	11	0.022 (n)	planar	Lithography	0.14	$5.6 \times 10^{-3}$	500	4.6
Singapore 2010 [25,31]	poly-Si $t_{\text{Si}} = 700 \text{ nm}$	31	0.006 (n) 0.011 (p)	planar	Lithography	0.6	$7.5 \times 10^{-5}$	14000	3.8
Lille 2017 [66,67]	poly-Si $t_{\text{Si}} = 900 \text{ nm}$	31	0.004	planar	Lithography	0.342	$4.6 \times 10^{-5}$	660	6.1
Barcelona 2019 [26,64,69]	Bundle of Si NW	25 (bundle)		planar	Lithography NW growth	0.02	$6.5 \times 10^{-3}$ ( $1.4 \times 10^{-5}$ w/o heatsink)	-	28
California 2012 [70]	Vertical Si NW array $h_{\text{NW}} = 750 \text{ nm}$	1.5		vertical	Lithography NW growth	$2.5 \times 10^{-5}$	1300	2000000	-
Freiburg 2007 [12]	BiTe $h_{\text{leg}} = 20 \mu\text{m}$		0.9 (n) 1.2 (p)	vertical	Lithography	0.25	113	16700	
Hangzhou 2018 [73]	BiTe $h_{\text{leg}} = 2 \text{ mm}$	1.1	0.9 (n) 1.1 (p)	vertical	Bulk	12	$5.9 \times 10^{-3}$ (natural convection)	500	-
Tsukuba 2020 [74]	FeAlSi $h_{\text{leg}} = 4 \text{ mm}$	6 (n) 5.5 (p)	0.029 (n) 0.030 (p)	vertical	Bulk	7	0.4	1500	-

## 6.8 本章のまとめ

ナノ構造を作製した平面型ユニレグ熱電発電素子について、

- 窒化チタンとチタン薄膜を界面に持つアルミ配線によって、n型多結晶シリコンとの間のコンタクト抵抗を  $100 \Omega\mu\text{m}^2$  以下に低減し、素子の内部抵抗を 50~75 %低減した。
- フッ酸による酸化膜層のエッチング後に電気抵抗の増加が観測され、原因を究明し、解決する必要がある。
- 素子の設計について、配線と熱電材料部分の抵抗の比から、最適な幅が決定されることを実験及び解析的に明らかにした。
- 素子の設計について、熱起電力の増加と電気抵抗の増加のトレードオフから、材料部分の長さについて最適化できることを実験的に明らかにした。
- シリコンウエハを用いたキャップ構造を導入することで、素子内部の温度差及び熱起電力が 20 倍以上向上した。
- 出力密度として素子外部温度差  $15^\circ\text{C}$  から目標である  $1 \mu\text{Wcm}^{-2}$  を達成した。
- 課題として、キャップ構造と素子の間にギャップがあることが観察された。
- 単位ユニットを 2400 集積した素子を作製し、歩留まりを保ったまま発電量を増加できることを示した。



## 第7章 結論

### 7.1 各章のまとめ

第1章では、トリリオンセンサー社会における自己給電可能なセンサーネットワーク端末の需要の増加に伴い熱電変換を用いた環境発電技術への期待が高まっていることを述べ、熱電発電素子の課題として材料コストが高いことや発電量が少ないことを明らかにした。本研究の目標について述べ、シリコンを材料とし半導体素子と同様のプロセスで作製可能な熱電発電素子を考案し、シリコン薄膜にナノ構造を作製することで熱電変換性能を向上し、素子の発電量を大幅に向上することを目指した研究であることを示した。

第2章では、ナノスケールにおける固体中の熱伝導について、その特徴的な振舞いを概説し、熱電変換性能の向上に有効なナノ構造について、代表的な先行研究をまとめた。

第3章では、マイクロ・ナノスケールの半導体素子作製に用いられるリソグラフィベースのウエハプロセスと表面マイクロマシニング技術について述べ、薄膜試料の熱伝導率測定に用いられるサーモリフレクタンス法と熱電発電素子の評価手法について述べた。

第4章では、ナノ構造を作製したシリコン薄膜について、熱アニール条件とナノ構造寸法を変えて熱電変換性能指数の評価を行い、性能指数を最大化する最適な条件を明らかにした。ナノ構造を作製することで、薄膜試料において2倍以上の性能指数向上を達成した。

第5章では、ナノ構造を作製したシリコン薄膜を用いて平面型ユニレグ熱電発電素子を作製し、内部電気抵抗と熱起電力の評価を行い、ナノ構造によって10倍程度の発電量向上を達成した。一方で課題として、素子内部に生じる温度差が小さいことがわかり、素子の熱設計を工夫する必要があることを確認した。

第6章では、前章で明らかにした課題を解決する方策として、上部にキャップ構造を有する素子进行設計し、シミュレーションと実験によってその有効性を検証した結果について述べた。素子上部にシリコンウエハとアルミヒートシンクを乗せた試料について発電量の評価を行い、素子内部に生じる温度差が20倍以上増加していることを観測し、電気抵抗の改善と合わせて580倍以上の発電量増加を達成した。また、集積数を増やした素子の作製にも取り組み、2400ユニットの集積による発電を実現した。

## 7.2 本研究のまとめ

- 平面型素子への応用を前提に、ナノ構造を用いた多結晶シリコン薄膜の熱電材料を開発した。ナノ構造を作製した薄膜試料の熱伝導率について詳細に探索することで、有効なナノ構造配置、及び寸法を明らかにした。
- ナノ構造を作製したシリコン薄膜を用いたユニレグ熱電発電素子を考案し、ナノ構造による10倍の発電量向上を実証した。リソグラフィを用いてトップダウンで作製されるフォノン結晶ナノ構造を用いた発電量の向上は世界で初である。
- 平面型熱電発電素子においては内部抵抗に占めるコンタクト抵抗の割合を低減することが重要であり、アルミと窒化チタンを用いた配線において、素子抵抗に占める割合が20%以下になるまで低減を達成した。
- 平面型素子の熱電材料部分について幅や長さを最適化するメカニズムを明らかにし、ユニバーサルな設計指針を得た。
- 平面型熱電発電素子においては素子面内に生じる温度差が重要であり、シリコンウエハを用いた上部キャップ構造を用いることで、20倍以上の熱起電力向上を達成し、平面型シリコン素子の発電性能指数として世界最高水準を達成した。
- 20°C以下の温度差から $1 \mu\text{Wcm}^2$ 以上の発電量が得られ、エネルギーハーベスト応用におけるセンサー駆動に必要な性能に大きく近づいた。

## 7.3 今後の展望

- 上部キャップ構造について、素子ウエハに密着していないことが確認されており、熱抵抗回路モデルの解析によると、キャップ構造を密着することで素子面内に生じる温度差を増加できると考えられるため、圧着によるキャップ構造の作製を行う。
- 熱電材料部分の抵抗について、プロセス中の悪化などまだ改善できる余地があり、プロセス手法や材料の厚さなどについて検討を行う。
- 本研究における平面型素子は、他の材料にも適用可能であり、シリコンゲルマニウム合金材料や他の高い $ZT$ を持つ薄膜材料を用いた素子の作製を行う。
- エネルギーハーベスト応用に向けては、昇圧回路の性能と合わせて素子の設計を行うことが重要であり、熱電素子に合った昇圧回路の開発を行う。
- エネルギーハーベスト応用において、熱電素子の低温側における放熱の熱コンダクタンスが重要であり、熱電素子の設計と合わせた放熱構造の開発も行う。

## 参考文献リスト

- [1] S. V. Garimella, L. Yeh, and T. Persoons, “Thermal Management Challenges in Telecommunication Systems and Data Centers,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 2, no. 8, pp. 1307–1316, Aug. 2012, doi: 10.1109/TCPMT.2012.2185797.
- [2] S. V. Garimella, T. Persoons, J. A. Weibel, and V. Gektin, “Electronics Thermal Management in Information and Communications Technologies: Challenges and Future Directions,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 7, no. 8, pp. 1191–1205, Aug. 2017, doi: 10.1109/TCPMT.2016.2603600.
- [3] A. L. Moore and L. Shi, “Emerging challenges and materials for thermal management of electronics,” *Mater. Today*, vol. 17, no. 4, pp. 163–174, 2014, doi: 10.1016/j.mattod.2014.04.003.
- [4] D. G. Cahill *et al.*, “Nanoscale thermal transport,” *J. Appl. Phys.*, vol. 93, no. 2, pp. 793–818, Jan. 2003, doi: 10.1063/1.1524305.
- [5] D. G. Cahill *et al.*, “Nanoscale thermal transport. II. 2003–2012,” *Appl. Phys. Rev.*, vol. 1, no. 1, p. 011305, Mar. 2014, doi: 10.1063/1.4832615.
- [6] T. Luo and G. Chen, “Nanoscale heat transfer – from computation to experiment,” *Phys. Chem. Chem. Phys.*, vol. 15, no. 10, p. 3389, 2013, doi: 10.1039/c2cp43771f.
- [7] C. J. Vineis, A. Shakouri, A. Majumdar, and M. G. Kanatzidis, “Nanostructured Thermoelectrics: Big Efficiency Gains from Small Features,” *Adv. Mater.*, vol. 22, no. 36, pp. 3970–3980, Sep. 2010, doi: 10.1002/adma.201000839.
- [8] Z. Tian, S. Lee, and G. Chen, “Heat Transfer in Thermoelectric Materials and Devices,” *J. Heat Transfer*, vol. 135, no. 6, p. 061605, Jun. 2013, doi: 10.1115/1.4023585.
- [9] J. P. Heremans, M. S. Dresselhaus, L. E. Bell, and D. T. Morelli, “When thermoelectrics reached the nanoscale,” *Nat. Nanotechnol.*, vol. 8, no. July, pp. 471–473, 2013, doi: 10.1038/nnano.2013.129.
- [10] F. D. Rosi, “Thermoelectricity and thermoelectric power generation,” *Solid. State. Electron.*, vol. 11, no. 9, pp. 833–868, Sep. 1968, doi: 10.1016/0038-1101(68)90104-4.
- [11] H. Kaibe *et al.*, “Development of thermoelectric generating stacked modules aiming for 15% of conversion efficiency,” in *ICT 2005. 24th International Conference on Thermoelectrics, 2005.*, 2005, pp. 242–247, doi: 10.1109/ICT.2005.1519929.
- [12] H. Bottner, J. Nurnus, A. Schubert, and F. Volkert, “New high density micro structured thermogenerators for stand alone sensor systems,” in *2007 26th International Conference on Thermoelectrics*, Jun. 2007, pp. 306–309, doi: 10.1109/ICT.2007.4569484.
- [13] G. J. Snyder and E. S. Toberer, “Complex thermoelectric materials,” *Nat. Mater.*, vol. 7, no. 2, pp. 105–114, Feb. 2008, doi: 10.1038/nmat2090.

- [14] K. Biswas *et al.*, “High-performance bulk thermoelectrics with all-scale hierarchical architectures,” *Nature*, vol. 489, no. 7416, pp. 414–418, 2012, doi: 10.1038/nature11439.
- [15] D. M. Rowe, “Applications of nuclear-powered thermoelectric generators in space,” *Appl. Energy*, vol. 40, no. 4, pp. 241–271, Jan. 1991, doi: 10.1016/0306-2619(91)90020-X.
- [16] A. I. Hochbaum *et al.*, “Enhanced thermoelectric performance of rough silicon nanowires,” *Nature*, vol. 451, no. 7175, pp. 163–167, Jan. 2008, doi: 10.1038/nature06381.
- [17] G. Gadea, M. Pacios, Á. Morata, and A. Tarancón, “Silicon-based nanostructures for integrated thermoelectric generators,” *J. Phys. D: Appl. Phys.*, vol. 51, no. 42, 2018, doi: 10.1088/1361-6463/aad683.
- [18] H. Akinaga, H. Fujita, M. Mizuguchi, and T. Mori, “Focus on advanced materials for energy harvesting: prospects and approaches of energy harvesting technologies,” *Sci. Technol. Adv. Mater.*, vol. 19, no. 1, pp. 543–544, Dec. 2018, doi: 10.1080/14686996.2018.1491165.
- [19] M. Haras and T. Skotnicki, “Thermoelectricity for IoT – A review,” *Nano Energy*, vol. 54, no. October, pp. 461–476, Dec. 2018, doi: 10.1016/j.nanoen.2018.10.013.
- [20] A. I. Boukai, Y. Bunimovich, J. Tahir-Kheli, J.-K. Yu, W. A. Goddard III, and J. R. Heath, “Silicon nanowires as efficient thermoelectric materials,” *Nature*, vol. 451, no. 7175, pp. 168–171, Jan. 2008, doi: 10.1038/nature06458.
- [21] G. Joshi *et al.*, “Enhanced Thermoelectric Figure-of-Merit in Nanostructured p-type Silicon Germanium Bulk Alloys,” *Nano Lett.*, vol. 8, no. 12, pp. 4670–4674, Dec. 2008, doi: 10.1021/nl8026795.
- [22] X. W. Wang *et al.*, “Enhanced thermoelectric figure of merit in nanostructured n-type silicon germanium bulk alloy,” *Appl. Phys. Lett.*, vol. 93, no. 19, p. 193121, Nov. 2008, doi: 10.1063/1.3027060.
- [23] J. Tang *et al.*, “Holey Silicon as an Efficient Thermoelectric Material,” *Nano Lett.*, vol. 10, no. 10, pp. 4279–4283, Oct. 2010, doi: 10.1021/nl102931z.
- [24] E. K. Lee *et al.*, “Large thermoelectric figure-of-merits from SiGe nanowires by simultaneously measuring electrical and thermal transport properties,” *Nano Lett.*, vol. 12, no. 6, pp. 2918–2923, 2012, doi: 10.1021/nl300587u.
- [25] J. Xie, C. Lee, M.-F. Wang, Y. Liu, and H. Feng, “Characterization of heavily doped polysilicon films for CMOS-MEMS thermoelectric power generators,” *J. Micromechanics Microengineering*, vol. 19, no. 12, p. 125029, Dec. 2009, doi: 10.1088/0960-1317/19/12/125029.
- [26] D. Dávila *et al.*, “Monolithically integrated thermoelectric energy harvester based on silicon nanowire arrays for powering micro/nanodevices,” *Nano Energy*, vol. 1, no. 6, pp. 812–819, 2012, doi: 10.1016/j.nanoen.2012.06.006.
- [27] G. Gadea Díez *et al.*, “Enhanced thermoelectric figure of merit of individual Si nanowires with ultralow contact resistances,” *Nano Energy*, vol. 67, no. July 2019, 2020, doi:

- 10.1016/j.nanoen.2019.104191.
- [28] M. Nomura, Y. Kage, D. Müller, D. Moser, and O. Paul, “Electrical and thermal properties of polycrystalline Si thin films with phononic crystal nanopatterning for thermoelectric applications,” *Appl. Phys. Lett.*, vol. 106, no. 22, p. 223106, 2015, doi: 10.1063/1.4922198.
- [29] J. Yan, X. Liao, D. Yan, and Y. Chen, “Review of Micro Thermoelectric Generator,” *J. Microelectromechanical Syst.*, vol. 27, no. 1, pp. 1–18, Feb. 2018, doi: 10.1109/JMEMS.2017.2782748.
- [30] K. Xie and M. C. Gupta, “High-temperature thermoelectric energy conversion devices using Si-Ge thick films prepared by laser sintering of nano/micro particles,” *IEEE Trans. Electron Devices*, vol. 67, no. 5, pp. 2113–2119, 2020, doi: 10.1109/TED.2020.2977832.
- [31] J. Xie, C. Lee, and H. Feng, “Design, Fabrication, and Characterization of CMOS MEMS-Based Thermoelectric Power Generators,” *J. Microelectromechanical Syst.*, vol. 19, no. 2, pp. 317–324, Apr. 2010, doi: 10.1109/JMEMS.2010.2041035.
- [32] C. de Tomas, A. Cantarero, a. F. Lopeandia, and F. X. Alvarez, “Thermal conductivity of group-IV semiconductors from a kinetic-collective model,” *Proc. R. Soc. A Math. Phys. Eng. Sci.*, vol. 470, no. 2169, p. 20140371, Sep. 2014, doi: 10.1098/rspa.2014.0371.
- [33] J. Callaway, “Model for Lattice Thermal Conductivity at Low Temperatures,” *Phys. Rev.*, vol. 113, no. 4, pp. 1046–1051, Feb. 1959, doi: 10.1103/PhysRev.113.1046.
- [34] M. G. Holland, “Analysis of Lattice Thermal Conductivity,” *Phys. Rev.*, vol. 132, no. 6, pp. 2461–2471, Dec. 1963, doi: 10.1103/PhysRev.132.2461.
- [35] C. Gang, *Nanoscale Energy Transport and Conversion*. OXFORD, 2005.
- [36] C. J. Glassbrenner and G. a. Slack, “Thermal Conductivity of Silicon and Germanium from 3°K to the Melting Point,” *Phys. Rev.*, vol. 134, no. 4A, pp. A1058–A1069, May 1964, doi: 10.1103/PhysRev.134.A1058.
- [37] S. VOLZ, J. SHIOMI, M. NOMURA, and K. MIYAZAKI, “Heat conduction in nanostructured materials,” *J. Therm. Sci. Technol.*, vol. 11, no. 1, pp. JTST0001–JTST0001, 2016, doi: 10.1299/jtst.2016jtst0001.
- [38] M. Asheghi, Y. K. Leung, S. S. Wong, and K. E. Goodson, “Phonon-boundary scattering in thin silicon layers,” *Appl. Phys. Lett.*, vol. 71, no. 13, pp. 1798–1800, 1997, doi: 10.1063/1.119402.
- [39] Y. S. Ju and K. E. Goodson, “Phonon scattering in silicon films with thickness of order 100 nm,” *Appl. Phys. Lett.*, vol. 74, no. 20, pp. 3005–3007, May 1999, doi: 10.1063/1.123994.
- [40] D. Li, Y. Wu, P. Kim, L. Shi, P. Yang, and A. Majumdar, “Thermal conductivity of individual silicon nanowires,” *Appl. Phys. Lett.*, vol. 83, no. 14, pp. 2934–2936, Oct. 2003, doi: 10.1063/1.1616981.
- [41] P. Martin, Z. Aksamija, E. Pop, and U. Ravaioli, “Impact of phonon-surface roughness scattering on thermal conductivity of thin Si nanowires,” *Phys. Rev. Lett.*, vol. 102, no. 12, pp. 1–4, 2009,

- doi: 10.1103/PhysRevLett.102.125503.
- [42] J. P. Feser *et al.*, “Thermal conductivity of silicon nanowire arrays with controlled roughness,” *J. Appl. Phys.*, vol. 112, no. 11, 2012, doi: 10.1063/1.4767456.
- [43] J. Lim, K. Hippalgaonkar, S. C. Andrews, A. Majumdar, and P. Yang, “Quantifying Surface Roughness Effects on Phonon Transport in Silicon Nanowires,” *Nano Lett.*, vol. 12, no. 5, pp. 2475–2482, May 2012, doi: 10.1021/nl3005868.
- [44] A. D. McConnell, S. Uma, and K. E. Goodson, “Thermal conductivity of doped polysilicon layers,” *J. Microelectromechanical Syst.*, vol. 10, no. 3, pp. 360–369, 2001, doi: 10.1109/84.946782.
- [45] Z. Wang, J. E. Alaniz, W. Jang, J. E. Garay, and C. Dames, “Thermal Conductivity of Nanocrystalline Silicon: Importance of Grain Size and Frequency-Dependent Mean Free Paths,” *Nano Lett.*, vol. 11, no. 6, pp. 2206–2213, Jun. 2011, doi: 10.1021/nl1045395.
- [46] T. Oyake, L. Feng, T. Shiga, M. Isogawa, Y. Nakamura, and J. Shiomi, “Ultimate Confinement of Phonon Propagation in Silicon Nanocrystalline Structure,” *Phys. Rev. Lett.*, vol. 120, no. 4, p. 45901, 2018, doi: 10.1103/PhysRevLett.120.045901.
- [47] M. Nomura, J. Shiomi, T. Shiga, and R. Anufriev, “Thermal phonon engineering by tailored nanostructures,” *Jpn. J. Appl. Phys.*, vol. 57, no. 8, p. 080101, Aug. 2018, doi: 10.7567/JJAP.57.080101.
- [48] G. Chen, C. L. Tien, X. Wu, and J. S. Smith, “Thermal Diffusivity Measurement of GaAs/AlGaAs Thin-Film Structures,” *J. Heat Transfer*, vol. 116, no. 2, pp. 325–331, May 1994, doi: 10.1115/1.2911404.
- [49] S.-M. Lee, D. G. Cahill, and R. Venkatasubramanian, “Thermal conductivity of Si–Ge superlattices,” *Appl. Phys. Lett.*, vol. 70, no. 22, p. 2957, 1997, doi: 10.1063/1.118755.
- [50] J.-K. Yu, S. Mitrovic, D. Tham, J. Varghese, and J. R. Heath, “Reduction of thermal conductivity in phononic nanomesh structures,” *Nat. Nanotechnol.*, vol. 5, no. 10, pp. 718–721, Oct. 2010, doi: 10.1038/nnano.2010.149.
- [51] P. E. Hopkins *et al.*, “Reduction in the thermal conductivity of single crystalline silicon by phononic crystal patterning,” *Nano Lett.*, vol. 11, no. 1, pp. 107–112, 2011, doi: 10.1021/nl102918q.
- [52] R. Anufriev and M. Nomura, “Phonon and heat transport control using pillar-based phononic crystals,” *Sci. Technol. Adv. Mater.*, vol. 19, no. 1, pp. 863–870, Dec. 2018, doi: 10.1080/14686996.2018.1542524.
- [53] M. N. Luckyanova *et al.*, “Coherent Phonon Heat Conduction in Superlattices,” *Science (80-. )*, vol. 338, no. 6109, pp. 936–939, Nov. 2012, doi: 10.1126/science.1225549.
- [54] E. Dechaumphai and R. Chen, “Thermal transport in phononic crystals: The role of zone folding effect,” *J. Appl. Phys.*, vol. 111, no. 7, p. 073508, 2012, doi: 10.1063/1.3699056.

- [55] N. Zen, T. a Puurtinen, T. J. Isotalo, S. Chaudhuri, and I. J. Maasilta, "Engineering thermal conductance using a two-dimensional phononic crystal," *Nat. Commun.*, vol. 5, p. 3435, Mar. 2014, doi: 10.1038/ncomms4435.
- [56] J. Maire, R. Anufriev, R. Yanagisawa, A. Ramiere, S. Volz, and M. Nomura, "Heat conduction tuning by wave nature of phonons," *Sci. Adv.*, vol. 3, no. 8, p. e1700027, Aug. 2017, doi: 10.1126/sciadv.1700027.
- [57] D. Song and G. Chen, "Thermal conductivity of periodic microporous silicon films," *Appl. Phys. Lett.*, vol. 84, no. 5, pp. 687–689, Feb. 2004, doi: 10.1063/1.1642753.
- [58] J. Nakagawa, Y. Kage, T. Hori, J. Shiomi, and M. Nomura, "Crystal structure dependent thermal conductivity in two-dimensional phononic crystal nanostructures," *Appl. Phys. Lett.*, vol. 107, no. 2, p. 023104, 2015, doi: 10.1063/1.4926653.
- [59] R. Rosei and D. W. Lynch, "Thermomodulation Spectra of Al, Au, and Cu," *Phys. Rev. B*, vol. 5, no. 10, pp. 3883–3894, May 1972, doi: 10.1103/PhysRevB.5.3883.
- [60] R. Anufriev, J. Maire, and M. Nomura, "Reduction of thermal conductivity by surface scattering of phonons in periodic silicon nanostructures," *Phys. Rev. B*, vol. 93, no. 4, p. 045411, 2016, doi: 10.1103/PhysRevB.93.045411.
- [61] M. Strasser, R. Aigner, M. Franosch, and G. Wachutka, "Miniaturized thermoelectric generators based on poly-Si and poly-SiGe surface micromachining," *Sensors Actuators A Phys.*, vol. 97–98, pp. 535–542, Apr. 2002, doi: 10.1016/S0924-4247(01)00815-9.
- [62] M. Strasser, R. Aigner, C. Lauterbach, T. F. Sturm, M. Franosh, and G. Wachutka, "Micromachined CMOS thermoelectric generators as on-chip power supply," in *TRANSDUCERS '03. 12th International Conference on Solid-State Sensors, Actuators and Microsystems. Digest of Technical Papers (Cat. No.03TH8664)*, 2003, vol. 1, pp. 45–48, doi: 10.1109/SENSOR.2003.1215249.
- [63] M. Nomura, R. Yanagisawa, P. Zimmermann, P. Ruther, and O. Paul, "Design of Planar Si Thermoelectric Generators with Phononic Crystal Patterning," *Sensors Mater.*, vol. 31, no. 9, p. 2803, Sep. 2019, doi: 10.18494/SAM.2019.2297.
- [64] I. Donmez Noyan *et al.*, "All-silicon thermoelectric micro/nanogenerator including a heat exchanger for harvesting applications," *J. Power Sources*, vol. 413, no. December 2018, pp. 125–133, Feb. 2019, doi: 10.1016/j.jpowsour.2018.12.029.
- [65] A. Jacquot, W. L. Liu, G. Chen, J.-P. Fleurial, A. Dauscher, and B. Lenoir, "Figure-of-merit and emissivity measurement of fine-grained polycrystalline silicon thin films," in *Twenty-First International Conference on Thermoelectrics, 2002. Proceedings ICT '02.*, 2002, vol. 2002-Janua, pp. 118–121, doi: 10.1109/ICT.2002.1190279.
- [66] K. Ziouche, Z. Yuan, P. Lejeune, T. Lasri, D. Leclercq, and Z. Bougrioua, "Silicon-Based Monolithic Planar Micro Thermoelectric Generator Using Bonding Technology," *J.*

- Microelectromechanical Syst.*, vol. 26, no. 1, pp. 45–47, Feb. 2017, doi: 10.1109/JMEMS.2016.2633442.
- [67] Z. Yuan, K. Ziouche, Z. Bougrioua, P. Lejeune, T. Lasri, and D. Leclercq, “A planar micro thermoelectric generator with high thermal resistance,” *Sensors Actuators A Phys.*, vol. 221, pp. 67–76, Jan. 2015, doi: 10.1016/j.sna.2014.10.026.
- [68] K. Ziouche, I. Bel-Hadj, and Z. Bougrioua, “Thermoelectric properties of nanostructured porous-polysilicon thin films,” *Nano Energy*, vol. 80, no. July 2020, p. 105553, Feb. 2021, doi: 10.1016/j.nanoen.2020.105553.
- [69] I. Donmez Noyan *et al.*, “SiGe nanowire arrays based thermoelectric microgenerator,” *Nano Energy*, vol. 57, no. November 2018, pp. 492–499, Mar. 2019, doi: 10.1016/j.nanoen.2018.12.050.
- [70] B. M. Curtin, E. W. Fang, and J. E. Bowers, “Highly ordered vertical silicon nanowire array composite thin films for thermoelectric devices,” *J. Electron. Mater.*, vol. 41, no. 5, pp. 887–894, 2012, doi: 10.1007/s11664-012-1904-1.
- [71] S. K. Yee, S. LeBlanc, K. E. Goodson, and C. Dames, “\$ per W metrics for thermoelectric power generation: beyond ZT,” *Energy Environ. Sci.*, vol. 6, no. 9, pp. 2561–2571, Jun. 2013, doi: 10.1039/C3EE41504J.
- [72] S. LeBlanc, S. K. Yee, M. L. Scullin, C. Dames, and K. E. Goodson, “Material and manufacturing cost considerations for thermoelectrics,” *Renew. Sustain. Energy Rev.*, vol. 32, pp. 313–327, Apr. 2014, doi: 10.1016/j.rser.2013.12.030.
- [73] Y. Wang, Y. Shi, D. Mei, and Z. Chen, “Wearable thermoelectric generator to harvest body heat for powering a miniaturized accelerometer,” *Appl. Energy*, vol. 215, no. October 2017, pp. 690–698, 2018, doi: 10.1016/j.apenergy.2018.02.062.
- [74] Y. Takagiwa, T. Ikeda, and H. Kojima, “Earth-Abundant Fe–Al–Si Thermoelectric (FAST) Materials: from Fundamental Materials Research to Module Development,” *ACS Appl. Mater. Interfaces*, vol. 12, no. 43, pp. 48804–48810, Oct. 2020, doi: 10.1021/acsami.0c15063.



## 本研究に関する研究業績

### 学術論文

1. R. Yanagisawa, N. Tsujii, T. Mori, P. Ruther, O. Paul, and M. Nomura, "Nanostructured planar-type uni-leg Si thermoelectric generators," *Appl. Phys. Express* **13**, 095001 (2020).
2. M. Nomura, R. Yanagisawa, P. Zimmermann, P. Ruther, and O. Paul, "Design of Planar-type Si Thermoelectric Generators with Phononic Crystal Patterning," *Sensors and Materials* **31**, 2803-2810 (2019).
3. A. George, R. Yanagisawa, R. Anufriev, J. He, N. Yoshie, N. Tsujii, Q. Guo, T. Mori, S. Volz, and M. Nomura, "Thermoelectric enhancement of silicon membranes by ultrathin amorphous films," *ACS Appl. Mater. Interfaces* **11**, 12027 (2019).
4. S. Gluchko, R. Anufriev, R. Yanagisawa, S. Volz, and M. Nomura, "On the reduction and rectification of thermal conduction using phononic crystals with pacman-shaped holes," *Appl. Phys. Lett.* **114**, 023102 (2019).
5. J. Maire, R. Anufriev, A. Ramiere, R. Yanagisawa, S. Volz, and M. Nomura, "Heat conduction tuning by wave nature of phonons," *Science Advances* **3**, e1700027 (2017).
6. R. Anufriev, R. Yanagisawa, and M. Nomura, "Aluminium nanopillars reduce thermal conductivity of silicon nanobeams," *Nanoscale* **9**, 15083 (2017).
7. R. Yanagisawa, J. Maire, A. Ramiere, R. Anufriev, and M. Nomura, "Impact of limiting dimension on thermal conductivity of one-dimensional silicon phononic crystals," *Appl. Phys. Lett.* **110**, 133108 (2017).
8. Y. Kage, H. Hagino, R. Yanagisawa, J. Maire, K. Miyazaki, and M. Nomura, "Thermal phonon transport in Si thin film with dog-leg shaped asymmetric nanostructures," *Jpn. J. Appl. Phys.* **55**, 085201 (2016).

## 国際会議

1. ○R. Yanagisawa, Patrick Ruther, Oliver Paul, and M. Nomura, "Development of planar-type silicon thermoelectric energy harvester with phononic crystal nanostructures by nanoimprint lithography," PowerMEMS2019, P3-3, Krakow, Poland (2019).
2. M. Nomura and ○R. Yanagisawa (Invited), "Thermoelectric Si thin film with nanostructures," Asian Advanced Materials Congress, Singapore (2019).
3. ○ M. Nomura and R. Yanagisawa (Invited), "Power enhancement of planar-type Si thermoelectric devices by nanostructuring," The 13th Pacific Rim Conference of Ceramic Societies (PACRIM13), Okinawa, Japan (2019).
4. ○ R. Yanagisawa, and M. Nomura, "Power enhancement of silicon membrane-based thermoelectric energy harvester with tailored holey nanostructures" PowerMEMS2018, W2A-01, Daytona, USA, Dec. (2018).
5. ○ R. Yanagisawa, and M. Nomura, "Enhancement of uni-leg Si thermoelectric generator performance by phononic crystal nanostructures," 50th International Conference on Solid State Devices and Materials, Tokyo, Japan, Sep. (2018).
6. A. George, ○R. Yanagisawa, and M. Nomura, "Power Enhancement of Si Membrane-based Thermoelectric Generator by Aluminium Ultrathin Layer Deposition," 37th International and European Conference on Thermoelectrics, Tu-1145, Caen, France (2018).
7. ○R. Yanagisawa, N. Tsujii, O. Paul, T. Mori, and M. Nomura, "Importance of grain size for nanostructured poly-Si thermoelectric material," The 17th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Application, Kanazawa, Japan, Nov. (2017).
8. ○R. Yanagisawa, N. Tsujii, T. Mori, and M. Nomura, "Si phononic crystal membrane with  $ZT = 0.1$  at 295 K," 2017 International Conference on Thermoelectrics, Pasadena, USA, July (2017).
9. ○M. Nomura, J. Maire, R. Yanagisawa, A. Ramiere, and R. Anufriev, "Heat conduction control by phonon band engineering," EDISON20, Th03-2, Buffalo, USA, July (2017).
10. P. Zimmermann, ○R. Yanagisawa, and M. Nomura, "Improved thermoelectric harvester design by using nano-structuring," International Symposium on Micro-Nano Science and Technology 2016, SuP-19, Tokyo, Japan, Dec. (2016).

## 国内学会・シンポジウム

1. 柳澤 亮人, 野村 政宏, “ナノインプリントによるフォノンニックナノ構造シリコン薄膜熱電デバイスの高出力化,” D211, 日本機械学会 熱工学コンファレンス 2019, 名古屋工業大学 (2019).
2. 柳澤 亮人, 野村 政宏, “フォノンニックナノ構造シリコン薄膜熱電デバイスの熱設計シミュレーション,” D213, 日本機械学会 熱工学コンファレンス 2019, 名古屋工業大学 (2019).
3. 柳澤 亮人, 野村 政宏, “圧膜化したシリコンフォノンニック結晶における大幅な熱伝導率低減の観測,” 18p-E214-7, 第 80 回応用物理学会秋季学術講演会, 北海道大学 (2019).
4. 柳澤 亮人, 野村 政宏, “フォトレジストピラーを用いたプレーナ型熱電発電デバイスの上部ヒートシンク構造作製に向けた室設計シミュレーション,” 20a-PB4-6, 第 80 回応用物理学会秋季学術講演会, 北海道大学 (2019).
5. 野村 政宏, 柳澤 亮人, Paul Oliver (招待講演), “フォノンエンジニアリングによるシリコン薄膜熱電発電デバイス開発,” 第 66 回応用物理学会春季学術講演会, 11a-W242-4, 東京工業大学, 東京(2019).
6. 柳澤 亮人, Ruther Patrick, Paul Oliver, 野村 政宏, “ナノインプリントによるシリコン薄膜熱電ハーベスタの作製と性能評価,” 第 66 回応用物理学会春季学術講演会, 11p-W242-4, 東京工業大学, 東京(2019).
7. 柳澤 亮人, Ruther Patrick, Paul Oliver, 野村 政宏, “ナノ構造化によるシリコン薄膜の ZT 増強と平面型熱電デバイス開発,” 第 66 回応用物理学会春季学術講演会, 10p-W351-5, 東京工業大学, 東京(2019).
8. ○柳澤 亮人, 野村 政宏, “フォノンニック結晶ナノ構造による薄膜型シリコン熱電発電デバイスの出力向上,” 日本機械学会熱工学コンファレンス, D125, 富山大学, 富山 (2018).
9. ○柳澤 亮人, 野村 政宏, “薄膜型シリコン熱電発電デバイスのフォノンニック結晶ナノ構造による出力向上,” 第 79 回応用物理学会秋季学術講演会, 20p-234B-3, 名古屋国際会議場, 愛知 (2018).
10. ○柳澤 亮人, 辻井 直人, Paul Oliver, 森 孝雄, 野村 政宏, “多結晶シリコン薄膜フォノンニックナノ構造における熱伝導率のアニール時間依存性,” 第 65 回応用物理学会春季学術講演会, 18p-P15-5, 早稲田大学, 東京 (2018).
11. ○柳澤亮人, Zimmermann Peter, 辻井直人, Paul Oliver, 森孝雄, 野村政宏, “ナノ構造化による多結晶シリコン薄膜熱電変換素子の高出力化の検討,” 第 64 回応用物理学会春季学術講演会, 14p-F206-9, パシフィコ横浜 (2017).
12. ○柳澤亮人, 野村政宏, “熱電変換応用に向けた二次元フォノンニック結晶格子の検討,” 第 77 回応用物理学会秋季学術講演会, 15p-A35-16, 新潟 (2016).

13. ○柳澤亮人, Maire Jeremie, 野村政宏, “シリコン一次元フォノンニック結晶における熱伝導率の低減,” 第 53 回日本伝熱シンポジウム, K224, 大阪 (2016).
14. ○柳澤亮人, Anufriev Roman, Maire Jeremie, 野村政宏, “フォノンニック結晶におけるネットワーク効果による熱伝導率の低減,” 第 63 回応用物理学会春季学術講演会, 20p-W323-6, 東工大 (2016).
15. ○柳澤亮人, Anufriev Roman, 野村政宏, “線形弾性理論による一次元フォノンニック結晶の熱伝導率解析,” 第 76 回応用物理学会秋季学術講演会, 15p-2C-20, 名古屋 (2015).

### 特許

1. 発明者：野村政宏, 柳澤亮人他, 出願番号：2019-099309, 発明の名称：熱電変換装置、電子機器および熱電変換装置の製造方法, 出願日：2019 年 5 月 28 日.
2. 発明者：野村政宏, Roman Anufriev, 柳澤亮人, Anthony George, 出願番号：特願 2017-154070, 発明の名称：熱電変換材料およびその製造方法, 出願日：2017 年 8 月 9 日.

### 受賞

1. 第 3 回フォノンエンジニアリング研究グループ研究会、講演奨励賞、神奈川 (2019)

## その他の研究業績

### 学術論文

1. S. Koike, R. Yanagisawa, M. Kurosawa, and M. Nomura, "Design of a Planar-type Uni-leg SiGe Thermoelectric Generator," *Jpn. J. Appl. Phys.* 59 074003 (2020).
2. X. Huang, D. Ohori, R. Yanagisawa, R. Anufriev, S. Samukawa, and M. Nomura, "Coherent and incoherent impacts of nanopillars on the thermal conductivity in silicon nanomembranes," *ACS Appl. Mater. Interfaces* 12, 25478 (2020).
3. N. Okamoto, R. Yanagisawa, R. Anufriev, Md. M. Alam, K. Sawano, M. Kurosawa, and M. Nomura, "Semiballistic thermal conduction in polycrystalline SiGe nanowires," *Appl. Phys. Lett.* **115**, 253101 (2019).

### 国際会議

1. ○X. Huang, R. Yanagisawa, D. Ohori, S. Samugawa, and M. Nomura, "Effective thermal conductivity tuning in Si thin film by nanopillars," The 2nd Pacific Rim Thermal Engineering Conference, PRTEC-24210, Hawaii, USA (2019).
2. ○M. Nomura, X. Huang, A. George, R. Yanagisawa, S. Gluchko, R. Anufriev, and S. Volz, "Enhancement of thermoelectric performance of Si films by surface nanostructuring," XXVIII International Materials Research Congress, SD7-O034, Mexico (2019).
3. N. Okamoto, R. Yanagisawa, M. M. Alam, K. Sawano, M. Kurosawa, and ○M. Nomura, "Semi-ballistic thermal transport in SiGe nanowires," TuA1-5, CSW2019, Nara, Japan (2019).
4. ○S. Gluchko, R. Anufriev, R. Yanagisawa, S. Volz, and M. Nomura, "Phonon transport in silicon phononic crystals with pacman holes," Nanoscale and Microscale Heat Transfer VI, 112, Levi, Finland (2018).
5. ○Y. Wu, R. Anufriev, S. Gluchko, R. Yanagisawa, M. Nomura, and S. Volz, "Proving surface phonon polaritons contribution to thermal conductivity in SiN submicron thin films," Nanoscale and Microscale Heat Transfer VI, 228, Levi, Finland (2018).
6. ○S. Gluchko, R. Anufriev, R. Yanagisawa, S. Volz, and M. Nomura "Heat Conduction by Long-range Electromagnetic Surface Waves in Submicron Dielectric Films", PIERS 2018, 4A\_16, Toyama, Japan (2018).
7. ○S. Nakagawa, S. Nishimura, R. Yanagisawa, M. Nomura, and N. Yoshie, "Effects of crosslinking on the edge morphology of patterned polymer brushes," 24th Polymer Networks and Gels, O-33, Prague, Czech Republic (2018).
8. ○R. Anufriev (Invited), R. Yanagisawa, and M. Nomura, "Surface engineering of nanobeams and nanomembranes for silicon-based thermoelectrics," Collaborative Conference on Materials

Research, 312, Seoul, Korea (2018).

9. ○M. Nomura, A. George, R. Yanagisawa, and S. Volz, “Enhancement of Thermoelectric Performance of Si Membrane by Al Silicide Nanodots,” CSW2018, We2A2.7, Boston, USA (2018).
10. ○M. Nomura, R. Anufriev, A. Ramiere, J. Maire, and R. Yanagisawa, “Heat flux engineering in Si membrane by phononic nanostructures, International Symposium on Hybrid Quantum Systems 2017, TU-A1-2, Sendai Japan (2017).
11. M. Nomura, J. Nakagawa, K. Sawano, ○R. Yanagisawa, and S. Volz “Probing thermal phonon mean free path using phononic crystal nanostructures,” The 17th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Application, Kanazawa, Japan, Nov. (2017)
12. ○R. Anufriev, A. Ramiere, R. Yanagisawa, J. Maire, and M. Nomura, “Creating and focusing directional heat fluxes using phononic nanostructures,” EDISON20, Th03-3, Buffalo, USA, July (2017).
13. ○J. Maire, R. Anufriev, R. Yanagisawa, A. Ramiere, S. Volz, and M. Nomura, “Heat Conduction Tuning Based on the Wave Nature of Phonons,” 2017 MRS Spring Meeting & Exhibit, NM2.4.02, Phoenix, USA, April (2017).
14. ○M. Nomura (Invited, Best Paper Award), J. Maire, R. Anufriev, A. Ramiere, and R. Yanagisawa, “Phonon engineering by phononic crystal nanostructures,” The 28th Symposium on Phase Change Oriented Science, 9, Atami, Japan (2016).
15. ○M. Nomura, R. Yanagisawa, J. Maire, R. Anufriev, and S. Volz, “Coherent thermal conduction tuning by phononic crystals,” Eurotherm 108 Nanoscale and Microscale Heat Transfer V, Santorini, Greece (2016).

## 国内学会・シンポジウム

1. 小池 壮太, 柳澤 亮人, 黒澤 昌志, 野村政宏, “SiGe 薄膜熱電発電デバイス出力の膜厚依存性,” 日本機械学会 熱工学コンファレンス 2020, C131, オンライン開催 (2020).
2. 小池 壮太, 柳澤 亮人, 黒澤 昌志, 野村 政宏, “多結晶 SiGe 薄膜を用いた平面型ユニレグ熱電デバイスの設計,” 第 81 回応用物理学会 秋季学術講演会, 8p-Z09-14, オンライン開催 (2020).
3. 半田 浩一郎, 古澤 健太郎, 青木 画奈, 関根 徳彦, 柳澤 亮人, 石田 悟己, 野村 政宏, 岩本 敏, 田邊 孝純, “低損失 SiN デバイス作製のためのクライオエッチング加工特性の検討,” 第 20 回レーザー学会東京支部研究会 電気学会 光・量子デバイス技術研究会, 東海大学 (2020).
4. 小池 壮太, 柳澤 亮人, 黒澤 昌志, 野村 政宏, “多結晶 SiGe 薄膜を用いた熱電変換デバイスの設計,” 第 67 回応用物理学会春季学術講演会, 14p-A405-13, 上智大学(2020).

5. 早勢 直紀, Laurent Jalabert, 柳澤 亮人, Roman Anufriev, 野村 政宏, “フォノンニック構造を有する単結晶シリコン薄膜の熱整流 効果に関する実験的研究,” 第 67 回応用物理学会春季学術講演会, 14a-A405-6, 上智大学(2020).
6. 石井 義紀, 和田 義之, 石川 誠, 柳澤 亮人, 渡辺 宜朗, 野村 政宏, 三浦 浩治, “サブミクロンピラー表面でのマクロスケール超潤滑 II,” 日本物理学会第 75 回年次大会, 17aPS 119, 名古屋大学(2020).
7. X. Huang, R. Yanagisawa, D. Ohori, S. Samukawa, and M. Nomura, “Thermal conductivity of Si thin film with nanopillars,” 18p-E214-9, 第 80 回応用物理学会秋季学術講演会, 北海道大学 (2019).
8. 岡本 昂, 柳澤 亮人, マハフーズ アラム, 澤野 憲太郎, 黒澤 昌志, 野村 政宏, “温度と組成に依存する Si<sub>1-x</sub>Ge<sub>x</sub> ナノワイヤ中の準弾道的熱輸送,” 第 66 回応用物理学会春季学術講演会, 9p-W371-3, 東京工業大学, 東京(2019).
9. 和田 範之, 石川 誠, 鈴木 勝, 柳澤 亮人, 野村 政宏, 三浦 浩治, “マイクロピラー表面の超潤滑,” 日本物理学会第 74 回年次大会, 15pK204-8, 九州大学 (2019).
10. 藤田 健太郎, 友田 基信, Oliver B. Wright, 稲垣 敬介, 松田 理, 柳澤 亮人, 野村 政宏, “負の屈折を起こす GHz 音響メタマテリアルの開発,” 日本物理学会 2018 年秋季大会, 9pC215-2, 同志社大学, 京都 (2018).
11. 藤田 健太郎, 友田 基信, Wright Oliver, 松田 理, 柳澤 亮人, 野村 政宏, “反転対称性の破れた二次元音響メタマテリアルによる GHz 音響波の伝播制御,” 第 79 回応用物理学会秋季学術講演会, 20a-234B-2, 名古屋国際会議場, 愛知 (2018).
12. ○岡本 昂, 柳澤 亮人, アラム マハフーズ, 澤野 憲太郎, 野村 政宏, “低温における SiGe ナノワイヤ中の熱輸送に関する考察,” 第 79 回応用物理学会秋季学術講演会, 20p-234B-6, 名古屋国際会議場, 愛知 (2018).
13. ○S. Gluchko, R. Anufriev, R. Yanagisawa, S. Volz, M. Nomura, “Thermal properties of silicon phononic crystals with pacman holes, 20p-234B-2, 名古屋国際会議場, 愛知 (2018).
14. ○藤田 健太郎, 友田 基信, Wright Oliver, 松田 理, 柳澤 亮人, 野村 政宏, “反転対称性の破れた二次元音響メタマテリアルによる GHz 音響波の伝播制御,” 第 79 回応用物理学会秋季学術講演会, 20a-234B-2, 名古屋国際会議場, 愛知 (2018).
15. ○藤田 健太郎, 友田 基信, Oliver B. Wright, 稲垣 敬介, 松田 理, 柳澤 亮人, 野村 政宏, “負の屈折を起こす GHz 音響メタマテリアルの開発,” 日本物理学会 2018 年秋季大会, 9pC215-2, 同志社大学, 京都 (2018).
16. ○R. Anufriev, R. Yanagisawa, and M. Nomura, “Aluminium nanopillars reduce thermal conductivity of silicon nanobeams,” 第 65 回応用物理学会春季学術講演会, 20p-C304-6, 早稲田大学, 東京 (2018).
17. ○R. Anufriev, R. Yanagisawa, and M. Nomura, “Aluminium nanopillars reduce thermal conductivity of silicon nanobeams,” 第 65 回応用物理学会春季学術講演会, 20p-C304-6, 早

- 稲田大学, 東京 (2018).
18. ○岡本 昂, 柳澤 亮人, アラム マハフーズ, 澤野 憲太郎, 野村 政宏, ” SiGe ナノワイヤーにおける弾道的熱輸送,” 第 65 回応用物理学会春季学術講演会, 20p-C304-8, 早稲田大学, 東京 (2018).
  19. ○M. Nomura (基調講演), J. Maire, R. Anufriev, A. Ramiere, R. Yanagisawa, and S. Volz, “Thermal conduction control in Si membrane by phonon engineering,” Phase Change Oriented Science (PCOS) 2017, 17-1, 熱海 (2017).
  20. ○A. George, R. Yanagisawa, and M. Nomura, “Enhancement of Thermoelectric Performance of Si Film by Al Ultrathin Layer Deposition,” 第 78 回応用物理学会秋季学術講演会, 6p-C22-5, 福岡国際会議場 (2017).
  21. ○A. Ramiere, R. Yanagisawa, and M. Nomura, “Phonon mean free path analysis in Si 1D phononic crystals,” 第 76 回応用物理学会秋季学術講演会, 14p-B12-5, 新潟 (2016).
  22. ○Jeremie Maire, Roman Anufriev, Ryoto Yanagisawa, Sebastian Volz, Masahiro Nomura, “Thermal conduction control by thermal phononics and its mechanism,” 第 63 回応用物理学会春季学術講演会, 20p-W323-7, 東工大 (2016).