

博士論文

塗布型有機トランジスタの 低電圧駆動化に関する研究

北原 暁

目次

第 1 章	序論	1
1.1	はじめに	1
1.2	有機トランジスタ向け塗布型電子材料と塗布プロセスの進化	2
1.2.1	低分子系半導体	3
1.2.2	高分子系半導体	12
1.2.3	電極の印刷形成技術	15
1.3	有機 TFT のキャリア輸送とスイッチング特性	19
1.3.1	有機・無機トランジスタの比較	19
1.3.2	基本的な電気特性	20
1.3.3	キャリアトラップとサブスレッショルド特性	23
1.3.4	ゲート絶縁層による SS 値の急峻化	27
1.4	絶縁層界面制御による TFT 高性能化	29
1.4.1	表面濡れ性の一般論	29
1.4.2	絶縁層表面濡れ性の制御	32
1.4.3	絶縁層界面とデバイス特性の相関	34
1.5	塗布型有機 TFT の低電圧駆動化に向けた課題	39
1.6	研究目的と概要	40
第 2 章	高撥液ゲート絶縁層・印刷電極構造の構築と最適化	41
2.1	研究背景と目的	41
2.2	高撥液絶縁層上への金属配線印刷	41
2.2.1	銀ナノコロイドインクの合成	42
2.2.2	スーパーナップ法による電極印刷	43
2.2.3	スーパーナップ印刷電極の導電性	45
2.3	高撥液ゲート絶縁層の評価	46
2.4	TFT 構築と電気特性	48
2.5	結論	52
第 3 章	高撥液絶縁層上への高分子系半導体の塗布	53
3.1	研究背景と目的	53
3.2	高撥液絶縁層上への高分子系半導体の塗布	53

3.2.1	プッシュコート法による半導体塗布製膜	53
3.2.2	塗布半導体膜の配向評価	55
3.3	塗布型 TFT 構築と電気特性	56
3.3.1	試料作製	56
3.3.2	電気特性	57
3.3.3	キャパシタンス制御とスイッチング特性	59
3.4	絶縁層・電極界面に応じた電気特性の比較	60
3.4.1	試料作製	60
3.4.2	電気特性	61
3.4.3	駆動安定性	62
3.4.4	接触抵抗	65
3.5	結論	68
第 4 章	低分子系塗布型半導体による高急峻スイッチングの実現	71
4.1	研究背景と目的	71
4.2	高撥液絶縁層上への低分子系半導体の塗布	71
4.2.1	従来塗布法におけるメニスカス形状観察	71
4.2.2	拡張メニスカス塗布法の開発	76
4.2.3	拡張メニスカス塗布法におけるメニスカス形状観察と製膜原理の考察	77
4.2.4	塗布半導体膜の評価	83
4.3	TFT 構築と電気特性	85
4.3.1	試料作製	85
4.3.2	電気特性	86
4.3.3	絶縁層界面に応じた電気特性の比較	88
4.3.4	先行研究との比較	90
4.4	全塗布型 TFT 構築と電気特性	92
4.4.1	試料作製	92
4.4.2	電気特性	93
4.4.3	印刷銀電極近傍の観察	94
4.5	拡張メニスカス塗布法の半導体材料適用幅	95
4.5.1	高撥液絶縁層上への塗布製膜	95
4.5.2	高撥液絶縁層上塗布膜の電気特性	96
4.6	結論	97
第 5 章	総括	99
	謝辞	103
	研究成果	107
	参考文献	111

第 1 章

序論

1.1 はじめに

1950 年頃、 π 共役系を有する分子性物質が π 電子に由来する導電性を示すことが、井口・赤松らの一連の研究により見出された^{1,2}。これらは総称して「有機半導体」と名付けられ、以降その電子機能開拓が精力的に行われてきた。有機半導体において電気伝導を担う π 電子は、非局在化して空間的な広がりを有しており、有機半導体固体のマクロな電気物性はそれら軌道の重なり、すなわち分子の凝集構造（結晶性・配向性）に依存する。これら有機半導体の凝集構造制御・薄膜作製技術の発展に伴い、有機半導体を固体素子へ応用する研究（＝有機エレクトロニクス）が幅広く展開され、1980 年頃には例えば有機太陽電池（OPV）³、有機発光ダイオード（OLED）⁴、有機薄膜トランジスタ（OTFT）⁵⁻⁷等、各種デバイスの基礎的な原理検証が報告されるに至っている。有機半導体をデバイス化する利点として、軽い・柔らかいという特徴や、半導体分子を溶かした溶液の塗布・乾燥によって半導体デバイスを簡易に作製できるという特徴が挙げられる。そのため、電子デバイスの軽量化・フレキシブル化・ウェアラブル化、さらに製造の省資源化・省エネルギー化・大面積化の実現等、既存のシリコン等の無機半導体では容易には成し得ない「有機ならではの」エレクトロニクスを展開することができる（図 1.1）。これらの観点から有機半導体は、人間と情報が高度に融合した未来社会（Society 5.0）や持続可能な開発目標（SDGs）といった次世代の要請に応える、幅広い可能性を有したエレクトロニクス材料と言える。

とりわけ近年、塗布によりデバイス化可能な薄膜トランジスタ（TFT）向けの低分子系有機半導体とその製膜技術が著しく発展してきた。TFT とは、外部電圧で電流のオンオフを制御する最も基本

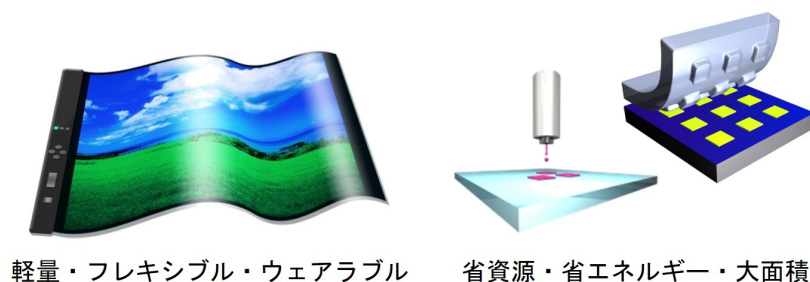


図 1.1 有機半導体の特徴を活かした電子デバイスおよび製造工程の例。

的なスイッチング素子であり、例えばディスプレイのバックプレーン（制御素子）等に用いられている。TFT 向けの半導体材料として特に、 π 電子骨格にアルキル鎖を連結した棒状分子群は^{8,9}、半導体分子を溶かした溶液の塗布・乾燥によって、気液界面で二次元的に薄く広がった層状結晶が自発的に形成する性質を有しており¹⁰、この層状結晶が TFT において優れた電気特性を示すことが明らかになっている。実際に塗布結晶膜において、実用化の指標の一つであるデバイス移動度として $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上の値が複数の材料で報告されており¹¹⁻¹³、これらは液晶ディスプレイで用いられるアモルファスシリコン TFT ($\sim 1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) を大きく凌駕する優れた特性である。これら層状結晶性材料および塗布プロセスの発展により、塗布という簡便な手法で高品質な半導体結晶膜が得られるようになってきており、移動度という観点では実用に匹敵する性能が達成されつつあると言える。

一方で、高移動度を維持しつつ、低電圧・安定駆動や急峻スイッチングを実現することが容易でないことが課題となっている。有機デバイスの低消費電力化は、有機半導体の軽量・柔軟さを活かしたポータブル・ウェアラブルデバイスの実現には不可欠であり、有機 TFT の主要な研究テーマの一つである^{14,15}。例えばポータブル化の主要電源であるリチウムイオン電池は起電力が 3.7 V 程度であるが、塗布結晶膜の高移動度を報告している文献では 10 V 以上の駆動電圧が典型的に用いられている。これら従来の有機 TFT では、半導体・絶縁層界面や半導体由来のキャリアトラップにより、低電圧駆動特性が損なわれることが要因として指摘されている¹⁶⁻¹⁹。トラップの抑制には例えば、高撥液絶縁層や高結晶性半導体を用いて高品質なキャリア輸送界面を形成することが有効であるとされており、実際にルブレン単結晶を貼り付けて作製したモデルデバイスにおいて、理論限界に迫るスイッチング性能と $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える高移動度が両立しうると報告されている²⁰。塗布型 TFT において高移動度を維持しつつ低電圧駆動を達成するためには、このようなトラップ抑制界面を塗布により実現する必要があると考えられる。

以上を踏まえ本博士論文では、層状結晶性に優れる半導体材料を用いてトラップ抑制界面の塗布構築を試み、塗布型有機 TFT の低電圧駆動（高移動度・急峻スイッチングの両立）の実現を目的とした。本章では序論としてまず、近年著しく発展した塗布型電子材料（半導体・電極）および塗布プロセスについて、本研究に関連する題材を中心に総説を行う（1.2 節）。次いで、有機 TFT におけるトラップ抑制の重要性を示し（1.3 節）、絶縁層界面に着目した TFT 高性能化の取り組みについて述べる（1.4 節）。これらを踏まえ、有機 TFT の「塗布構築」「低電圧駆動」を両立するために必要な課題を明確にし（1.5 節）、研究目的と概要へつなげる（1.6 節）。

1.2 有機トランジスタ向け塗布型電子材料と塗布プロセスの進化

有機半導体は、分子を溶かした溶液の塗布により製膜ができるため、電子デバイスの安価・大面積製造を可能にする革新的な塗布プロセスの実現のために、中心的な役割を果たすことが期待される。最も基本的なスイッチング素子である薄膜トランジスタ（TFT）については、全塗布により作製するというコンセプトの提案・原理検証が 2000 年には Sirringhaus らによってなされている²¹。当時の塗布型デバイスの移動度は $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ オーダーであり、実用指標のアモルファスシリコン ($\sim 1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) に及ばない水準であったが、その後 TFT 向けの塗布型半導体材料や塗布プロセスは大きく発展してきた。特に、 π 電子骨格にアルキル鎖を連結した棒状分子群（低分子系半導体）では^{8,9}、溶液乾燥時の薄膜結晶形成能が著しく優れており、この高均質結晶により $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以

上の高移動度が実現できるようになっている^{11,12,38}。

本節では、これら TFT 向け塗布型材料および塗布プロセスの進化について総説を行う。1.2.1 項ではアルキル置換棒状分子（低分子系塗布型半導体）の近年の発展について述べる。一方で 1.2.2 項では、低分子系と並んで塗布型材料として用いられる高分子系半導体について触れる（1.2.2 項）。さらに、全塗布型デバイス構築には電極配線の印刷形成が不可欠であり、これに関連して 1.2.3 項では高精細電極の印刷形成技術について述べる。

1.2.1 低分子系半導体

ペンタセンと層状結晶性

有機 TFT 向けの低分子系半導体のなかで、ベンゼン環が 5 個連結したペンタセン（図 1.2 (a)）は、1990 年代よりよく調べられてきた代表的な半導体材料である²²⁻²⁴。ペンタセンは、単結合と多重結合が交互に現れる典型的な π 共役系であり、 π 電子が分子全体に非局在化している。有機半導体は分子力で分子が凝集し固体を形成するが（図 1.2 (b)）、ここで π 電子軌道が隣り合う分子どうしで重なることで、ミクロには分子間のキャリア移動、マクロには分子性固体の電気伝導性が発現する。すなわち、有機半導体固体の電気特性は、 π 共役分子の凝集形態・結晶構造に大きく依存する。

有機 TFT は、半導体・絶縁層・電極を薄く積層した薄膜デバイスである（図 1.2 (c)）。ここでキャ

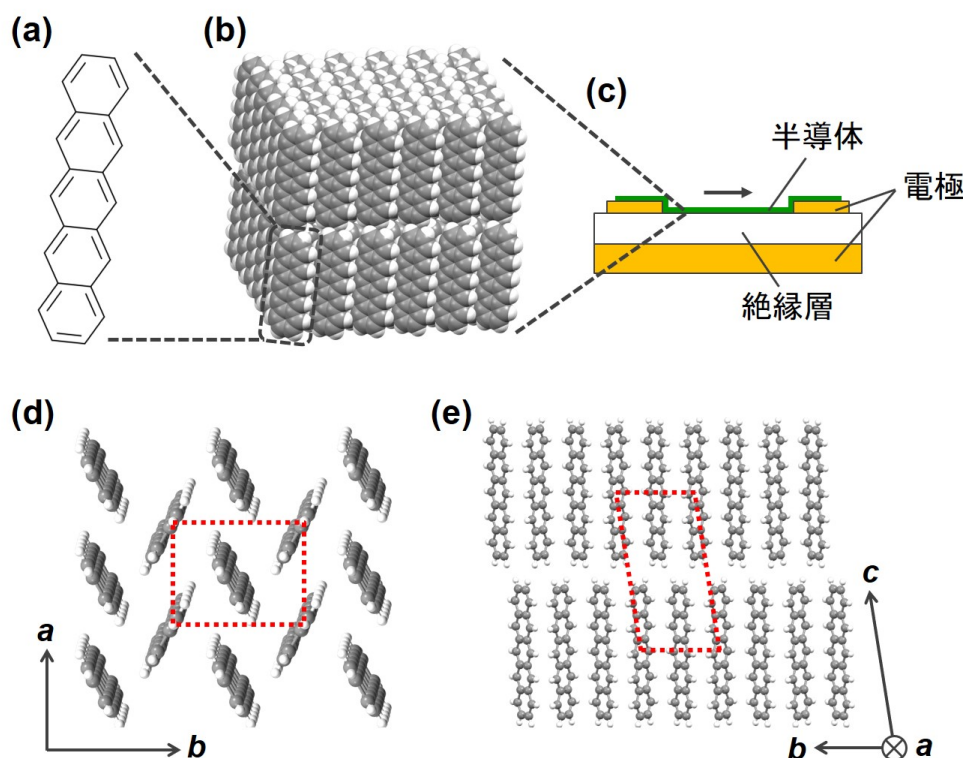


図 1.2 (a) ペンタセンの分子構造。(b) ペンタセンの凝集形態の模式図。(c) 有機 TFT の模式図。(d,e) ペンタセン（薄膜相）の結晶構造²⁵。(d) 面内構造。分子面がジグザグに配置されたヘリンボーン構造をとる。(e) 面外構造。分子長軸が ab 面垂直方向を向き、かつ高さの揃った層状構造をとる。(d),(e) の構造中の赤点線は、結晶の単位胞を表す。

リアが流れる経路（チャンネル）は、半導体薄膜・絶縁膜の二次元界面である。すなわち、有機 TFT 向けの有機半導体には、二次元キャリア輸送に有利な分子凝集形態をとることが求められる。ペンタセンは、二次元キャリア輸送に有利な「層状ヘリンボーン構造」をとる典型的な材料である。図 1.2 (d,e) に、ペンタセン薄膜の結晶構造を示す²⁵。面内では、第一・第二近接分子が合計 6 つ定義できるようなジグザグ状の構造を有しており、これはヘリンボーン構造と呼ばれる（図 1.2 (d)）。面外では、分子長軸が *ab* 面に垂直方向を向き、かつ高さの揃った層状構造をとる（図 1.2 (e)）。このような層状ヘリンボーン構造をとる材料では、*ab* 面内で π 電子軌道の重なりを実現しやすく、二次元（*ab* 面内）キャリア輸送特性の向上に有利であるとされている。ペンタセンの蒸着膜では、結晶の *c* 軸が基板と垂直方向を向き *ab* 面が TFT のキャリア輸送方向と一致することがわかっており^{23,24}、実際に有機 TFT のデバイス移動度として $3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度の優れた値が達成されている²⁶。

ここでペンタセンのような π 共役系の棒状分子では一般に、凝集力として π 電子面の π - π 相互作用が支配的であるために、層内（*ab* 面内方向）には凝集しやすく、一方で層間（*ab* 面外方向）は積層しにくいという性質を有する。したがって、*ab* 面方向に薄く広がった層状の結晶が自発的に得られやすい傾向にある。このような結晶成長の性質を「層状結晶性」と呼ぶ。層状結晶性の強化は、TFT 向け有機半導体の分子設計における重要な設計指針の一つである。

アルキル置換棒状分子

ペンタセンは標準的な有機半導体材料としてよく調べられてきたが、比較的浅い HOMO（5.0 eV 程度）に由来して大気安定性に乏しく、また有機溶媒に不溶で溶液プロセスが適用できないことから、大気下での塗布作製には課題を抱えていた。瀧宮らは、大気安定な π 共役分子骨格として、チオフェンをヘテロ芳香族として導入した BTBT ([1]benzothieno[3,2-*b*][1]benzothiophene) に着目し（図 1.3 (a)）、この種の π 共役分子が優れた大気安定性と良好な TFT 特性を示すことを見出した²⁷。さらに、BTBT 骨格に長鎖アルキルを対称的に連結した C_n -BTBT において（図 1.3 (b)）、有機溶剤に対する溶解性と、スピンコート膜で $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える移動度が得られることを報告した⁸。これら優れた輸送特性を示す C_n -BTBT ($n \geq 8$) の結晶構造は実際に、2 次元キャリア輸送に有利な層状ヘリンボーン構造を形成することが明らかとなっている²⁸（図 1.3 (c)）。

さらに C_n -BTBT は、溶液からの結晶成長において、優れた薄膜結晶形成能を有することが確認されている。2011 年には峯廻らによって、インクジェットという汎用プロセスで単結晶を塗布製膜でできることが報告された（図 1.3 (d)）。この結晶膜を用いた TFT のデバイス移動度として、平均 $16.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、最高で $31.3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ という、有機半導体として世界最高クラスの値を報告している（図 1.3 (e)）。このような高移動度を示す C_n -BTBT 単結晶薄膜が得られるのは、長鎖アルキル置換により半導体の層状結晶性が著しく増強された結果であることが、構造・物性のアルキル鎖長依存性を調べた近年の研究から示唆されている^{29,30}。

図 1.4 (a) に、アルキル置換棒状分子の一種である mono-BTBT- C_n^{*1} について、再結晶により得られる結晶概形のアルキル鎖長依存性を示す³⁰。短鎖 ($n \leq 3$) では針状の結晶が得られる一方で、長鎖 ($n \geq 9$) では二次元的に薄く広がった薄片状の結晶が得られることが報告されている。また C_n -BTBT の結晶構造のアルキル鎖長依存性より（図 1.4 (b)）、長鎖 ($n \geq 8$) では分子長軸・アルキル鎖が *ab* 面とほぼ垂直方向に密に揃い、二次元性の高い層状構造が得られることが明らかとなっている。これら

*1 BTBT 骨格に対して、アルキル鎖を片側だけ連結した分子である。

の鎖長依存性は、アルキル鎖による分子間相互作用の寄与の違いに由来するものと考えられている。長鎖アルキル置換した棒状分子では、 π 電子骨格の秩序化による凝集エネルギー利得よりも、アルキル鎖の秩序化による凝集エネルギー利得が大きく、アルキル鎖が揃う効果が支配的になることが示唆されている³¹。また長鎖アルキルにより、分子長軸方向の相互作用は面内 (π 電子骨格どうし) の相互作用と比べて大幅に小さくなることから、二次元性の高い層状結晶を自発的に形成する薄膜形成能 (層状結晶性) が、無置換・短鎖の棒状分子と比べて高くなっていると考えられる。

以上のように長鎖アルキルを連結した棒状分子は、大気下での塗布プロセスを可能にするという利点のみならず、層状結晶性の増強により著しいデバイス特性向上が可能になるという利点も有する。長鎖アルキル置換による層状結晶性の増強は、BTBT 系に限らず様々な π 電子共役系へ適用できることがわかっており^{12,32-34}、大気下での塗布製膜と優れた電気特性を実現するための分子設計指針として、重要な知見となっている。

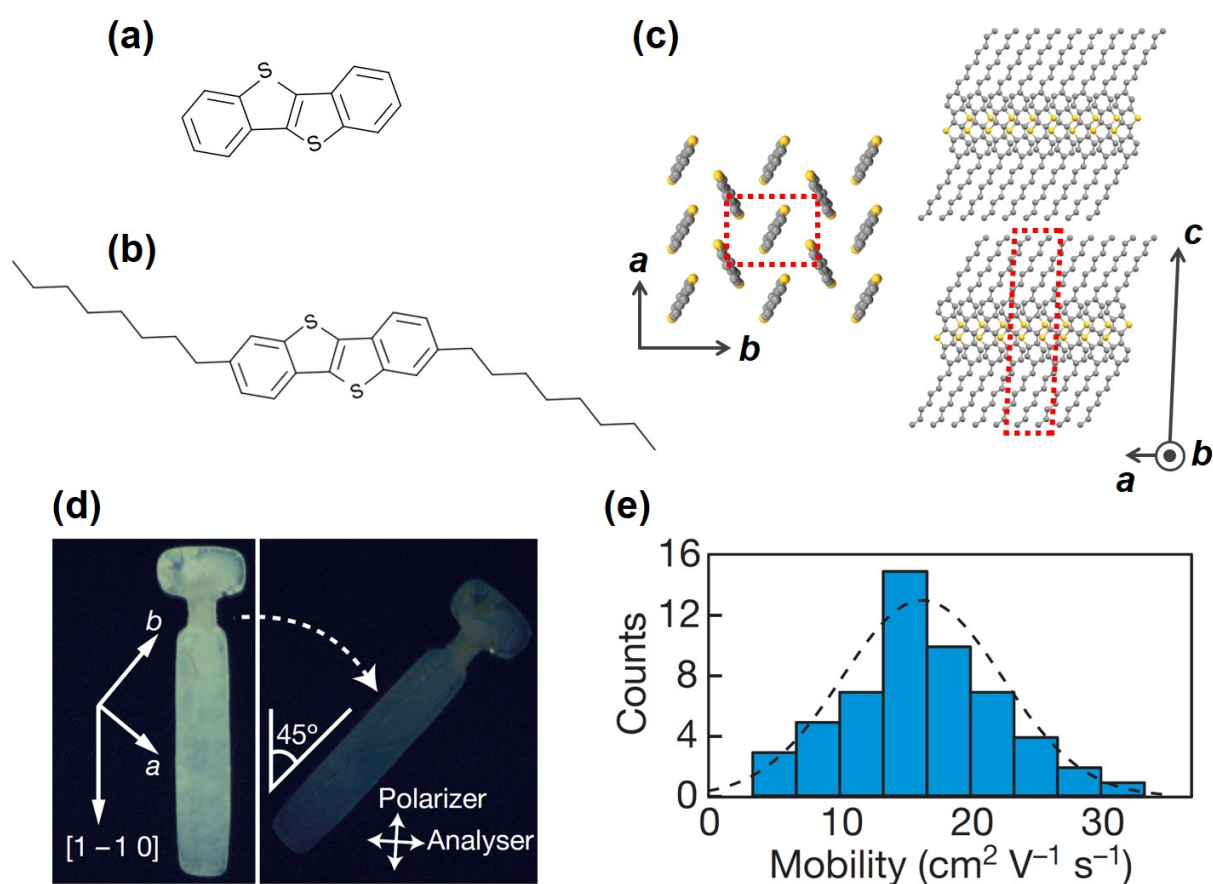


図 1.3 アルキル基を対象に連結した棒状分子。(a) 無置換 BTBT の分子構造。(b) C₈-BTBT の分子構造⁸。(c) C₈-BTBT の結晶構造²⁸。赤点線は結晶の単位胞を表す。面内構造では、アルキル鎖を省略している。(d,e) インクジェット印刷により形成した C₈-BTBT 結晶膜の評価¹¹。(d) 結晶膜のクロスニコル像。45° 回転により一様な明滅が見えることから、結晶方位の揃った単一ドメインであることが示唆される。(e) C₈-BTBT 結晶膜をチャンネルに用いた TFT で得られたデバイス移動度。

非対象置換棒状分子

ここまで述べてきた C_n -BTBT は、 π 電子骨格に対してアルキル鎖を”対称”に連結した棒状分子である。近年では、棒状分子の耐熱性・溶解性・層状結晶性等を多様に制御するために、アルキル基・フェニル基等の異なる置換基を π 電子骨格に対して”非対称”に連結した棒状分子が注目を集めている (図 1.5 (a,b))。これら非対称置換棒状分子の結晶は、面内では対称置換分子同様にヘリンボーン構造をとる一方で、面外では分子どうしが同じ側を向かい合わせた 2 分子膜が単位胞となり層状構造を形成するという特徴を有する (図 1.5 (c))。

2015 年に半那らのグループから報告された Ph-BTBT- C_n (phenyl/alkyl-substituted benzothieno[3,2-b]benzothiophene) は、代表的な非対称置換材料である⁹ (図 1.5 (a))。Ph-BTBT- C_n の特徴として、SmE (スメクチック E) 相と呼ばれる高次液晶相を有し、耐熱性がきわめて高い点が挙げられる。DSC (示差走査熱量) 測定における昇温過程より、140°C 程度で固相から面内配向が維持された SmE 相へ、210°C で面内配向が消失する SmA (スメクチック A) 相へ転移することが確認されている (図

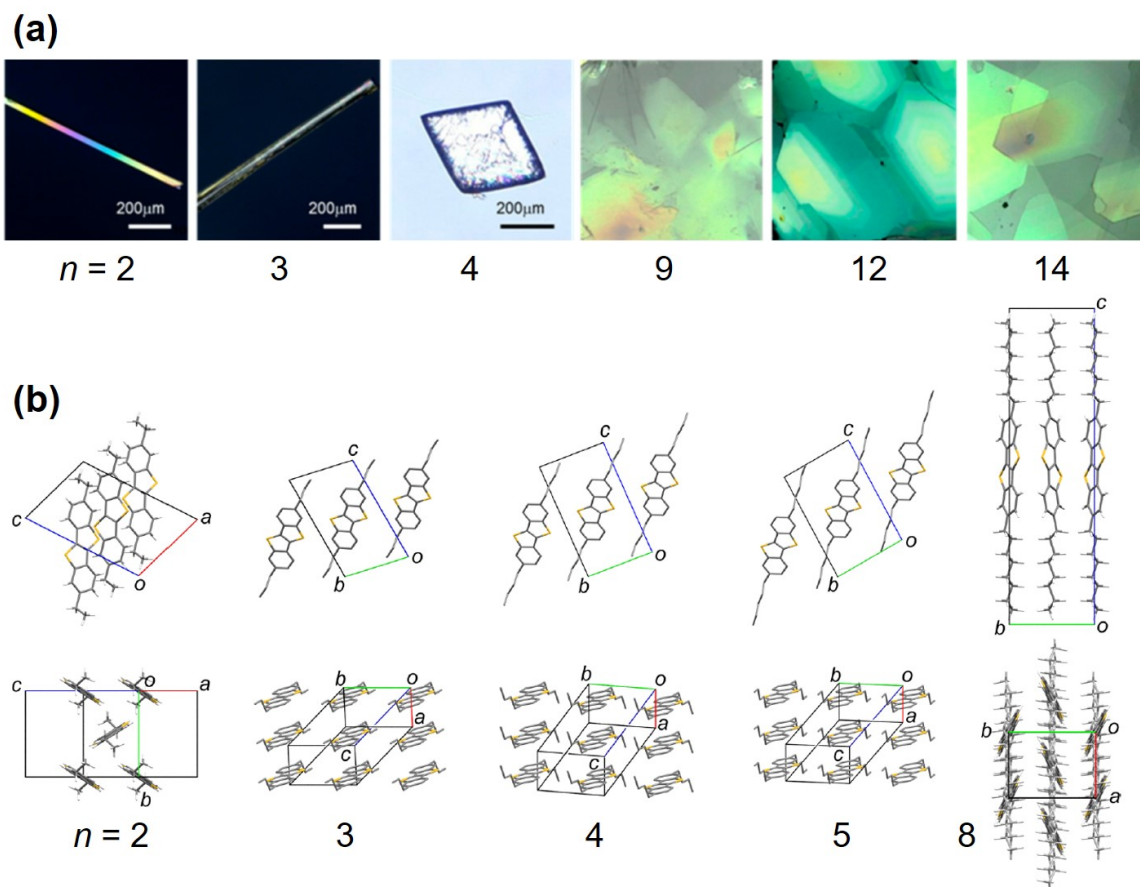


図 1.4 アルキル置換棒状分子の結晶性のアルキル鎖長依存性³⁰。(a) mono-BTBT- C_n の、溶液からの再結晶で得られる結晶概形の比較。短鎖 ($n \leq 3$) では針状の結晶が得られる一方で、長鎖 ($n \geq 9$) では二次元的に薄く広がった薄片状の結晶が得られる。(b) C_n -BTBT の結晶構造の比較。長鎖 ($n \geq 8$) ではアルキル鎖の秩序化の寄与が大きくなり、アルキル鎖が密に詰まった二次元性の高い層状の結晶構造が形成される。

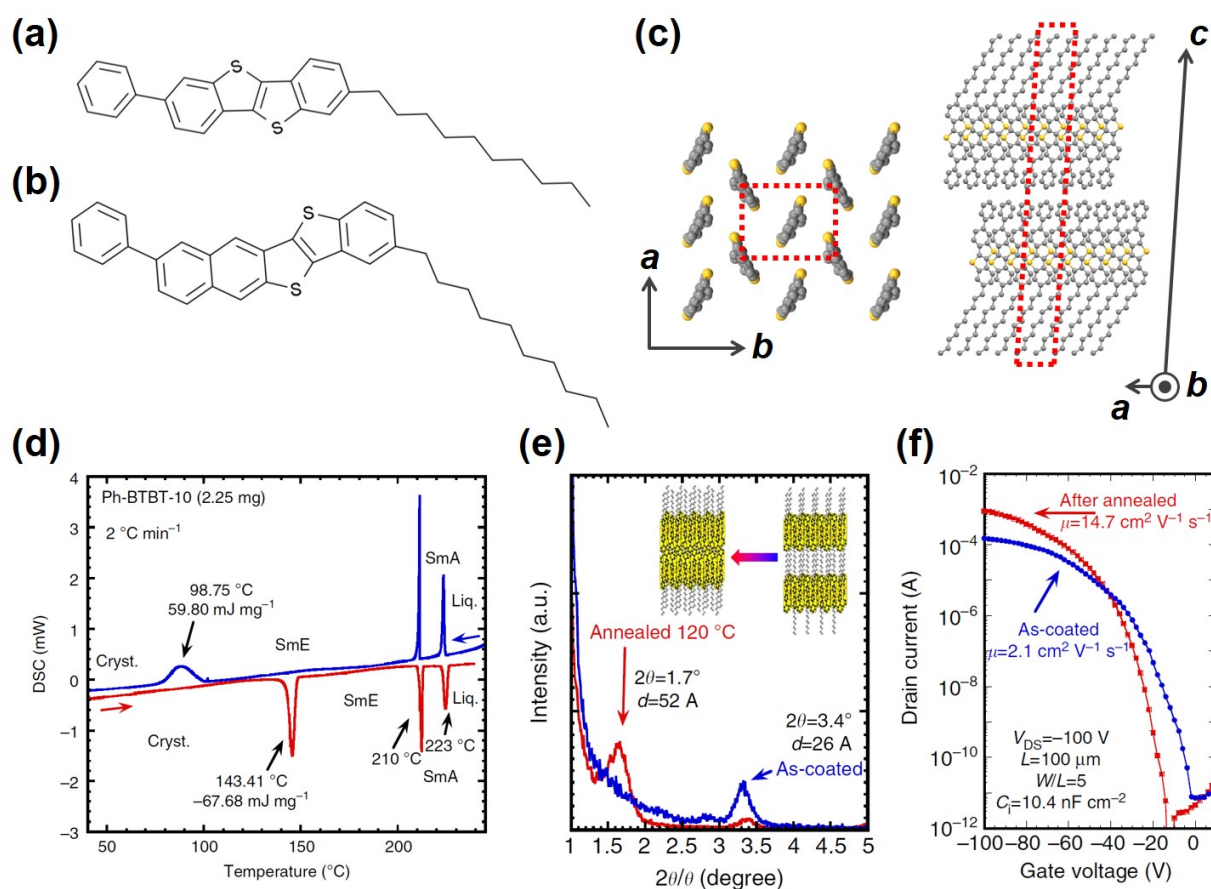


図 1.5 アルキル基とフェニル基を非対称に連結した棒状分子。(a) Ph-BTBT- C_{10} の分子構造⁹。(b) Ph-BTNT- C_{10} の分子構造³⁶。(c) Ph-BTBT- C_{10} の結晶構造³⁵。赤点線は結晶の単位胞を表す。面内構造では、アルキル鎖を省略している。(d) Ph-BTBT- C_{10} の DSC 測定。(e) Ph-BTBT- C_{10} のスピコート膜の面外 XRD。120°C アニールにより、周期構造が単分子単位から二分子単位へと変化する。(f) Ph-BTBT- C_{10} のスピコート膜の TFT 特性。120°C アニールにより、移動度が著しく向上する。

1.5 (d))。SmE 相は液晶相ではあるものの、層状ヘリンボーン構造を維持しているため、Ph-BTBT- C_n は SmA 相へ転移する 200°C 程度まで、キャリア移動度が $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上の高い水準を維持できることが報告されている。一方対称置換材料の C_n -BTBT では、100°C 程度で面内配向が乱れた SmA 相が現れ、転移点近傍を境に移動度は桁で低下することが報告されている。以上、Ph-BTBT- C_n で観測される高次液晶相 (SmE 相) と高耐熱性は、フェニル基が再安定配置をとるように回転することで、ヘリンボーン構造の安定化が実現しているためであると考えられている³⁵。また Ph-BTBT- C_n のスピコート膜の面外 XRD (X-Ray Diffraction) 測定より、塗布直後は単分子層の周期構造を有しているが、SmE 相の転移点近傍の 120°C でアニールを行うことで、バルク結晶と同等の二分子層周期へと変化する様子が観測されている (図 1.5 (e))。この単層から二分子層への周期構造の変化により、キャリア移動度が一桁増大することがわかっている (図 1.5 (f))。以上より、二分子層構造とヘリンボーン構造を発現する非対称置棒状分子は、耐熱性とキャリア輸送特性を両立しうる塗布型材料として期待されている。

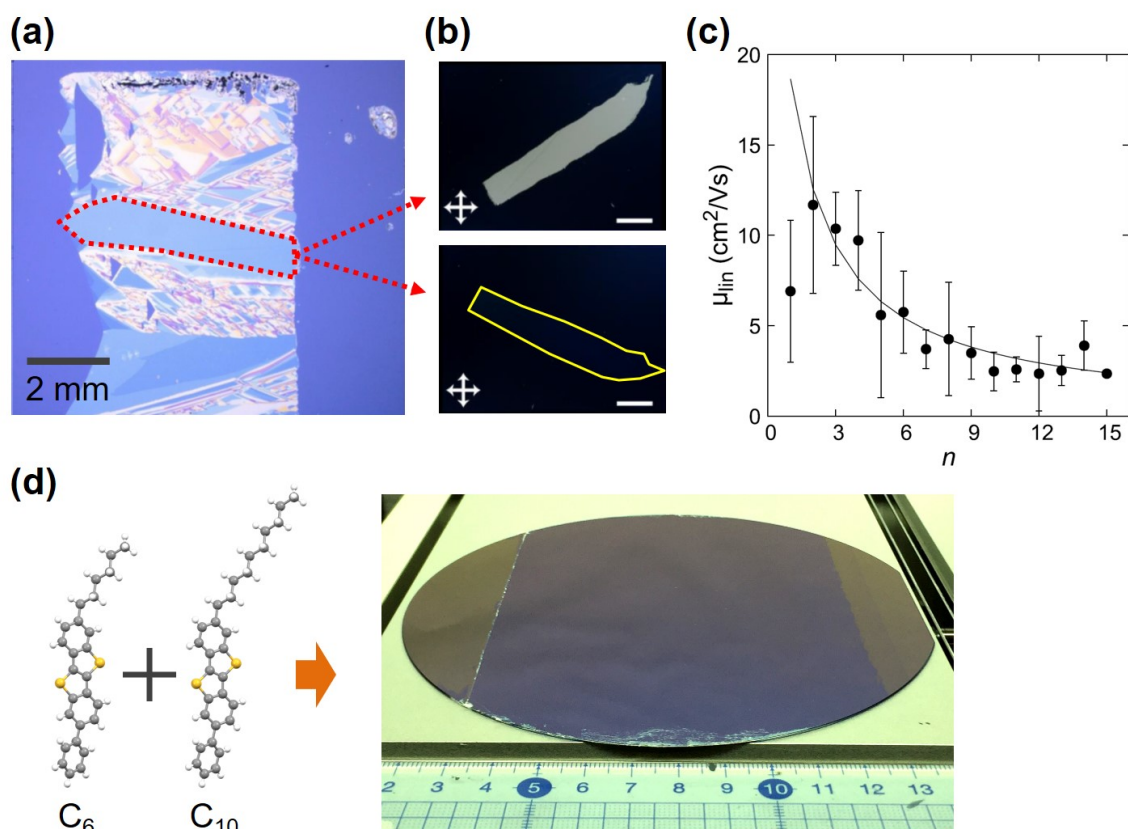


図 1.6 (a–c) Ph-BTBT- C_n の塗布単結晶膜の評価³⁸。(a) 塗布膜の光学像（無偏光）。赤点線で囲った領域は、反射光の色合いが同一であり、分子単位で厚みが揃っていることに対応する。(b) 塗布膜のクロスニコル像。45°回転によって一様な明滅を示すことから、結晶方位の揃った単一のドメインであることが示唆される。スケールバーは 1 mm。(c) トップコンタクト TFT における、単結晶薄膜のキャリア移動度の層数厚み (n) 依存性。(d) 単層二分子膜の構築³⁹。Ph-BTBT- C_6 および Ph-BTBT- C_{10} を混合した溶液を塗布した。

一方、2018 年に報告された Ph-BTNT- C_n (phenyl/alkyl-substituted benzothieno[3,2-*b*]naphtho[2,3-*b*]thiophene) は^{36,37}、BTBT 骨格にさらにベンゼン環を追加した非対称な骨格を有し、さらに分子長軸に対して屈曲した方向に側鎖が連結された構造を有する (図 1.5 (b))。拡張された π 共役系に由来して、BTBT 系と比べて浅い HOMO 準位を有しており^{*2}、かつ 180°C まで相転移を示さないという高耐熱性を有している^{*3}。また、拡張された BTNT 骨格では BTBT 骨格と比べて凝集性が高いことから、溶解性を確保するために、分子の剛直性を崩す位置にアルキル鎖・フェニル基が導入されている。Ph-BTBT- C_n と比べると、溶解性や層状ヘリンボーン構造はそのままに、キャリア注入効率の向上を図った材料であると言える。

これらの非対称置換棒状分子は、二分子膜構造に由来する増強された層状結晶性により、層数厚みが大面积で揃った単結晶薄膜を得るうえで有効な系である。塗布法（ブレードコート法）により製膜

^{*2} 光電子収量分光 (PYS) による測定値で 5.01 eV、計算値で 5.26 eV と報告されている³⁶。

^{*3} Ph-BTBT- C_n で見られる SmE 相や SmA 相は発現せず、固相から液相へ直接転移する。Ph-BTNT- C_n が剛直性に乏しい構造を有しており、液晶性を示しにくくなっていると考えられる。

した Ph-BTBT- C_n の単結晶薄膜を図 1.6 (a,b) に示す³⁸。数 mm^2 スケールにわたって、分子レベルで平坦な高均質膜が得られており、かつ優れた結晶性を示すことが確認されている。このような厚みの揃った単結晶薄膜が実現できることを活かして、例えばキャリア移動度の層数厚み依存性を系統的に調べた報告が存在する³⁸ (図 1.6 (c))。ここでは、層数が増加するにしたがい電極・半導体間のアクセス抵抗が増大する傾向から、アルキル置換棒状分子におけるアルキル鎖が絶縁層となり、伝導を阻害しうることが示された。また、層状結晶性をさらに増強する工夫を行うことで、ウエハスケールで厚みが揃った超均質な単結晶薄膜が得られることが報告されている³⁹ (図 1.6 (d))。ここでは、アルキル鎖長の異なる Ph-BTBT- C_n を混合して塗布製膜を行うと、短鎖アルキル分子で構成される分子層から長鎖アルキル (余剰アルキル) が少量はみ出ることで立体障害を生じる。これにより層間の相互作用が低減され、製膜スケールによらずに一様に、二層目以降が積層せずに単層二分子膜^{*4}を得ることができる (層間フラストレーション効果)。この単層二分子膜の構築は、三次元方向の結晶成長を一切許容しないという点で、層状結晶性増強の極限的な形であるとも言える。

低分子系半導体の塗布製膜

ここまででアルキル置換棒状分子の優れた層状結晶性について述べてきた。これらの結晶膜を塗布製膜する際に用いられる手法の例を、図 1.7 に示す。それぞれ (a) ブレードコート法³⁸、(b) エッジキャスト法⁴⁰、(c) ゾーンキャスト法⁴¹等と呼ばれ、いずれも溶液メニスカス先端の薄く濡れ広がった領域の溶媒乾燥を起点に結晶成長が始まることから、メニスカスガイドコート法 (Meniscus Guided Coating, MGC) と総称される⁴²。MGC 法では、毛管力で保持された溶液端が基板に対して一方向に移動することで、異方的な結晶成長が実現する。ここで結晶方位が大面積で揃った薄膜を得るためには、余分な結晶核の生成を抑制する必要がある、これには溶液濃度を希薄に制御することが求められる。

図 1.8 (a) に、溶液の典型的な溶解度曲線 (Solubility curve) を示す⁴³。未飽和領域 (図の右下) では溶液中の結晶核生成は起こらず、溶液は安定な状態にある。一方、過飽和領域 (図の左上) では、溶質分子が集まったクラスターとして存在しており、それらが集合して結晶核ができやすい不安定な

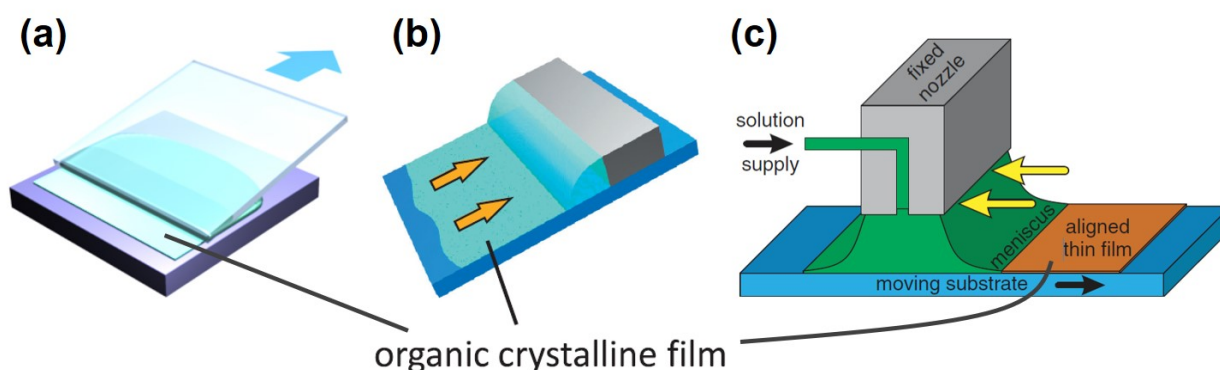


図 1.7 低分子系半導体結晶膜の塗布製膜手法の例。(a) ブレードコート法³⁸。Solution Shearing と呼ばれることもある。(b) エッジキャスト法⁴⁰。(c) ゾーンキャスト法⁴¹。

*4 ここで得られる薄膜は、複数の結晶ドメインからなる膜である。薄膜全体が同一の方位を有する結晶ではない。

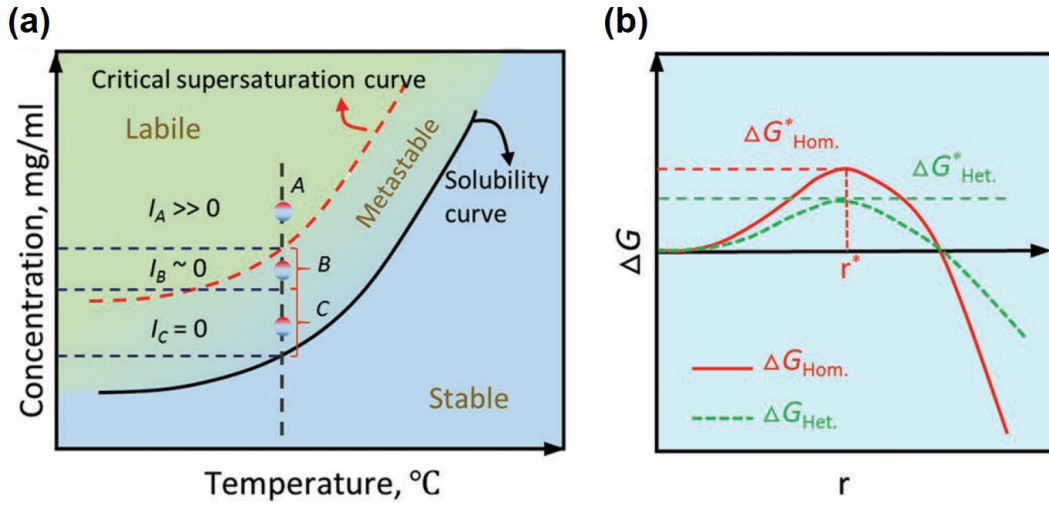


図 1.8 溶解性と結晶核生成の関係⁴³。(a) 溶液の溶解度曲線 (Solubility curve) と過溶解度曲線 (Critical supersaturation curve)。右下が安定な未飽和領域、左上が不安定な過飽和領域に相当する。 $I_{A,B,C}$ は、ある温度における溶液濃度 A–C それぞれの結晶核形成レートを表す。(b) 結晶核生成自由エネルギーと結晶核半径の関係。 ΔG^* は、結晶核生成のために越える必要があるエネルギー障壁を表す。 $\Delta G_{\text{Hom.}}$ は、溶液中で等方的に結晶核が生成する均質核形成における自由エネルギー変化。 $\Delta G_{\text{Het.}}$ は、溶液中で壁面に付着した状態で結晶核が生成する不均質核形成における自由エネルギー変化を表す。 $\Delta G_{\text{Het.}}$ では付着によるエネルギー利得がある分、 $\Delta G_{\text{Hom.}}$ と比べてポテンシャルの山は小さくなる。

状態にある。過飽和領域において急激な結晶核生成が起こる濃度と温度を結んだ曲線を、過溶解度曲線 (Critical supersaturation curve) という。溶解度曲線と過溶解度曲線で挟まれた領域は準安定領域と呼ばれており、結晶核生成は抑制された領域となっている。よって、大面積結晶を得るためには、溶液を準安定状態に保つことが必要条件となる。

一方、結晶核の生成は、溶質分子の熱揺らぎが駆動力となって起こる。このとき、核生成の自由エネルギー $\Delta G_{\text{Hom.}}$ は、基板への濡れや界面の異方性を無視した最も簡単な形として

$$\Delta G_{\text{Hom.}} = -\frac{4}{3}\pi r^3 n_s \Delta\mu + 4\pi r^2 \gamma \quad (1.1)$$

と表される (均質核形成の式と呼ばれる)。 r は結晶核半径、 n_s は粒子数密度、 $\Delta\mu = \mu_{\text{solution}} - \mu_{\text{solid}}$ は過飽和溶液が結晶と飽和溶液に変化したときの自由エネルギー (化学ポテンシャル) の変化、 γ は溶液・結晶の界面自由エネルギーである。 $\Delta G_{\text{Hom.}}$ は結晶核半径 r の三次関数であり、臨界核半径 $r = r^*$ において極大値 $\Delta G_{\text{Hom.}}^*$ を有する^{*5} (図 1.8 (b))。

$$r^* = \frac{2\gamma}{n_s \Delta\mu} \quad (1.2)$$

$$\Delta G_{\text{Hom.}}^* = \frac{4\pi}{3} r^{*2} \gamma \quad (1.3)$$

^{*5} 式 (1.1) の第一項は、化学ポテンシャルに由来する結晶化による体積的なエネルギー利得である。 $\Delta\mu > 0$ のとき、第一項は $\Delta G_{\text{Hom.}}$ を負にする方向へはたらく。一方、式 (1.1) の第二項は、結晶核生成により生じた溶液・結晶界面の面積に由来する界面自由エネルギーの寄与であり、 $\Delta G_{\text{Hom.}}$ を正にする方向へはたらく。これらの兼ね合いにより、 $\Delta G_{\text{Hom.}}$ は結晶核半径 r に対してポテンシャルの山を有する (図 1.8 (b))

臨界核半径 r^* より小さい結晶核は、ポテンシャル障壁 $\Delta G_{\text{Hom.}}^*$ を越えることができず、生成後は成長することなく溶液へ再溶解すると考えられる。一方、臨界核半径 r^* より大きな結晶核については、半径 r が增大することで自由エネルギー安定化 ($\Delta G_{\text{Hom.}} < 0$) の方向へ向かうため、結晶成長が可能となる。式 (1.2)、(1.3) より、 $r^* \propto n_s^{-1}$ 、 $\Delta G_{\text{Hom.}}^* \propto n_s^{-2}$ であることから、溶液濃度が濃くなることでより容易に結晶核成長が実現すると考えられる。

MGC 法を用いて大面積結晶を作製する際は、溶液のバルク側で $\Delta G_{\text{Hom.}}^*$ を越える結晶核が生成しないような、希薄な溶液を用いることが基本となる。一方、溶液メニスカス先端の薄く濡れ広がった領域では溶媒の乾燥が進み、局所的に濃度が高くなるため、熱揺らぎによって $\Delta G_{\text{Hom.}}^*$ を越える（成長可能な）結晶核がわずかに形成しうる。これらの成長可能な結晶核のうち、成長が支配的な結晶方

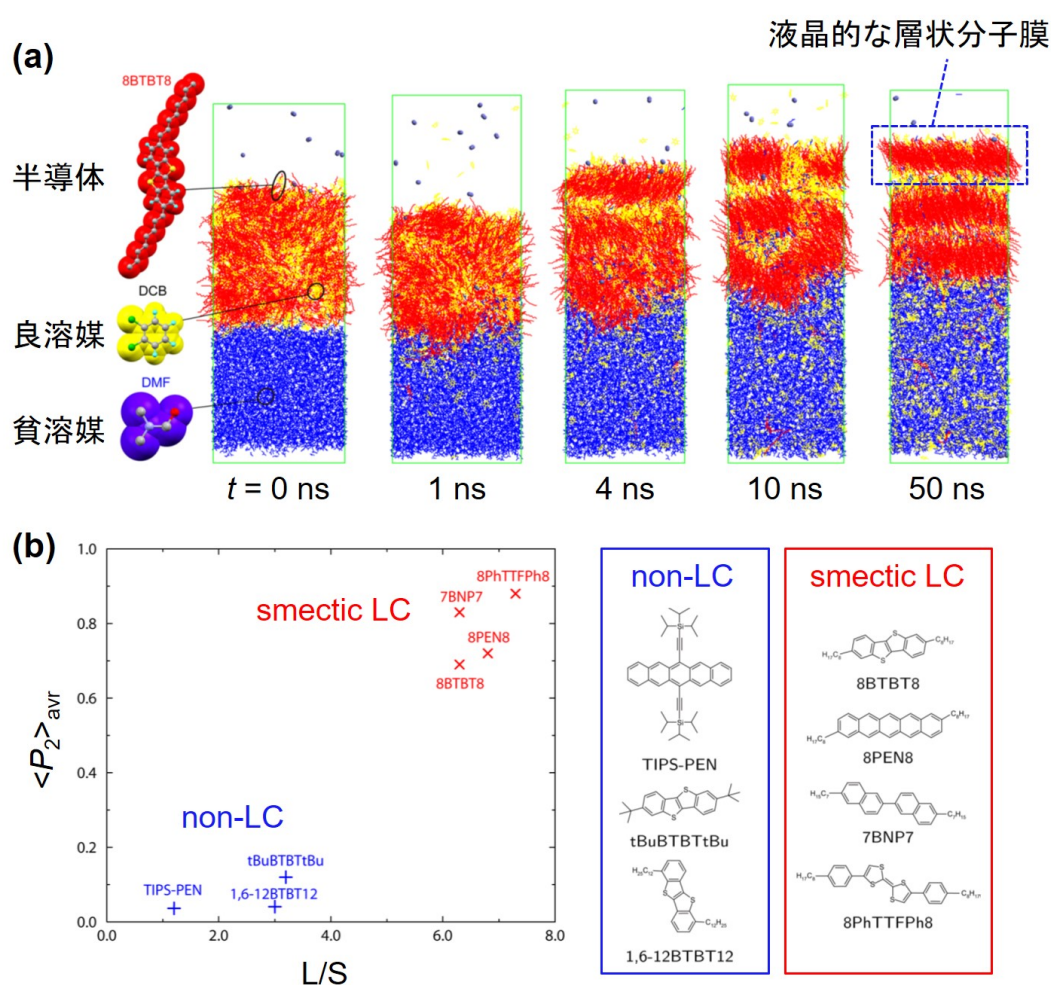


図 1.9 分子動力学 (MD) 計算による、溶液からの結晶成長のシミュレーション¹⁰。(a) 結晶成長時の分子配列の時間発展。初期状態 ($t = 0$ ns) では、溶液の過飽和状態を仮定している。計算は、貧溶媒上に半導体溶液を滴下した系¹¹で行っている。(b) 分子形状と長軸配向の相関。横軸 L/S は分子長軸・短軸長さの比、縦軸 $\langle P_2 \rangle_{\text{avr}}$ は $t = 40 \sim 50$ ns における分子長軸方向の秩序パラメータである。 $\langle P_2 \rangle_{\text{avr}} = 1$ では分子長軸ベクトルが完全に一致し、 $\langle P_2 \rangle_{\text{avr}} = 0$ では分子長軸ベクトルがランダムな方向を向いていることを表す。 L/S の大きな液晶性棒状分子 (smectic LC) において、気液界面で長軸配向が揃った層状分子膜が得られやすい傾向にある。

位が最終的に大面積ドメインとなって得られる（例えば図 1.6 (a,b)）。

また溶液からの結晶成長において、厚みの揃った高均質な単結晶薄膜を得るうえで、アルキル置換棒状分子が特に有利であることが、分子動力学（MD）計算を用いたシミュレーション結果から指摘されている¹⁰。棒状分子を溶解させた溶液からの結晶成長では、初期段階において分子長軸が液滴表面に対し垂直になるように自己集合し、気液界面で液晶的な層状分子膜を形成することが示唆されている（図 1.9 (a)）。この分子長軸が揃った層状分子膜が結晶前駆体となり、次いで面内の秩序が形成されることで高均質な結晶成長が可能になると考えられている。また、このような気液界面での層状分子膜の形成には、分子長軸・短軸比（ L/S ）が大きな、液晶性の棒状分子が有利であるという計算結果が得られている（1.9 (b)）。したがって、 L/S 比が総じて大きなアルキル置換棒状分子は、気液界面で厚みの揃った層状分子膜の形成に有利であり、これにより高均質な結晶膜が実現しやすい系であると考えられる。また、気液界面で形成した層状結晶膜は、溶媒乾燥の過程で層状の面が基板に接するように転写されるため、TFT チャンネルに適した二次元性に優れる結晶膜として用いることができる。

1.2.2 高分子系半導体

高分子系材料と配向制御

有機半導体は、分子量に応じて低分子系と高分子系に大別される。高分子系材料は低分子系と比べ、溶液にした際の粘性が高いため、スピンコート等の従来法で容易に塗布製膜ができ、また薄膜の均質性に優れるという特徴を有する。一方、構造の乱れたアモルファス領域を不可避免的に含むために、一般的に高移動度は実現しにくい傾向にある。代表的な高分子系半導体として、ベンゼン環・チオフェン環からなる π 共役系とアルキル側鎖から構成される材料群（図 1.10 (a,b)）が挙げられる。これらの固体膜において高効率なキャリア輸送を実現するためには、分子構造中の π 共役面の配向制御が重要であることが、これまでの研究より明らかとなっている。

図 1.10 (a) に示す P3HT は、古くからよく研究されてきた代表的な高分子系半導体である⁴⁴⁻⁴⁶。Sirringhaus らは P3HT 薄膜の配向性とキャリア移動度の相関を調べ、 π 電子面が基板に垂直に立つ

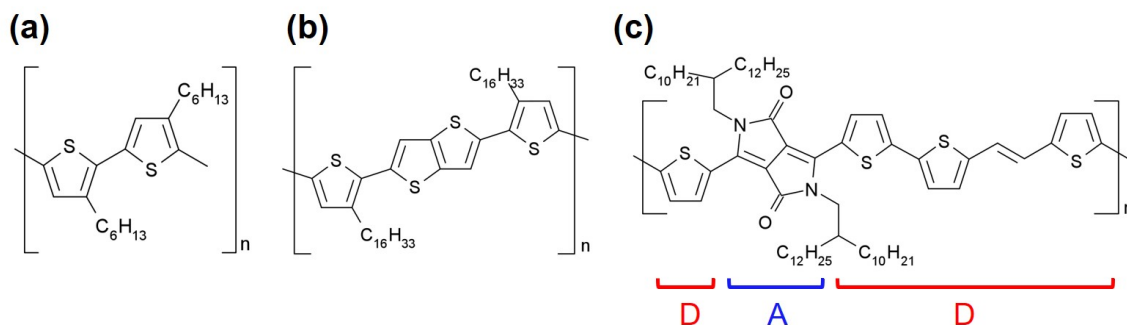


図 1.10 高分子系半導体の例。(a) P3HT⁴⁵。(b) PBTTT⁴⁸。(c) PDVT⁵³。PDVT は、D（ドナー）部位と A（アクセプタ）部位からなる D-A 型高分子の一種である。各物質名：P3HT, poly(3-hexylthiophene); PBTTT, 2,5-bis(3-alkylthiophen-2-yl)thieno[3,2-b]thiophene; PDVT, poly[2,5-bis(alkyl)pyrrolo[3,4-c]pyrrole-1,4(2*H*,5*H*)-dione-*alt*-5,5'-di(thiophen-2-yl)-2,2'-(*E*)-2-(2-(thiophen-2-yl)vinyl)thiophene]。

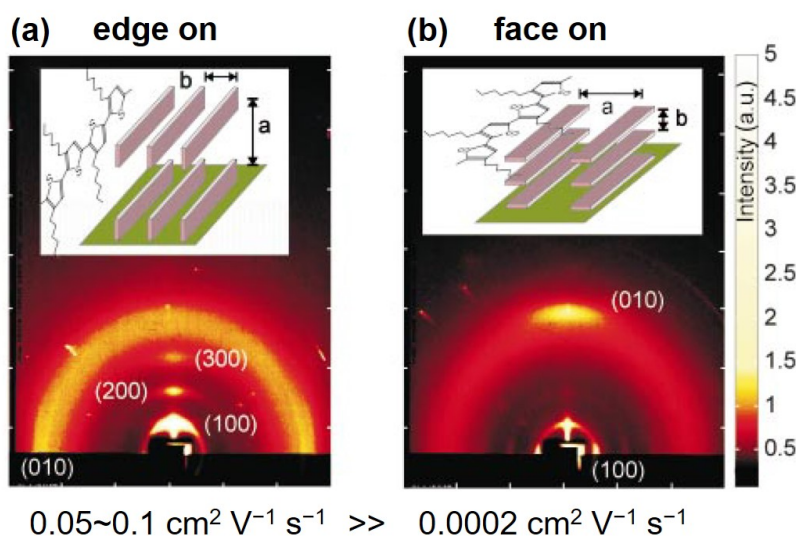


図 1.11 P3HT 薄膜の XRD 測定と配向模式図⁴⁷。(h00) ピークは、高分子主鎖がアルキル鎖を隔てた層状ラメラ構造に由来する。(0k0) ピークは、 π 電子面が平行に並んだ π スタック構造に由来する。 π 電子面が基板に垂直に立った配向はエッジオン (a)、 π 電子面が基板と平行に寝た配向はフェイスオン (b) と呼ばれる。エッジオン配向膜では、フェイスオン配向膜より高移動度が得られると報告されている。

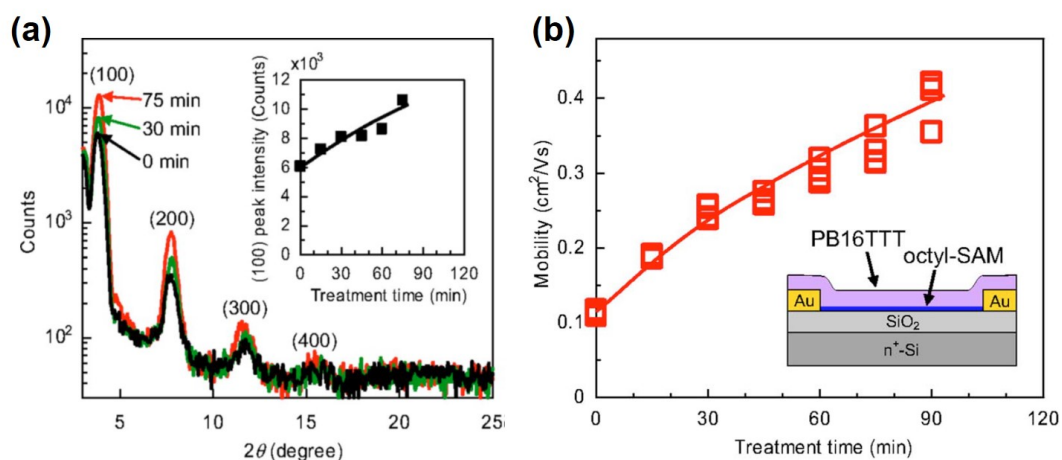


図 1.12 基板表面の濡れ性に応じた PBTTT 薄膜の配向性・特性の変化⁵⁰。(a) 面外 XRD。挿入図は (100) のピーク強度。(b) 濡れ性に応じた移動度の変化。横軸の Treatment time は表面撥液化の処理時間を表しており、時間が長いほど濡れ性が低いことに相当する。

たエッジオン配向においてキャリア移動度が向上することを見出した⁴⁷ (図 1.11)。XRD 測定より P3HT 薄膜は、高分子主鎖がアルキル鎖を隔てた層状ラメラ構造 ((h00) 面) を有し、さらにラメラ構造と垂直方向に、 π 電子面が平行に並んだ π スタック構造 ((0k0) 面) を有することが確認されている。この構造に由来して P3HT 固体膜中では、 π 電子軌道の重なりが実現する π スタック方向ではキャリア輸送に有利で、一方アルキル鎖を隔てたラメラ方向ではキャリア輸送に不利であるという、輸送効率に異方性が生じることが考えられる。エッジオン配向では、 π スタック方向が基板と平行で

あり、これは TFT における二次元チャネルと同一方向であることから、TFT の移動度向上に有効な配向であると議論されている。

このようなエッジオン配向を実現するためには、塗布基板の表面濡れ性の制御が有効であることが、P3HT や PBTBT⁴⁸ (図 1.10 (b)) を用いた検討より示唆されている⁴⁹⁻⁵¹。図 1.12 に、基板の表面濡れ性に応じた、PBTBT 塗布膜の配向性および電気特性の相関を示す⁵⁰。面外 XRD 測定より、基板表面濡れ性が低くなるにつれラメラ構造の (100) ピークが増強される傾向が得られており、これは基板濡れ性が低いほどエッジオン配向が実現しやすいことを示唆する (図 1.12 (a))。また実際に、結晶性の増強に伴い TFT のキャリア移動度が増大する傾向が得られており (図 1.12 (b))、エッジオン配向により高移動度が実現するという Sirringhaus らの指摘と整合していると言える。

一方で、高移動度化に向けた材料設計として、電子ドナー (D) と電子アクセプタ (A) 部位からなる D-A 型高分子材料の開発が精力的に行われている⁵²。D-A 型材料では、D 部位と A 部位で電気的引力が生じることで、 π 電子面間距離が短い強固な π スタックと、キャリア輸送特性の向上が実現しうると考えられている。例えば図 1.10 (c) に示す PDVT-10 は、 π スタックと π 電子面の平面性が増強された D-A 型材料の一種であり、そのスピンコート膜は明瞭なエッジオン配向と高移動度を示すことが報告されている⁵³。これら D-A 型高分子においても、表面濡れ性の低い基板を用いることで、エッジオン配向の増強と移動度の向上が実現するという傾向が報告されている⁵⁴。

以上のように、表面濡れ性の低い表面による配向制御・キャリア輸送特性の向上は、比較的多数の高分子系で報告されており、有用なデバイス設計指針の一つであると考えられる^{*6}。

プッシュコート法

濡れ性の低い表面上への半導体塗布が配向制御に重要であることが示唆されている一方で、このような表面は半導体溶液を強くはじく表面に相当する。そのためスピンコート等の従来法では、一様な製膜を行うことが容易でなく、低い被覆率や材料ロスが問題とされていた。これらの問題を解決するための半導体塗布法として、図 1.13 に示すプッシュコート法が開発された⁵⁷。

プッシュコート法ではまず、PDMS (polydimethylsiloxane) の架橋体からなるシリコーンゴム (エラストマー) を用いて半導体溶液を基板上で押し広げて毛管力により保持する (図 1.13 (a))。PDMS エラストマーは立体的隙間を多く有しており、溶媒分子のみ隙間に取り込み吸収することができる。これにより、毛管力で保持されていた液膜領域では溶媒乾燥が起こり、半導体の固体膜形成後に PDMS を剥離することで、基板上に塗布された半導体膜を得ることができる (図 1.13 (b))。以上の製膜原理は、基板の濡れ性によらずに高分子系半導体^{*7}に対して適用可能であり、高撥液基板を用いたエッジオン配向膜の作製に有効であると考えられる。

また、プッシュコート法により得られる塗布膜は、従来のスピンコート法で得られる塗布膜と比べて優れた結晶性を有しており、さらに高沸点溶媒 (TCB、沸点 210°C 程度) による製膜で結晶性が増強される傾向が確認されている (図 1.13 (c))。この結果は、プッシュコート法^{*8}かつ高沸点溶媒により製膜タイムスケールを長くすることで、半導体分子の分子間力による秩序化が促進されることを

^{*6} ただし、非晶質で高移動度を示す D-A 型高分子も開発されており^{55,56}、「エッジオン配向による高移動度化」が高分子系材料すべてに当てはまるわけではない。

^{*7} 低分子系半導体は、溶質分子が PDMS に吸収されるために、プッシュコート法は適用できない。

^{*8} スピンコート製膜は数秒で完了する一方で、プッシュコート製膜では PDMS の溶剤吸収・保持能に応じて数分程度の製膜時間を要すると報告されている⁵⁷

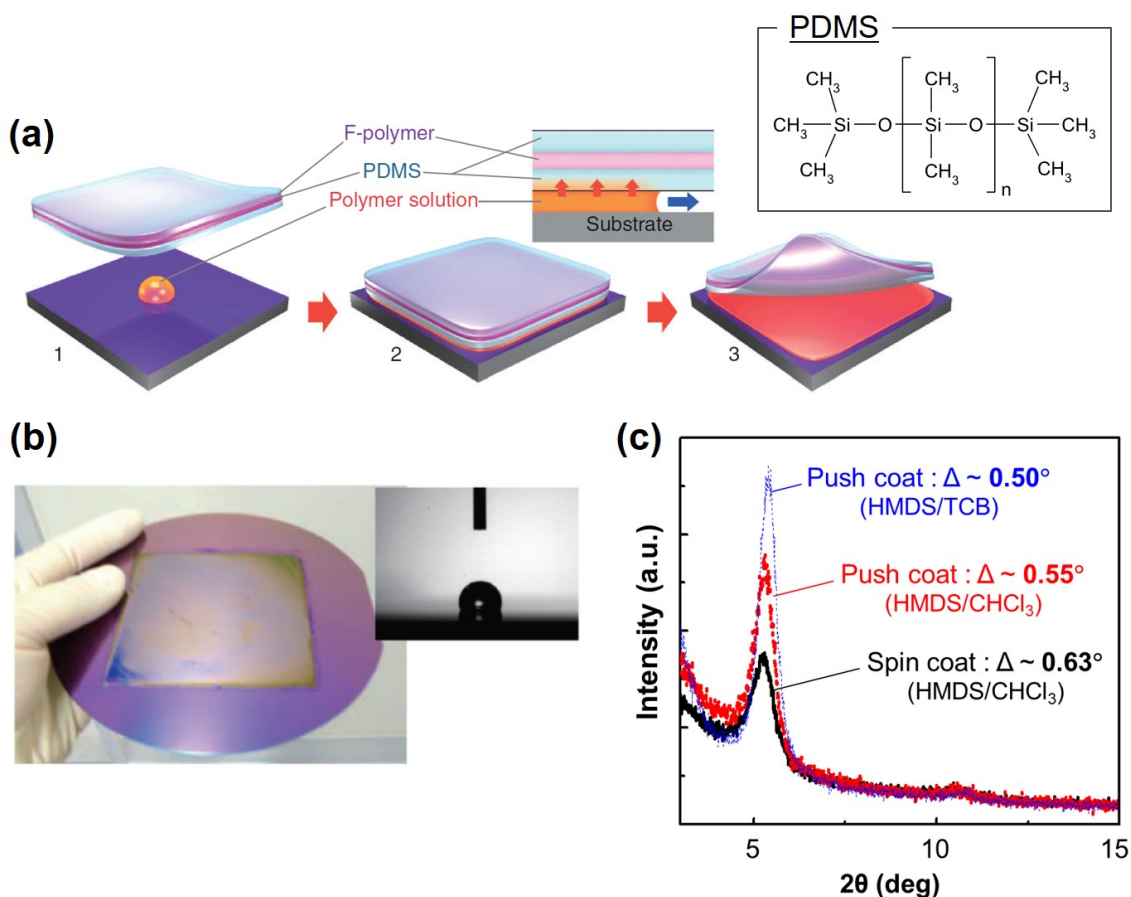


図 1.13 プッシュコート法による高分子系半導体の塗布製膜⁵⁷。(a) プッシュコート法の模式図。PDMS 層を表面に有するスタンプを用いて溶液の保持・吸収・乾燥を行う。右に、PDMS の構造式を示す。(b) 高撥液表面上に塗布した P3HT 薄膜。挿入図は、塗布前の基板表面が水をはじく（高撥液である）様子を示す。(c) 面外 XRD による P3HT 塗布膜の (100) ピーク強度の比較。HMDS は表面撥液処理のための被覆分子、CHCl₃（クロロホルム）および TCB（トリクロロベンゼン）は塗布製膜に用いた溶媒を表す。CHCl₃ の沸点は約 60°C、TCB の沸点は約 210°C である。

示唆している。実際に、プッシュコート法で製膜した優れた結晶性の P3HT 薄膜を TFT チャンネルに用いることで、P3HT として世界最高値に匹敵する $0.47 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ が得られると報告されている。

以上よりプッシュコート法は従来スピコート法と比べ、(1) 高撥液表面上に容易に製膜可能、(2) 遅い製膜タイムスケールによる結晶性の増強、(3) 高沸点溶媒の適用^{*9}による結晶性の増強等の特徴を有しており、高分子系半導体を用いたデバイス特性向上に有効な塗布製膜法であると考えられる。

1.2.3 電極の印刷形成技術

TFT の全塗布構築には、半導体・絶縁層に加え、電極配線を印刷により作製することが求められる。塗布型の電極材料として、粒径が数十 nm 程度の金属ナノ粒子を溶媒中に分散させた、ナノコロ

^{*9} スピコート法では、高沸点溶媒は適用できない。溶媒の乾燥レートが遅く、膜が形成する前にほとんどの溶液が回転プロセスにより失われるためである。

イドインクが注目を集めている⁵⁸。また、以下のような背景から、低温プロセス（100°C 以下）で導通を得ることができる低温焼結型の金属ナノ粒子の開発が精力的に行われている⁵⁹⁻⁶²。

金属は活性な表面を有しており、インク中で金属ナノ粒子どうしは互いに融着して安定化しようとするため、その安定性保持のためには、ナノ粒子どうしに斥力を与える分散安定剤が必要となる。そのため典型的に、ナノコロイドインク中では絶縁性の保護基がナノ粒子を覆うように導入される。一方でインク塗布後に導電性を得るためには、ナノ粒子どうしが融着してバルク的な導通パスを形成することが求められる。この際、金属ナノ粒子に強く配位した保護基は融着を阻害する一因となるため、典型的には 100°C 以上の焼成（アニール）を行い保護基を除去する必要がある⁶³。この高温アニールプロセスが存在することで、熱に弱い安価な基板（プラスチックフィルム等）を用いることができず、全塗布作製の利点を活かした roll-to-roll プロセスや高スループットを実現できないという課題を有していた。以上の背景から、低温で焼結可能な銀ナノ粒子の開発が求められていた。

本項では、塗布型電極材料として近年開発された低温焼結銀ナノ粒子に着目し、これを用いた低温での高精細電極印刷技術について述べる。

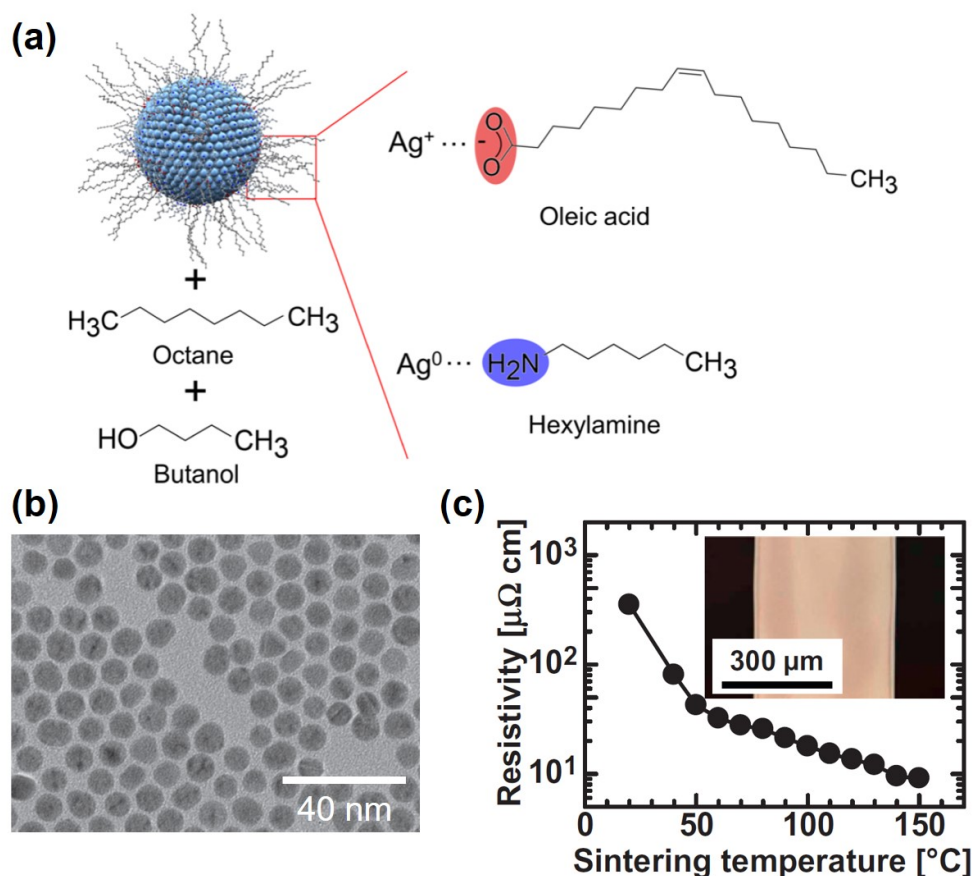


図 1.14 低温焼結銀ナノ粒子。(a) 銀ナノ粒子の模式図⁶⁶。保護基で覆われた銀ナノ粒子をオクタン・ブタノールの混合溶媒中に分散させることで、銀ナノインクが得られる。銀ナノ粒子を覆う保護基として、電氣的に強く吸着するオレイン酸と、弱く配位するアルキルアミンを用いている。主要な保護基はアルキルアミンであり、オレイン酸に対して 1000 倍以上の混合比（モル比）で合成を行う。(b) 銀ナノ粒子の TEM 像⁵⁹。合成の過程で、粒径の揃った均一な粒子が得られる。(c) 低温焼結銀ナノ粒子を用いたインクジェット印刷配線の、抵抗率の焼成温度依存性⁶⁷。

低温焼結銀ナノ粒子

2009年に栗原らは、低温焼結可能な銀ナノ粒子の高収率合成法を報告した⁵⁹。金属ナノコロイドインクの分散安定性の確保には、一般的にはカルボン酸等の電氣的に強く吸着する保護基がしばしば用いられるが⁶⁰、ここでは比較的弱く配位するアルキルアミンを主要な保護基として用いることで、塗布後の焼結性向上が図られている（図 1.14 (a)）。銀ナノ粒子合成の過程では、アルキルアミンが配位した銀化合物を熱分解することで、銀の粒径成長がナノサイズで抑制され、粒径が 10 nm 程度で揃った単分散のナノ粒子が得られると報告されている⁵⁹（図 1.14 (b)）。この銀ナノ粒子を含むインクを用いて印刷形成した配線では実際に、室温から低温アニール（100°C 以下）で良好な電気伝導が得られると報告されており⁶⁷（図 1.14 (c)）、アルキルアミンという弱く配位した保護基が低温焼結性に寄与していることが示唆される。

これらの低温焼結銀ナノインクの分散安定性について、カルボン酸と比べて吸着力の弱いアルキルアミンが主要な保護基として用いられているものの、3 か月以上のタイムスケールで安定して分散することが確認されている⁶⁴。一方で、銀ナノ粒子を分散させる溶媒が安定性に与える効果が近年調べられており、溶媒の相安定性や極性効果によって安定性が著しく変化することが指摘されている^{65,66}。

スーパーナップ法

有機 TFT における電極印刷形成手法として、例えばインクジェット印刷は有効な手法の一つとして考えられている⁶⁸。ここでは金属ナノインクの基板に対する物理吸着を用いて印刷形成が行われるため、印刷精度・最小線幅はインク液滴の流体的性質の影響を強く受ける。特に、インクジェットに

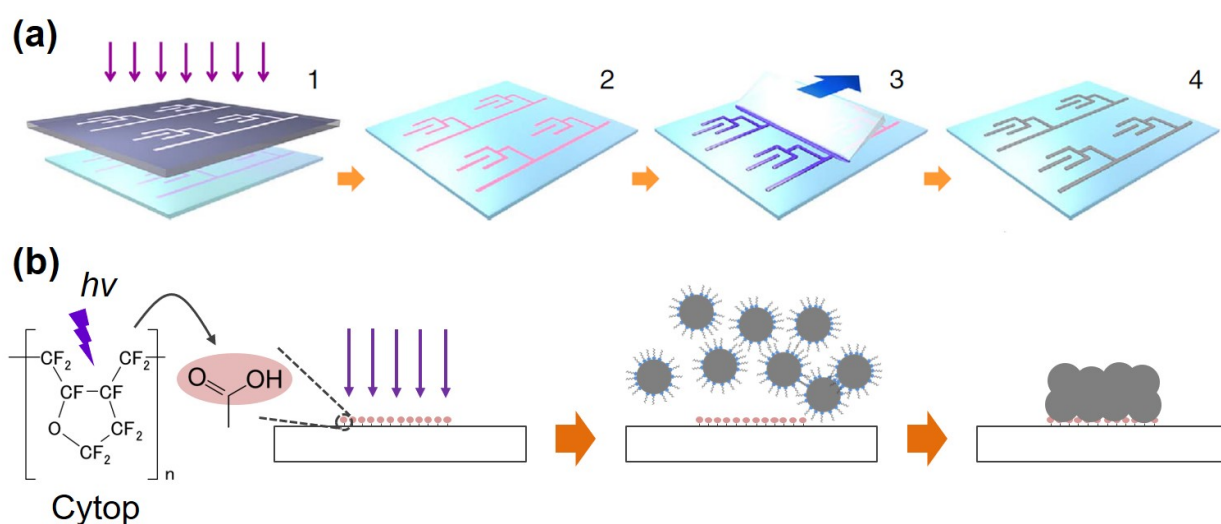


図 1.15 (a) スーパーナップ法の工程⁶⁹。1) VUV 光によるマスク露光、2) 光反応性表面の形成、3) 銀ナノインクのブレード掃引、4) 銀配線の形成。(b) 印刷原理の模式図。フッ素系高分子 Cytop に対して VUV 光を照射すると、照射領域のみにカルボキシル基が形成する（光反応性表面）。この表面上のみに銀ナノ粒子が選択的に化学吸着し、銀配線が得られる。また、低温焼結の銀ナノ粒子を用いることで、銀配線中のナノ粒子は自発的に融着し、導電性が発現する。

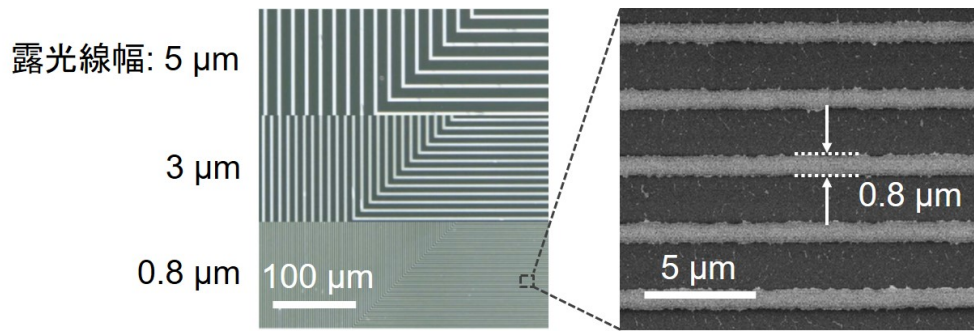


図 1.16 スーパーナップ法により得られる高精細電極の例⁶⁹。

おける液滴最小単位は典型的にピコリットル程度であり、これは基板着弾時に数十 μm の広がりを持つため、このスケール以下での精細性での印刷は課題とされてきた。このようななか近年、物理吸着とは異なる吸着原理を用いることで高精細な電極印刷を可能にした、スーパーナップ法（Surface Photoreactive Nano-metal Printing, SuPR-NaP）が報告された⁶⁹。

スーパーナップ法の工程を図 1.15 (a) に示す。マスクを通した光露光、銀ナノインクのブレード掃引という 2 ステップにより、銀配線を高速・簡便に得ることができる。スーパーナップ法で銀配線が形成される原理は、カルボキシル基と銀ナノ粒子間の化学吸着に基づくと考えられている（図 1.15 (b)）。ここで印刷の下地として、フッ素系高分子 Cytop（サイトップ）を製膜した基板が用いられる。Cytop に真空紫外光^{*10}（Vacuum Ultraviolet Light, VUV）を照射すると、五員環が開裂し、大気中の水分と反応することでカルボキシル基が生成すると考えられている⁷⁰。この表面上に銀ナノインクを滴下・ブレード掃引することにより、銀ナノ粒子を覆う保護基が基板表面のカルボキシル基によって化学的に置換され、保護基を失った銀ナノ粒子はコロイドとして安定に存在することができず、カルボキシル基と化学的に結合したまま基板上に残り続ける。一方、Cytop 表面が露光されていない場合は、Cytop のきわめて高い撥液性により、銀ナノ粒子は基板に吸着することなく、銀ナノインク中で分散安定を保ちながらブレード掃引によって基板上から取り除かれる。以上の Cytop 表面の性質に基づき、フォトマスクを通した露光により露光・非露光のパターンを作ることによって、露光領域のみで選択的に銀ナノ粒子化学吸着が起これ、電極パターンを形成することが可能となる。

スーパーナップ法により得られる印刷電極は、銀ナノ粒子の化学吸着という原理を用いており、その吸着領域は光パターンニングにより精細に制御することができると考えられる。実際に、最小で 0.8 μm 線幅の印刷電極が実現可能であると報告されている（図 1.15 (c)）。また、スーパーナップ法の工程は 100°C 以下の低温プロセス^{*11}で構成されており、前述した低温焼結銀ナノ粒子をインクとして用いることで、融着・導通確保まで含めて低温での電極印刷プロセスが実現できる。

*10 波長 172 nm の光を指す。

*11 プロセス中の最高温度は、Cytop の硬化温度である。Cytop は溶液塗布・乾燥により形成されるが、溶媒を飛ばすために最低でも 80°C 程度の加熱が用いられることが多い。

1.3 有機 TFT のキャリア輸送とスイッチング特性

本節では、有機 TFT の概要と低電圧駆動化に関する背景知識について解説する。1.3.1 項ではまず有機トランジスタと無機トランジスタの比較を行い、1.3.2 項ではキャリア輸送の一般論について述べる。1.3.3 項では低電圧駆動を阻害しうるキャリアトラップについて述べる。1.3.4 項では、スイッチングの定量的指標であるサブスレッショルドスイング (SS) について、ゲート絶縁層に着目した急峻スイッチング化の先行研究について述べる。

1.3.1 有機・無機トランジスタの比較

電界効果トランジスタ (Field Effect Transistor, FET) は、印加電圧により電流のオンオフを制御する、最も基本的なスイッチングデバイスである。FET のうち、半導体薄膜を用いたものを薄膜トランジスタ (Thin Film Transistor, TFT)、無機で酸化膜絶縁層を用いたものは MOSFET (Metal-Oxide-Semiconductor FET) と呼ばれる。有機 TFT および MOSFET の模式図を図 1.17 (a,b) に示す。FET の構成要素は、半導体層に加え、ゲート (G) 電極、ゲート絶縁層 (GI)、ソース・ドレイン (S/D) 電極からなる。FET では、G 電極に電圧を印加することで G 電極・絶縁層・S/D 電極のキャパシタ構造を用いて半導体層にキャリアを注入する。また、D 電極に電圧を印加することで、S/D 電極間に電界を生じさせ、キャリアのドリフトを行う。すなわち FET において電気伝導を担うキャリアは、S/D 電極・半導体界面で注入され、絶縁層・半導体界面近傍で輸送される。これらの界面を総称して、キャリア輸送界面と呼ぶ。有機 TFT と MOSFET では、キャリア輸送界面の形成の仕方が大きく異なる。

まず MOSFET に着目すると (図 1.17 (b))、その半導体層は典型的に 14 族の共有結合結晶 (シリコン、ゲルマニウム等) であり、ダイヤモンド型の結晶構造を有する (図 1.17 (c))。半導体界面では結晶周期性が崩れており、ダングリングボンド由来の界面準位が存在し、キャリアの捕捉 (トラップ) が起こると考えられている⁷¹。よって、半導体と S/D 電極、および半導体と絶縁層を単に接合するだけでは、界面準位の影響により良好なキャリア輸送特性を得ることができないとされている。これらを克服するため、MOSFET のチャネル領域および S/D 電極は、同一の半導体結晶を用いて PN ドーピングにより作製され、また半導体と絶縁層の界面は、半導体表面を熱酸化膜で覆うことで界面

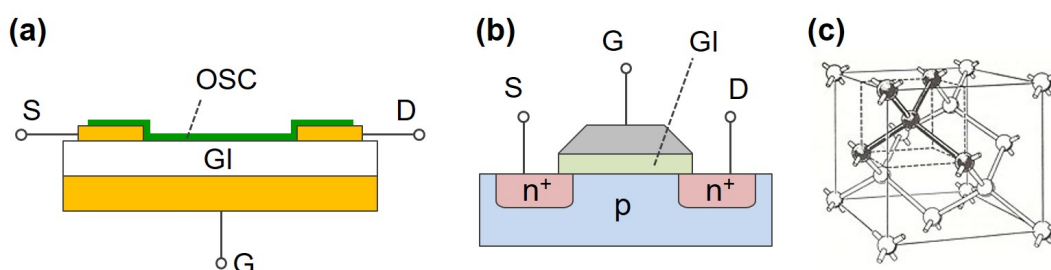


図 1.17 有機および無機の電界効果トランジスタの模式図。(a) 有機 TFT。(b) 無機半導体を用いた MOSFET。S/D: ソース・ドレイン電極、G: ゲート電極、GI: ゲート絶縁層、OSC: 有機半導体層、p: P ドープ半導体、n+: 高濃度 N ドープ半導体。(c) 14 属の無機半導体の結晶構造 (ダイヤモンド型共有結合結晶)。結晶構造は Wikipedia より引用。

準位を不動態化 (passivation) することで得られる^{*12}。以上のように MOSFET では、界面準位の影響を抑制するための高度なプロセスを経て、高性能なデバイス特性が実現している。

一方有機 TFT では (図 1.17 (a))、半導体層は有機分子が集合した分子性固体であり、固体表面にダングリングボンドは存在しない。そのため、界面準位の passivation をすることなく、電極や絶縁層と有機半導体の異種接合界面を形成するだけで TFT 駆動が可能である^{6,7}。また有機半導体はドーピングされていない真性半導体であり、そのままでは絶縁体である。すなわち、導電的な金属をそのまま S/D 電極として用いてオフ状態を得ることができ^{*13}、これは MOSFET では PN 接合を用いてオフ状態を実現する点と比べても対照的である。以上のように有機 TFT は、MOSFET と比べて高度なプロセスを必要とせず、デバイス構築に用いる部材には比較的自由度があると言える。一方で、有機 TFT における界面準位の形成は絶縁層や半導体等の界面状態に大きく依存するため、電気特性向上のためには適切なデバイス部材・作製プロセスによる高品質なキャリア輸送界面の構築が不可欠である。

1.3.2 基本的な電気特性

キャリアドリフト領域

TFT の電気特性の例を図 1.18 に示す。TFT における電圧印加には、ゲート電圧 (V_g) とドレイン電圧 (V_d) があり、これら電圧の印加の仕方により、得られる電流電圧特性の形状は変化する。 V_g を固定し V_d を掃引して得られる電流電圧特性を、出力特性と呼ぶ (図 1.18 (a))。また、 V_d を固定し V_g を掃引して得られる電流電圧特性を、伝達特性と呼ぶ (図 1.18 (b))。また V_d と V_g の大小関係に応じて、線形領域 ($|V_d| < |V_g|$) と飽和領域 ($|V_d| > |V_g|$) に分けられる。それぞれの領域での電流電

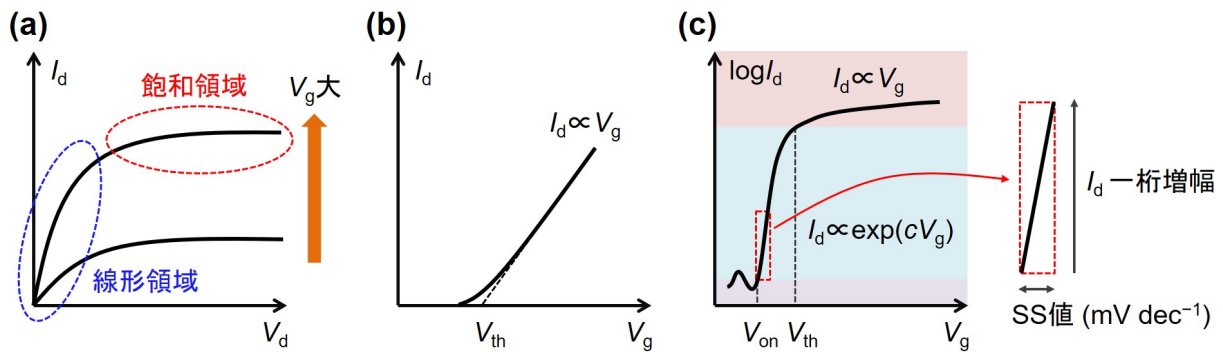


図 1.18 TFT の電気特性の例。(a) V_g を固定し V_d を掃引して得られる出力特性。 $|V_d| < |V_g|$ では電流値は V_d に対して線形に増加し (式 (1.4))、 $|V_d| > |V_g|$ では V_d に依存せず一定の値をとる (式 (1.5))。(b) V_d を固定し V_g を掃引して得られる伝達特性。線形領域 ($|V_d| < |V_g|$) の場合について示す。電流値は、 V_g に対して線形に変化する (式 (1.4))。(c) 伝達特性 (線形領域) の片対数プロット。右に SS 値の定義 (立ち上がり領域において電流一桁増幅に要する電圧値) の模式図を示す。

^{*12} MOSFET において界面準位の抑制された絶縁層・半導体界面を形成することは容易ではない⁷²。現在のエレクトロニクスを支えている熱酸化膜 SiO_2 は、きわめて優れた界面を形成することから、「神のギフト」とも呼ばれている。

^{*13} 有機半導体の抵抗に由来したオフ電流が流れる。

圧特性は、解析的に以下のように書き表すことができる。

$$\text{線形領域} : I_d = \frac{\mu W C_i}{L} V_d \left(V_g - V_{th} - \frac{V_d}{2} \right) \quad (1.4)$$

$$\text{飽和領域} : I_d = \frac{\mu W C_i}{2L} (V_g - V_{th})^2 \quad (1.5)$$

I_d はドレイン電流、 μ はキャリアドリフトによるデバイス移動度、 W はチャネル幅、 L はチャネル長、 C_i はゲートキャパシタンス、 V_{th} は閾値電圧^{*14}である。式 (1.4) および (1.5) は、 $|V_g| > |V_{th}|$ のキャリアドリフト領域におけるオン電流を記述する解析式として有効である。

サブスレッショルド領域

伝達特性の片対数プロットより (図 1.18 (c))、 $|V_g| < |V_{th}|$ においては、式 (1.4)、(1.5) では書き表せない微小電流が流れていることが確認できる。ここでは一般に、電流がある電圧 V_{on} で立ち上がり、電流が V_g に対して指数関数的に増大したのち、 $|V_g| > |V_{th}|$ において式 (1.4) で表される線形領域（あるいは式 (1.5) の飽和領域）へと移行するふるまいが得られる。

ここで、有機 TFT の低電圧駆動のためには、オフ領域 ($|V_g| < |V_{on}|$) からオン領域 ($|V_g| > |V_{th}|$) へいかに低電圧でスイッチングできるかが重要である。オフ・オン領域間の $|V_{on}| < |V_g| < |V_{th}|$ はサブスレッショルド（閾値下）領域と呼ばれ、キャリア輸送はドリフトではなく、むしろキャリア密度勾配に由来する拡散が支配的となっていく。この領域では、電流値は V_g に対して指数関数的に増大し、その増幅係数はサブスレッショルドスイング (SS) 値として次式で定義される。

$$SS = \left(\frac{d \log I_d}{d V_g} \right)^{-1} \quad (1.6)$$

SS 値は、サブスレッショルド領域において電流を一桁増幅するために必要な電圧値を表す (図 1.18 (c))。すなわち、SS 値が小さいほど急峻なスイッチング・低電圧駆動が実現していると言える。

半導体ポテンシャルと SS 値

有機 TFT は、 V_g によって半導体ポテンシャル ϕ_s を変化させ、フェルミエネルギー E_F を半導体の移動度端 (P 型であれば HOMO 準位) に近づけてキャリア注入・輸送を行うデバイスである。有機 TFT は、ゲート (G) 電極、ゲート絶縁層 (GI)、有機半導体 (OSC) から構成される金属・絶縁体・半導体 (Metal-Insulator-Semiconductor, MIS) 構造を有する (図 1.19 (a))。この MIS 構造に対して V_g を印加すると、 V_g の一部はゲート絶縁層に、一部は有機半導体層に分圧されると考えられる⁷³ (図 1.19 (b))。ここで半導体に印加される電圧成分が半導体ポテンシャル ϕ_s に相当する。有機半導体は HOMO-LUMO ギャップの開いた真性半導体であり、 V_g を印加していない状態では、 E_F はギャップ内に存在していると考えられる。有機 TFT では、 V_g 印加により半導体ポテンシャル ϕ_s を変化させ、 E_F を半導体の移動度端まで十分に近づけることで (図 1.19 (c))、式 (1.4)、(1.5) で表されるキャリアドリフト領域に至ると考えられる。一方で、 E_F が移動度端から比較的遠い（エネルギー的に”深い”）サブスレッショルド領域では、 ϕ_s に応じたキャリア密度の変化（拡散電流）が電気特性を支配すると考えられる。

^{*14} MOSFET ではドープされた極性が完全に反転する V_g を V_{th} と定義するが、有機半導体はドープされていない真性半導体であるため、同様の定義はできない。有機 TFT における V_{th} は、式 (1.4)、(1.5) の外挿から実験的に得られる電圧であり、キャリアドリフトが実効的に始まる見かけ上の電圧として定義される。

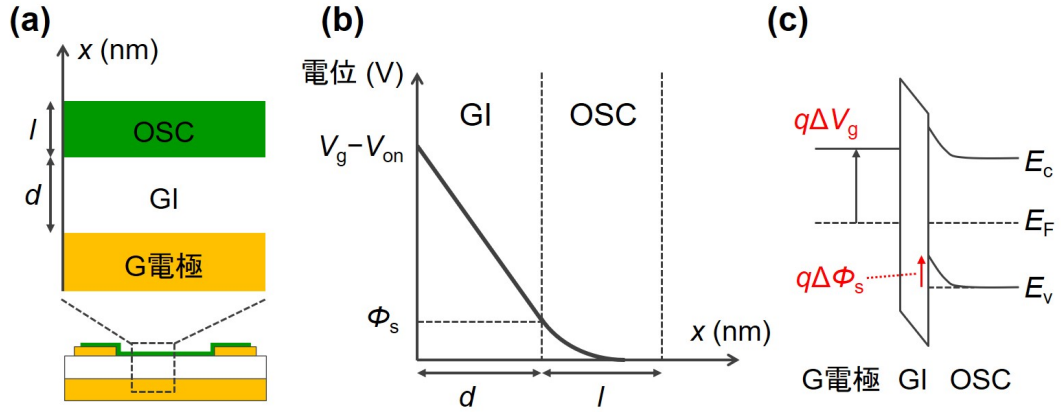


図 1.19 半導体ポテンシャル変化の模式図。(a) TFT における MIS キャパシタ構造。OSC、GI の厚みをそれぞれ l 、 d とおいている。(b) MIS キャパシタにおける電位分布の模式図。 $V_g = V_{on}$ でフラットバンド条件が成り立つとし、実効的な印加電圧を $V_g - V_{on}$ とおいた。(c) MIS キャパシタにおけるエネルギーバンド図。 E_v は価電子帯端、 E_c は伝導帯端を表す。ここでは、 E_F を E_v に近づけてホールを注入する P 型半導体の場合を示す。また有機半導体において、 E_v は HOMO 準位、 E_c は LUMO 準位に対応する。

ここで、サブスレッショルド領域における拡散電流は、最も単純には S 電極・D 電極間のキャリア密度勾配に比例すると考えることができ⁷⁴、次式で表される。

$$I_d \propto \exp\left(\frac{q\phi_s}{k_B T}\right) \quad (1.7)$$

$$n^* = \left(\frac{d\phi_s}{dV_g}\right)^{-1} \quad (1.8)$$

ϕ_s は半導体ポテンシャル、 q は電荷素量、 k_B はボルツマン定数、 T は絶対温度、 n^* は理想係数 (ideality factor) と呼ばれる量である^{20,75}。 n^* は、ゲート電圧変化 ΔV_g に対して半導体ポテンシャル変化 $\Delta\phi_s$ がどの程度追従できるかを表す。一般には $\Delta\phi_s < \Delta V_g$ であるため、 $n^* > 1$ となる。式 (1.6)、(1.7)、(1.8) より、SS 値は以下のように書き表すことができる。

$$SS = \frac{k_B T \ln 10}{q} \left(\frac{d\phi_s}{dV_g}\right)^{-1} \quad (1.9)$$

$$= \frac{k_B T \ln 10}{q} n^* \quad (1.10)$$

$n^* > 1$ より、SS 値には温度に応じて理論最小値が存在し、室温 (300 K) では 59.6 mV dec^{-1} となる。以上より、 n^* を 1 に近づけることが急峻スイッチング (理論最小値に迫る SS 値) を得るための鍵となる。しかし、半導体・絶縁層の欠陥等に由来するギャップ内トラップ状態密度が支配的になると、 n^* は 1 より大きくなり、スイッチング特性は劣化することが知られている。これについて次項で述べる。

1.3.3 キャリアトラップとサブスレッショルド特性

ギャップ内トラップ状態密度

有機 TFT における有機半導体層では一般に、HOMO-LUMO ギャップ内にトラップ状態密度 (Density of States, DOS) が生じると考えられている^{16,17} (図 1.20)。トラップ DOS は、キャリア注入のために半導体ポテンシャル ϕ_s を E_F に近づける過程で、ギャップ内でキャリアをトラップする DOS としてはたらくため、TFT 特性^{*15}を劣化させる要因になると考えられている。トラップ DOS の形状は、例えば低温測定⁷⁶や数値計算^{77,78}等から予測する手法が提案されており、これらの比較より、半導体の構造欠陥・結晶のグレイン境界や、ゲート絶縁層表面の極性基・吸着分子等がトラップ DOS を生じる要因として議論されている¹⁷。

実際に、トラップ DOS と TFT 電気特性の比較を行った例を図 1.21 に示す¹⁸。ここでは、半導体結晶性および絶縁層界面を変えて比較を行っている。まず、高純度単結晶を用いたデバイス (赤線) において、最も急峻な SS 値と低トラップ DOS が得られていることから、結晶のグレイン境界・構造欠陥の抑制が、トラップ低減と TFT 高性能化に重要であることが示唆される。また絶縁層として、アモルファス高撥液絶縁材料 Cytop を用いたデバイス (青線) では、その他の絶縁層 (黒線・緑線) と比べて急峻 SS 値と低トラップ DOS が得られており、不純物を吸着しにくい高撥液表面および極性成分のないアモルファス表面がトラップ DOS 抑制に有効であると議論されている。すなわち、トラップ DOS を生じる起源は、半導体・絶縁層の双方に存在しうることが本報告より示唆される。

また絶縁層表面の極性成分の具体的な寄与について、双極子が半導体 DOS 広がりに影響を与えることが指摘されている⁷⁹⁻⁸¹ (図 1.22)。Veres らは、低誘電率の絶縁層を用いることで移動度向上・ヒステリシス抑制が得られることを報告した⁷⁹。ここでは、高誘電率絶縁層では表面で双極子乱

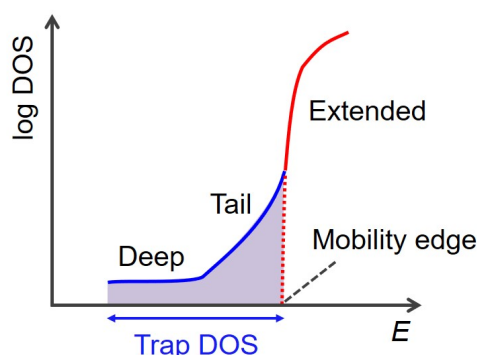


図 1.20 ギャップ内トラップ状態密度 (DOS) の一例。キャリア輸送が行われる輸送準位 (P 型 OSC であれば HOMO) は Extended States と呼ばれ、このなかで最もギャップ側のエネルギーは移動度端 (Mobility edge) と定義される。移動度端よりギャップ側に存在する状態密度がトラップ DOS と定義され、例えば指数関数的に減衰する裾準位 (Tail States)、エネルギー的に深い準位 (Deep States) 等が存在すると議論されている⁷⁸。このほか、ギャップ内でガウシアン的に局在したトラップの存在も指摘されている。

*15 トラップが支配的な系では、SS 値、移動度、ヒステリシス、立ち上がり電圧、接触抵抗等、多岐にわたる性能指数が劣化することが報告されている。

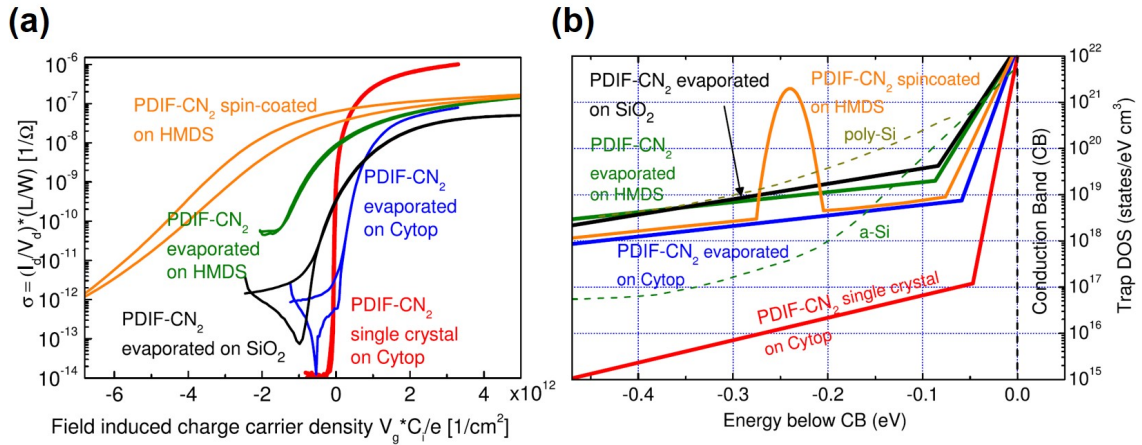


図 1.21 TFT の電気特性とトラップ DOS の対応¹⁸。(a) 伝達特性の比較。赤線の単結晶・Cytop 界面で最も急峻な SS 値が実現している。次いで、青線の蒸着多結晶・Cytop 界面で急峻 SS 値が実現している。(b) トラップ DOS の比較。赤線の単結晶・Cytop 界面で最もトラップが抑制されている。次いで、青線の蒸着多結晶・Cytop 界面でトラップが抑制されている。有機半導体には、N 型材料 PDIF-CN₂ を用い、剥片状単結晶、蒸着多結晶薄膜、スピコート多結晶薄膜について比較している。蒸着多結晶薄膜については、絶縁層界面を、Cytop（高撥液）、HMDS（撥液）、SiO₂（親液）の 3 種類にふって比較している。

れが生じるために、半導体 DOS が電気的相互作用で広がりを生じるというモデルが提案された（図 1.22 (a)）。さらに Richards らは、絶縁層の双極子モーメントが半導体中の電荷に与える静電相互作用エネルギーを基に DOS 広がりを計算し、双極子に半導体が近いほど DOS 広がりが生じることを報告している⁸⁰（図 1.22 (b)）。DOS 広がりによって電気特性が劣化するという指摘は、DOS 広がり

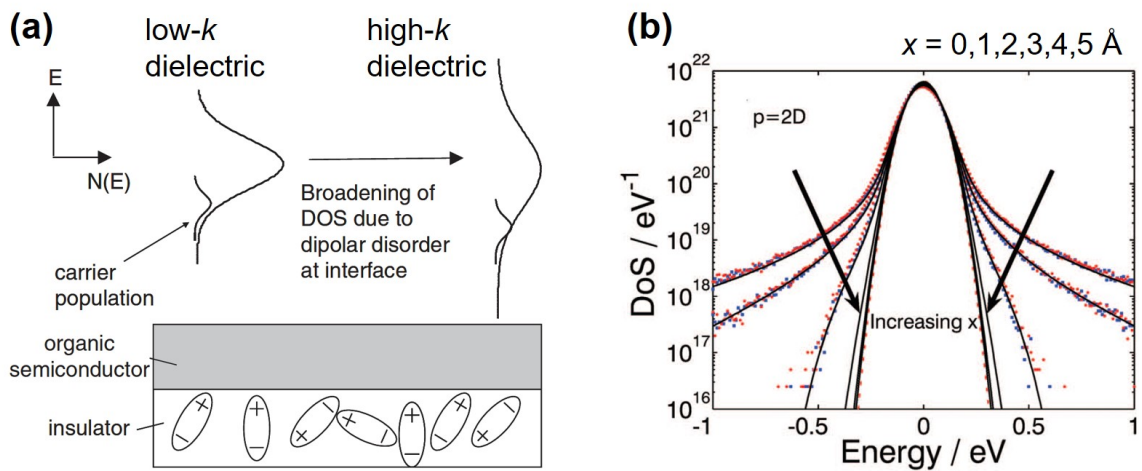


図 1.22 絶縁層表面の双極子と半導体 DOS の相関。(a) 絶縁層表面の双極子に由来する DOS 広がりの模式図⁷⁹。高誘電率絶縁層では、表面の双極子乱れが DOS 広がりを引き起こしうると議論されている。(b) 絶縁層表面の双極子が半導体 DOS 広がりに与える影響の、半導体・絶縁層間距離 (x) の依存性の計算⁸⁰。絶縁層・半導体界面 ($x = 0 \text{ \AA}$) で最も DOS が広がっており、絶縁層表面から離れる ($x > 0 \text{ \AA}$) にしたがつて、DOS 広がりが抑制される。

によってキャリアの局在化や、キャリアをトラップする裾準位 (Tail States) が増大した結果として考えることができる。また、電気特性が絶縁層の誘電率に依存する傾向は、高純度単結晶を用いたデバイスにおいても報告されている^{82,83}。すなわちデバイス特性向上のためには、半導体のみならず絶縁層界面の最適化も重要であることが、図 1.21 の結果と合わせて改めて示唆される。

以上を踏まえ、総体的な TFT 特性の向上 (急峻 SS 値、高移動度、ヒステリシス抑制等) にはトラップ DOS 抑制が不可欠であり、適切な半導体・絶縁層界面の構築が必要となる。先行研究を踏まえると、半導体としては構造欠陥・結晶グレインのない高純度単結晶、絶縁層としては極性基・吸着分子の影響が抑制された界面が有効であると示唆されており、かつこれらを同時に用いることが重要である。

トラップ DOS と SS 値の相関

トラップ DOS が支配的な TFT では、伝達特性において V_g を印加した際、 E_F が移動度端に近づく過程で、トラップ DOS にキャリアを埋めるために余分な V_g が消費されると考えられる。そのためトラップ DOS の分布は、半導体ポテンシャル ϕ_s の V_g に対する追従性、すなわち理想係数 n^* (式 (1.8)) および SS 値 (式 (1.10)) に影響を与えると考えられる。そこで、トラップ量と SS 値の相関について、簡単な計算を用いて議論する。

トラップ DOS を $D_{it}(E)$ とおくと、半導体ポテンシャルを ϕ_s だけ変化させたときのキャリアトラップ量 $Q_{trap}(\phi_s)$ は、次のように書ける。

$$Q_{trap}(\phi_s) = q \int_0^{q\phi_s} D_{it}(E) dE \quad (1.11)$$

TFT の MIS 構造に V_g を印加し、半導体ポテンシャルが ϕ_s だけ変化している状態では、ゲート絶縁層には正味 $V_g - V_{on} - \phi_s$ の電圧がかかっていると考えられる (図 1.19 (b))。ここで、絶縁層・半導体界面にガウスの法則 (電荷中性条件) を適用すると、以下の関係式 (1.12) が導かれる⁸⁴。

$$C_i (V_g - V_{on} - \phi_s) = Q_{trap} \quad (1.12)$$

$$\Delta\phi_s = \Delta V_g - \frac{\Delta Q_{trap}}{C_i} \quad (1.13)$$

C_i は、絶縁層のゲートキャパシタンスである。式 (1.13) は、式 (1.12) の差分をとることで得られる。式 (1.12) の両辺 V_g 微分と式 (1.8) より、理想係数 n^* は次の形で書ける^{*16}。

$$n^* = \left[1 - \frac{1}{C_i} \left(\frac{dQ_{trap}}{d\phi_s} \right) \left(\frac{d\phi_s}{dV_g} \right) \right]^{-1} > 1 \quad (1.14)$$

ここで、SS 値に関わるトラップ DOS のエネルギー領域は、移動度端から相対的に離れた深い準位 (Deep states)^{*17}であると考えられている^{16,20,84}。これら深い準位の有無に応じた、半導体ポテンシャル ϕ_s の変化・SS 値の比較を図 1.23 に示す。まず有限の D_{it} のもとでは (図 1.23 (b))、印加電

16 右辺にも n^ を含んでいるため、これをそのまま式 (1.10) に代入することは正しくない。

*17 「深い」という言葉が表すエネルギー範囲は、文献により異なるので注意が必要である。Batlogg や Nathan らのグループでは、連続したトラップ DOS のなかで、移動度端から相対的に遠い領域を「深い」と定義しており、これが SS 値に関わるとして議論している^{16,20,84}。一方 Podzorov らのグループでは、移動度端から $k_B T$ 以上離れたトラップ DOS を「深い」と定義しており、SS 値ではなく立ち上がり電圧 (閾値電圧) を支配する要因として議論している⁸⁵。

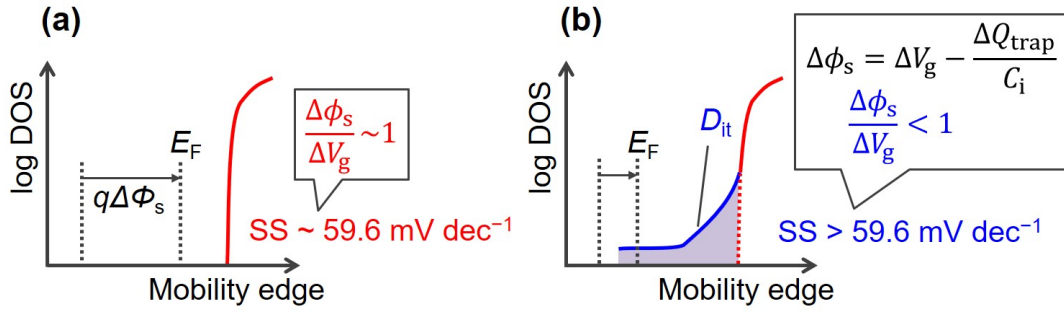


図 1.23 トラップ DOS (D_{it}) の有無に応じた半導体ポテンシャル ϕ_s 変化・SS 値の比較の模式図。(a) トラップがない系。 ϕ_s は V_g に完全に追従することができ ($n^* = 1$)、SS 値は理論限界の値をとることができる。(b) トラップ D_{it} が無視できない系。印加電圧 ΔV_g の一部はトラップ Q_{trap} を埋めるために消費されるため、 ϕ_s の V_g に対する追従性は悪くなり ($n^* > 1$)、SS 値は理論限界と比べて大きくなる。

圧 ΔV_g の一部は式 (1.13) にしたがってトラップ ΔQ_{trap} を埋めるために消費され、理想係数は $n^* > 1$ となり (式 (1.14))、SS は理論限界と比べて劣化する傾向を示す。一方、トラップ DOS が存在しない理想的な系 ($D_{it} = 0$) では (図 1.23 (a))、 ϕ_s はトラップの影響を受けずに完全に ($n^* = 1$) V_g に追従することができ、SS 値は理論限界の値 (300 K で 59.6 mV dec⁻¹) をとることができる。

また、図 1.23 (b) のようなトラップ DOS が無視できない系においても、 C_i を増大することによりトラップ ΔQ_{trap} の影響を相対的に低減できると考えられる (式 (1.13))。すなわち、 C_i を著しく増大することにより、理想係数 n^* は 1 に近づき、SS 値は理論限界に近づいていくことが期待される。

トラップ DOS と SS 値の相関の近似式

SS 値に関わる深い準位のトラップ DOS (D_{it}) が、エネルギーによらずに一定であると仮定すると、SS 値はより議論しやすい簡単な形で書くことができる。この仮定のもとでは、トラップ量 ΔQ_{trap} は次式で表される。

$$\Delta Q_{trap}(\Delta\phi_s) = q \int_0^{q\Delta\phi_s} D_{it} dE \quad (1.15)$$

$$\sim q^2 \Delta\phi_s D_{it} \quad (1.16)$$

本式および式 (1.13) より、次の関係が得られる。

$$\Delta\phi_s = \Delta V_g \left(1 + \frac{q^2 D_{it}}{C_i} \right)^{-1} \quad (1.17)$$

したがって、理想係数 n^* および SS 値は次の形で書くことができる。

$$n^* = \left(1 + \frac{q^2 D_{it}}{C_i} \right) \quad (1.18)$$

$$SS = \frac{k_B T \ln 10}{q} \left(1 + \frac{q^2 D_{it}}{C_i} \right) \quad (1.19)$$

式 (1.19) は、ゲートキャパシタンス C_i と SS 値を結ぶ理論式として、慣例的に用いられている^{*18}。

^{*18} ただし、導出の前提である D_{it} がエネルギーによらないという仮定の妥当性¹⁶や、電極・半導体界面のトラップの影響

この D_{it} は実験的に得ることができ、種々の有機 TFT において、SS 値の C_i 効率を表す相対的な指標とみなすことができる。 D_{it} が小さいほど、より小さい C_i で急峻スイッチングが得られることに相当する。

1.3.4 ゲート絶縁層による SS 値の急峻化

式 (1.19) に着目すると、SS 値の急峻化には、 C_i (ゲートキャパシタンス) を大きくする、あるいは D_{it} (トラップ DOS) を小さくするという二通りの方法が考えられる。いずれも、ゲート絶縁層を適切に選定することで、実現することができる。本項ではゲート絶縁層に着目し、 C_i 増大あるいは D_{it} 低減により低電圧駆動・SS 値の急峻化を図った先行研究について紹介する。

C_i (ゲートキャパシタンス) の増大

C_i は、次式で書き表される。

$$C_i = \frac{\epsilon_r \epsilon}{d} \quad (1.20)$$

ϵ_r は絶縁層の比誘電率、 ϵ は真空の誘電率、 d は絶縁層厚みである。すなわち C_i を増大するためには、高誘電率材料の利用、あるいは極薄絶縁層の利用が有効である。

絶縁層極薄化という観点で特に注目されている材料の一つが、自己組織化単分子膜 (Self Assembled Monolayer, SAM) である⁸⁸。アルキル鎖で修飾された分子がゲート電極上で自己組織的に並び、均一厚みかつ稠密に配列したアルキル鎖が良好な絶縁層として機能する (図 1.24 (a))。絶縁層厚みは極薄の分子一層 (2 nm 程度) であり、ゲートキャパシタンスとして $700 \sim 1000 \text{ nF cm}^{-2}$ 程度の巨大な値を実現できる。SAM 絶縁層により、幅広い有機半導体材料で急峻 SS 値 ($\sim 100 \text{ mV dec}^{-1}$) が実現されており^{14,88-92}、最近では世界記録^{*19}となる SS 値 59 mV dec^{-1} が達成されている⁹³ (図 1.24 (b))。

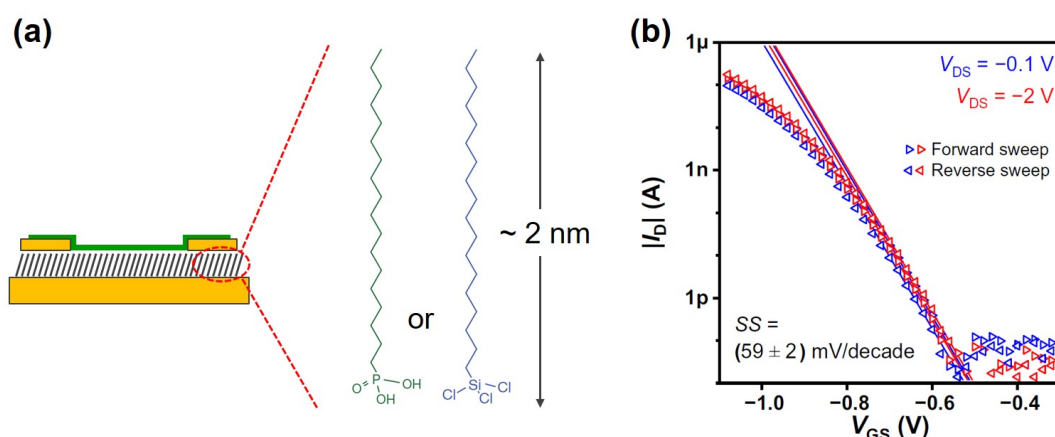


図 1.24 (a) SAM 絶縁層の模式図。(b) SAM 絶縁層を用いた TFT の高急峻スイッチング⁹³。

を含めていない点の妥当性^{86,87}には議論の余地があり、デバイス構成により理論式からずれる可能性を有している点には注意が必要である。

*19 2021 年 1 月現在。有機 TFT における世界最小の接触抵抗 ($10 \Omega \text{ cm}$) 等も実現している。

SAM 以外では例えば、高分子絶縁材料を薄く塗布製膜することによって、低電圧駆動が得られることが報告されている⁹⁴⁻⁹⁶。しかしながら、塗布により形成した極薄絶縁層では一般に、ピンホールの存在により絶縁性が損なわれるため、再現性の確保が課題となる。また、高誘電率絶縁材料（金属酸化膜⁹⁷、強誘電高分子^{98,99}等）による低電圧駆動も報告されている。前項でも触れた通り、高誘電率絶縁層表面では双極子乱れが電気特性を劣化せうと指摘されているが（図 1.22）、この影響は表面を薄い低誘電率材料で覆うことで低減できる^{100,101}。

D_{it} （トラップ DOS）の低減

トラップ DOS の低減のためには、極性基や吸着分子のない高品質な半導体・絶縁層界面の構築が重要であるとされている。この観点で注目されている材料の一つが、アモルファス高撥液絶縁材料の Cytop（サイトップ）^{*20}である。Batlogg らは、気相成長させた高純度単結晶を Cytop 絶縁層上に貼り付けたデバイスのキャリア輸送特性を調べた（図 1.25 (a)）。これにより、比較的低い C_i （ $\sim 5 \text{ nF cm}^{-2}$ ）を用いながらも理論限界に迫る高急峻スイッチング（SS 値 65 mV dec^{-1} ）が得られ（図 1.25 (b)）、さらに単結晶由来の高移動度（ $13.9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ）、ヒステリシスの著しい抑制が同時に実現することを示した^{20,102,103}。SS 値と C_i を用いて式 (1.19) より求まる D_{it} は $3 \times 10^9 \text{ eV}^{-1} \text{ cm}^{-2}$ であり、この値は典型的な低分子系半導体の有機 TFT（ $10^{11} \sim 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ オーダー）と比べて著しく低い。すなわち Cytop・単結晶界面を用いたデバイスでは、トラップ DOS がきわめて抑制されていると考えられる。以上より Cytop は、高品質な半導体と組み合わせることで、急峻スイッチング・高移動度・ヒステリシスフリー等、総体的なデバイス特性向上を実現しうる絶縁層として用いることができると考えられる。

また近年では、塗布によりトラップ DOS を低減する手法として、低分子系半導体と低誘電率絶縁性高分子の混合物塗布による相分離界面の形成がよく用いられている。ここでは、半導体・絶縁性高分子の相分離界面が自発的に形成され、さらに半導体の結晶性が増強されると議論されている^{104,105}。

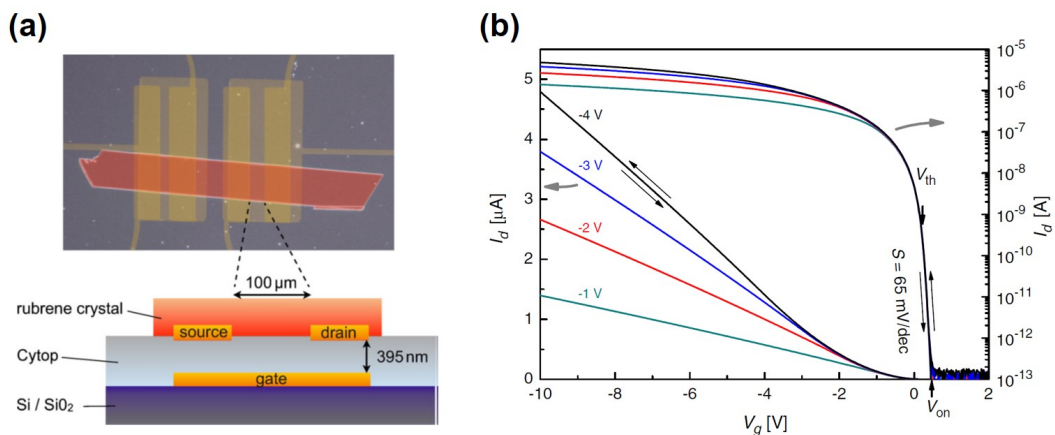


図 1.25 アモルファス高撥液絶縁層 Cytop を用いたデバイス作製と高急峻スイッチング²⁰。(a) Cytop 上への単結晶貼り付けデバイスの模式図と光学像。(b) 伝達特性。SS 値は 65 mV dec^{-1} 、移動度は $13.9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に達し、ヒステリシスは無視できるほど小さい。

^{*20} Cytop の詳細は次節で述べる。

ここで得られるキャリア輸送界面を用いることで、最小で理論限界に迫る SS 値が実現できることが報告されている^{106,107}。これら塗布膜は多結晶的なモルフォロジとなるため、移動度は典型的に $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以下にとどまるが、特性の均質性には優れる¹⁰⁸。

1.4 絶縁層界面制御による TFT 高性能化

TFT のデバイス特性向上には、キャリア蓄積・輸送が行われる絶縁層・半導体界面におけるキャリアトラップを極小化することが求められる。絶縁層に着目すると、トラップの形成は、絶縁層表面の化学種の極性成分や分子吸着の有無といった、表面状態に大きく影響を受けると考えられている。このような絶縁層表面状態は、表面に液体を滴下した際の「濡れ性」というマクロスケールのふるまいで特徴づけることができる。この観点では、液体を強くはじく撥液性の絶縁層表面において、トラップ抑制と優れたデバイス特性が報告される傾向にある¹⁷。撥液性絶縁材料のなかでも、特に優れた絶縁層として、Cytop (サイトップ)¹⁰⁹が注目を集めている (図 1.26 (a))。Cytop は全フッ素化された分子構造を有し、かつ稠密なアモルファス膜を形成するため、あらゆる絶縁材料のなかでも最も高撥液な表面を有している (図 1.26 (b))。実際に、Cytop 界面を用いた有機トランジスタにおいて、駆動安定性の著しい向上¹⁰²や世界最高クラスのスイッチング特性²⁰等、優れたデバイス特性が数多く報告されている。

本節では、Cytop をはじめとする高撥液絶縁層界面を用いたデバイス特性向上の取り組みに焦点を当てる。1.4.1 項ではまず、表面濡れ性の一般論について述べ、1.4.2 項では絶縁層の表面濡れ性の制御手法に触れる。1.4.3 項では高撥液絶縁層により実現しうる具体的なデバイス特性の向上について述べる。

1.4.1 表面濡れ性の一般論

高撥液な固体表面に液体を滴下すると、図 1.26 (b) のように、液滴は強くはじかれ丸まった形状となる。液体が球状化するふるまいは、液体の表面張力が支配的な系・条件において観察される。

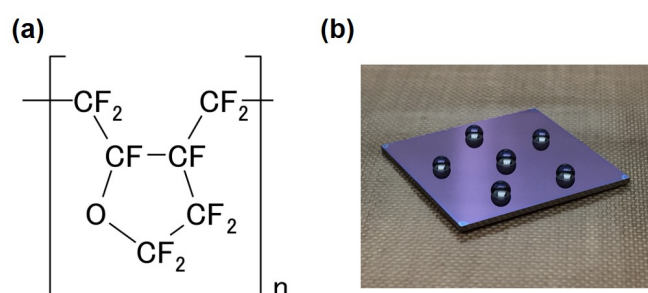


図 1.26 (a) Cytop の構造式。(b) Cytop を製膜した基板の上に、水を滴下した様子。Cytop 表面は、液滴を強くはじく高撥液性を示す。

液体の表面張力

表面張力とは、液体の分子間力に由来する、気液界面の液体分子をバルク側へ引き込もうとする力に相当する。液体は液体分子の集まりであり、各々の液体分子は周囲の液体分子から分子間力を受けながら、無秩序に熱運動をしている（図 1.27 (a)）。バルク分子（B）に対しては、時間平均で分子間力は等方的にはたらいっており、つりあいが保たれた状態となっている。一方気液界面の表面分子（S）に対しては、大気から分子間力をほとんど受けないために、バルク側へ引き込もうとする力（表面張力）がはたらく。表面張力 (N m^{-1}) は表面自由エネルギー (J m^{-2}) と等価であり、表面張力が高い液体の表面は、表面自由エネルギーが高く活性な（ほかの分子と吸着することで安定化するような）表面を有している。また液体にとって、表面を有することは表面自由エネルギー的に不利であるため、表面張力は表面積を減らす方向へはたらき、液体は表面積が最も少ない球形になろうとする。

ここで、大気中に球状液滴が存在する状況を考えると（図 1.27 (b)）、液滴の内部では外部と比べて、表面張力に由来して圧力が ΔP だけ大きくなっている。これをラプラス圧と呼び、球状の液滴では次式で表される。

$$\Delta P = \frac{2\gamma}{r} \quad (1.21)$$

γ は液体の表面張力、 r は液滴の半径である。液滴の形状は、表面自由エネルギーの総和を最小にしようとするため、理想的には球状となる。しかし現実の系では、重力の寄与を考える必要があり、液滴の形状は表面張力と重力の兼ね合いで決まる。液滴の密度を ρ とすると、半径 r の液滴内部では、 $\rho g r$ 程度の圧力差が生じる。重力による圧力差が、ラプラス圧 γ/r より大きければ^{*21}、重力の効果は無視できず、液滴は球状からずれていく。逆にラプラス圧の方が大きければ、液滴は表面張力により球状に近づく。重力による圧力差 $\rho g r$ と、表面張力によるラプラス圧 γ/r が同等になる特徴的長さ

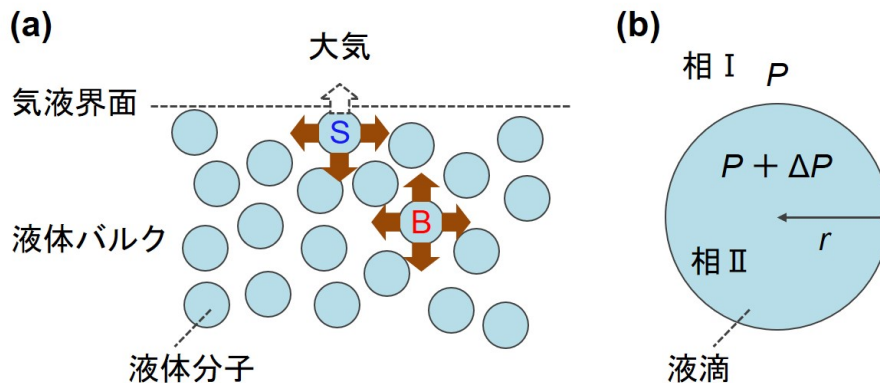


図 1.27 (a) 表面張力が生じる起源の模式図。バルク中の分子（B）は、あらゆる方向から分子間力を受け、つりあいが保たれている。一方、気液界面の分子（S）は、大気側から分子間力をほぼ受けないため、分子はバルク側へ引き込まれる。(b) ラプラス圧 (ΔP) の模式図。圧力 P の大気（相 I）中に存在する液滴（相 II）では、 ΔP 分だけ高い圧力がはたらく。 ΔP が重力の寄与より大きい場合、分子間力（表面張力）が支配的な系とみなすことができ、液滴は球状となる。

^{*21} 重力との比較では、ラプラス圧の係数 2 はしばしば無視される。

表 1.1 種々の液体の毛管長。表面張力は、常温での値を引用。

	表面張力 (mN m^{-1})	密度 (g cm^{-3})	毛管長 (mm)
水	72.8	1.00	2.7
クロロベンゼン	33.6	1.11	1.8
トルエン	28.5	0.86	1.8
クロロホルム	27.2	1.48	1.4
エタノール	22.5	0.78	1.7
n-ヘキサン	18.4	0.65	1.7

は、毛管長 r_c と呼ばれる。

$$r_c = \sqrt{\frac{\gamma}{\rho g}} \quad (1.22)$$

表 1.1 に、毛管長の一覧を示す。水や典型的な有機溶媒では、2 mm 前後の値をとる。重力の寄与を無視して濡れ性の議論をする際には、毛管長より小さいスケールに着目する必要がある。以下では、液滴サイズが毛管長より小さいスケールであることを前提として話を進める。

固体上への液体の付着特性

固体上に液体が付着した状態を考える (図 1.28 (a))。この際の液滴形状は、液体の表面自由エネルギー (γ)、固体の表面自由エネルギー (γ_s)、固体・液体の界面自由エネルギー (γ_{sl}) によって決まる。この状態から、液体を固体から引き離す仕事を考えると、必要なエネルギー W_a は次のように定義される。

$$W_a = \gamma + \gamma_s - \gamma_{sl} \quad (1.23)$$

これは Dupre の式と呼ばれ、 W_a は付着によるエネルギー利得に相当する。付着により安定化が起こる条件は、 $W_a > 0$ である。ここで、固体・液体が接触する境界 (接触線) において、液体表面が固体表面となす角を接触角 θ_c と定義する (図 1.28 (b))。接触線にはたらく界面張力のつりあいの条件が

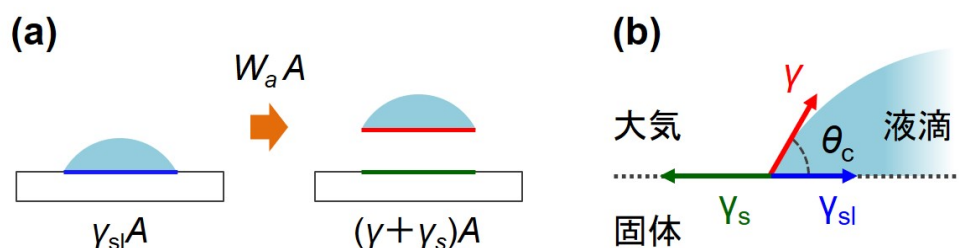


図 1.28 固体上への液体付着の模式図。(a) 付着仕事 W_a の定義。液体・固体の付着面積を A とおく。付着状態から引き離す過程で、面積 A の界面領域における自由エネルギーの総和は $\gamma_{sl}A$ から $(\gamma + \gamma_s)A$ へと変化する。(b) 固体・気体・液体の接触領域の模式図。

ら、次の式（Young の式）が導かれる。

$$\gamma_s = \gamma \cos \theta_c + \gamma_{sl} \quad (1.24)$$

接触角 θ_c は、固体表面の濡れ性を評価する際の一つの目安となる。接触角が大きい場合は、液体が固体上で表面張力により比較的丸まった形状となっており、高撥液な表面とみなすことができる。一方で接触角が小さい場合は、液体が固体上で薄く濡れ広がることができおり、濡れ性がよい表面であると言える。

ここで、Dupre の式 (1.23) と Young の式 (1.24) より、次式が得られる。

$$W_a = \gamma(1 + \cos \theta_c) \quad (1.25)$$

これは Young-Dupre の式と呼ばれる。すなわち接触角 θ_c は、固体と液体の付着利得 W_a 、および液体の表面自由エネルギー γ で決まる値である^{*22}。 W_a が小さいときは接触角が大きくなり、逆に W_a が大きいときは接触角が小さくなる。接触角はあくまでも、固体・液体の組み合わせの相性を表す指標であって、固体表面 (γ_s) だけで決まる値ではない点に注意が必要である。

ここで、 W_a の値を固体・液体の自由エネルギー成分を用いて理論的に記述できれば、表面張力が既知の液体を用いた接触角測定から固体表面の情報を引き出すことができる。理論ではしばしば、表面自由エネルギーの起源となる分子間力に応じて、成分分けがなされる。具体的には、分散項 γ^d （電子の偏りにより瞬間的に生じた双極子どうしの相互作用に由来する成分）、極性項 γ^p （分子が有する永久双極子どうしの相互作用に由来する成分）、水素結合項 γ^h （電気陰性度が高い原子と水素原子間で生じる極性に由来する成分）に分類がなされる。理論は種々提案されているが¹¹⁰、例えば北崎・畑らは、付着利得 W_a には各成分の幾何平均則が寄与すると仮定し、次式を提案した¹¹¹。

$$W_a = 2\sqrt{\gamma_1^d \gamma_2^d} + 2\sqrt{\gamma_1^p \gamma_2^p} + 2\sqrt{\gamma_1^h \gamma_2^h} \quad (1.26)$$

添え字の 1,2 は、接触させる二つの物質を表す。本式が成り立つと仮定すると、 γ の成分が既知の液体を 3 種類用いて接触角測定を行うことで、固体表面の自由エネルギー成分分け (γ_s^d 、 γ_s^p 、 γ_s^h) が可能となる。また定性的には、高撥液で付着利得 W_a が小さい表面は、各成分 (γ_s^d 、 γ_s^p 、 γ_s^h) が総じて小さい表面であると考えられる。ただし理論式 (1.26) は、 γ の各成分に幾何平均則をアプリオリに適用して得られたものであり^{*23}、妥当性については議論を要している¹¹⁰。

1.4.2 絶縁層表面濡れ性の制御

絶縁層の表面濡れ性は、式 (1.26) が示唆するように、表面に存在する分子面の表面自由エネルギーに影響を受けると考えられる。すなわち、絶縁層表面を任意の分子で稠密に覆うことができれば、表面濡れ性はその被覆分子を反映したものとなり、表面濡れ性を変化させることができる。絶縁層の表面被覆に用いられる材料としておもに、シランカップリング剤（図 1.29）と絶縁性高分子（図 1.30）が挙げられる。

^{*22} 静的な接触角の場合。一方、斜面を液滴が滑り落ちるような場合では、前進角 (advancing) と後退角 (receding) で異なる角度を示す。

^{*23} 本理論は、分散成分 γ^d のみで幾何平均則が成り立つとした Fowkes の理論^{112,113}を拡張したものである。しかし Fowkes は、分散項以外に幾何平均則を適用することは妥当ではないとして、批判的な立場をとっている¹¹⁰。

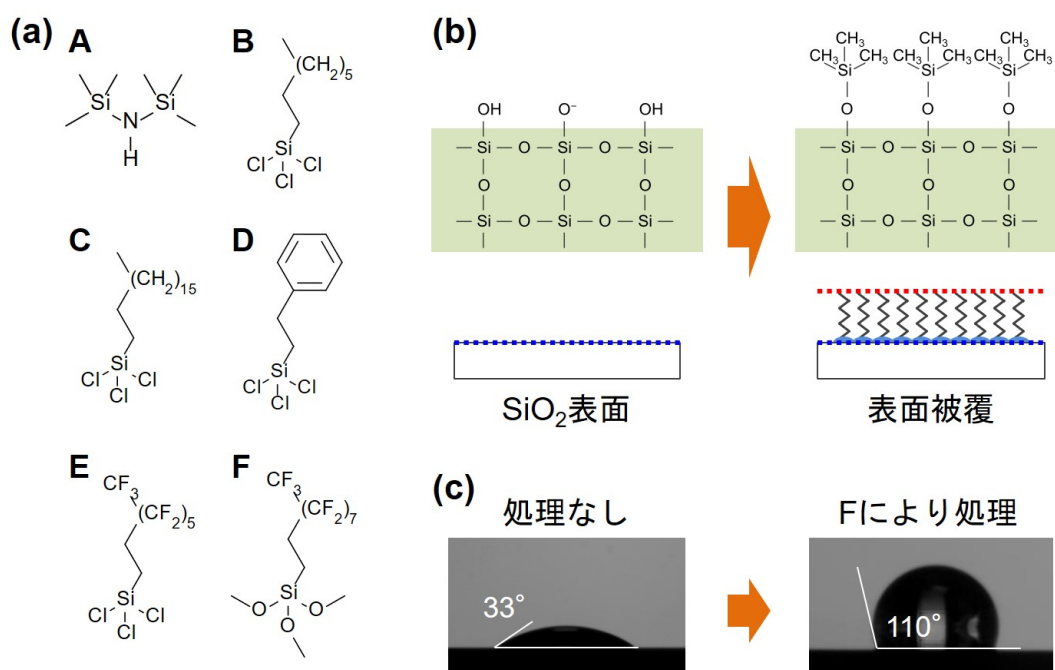


図 1.29 シリコン酸化膜 (SiO₂) 表面のシランカップリング処理。(a) シランカップリング剤の例。(b) SiO₂ の表面被覆の模式図。シランカップリング剤 A (HMDS) を用いた例を示している。(c) 処理による水接触角の変化。シランカップリング剤 F (FAS-17) を用いた例を示している。(a) の各物質名: A) HMDS, hexamethyldisilazane; B) OTS, octyltrichlorosilane; C) ODTS, octadecyltrichlorosilane; D) β -PTS, β -phenethyltrichlorosilane; E) FOTS, tridecafluorooctyltrichlorosilane, F) FAS-17, 1H,1H,2H,2H-perfluorodecyltriethoxysilane。

シランカップリング剤は、Si 原子と化学的に結合を作り、かつ分子鎖どうしが基板に垂直方向に配向して並ぶことで、稠密な表面被覆を実現できる分子群である (図 1.29 (a,b))。これらは、有機 TFT の絶縁層としてよく用いられるシリコン熱酸化膜 (SiO₂) の表面に対して適用でき、液相あるいは気相処理によって形成される。これにより、SiO₂ 表面に存在する構造欠陥やシラノール基 (Si-OH) 等の極性成分の影響を抑制できるため、デバイス特性向上に有効であるとして古くからよく用いられている^{22,114}。SiO₂ の表面濡れ性 (処理前は親液性) は、シランカップリング剤に応じて幅広く制御することが可能である (図 1.29 (c))。

一方で、絶縁性高分子 (図 1.30 (a)) による被覆は、基板によらずに適用でき (基板との化学結合が不要)、また多くの場合高分子溶液を塗布して乾かすという簡便なプロセスで得られる^{*24}という特徴を有する。また、絶縁性高分子単体で絶縁層として機能しうる。絶縁性高分子を製膜すると、一般に配向の乱れたアモルファス絶縁層となり、表面濡れ性は分子構造に含まれる官能基に依存する。例えば水酸基 (OH 基) は典型的な極性基であるが、これを含む polar の材料 (図 1.30 (a) の A,B) と含まない less polar の材料 (図 1.30 (a) の C-F) で比べると、前者では極性成分 γ_s^p の分だけ表面自由エネルギーが高くなっていると考えられ、実際に液滴は濡れ広がりやすい傾向を示す (図 1.30 (b) の B)。OH 基を有していない less polar の材料では、表面自由エネルギーの成分として分散成分 γ_s^d が支配的となり、極性溶媒である水に対する濡れ性は悪くなる (図 1.30 (b) の F)。一方で、有限の

*24 図 1.30 (a) に示した材料のなかでは、E (Parylene) 以外は溶液塗布で製膜可能である。

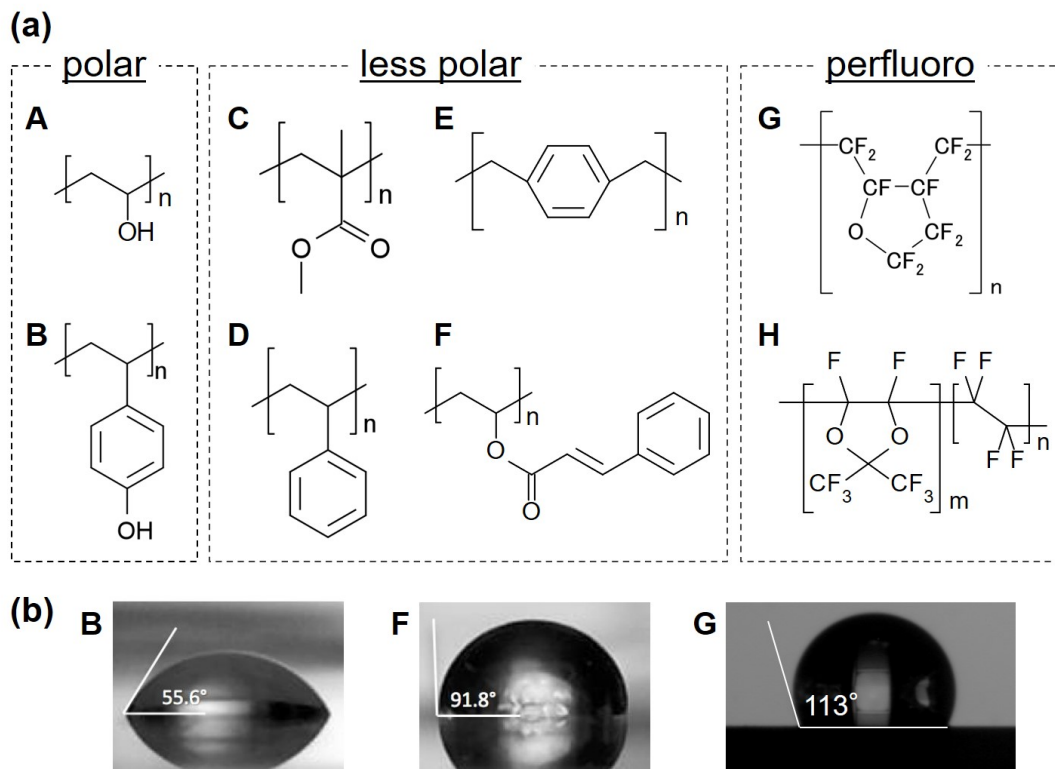


図 1.30 (a) 絶縁性高分子材料の例。便宜的に、次の 3 種類に分類した。polar (A,B) : 極性成分 γ_s^p が支配的な材料。less polar (C-F) : γ_s^p が抑制され分散成分 γ_s^d が支配的な材料。perfluoro (G,H) : 全フッ素化されており、less polar と比べて γ_s^d がさらに抑制された材料。(b) 絶縁層表面の水接触角の例¹¹⁵。材料 B (PVP)、F (PVC)、G (Cytop) について示している。(a) の各物質名 : A) PVA, poly(vinyl alcohol); B) PVP, poly(vinyl phenol); C) PMMA, poly(methyl methacrylate); D) PS, polystyrene; E) Parylene, poly(para-xylylene); F) PVC, poly(vinyl cinnamate); G) Cytop, poly(perfluoro-ethylene-co-butenyl vinyl ether); H) Teflon-AF, poly[4,5-difluoro-2,2-bis(trifluoromethyl)-1,3-dioxole-co-tetrafluoroethylene]。

分散成分 γ_s^d を有するため、無極性の有機溶媒に対しては、表面張力の γ^d に応じた濡れ性を示すと考えられる¹¹⁵。さらに、全フッ素化（パーフルオロ）された材料（図 1.30 (a) の G,H）では、電気陰性度の高い F 原子により電子は原子核に強く引きつけられ空間的自由度が低下することから、分散成分 γ_s^d 自体がさらに低下すると考えられる。そのため、極性溶媒・無極性溶媒のいずれに対しても、高い撥液性を示す（図 1.30 (b) の G）。すなわち、Cytop をはじめとするパーフルオロ材料は、あらゆる絶縁材料の中でも最高の撥液性を示すと言える。

1.4.3 絶縁層界面とデバイス特性の相関

絶縁層の表面状態は、駆動安定性、立ち上がり電圧、スイッチング鋭さ等、有機 TFT の様々な性能指数に影響を与えることが実験的に示されている（図 1.31）。本節では、これらの性能指数と絶縁層界面との相関について簡単にまとめ、アモルファス高撥液 Cytop 絶縁層の位置づけとこれにより得られるデバイス特性向上の効果について述べる。

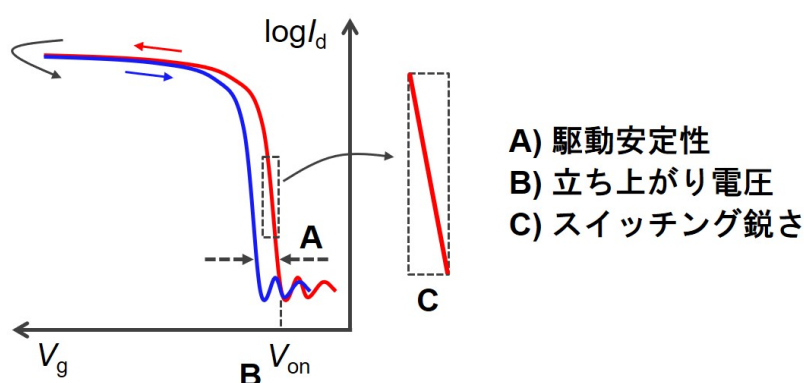


図 1.31 絶縁層界面により変化しうるおもなデバイス特性。 V_g 印加に対する電流値の安定性 (A)、立ち上がり電圧 (B)、スイッチング鋭さ (C) 等に影響を与えうると考えられている。

駆動安定性

TFT の駆動時、ゲート電圧 V_g の印加の影響で電流値が変化する現象が生じることがあり、これはバイアスストレスと呼ばれる (図 1.32 (a))。特に、一本の伝達特性の V_g 掃引タイムスケールで現れる電圧印加履歴は、ヒステリシスと呼ばれる (図 1.31 の A)。TFT 駆動の再現性・安定性の確保には、これらの抑制が不可欠である。

バイアスストレスの影響は、シリコン熱酸化膜 (SiO_2)¹¹⁶ や PVA・PVP^{117,118} (図 1.30 (a) の A,B) 等、OH 基 (極性基) を有する親液性の絶縁層界面で顕著に現れることが知られている (図 1.32 (a))。逆にその抑制には、撥液性を示す絶縁層界面が有効であると考えられている。例えば、シランカップ

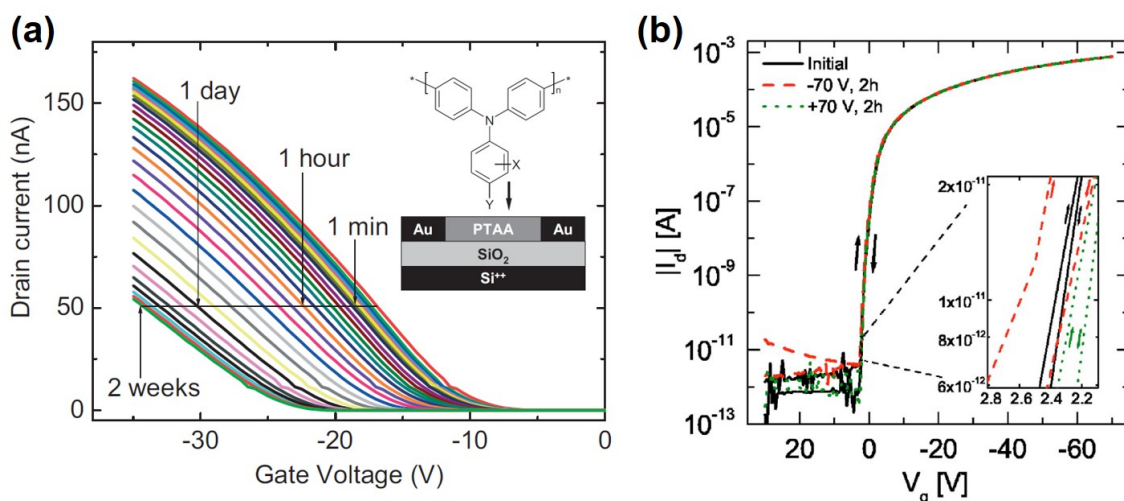


図 1.32 絶縁層界面に応じたバイアスストレスの影響の比較。(a) SiO_2 界面を用いたデバイスの駆動安定性¹¹⁶。大幅な電流値劣化を示している。測定環境は真空 (10^{-3} Pa) 下、バイアス電圧は $V_g = -20$ V。(b) Cytop 界面を用いたデバイスの駆動安定性¹⁰²。高い駆動安定性を示している。測定環境は He 雰囲気 (H_2O , $\text{O}_2 < 0.5$ ppm) 下、バイアス電圧は $V_g = -70$ V。

リング剤による SiO_2 の被覆界面^{22,114,119,120}や、撥液性の絶縁性高分子界面^{107,121,122}による安定駆動化がなされている。また、最も高撥液な絶縁材料である Cytop 界面においても、半導体材料によらずに²⁵、優れた駆動安定性が得られることが報告されている^{95,102,117,123-129} (図 1.32 (b))。

バイアスストレスの起源として例えば、水の影響を低減した雰囲気ではバイアスストレスが著しく抑制されるという報告がなされており^{119,130-132}、界面に吸着した水分子の極性成分が、キャリアを電気的に捕捉しうると考えられている¹³³。また de Leeuw らは、KFM (Kelvin Force Microscopy) を用いて表面ポテンシャルとバイアスストレスの関係を調べ、立ち上がり電圧が負にシフトするような条件下ではチャネル領域が正に帯電しうると報告している^{134,135} (図 1.33)。ここでは絶縁層中の固定電荷が、半導体ポテンシャルのシフト (フラットバンド電圧のシフト) を引き起こすと議論されている。またこれら固定電荷の形成は、HMDS (図 1.29 (a) の A) による SiO_2 表面の被覆率を増加させるにしたがい (すなわち高撥液表面ほど) 低減する傾向にあることも報告している¹³⁶。これらを説明するモデルとして、水分子が絶縁層表面の OH 基と電気化学的に反応してプロトンを生じ、これが絶縁層バルク側へ入り込み固定電荷を形成する「proton migration」メカニズムが提案されている¹³⁷⁻¹³⁹。

以上を踏まえ改めて Cytop に着目すると、表面に分子を吸着しにくい高撥液絶縁層であり、かつ電気化学反応を起こさない不活性な表面を有していることから、バイアスストレス抑制に有効な材料であると考えて矛盾がない。

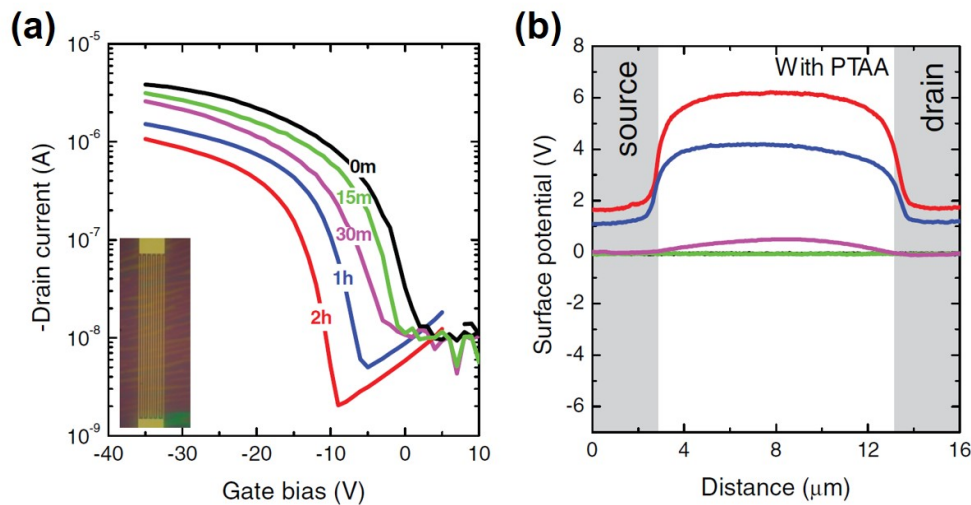


図 1.33 バイアスストレスによる表面ポテンシャルの変化¹³⁵。(a) 伝達特性の変化。(b) チャネル領域の表面ポテンシャルの変化。電極はいずれもグラウンドに落として測定をしている。立ち上がり電圧が正側へシフトした特性 ((a) の青線・赤線に相当) では、 $V_g = 0 \text{ V}$ でフリーキャリアが蓄積していないにも関わらず、表面ポテンシャルは正を示していることから、チャネルに正の固定電荷が存在することを示唆している。

立ち上がり電圧

TFT の低電圧駆動には、電流が 0 V 近傍で立ち上がることが必要である (図 1.31 の B)。0 V 近傍での立ち上がり電圧 (V_{on}) を得るためには、絶縁層表面の電荷状態の適切な制御が不可欠である。この観点でシランカップリング剤は、バイアスストレス抑制のための表面撥液化には有効である一方、分子が基板に垂直に配向し分子種に応じた双極子モーメントを形成しうることから、半導体ポテンシャルをシフトさせる可能性を有する点に注意が必要である。

例えば、フッ素系とアルキル系のシランカップリング剤で表面被覆を行った単結晶デバイスの電気特性を比較したところ、フッ素系材料では V_{on} が大幅に正に寄る現象が報告されている¹⁴⁰ (図 1.34 (a))。フッ素系材料により V_{on} が正にシフトするという傾向は、半導体材料や P 型・N 型によらずに一貫して観測されている^{141, 142}。またフッ素系材料では、分子先端 (半導体側) から分子根本 (絶縁層側) に双極子モーメントを有することが、計算により示されている¹⁴³ (図 1.34 (b))。さらに、KFM を用いた表面ポテンシャル測定により、フッ素系材料による被覆絶縁層表面は、負に帯電する結果が報告されている¹⁴⁴。以上よりフッ素材料による V_{on} の正シフトは、電気陰性度が高いフッ素原子が表面に偏って分布していることで、表面には実効的に負の (固定) 電荷が存在しており、これにより半導体ポテンシャルが正孔を蓄積する方向へ曲がる (フラットバンド電圧が正にシフトする) ことに起因すると考えられている¹⁴⁰。またこれらの結果は、先に述べた de Leeuw らが指摘している、 V_{on} の負シフト時は絶縁層が正に帯電しているという状態¹³⁵ (図 1.33) と比べると、極性を反転させた状態に相当しており、矛盾がない。

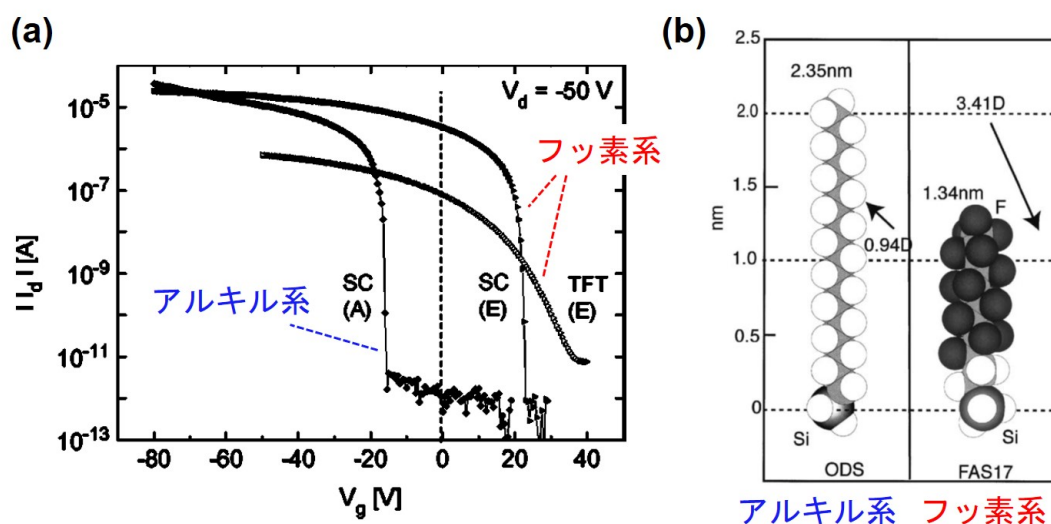


図 1.34 シランカップリング剤による V_{on} と双極子の効果。(a) SiO_2 被覆デバイスにおける V_{on} の比較¹⁴⁰。フッ素系の材料で、 V_{on} が正側へ変化する。半導体はペンタセンで、SC が単結晶、TFT が多結晶に相当する。(b) シランカップリング剤分子の双極子の第一原理計算¹⁴³。フッ素系では、分子先端から分子根本 (Si 原子) 側へ比較的大きな双極子モーメントを有する。

*25 蒸着多結晶^{95, 117, 123}、塗布多結晶¹²⁴⁻¹²⁶、単結晶¹⁰²、高分子系半導体¹²⁷⁻¹²⁹いずれとの界面においても高い駆動安定性が報告されている。

一方で、アモルファス高撥液絶縁層 Cytop を用いたデバイスでは、例えば図 1.32 (b) に示すように 0 V 近傍での立ち上がりが実現しており、 V_{on} が極端に正にシフトする現象は観測されていない。Cytop はアモルファス構造であり、「炭素に対するフッ素の位置」は Cytop 膜内ではランダムになっていると考えられる。したがって、フッ素原子由来の双極子モーメントの影響は問題にならず、フッ素系の撥液性材料のなかでは、0 V 近傍での立ち上がりを得るために有効な絶縁層材料であると言える^{*26}。

スイッチング鋭さ

低電圧駆動には、鋭いスイッチング性能（小さい SS 値）を有することが求められる（図 1.31 の C）。急峻スイッチングを得るためには、絶縁層・半導体界面や半導体・電極界面等、キャリア輸送が行われる界面におけるトラップを低減することが本質的に重要である。SS 値に関わるトラップの大きさを議論する際は、SS 値に対するゲート絶縁層のキャパシタンス効率を表す D_{it} （式 (1.19) における計算上のトラップ密度）が、比較の指標として便宜的に用いられる¹⁴⁵。すなわち、 D_{it} が小さいほど^{*27}、トラップ抑制による優れたキャパシタンス効率を有していると考えられることができる。

D_{it} 低減のための絶縁層として近年、極性基のない撥液性材料が優れた界面形成に有効であることがわかりつつあり、特にポリスチレン（PS、図 1.30 (a) の D）はよく用いられる絶縁材料の一つである。例えば、硬化処理を施した PS 表面上に多結晶半導体を塗ることで、 $D_{it} \sim 1 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ 程

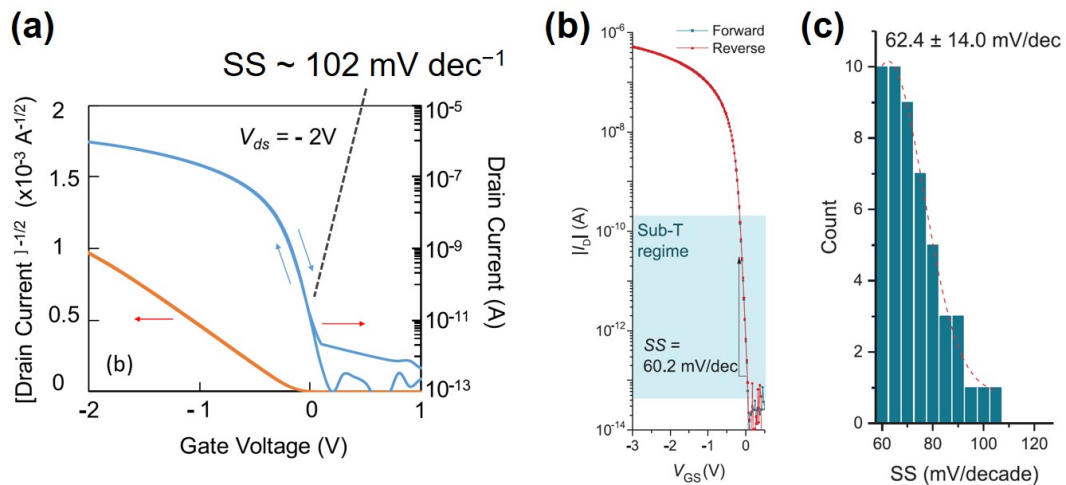


図 1.35 PS 界面を用いた D_{it} 低減による急峻スイッチングの例。(a) 絶縁層 PS 上に、多結晶膜 (Ph-BTBT-C₆₀) を製膜したデバイスの伝達特性¹⁴⁶。平均で SS 値 102 mV dec^{-1} 、 $D_{it} \sim 1.1 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ が達成されている。PS は光硬化処理により、溶媒耐性の向上が図られている。(b,c) 絶縁層 PVC 上に、PS と低分子系半導体 (C₈-BTBT) の混合溶液を塗布し、多結晶膜と PS 相分離界面を形成したデバイスの (b) 伝達特性および (c) SS 値の基板内統計分布¹⁰⁷。平均で SS 値 62 mV dec^{-1} 、 $D_{it} \sim 8.4 \times 10^8 \text{ eV}^{-1} \text{ cm}^{-2}$ が達成されている。PVC は光硬化処理により、溶媒耐性の向上が図られている。

^{*26} V_{on} を決める因子は、絶縁層表面の電荷状態だけではない。例えば図 1.34 (a) では、単結晶 (SC(E)) と多結晶 (TFT(E)) で V_{on} が異なるように、半導体のモルフォロジ・構造欠陥に応じて変化する。

^{*27} 低分子系半導体を用いた典型的な有機 TFT の D_{it} は $10^{11} \sim 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 程度のオーダーであることが知られている¹⁴⁵。

度の良好なトラップ抑制能が報告されている¹⁴⁶ (図 1.35 (a))。さらに PS は、低分子系半導体と混合した溶液を用いて塗布製膜を行うことで、結晶性が増強された半導体および PS 絶縁層からなる相分離界面が自発的に形成し^{104,105}、SS 値急峻化を含めキャリア輸送特性が著しく向上することが知られている^{106,147,148}。また Guo、Nathan らのグループは、PS を用いた相分離界面を、さらに高撥液性絶縁層 PVC (図 1.30 (a) の F) 上に形成することで、 D_{it} を著しく低減できることを報告している^{107,115,149–151}。特に、アルキル置換棒状分子 C₈-BTBT を用いたデバイスでは¹⁰⁷ (図 1.35 (b,c))、SS 値は理論限界に匹敵する 62 mV dec⁻¹ を示し、 D_{it} は 8.4×10^8 eV⁻¹ cm⁻² という有機トランジスタでは世界最小の値^{*28}を報告している。

D_{it} 低減に有効な絶縁層に求められる条件について、系統的な理解は未だなされていないものの、経験的には撥液性の絶縁材料 (PS、PVC 等) で優れた値が報告される傾向にあり、極性基や吸着分子のない界面が有効であると議論されている¹⁷。さらに、これら D_{it} 抑制が報告されている絶縁膜材料は総じて誘電率が低く (PS : $\epsilon_f = 2.6$ 、PVC : $\epsilon_f = 3.4$)、双極子乱れによるランダムポテンシャルが抑制されている寄与も考えられる^{79,80}。ここで Cytop 絶縁層に着目すると、あらゆる絶縁材料のなかで最も高撥液な低誘電率 ($\epsilon_f = 2.0$) 材料であり、実際に Cytop 界面を用いた単結晶デバイスでは世界最小クラスの D_{it} (3×10^9 eV⁻¹ cm⁻²) が報告されていることから²⁰ (図 1.25)、PS や PVC で見出されている傾向と矛盾はないと言える。

1.5 塗布型有機 TFT の低電圧駆動化に向けた課題

1.2 節で述べたように、有機 TFT を塗布構築するための材料・プロセスは近年大きく発展してきた。特に、層状結晶性が強化されたアルキル置換棒状分子により、塗布により高均質な結晶膜が得られるようになり、デバイス移動度は 10 cm² V⁻¹ s⁻¹ を越えるような実用に匹敵する性能が達成されている。また近年、キャリアトラップ抑制による TFT の低電圧駆動化・急峻スイッチング化に注目が集まっており (1.3 節)、実際に絶縁層・半導体界面を最適化することで理論限界に迫る SS 値が達成されるに至っている (1.4 節)。特に、Cytop に代表されるアモルファス高撥液絶縁層は、トラップ抑制含めデバイス特性の総体的な向上に有効であることがわかっている。すなわち、半導体材料・塗布製膜技術による高移動度化と、絶縁層界面構築技術による急峻スイッチング化は、各々に限れば著しい高性能化が達成されていると言える。したがって単純には、これらの材料・技術を統合することにより、高移動度かつ急峻スイッチングを示す低電圧駆動の有機 TFT が、塗布により実現できると期待される。

しかしながら、高移動度と理論限界スイッチングを塗布により両立することは、一般に容易ではない。この理由として、トラップ抑制能に優れる高撥液絶縁層表面へ、高品質な半導体結晶膜を塗布により構築することが著しく困難であることが挙げられる。高撥液な表面は、液滴が強くはじかれ濡れ広がりにくいという表面に相当する。一方で半導体塗布のためには、基板上で溶液を濡れ広がらせて薄い液膜を作ることが必要となる。そのため、高撥液絶縁層表面で高均質な結晶を塗布製膜することは従来法では困難であり、高移動度・高急峻スイッチング等の総体的な TFT 特性向上を阻む要因となっていた。さらに TFT を全塗布で構築するという観点では、電極配線を印刷形成することが求められるが、インクジェット等の物理吸着を用いた従来手法では、高撥液絶縁層上への電極の印刷形成

*28 2021 年 1 月現在。

は容易でない。

すなわち、高撥液絶縁層のデバイス特性向上に対する有用性は示唆されているものの、実際に半導体や電極配線を塗布により形成しデバイス特性を検証する試みは、その技術的困難さからほぼ行われていない状況である。塗布型有機 TFT においてトラップ抑制・低電圧駆動化を実現するためには、トラップ抑制能に優れる高撥液絶縁層の界面を維持しつつ、高品質な半導体結晶膜や電極配線をいかに「塗布」で積層していくかが主要な課題であると言える。

1.6 研究目的と概要

本研究では、層状結晶性に優れるアルキル置換棒状分子（低分子系半導体）を用いて、塗布型有機 TFT の低電圧駆動（高移動度・高急峻スイッチングの両立）を実現することを目的とした。このために、あらゆる絶縁材料のなかでも最高の撥液性を示しトラップ抑制が期待される Cytop 絶縁層に着目し、Cytop 絶縁層上への半導体結晶の塗布製膜を試み、ボトムゲート（BG）型 TFT におけるデバイス特性の向上を図った。さらに Cytop 表面は、光改質を用いた電極配線の印刷形成（スーパーナップ法）が適用できるため、半導体塗布と統合することで全塗布型 TFT の構築および Cytop 界面を用いた TFT 高性能化の検討が可能である。ただし現状では、高撥液 Cytop 上への半導体塗布あるいは電極印刷を行った TFT 構造の検討は、ほぼ報告・知見がない。そこで本博士論文では、Cytop 絶縁層を用いた TFT 全塗布構築のため、Cytop 上への塗布構築が比較的容易な電極・高分子系半導体を用いた BG 型 TFT 構築を予備検討として行った（第2章、第3章）。次いで本論として、Cytop 上へ低分子系半導体を塗布製膜したデバイス構造を実現し、塗布型有機 TFT の総体的なデバイス特性向上を試みた（第4章）。

第2章では、高撥液ゲート絶縁層・印刷電極構造の最適化を行う。高撥液絶縁材料である Cytop 上には、スーパーナップ法を用いることで電極配線の印刷形成が可能であることが報告されており⁶⁹、これを TFT における絶縁層・電極構造として用いるための基礎検討を行った。まずは TFT 向け印刷配線を再現よく得るための電極作製条件の最適化、次いで Cytop ゲート絶縁層の評価、最後に蒸着半導体を用いた TFT 駆動の検討を行った。これらを通じ、スーパーナップ法の TFT 構築手法としての有用性を議論する。

第3章では、高撥液 Cytop 絶縁層上へ高分子系半導体を塗布した BG 型 TFT において、Cytop 界面がキャリア輸送特性に与える影響を調べた。Cytop 上へ半導体を塗布するデバイス構造は、シリコーンゴムによる溶剤保持・吸収を用いるプッシュコート法⁵⁷により実現した。まずは、スーパーナップ法により得られる Cytop 絶縁層・印刷電極上へ高分子系半導体の塗布を行い、塗布型 TFT の構築と基礎的なキャリア輸送特性を調べた。加えて、絶縁層・電極界面の異なる TFT を作製・比較を行い、輸送界面の違いが TFT 特性に与える影響について議論する。

第4章では、高撥液 Cytop 絶縁層上へ低分子系半導体の結晶膜を塗布形成する新たな手法開発を行った。本塗布法について、詳細な *in situ* 観察の結果から製膜原理を考察する。次いで、Cytop 絶縁層・単結晶半導体構造を有する BG 型 TFT のキャリア輸送特性を調べ、Cytop 絶縁層界面によるスイッチング急峻化について議論する。また、スーパーナップ印刷電極と組み合わせた全塗布型 TFT、および塗布法の低分子系半導体に対する材料適用幅について、検討を加える。

第5章では、本博士論文の一連の研究結果をまとめ、総括とする。

第 2 章

高撥液ゲート絶縁層・印刷電極構造の構築と最適化

2.1 研究背景と目的

あらゆる絶縁材料のなかで Cytop は最も高撥液・不活性な界面を有するため、ゲート絶縁層として用いることで TFT 高性能化が期待できる。さらに Cytop は、スーパーナップ法⁶⁹を用いることで高精細な電極配線を印刷形成できることが報告されている。スーパーナップ法は文献では、タッチパネルセンサ向け技術として報告されているが、Cytop 絶縁層を有する TFT の塗布構築という観点でも有効な手法であると考えられる。しかしながらスーパーナップ法は、Cytop 表面の光改質や銀ナノインクのブレード掃引といった、Cytop の絶縁性を損なう可能性のある工程を含んでいる。すなわち、スーパーナップ法により得られる Cytop・印刷電極を TFT 構造として用いるためには、Cytop の絶縁性の確保やゲートキャパシタンスの定量評価等が、基礎検討として重要であると考えられる。しかしながら現状では、Cytop・印刷電極構造における Cytop 層の絶縁特性に関する知見・報告は十分でない。

そこで本章では、Cytop 層にスーパーナップ法を適用した際の Cytop 層の絶縁特性を調べ、TFT 構築のための構造最適化を行った。まずは、スーパーナップ法の電極材料として必要な銀ナノコロイド粒子の合成を行い、これを用いて再現よく良好な導電性を得るための印刷条件最適化を行った。また、スーパーナップ法を適用した Cytop についてゲート絶縁層としての検討を行うため、Cytop 層・印刷電極構造を用いてキャパシタ構造を作製し、耐圧測定・インピーダンス測定等から絶縁特性やゲートキャパシタンスを見積もった。さらに、代表的な P 型有機半導体であるペンタセンと組み合わせ、Cytop・印刷電極からなる積層構造が TFT へ適用できるかを調べた。以上により、Cytop 界面を有する全塗布 TFT 構築のための、絶縁層・電極構造の確立を目的とした。

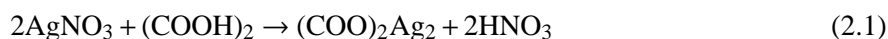
2.2 高撥液絶縁層上への金属配線印刷

スーパーナップ法の文献⁶⁹では、最小で $1.0 \times 10^{-5} \Omega \text{ cm}$ 程度の優れた抵抗率が報告されているが、そのばらつきや再現性については言及がなされていない。スーパーナップ印刷電極を用いて TFT を構築するためには、印刷電極の再現のよい導通確保が必須である。そこで本節では、電極材料である銀ナノコロイドインクの合成から始め、スーパーナップ法により TFT 向け電極配線を再現よく得る

ための印刷条件最適化を行った。

2.2.1 銀ナノコロイドインクの合成

スーパーストップ法で用いる電極材料である銀ナノ粒子を、次の化学反応により合成した⁵⁹。



反応 (2.1) では、硝酸銀 (AgNO_3) とシュウ酸 ($(\text{COOH})_2$) の水溶液を混合することで、シュウ酸銀 ($(\text{COO})_2\text{Ag}_2$) の白色沈殿が収率ほぼ 100% で得られる。次いでシュウ酸銀に、保護基としてオレイン酸・アルキルアミン (図 2.1) を混合し攪拌することで、ペースト状のシュウ酸架橋銀錯体が形成する。この錯体を攪拌しながら 110°C で加熱することで、反応 (2.2) の脱炭酸・熱分解反応が起こり、保護基が配位した銀ナノ粒子が得られる (図 2.2 (a))。反応後、銀ナノ粒子と保護基残存物の混合物が得られるため、溶媒^{*1}洗浄と遠心分離を用いて余剰保護基を除去し、銀ナノ粒子を精製する。最後

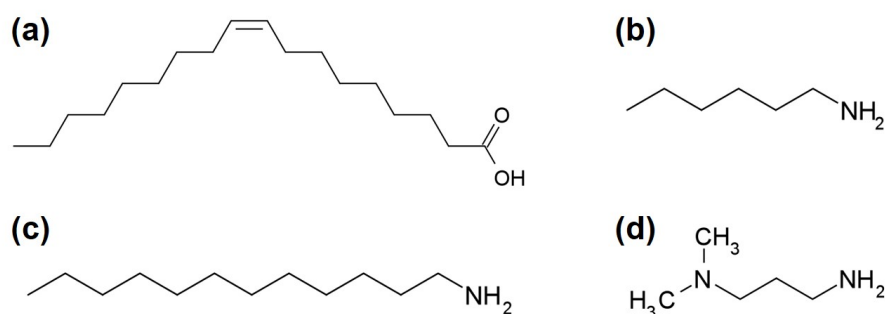


図 2.1 銀ナノ粒子合成に用いた保護基。(a) オレイン酸。(b) ヘキシルアミン。(c) ジメチルジアミノプロパン。(d) ドデシルアミン。

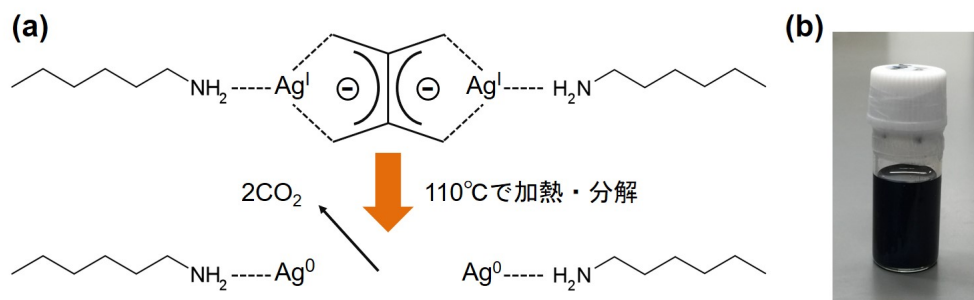


図 2.2 (a) シュウ酸架橋銀錯体の熱分解反応。攪拌しながら 110°C で加熱することで、脱炭酸の分解反応が起こり、保護基が配位した銀ナノ粒子が生成する。(b) 調製した銀ナノコロイドインク。(a) で得た保護基配位銀ナノ粒子を、有機溶媒に分散させて得た。

^{*1} 洗浄溶媒にはメタノールを用いた。この洗浄溶媒はインク調整後も残存し、インクの分散安定性・印刷性・印刷後の焼結性に影響を与えることが指摘されている^{65,66}。印刷の再現性確保には、洗浄溶媒の残存量を適切に制御することが不可欠である。

に、銀ナノ粒子をオクタン・ブタノール混合溶媒に高濃度分散（40～60 wt%）させ、インクを調製した（図 2.2 (b)）。

2.2.2 スーパーナップ法による電極印刷

本項では、前項で調製した銀ナノコロイドインクを用いて、TFT 向け電極パターンの印刷性を検証する。スーパーナップ法の工程を図 2.3 に示す。まず、シリコン基板あるいはガラス基板を洗浄し、Cytop（CTL-809M）をスピンコート法により塗布製膜した。溶媒乾燥後、透過（合成石英）・非透過（クロム）のパターンからなるフォトマスクで Cytop 塗布基板を覆い、 N_2 雰囲気中真空紫外光（Vacuum Ultraviolet Light, VUV）の照射を行った。この照射・非照射のパターン上で銀ナノコロイドインクを滴下・ブレード掃引（ 2 mm s^{-1} ）を行うことで、表面改質の起こった照射領域のみに選択

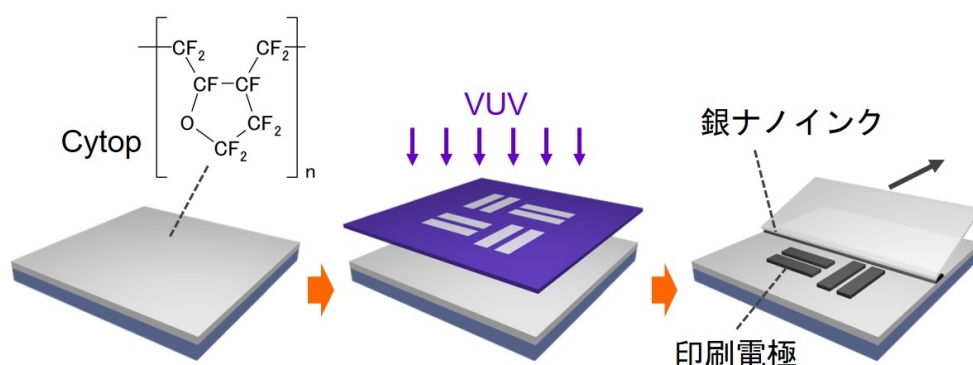


図 2.3 スーパーナップ法の工程。Cytop 塗布、VUV マスク露光、銀ナノインクのブレード掃引により電極配線を印刷形成できる。

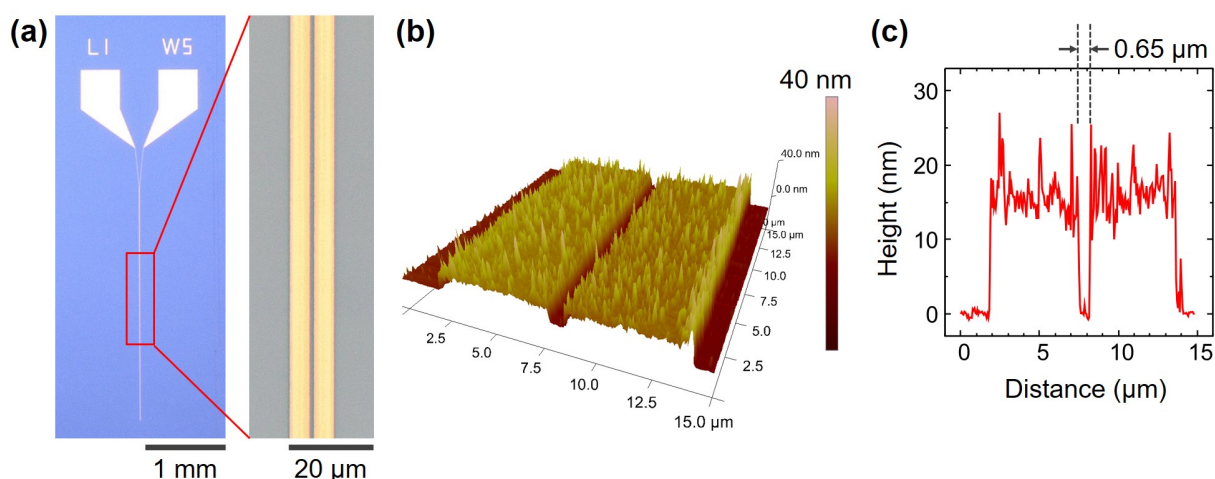


図 2.4 高精細 S/D 電極の印刷例。(a) 光学像。線幅 $5\text{ }\mu\text{m}$ の 2 本の電極が、 $1\text{ }\mu\text{m}$ 程度のギャップを隔てて印刷されている。(b) AFM（原子間力顕微鏡）による 3 次元像。2 本の電極間にギャップが存在することが確認された。(c) 断面高さプロファイル。サブミクロンのギャップ長が実現できていた。

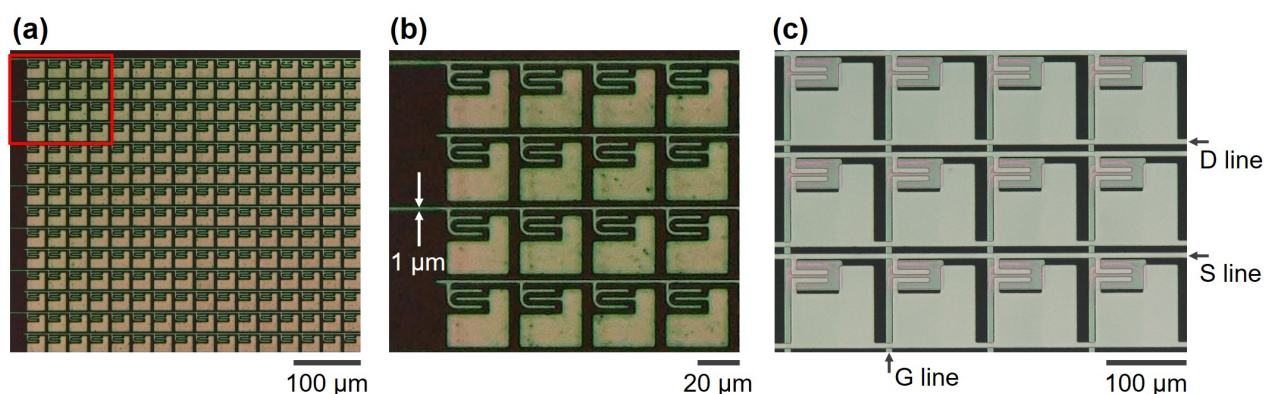


図 2.5 スーパーナップ法により形成した TFT アレイ配線の例。(a) 800 ppi 相当の S/D アレイパターン。赤枠内の拡大像を図 (b) に示す。(c) G パターン上に S/D 配線を形成した、200 ppi 相当の全印刷アレイパターン。

的に銀ナノ粒子が化学吸着し、電極配線を得ることができる。

ここでは、高精細なソース・ドレイン (S/D) 電極パターンの印刷を試みるため、分散安定性が比較的高い 40 wt% の銀ナノインクを調製し^{*2}、さらに露光時のフォトマスク・Cytop 基板の密着性を確保する工夫を行った^{*3}。これにより、1 μm ギャップ長 (フォトマスクの設計値) を有する高精細な S/D 配線を印刷できることがわかった (図 2.4)。また、高精細な S/D 配線を集積した TFT アレイパターンを、最大 800 ppi の精度で印刷できることがわかった (図 2.5 (a,b))。さらに、ゲート (G) 電極についてもスーパーナップ法でアレイパターンを構築し、この上から再度 Cytop 塗布・S/D 配線を印刷することで、G と S/D を合わせこんだ 200 ppi^{*4}相当のアレイ電極パターンの作製が可能であった (図 2.5 (c))。

以上のような 1 μm オーダー精度での電極印刷は、従来電極印刷手法 (10 μm オーダー精度) を上回る高精細な水準である。例えば従来のインクジェット法では、金属ナノ粒子の基板への物理吸着を用いているため、印刷精度はインクの液滴形状に制限されていた。すなわち、インクジェットの液滴の最小単位は典型的にピコリットル程度であり、基板着弾時に数十 μm の広がりを生じるために、このスケール以下での電極幅・ギャップ長制御は困難とされてきた^{*5}。一方でスーパーナップ法では、Cytop 表面の VUV 照射により、照射領域では光反応性 (化学的に活性な) 表面による銀ナノ粒子の強い吸着が実現し、非照射領域ではきわめて高い撥液性のためにインクが強くはじかれるという現象を用いている。このように、物理吸着によらない吸着原理と Cytop による高い撥液性を両立することで、高精細な電極パターンが実現できていると考えられる。

^{*2} 分散安定性は、洗浄溶媒メタノールの体積分率に依存する。インクを高濃度で調製するほど溶媒の総量が減り、メタノールの体積分率が相対的に増大するため、不安定なインクとなる傾向がある。インク濃度が 40 wt% の場合、メタノール含有の体積分率はおよそ 18 % となる。これが 20 % を超えてくると、分散不安定化が顕著となる^{65,66}。

^{*3} N_2 の圧縮空気により基板とマスクを強く密着させる、専用の治具を用いた。

^{*4} これ以上の解像度では、G・S/D の合わせこみに高度なマスク合わせ技術が求められ、実現困難であった。

^{*5} 例えば、液滴が理想的な球系であると仮定すると、半径 10 μm の液滴は 4.2 ピコリットルに相当する。この液滴最小単位を低減できれば、インクジェットにおいても高精細印刷が可能になると報告されている¹⁵²⁻¹⁵⁴。

2.2.3 スーパーナップ印刷電極の導電性

スーパーナップ法によって得られる印刷電極を TFT に用いるために、再現よく導電性を確保する必要がある。ここでは、50 wt% の銀ナノインクを調製し^{*6}、スーパーナップ印刷電極の導通確保のための条件探索を行った。導通測定のため、図 2.6 (a) に示す電極パッドを様々な線幅で印刷した。

まず、単純にスーパーナップ印刷のみを行った場合、抵抗率は大きく、かつ著しくばらつくことがわかった（図 2.6 (b) の青□）。SEM（走査電子顕微鏡）により融着度合いを確認したところ、10 nm 程度の銀ナノ粒子の粒形が明瞭に観察され（図 2.6 (c)）、焼結が十分進行していないことが明らかとなった。一方、印刷後に 80°C 程度でアニールを行ったところ、抵抗率には改善が見られたものの、線幅が細い領域（< 10 μm ）では大きくばらついていた（図 2.6 (b) の緑◇）。抵抗率が大きい電極を

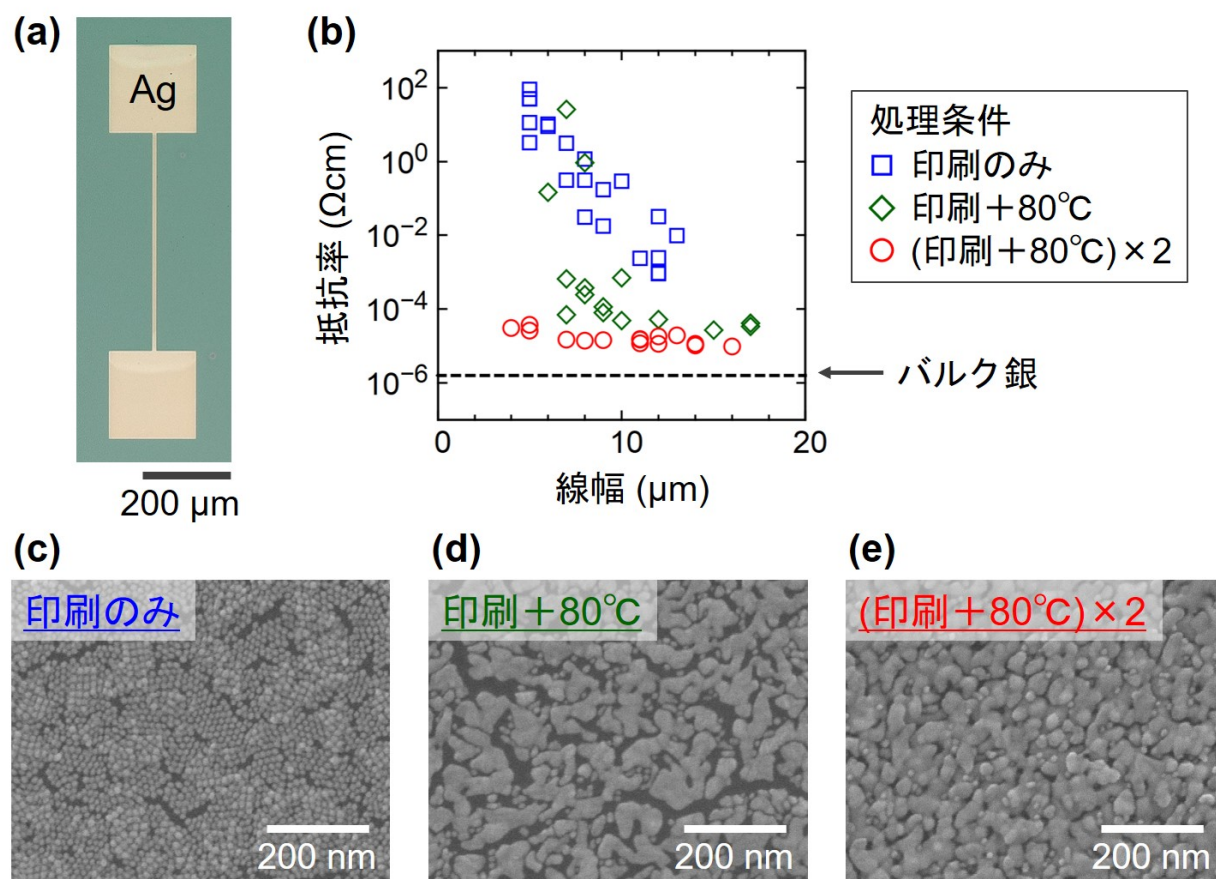


図 2.6 印刷電極の焼結度合いと抵抗率の比較。(a) 導通測定に用いた電極パッドの光学像。(b) 印刷条件と抵抗率の相関。印刷で得られた線幅を横軸としてプロットした。点線は、バルク銀の抵抗率 ($1.6 \times 10^{-6} \Omega\text{cm}$) を表す。(c–e) 印刷電極の SEM 像。印刷条件を変えた 3 種類の電極 (5 μm 程度の線幅) について測定した。(c) 印刷のみを行った電極。(d) 印刷後、80°C で 10 分アニールした電極。(e) 印刷後 80°C で 10 分アニールし、再度印刷・アニールを行った電極。

^{*6} メタノール含有率は体積分率で 27 % 程度であり、前項で用いた 40 wt% のインク（メタノール含有率 18 %）と比較すると、インクの安定性・印刷の精細性は劣るとされる⁶⁵。一方で、メタノールは印刷後の焼結性を向上させることが指摘されており、銀ナノ粒子の融着・導電性の確保には有利な方向にはたらく。

SEM 像で観察したところ (図 2.6 (d))、銀ナノ粒子どうしの融着は進んでいるものの隙間が多く存在し、密な導通パスが形成されていないことがわかった。そこで、印刷および 80°C アニールを 2 度繰り返して電極を作製したところ、線幅によらずに $10^{-5} \Omega \text{ cm}$ オーダーの抵抗率が得られた (図 2.6 (b) の赤○)。この値は、バルク銀の抵抗率 ($1.6 \times 10^{-6} \Omega \text{ cm}$) の一桁落ちであり、印刷電極として良好なオーダーと言える。この電極の SEM 観察により、銀ナノ粒子が隙間なく密に融着している様子が確認された (図 2.6 (e))。すなわち、一度塗りとアニールではナノ粒子密度が不足しており抵抗率にばらつきが生じていたが、二度塗りを用いることで粒子数密度を向上させることができ、密な融着と優れた導電性を再現よく実現できることがわかった。以下では、印刷・アニールを 2 度繰り返した電極を用いて TFT の検討を行う。

2.3 高撥液ゲート絶縁層の評価

TFT におけるキャリア蓄積は、ゲート電極・絶縁層・ソース電極のキャパシタ構造を用いるため、絶縁層のゲートキャパシタンスが増大するほどキャリア量が増大し電気特性の向上が期待できる。キャパシタンス増大には絶縁層厚み低減が有効であるが、一般に極薄絶縁層では絶縁性の確保が問題となる。そこで本節では、Cytop・印刷電極構造における Cytop 層の厚みと絶縁性の相関を調べ、高ゲートキャパシタンスと絶縁性を両立しうる構造の確立を目指した。

Cytop 層は、スピコート法により厚みのそろった均質な膜を得ることができる。ここでは、酸化膜付きシリコン基板上に塗布した Cytop 膜をピンセットで削り、AFM で段差を測定することで膜厚を見積もった。製膜の際、塗布時の回転速度および、塗布溶液の希釈濃度を変えることで、膜厚を $10 \sim 700 \text{ nm}$ 程度の範囲で制御できることがわかった (図 2.7)。

これら様々な厚みの Cytop 層の絶縁性を調べるため、蒸着金上に Cytop を塗布し、この上にスーパーナップ印刷電極を形成する^{*7}ことで、金属・絶縁層・金属のキャパシタ構造を作製した (図 2.8 (a,b))。この構造を用いて Cytop 層に直流電圧を印加し耐圧性を調べたところ、低電圧領域のリーク

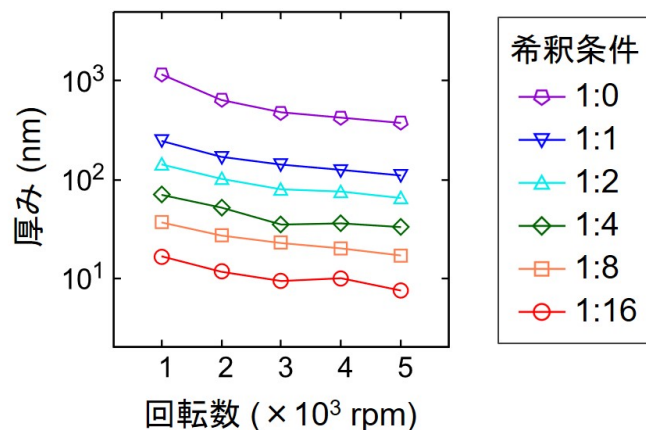


図 2.7 スピコート製膜条件に応じた、Cytop 膜厚。厚みは AFM で測定した。希釈条件は、原液 (CTL-809M) と希釈液 (CT-Solv.180) の混合体積比で表す。

^{*7} Cytop 厚みによらず、スーパーナップ法が適用できることを確認している。

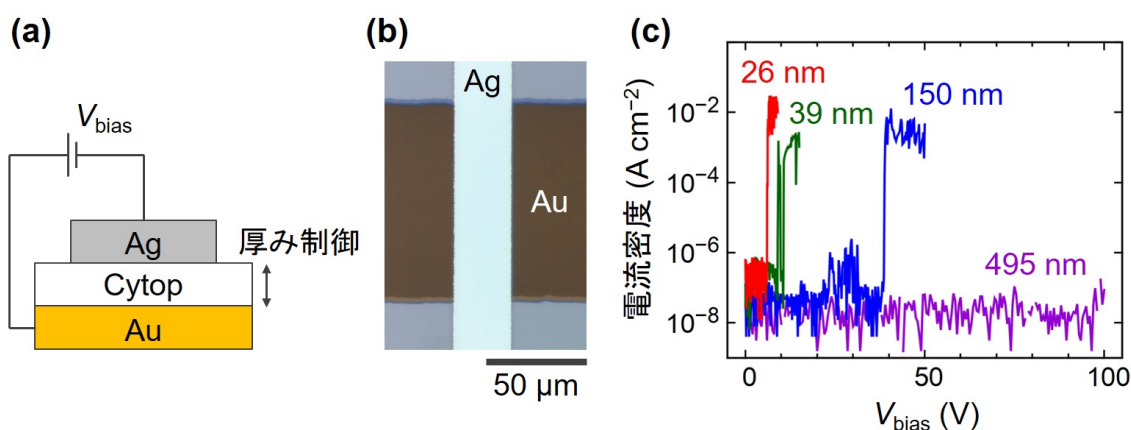


図 2.8 (a) 耐圧測定のための構造。キャパシタ構造に対して、直流電圧 (V_{bias}) を印加した。(b) 光学像。(c) 様々な Cytop 厚みに対する耐圧測定。

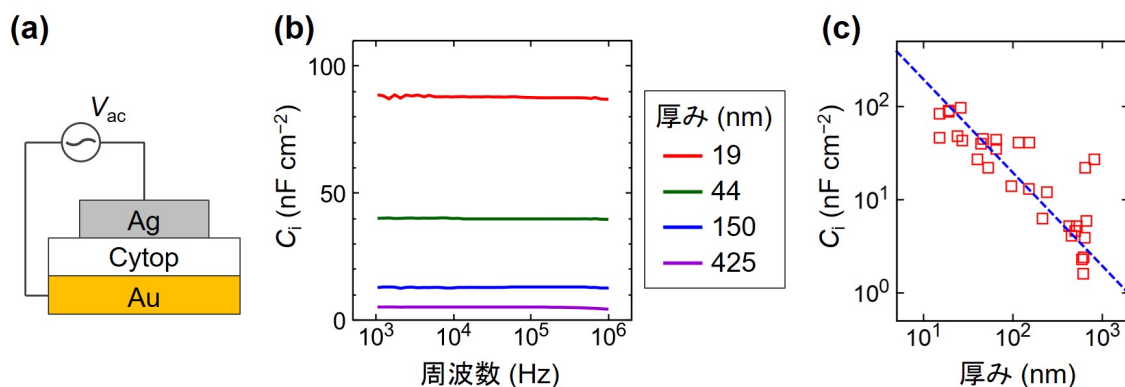


図 2.9 (a) キャパシタンス測定のための構造。キャパシタ構造に対して、交流電圧 (V_{ac}) を印加した。(b) 様々な Cytop 厚みに対するキャパシタンス (C_i) の周波数依存性。(c) キャパシタンスの Cytop 厚み依存性。青破線は、式 (2.3) によるフィッティング直線。

電流密度はいずれの厚みの場合も $10^{-6} \text{ A cm}^{-2}$ を下回っていた (図 2.8 (c))。また、印加電圧を増大するにしたがって、絶縁破壊 (電流値が桁で増大) が起こる様子が観察されたが、絶縁破壊が起こる電圧を Cytop 厚みで規格化した絶縁破壊電界は $2 \sim 3 \text{ MV cm}^{-1}$ であり、文献値¹⁰⁹ (0.9 MV cm^{-1}) と比べて良好な耐圧性であった。以上より、極薄の Cytop 層を用いてもなお、絶縁破壊が起こらない低電圧領域においては、TFT のキャパシタ構造として適用しうることがわかった。

次いで様々な Cytop 層に対して^{*8}、LCR メータを用いたキャパシタンス (C_i) の周波数測定を行った (図 2.9 (a))。周波数 $10^3 \sim 10^6 \text{ Hz}$ の領域において、周波数に大きく依存しない C_i が得られた (図 2.9 (b))。また、Cytop 厚みを極薄 (20 nm 程度) に制御することによって、 100 nF cm^{-2} に迫る高キャパシタンスが実現できることがわかった。また、 C_i の Cytop 厚み依存性より、Cytop を薄くするにしたがって C_i が増大する傾向が得られた図 2.9 (c)。この Cytop 厚み依存性は、次の式 (ガウス

*8 キャパシタ構造作製においては、Cytop 層以外のキャパシタンスの影響を減らすため、寄生キャパシタンスが相対的に低い基板 (板厚が 1 mm のガラス) を用いた。

の法則) でよくフィットできることがわかった。

$$C_i = \frac{\epsilon_r \epsilon}{d} \quad (2.3)$$

ϵ_r は Cytop の比誘電率、 ϵ は真空の誘電率、 d は Cytop 厚みに対応する。フィッティングにより得られた Cytop の比誘電率は $\epsilon_r \sim 2.2$ であり、文献値^{95,109}と矛盾のない値であった。

以上より、スーパーナップ法の工程 (Cytop 表面の光改質、銀ナノインクのブレード掃引) を経てもなお、良好な絶縁性と誘電特性を有することが確認された。また、極薄 (20 nm) の Cytop 層を用いることで、 100 nF cm^{-2} に迫る高キャパシタンスを有するゲート絶縁層を実現でき、低電圧駆動に有効なキャパシタ構造を Cytop・印刷電極で構築可能であることがわかった。

2.4 TFT 構築と電気特性

本節では、代表的な P 型有機半導体であるペンタセンを用いて、極薄 Cytop 絶縁層・印刷電極を用いた TFT の低電圧駆動を試みた (図 2.10 (a))。まず酸化膜付きシリコン基板上にゲート電極 (金) を蒸着し、この上に Cytop・印刷電極構造をスーパーナップ法を用いてキャパシタ構造を形成した。次いでペンタセンの多結晶膜を真空蒸着し、チャンネルを形成した (図 2.10 (b))。電気測定は、雰囲気制御 ($\text{O}_2 < 1 \text{ ppm}$) した N_2 グローブボックス内で行った。

Cytop 厚み 22 nm ($C_i \sim 80 \text{ nF cm}^{-2}$) で作製した TFT の電気特性を図 2.11 (a,b) に示す。出力特性では、2 V 以下の低電圧において、典型的な線形・飽和の振る舞いが得られた (図 2.11 (a))。伝達特性では、オンオフ比 3 桁の明瞭なスイッチングが得られ、かつゲート電流は駆動電圧領域でよく抑制されていた (図 2.11)。以上、極薄厚みの Cytop 絶縁層・印刷電極構造を用いることで、2 V 以下の低電圧で典型的な TFT 駆動が得られることが確認された。

ここで、Cytop 絶縁層厚みがデバイス特性に与える影響を調べるため、様々な Cytop 厚みで TFT を作製し、特性の比較を行った (図 2.11 (c)、表 2.1)。デバイス移動度は Cytop 厚みによらずほぼ同

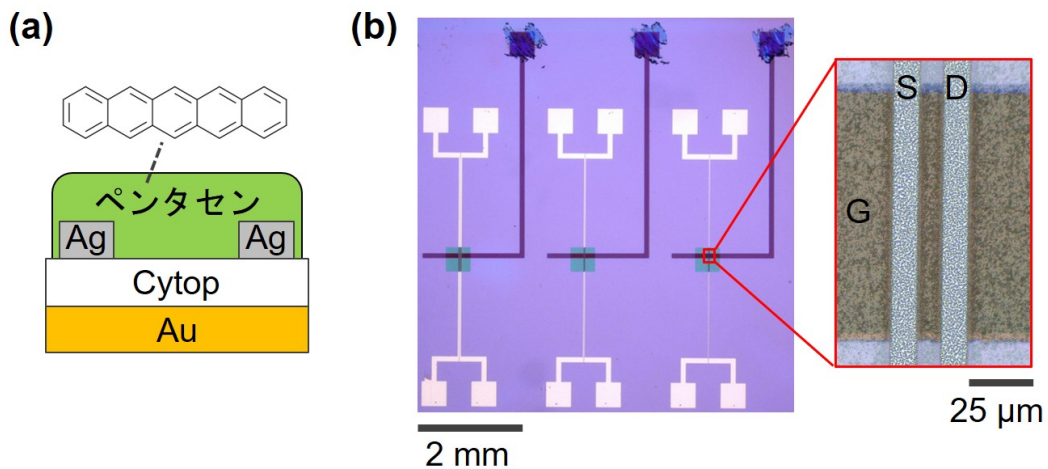


図 2.10 ペンタセンを用いた TFT 構築 (a) TFT の断面模式図。 (b) TFT の光学像。ペンタセンの蒸着はメタルマスクを通して行い、チャンネル領域 (平行した二本の S/D 電極と G 電極が重なる領域) に選択的に製膜を行った。右図は、チャンネルの拡大像。

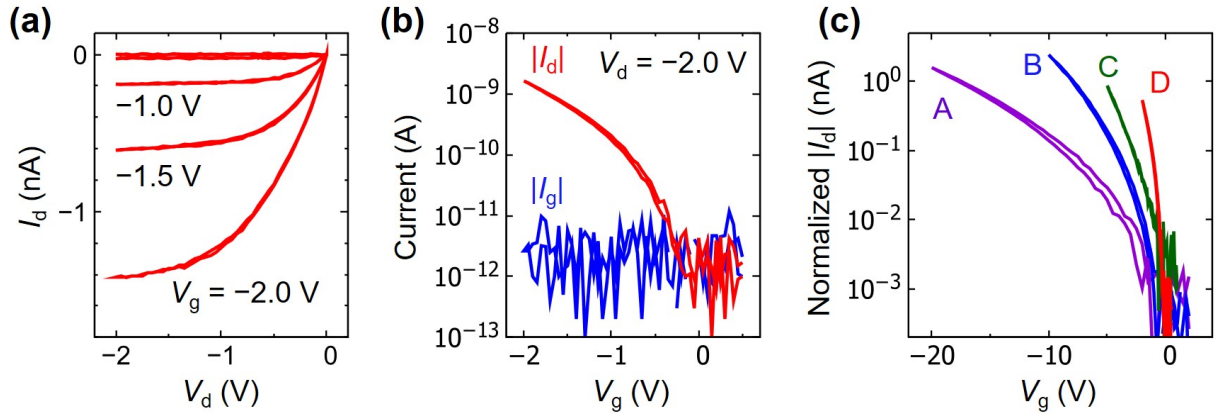


図 2.11 ペンタセンを用いた TFT の電気特性。(a,b) 22nm 厚みの Cytop 絶縁層を用いた TFT の電気特性。出力特性 (a) および伝達特性 (b)。(c) 様々な Cytop 厚みで作製した TFT の伝達特性。デバイス A–D でそれぞれ Cytop 厚みが異なる。電流値は比較のため、各素子のチャネル形状 (W/L 比) で規格化した。Cytop 厚みと V_d は次の通り。A : 670 nm ($V_d = -20$ V)、B : 80 nm ($V_d = -10$ V)、C : 39 nm ($V_d = -5$ V)、D : 22 nm ($V_d = -2$ V)。

表 2.1 様々な Cytop 厚みで作製した TFT 特性 (平均とばらつき) の比較。ゲートキャパシタンス C_i は、Cytop 平均厚みを用いた計算値を示している。また、図 2.11 (c) に、代表的な素子特性 (A–D) を示す。

Cytop 厚み (nm)	C_i (nF cm ⁻²)	移動度 ($\times 10^{-3}$ cm ² V ⁻¹ s ⁻¹)	SS 値 (mV dec ⁻¹)	図 2.11 (c)
675 ± 15	2.6	4.9 ± 3.9	3900 ± 1900	A
83 ± 2	21	9.2 ± 8.4	2100 ± 800	B
39 ± 0	45	3.3 ± 1.4	1000 ± 200	C
22 ± 1	80	4.3 ± 2.6	570 ± 250	D

程度のオーダーであった一方、スイッチング鋭さ (SS 値) は Cytop 極薄化に伴い急峻化していく傾向が得られた。例えば、図 2.11 (c) のデバイス A ($C_i = 2.6$ nF cm⁻²) では 4000 mV dec⁻¹ 程度のスイッチング性能であるが、デバイス D ($C_i = 90$ nF cm⁻²) では 600 mV dec⁻¹ まで急峻化していた。このような SS 値急峻化は、 C_i 増大により単位 V_g あたりに蓄積できるキャリア量が増大し、濃度勾配由来の拡散電流が増大した寄与であると考えられる。

図 2.12 に、得られた SS 値と C_i の関係を示す。各々の C_i に対する SS 値のばらつきは大きいものの、全体的な傾向として、 C_i 増大に伴い SS 値は急峻化していた。また、ここで示している破線は、以下の理論式にしたがって SS 値と C_i の関係をプロットしたものである。

$$SS = \frac{k_B T \ln 10}{q} \left(1 + \frac{q^2 D_{it}}{C_i} \right) \quad (2.4)$$

k_B はボルツマン定数、 T は絶対温度、 q は電荷素量、 D_{it} はキャリア輸送界面におけるトラップ状態密度である^{16,20,84,107}。本研究の系では SS 値のばらつきが大きく、 D_{it} は $10^{12} \sim 10^{13}$ eV⁻¹ cm⁻² 程

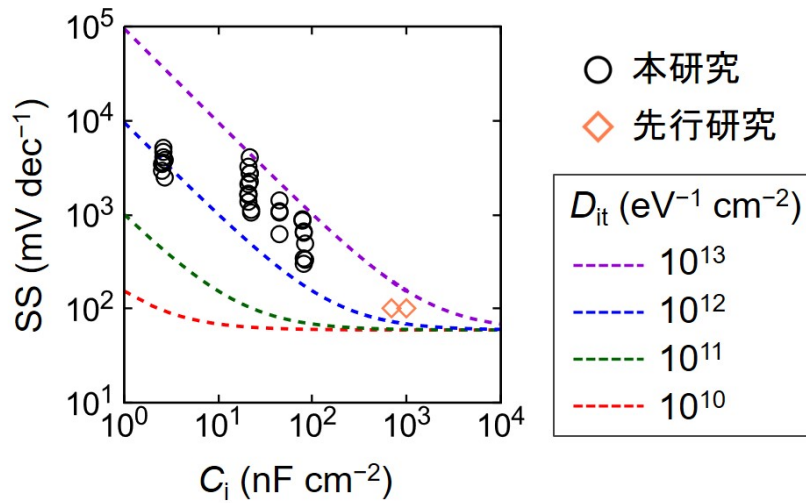


図 2.12 ペンタセンの多結晶蒸着膜を用いた TFT における、SS 値と C_i の相関。破線は、式 (2.4) を各 D_{it} ($10^{10}, 10^{11}, 10^{12}, 10^{13}$) に対してプロットしたものである。先行研究のプロット (◇) は、SAM (Self Assembled Monolayer) による極薄絶縁層を用いた系を引用した^{14,88}。

度で分布していた^{*9} (図 2.12))。この値は、高品質な単結晶ペンタセンと比べて一桁程度高い値であり¹⁰²、多結晶蒸着膜がグレイン境界により多くのギャップ内準位を形成していることが示唆される¹⁵⁵。ペンタセンの多結晶蒸着膜を用いて SS 値の急峻化を図る場合、例えば 100 mV dec^{-1} の SS 値を得るためには 1000 nF cm^{-2} 程度の巨大な C_i が必要となると報告されており^{14,88}、理論式から予測される C_i 領域と矛盾がない (図 2.12)。以上のように、Cytrop 極薄化による C_i の著しい増大により急峻スイッチングを得ることは可能である一方、薄い絶縁層ではゲートリークの影響を受けやすく、デバイスとしての再現性は低下する傾向にあることがわかった。ゲートリークの抑制には厚い絶縁層 (つまり低 C_i) を用いる必要があり、このような絶縁層を用いて高効率急峻スイッチングを実現するためには、グレインサイズやモルフォロジの改善による半導体由来のトラップを低減することが本質的に重要であると言える。

最後に、より高効率なキャリア注入・輸送を実現するための電極・半導体界面について検討する。ここでは、スーパーナップ印刷銀電極表面に対し、PFBT (pentafluorobenzenethiol) による気相処理を行った (図 2.13 (a))。これにより、残存しているアルキルアミン等の絶縁性保護基が化学的に置換され、この様子はラマンスペクトルにより確認することができた (図 2.13 (b)、表 2.2)。また、PFBT 層の双極子由来の真空準位シフト¹⁵⁶⁻¹⁵⁸により銀電極の仕事関数が深くなり、ペンタセン (HOMO が 5.0 eV 程度) への正孔注入障壁の低減が期待される。光電子収量分光 (PYS) によるスーパーナップ印刷電極の仕事関数の実測値は、処理なしで 4.4 eV 、PFBT 処理ありで 5.6 eV と報告されている¹⁵⁹。実際に、PFBT 処理した印刷電極を用いることで、デバイス移動度が平均で $0.0043 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ から $0.075 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ まで改善し、電極・ペンタセン接触における障壁が改善したことが示唆される (図

^{*9} 理論式では、 D_{it} の起源が半導体・絶縁層界面にあるとしており、半導体バルクのキャリアトラップや半導体・電極界面のトラップについては無視している。よって、後者の寄与がある場合は理論式からずれが生じると考えられる。ペンタセンの蒸着多結晶膜を用いた本研究の系においても、一様でない半導体モルフォロジや電極・半導体接触に由来して、トラップの大小にばらつきが生じていると考えられる。

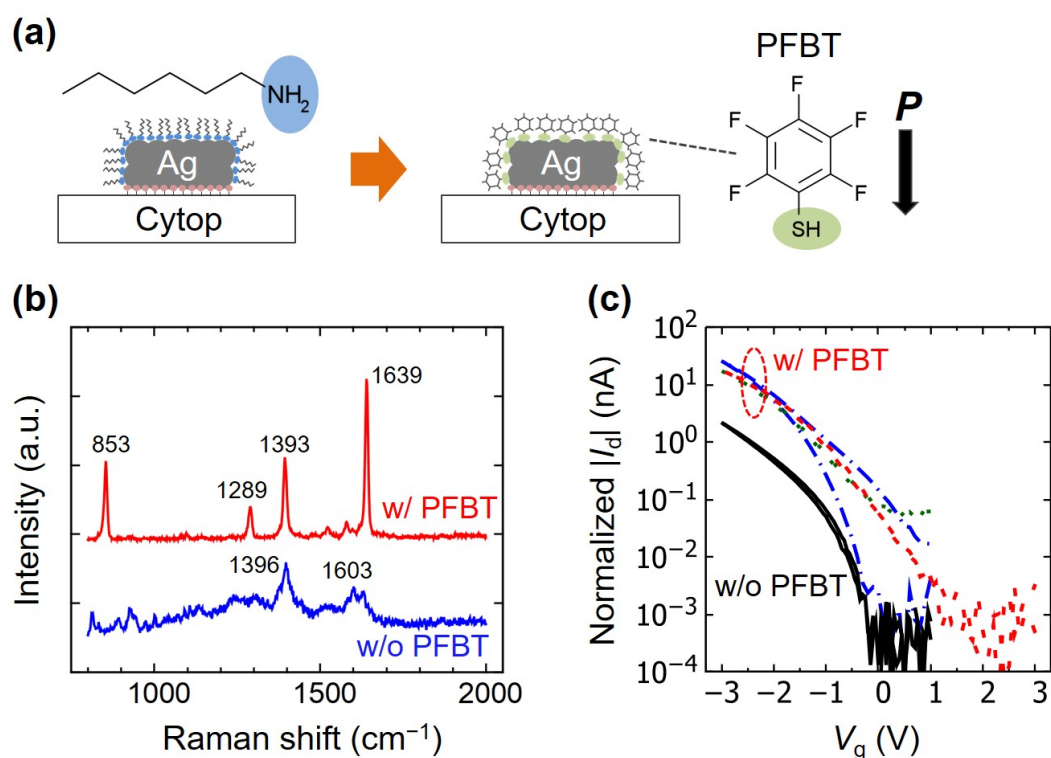


図 2.13 PFBT 処理による電極表面処理と TFT 特性。(a) SuPR-NaP 印刷電極に対する PFBT 処理の模式図。PFBT 気相処理により、アルキルアミン等の保護基層が、PFBT に置換されられる。(b) PFBT 処理前後の印刷電極表面に対する、ラマンスペクトルの変化。PFBT 処理により、PFBT 分子に由来する明瞭な分子振動ピーク（853, 1289, 1639 cm^{-1} 等）が観察された。対応する分子振動は表 2.2 に示す。(c) PFBT 処理の有無による、TFT 特性の変化。PFBT 処理の素子については、3 素子について測定した結果を示している。

表 2.2 ラマンシフトと対応する分子振動¹⁵⁹。

ラマンシフト (cm^{-1})	PFBT 処理なし	PFBT 処理あり
853	—	$\text{C}_6\text{F}_5\text{-S}$ 伸縮
1289	—	C-F 伸縮
1396	COO^{-1} 伸縮	—
1603	NH_2 変角	—
1639	—	C=C 伸縮

2.13 (c))。高移動度が報告されている大気安定な塗布型半導体材料（アルキル置換棒状分子等）では総じて HOMO が 5.0 eV より深いので、これら半導体と印刷電極を用いた塗布型デバイスの高性能化を目指すうえで、PFBT 処理は優れた電極・半導体接触界面の構築のために重要であると考えられる。

2.5 結論

本章では、Cytop 界面を有する塗布型 TFT 構築のための、Cytop 絶縁層・印刷電極構造の最適化を行った。印刷電極構築には、Cytop 表面の光改質効果を用いたスーパーナップ法を適用した。スーパーナップ法により、高精細な S/D パターニングが可能であることを示すとともに、再現よく良好な導電性を得るための融着条件を確立した。また、Cytop 絶縁層・印刷電極を用いたキャパシタ構造を作製し、Cytop 層の絶縁特性を調べた。これにより、極薄 Cytop 層（20 nm 程度）において、高キャパシタンスと耐圧性を両立した絶縁層を実現しうることを示した。また、ペンタセンの多結晶蒸着膜を用いて TFT を作製し、2 V 程度での低電圧駆動が可能であることがわかった。また、SS 値はキャパシタンス増大に伴い急峻化する傾向を示し、ペンタセンが多くのトラップを有しながらも見かけ上の急峻化は可能であることがわかった。また、印刷電極の PFBT 表面処理が電極・半導体の接触障壁低減に有効であることを示した。

第 3 章

高撥液絶縁層上への高分子系半導体の塗布

3.1 研究背景と目的

塗布型半導体は、塗布という簡便な手法で大面積・高均質な半導体膜を実現できる材料である。一方で TFT 特性向上には、高撥液絶縁層との半導体界面を構築することが有効とされるが、高撥液絶縁層上に高均質な半導体膜を塗布により製膜することは、表面で溶液が強くはじかれるために一般に困難である。このため、最も高撥液な絶縁材料である Cytop 上に半導体を塗布形成したボトムゲート (BG) 型 TFT の構築自体がほぼ報告されておらず、この界面を用いたキャリア輸送特性に関する知見は不足している状況であった。

このようななか、高分子系半導体に限れば、シリコーンゴムを用いて溶剤の保持・吸収を行う「プッシュコート法」により、高撥液表面上への塗布製膜が可能であることが報告されている⁵⁷。そこで本章ではプッシュコート法を基盤として、高撥液 Cytop 上へ高分子系半導体を塗布した BG 型 TFT を作製し、Cytop 界面が塗布型半導体のキャリア輸送特性へ与える影響を調べることを目的とした。前章までで、スーパーナップ法による Cytop・印刷電極の積層構造が TFT へ適用可能であることを確認しており、本章ではまず、この構造上へ高分子系半導体を塗布した TFT の構築と電気特性の評価を行った。また、絶縁層・電極界面の異なる TFT を作製し、輸送界面の違いが TFT 特性に与える影響を調べた。

3.2 高撥液絶縁層上への高分子系半導体の塗布

3.2.1 プッシュコート法による半導体塗布製膜

高撥液表面上へ半導体塗布が困難な理由は、基材上で液滴が表面張力により球状に丸まり、薄膜形成に必要な「薄い液膜」が形成できないためである。本節では、この問題を克服したプッシュコート法⁵⁷ (図 3.1) に着目し、高撥液 Cytop 上への半導体塗布を試みた。プッシュコート法は PDMS (シリコーンゴム) により溶液保持・吸収・乾燥を行う手法であり、毛管力で溶液が保持された領域に固体膜を形成できることから、高撥液な基板上においても液滴がはじかれることなく塗布製膜が可能であるとされている。

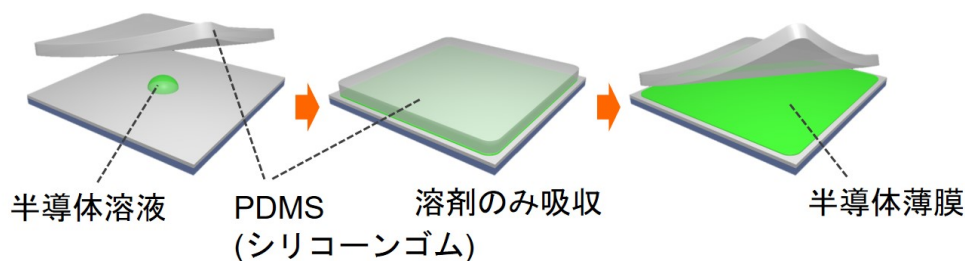


図 3.1 プッシュコート法の模式図。基材上の半導体溶液を PDMS により毛管力で押し広げ、溶媒の吸収・乾燥を行った後、PDMS の剥離を行うことで、半導体固体膜が得られる

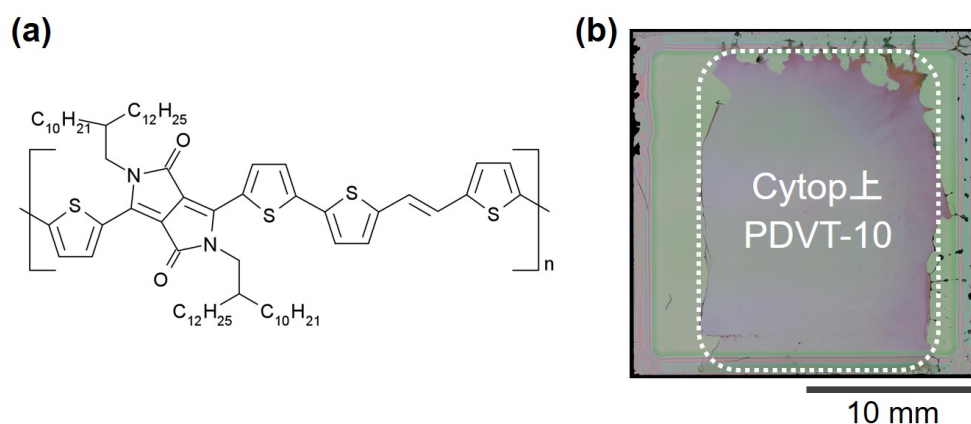


図 3.2 (a) PDVT-10 の構造式。N 原子・O 原子を含む DPP (diketopyrrolopyrrole) がアクセプタ部位、S 原子を含む π 共役系である TVT (thiophene-vinyl-thiophene) がドナー部位に相当する。
(b) プッシュコート法により高撥液 Cytop 上へ塗布製膜した PDVT-10 薄膜。

本研究では高分子系半導体として、PDVT-10 (poly[2,5-bis(alkyl)pyrrolo[3,4-*c*]pyrrole-1,4(2*H*,5*H*)-*alt*-5,5'-di(thiophen-2-yl)-2,2'-(*E*)-2-(2-(thiophen-2-yl)vinyl)thiophene])⁵³を用いた (図 3.2 (a))。本材料は、ドナー (D) 部位とアクセプタ (A) 部位からなる D-A 型高分子の一種であり、D-A の電気的引力により π 電子平面のスタック距離を短くすることで、良好なデバイス移動度^{*1}が実現できるとされている^{53,160,161}。

PDVT-10 の高撥液 Cytop 上への塗布製膜にあたり、トリクロロベンゼンに 0.05wt% 溶解させた溶液を調製した。また、プッシュコート法に用いる PDMS エラストマーは、SIM-260 (信越化学 (株)) を硬化させて作製した。これらを基にプッシュコート法を適用したところ、高撥液 Cytop 表面上へ PDVT-10 の均質薄膜を大面積にわたって得ることができた (図 3.2 (b))。

^{*1} PDVT-10 の移動度の文献値は、ばらつきが大きい。原著論文⁵³では $8 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度の高移動度が報告されているが、別文献¹⁶¹にて D-A 型高分子の電子注入による移動度過大評価の可能性が指摘されており、ここでは $0.1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ オーダーと主張している。

3.2.2 塗布半導体膜の配向評価

PDVT-10 のプッシュコート薄膜のミクロな配向を調べるため、X 線回折 (XRD) 測定を行った。入射 X 線として、光源をシンクロトロン放射光とした単色光 (9 keV) を用いた。ここでは、基板表面エネルギー (濡れ性) が塗布膜の配向性に与える影響を調べるため、高撥液 Cytop 上塗布膜と、親液性表面を有する SiO₂ 上への塗布膜を用意した。測定は、高エネルギー加速器研究機構 (KEK) の BL-8B にて行った。

まず Cytop 上塗布膜について、明瞭な面外 Bragg ピークが二次元回折像で観測された (図 3.3 (a))。ここで面外回折強度 (図 3.3 (b)) より見積もった面外間隔は約 22Å であり、高分子主鎖がアルキル鎖で隔てられた面間隔 (*h*00) に相当する秩序構造を有することがわかった (図 3.3 (c))。この構造は、先行研究で示されているエッジオン配向 (π 電子平面が基板に垂直に立った配向) と整合する結果であり、二次元キャリア輸送に有利な配向が実現していると考えられる。一方で、高撥液 Cytop 上塗布膜、親液性 SiO₂ 上塗布膜の面外配向を比較したところ、ピーク線幅 (FWHM) や面間隔に有意な差は見られなかった。高分子系半導体のスピンコート塗布膜等では一般に、撥液表面によって配向性 (結晶性) が増強される傾向がよく報告されているが^{49,51,54}、プッシュコート塗布膜においては基板濡れ性に依存しない結果となった。これは、毛管力を用いることで基板濡れ性によらずに溶媒を保持・薄い液膜を形成できるプッシュコート法ならではの傾向である可能性がある。実際にプッシュ

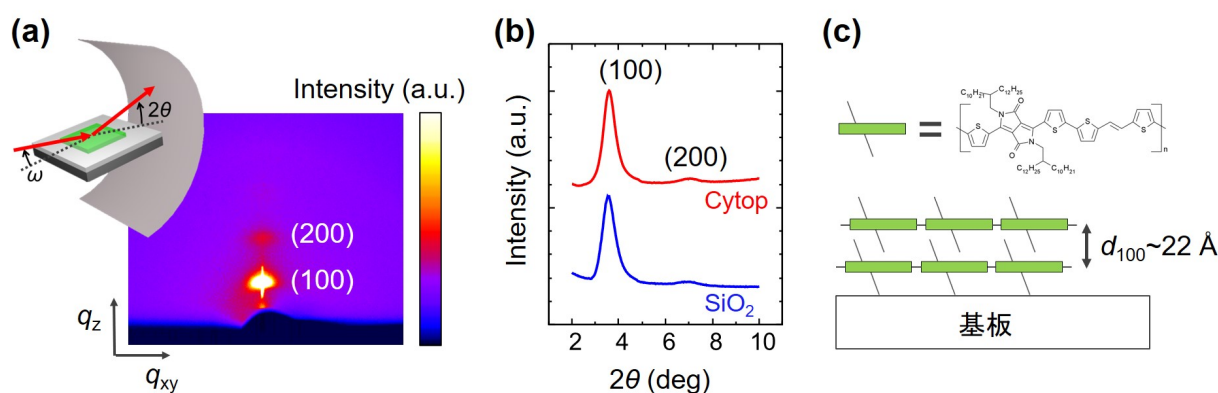


図 3.3 プッシュコート法により製膜した PDVT-10 薄膜の面外 XRD 測定。(a) Cytop 上塗布膜の二次元回折像。挿入図は、面外回折測定ジオメトリを示している。(b) 面外 (q_z) 方向の回折強度。Cytop 上塗布膜と SiO₂ 上塗布膜について測定した。(c) 面外配向の模式図。高分子主鎖をアルキル鎖で隔てた距離に相当する秩序構造を有することがわかった。

表 3.1 基板に応じた PDVT-10 塗布膜の面外 XRD の比較。

	基板	水接触角 (deg)	塗布法	$2\theta_{100}$ (deg)	FWHM (deg)	d_{100} (Å)
測定値	Cytop	114	プッシュコート	3.60	0.36	21.9
測定値	SiO ₂	33	プッシュコート	3.57	0.41	22.1
文献値 ⁵³	SiO ₂	—	スピンコート	—	—	21.1

コート法の原著論文では、高沸点溶媒によって結晶性が增強されると報告されており⁵⁷、基板濡れ性よりもむしろ PDMS による溶剤吸収・乾燥のタイムスケールが結晶性に関わる因子であることが示唆される。

3.3 塗布型 TFT 構築と電気特性

3.3.1 試料作製

前節までで、Cytop 上に高均質な高分子系半導体膜を塗布でき、かつ良好な配向性を有することがわかった。本節では、Cytop・塗布型半導体界面におけるキャリア輸送基礎特性を調べるため、塗布型 TFT の構築を行った (図 3.4)。Si/SiO₂ 基板上に Cytop を塗布製膜し、スーパーナップ法を用いてソース・ドレイン銀電極を印刷形成した。次いで、印刷銀電極の仕事関数を深くするため、表面を PFBT (pentafluorobenzenethiol) で気相処理した。最後に、プッシュコート法で PDVT-10 薄膜を塗布

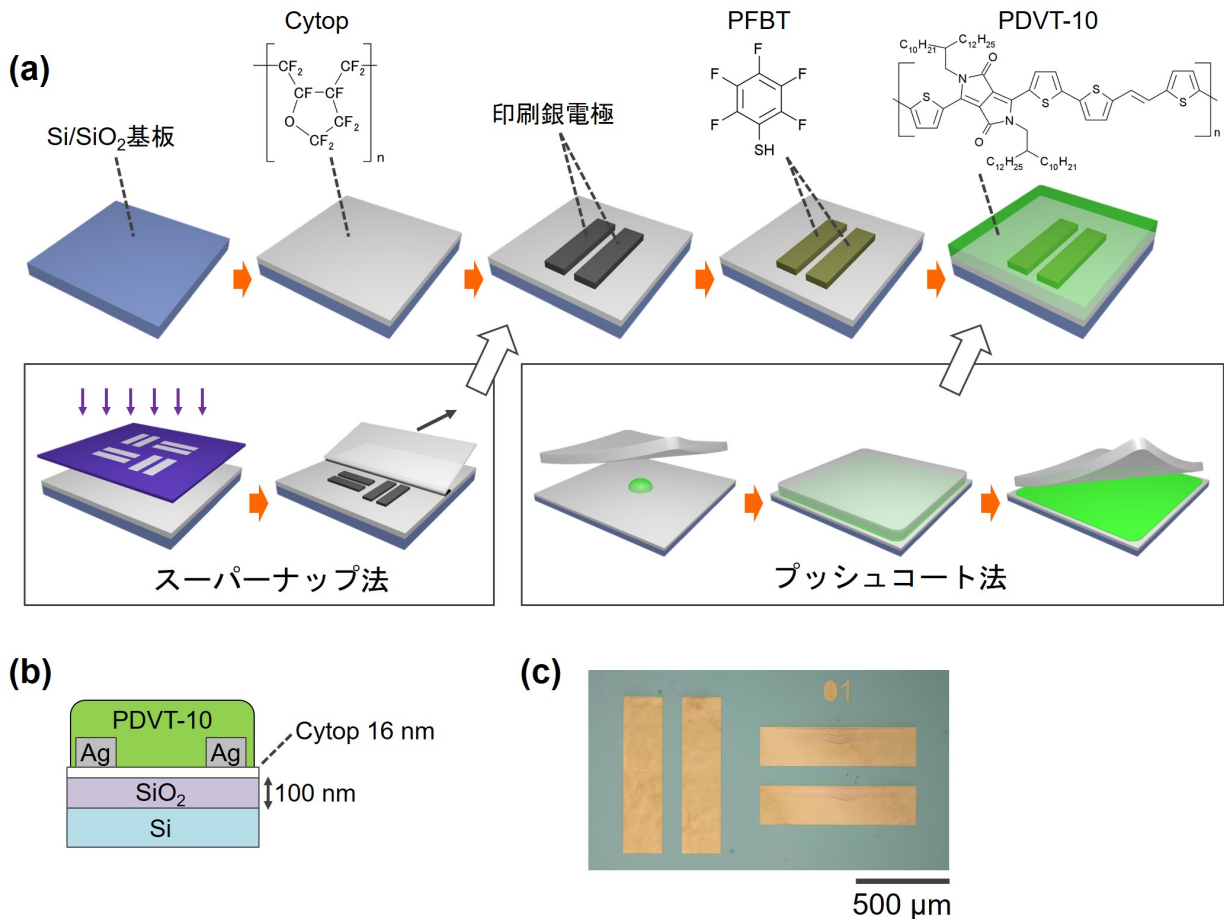


図 3.4 (a) 塗布型 TFT 構築の模式図。Si/SiO₂ 基板上に Cytop を塗布製膜し、スーパーナップ法によりソース・ドレイン印刷銀電極を形成した。印刷銀表面を PFBT 気相処理を行ったのち、プッシュコート法により PDVT-10 薄膜を形成した。(b) TFT の断面模式図。ゲート電極として高ドーパ (P 型) シリコン、ゲート絶縁層として SiO₂ と Cytop の複層膜を用いた。(c) 作製した TFT の光学像。

製膜し、80°C で 20 分のアニール処理を行った。以上により、シリコン基板以外の構成要素を塗布により積層した塗布型 TFT を構築した。PFBT による電極処理は、PFBT 分子のダイポールモーメントによる真空準位シフトを電極表面で引き起こし、仕事関数を深くするために行った¹⁵⁶⁻¹⁵⁸。光電子収量分光 (PYS) によるスーパーナップ印刷電極の仕事関数の実測値は、処理なしで 4.4 eV、PFBT 処理ありで 5.6 eV と報告されている¹⁵⁹。PDVT-10 の HOMO 準位は 5.28 eV 程度であるため⁵³、PFBT 処理により正孔注入障壁の低減が期待できる。

3.3.2 電気特性

図 3.4 の手順で作製した塗布型 TFT の典型的な電気特性を図 3.5 に示す。電圧印加履歴（ヒステリシス）のない線形・飽和の出力特性、0 V 近傍での急峻スイッチング、高電圧側で $0.16 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度のデバイス移動度が得られた。また電気特性の統計分布を調べたところ（図 3.6）、特性ばらつきがきわめて抑制されていることが確認され、これはプッシュコート法により得られる半導体膜の高い均質性に由来すると考えられる。また、ヒステリシスの抑制（図 3.6 (e)）、急峻 SS 値（図 3.6 (f)）が再現よく得られており、高分子系半導体を用いた塗布型 TFT として優れた駆動安定性・スイッチング特性を実現していると言える。

一方で、移動度の V_g 依存性（3.5 (c)）に着目すると、移動度が最大値を示したのち V_g 増大に伴って減少する傾向を示している。このふるまいの起源の一つとして、 V_g 増大に伴って接触抵抗が急激に減少することが要因であると指摘されている^{162,163}。本研究の系の接触抵抗については、3.4.4 項で解析を行い、ここで移動度の V_g 依存性について改めて議論する。

また、飽和領域の電気特性を図 3.7 に示す。デバイス移動度は $0.19 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度を示し、かつ基板内ばらつきの抑制されたキャリア輸送が実現していることが確認された。一方で伝達特性の立ち上がり近傍において、電流値のオフがとれなくなり、かつヒステリシスが生じるという結果が得られた。これは、PDVT-10 は LUMO 準位が比較的深く (3.60 eV)¹⁶⁴、 V_d が負側に大きい（飽和）領域では、電子注入・輸送が起りやすいことと関連があると考えられる。実際に、様々な V_d で伝達特性

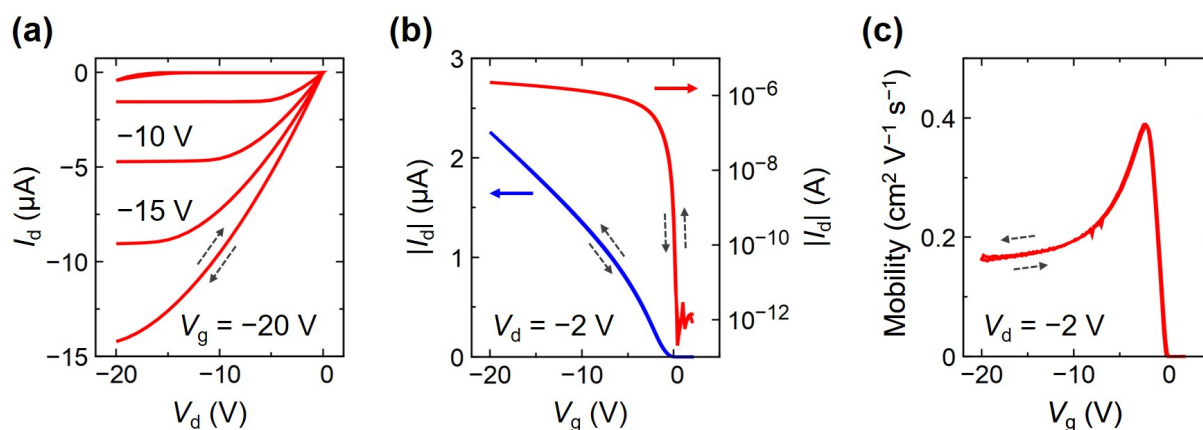


図 3.5 典型的な電気特性。(a) 出力特性。(b,c) 線形領域 ($V_d = -2 \text{ V}$) の伝達特性 (b) とデバイス移動度の V_g 依存性 (c)。チャネル長 $L = 80 \text{ μm}$ 、チャネル幅 $W = 800 \text{ μm}$ 、ゲートキャパシタンス $C_i = 26 \text{ nF cm}^{-2}$ 。

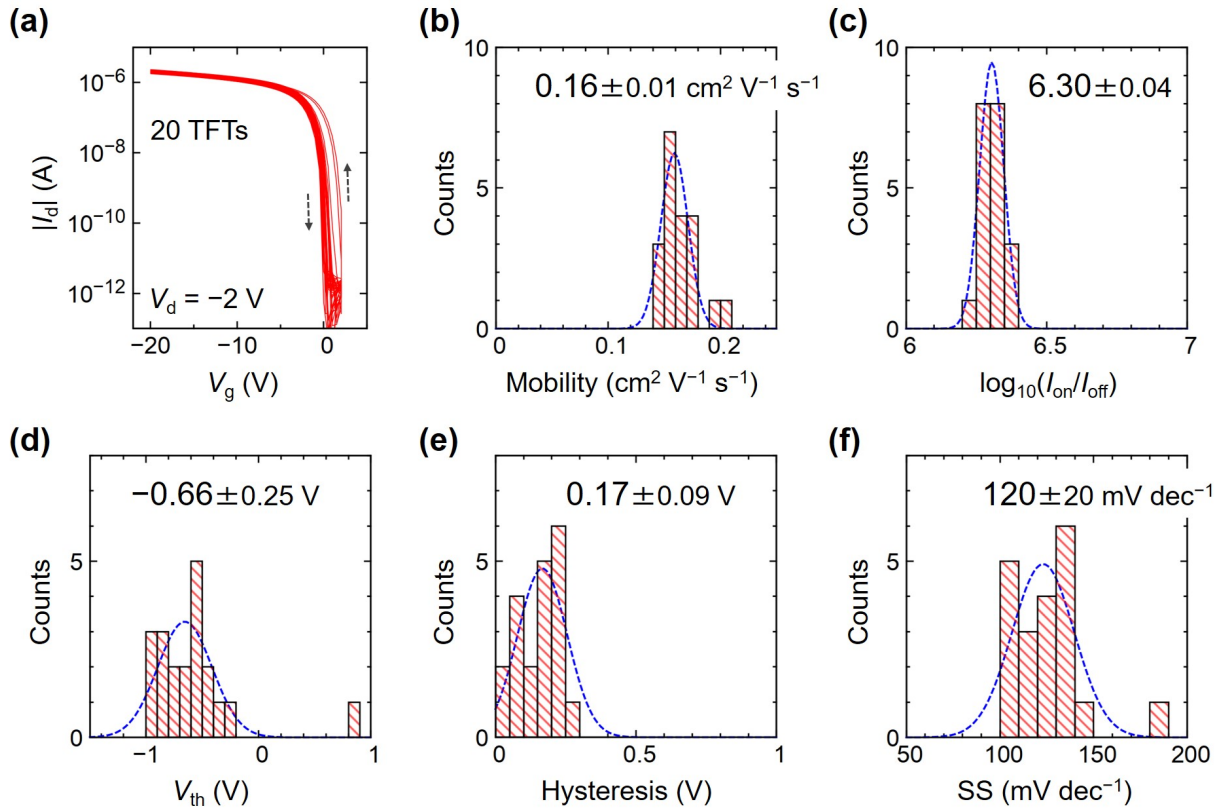


図 3.6 電気特性（線形領域）の統計分布。(a) 20 素子の伝達特性の重ね合わせ。(b-f) 各パラメータのヒストグラム。移動度 (b)、オンオフ比 (c)、閾値電圧 V_{th} (d)、ヒステリシス (e)、SS 値 (f)。移動度は、伝達特性の高電圧側 ($V_g = -10$ V から -20 V) でのフィッティングから求めた。 V_{th} は、伝達特性の低電圧側でのフィッティングから求めた。ヒステリシスは、 V_g の行き掃引と帰り掃引における V_{th} の差として定義した。SS 値は、電流立ち上がり領域 ($I_d = 10^{11.5}$ A から 10^{10} A) でのフィッティングから求めた。

を測定したところ、 V_d を負側へ大きくするにしたがい、 V_g 正の領域でのオフ電流値が増大していく傾向が得られた (図 3.8 (a))。ここでは、 $V_d < V_g$ という電圧条件により、ドレイン電極近傍の MIS キャパシタ構造では、半導体に対してゲート電極に正電位が (相対的に) 印加されている状態となる。この条件では、ドレイン電極近傍の半導体のポテンシャルは負側へ曲がり、 E_F が LUMO 準位へ近づくため (図 1.19 (c) においてバンドが下向きに曲がることに相当する)、電子注入・輸送が起こりやすくなりオフ電流が増大すると考えられる。また、 V_g を正側へふってから負側へ掃引すると、伝達特性において立ち上がり電圧の正シフトや、これに伴うヒステリシスが生じることがわかった (図 3.8 (b,c))。このような動作不安定化は電子注入量を増大するにしたがって (V_g を正にふるほど) より顕著になることが報告されており^{161,165}、電子の動的なトラップ過程が正孔輸送に影響を与えると議論されている。

以下では、電子注入の影響を除外するため、特に断らない限り、線形領域の特性を用いて議論を行う。

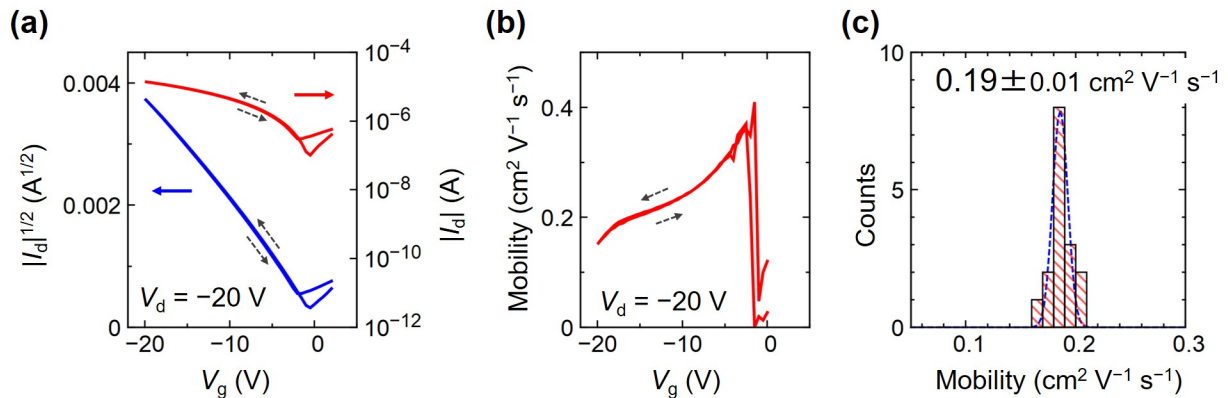


図 3.7 飽和領域 ($V_d = 20$ V) の電気特性。(a) 伝達特性。(b) デバイス移動度の V_g 依存性。(c) 高電圧側のフィッティングで求めた移動度の統計分布。

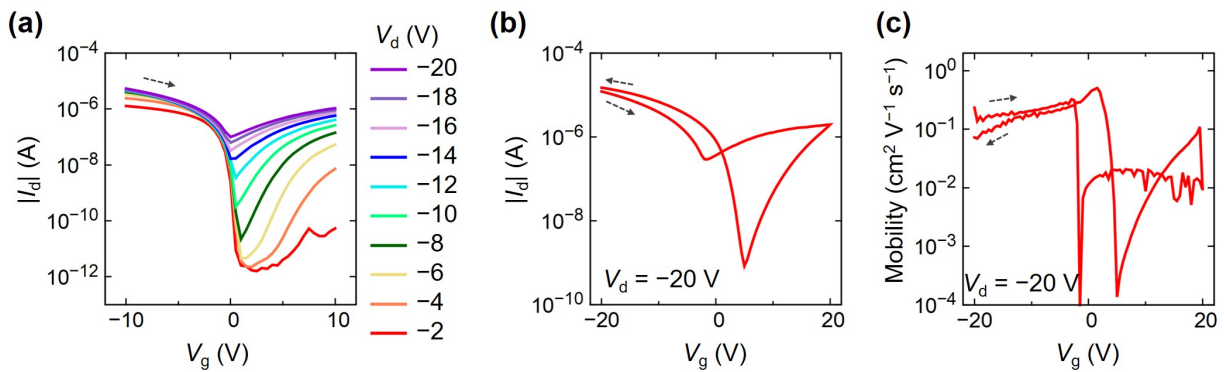


図 3.8 両極性のふるまい。(a) 様々な V_d での伝達特性。 V_d を負側へ大きくするにしたがい、 V_g 正側のオフ電流値が増大している。(b,c) V_g を -20 V \Rightarrow $+20$ V \Rightarrow -20 V と掃引した際の伝達特性 (b) とデバイス移動度の V_g 依存性 (c)。移動度の算出には、正孔については飽和領域の式、電子については線形領域の式を用いた。

3.3.3 キャパシタンス制御とスイッチング特性

図 3.5 より、Cytop 上に塗布したプッシュコート薄膜はばらつきの少ない電気特性を示すことがわかった。そこで、特性の安定した半導体膜が得られることを用いて、ゲートキャパシタンスがスイッチング特性に与える影響を調べた。

ここでは、ゲート絶縁層は SiO₂ (100 nm 厚み) と Cytop の複層から構成されており (図 3.9 (a))、Cytop の厚みを変えることによって直列合成キャパシタンス (C_i) の値を変えた複数の塗布型 TFT を作製した。これらの電気特性を比較したところ、 C_i 増大によりスイッチング特性・SS 値が急峻化する傾向が得られた (図 3.9 (b,c))。これは C_i 増大により、単位 V_g あたりのキャリア蓄積効率が向上したことに起因すると考えられる。この傾向を定量的に解析するため、SS 値と C_i を結びつける次

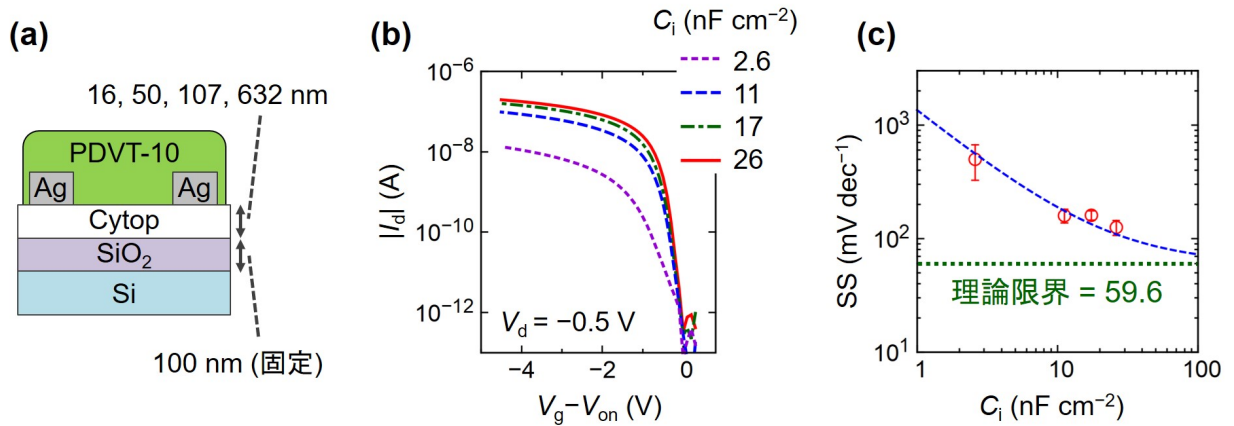


図 3.9 電気特性のキャパシタンス依存性。(a) TFT の断面模式図。複数の厚み (16, 50, 107, 632 nm) の Cytop 層を作製し、異なるゲートキャパシタンスを有する TFT を作製した。(b) 伝達特性の比較。(c) SS 値のキャパシタンス依存性。青破線は、式 (3.1) によるフィッティングを表す。

の関係式を導入する^{16,20,84,107}。

$$SS = \frac{k_B T \ln 10}{q} \left(1 + \frac{q^2 D_{it}}{C_i} \right) \quad (3.1)$$

k_B はボルツマン定数、 T は絶対温度、 q は電荷素量、 D_{it} はキャリア輸送界面におけるトラップ密度である。この式で D_{it} は、SS 値に関わる深い^{*2}トラップ状態密度を意味しており、導出にあたっては D_{it} がエネルギー準位によらないという仮定をおいている。第一項 ($k_B T \ln 10 / q$) は、Fermi-Dirac 分布関数の熱励起成分に由来する項である。第二項が正であることから、SS 値には温度に応じた理論限界 (最小値) が存在し、室温 (300 K) では 59.6 mV dec^{-1} となる。

式 (3.1) により、実際に本研究で得られた SS 値の C_i 依存性を定量的に再現できることがわかった (図 3.9 (c))。すなわち、Cytop 絶縁層厚みを変えたいずれの TFT においても、同程度の D_{it} を有するキャリア輸送界面が実現していると考えられることができる。フィッティングより求めた D_{it} は $1.4 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ であり、高分子系半導体としては良好なオーダーである^{*3}。 D_{it} の意味するトラップとして、絶縁層・半導体界面⁸⁴に加え、電極・半導体界面^{86,87}のトラップにも起源を有すると議論されている。これより、Cytop・PDVT-10 および印刷電極・PDVT-10 のいずれの界面においても、SS 値を劣化させうるトラップが総じて抑制されていることが示唆される。

3.4 絶縁層・電極界面に応じた電気特性の比較

3.4.1 試料作製

本節では、絶縁層表面の濡れ性や電極界面を変えた TFT の電気特性を比較することで、Cytop 絶縁層界面がデバイス特性に与える影響を調べた。ここでは、3 種類のキャリア輸送界面を有するデバイス A・B・C を作製し (図 3.10、表 3.2)、電気特性の比較を行った。前節までで検討を行ってきた

^{*2} V_g を印加したときに最初にキャリアが埋まっていく (バンド端から最も遠い) エネルギー領域の準位に相当する。

^{*3} 高分子系半導体では $1 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ オーダーの値が多く報告されている。

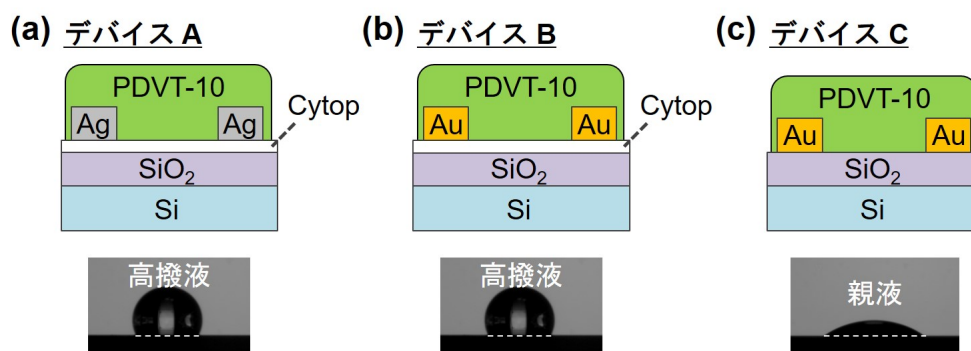


図 3.10 作製した 3 種類の界面デバイスの断面模式図と、絶縁層表面の水接触角。

表 3.2 TFT の作製条件。デバイス A の印刷銀電極は、スーパーナップ法により形成した。また、ソース・ドレイン (S/D) 電極はいずれも PFBT 処理を行った。

デバイス	ゲート電極	ゲート絶縁層	S/D 電極	半導体	電気特性の例
A	Si	SiO ₂ /Cytob	印刷銀	PDVT-10	図 3.5
B	Si	SiO ₂ /Cytob	蒸着金	PDVT-10	図 3.11
C	Si	SiO ₂	蒸着金	PDVT-10	図 3.12

デバイス A (スーパーナップ法により銀電極を印刷形成) に加え、Cytob 上に金電極を蒸着形成したデバイス B、および親液性表面を有する SiO₂ 上に金電極を蒸着形成したデバイス C を作製した。

3.4.2 電気特性

デバイス B・C の電気特性を図 3.11・図 3.12 にそれぞれ示す。また、デバイス A-C の電気特性の統計分布を、表 3.3 に示す。いずれのデバイスにおいても、線形・飽和のふるまいを示す典型的な出力特性や、明瞭なオンオフスイッチング特性が得られた。

ここでまず、電極・半導体界面の違いに着目する。デバイス A・B では印刷銀・蒸着金という異なる S/D 電極を有しているが、同程度のデバイス移動度、ヒステリシスの抑制、急峻スイッチング等が得られた。S/D 電極の PFBT 処理により、印刷銀・蒸着金いずれについても PDVT-10 への正孔注入障壁が有効に低減されていることが示唆される。一方、絶縁層・半導体界面の違いに着目すると、Cytob 界面デバイス (A・B) では再現よくヒステリシスの抑制がなされていたことに対し、SiO₂ 界面デバイス (C) ではヒステリシス (平均 0.69 V) が再現よく生じていた。また、デバイス移動度は Cytob 界面デバイスと比べて低い値を示した。以下では、Cytob 界面と SiO₂ 界面でこれら特性の違いが生じる起源について、3.4.3 項ではバイアス耐性、3.4.4 項では接触抵抗に焦点を当て、検討・考察を行っていく。

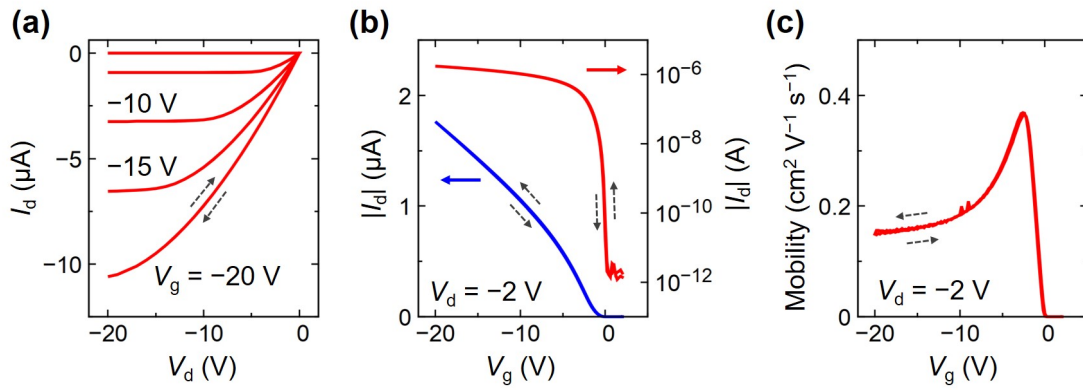


図 3.11 デバイス B (Cytosol 絶縁層界面、蒸着による S/D 金電極) の電気特性。(a) 出力特性。(b,c) 線形領域 ($V_d = -2$ V) の伝達特性 (b) とデバイス移動度の V_g 依存性 (c)。チャンネル長 $L = 100$ μm 、チャンネル幅 $W = 800$ μm 、ゲートキャパシタンス $C_i = 27$ nF cm^{-2} 。

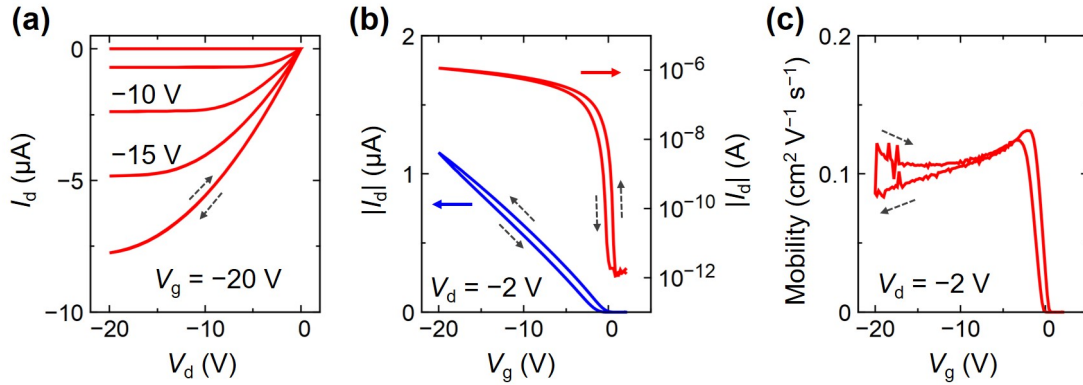


図 3.12 デバイス C (SiO_2 絶縁層界面、蒸着による S/D 金電極) の電気特性。(a) 出力特性。(b,c) 線形領域 ($V_d = -2$ V) の伝達特性 (b) とデバイス移動度の V_g 依存性 (c)。チャンネル長 $L = 100$ μm 、チャンネル幅 $W = 800$ μm 、ゲートキャパシタンス $C_i = 35$ nF cm^{-2} 。

3.4.3 駆動安定性

前項で、 SiO_2 界面においてヒステリシスが有意に生じることを述べた。ヒステリシスの有無は、 V_g 印加に対する駆動安定性と関連づけられる。しかしヒステリシスの大小は、伝達特性を測定する

表 3.3 デバイス A・B・C の電気特性の平均値。いずれも線形領域 ($V_d = -2$ V) で測定を行った。

デバイス	素子数	移動度 ($\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$)	V_{th} (V)	ヒステリシス (V)	SS 値 (mV dec^{-1})
A	20	0.16	-0.66	0.17	120
B	13	0.16	-0.82	0.031	130
C	11	0.10	-0.33	0.69	120

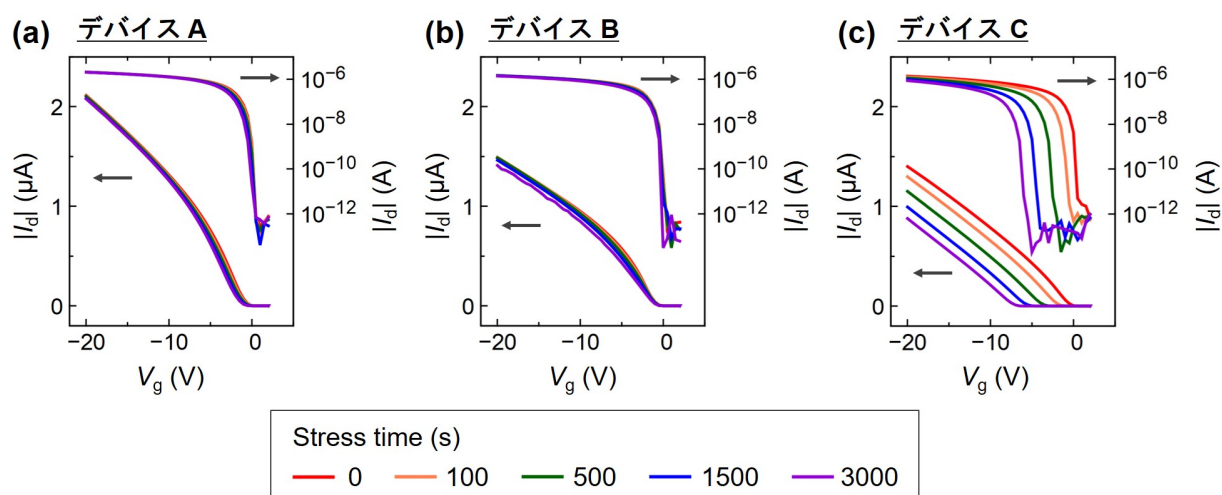


図 3.13 デバイス A-C のバイアス耐性の比較。電圧印加条件は、Cytop 界面 (A・B) で $V_g = -24$ V、 SiO_2 界面 (C) で $V_g = -20$ V、 V_d はいずれも 0 V とした。伝達特性は、 $V_d = -2$ V で測定を行った。

際の電圧ステップ幅や掃引速度に依存すると考えられる。そこで、条件に依存せずより一般的に駆動安定性を評価するため、バイアスストレス (V_g 印加) 耐性の測定を行った。ここでは、 V_g を一定時間印加したのちに伝達特性を測定し、電気特性の変化を調べた。バイアス条件として、 V_d は 0 V で固定し、デバイス A・B では $V_g = -24$ V、デバイス C では $V_g = -20$ V を一定時間印加した。この V_g の値は、ゲート絶縁層にかかる電界がおよそ一定 (2 kV cm^{-1}) になるように選定した^{*4}。

バイアス印加に伴う伝達特性の変化を図 3.13 に示す。また、伝達特性の $V_g = -20$ V における電流値のバイアス時間依存性を図 3.14 (a) に示す。Cytop 界面 (デバイス A・B) では、最大 3000 秒の電

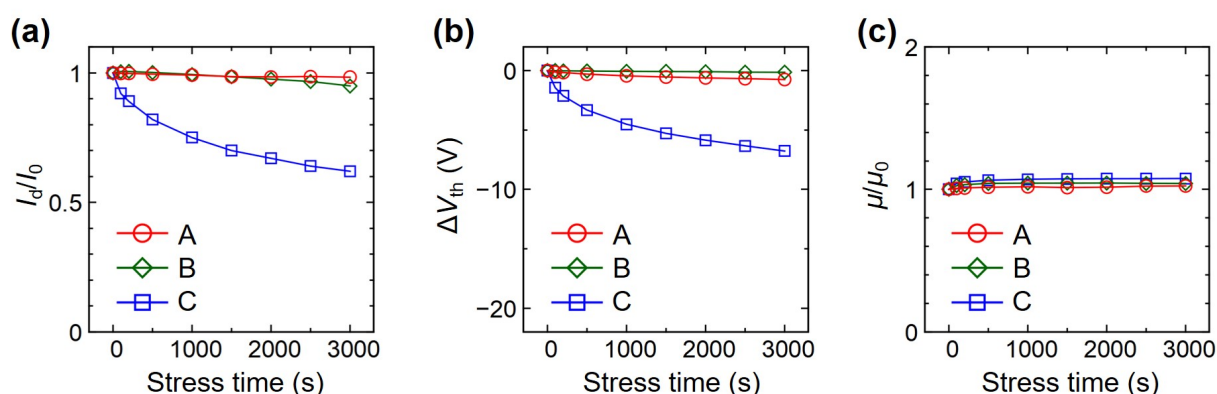


図 3.14 バイアス印加に伴う各パラメータの変化。(a) 伝達特性の $V_g = -20$ V における電流値。(b) 閾値電圧 (V_{th})。バイアス 0 秒時の V_{th} を基準として、差で表している。(c) デバイス移動度。バイアス 0 秒時の移動度 (μ_0) を基準として、比率で表している。

^{*4} デバイス A・B のゲート絶縁層として、 SiO_2 (100 nm) 上に Cytop (約 20 nm) を塗布した、厚み 120 nm 程度の複層絶縁膜を用いている。一方、デバイス C のゲート絶縁層には、 SiO_2 (100 nm) の単層絶縁膜を用いている。

圧印加に対しても電気特性はほとんど変化せず、高い駆動安定性が得られた。一方、 SiO_2 界面（デバイス C）では、バイアスによって電流値が低減していく挙動が観測された。これらの V_g 印加に対する安定性の違いが、Cytop 界面でのヒステリシスフリー（図 3.5 (b)、図 3.11 (b))、 SiO_2 界面でのヒステリシスの発生（図 3.12 (b)) にそれぞれ寄与していると考えられる。

また、電流値劣化が見られた SiO_2 界面のデバイス C については、バイアス印加に対して閾値電圧 (V_{th}) が大きく負側へシフトしていた（図 3.14 (b))。一方でデバイス移動度は、バイアス印加に対してもほぼ一定値であることがわかった（図 3.14 (c))。すなわち、 SiO_2 界面における電流値劣化は（図 3.14 (a))、バイアス印加によって伝達特性が負側へ平行移動することがおもな要因であると言える。以上、絶縁層界面を変えたバイアス耐性の比較より、同じ半導体材料を用いた場合でも、Cytop 界面によって駆動安定性を劇的に向上できることがわかった。

本研究の結果より、バイアスによる V_{th} シフトの起源は、半導体ではなく絶縁層側に存在することが示唆される。ここで、Cytop 界面により安定性が著しく向上した理由を、先行研究の結果も踏まえて考察する。まず V_{th} シフトを引き起こす要因の一つとして、作製の過程で不可避免的に輸送界面に付着する極性分子（典型的には大気中の水分子）が挙げられる。実際にバイアス耐性測定により、水蒸気濃度が高い条件では V_{th} シフトが増大することや^{131,132}、大気下と真空下では前者で V_{th} シフトが大きくなることが報告されている¹²⁹。これらの V_{th} シフトは、水分子の極性成分がフリーキャリアをトラップすることに由来すると考えられており、正孔をトラップした水分子が輸送界面で吸着・脱離を繰り返しながら移動するモデル等が提案されている¹³³。

さらに、チャンネルに吸着した水分子は、 SiO_2 表面のシラノール基 (Si-OH) と電気分解反応を起こしてプロトンを生じ¹³⁷⁻¹³⁹、この正電荷成分が固定電荷として絶縁層界面に蓄積し、フリーキャリアの蓄積を妨げるとも議論されている。実際に、KFM (Kelvin Force Microscopy) を用いた表面ポテンシャル測定より、 V_{th} シフトが起こった状態では、フリーキャリアが存在しないオフ領域においても

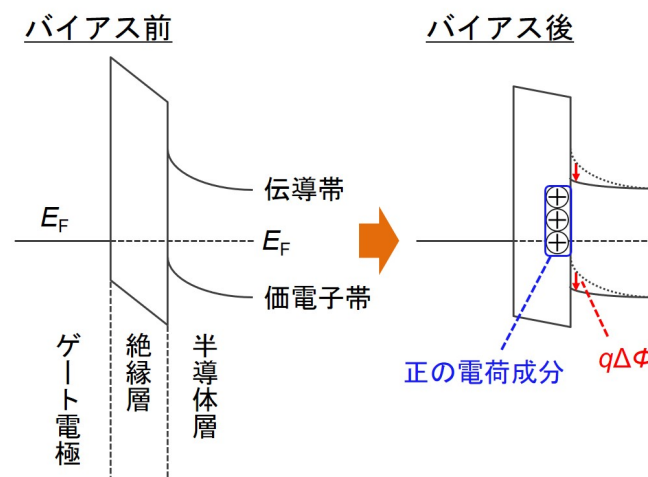


図 3.15 絶縁層表面の固定電荷による V_{th} シフトの模式図（半導体・絶縁層・ゲート電極のエネルギーバンド図）。バイアス印加前後における、 $V_g = 0 \text{ V}$ の状態を模式的に示している。バイアス印加によって V_{th} が増大することから、 $V_g = 0 \text{ V}$ における E_F と価電子帯（P 型有機半導体では HOMO に相当）のエネルギー差が増大（図では $q\Delta\phi$ ）していることが考えられる⁷⁴。 $\Delta\phi$ が生じる起源として、正の電荷成分が絶縁層・半導体界面近傍に存在すること等が議論されている^{135,139}。

チャネルが正ポテンシャルを有することが観測されている^{134-136,139}。このような絶縁層界面の固定正電荷は、正孔蓄積のために必要な半導体ポテンシャルの変化（つまり V_{th} ）を増大させる方向にはたらくと考えられる（図 3.15）。この描像は、MOSFET において、絶縁層中の固定電荷がフラットバンド電圧および V_{th} をシフトさせるという議論と整合している⁷⁴。

以上の観点から、 V_{th} シフトを抑制するための絶縁層の条件としては、水分子を吸着しにくい高撥液表面を有し、かつ表面に極性基のない（電気化学反応を起こしにくい）安定・不活性な表面が適していると考えられる。本研究で優れた駆動安定性を示した Cytrop は、パーフルオロ・アモルファス由来できわめて高い撥液性表面を有し、かつ強固な C-F 結合から構成されており不活性な表面・バルクを有しているため、安定駆動に有効な絶縁層の条件を満たしていると言える。

3.4.4 接触抵抗

前項まではおもに絶縁層・半導体界面に着目してきたが、ここでは電極・半導体の接触界面に着目する。電極・半導体の異種接合界面では一般に、キャリア輸送を行う準位（金属の E_F と半導体の HOMO 等）の差に起因して、エネルギー障壁や接触抵抗が生じる。接触抵抗の低減は、有機 TFT の周波数特性の向上や¹⁶⁶、半導体移動度を正しく見積もるために^{162,163}、重要な因子の一つとされている。そこで本項では、TLM（Transfer Line Method, Transfer Length Method）法を用いて電極・半導体間の接触抵抗（ R_c ）の見積もりを行い、Cytrop 絶縁層界面が R_c に与える影響を調べた。

TLM 法では、デバイスの全抵抗（ R_{tot} ）を、接触抵抗（ R_c ）とチャネル抵抗（ R_{ch} ）の直列抵抗と考える。ここで、電極・半導体は Ohmic 接触であると仮定する。これにより、 R_c はチャネル長（ L ）によらずに一定値を取り、 R_{ch} が L に比例する量とみなすことができる。このもとで、 R_{tot} は次のように書くことができる。

$$R_{tot} = R_c + R_{ch} \quad (3.2)$$

$$= R_c + r_{ch}L \quad (3.3)$$

$$r_{ch} = \frac{1}{\mu_0 WC_i(V_g - V_{th})} \quad (3.4)$$

r_{ch} は単位チャネル長当たりのチャネル抵抗（ $k\Omega \mu m^{-1}$ ）、 μ_0 は半導体チャネルの移動度、 W はチャネル幅、 C_i はゲートキャパシタンスである。また R_c は、ソース電極・半導体間とドレイン電極・半導体間の接触抵抗の和とする。TLM 測定では、様々な L を有する TFT 素子の R_{tot} （ $= V_d/I_d$ ）を測定することで、式 (3.3) により R_c や r_{ch} を実験的に得ることができる。解析や比較においては、これらをチャネル幅 W で規格化した $R_c W$ （単位： $k\Omega cm$ ）や $r_{ch} W$ （単位： $k\Omega sq^{-1}$ 、シート抵抗とも呼ぶ）で議論することが多く、以下でもこれらを用いる。

まずは Cytrop 絶縁層およびスーパーナップ印刷銀のソース・ドレイン（S/D）電極からなるデバイス A（図 3.10 (a)）について、TLM を行った結果を図 3.16 に示す。得られた全抵抗 $R_{tot} W$ は、チャネル長 L に対して線形に変化し、式 (3.3) でよくフィットすることができた（図 3.16 (a)）。これより見積もった接触抵抗 $R_c W$ は、実効ゲート電圧 $V_g - V_{th} = -18 V$ に対して $1.5 k\Omega cm$ であり（図 3.16 (b)）、印刷電極・塗布型半導体を用いた系としては良好なオーダー（ $\sim 1 k\Omega cm$ ）であった¹⁶⁷。デバイス A では、 $V_d = 0.01 V$ 程度の低電圧においてもデバイス移動度が劣化することなく得られており（図 3.16 (c,d)）、電極・半導体間で優れた Ohmic 接触が実現していると言える。

同様に、Cytrop 界面・蒸着金からなるデバイス B（図 3.10 (b)）、 SiO_2 界面・蒸着金からなるデバイ

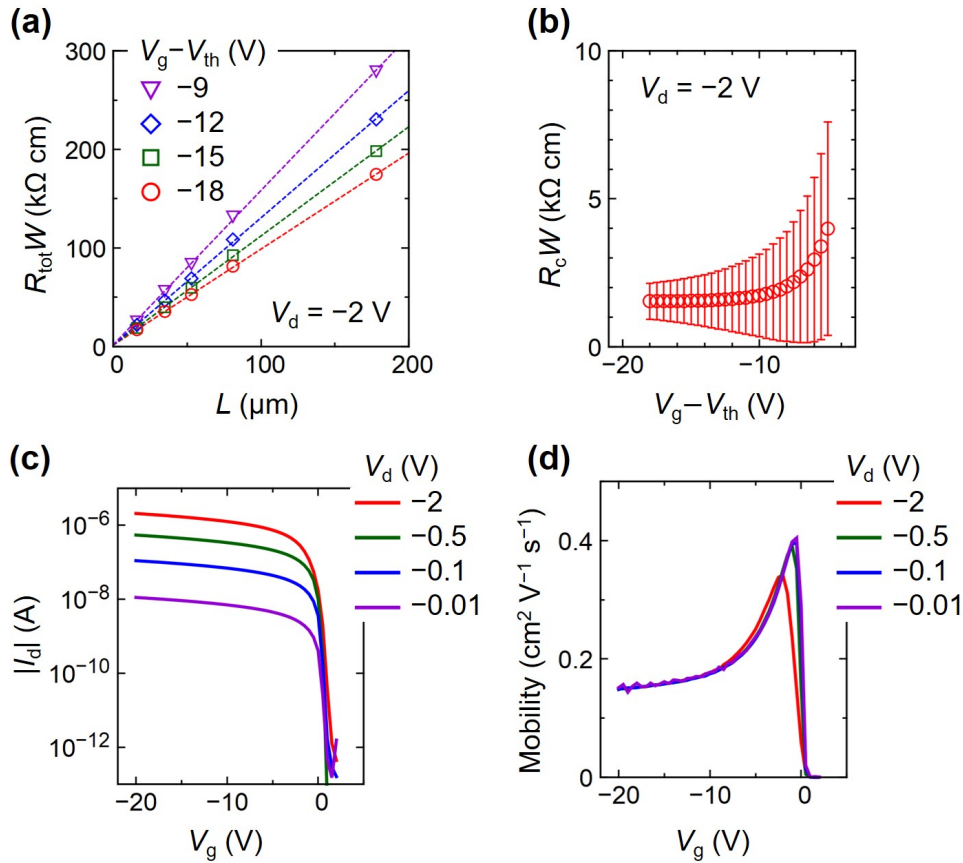


図 3.16 デバイス A (Cytop 絶縁層界面、スーパーナップ印刷銀電極) の半導体・電極接触の解析。(a) TLM プロット。(b) チャンネル幅で規格化した接触抵抗 ($R_c W$) の V_g 依存性。(c) V_d が低電圧での伝達特性。(d) V_d が低電圧でのデバイス移動度の V_g 依存性。ここで、 $V_d = -2$ V のときのみ、低電圧側での移動度の上昇の仕方が緩やかになっている。これは、 $|V_g| < 2$ V では TFT は飽和領域 ($I_d \propto V_g^2$) であり、ここで線形領域の解析式を用いると、移動度が低めに見積もられることに由来する。厳密には $V_d = -0.1, -0.5$ V においても、 V_d の値に応じて変化が見えるはずだが、ここでは伝達特性の V_g を 0.5 V ステップで測定したため、分解能的に区別することができない。

ス C (図 3.10 (c)) について、TLM 測定を行った。Cytop 界面を用いたデバイス A・B では、TLM プロットにおいて同程度の切片 (接触抵抗 $R_c W$) と傾き (シート抵抗 $r_{ch} W$) が得られた (図 3.17 (a))。一方、 SiO_2 界面を用いたデバイス C では、デバイス A・B と比べ、すべてのチャンネル長において全抵抗 ($R_{tot} W$) が増大する傾向を示した。これらを基に求めた接触抵抗は (表 3.4)、デバイス A・B では $1 \text{ k}\Omega \text{ cm}$ オーダー、デバイス C では $10 \text{ k}\Omega \text{ cm}$ オーダーであり、Cytop 界面デバイスで一貫して良好な電極・半導体接触が実現しうることがわかった。すなわち、絶縁層界面に応じて電極・半導体の接触抵抗に差が生じるという結果が得られた。

さらに、デバイス A-C について接触抵抗のキャリア量 (Q_i) 依存性^{*5}を比較したところ (図 3.17 (b))、低キャリア領域での接触抵抗のふるまいに大きな差が生じた。Cytop 界面 (デバイス A・B) では少ない Q_i においても小さい接触抵抗 ($\sim 10 \text{ k}\Omega \text{ cm}$) が実現していた一方で、 SiO_2 界面 (デバイス

^{*5} $R_c W$ や $r_{ch} W$ はキャリア蓄積量に依存すると考えられるため、 $V_g - V_{th}$ にゲートキャパシタンス C_i を乗じたキャリア量 Q_i 依存性として比較を行った。

表 3.4 TLM 解析により求めた接触抵抗 ($R_c W$) とシート抵抗 ($r_{ch} W$)。チャネル抵抗 ($R_{ch} W$) は、100 μm チャネル長について求めた。また、デバイス A–C のゲートキャパシタンス (C_i) およびキャリア量 ($Q_i = C_i(V_g - V_{th})$) を合わせて示した。いずれも、実効ゲート電圧 $V_g - V_{th} = -18$ V の値を示している。

デバイス	$R_c W$ ($\text{k}\Omega \text{ cm}$)	$r_{ch} W$ ($\text{k}\Omega \text{ sq}^{-1}$)	$R_{ch} W$ ($\text{k}\Omega \text{ cm}$)	C_i (nF cm^{-2})	Q_i ($\mu\text{C cm}^{-2}$)
A	1.5	9700	97	26	-0.47
B	6.8	8700	87	27	-0.49
C	21	10200	102	35	-0.62

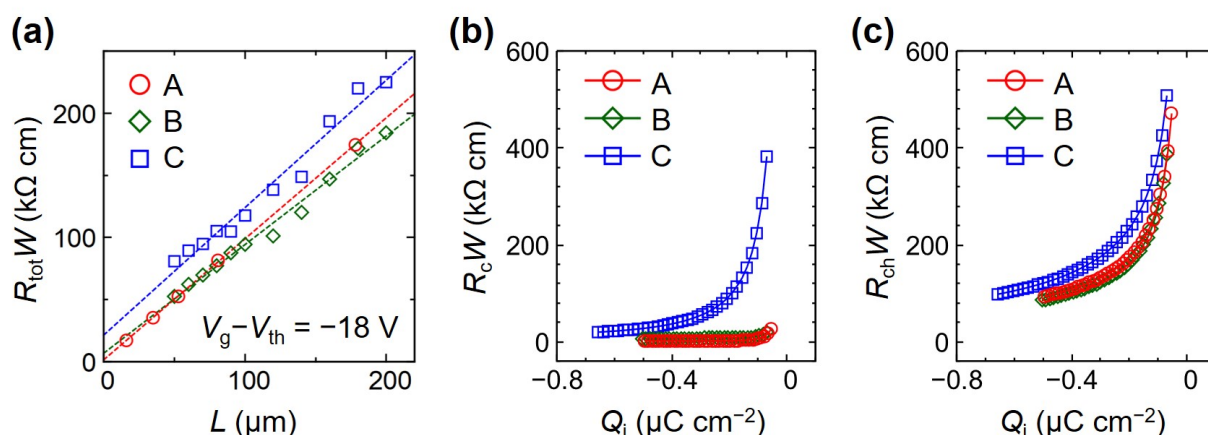


図 3.17 デバイス A–C の TLM 測定。 $V_d = -2$ V で測定を行った。(a) $V_g - V_{th} = -18$ V における TLM プロット。(b) 接触抵抗 ($R_c W$) のキャリア量 (Q_i) 依存性。(c) 100 μm チャネル長におけるチャネル抵抗 ($R_{ch} W$) のキャリア量依存性。キャリア量は、 $Q_i = C_i(V_g - V_{th})$ より求めた。

C) では、比較的大きな接触抵抗 (100 $\text{k}\Omega \text{ cm}$ 以上) が生じていることがわかった。すなわち、Cytop 界面デバイス A・B では印刷銀・蒸着金という S/D 電極の違いによらず同程度の接触抵抗を示し、一方で SiO_2 界面デバイス C ではデバイス B と同じ蒸着金 S/D 電極を用いているにも関わらず高い接触抵抗を示す結果となった。これらの比較より、本研究の系における接触抵抗は、S/D 電極の材料ではなく、おもに絶縁層界面に依存していると考えられる^{*6}。

前項のバイアス耐性の結果 (図 3.13) を踏まえると、バイアスストレスを受けにくい Cytop 界面では接触抵抗が小さく、バイアスストレスを受けやすい SiO_2 界面では接触抵抗が大きいという相関がある。このような駆動安定性と接触抵抗の関係は、スタガ型 (BGTC あるいは TGBC) の有機 TFT で数例報告されている^{117,168}。ここでは、絶縁層界面がキャリアをトラップしやすい場合、より多くのトラップキャリアがゲート電界を遮蔽し、接触抵抗は増大する傾向になると議論されている。本研究のコプラナー型 (BGBC) の系においても同様に、Cytop 界面の優れたトラップ抑制能が接触抵抗の抑制に寄与している可能性が示唆される。

最後に、デバイス移動度の $V_g - V_{th}$ 依存性 (あるいは V_g 依存性) と接触抵抗の相関について、考

*6 ただしいまの場合、銀・金ともに PFBT 処理を行い仕事関数を深くしている。PFBT 処理なしでは、電極材料の影響はより出やすくなると考えられる。

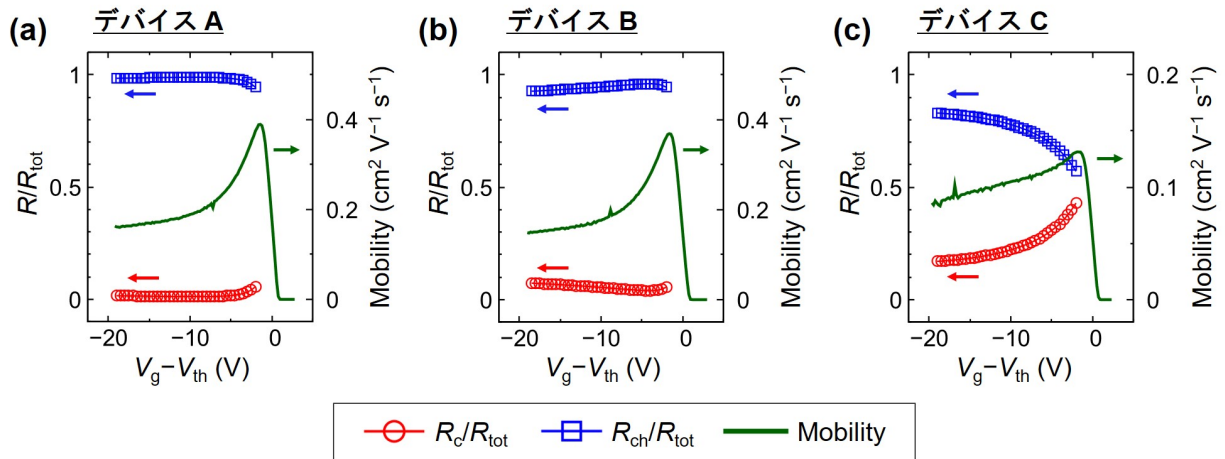


図 3.18 デバイス移動度の $V_g - V_{th}$ 依存性と、接触抵抗比 (R_c/R_{tot})・チャネル抵抗比 (R_{ch}/R_{tot}) の相関。 $V_d = -2$ V で測定を行った。

察を加える。図 3.18 に、デバイス移動度の $V_g - V_{th}$ 依存性と、接触抵抗比 (R_c/R_{tot})・チャネル抵抗比 (R_{ch}/R_{tot}) を比較した結果を示す。Cytop 界面では、デバイス移動度が極大値を示したのち V_g が負側で減少する傾向が一貫して得られた (図 3.18 (a,b))。この移動度極大が現れる起源として、接触抵抗成分が V_g に対して急激に減少する振る舞いが要因として議論されている^{162,163}。しかし Cytop 界面では接触抵抗比は一貫して抑制 (0.1 以下) されていた (図 3.18 (a,b))。さらに SiO_2 界面では、デバイス移動度の $V_g - V_{th}$ 依存性が比較的少なく良好な特性を示しているように見えるが (図 3.18 (c))、これは低電圧領域では接触抵抗比が 0.4 以上と高い比率を示し電流値上昇が抑制されるために、移動度極大の見かけ上の消失が起こっているものと考えられる。

以上の議論から、Cytop 界面で見られる移動度極大・ V_g 増大に伴う移動度減少は、接触抵抗由来ではなく、PDVT-10 の材料本来の特性として現れている可能性がある。例えば、半導体本来の電気特性を調べるために、欠陥のないルブレ単結晶についてトランジスタの電気測定・Hall 測定を行った例が報告されているが^{103,169,170}、ここでもデバイス移動度は V_g 増大に伴って減少する傾向が確認されている。これは、 V_g が大きくなるにしたがってキャリアが絶縁層・半導体近傍に束縛され (半導体バルク側へ拡散できなくなり)、より絶縁層界面のランダムポテンシャルによる散乱を受けやすくなることに起因すると議論されている。本研究の系では、無極性・アモルファスの Cytop 界面を用いることでランダムポテンシャルは比較的抑制できていると期待されるが、それでもなお移動度極大の振る舞いが見られたことから、PDVT-10 のキャリア輸送は界面よりバルク側の方が本来的に高効率である可能性が示唆される。

3.5 結論

本章では、Cytop 上に半導体を塗布した BG 型 TFT において Cytop 界面がデバイス特性に与える影響を調べるため、塗布構築が比較的容易な高分子系半導体を用いたデバイス構築とキャリア輸送特性の検証を行った。高撥液 Cytop 上への半導体塗布は、シリコーンゴムを用いて半導体溶液を基板上で押し広げて毛管力により保持し、溶媒分子のみゴムで吸収・乾燥させるプッシュコート法⁵⁷に

より実現した。Cytop 上に D-A 型高分子 PDVT-10 を塗布製膜したところ、高均質な薄膜が得られ、キャリア輸送に有利とされるエッジオン配向を明瞭に示した。スーパーナップ法で形成した Cytop・印刷電極構造の上に PDVT-10 を塗布製膜して TFT を作製したところ、急峻スイッチング (120 mV dec^{-1})、ヒステリシスフリー、ばらつきの低減等、良好なデバイス特性が得られた。また、ゲートキャパシタンス C_i を増大するにしたがい SS 値は急峻化する傾向を示し、ここで得られた SS 値の C_i 依存性は、一定のキャリアトラップ密度 D_{it} を仮定することで定量的に説明できることがわかった。計算上のトラップ密度は高分子系半導体として比較的抑制されたオーダー ($\sim 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$) であり、塗布により良好なキャリア輸送界面が構築できていることが示唆された。

また上記のデバイスに加え、蒸着金・Cytop 絶縁層および蒸着金・ SiO_2 絶縁層からなる TFT を作製した。これらの電気特性を比較することで、電極界面・絶縁層界面の違いがデバイス特性に与える影響を調べた。これより、高撥液 Cytop 界面デバイスでは電極によらず一貫して高い駆動安定性が得られる一方で、親液性 SiO_2 界面デバイスではバイアスストレスにより駆動安定性が損なわれることがわかった。これより、高撥液・不活性な絶縁層界面が駆動安定性の確保に有効であることが確認された。また、Cytop 界面デバイスでは、蒸着金・印刷銀という電極の違いによらずに一貫して低い接触抵抗が得られ、一方で SiO_2 界面デバイスでは接触抵抗の増大が得られたことから、絶縁層界面のトラップ形成能が電極・半導体のキャリア注入効率に影響を与えうることが示唆された。

第 4 章

低分子系塗布型半導体による高急峻スイッチングの実現

4.1 研究背景と目的

近年、層状結晶性に優れる低分子系塗布型半導体材料や塗布製膜技術の進化により、常温常圧の塗布により高品質な半導体結晶膜が得られるようになってきている。これにより、実用化への一つの指標である移動度については高性能化が達成されつつある。しかしながら、塗布による高移動度を維持しつつ、急峻スイッチング・低電圧駆動を確保するという総体的な特性向上が容易でないということが課題となっている。前章までの検討より、高撥液絶縁層上に半導体を塗布製膜したデバイス構造において、トラップ抑制による低電圧駆動・安定駆動が実現できると期待される。しかしながら、低分子系半導体の高均質結晶膜を高撥液絶縁層上に塗布することは従来法では困難であり、高撥液絶縁層のトラップ抑制能を活かしたデバイス設計を実現することができなかった。

本章ではこの課題解決に取り組み、低分子系塗布型半導体を用いて、塗布型有機 TFT の高移動度・高急峻スイッチングの両立を目的とした。このために、高撥液 Cytop 層を絶縁層界面として用い、Cytop 上へ結晶膜を塗布するための新規手法の開発に取り組んだ。また、前章までの知見を統合し、Cytop 界面・印刷電極・塗布結晶膜から構成される、全塗布型 TFT の構築に取り組んだ。さらに、種々の半導体材料を Cytop 上へ塗布し TFT 特性の比較を行い、本塗布法のプロセス適用幅を調べた。

4.2 高撥液絶縁層上への低分子系半導体の塗布

4.2.1 従来塗布法におけるメニスカス形状観察

本節ではまず、半導体塗布に関する基礎的知見を深めるため、従来塗布法を用いて製膜の様子・液滴形状の観察を行った。塗布型半導体材料として、非対称な π 電子骨格にさらにアルキル基・フェニル基を非対称に置換した Ph-BTNT- C_n (phenyl/alkyl-substituted benzothieno[3,2-*b*]naphtho[2,3-*b*]thiophene) を用いた³⁶ (図 4.1 (a))。本材料は、二次元キャリア輸送に有利な二分子膜型層状ヘリコン構造をとることが知られる。また、拡張された π 電子骨格により P 型キャリア注入に有利な浅めの HOMO 準位を有しており、かつ分子形状が屈曲するように導入されたアルキル置換基により Ph-BTBT- C_n と同程度の溶解性を実現している。本材料は、溶液の保持・掃引を行うブレード

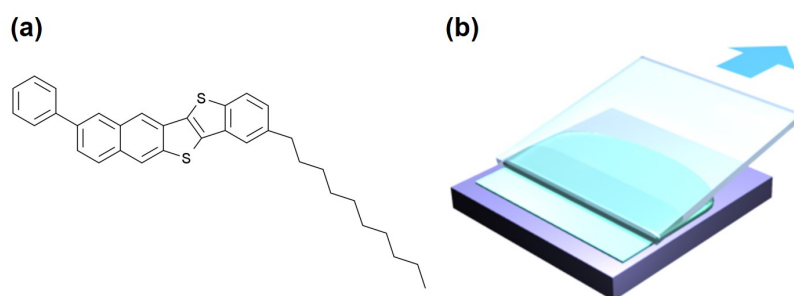


図 4.1 (a) Ph-BTNT-C₁₀ の分子骨格³⁶。(b) 従来の半導体塗布手法であるブレードコート法³⁸。半導体溶液を毛管力で保持し一方方向に掃引することで、溶液先端の気液界面から結晶成長が進行する。

コート法（図 4.1 (b)）により TFT 向けの高品質な結晶膜を塗布形成可能であり、実際に親液性絶縁層（SiO₂、パリレン）上に塗布形成した単結晶膜により $4\text{--}6\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 程度の良好なキャリア移動度が報告されている^{13,36}。

以上を踏まえ本節では、従来法であるブレードコート法を用いて高撥液あるいは親液表面を有する様々な絶縁層上に半導体塗布製膜を試み、液滴形状の観察と製膜可否の検証を行った。半導体塗布の溶媒として、常温での揮発・製膜が可能なクロロベンゼン（沸点約 130°C）を選定し、Ph-BTNT-C_n を溶解した 0.05 wt% の希薄溶液を調製した。また製膜性向上のため、Ph-BTNT-C₁₀ と Ph-BTNT-C₁₂ を溶液体積比 9:1 で混合した溶液を用い、層間フラストレーション効果³⁹による単層二分子膜の構築を試みた*1（図 4.2）。

まず、最も高撥液な絶縁材料である Cytop 上で従来のブレードコート法を適用したところ、半導体膜は全く得ることができなかった（図 4.3）。製膜中のブレード先端のメニスカス領域について、顕微鏡観察を行ったところ、Cytop 上で溶液は大きな接触角（ θ_c ）を示しており（図 4.3 (d)）、暗く見える

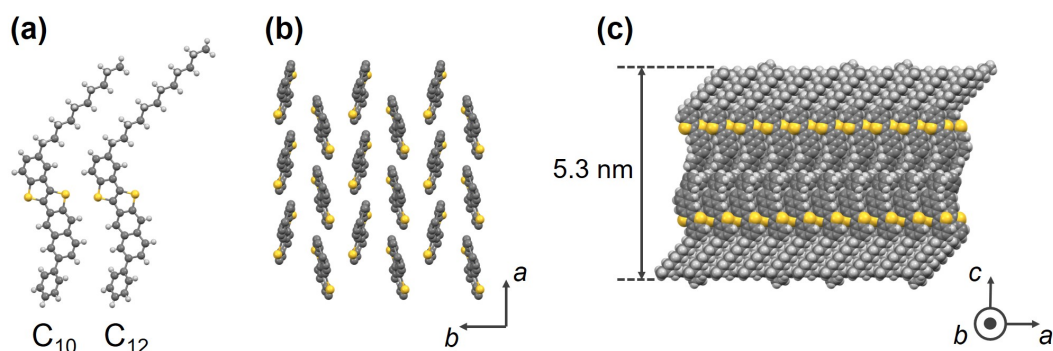


図 4.2 Ph-BTNT-C_n を用いた単層二分子膜の構築。(a) 鎖長 10 および 12 の分子骨格。(b) 分子長軸方向から見た Ph-BTNT-C₁₀ の層状ヘリンボーン構造。ここでは、 π 電子骨格（BTNT）のみを表示している。(c) Ph-BTNT-C₁₀ と Ph-BTNT-C₁₂ の混合による層間フラストレーション効果³⁹を用いた単層二分子膜。

*1 混合溶液による単層二分子膜構築は、単体溶液により得られる積層膜と比べると、分子膜にクラックを生じにくく³⁹、より欠陥のない均質な膜形成に有効である。

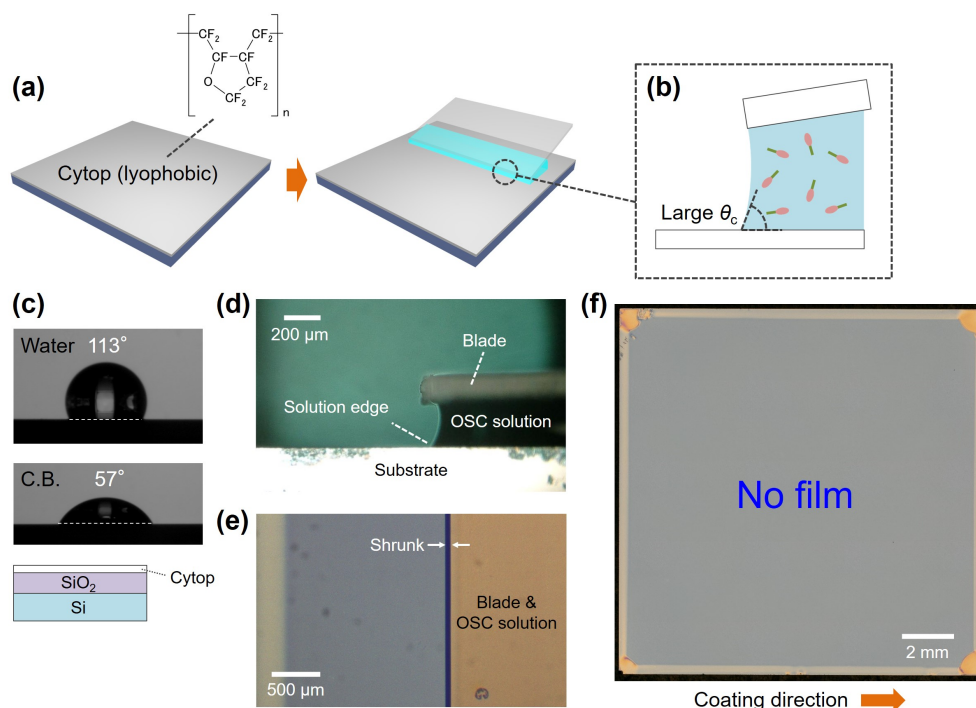


図 4.3 高撥液 Cytop 上でブレードコート法を適用した。(a) Cytop 上でのブレードコート法の模式図。溶液掃引を行っても半導体膜は形成しない。(b) メニスカス先端の模式図。接触角 θ_c が大きく、薄い液膜が形成できない。(c) Cytop 上に水とクロロベンゼン (C.B.) を滴下した際の液滴形状。いずれの溶媒に対しても高い撥液性を示す。(下図) Cytop 表面は、Si/SiO₂ 基板上に製膜することで形成した。(d,e) ブレードコート時のメニスカス領域の顕微鏡観察。(d) 側面からの観察。(e) 上面からの観察。Cytop 上ではブレード先端の暗いメニスカス領域は数十 μm 程度に縮んでおり、ほぼブレード直下に固定されている。(f) ブレードコート適用後の Cytop 表面の光学像。半導体膜は一切得られない。

メニスカス領域^{*2}は常に縮まった状態（幅が数十 μm 程度）であることがわかった（図 4.3 (e)）。これは、Cytop が溶媒に対して高い撥液性を有することに由来しており（図 4.3 (c)）、溶媒濡れ性が低い基板上では従来法による塗布製膜が困難であることを示している。

次いで、半導体塗布に典型的に用いられる SiO₂ 基板上でブレードコート法を適用し、メニスカス領域のその場観察を行った（図 4.4）。ここでは、従来通り結晶膜の塗布が可能であった（図 4.4 (f,g)）。製膜中の溶液メニスカス先端は薄く濡れ広がった形状をしており、メニスカス幅は数百 μm 程度の広がりを持っていた（図 4.4 (d,e)）。これは、SiO₂ が溶媒に対して親液性を有することに由来している（図 4.4 (c)）。

以上の比較より、絶縁層表面の溶液濡れ性がメニスカス先端の形状に関わっており、メニスカスが延びて薄い液膜が維持できるとき（図 4.4 (d)）に結晶成長が進行すると考えられる。すなわち、メニスカス延びが製膜の必要条件であることが示唆される。半導体塗布製膜に関する先行研究では、薄い液膜形成に伴って溶媒揮発が起こり、過飽和となった液膜の気液界面から結晶成長が起こると議論されている^{10,171,172}。メニスカス延びにより製膜が可能になるという本節の観察結果は、この議論と整

*2 メニスカス領域は、基板に対して垂直な反射光が存在しないため、真上から見ると暗く見える。

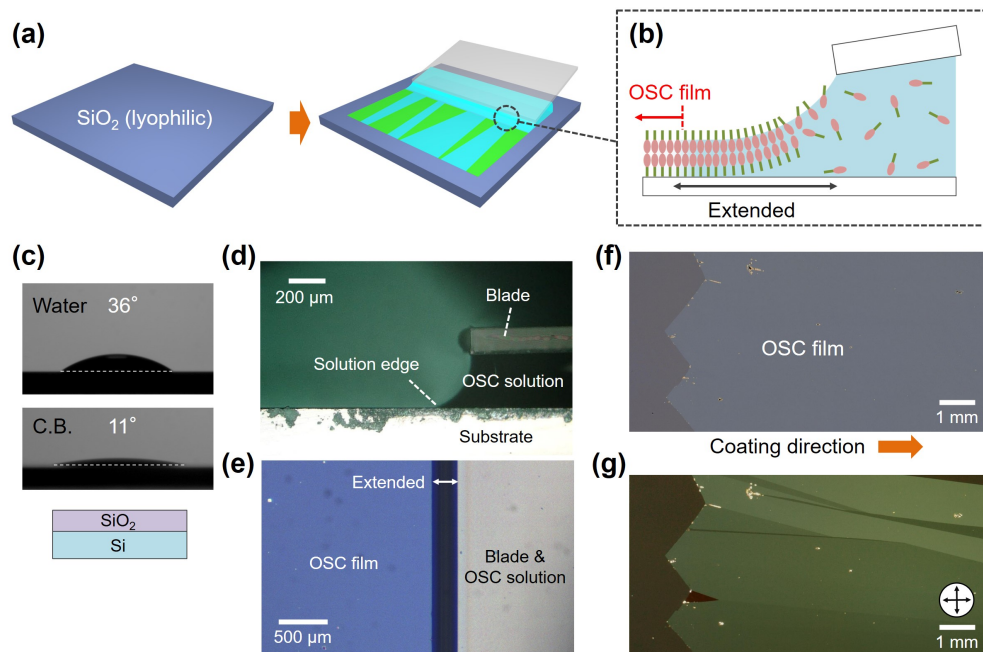


図 4.4 親液 SiO₂ 上でブレードコート法を適用した。(a) SiO₂ 上でのブレードコート法の模式図。溶液掃引に伴い、その後退端から半導体膜が形成する。(b) メニスカス先端の模式図。溶液が基板に対して濡れ広がり薄い液膜を形成し、その先端領域の気液界面から結晶成長が進むと考えられる。(c) SiO₂ 上に水とクロロベンゼン (C.B.) を滴下した際の液滴形状。いずれの溶媒に対しても親液性を示す。(下図) Si/SiO₂ 基板を用いた。(d,e) ブレードコート時のメニスカス領域の顕微鏡観察。(d) 側面からの観察。(e) 上面からの観察。SiO₂ 上ではブレード先端の暗いメニスカス領域は数百 μm の幅を有しており、ブレード先端から延びることができている。(f) ブレードコート適用後の光学像 (偏光なし)。同一色の均一厚みの半導体膜が得られる。(g) クロスニコル像。同一の明るさのドメイン (特定の結晶方位) が複数集合した結晶性薄膜であることがわかる。

合している。以上を踏まえ、高撥液表面においても、メニスカス延びの開始・維持を実現できれば、結晶製膜が可能になると期待される。

ここで、Cytop 界面を有するボトムコンタクト (BC) 型 TFT を作製する場合、Cytop 絶縁層上にはソース・ドレイン電極等の金属膜が存在する。一般に金属膜は高い表面自由エネルギーを有しており、溶媒に対して高い濡れ性を示し、メニスカスの延びと塗布製膜を実現しやすい表面であると考えられる。実際に金属膜上でブレードコート法を適用したところ、金属膜全面を覆う半導体結晶膜が得られた (図 4.5)。ここで用いた金属膜表面は、TFT 作製に用いられるプロセスに準拠し、Cytop 上へ金蒸着を行い^{*3}、かつ PFBT 表面処理を施して形成した^{*4}。PFBT 処理を行った蒸着金表面では、半導体溶液の溶媒であるクロロベンゼンは高い濡れ性を示し^{*5} (図 4.5 (c))、メニスカスの延びと結晶膜の塗布が可能であることが確認された (図 4.5 (d–g))。以上の検討より、TFT の構成要素である金

^{*3} ただし、Au のみでは基板から剥離しやすいため、Cr (クロム) を 5 Å 程度蒸着したのちに Au 蒸着を行っている。

^{*4} 補足として、PFBT 処理を施していない表面に対しても製膜できることを確認している。

^{*5} PFBT 処理を行った金属膜表面は、水に対しては撥水性を示す一方、クロロベンゼン (C.B.) に対しては親液性を示す (図 4.5 (c))。金と PFBT 分子からなる表面に対する付着エネルギー利得が、水の場合は低く、C.B. では高いことに相当している。PFBT はフッ素化したベンゼン環を有する構造であり、極性溶媒 (水) とベンゼン系溶媒 (C.B.) に対してそれぞれ異なる付着特性を示すと考えられる。

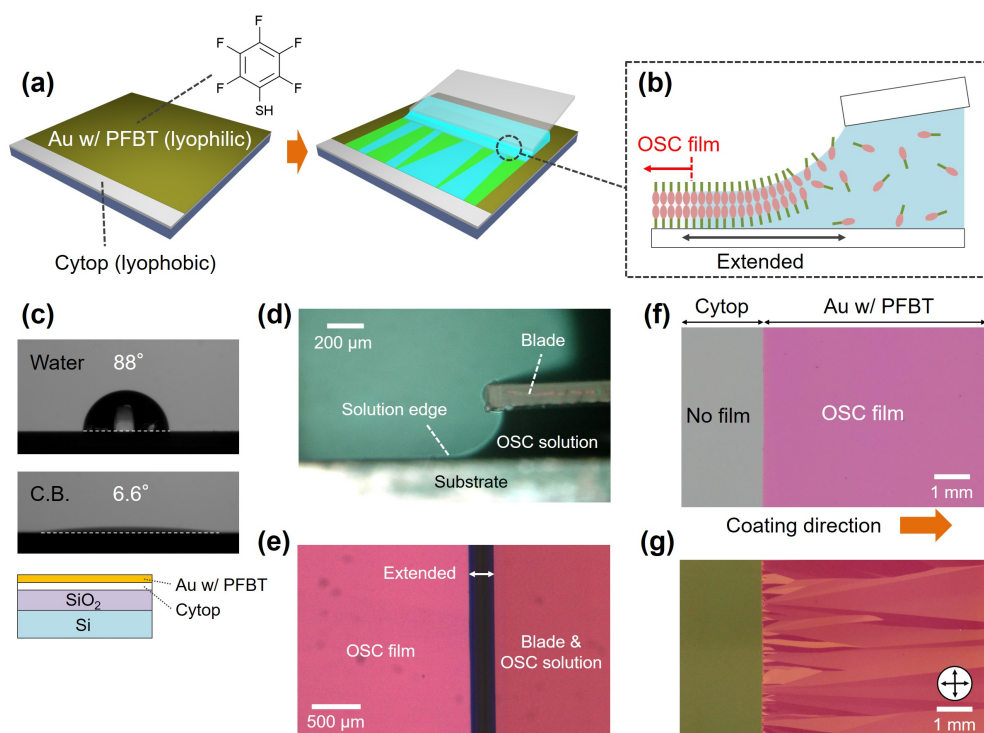


図 4.5 PFBT 処理を行った蒸着金上でブレードコート法を適用した。(a) 蒸着金上でのブレードコート法の模式図。(b) メニスカス先端の模式図。(c) 蒸着金上に水とクロロベンゼン (C.B.) を滴下した際の液滴形状。いずれの溶媒に対しても親液性を示す。(下図) TFT 構造を意識し、Si/SiO₂ 基板上に Cytop、蒸着金を積層した。さらに、PFBT による気相処理を行った。(d,e) ブレードコート時のメニスカス領域の顕微鏡観察。(d) 側面からの観察。(e) 上面からの観察。蒸着金上ではブレード先端の暗いメニスカス領域は数百 μm の幅を有しており、ブレード先端から延びることができている。(f,g) ブレードコート適用後の偏光なし光学像 (f) とクロスニコル像 (g)。蒸着金領域では結晶性半導体膜が得られた一方、Cytop 領域では一切得られなかった。

属膜は、電極のみならず、結晶製膜に有利な親液性領域として機能しうることがわかった。

4.2.2 拡張メニスカス塗布法の開発

金属膜が親液性領域として活用できるという前節の結果を踏まえ、高撥液絶縁層上へ低分子系半導体の結晶膜を塗布形成する新たな手法開発に取り組んだ。TFT では、構成要素であるソース・ドレイン電極が、溶液を濡れ広げやすい電極でできており、かつ絶縁層上に接して存在するという構造を有する。そこで、半導体溶液が電極上で濡れ広がることで形成された薄い液膜を、高撥液な絶縁層上に引き延ばし、かつ維持することができれば、高撥液な絶縁層上に半導体結晶の塗布製膜が可能になると考えた。半導体溶液の条件は前節同様、Ph-BTNT- C_{10} と Ph-BTNT- C_{12} をそれぞれクロロベンゼンに 0.05 wt% で溶解させ、体積比 9:1 で混合した溶液を常温で塗布した。

考案した塗布法の模式図を図 4.6 に示す。高撥液 Cytop 上に、U 字型の金属膜パターンで三方が

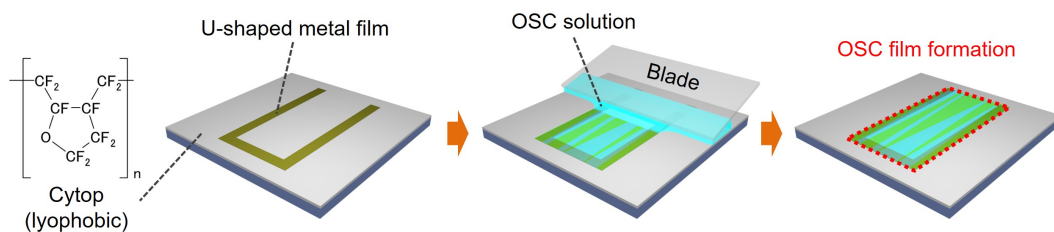


図 4.6 考案した高撥液 Cytop 上への半導体塗布法の模式図。「拡張メニスカス塗布法」と呼ぶ。

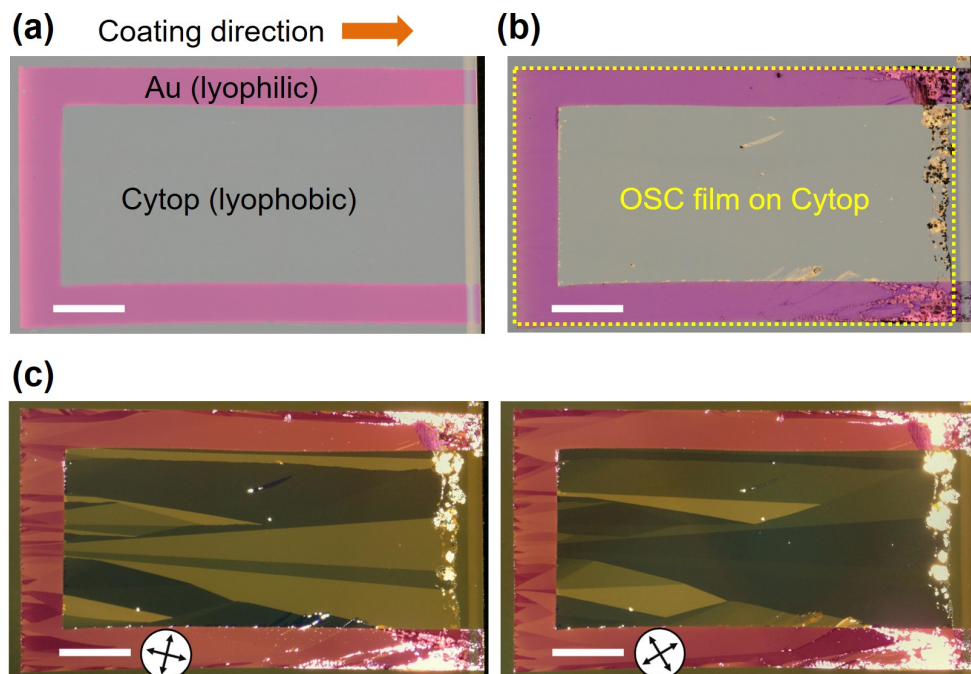


図 4.7 (a) Cytop 上に形成した U 字金属膜パターンの光学像（半導体塗布前）。U 字の閉じた領域（左）から開いた領域（右）へ、溶液の掃引を行う。(b) Ph-BTNT- C_n 塗布膜の光学像。U 字金属膜上と囲まれた Cytop 領域に、半導体膜が得られる。(c) Ph-BTNT- C_n 塗布膜のクロスニコル像。2 枚の画像は、入射偏光角度を 45° ずらして撮影した。スケールバーは (a)–(c) のいずれも 2 mm。

囲まれた領域を形成し、U 字の閉じた方向から開いた方向へブレードコート法を行った。これにより、金属膜上および金属膜で囲まれた高撥液 Cytop 上に、半導体層が形成されることがわかった（図 4.7）。得られた半導体膜は、無偏光の顕微鏡観察において大面積にわたって同一色を示しており（図 4.7 (b)）、一定の厚みの高均質膜であることに対応する³⁸。また、偏光顕微鏡を用いてクロスニコル観察を行ったところ、45° 回転で一様に明滅を示す数 mm² スケールの大面積結晶ドメインを有することが確認された（図 4.7 (c)）。本手法（図 4.6）を、「拡張メニスカス塗布法」（Extended meniscus-guided coating, EMG coating）と命名する。

4.2.3 拡張メニスカス塗布法におけるメニスカス形状観察と製膜原理の考察

以上の結晶成長は、金属膜（U 字の底）を起点に始まることがわかった。そこで製膜原理追究のため、メニスカス領域が金属膜を横切る前後に着目して、顕微鏡を用いた製膜の *in situ*（その場）観察

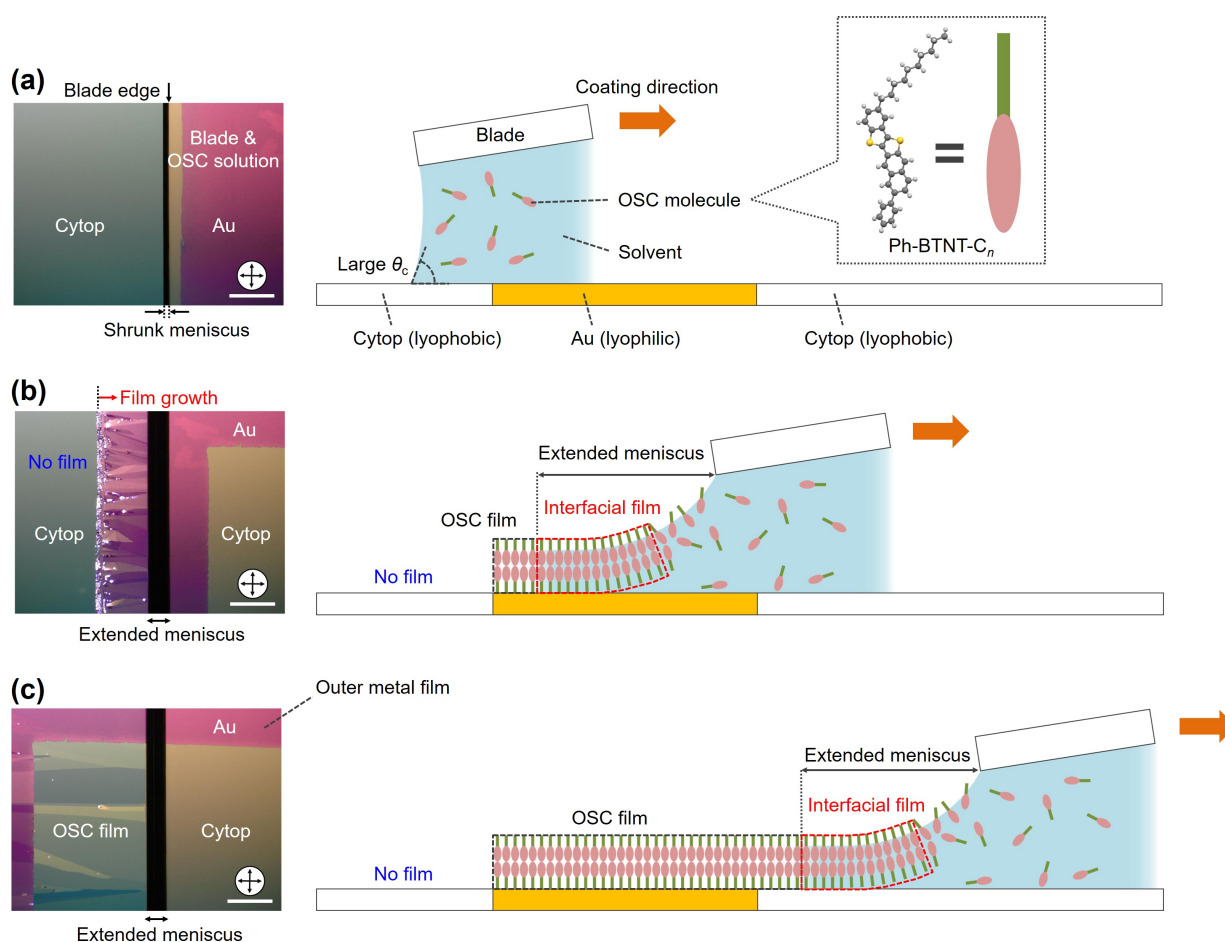


図 4.8 半導体塗布の *in situ* 観察とメニスカスの模式図。顕微鏡とブレードの相対位置を固定し、常にブレード先端近傍の同じ領域が観察できるセットアップとした。(a) メニスカス先端が高撥液 Cytop 上にある状態。メニスカスは縮み、半導体膜は形成されない。(b) メニスカス先端が金属膜上にある状態。金属膜の親液性に由来してメニスカスは延び、結晶成長が進行する。(c) メニスカス先端が金属膜上を経て Cytop 上にある状態。メニスカスの延びが維持され、結晶成長が途切れることなく継続する。スケールバーは (a)–(c) のいずれも 500 μm 。

を行った(図4.8)。ここでは、顕微鏡(観察領域)とブレードの相対位置を固定し、常にブレード先端近傍の同じ領域が観察できるようなセットアップを行った。メニスカス先端が金属膜を横切る前、高撥液 Cytop 上にいる状態では(図4.8(a))、メニスカス先端はブレード直下で大きな θ_c を有して固定されており、濡れ広がることができない。これは Cytop 基板上でのブレードコートの結果(図4.3)と一致する。次いで、メニスカス先端が金属膜上にいる状態では(図4.8(b))、金属膜の親液性に由来して濡れ広がることができ、延びたメニスカス領域から結晶成長が開始・進行する。このふるまいは、金属膜上でのブレードコートの結果(図4.5)と一致する。最後にメニスカス先端は、金属膜上から Cytop 上へ連続的に移行する(図4.8(c))。本来であれば Cytop 上ではメニスカスは縮み製膜は進行しないが、U 字金属膜の内側ではメニスカスの延びと結晶成長が継続することがわかった。このメニスカス領域をさらに拡大し、メニスカス延びの開始・維持の時間変化を追った *in situ* 観察結果を、図4.9に示す。実際に、U 字金属膜を起点にメニスカスの延びと結晶成長が始まり、さらに Cytop 上へ連続的に移行することで、メニスカスの延びが維持され、結晶成長が継続する様子が観察

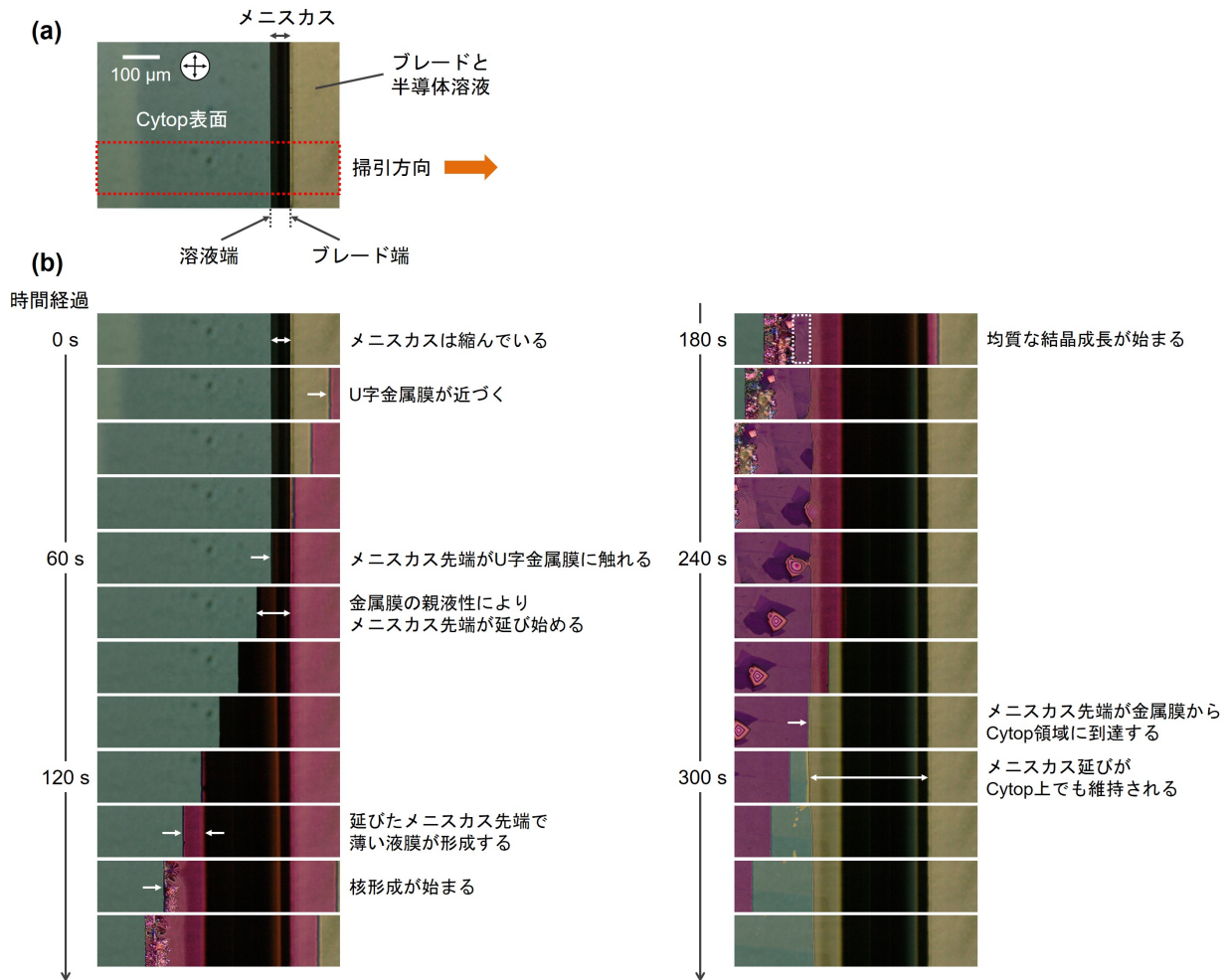


図4.9 高倍率での *in situ* 観察。メニスカス延びの開始・維持の時間 (t) 変化を追った。(a) $t = 0$ sでのメニスカス形状。(b) 図(a)の赤枠で囲った領域のメニスカス形状の時間発展(15 sごとに撮影)。はじめ Cytop 上で縮んでいたメニスカスが、金属膜上になることで延びはじめ、連続して Cytop 上にのることでメニスカス延びが維持される。

された。以上をまとめると、U字金属膜によるメニスカス延びの開始・維持を用いることで高撥液表面上への半導体塗布が可能になることがわかった。

この拡張メニスカス塗布法において、高撥液 Cytop 上でメニスカス延びが安定して実現する機構について考察する。本研究で用いた Ph-BTNT- C_n は π 電子骨格にアルキル鎖を置換した棒状分子である。アルキル置換棒状分子の溶液からの結晶成長メカニズムについてはこれまでに、気液界面で分子長軸が揃った液晶性の層状分子膜を形成し、次いで面内秩序が揃うことで結晶膜へ成長することが、分子動力学計算の結果から示唆されている¹⁰。ブレードコート法のような溶液掃引を用いる塗布法では、メニスカス先端領域の濡れ広がった薄い液膜表面で溶媒揮発が進行して半導体の層状分子膜が形成し、これが固体半導体膜として基板表面に着地していくことで、塗布製膜が実現すると考えられる。このとき、気液界面の半導体膜は基板上の半導体膜と連続しており、メニスカス先端領域は稠密な半導体膜で覆われている状態（図 4.8 (c) の模式図参照）であると考えられる。この場合メニスカス先端領域の液滴は、半導体膜が液滴表面を覆うことによる表面エネルギー利得を得ており、その表面張力は純溶媒の場合と比べてききにくくなっているため、高撥液表面であっても濡れ広がるができていと考察した。

実際に、メニスカス先端領域の高倍率クロスニコル観察を行ったところ、光学的異方性を有する（面内配向が揃った）半導体膜が溶液領域に存在し、かつ基板上の半導体膜と連続している様子が確認された（図 4.10）。この溶液領域の半導体膜は、前述した分子動力学計算の結果¹⁰を踏まえ、気液界面に存在するものと考えられる^{*6}。さらに、気液界面の半導体膜について、ブレード掃引と垂直方向に明瞭な結晶成長端が確認された。結晶成長端の動的变化を *in situ* 観察したところ、ブレード掃

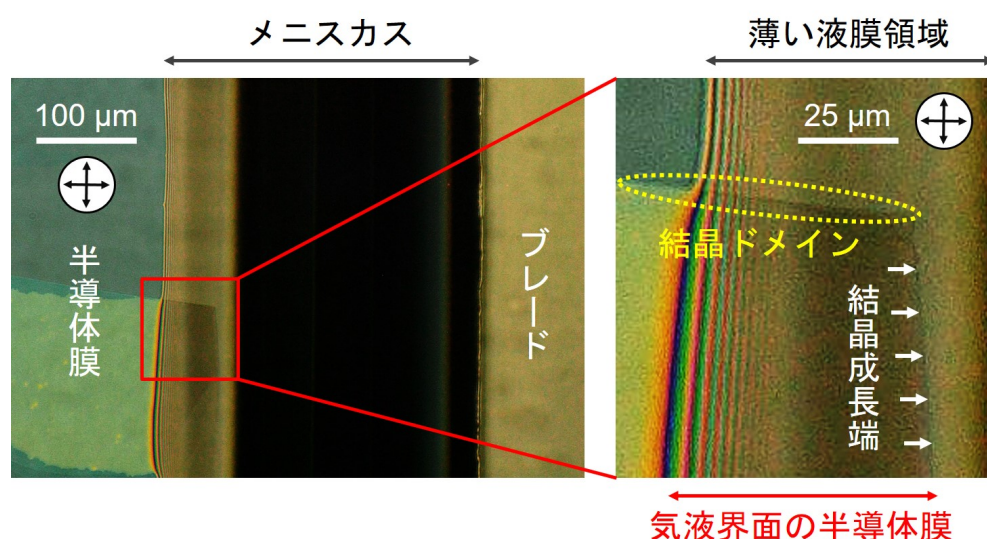


図 4.10 メニスカス先端領域の高倍率クロスニコル像。右図は、薄い液膜領域の拡大像。クロスニコルで視認できる結晶ドメインが薄い液膜領域に存在し、基板上の半導体膜と連続している。また、掃引方向（左から右）と垂直方向に、結晶成長端が存在する。クロスニコル像の見やすさのため、明るさ・コントラストを調整した。

*6 溶媒揮発が起こる気液界面では溶液濃度が高くなっていること、固体膜上に溶媒を滴下すると瞬時に再溶解すること等からも、半導体膜は気液界面に存在していることが示唆される。

時間経過

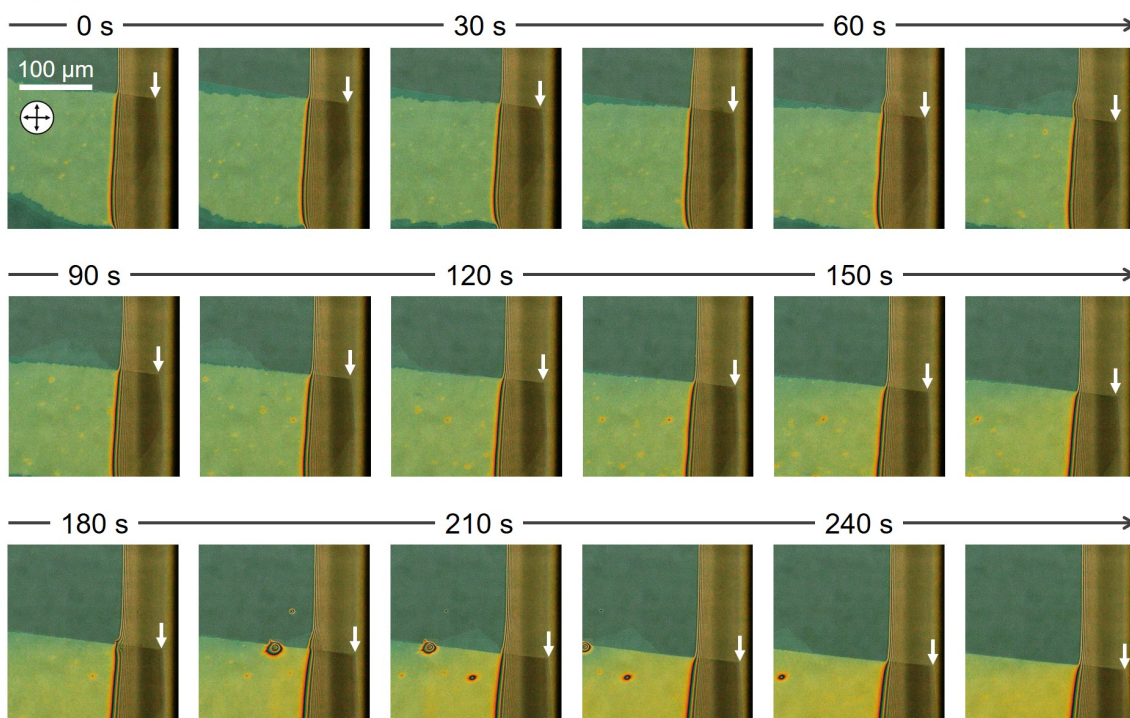


図 4.11 気液界面半導体膜の結晶成長端（図 4.10 右図と同じ領域）に着目した *in situ* 観察。結晶成長端を白矢印で示している。ブレード掃引に追従して結晶成長端が延びている様子が観察された。クロスニコル像の見やすさのため、明るさ・コントラストを調整した。

引速度 ($3.5 \mu\text{m s}^{-1}$) と同一の速度・方向で成長している（延びる）ことがわかった（図 4.11）。ブレード掃引速度と格子定数から分子吸着量を見積もると、 $5.2 \times 10^{19} \text{ 個 cm}^{-2} \text{ s}^{-1}$ となる^{*7}。吸着量は結晶厚みに比例し、Ph-BTNT- C_n では二分子膜（厚み 53 \AA ）を単位とする層状結晶が得られることから³⁸、例えば二分子膜一層では $2.7 \times 10^{12} \text{ 個 cm}^{-1} \text{ s}^{-1}$ と計算される。

上述したメニスカス延び・気液界面半導体膜を維持することが、拡張メニスカス塗布法で半導体塗布を実現するための要点である。さらに塗布製膜の必要条件として、溶液のメニスカス先端が延びて濡れ広がった状態が、ブレードの両端の領域に至るまで欠けることなく実現している必要があることがわかった（図 4.12 (a)）。仮にその両端付近でメニスカスが延びておらず半導体膜が存在しなければ、両端での溶液の表面張力は高いままであり、両端を起点に溶液には丸まろうとする力がはたらく。実際に、この「表面張力が高い領域」と「濡れ広がった領域」が共存した際には、前者が後者を凌駕するためブレード中ほどの高撥液絶縁層上での濡れ広がり易は容易に解消され、メニスカス先端は瞬時に縮むことが実験的に確認されている（図 4.12 (b)）。この条件を満たすためには、半導体を製膜する領域の両端が親液性領域（金属膜等）で閉じている必要があり、この観点で「U 字」パターンにおける平行な二本の直線領域が有効であると言える。

最後に、延びたメニスカスが親液性金属膜領域を横切る際のふるまいについて述べる。メニスカス

^{*7} ここでは、 a 軸方向に成長していると仮定し、ブレード掃引方向に垂直な面に対するフラックスとして計算した。結晶の格子定数は、 a 軸長 6.9 \AA 、 b 軸長 7.4 \AA である。

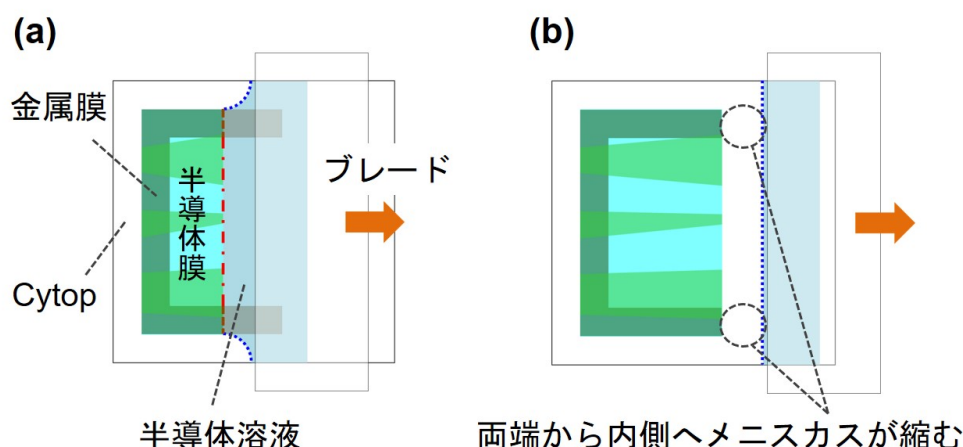


図 4.12 拡張メニスカス塗布法における製膜の必要条件。(a) 半導体膜と溶液が接する成長領域の両端が親液性領域（金属膜）で覆われている場合、製膜が継続する。(b) 両端に親液性領域がない場合、両端から内側へメニスカスが縮み、製膜は終了する。製膜には両端が保持されている必要があるため、いずれか一方でも親液性領域が消失すると製膜は終了する。

延びが起こっていない状態で金属膜領域に到達した場合は、金属膜を起点にメニスカス延びと結晶核生成・成長が始まる（図 4.9）。一方、メニスカスが延びて結晶成長が継続している状態で金属膜領域に到達した場合は、金属膜を起点とした結晶核生成は起こることなく^{*8}、元の結晶成長がそのまま継続することがわかった（図 4.13）。この結果は、Cytop 絶縁層上にソース・ドレイン電極を配した基板上においても、結晶性を乱すことなく均質な製膜ができることを示している。すなわち拡張メニスカス塗布法は、結晶性に優れた半導体チャネルを有する BC 型 TFT の構築手法として適用できると言える。

^{*8} 数 wt% 程度の高濃度溶液を用いた半導体塗布では、金属膜を起点に多数の結晶核生成が起こる「contact induced nucleation」が報告されている^{173,174}。本研究では希薄溶液（0.05 wt%）を用いて核生成レートを抑制しているため、余分な核生成は起こりにくい状態となっている。

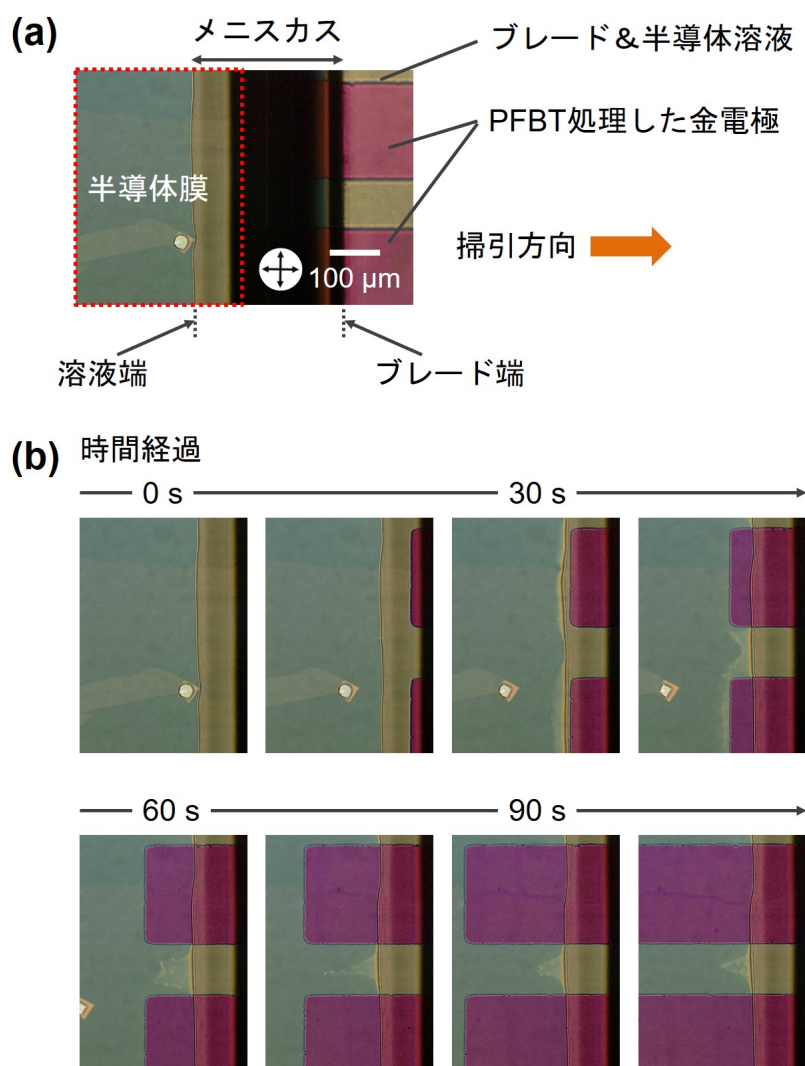


図 4.13 伸びたメニスカスが金属膜領域を横切る際の *in situ* 観察。(a) $t = 0 \text{ s}$ でのメニスカス形状。(b) 図 (a) の赤枠で囲った領域のメニスカス形状の時間発展 (15 s ごとに撮影)。親液性の金属膜領域においても、余分な核生成は起こらず、均質な結晶成長が継続する。

4.2.4 塗布半導体膜の評価

前節で開発した拡張メニスカス塗布法により、きわめて高撥液な Cytop 表面上に低分子系半導体を塗布形成することが可能となった。本節では、高撥液 Cytop 上に塗布形成した半導体膜の結晶性やモルフォロジの評価を行った。

まずは面内 X 線回折 (XRD) 測定により、塗布膜の結晶性を調べた。測定にあたり、クロスニコル観察における単一色ドメイン以外の領域を除去したサンプルを用意した (図 4.14 (a))。入射 X 線として $\text{CuK}\alpha$ 線 (波長 1.54 \AA) を用い、回折強度は 0 次元シンチレーションカウンターで検出した。ここではまず、検出器を (020) 面の回折方向で固定し^{*9}、基板を回転させる ϕ スキャンを行った (図 4.14 (b))。基板の 180° 回転に対して唯一の Bragg ピークが得られ、クロスニコル観察で一様な明滅を示すドメインは、優れた単結晶性を有していることを確認した。

次いで、回折角度方向を変化させる 2θ スキャンにより (図 4.14 (b))、(020) 面の回折角度を詳細に決め、 b 軸格子定数の見積もりを行った。高撥液 Cytop 上に塗布した半導体膜の格子定数は、親液性 SiO_2 上へ塗布した結晶膜や、バルク結晶と同程度の値を示すことがわかった (表 4.1)。高分子系

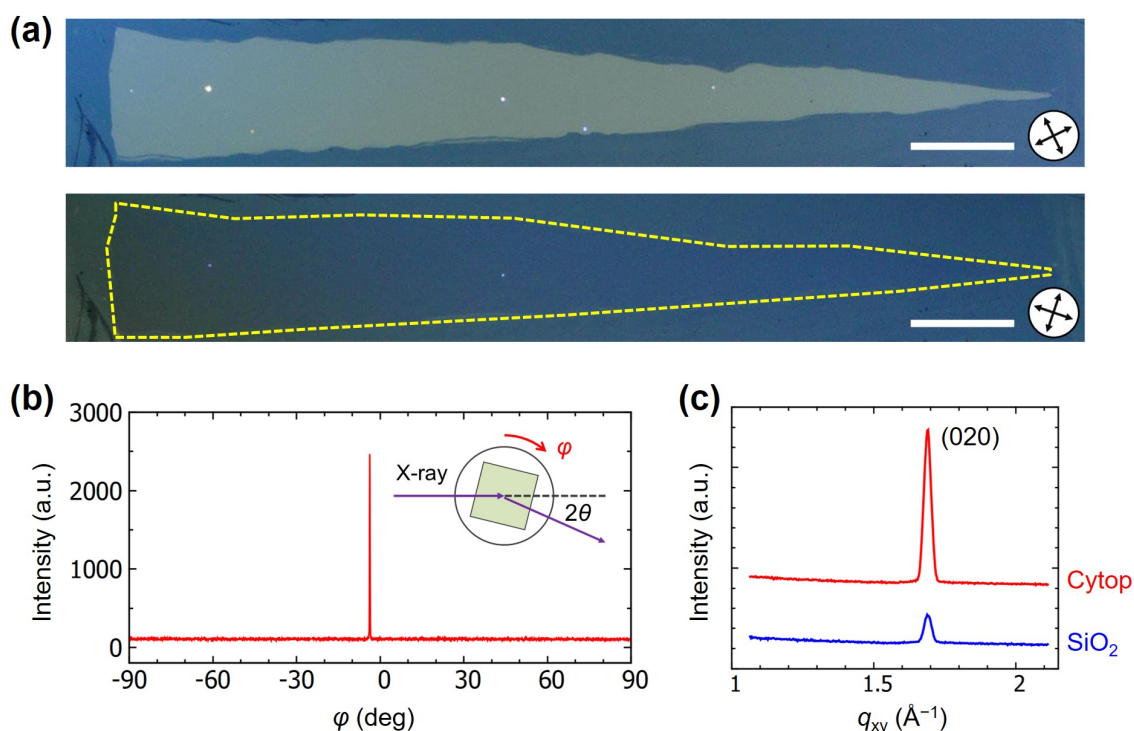


図 4.14 面内 XRD 測定。(a) 測定に用いたサンプル。クロスニコル観察において、入射偏光角度を 45° ずらすことで、一様な明滅が得られた。スケールバーは 1 mm 。(b) 検出器を (020) 面の回折角度 ($2\theta = 23.844^\circ$) に固定し、基板を回転させた ϕ スキャン測定。挿入図は、測定ジオメトリの模式図。(c) (020) 面の回折角近傍での 2θ スキャン測定。Cytop 上塗布膜に加え、参照用として、親液性 SiO_2 上に塗布製膜した半導体膜について同様に測定を行った。

^{*9} Ph-BTNT- C_n は、パウダーパターンで (020) 面に強い回折強度を示す³⁶。

表 4.1 図 4.14 (c) より求めた、Ph-BTNT- C_n 結晶の b 軸格子定数の比較。Cytop 上塗布膜、 SiO_2 上塗布膜は、鎖長混合溶液 (C_{10} と C_{12} を体積比 9:1 で混合) を塗布して作製した。バルク結晶については、Ph-BTNT- C_{10} について X 線構造解析を行った先行研究³⁶を参照している。

Cytop 上塗布膜	SiO_2 上塗布膜	バルク結晶 (文献値)
7.439 Å	7.434 Å	7.406 Å

半導体の場合は、基板の表面エネルギー（濡れ性）に応じて配向や電気特性が変化することが報告されている^{49,51,54}。一方、低分子系を用いた拡張メニスカス塗布法においては、半導体分子が気液界面で自己集合する性質を利用して塗布製膜を行っており、高撥液表面上の塗布膜においても格子定数や配向に劇的な変化は起こらないと考えられる。ここで、表 4.1 に示す Cytop 上塗布膜・ SiO_2 上塗布膜は、鎖長混合溶液 (C_{10} と C_{12} を体積比 9:1 で混合) を塗布して作製している。一方でバルク結晶については、Ph-BTNT- C_{10} について X 線構造解析を行った先行研究³⁶を参照している。鎖長混合物により得られる単層二分子膜の結晶構造は、短鎖単体（いまの場合は Ph-BTNT- C_{10} ）の構造に寄ることが示唆されており^{31,39}、本研究の結果はこれと整合する。

続いて、原子間力顕微鏡 (AFM) 測定により、塗布膜のモルフォロジを調べた (図 4.15)。Cytop 表面と半導体膜からなる段差に対して AFM 測定をおこなったところ、明瞭なステップ&テラス構造が得られた (図 4.15 (b))。これは、アルキル置換棒状分子半導体の塗布膜（親液性基板上）で典型的に見られる構造である^{11,38,40}。さらに分子膜の厚みは、二分子膜一層の厚み（結晶格子の c 軸長）とよく一致することがわかった (図 4.15 (c,d))。すなわち、鎖長混合物 (C_{10} と C_{12}) による層間フラストレーション効果による積層抑制がはたらいており、高撥液 Cytop 上においても層数を制御した高

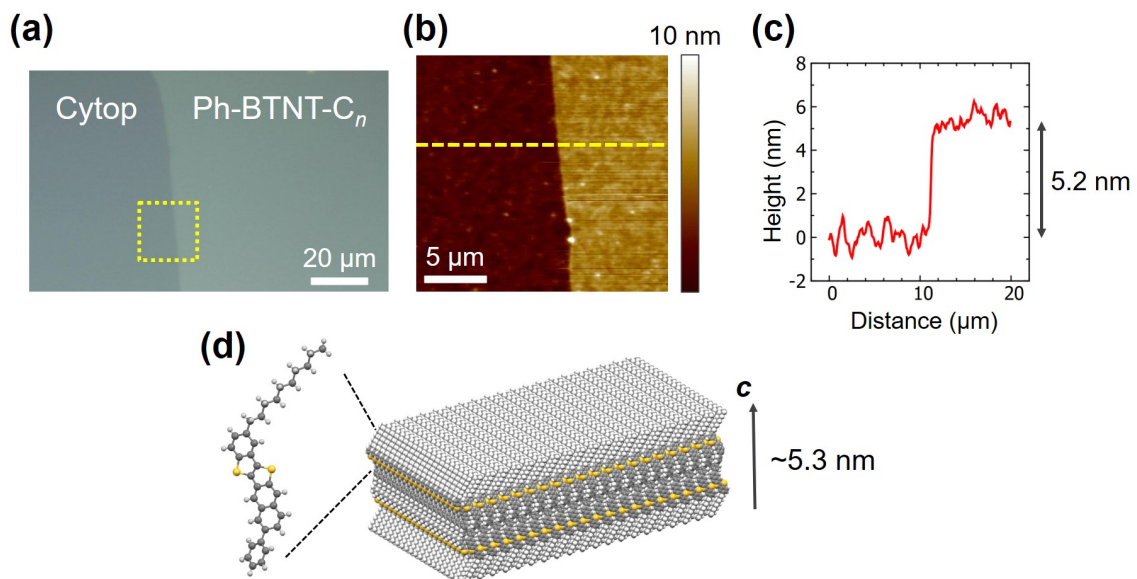


図 4.15 AFM 測定。(a) AFM 測定を行った Cytop・半導体膜の光学像。(b) 図 (a) の黄色枠線領域の二次元高さプロファイル。(c) 図 (b) の黄色点線の断面高さプロファイル。(d) 単層二分子膜の模式図。ここでは Ph-BTNT- C_{10} のみを用いて示している。

均質な半導体膜が得られることが確認された。

4.3 TFT 構築と電気特性

4.3.1 試料作製

前節までで、拡張メニスカス塗布法により、高撥液 Cytop 上に高結晶性・高均質な半導体薄膜が得られることがわかった。本節では、高撥液 Cytop 絶縁層・半導体塗布結晶膜の界面を有する BC 型 TFT の構築と、電気特性の検証を行った。素子作製では、熱酸化膜 (SiO_2) 付シリコン基板上に Cytop を塗布し、金電極の蒸着、PFBT 処理を行った後、拡張メニスカス塗布法を用いて Ph-BTNT- C_n を製膜した。図 4.16 に、Cytop・蒸着金電極からなる表面上に Ph-BTNT- C_n を製膜した TFT の光学像を示す。U 字金属膜に加え、メニスカス延びの保持のための金属膜、ソース・ドレイン電極を含む

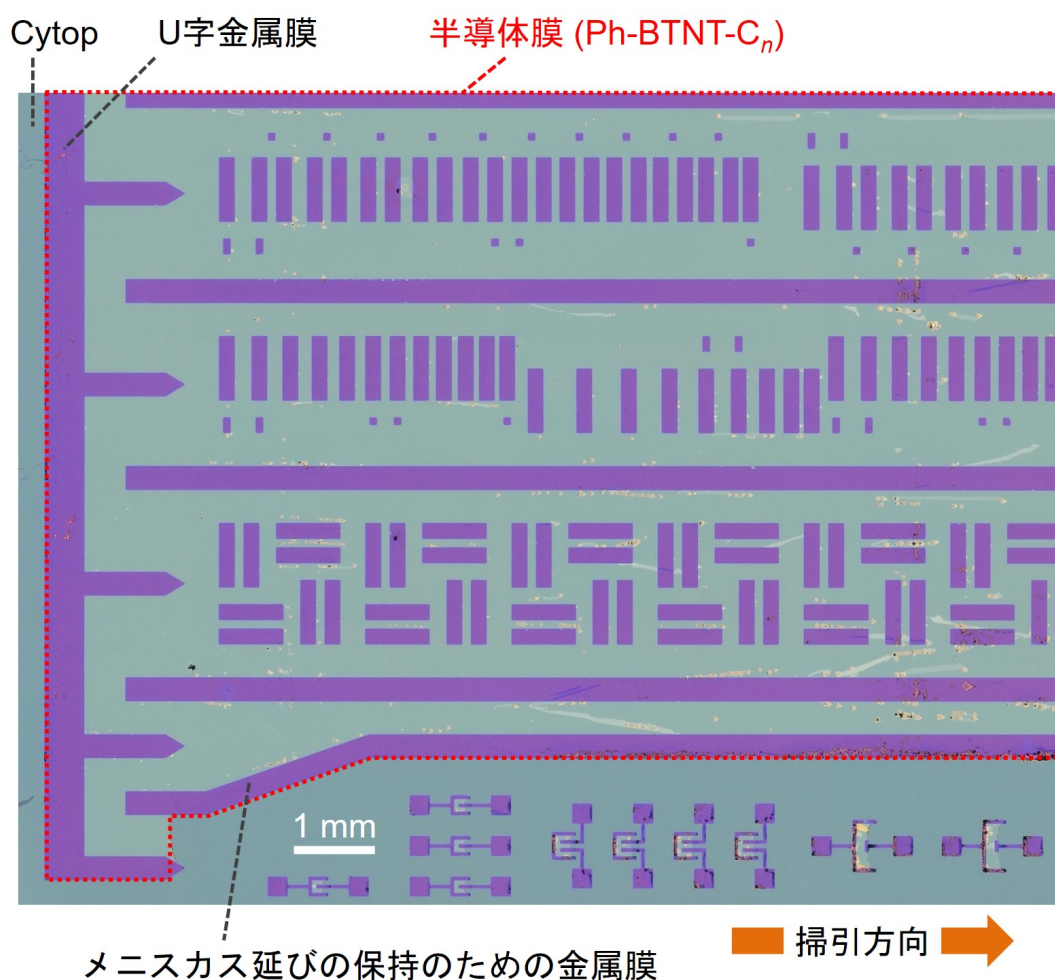


図 4.16 Cytop・蒸着金電極からなる表面上に製膜した Ph-BTNT- C_n の塗布膜（赤枠領域内に存在する）。溶液は左から右へ掃引した。蒸着金パターンは、複数の U 字金属膜が連結したメニスカス延びを開始する領域と、半導体製膜領域の両端を親液性としてメニスカス延び（薄い液膜）を保持するための金属膜領域からなる。

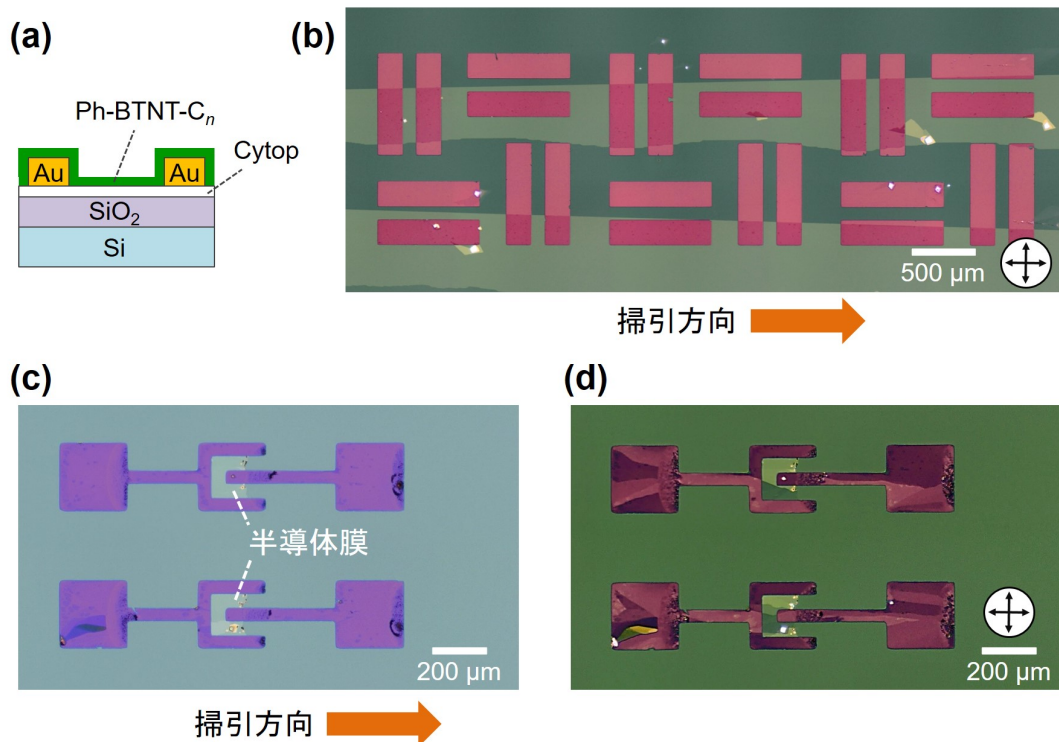


図 4.17 Ph-BTNT- C_n の結晶膜を用いた TFT。(a) TFT 構造。高ドーピングしたシリコン基板をゲート電極、シリコン熱酸化膜 (SiO_2) 100 nm と Cytop 25 nm の複層構造をゲート絶縁層とした。PFBT 処理した蒸着金をソース・ドレイン電極、その上に塗布した Ph-BTNT- C_n をチャンネル層とした。(b) TFT 素子のクロスニコール像。単一あるいは数個の結晶ドメインからなる、結晶性の高いチャンネルが形成されている。(c,d) ソース電極を U 字金属膜として用いた素子の無偏光光学像 (c) とクロスニコール像 (d)。U 字金属膜が途切れるとメニスカスが縮み膜成長が終わるため、溶液を掃引するだけで自動的に TFT 素子分離が可能となる。クロスニコール像 (b,d) は見やすさのため、明るさ・コントラストを調整した。

パターン上において、大面積にわたって均質薄膜が得られた。図 4.17 (a,b) に、作製した TFT の構造とクロスニコール像を示す。単一あるいは数個の結晶ドメインからなる高結晶性の半導体膜が、ソース・ドレイン電極の全体を覆っている様子が観察された。また、半導体製膜は図 4.12 で述べたように、製膜領域の両端が親液性の金属膜で閉じているときのみ進行する。よって、U 字金属膜をソース電極とすることで、製膜の過程で TFT の素子分離が自動的に行われる (図 4.17 (c,d))。この拡張メニスカス塗布法ならではの素子分離能は、複数の TFT を組み合わせてデバイス化する際に、素子間のリーク電流を抑制するために有効に用いることができる。

4.3.2 電気特性

作製した TFT の典型的な電気特性を図 4.18 に示す。出力特性 (図 4.18 (a)) では、2 V 以下の低電圧で電圧印加履歴 (ヒステリシス) がなく、かつ明瞭な線形・飽和のふるまいが得られた。伝達特性 (図 4.18 (b,d)) は、鋭いオンオフスイッチング、0 V 近傍での立ち上がりを示し、優れた低電圧駆動特性が得られた。デバイス移動度の V_g 依存性 (図 4.18 (c,e)) より、2 V 以下の低電圧で V_g に依

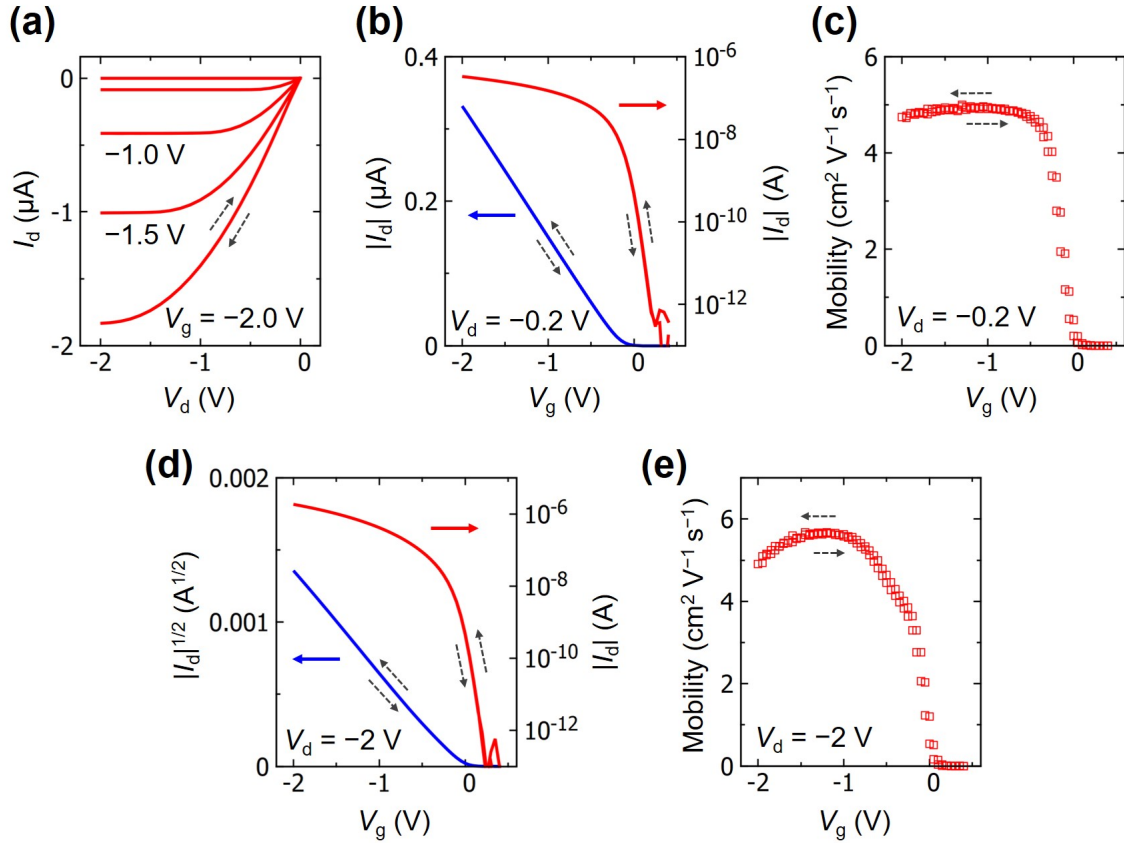


図 4.18 Ph-BTNT-C_n の結晶膜を用いた TFT の典型的な電気特性。(a) 出力特性。(b,c) 線形領域 ($V_d = -0.2$ V) の伝達特性 (b) とデバイス移動度の V_g 依存性 (c)。(d,e) 飽和領域 ($V_d = -2$ V) の伝達特性 (d) とデバイス移動度の V_g 依存性 (e)。TFT の光学像は図 4.17 (b) に相当する。チャネル長 $L = 100$ μm 、チャネル幅 $W = 800$ μm 、ゲートキャパシタンス $C_i = 23$ nF cm^{-2} 。

存しない明瞭なキャリアドリフトを示すことがわかった。フィッティングにより得られたデバイス移動度は $4.9 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (線形) と $5.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (飽和) であり、トップコンタクト型 TFT で報告されている値³⁶ ($6.3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) と矛盾のない良好な値であった。以上、高撥液 Cytop 上に半導体結晶膜を塗布した系において、急峻スイッチングと高移動度を両立できることがわかった。

ここで、スイッチング特性に着目する (図 4.19)。56 個の TFT 素子の伝達特性を重ねた結果を図 4.19 (a) に示す。測定したすべての素子で、0 V 近傍で立ち上がり、かつ高急峻なスイッチング特性が得られた。閾値下 (サブスレッショルド領域) でのスイッチング鋭さの指標である SS 値は、最小で 63 mV dec^{-1} と見積もられた (図 4.19 (b))。これは、室温 (300 K) における SS 値の理論限界 59.6 mV dec^{-1} に迫る、きわめて急峻な値である。また、SS 値の定義である次式にしたがって、スイッチング急峻さの V_g 依存性を見積もった (図 4.19 (c))。

$$\text{SS} = \left(\frac{d \log |I_d|}{dV_g} \right)^{-1} \quad (4.1)$$

これより、0.05 V から -0.05 V 程度の立ち上がり領域において、理論限界に匹敵する高急峻スイッチング特性が実現していることが確認できる。また、SS 値や立ち上がり電圧 (V_{on}) のばらつきはきわめて抑制されており (図 4.19 (d,e))、低電圧駆動に有効な絶縁層・半導体界面が基板内で一様に実

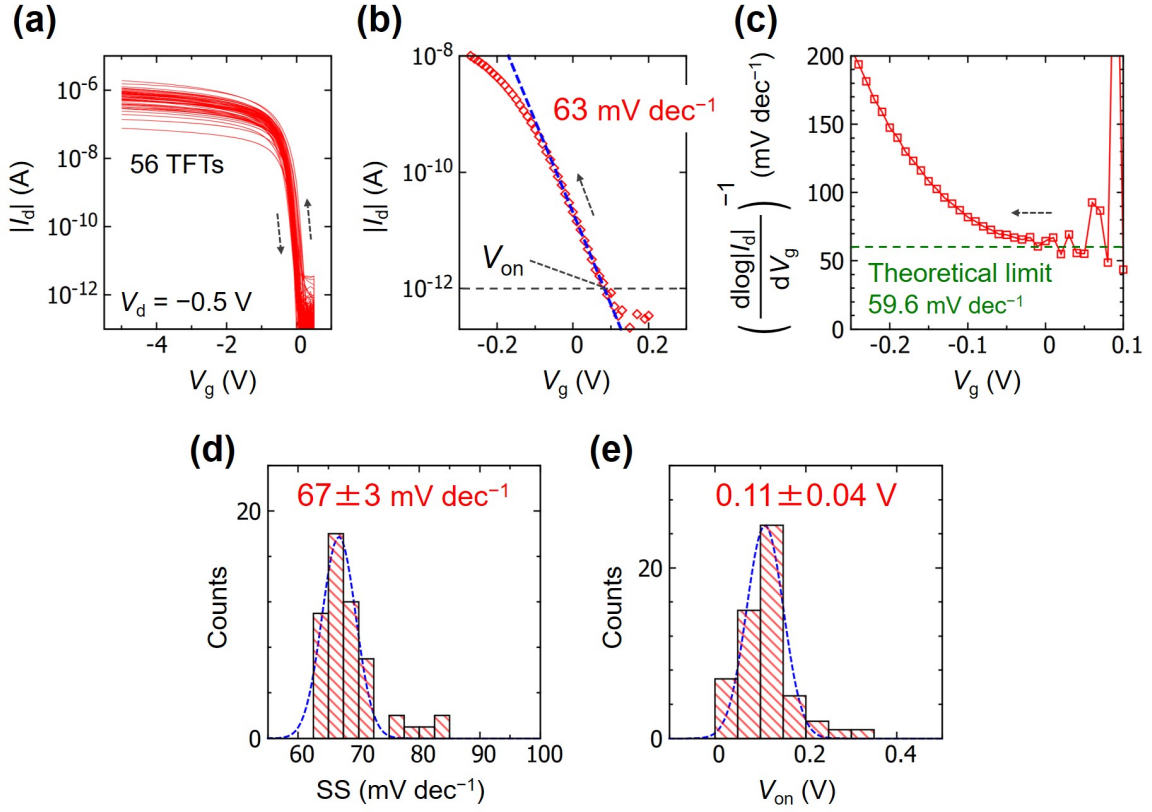


図 4.19 Ph-BTNT-C_n の結晶膜を用いた TFT のスイッチング特性。(a) 56 素子の伝達特性の重ね合わせ (同一基板上)。(b) スwitching 領域での伝達特性。SS 値のフィッティングは $10^{-11.5}$ から 10^{-10} A の間で行った。立ち上がり電圧 (V_{on}) は、SS 値のフィッティング直線が 10^{-12} A と交わる電圧値と定義した。(c) 式 (4.1) より求めた SS 値の V_g 依存性。(d) SS 値の統計分布。(e) V_{on} の統計分布。(b–e) の特性は、伝達特性の forward 掃引 (V_g が正から負方向) の電流値を参照している。

現していることが示唆される。

4.3.3 絶縁層界面に応じた電気特性の比較

ここで Cytop 絶縁層界面との比較のため、従来からよく用いられている親液性 SiO₂ 絶縁層上に Ph-BTNT-C_n を塗布製膜して、BC 型 TFT 構築を行った (図 4.17 (a) において Cytop がいない構造に相当する)。伝達特性の比較を図 4.20 (a) に示す。SiO₂ 界面では SS 値は平均で 200 mV dec^{-1} 程度にとどまり、かつヒステリシスが再現よく生じた。すなわち、Cytop 絶縁層界面を用いることにより、SS 値は理論限界 (59.6 mV dec^{-1}) に迫る値まで急峻化し、かつヒステリシスフリーが実現することがわかった。いま、Cytop 界面と SiO₂ 界面デバイスについて、電極・半導体界面は同一の状態であるとして考えず、SS 値は絶縁層・半導体界面の状態で決まると仮定する。このもとでは、SS 値はゲートキャパシタンス (C_i) と界面トラップ密度 (D_{it}) の組み合わせで、以下のように書ける^{16,20,84,107}。

$$SS = \frac{k_B T \ln 10}{q} \left(1 + \frac{q^2 D_{it}}{C_i} \right) \quad (4.2)$$

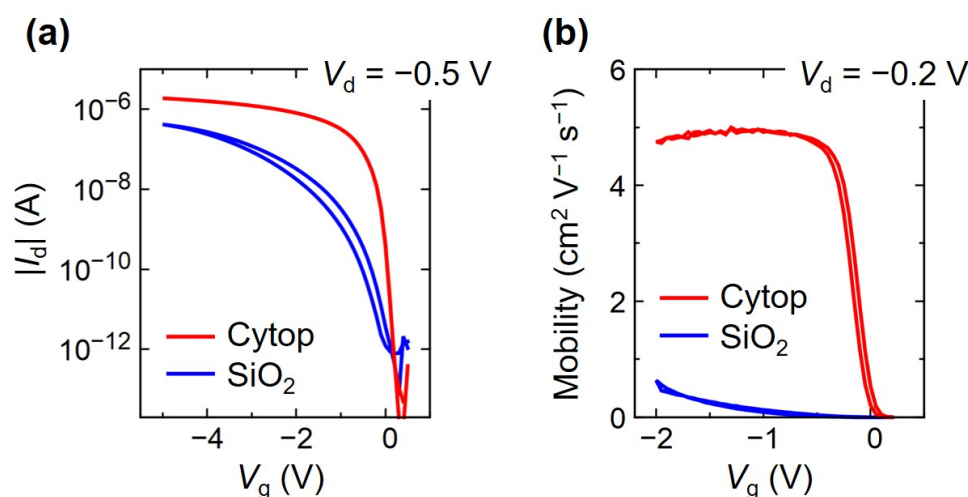


図 4.20 絶縁層界面に応じた電気特性の比較。(a) 伝達特性。(b) デバイス移動度の V_g 依存性。

表 4.2 絶縁層界面に応じた SS 値の比較。 D_{it} は式 (4.2) より求めた。SS 値は、平均値を示している。

絶縁層界面	C_i (nF cm ⁻²)	SS 値 (mV dec ⁻¹)	D_{it} (eV ⁻¹ cm ⁻²)
Cytop	23	67	1.8×10^{10}
SiO ₂	35	201	5.1×10^{11}

k_B はボルツマン定数、 T は絶対温度、 q は電荷素量である。この式で D_{it} は、SS 値に関わる深い^{*10}状態密度を意味しており、導出にあたっては D_{it} がエネルギー準位によらないという仮定をおいている。式 (4.2) を用いて界面トラップ密度を見積もった結果を表 4.2 に示す。Ctyop 界面でのトラップ密度は SiO₂ 界面と比べて一桁以上抑制されており、Cytop 絶縁層界面が優れたトラップ抑制能を有していることを示唆している。また、Cytop 界面で得られたトラップ密度 (1.8×10^{10} eV⁻¹ cm⁻²) は、単純に値だけで比較を行うと、良好な Si/SiO₂ 界面 (1.4×10^{10} eV⁻¹ cm⁻²) に匹敵するきわめて優れたオーダーである¹⁷⁵。

ただし界面トラップ密度 D_{it} は、絶縁層界面のみならず電極界面の寄与も反映した量であることが示唆されており、実際に同一の絶縁層・半導体界面を用いた場合であっても、電極・半導体界面状態によって SS 値 (D_{it}) が変わるという報告がなされている⁸⁷。すなわち、本研究で作製した Cytop 絶縁層・半導体結晶膜・蒸着金 (PFBT 処理) からなる界面デバイスが理論限界に迫る SS 値を示した起源として、Cytop 界面のみならず電極界面においてもキャリアトラップが抑制されている結果と考えるべきである。そのため、 D_{it} に対する絶縁層の寄与を議論する際は、電極界面を統一して絶縁層界面のみを変えた場合で比較する必要がある。

図 4.20 では、絶縁層界面 (Cytop と SiO₂) のみを変えたデバイスで比較をしているため、ここで得られた SS 値や D_{it} の違いは (表 4.2)、実際に絶縁層界面の寄与の違いであることが示唆される。すなわち、Cytop 絶縁層界面がトラップ抑制に有効であることは実験的に確からしいと言える。Cytop

^{*10} V_g を印加したときに最初にキャリアが埋まっていく (バンド端から最も遠い) エネルギー領域の準位に相当する。

界面がトラップを抑制しうる起源として、パーフルオロの分子構造ゆえ極性基や吸着分子が抑制された表面が実現していること¹⁷、誘電率が低く表面の双極子乱れが小さいこと等に由来して^{79,80}、半導体層に対する電気的な相互作用が極小化され、半導体本来の輸送特性を引き出すことができると考えられる。

また、デバイス移動度の V_g 依存性を比較したところ (図 4.20 (b))、Cytop 界面デバイスでは 0.5 V 程度で明瞭なキャリアドリフト (移動度一定の領域) が観察された一方で、 SiO_2 界面デバイスでは 2 V まで印加しても移動度が上昇し続ける傾向が得られた。 SiO_2 界面でのこのふるまいは、2 V 程度の V_g 印加では依然として半導体フェルミエネルギー (E_F) はトラップ状態密度のなかにとどまっており、 V_g 印加によって E_F と移動度端のエネルギー差 (活性化エネルギー) が小さくなっていく描像であると考えられる。この傾向はペンタセン多結晶等、トラップが支配的なキャリア伝導が起こる系でよく報告されている¹⁵⁵。また、 SiO_2 上に形成した Ph-BTNT- C_n 結晶膜を用いた先行研究において、数十 V 程度の電圧印加を行うことで一定移動度のドリフト領域が観測されていることから¹³、 E_F を移動度端に近づけるためには数十 V の高電圧を印加してトラップ準位を埋める必要があると考えられる。一方で Cytop 上に形成した Ph-BTNT- C_n 結晶膜については、わずか 0.5 V で高移動度のドリフト領域に達していることから、移動度端直下のトラップ準位はきわめて抑制されていると考えられる。以上、Cytop 絶縁層・Ph-BTNT- C_n 結晶膜界面における SS 値および移動度のふるまいを踏まえると、SS 値に関わる深い準位からバンド端直下の浅い準位まで、総合的なトラップ抑制が実現していることが示唆される。

4.3.4 先行研究との比較

表 4.3 に、急峻スイッチングを報告している先行研究の電気特性と、本研究で得られた電気特性をまとめた。式 (4.2) より得られるトラップ密度 D_{it} は、SS 値の C_i 効率を示す相対的な指標と考えることができ、 D_{it} が小さいほどより低 C_i で急峻 SS 値が得られることになる。Cytop 絶縁層・Ph-BTNT- C_n 結晶膜界面により得られた D_{it} は、平均で $1.8 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ という値であり、先行研究と比較してもきわめて小さい D_{it} (優れた C_i 効率) に分類できる。先行研究では急峻スイッチングを実現するために、半導体と絶縁ポリマーをブレンドした溶液塗布による高品質界面の形成、あるいは気相成長 (PVT) させた (塗布でない) 単結晶を Cytop に貼り付けることにより作製した高品質界面等が用いられてきた。しかしこれらの系では、高移動度と塗布製膜の両立が実現していなかった。一方本研究では、高撥液な Cytop 上に高均質結晶薄膜を塗布するというアプローチ (= 拡張メニスカス塗布法) を考案し適用した系において、理論限界に迫る高急峻スイッチングと高移動度が両立しうることを実証した。Cytop 絶縁層・塗布結晶膜界面では、半導体の高結晶性を維持したままきわめて小さい D_{it} を実現することができ、この界面が優れた低電圧駆動特性に寄与していると考えられる。

表 4.3 本研究と先行文献における、SS 値と D_{it} 、および移動度の比較。平均値が言及されている文献からは平均値、言及されていない文献には*を記して代表値（最高値）を引用。移動度は飽和領域の値を引用。半導体名に (PS) とあるものは、半導体とポリスチレン (PS) の混合溶液の塗布を用いている。半導体名に (PVT) とあるものは、Physical Vapor Transport (物理気相成長法) を用いており、塗布作製ではない。物質名: PVC, poly(vinyl cinnamate); PS, polystyrene; TIPS-PEN, 6,13-bis(triisopropylsilyl)ethynyl-pentacene; PTS, trichlorophenylsilane; PVA, poly(vinyl alcohol); PVDF(ter), poly(vinylidene fluoride-trifluoroethylene-chlorofluoroethylene), P(VDF-TrFE-CFE) と略す; C8-DTBDT, 2,7-dihexyldithieno[2,3-*d*:2',3'-*d'*]benzo[1,2-*b*:4,5-*b'*]dithiophene; PEN, pentacene。

参照	SS 値 (mV dec ⁻¹)	C_i (nF cm ⁻²)	D_{it} ($\times 10^{10}$ eV ⁻¹ cm ⁻²)	絶縁層	移動度 (cm ² V ⁻¹ s ⁻¹)	半導体
本研究						
最高値	63	23	0.91	Cytop/SiO ₂	5.5	Ph-BTNT-C _n
平均値	67	23	1.8	Cytop/SiO ₂	2.7	Ph-BTNT-C _n
文献						
107	62	2.8	0.084	PVC	N/A	C ₈ -BTBT (PS)
20	65	4.7	0.27	Cytop	14	Rubrene (PVT)
151*	87	5	1.4	PVC/ES2110	0.89	TIPS-PEN (PS)
106*	67	25	1.9	PTS/SiO ₂	1	TIPS-PEN (PS)
149*	97	10.2	3.9	PVC	0.6	TIPS-PEN (PS)
147*	100	12.2	5.2	PVA	1	TIPS-PEN (PS)
176*	250	2.9	5.8	SU8	0.4	TIPS-PEN (PS)
177	73	46.3	6.5	PVC/PVDF(ter)	0.12	TIPS-PEN (PS)
150*	140	8.6	7.3	PVC	0.37	TIPS-PEN (PS)
115*	116	13	7.8	PVC	0.1	C ₈ -BTBT (PS)
145	100	23.6	10	Parylene diX-SR	0.8	C ₈ -DTBDT (PS)
102	290	4.5	11	Cytop	1.4	PEN (PVT)
146	102	25	11	PS/SiO ₂	3.8	Ph-BTBT-C ₁₀

4.4 全塗布型 TFT 構築と電気特性

4.4.1 試料作製

Cytop は、電極配線を印刷形成するための下地層として用いることができる（スーパーナップ法）⁶⁹。そこで、ゲート電極、ソース・ドレイン電極すべてをスーパーナップ法により形成し、かつ拡張メニスカス塗布法により Cytop 絶縁層・半導体結晶界面を形成できれば、トラップを抑制した低電圧駆動 TFT を全塗布により実現できると期待される。本節では、スーパーナップ法と拡張メニスカス塗布法の統合による、全塗布 TFT 構築と低電圧駆動化を試みた。

図 4.21 に、Cytop・印刷銀電極上に拡張メニスカス塗布法を適用した結果を示す。U 字金属膜を含む電極パターンを、スーパーナップ法により印刷形成した（図 4.21 (a)）。印刷銀電極はクロロベンゼンに対して高い親液性を示し、U 字金属膜を用いることで、高均質な結晶膜を塗布形成できることが確認された（図 4.21 (b)）。

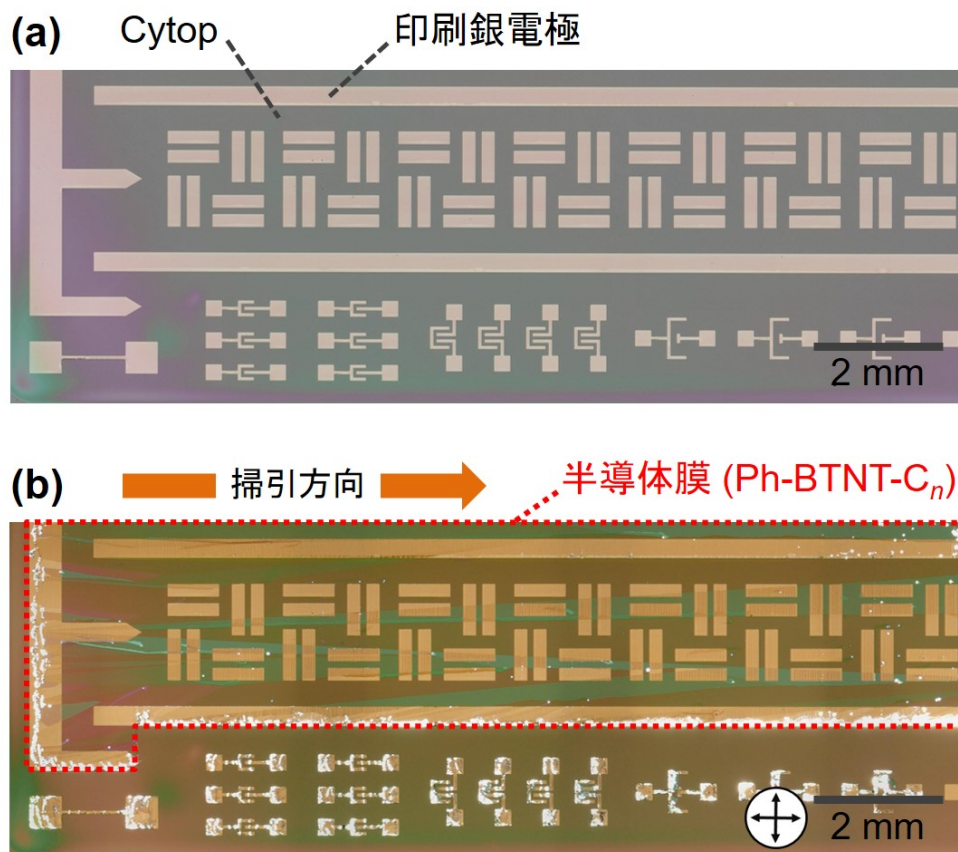


図 4.21 スーパーナップ法と拡張メニスカス塗布法の統合による、Cytop 絶縁層・塗布結晶膜・印刷電極界面の形成。(a) スーパーナップ法により形成した Cytop・印刷電極パターン。(b) 拡張メニスカス塗布法を用いて形成した、Ph-BTNT-C_n の塗布結晶膜のクロスニコール像。本素子は Cytop・印刷銀電極上での半導体製膜性を確認するためのものであり、ゲート電極は印刷形成せず、シリコン基板上に Cytop・印刷銀電極を形成して用いた。

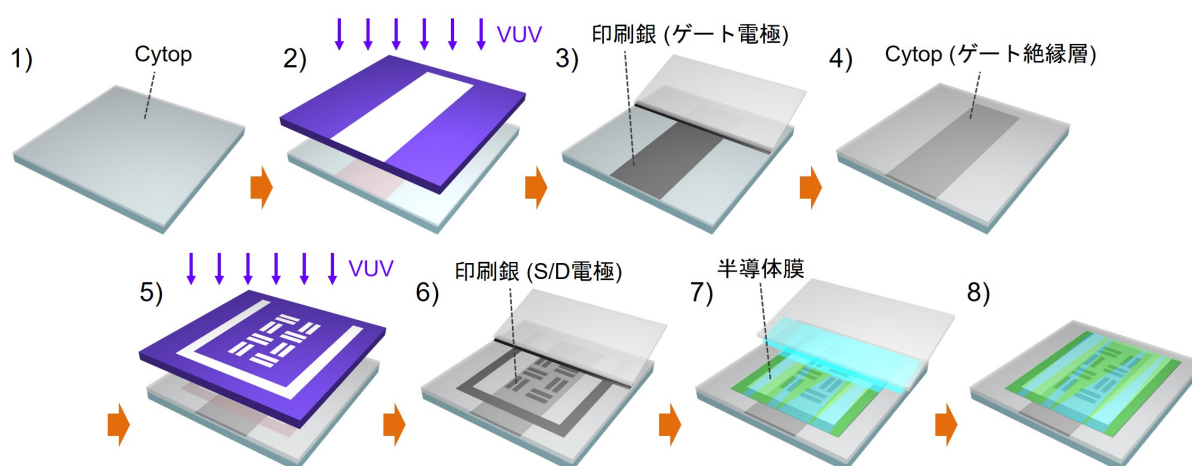


図 4.22 全塗布型 TFT の作製プロセス。(1) ゲート電極下地層となる Cytop の塗布。(2) フォトマスクを通じた VUV 露光。(3) ゲート電極の印刷。(4) ソース・ドレイン (S/D) 電極下地層かつゲート絶縁層となる Cytop の塗布。(5) フォトマスクを通じた VUV 露光。(6) S/D 電極の印刷。印刷後、PFBT 気相処理を行った。(7) 半導体結晶膜の塗布。(8) 全塗布型 TFT の完成。

スーパーナップ法と拡張メニスカス法を用いた全塗布 TFT の作製プロセスを図 4.22 に示す。このなかで昇温工程は、Cytop の塗布後の乾燥（大気下、80°C で 1 時間）と印刷電極の焼成（大気下、80°C で 10 分）のみであり、大気圧・80°C 以下の全塗布工程で TFT を作製した。

4.4.2 電気特性

作製した全塗布型 TFT の構造と電気特性を図 4.23 に示す。5 V 程度の低電圧で、ヒステリシスの抑制された典型的な出力特性（図 4.23 (b)）、明瞭なオンオフスイッチング（図 4.23 (c)）、 $2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度の良好なデバイス移動度（図 4.23 (d)）が得られた。全塗布型 TFT 構築にあたり、ゲート絶縁層には Cytop の単層を用いており、その厚みは絶縁性保護のため比較的厚め（600 nm）としている。そのため、ゲートキャパシタンス (C_i) は前節までの蒸着金デバイスと比べると 1/10 程度の低

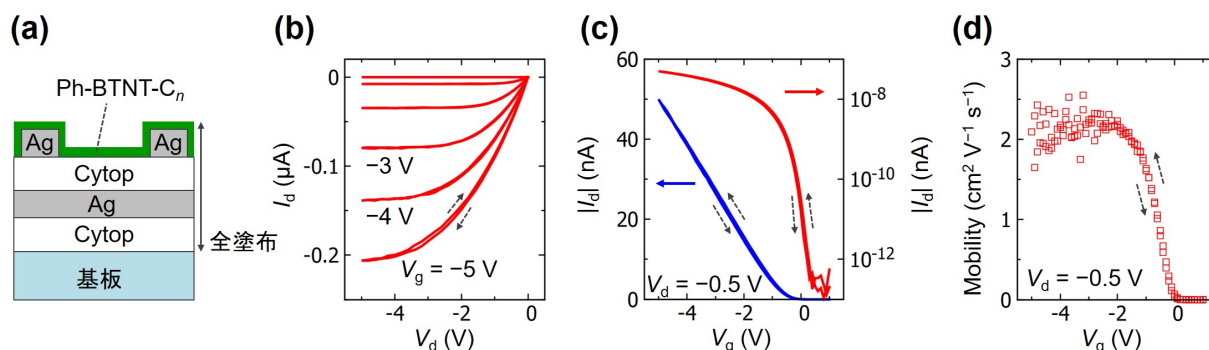


図 4.23 ガラス基板上に作製した全塗布型 TFT。(a) デバイスの断面模式図。(b) 出力特性。(c,d) 線形領域 ($V_d = -0.5 \text{ V}$) の伝達特性 (c) とデバイス移動度の V_g 依存性 (d)。チャネル長 $L = 200 \text{ } \mu\text{m}$ 、チャネル幅 $W = 800 \text{ } \mu\text{m}$ 、ゲートキャパシタンス $C_i = 2.9 \text{ nF cm}^{-2}$ 。

表 4.4 全塗布型 TFT と蒸着金 TFT のスイッチング特性の比較。 D_{it} は式 (4.2) より求めた。SS 値は、平均値を示している。

S/D 電極	参照	C_i (nF cm ⁻²)	SS 値 (mV dec ⁻¹)	D_{it} (eV ⁻¹ cm ⁻²)
印刷銀 (全塗布作製)	図 4.23	2.9	170	3.5×10^{10}
蒸着金	図 4.18	23	67	1.8×10^{10}

い値である (表 4.4)。このような低い C_i にも関わらず、SS 値は 170 mV dec⁻¹ 程度の急峻スイッチング特性を示し、式 (4.2) より求めたトラップ密度 D_{it} は 10^{10} eV⁻¹ cm⁻² オーダーの良好な値であった。すなわち、スーパーナップ法の工程 (マスク露光、銀ナノインクのブレード掃引) を経ても、Cytop 界面のトラップ抑制能が著しく損なわれることはないことが確認された。

4.4.3 印刷銀電極近傍の観察

表 4.4 に示すように、全塗布型 TFT の D_{it} (3.5×10^{10} eV⁻¹ cm⁻²) は蒸着金 TFT の D_{it} (1.8×10^{10} eV⁻¹ cm⁻²) と比べ、再現よく増大を示す傾向が得られた。そこで電極近傍の様子をミクロスケールで観察したところ、印刷電極の場合はラフネスや結晶の平坦性が大きく乱されていることがわかった (図 4.24)。スーパーナップ法では、VUV の露光領域に銀ナノ粒子を化学吸着させることで電極配線を形成する。しかし電極近傍を SEM で観察した結果 (図 4.24 (a))、非露光領域においてもランダムに物理吸着した銀ナノ粒子 (粒径 10 nm 程度) が存在することがわかった。すなわち全塗布型 TFT の絶縁層界面は、銀ナノ粒子がランダムに存在する Cytop・銀ナノ粒子の混合界面であると考えられる。また、半導体を塗布した後に電極端近傍を AFM で観察したところ (図 4.24)、銀ナノ粒子由来

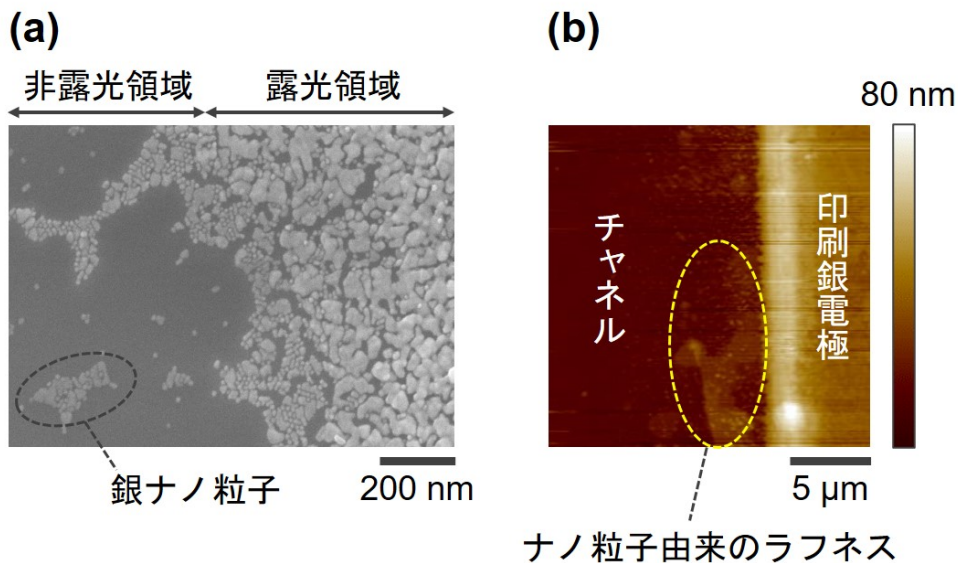


図 4.24 (a) 印刷電極端の SEM 像。粒径 10 nm 程度の銀ナノ粒子が、非露光領域においても存在する。(b) Cytop・印刷銀電極上に半導体を塗布した後の、電極端近傍の AFM 像。銀ナノ粒子のラフネスを反映した半導体表面形状が観察された。

のラフネスを反映した半導体表面形状が得られた。すなわち、半導体膜の平坦性は銀ナノ粒子により乱されており、かつ活性な銀ナノ粒子が Cytop と半導体層の間に残存するために、印刷銀デバイスは蒸着金デバイスと比べ、トラップ D_{it} が増大している可能性が考えられる^{*11}。

しかしながら、このような 10 nm スケールのラフネス・活性な銀ナノ粒子を有する界面を用いてもなお、厚みわずか 5.2 nm (図 4.15) の Ph-BTNT- C_n 半導体膜により比較的急峻なスイッチング (170 mV dec^{-1})・高移動度 ($1 > \text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$) が BC 型 TFT で実現している点は興味深い。Ph-BTNT- C_n の結晶膜では、絶縁層・電極の表面ラフネスによらずに良好なキャリア輸送界面を維持できていることが示唆される。

4.5 拡張メニスカス塗布法の半導体材料適用幅

4.5.1 高撥液絶縁層上への塗布製膜

前節までで、Ph-BTNT- C_n を Cytop 上に塗布した BC 型 TFT において、高急峻スイッチングと高移動度が両立できることがわかった。本節では、複数の非対称置換材料に対して拡張メニスカス塗布法を用いて製膜性と電気特性の比較検討を行い、本プロセスの材料適用幅を調べた。

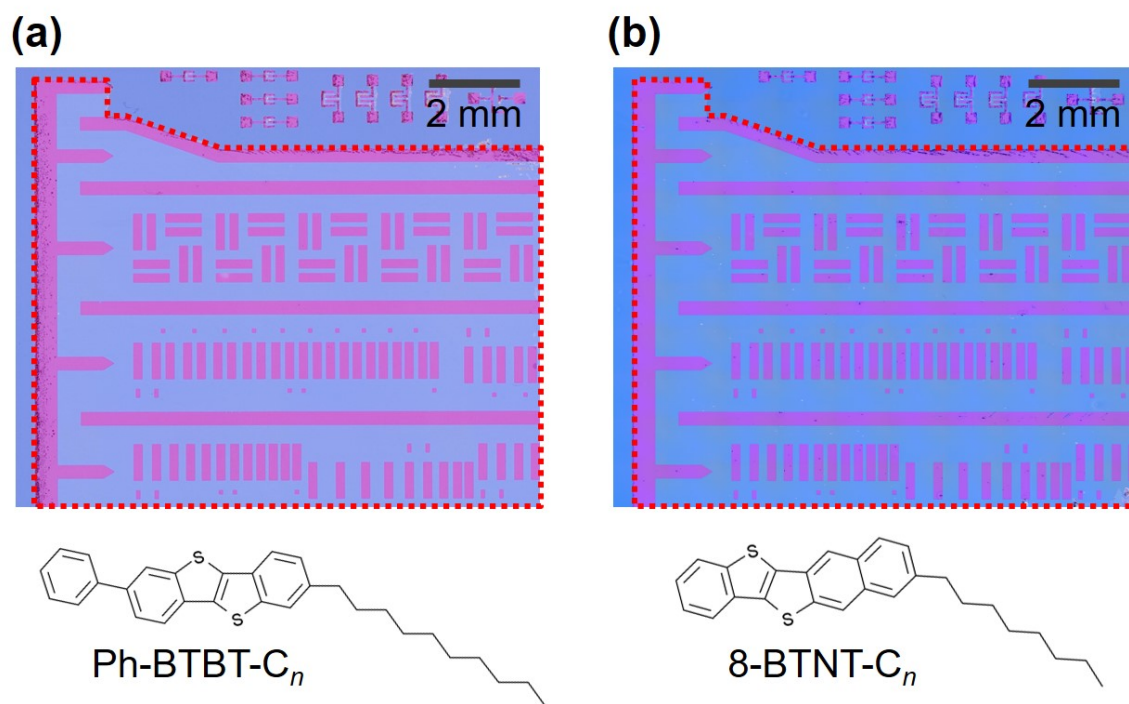


図 4.25 様々な非対称置換材料の Cytop・蒸着金上への塗布製膜。いずれの材料についても、高均質な結晶性半導体膜が得られた (赤枠内)。(a) Ph-BTBT- C_n ⁹。鎖長 C_{10} と C_{14} を体積比 9:1 で混合した溶液を用いた。(b) 8-BTNT- C_n ¹⁷⁸。鎖長 C_8 と C_{10} を体積比 9:1 で混合した溶液を用いた。

^{*11} 前章の高分子系半導体を用いた検討では、印刷銀・蒸着金デバイスの両者で、SS 値の C_i 効率について低分子系ほど劇的な違いは現れていない (例えば表 3.3)。高分子系の塗布膜では低分子系の結晶膜と比べて半導体の本来的なトラップが多く、電極や絶縁層界面によるトラップ増大の寄与が相対的に小さくなっている可能性がある。

半導体材料として、代表的な非対称置換棒状分子である Ph-BTBT- C_n ⁹と、BTNT 骨格の 8 位にアルキル鎖を導入した 8-BTNT- C_n ¹⁷⁸を用いた。いずれの材料も、二分子膜型層状ヘリンボーン結晶構造を有し、塗布製膜した単結晶で $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える高移動度が報告されている^{13,38,178}。これらの材料について、拡張メニスカス塗布法を用いて Cytop・蒸着金上へ塗布製膜を試みたところ、厚みの揃った高均質な結晶性薄膜が得られた (図 4.25)。本塗布法は、気液界面に形成した層状分子膜による液滴濡れ広がりを用いた手法であるため (図 4.8・図 4.10)、気液界面での優れた自己集合性を示す棒状のアルキル置換分子に対しては、比較的口バストに適用できるものであると考えられる。

4.5.2 高撥液絶縁層上塗布膜の電気特性

Cytop 上に塗布した単層二分子膜の TFT 伝達特性を図 4.26 (a) に示す。いずれの非対称置換材料についても、0 V 近傍の低電圧で SS 値 100 mV dec^{-1} 未満の高急峻スイッチングが得られ、電流立ち上がり近傍ではトラップの抑制された高効率なキャリア注入・拡散が実現していると考えられる。一方でオン電流値には桁で違いが生じており、ドリフトによるキャリア輸送効率は材料に依存する結果となった。デバイス移動度を比較したところ (図 4.26 (b))、Ph-BTNT- C_n では $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える良好な値が実現しているのに対し、Ph-BTBT- C_n と 8-BTNT- C_n では $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を下回る傾向が得られた。すなわち、Cytop 絶縁層・半導体塗布結晶膜界面において、急峻スイッチング (キャリア注入) と高移動度 (キャリア輸送) は必ずしも両立せず、材料に依存することが明らかとなった。

ここで本研究では、ソース・ドレイン (S/D) 電極上に半導体層を形成する BC 型 TFT のデバイス構造を用いている。BC 型 TFT では、半導体層上に電極を形成するトップコンタクト (TC) 型と比べて、S/D 電極近傍での半導体秩序構造の乱れ・積層欠陥等に由来して接触抵抗等が増大し、見

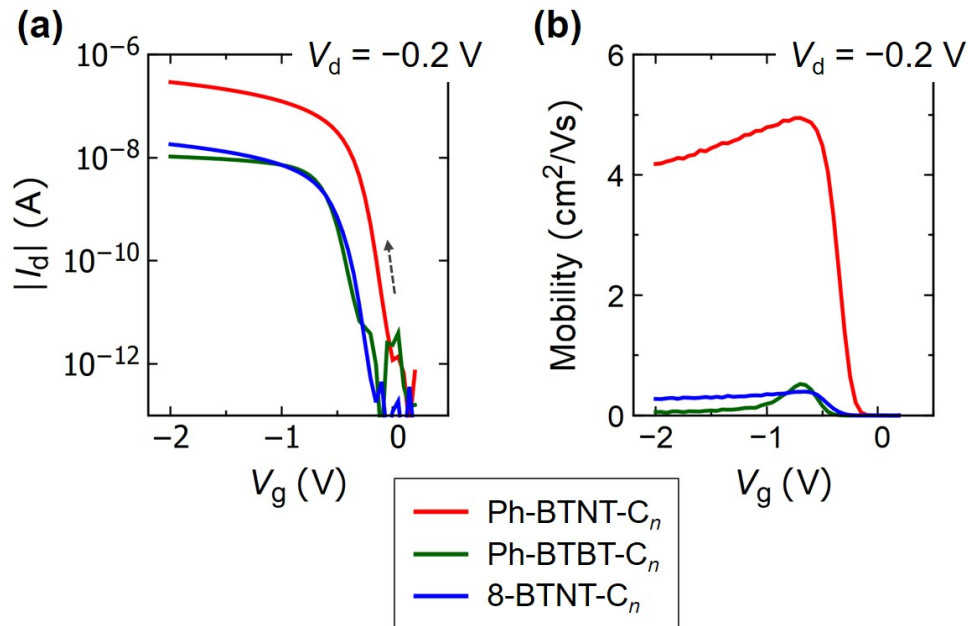


図 4.26 Cytop 上塗布膜の TFT 特性の比較。Ph-BTNT- C_n 、Ph-BTBT- C_n 、8-BTNT- C_n の単層二分子膜を用いた。線形領域 ($V_d = 0.2 \text{ V}$) の伝達特性 (a) とデバイス移動度の V_g 依存性 (b)。チャネル長 $L = 100 \text{ }\mu\text{m}$ 、チャネル幅 $W = 800 \text{ }\mu\text{m}$ 、ゲートキャパシタンスは $C_i = 22 \sim 24 \text{ nF cm}^{-2}$ 。

表 4.5 デバイス構造・半導体材料によるデバイス移動度（代表値）の比較^{13,36,178}。

	デバイス構造	Ph-BTNT- C_n	Ph-BTBT- C_n	8-BTNT- C_n
本研究	ボトムコンタクト	4.9	0.07	0.31
先行研究	トップコンタクト	6.3	10	10.3

かけのデバイス移動度は劣化する傾向が知られている。実際に、Ph-BTBT- C_n と 8-BTNT- C_n を用いた BG 型 TFT のデバイス移動度は、TC 型と比べて桁で劣化する傾向が得られた（表 4.5）。一方、Ph-BTNT- C_n の BG 型 TFT のデバイス移動度は、TC 型と同程度の良好な値が得られていた。さらに前節の検討より Ph-BTNT- C_n は、粒径 10 nm 程度の銀ナノ粒子電極上に塗布製膜した場合においても、急峻スイッチングと高移動度が実現できることがわかっている（図 4.23）。以上を踏まえ Ph-BTNT- C_n は、秩序構造を乱しうる外的要因（S/D コンタクトや絶縁層表面ラフネス）の影響を受けにくい材料であることが示唆される。

4.6 結論

本章では、低分子系塗布型半導体と高撥液 Cytop 絶縁層の統合による、高移動度・理論限界スイッチングの両立を図った。ここでは、アルキル置換棒状分子（低分子系塗布型半導体）に着目し、この層状結晶を高撥液基板上へ塗布製膜するための「拡張メニスカス塗布法」を新たに考案・開発した。本塗布法は、Cytop 上に U 字型の金属膜パターンを予め形成してから半導体塗布を行う手法であり、これにより金属膜で囲われた高撥液領域上では溶液の濡れ広がりが実現し、半導体層が形成されることがわかった。製膜時のメニスカス先端領域の *in situ* 観察の結果、溶液中（気液界面）に面内配向が揃った層状分子膜が存在している様子が確認された。これより、気液界面の層状分子膜が稠密に半導体溶液を覆うことで溶液の表面張力が実効的に効きにくくなり、高撥液表面においても半導体溶液の濡れ広がりが実現できると考察した。すなわち拡張メニスカス塗布法は、気液界面における層状分子膜の確保が鍵であり、アルキル置換棒状分子の優れた自己集合性・層状結晶性を活かした塗布法であると言える。

次いで、アルキル非対称置換棒状分子 Ph-BTNT- C_n の結晶膜を Cytop・蒸着金電極上に塗布製膜して TFT を作製したところ、 $5.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ （飽和領域、最高値）の高移動度と、理論限界に匹敵する SS 値 63 mV dec^{-1} （最小値）が両立できることがわかった。特に、SS 値のキャパシタンス効率から得られる計算上のトラップ密度 D_{it} ($1.8 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$) は、世界最小クラスのオーダーであり、Cytop・結晶膜界面においてトラップが著しく抑制されていることが示唆された。また SS 値は、基板内ではばらつきが著しく抑制されており、キャリア注入・拡散に有効な界面が Cytop・結晶膜により一貫して形成されていることが確認された。一方、親液性 SiO_2 界面を用いたデバイスでは理論限界に迫る SS 値は実現できず、かつ移動度の V_g に対する上昇幅は Cytop 界面と比べて緩やかであった。すなわち、 SiO_2 界面デバイスでは半導体ポテンシャル変化の V_g 効率が Cytop 界面と比べて悪く、ギャップ内準位が多く存在することが示唆される。さらに、Cytop 上への電極印刷（スーパーナップ法）と組み合わせ全塗布型 TFT を作製し、高移動度と急峻スイッチングが得られることを示した。また、拡張メニスカス塗布法を様々なアルキル非対称置換棒状分子へ適用したところ、Cytop

上へ高均質な結晶膜を一貫して塗布製膜できることがわかった。一方で、BC型TFTにおける高急峻スイッチングと高移動度の両立の可否は、半導体材料に依存することも明らかとなった。

第 5 章

総括

本論文は、塗布型有機トランジスタの低電圧駆動化を研究目的に据え、高撥液 Cytop 絶縁層をコア材料とした TFT 塗布構築および TFT 高性能化に関する研究結果をまとめたものである。高撥液 Cytop 上へ半導体や電極を塗布構築するにあたり、本研究ではまず塗布構築が比較的容易な電極（第 2 章）、高分子系半導体（第 3 章）を用いて順に基礎検討を行い、最後に低分子系半導体と統合することにより（第 4 章）、研究目的を達成した。以下に、本研究により得られた結果を各章ごとにまとめ、本成果の意義および今後の展望を述べる。

第 2 章では、塗布型 TFT 構築のための Cytop 絶縁層・印刷電極構造の最適化を行った。電極印刷には、Cytop 表面の光改質効果を用いたスーパーナップ法⁶⁹を基盤技術として、高精細なソース・ドレイン電極のパターニングや、再現よく良好な導電性を得るための融着条件を確立した。また、Cytop 上に電極を印刷形成して作製したキャパシタ構造において、Cytop 層が TFT として適用しうる耐圧性・誘電特性を示すことを確認した。特に、厚みを著しく低減した 20 nm 膜厚の Cytop 層においては、 100 nF cm^{-2} に迫る高ゲートキャパシタンスを実現でき、この上にペンタセン多結晶膜を蒸着して得た TFT において、2 V でオンオフ比 10^3 の明瞭なスイッチング特性を得ることができた。以上の検討より、スーパーナップ法により得られる Cytop 層・印刷電極構造が、塗布型 TFT におけるゲート絶縁層、ソース・ドレイン電極として適用できることを確認した。

第 3 章では、Cytop 絶縁層上に高分子系半導体を塗布したボトムゲート（BG）型 TFT 構造において、Cytop 界面が電気特性へ与える影響を調べた。高撥液 Cytop 上への半導体塗布は、シリコーンゴムによる半導体溶液の保持・吸収を用いたプッシュコート法⁵⁷により実現した。スーパーナップ法により形成した Cytop・印刷銀の構造上に、高分子系半導体 PDVT-10 を塗布製膜し BG 型 TFT を作製したところ、急峻スイッチング・ヒステリシスフリー・特性ばらつきの抑制・低い接触抵抗等、良好な TFT 特性が同時に得られることがわかった。さらに、キャパシタンスを増大するにしたがい急峻スイッチングを示す傾向が得られ、これは一定のトラップ密度 D_{it} を仮定することで定量的に説明できることがわかった。計算上のトラップ密度 D_{it} は従来の高分子系半導体デバイスと比べて一桁程度低減されており、Cytop 絶縁層・塗布型半導体の界面においてトラップ抑制界面が実現していることが示唆された。また、絶縁層界面・電極界面を変えて作製した TFT の比較より、高撥液 Cytop 絶縁層界面では一貫して高い駆動安定性が実現することがわかった。以上の検討より、Cytop 絶縁層は高分子系塗布型半導体と組み合わせた BG 型 TFT において良好なトラップ抑制能を示し、デバイス特性の向上に有効であることが確認された。

第4章では本論として、低分子系塗布型半導体と高撥液 Cytop 絶縁層の統合による、高移動度・理論限界スイッチングの両立を図った。ここでは、アルキル非対称置換棒状分子（低分子系塗布型半導体）に着目し、この層状結晶を高撥液基板上へ塗布製膜するための「拡張メニスカス塗布法」を新たに考案・開発した。本塗布法による製膜の過程では、*in situ* 観察の結果より、気液界面に面内配向した層状分子膜が存在することが確認され、これが高撥液基板上での液滴濡れ広がりにより寄与することで結晶成長が可能になっていると考察した。本塗布法により、アルキル非対称置換棒状分子 Ph-BTNT- C_n を Cytop・蒸着金上に塗布製膜して BG 型 TFT を作製したところ、高移動度（最高で $5.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ）と理論限界に匹敵する高急峻 SS 値（最小で 63 mV dec^{-1} ）が両立できることがわかった。高撥液 Cytop 界面を用いたデバイスでは、親液性 SiO_2 界面デバイスと比べて、SS 値や低電圧での電流値（デバイス移動度）が優れていることがわかり、Cytop 界面によりギャップ準位が著しく抑制されていることが示唆された。さらに、低分子系半導体の塗布をスーパーナップ法と統合することで、ゲート電極、Cytop 絶縁層、ソース・ドレイン電極、半導体膜のすべてを塗布積層した全塗布型 TFT が作製でき、高品質な Cytop・半導体結晶膜界面による急峻スイッチング・高移動度を実現することに成功した。また、拡張メニスカス塗布法は高撥液基板上への高均質結晶膜の塗布法として、様々なアルキル非対称置換棒状分子に対して適用できることがわかった。

本成果（第4章）の意義として、塗布形成した有機薄膜結晶が高移動度とトラップ抑制（理論限界の SS 値 $\sim 60 \text{ mV dec}^{-1}$ ）を両立しうることを、実験的に初めて証明した点が挙げられる。有機半導体はダングリングボンドフリーの分子性固体であり、本来的にトラップ抑制に有利な系であることは指摘されていたものの、実際に高移動度とトラップ抑制を両立することは容易ではなく、欠陥のない高品質なバルク結晶を Cytop 絶縁層上へ貼り付けた系で報告されるにとどまっていた²⁰。一方で近年、半導体材料開発の発展により、層状結晶性が著しく増強されたアルキル置換棒状分子が開発され、常温常圧の塗布で高品質な半導体結晶が得られるようになった。これらは実際、高移動度が実現できる材料として注目を集めてきたが、半導体塗布は親液性の（トラップサイトが比較的多い）絶縁層基板のみへの適用に限られており、塗布膜の本来的なトラップ抑制能については未知であった。本研究では、トラップサイトを形成しにくい高撥液 Cytop 絶縁層へ半導体結晶を塗布製膜したデバイス構造を実現することで、理論限界の高急峻スイッチングが得られることを実証し、これによりアルキル置換棒状分子の塗布結晶膜がトラップ抑制能に著しく優れるという側面を見出すことができたと言える。半導体を Cytop 上に塗布製膜したデバイス構造は今後、半導体本来の輸送特性を調べるための基礎構造として適用しうることが期待される。

また第4章の最後では、高急峻スイッチング（キャリア注入）と高移動度（キャリア輸送）の両立の可否が、半導体材料に依存することを述べた。この材料依存性は、電極上に半導体を塗布したボトムコンタクト（BC）構造で顕在化したものであることから、電極・絶縁層・半導体近傍の秩序構造の違いに由来していると考えられる。本研究ではアルキル非対称置換材料 Ph-BTNT- C_n によりキャリア注入・輸送の両立が可能であることを見出しており、本材料の分子構造や結晶構造等を足掛かりとしてこの指導原理を明らかにすることが、学術的に重要な課題であると言える。また、本指導原理を材料開発へフィードバックすることで、より広い材料系で BC 型デバイスの高性能化を実現することは、応用上でも重要な観点である。

本博士論文の一連の研究を通じて、「低電圧駆動（急峻スイッチング）」「高移動度」「塗布構築」すべてを満たすデバイスを実現することに成功した。これらは、デバイス高性能化に有効な高撥液 Cytop

絶縁層が、塗布プロセスと著しく相性が悪いという課題を克服することにより初めて実現したものであり、高撥液界面を塗布型デバイスに積極的に組み込むというデバイス設計指針の有用性を実証した点には、高い独創性を有する。また Cytop 絶縁層を用いたデバイス構築により、スーパーナップ法による高精細電極配線、拡張メニスカス塗布法による高移動度・理論限界スイッチングをまとめて実現することが可能となる。これらの成果は、ディスプレイ等のバックプレーン TFT に求められる低電圧駆動・高速動作を実現するための要素技術となり得、ポータブル化・ウェアラブル化可能な低消費電力 TFT を、塗布により大面積・安価に製造するための基礎的な知見を与えるものと位置付けることができる。塗布型半導体の電気特性を理論限界まで引き出すことに成功した本博士論文の成果は、塗布型半導体の応用可能性を大きく切り開き、かつ加速すると期待される。

謝辞

本博士論文は、筆者が東京大学大学院 工学系研究科 物理工学専攻 長谷川・荒井研究室にて、2016年4月より2021年3月までの5年間、研究活動により得られた成果をまとめたものです。筆者の研究活動は、多くの方のご協力を賜り遂行されました。この場を借りて感謝申し上げます。

まず博士学位審査にあたり、主査である長谷川達生教授（東京大学）、副査の内藤裕義教授（大阪府立大学）、岩佐義宏教授（東京大学）、三成剛生グループリーダー（物質・材料研究機構）、横田知之准教授（東京大学）、荒井俊人講師（東京大学）には、ご多用の中予備審査・本審査とお時間をいただき、ありがとうございました。予備審査・本審査では有意義なご指摘を多々いただき、大変勉強になりました。博士論文の随所にも、審査でいただいた指摘を反映しております。自身の研究のブラッシュアップにお力添えをいただきまして、心より感謝申し上げます。

自身が5年間所属した長谷川・荒井研究室の教職員・学生の方々には、実験・ディスカッション・学会発表練習・論文執筆等の研究サポートから日常的な相談まで、大変お世話になりました。

指導教員である長谷川達生教授には、面倒見のよさに甘えさせていただいた5年間でした。研究内容に対するディスカッション、对外発表の練習等、多くのお時間を割いて向き合ってくださいました。特に、自身は論文執筆や研究発表の際のストーリー作りに大変苦労しましたが、その折にマンツーマンで徹底的に議論を交わし、大いに学ばせていただきました。スキー合宿ではノンストップで直滑降するお姿が印象的で、揺るぎない信念を持っておられると感じました。

講師の荒井俊人さんには、実験室では現場監督として基礎技術を教わり、また居室では書類執筆等で大変お世話になりました。学振のような書類を書く機会が何度もありましたが、二人三脚で修正を繰り返したことは、大変ながらも前進ができた良い思い出です。また、研究・仕事に対する徹底的な姿勢やバイタリティは、学ぶところしかありません。論文のプルーフの際、画像のスケールバーが1.3倍ほどずれているのをご指摘いただいたときは、敬服いたしました。

助教の松岡悟志さんには、つくば産総研の博士課程時代から、実験室でよくお世話になっておりました。その後東大の助教に着任され、大変嬉しかったです。視点が学生寄りで、昔からとても相談しやすい印象でした。また、車でご飯に連れて行っていただいたり、肉をおごっていただいたり（2018年11月29日）、思い出は尽きません。自身の教職員史上、最もフランクな方です。

特任研究員の井川光弘さんには、プロセスに関する基礎知識を多く教わり、また井川さんのアイデアで実験環境の改善を行っていただけたことで、実験が円滑に行えるようになりました。また、井川さんが開発されたプッシュコート法には、博士前半期に大変お世話になりました。80年代の巨人で盛り上げられる数少ない研究室メンバーです。

特任研究員の井上悟さんには、低分子系半導体の材料合成で大変お世話になっております。新規半導体化合物を次々と開発されており、自身はそのような最先端材料を自由に触っていじることがで

き、とても贅沢な環境にいたりました。また、アカデミックと企業双方のご経験から、自身の進路相談の折には貴重なご意見をいただきました。特許レクチャーも大変勉強になりました。サブカルチャーにも造詣が深く、卒業後はお勧めの漫画を読みたいですと思います。

秘書の山内圭子さんには、研究室における日常生活をサポートしていただき、大変円滑に研究活動を行うことができました。審査発表等、一世一代の勝負の折には何度も差し入れをいただき、大変身にしみました。また、日頃の何気ない話によく付き合ってくださいました。自身が研究室に来た頃は小学生だった息子さんが今は中学生であることを思うと、時の流れを感じます。

2019 年度博士卒（1 学年上）の浜井貴将さんには、長谷川・荒井研の博士第一号として、姿勢として見習うべきところが多く、模範とさせていただいておりました。幅広い知識をお持ちで、報告会の内容に鋭い指摘をいただくこともしばしばありました。また朝学校に来ると、浜井さんセレクションの楽しい論文が置いてあることがたまにありました。それが博士三年時にはなくなり、たまにふと寂しくなります。

2016 年度修士卒（1 学年上）の青島圭佑さんには、初期の実験技術のほとんどを教わり、大変お世話になりました。青島さんにお教えいただいたプロセスは、現在も多く引き継いでいます。面倒見がよく、現場では疑問が解消するまで何度も質問に対応いただいた記憶があります。また、物事を理路整然とお話しされるので、日頃の報告会等も大変勉強になりました。

2020 年度博士卒（同期）の上村洋平君には、多くの刺激をもらいました。実験と物理を結びつけるのがとても上手で、論文にできるネタをコンスタントに打ち出してくる点には、ただただ感服しています。毎週の研究室報告会では、5 年間ほぼ毎回先頭打者として発表を行い、何かしらの成果を出していた印象です。研究室のイチローです。同期ということで、有意義なこと、無駄なこと、色々と相談させてもらいました。いつか卒業旅行に行きましよう。

2018 年度修士卒（1 学年下）の平川友也君は、とても効率よく、それでいてしっかりと研究をこなしていた印象です。研究が好きな雰囲気かにじみでいて、見ていて頼もしかったです。Phoenix の MRS に二人で参加したのは良い思い出です。

2018 年度修士卒（1 学年下）の太向弘明君は、とても辛抱強く研究を続けていた姿が印象的でした。とても落ち着いて物事を話すので、対外発表や質疑応答に向いていると感じました。

2019 年度修士卒（2 学年下）の山田詩乃さんは、実験に対して非常にまっすぐで、また協調性が高いと感じました。研究会では、ほかの大学のグループにぐいぐい割って入ったり、コミュニケーション能力も高めです。周りを巻き込めるタイプだと思うので、社会でのご活躍も祈念しております。

2020 年度修士卒（3 学年下）の林太一君には、実験の嗅覚のようなものが備わっていると感じました。オリジナリティあふれる成果を最後に一発、期待しています。

2019 年度学部配属（4 学年下）の二階堂圭君は、研究に対してとても真摯・丁寧で、また博士に進まれるということで、今後の展開が非常に楽しみです。来年度は最高学年、かつ研究室在籍歴が最も長い現役学生となるので、学生陣のリーダーとして大いに権力をふるってください。

2020 年度修士配属（4 学年下）の宮田稜君は、とても手先が器用で、実験に対するバイタリティにあふれている印象です。新しい技術を吸収して、AFM の専門家の顔になりつつあります。博士に前向きな意見を持っていたので、進まれる場合は二階堂君と切磋琢磨しながら、二枚看板として長谷川・荒井研を引っ張ってってください。大変期待しています。

2019 年度学部配属（4 学年下）の小山奏汰君は、これと決めたら突っ走って止まらないエネルギー

が魅力だと思います。ホームランが狙えるタイプだと思うので、自分がこれと決めた分野で一勝負してみてください。

2020 年度学部配属（5 学年下）の村田啓人君には、自身の実験技術を徹底的に叩き込ませてもらいましたが、スパルタで申し訳ありませんでした。辛抱強くついてきてくれて、大変頼もしく感じています。最近ではオリジナルの良いデータも出てきており、今後が非常に楽しみです。

2020 年度学部配属（5 学年下）の小川和馬君は、ものすごい勢いで新規化合物の構造を解いていて、驚きました。来年度以降は、素敵な理学部ライフをお送りください。

2016 年度学部卒（元同期）の森田楓さんは、洗練された発表技術にいつも圧倒されていました。卒論賞をとったスライドは、今でもたまに見返しています。星 5 つです。

2016 年度学部卒（1 学年下）、現鹿野田研究室博士二年の村瀬秀明氏は、後輩の指導もバシバシこなし、非常に頼もしい博士学生です。来年は博士卒業応援しています。

また、自身が 2016 年 4 月より 2018 年 8 月まで在籍した、産業技術総合研究所 フレキシブルエレクトロニクス研究センター フレキシブル材料基盤チームのスタッフの方々には、大変お世話になりました。

自身のホストを務めていただいた堤潤也さんには、実験室のトラブルシューティングで大変お世話になりました。何度も電話で呼び出したり、直接居室に伺ったり、ご迷惑おかけしました。ご多用の中、産総研の長い廊下を一緒に歩いて実験室に向かってくださったことは、心強いことこの上なかったです。ありがとうございました。

峯廻洋美さんには、実験室のトラブルシューティングから、実験周りの備品管理等、幅広くお世話になっていました。特に、AFM やダイシング装置について、何度も相談させていただきました。学生にフランクに話しかけてくださるので、とても相談しやすかったです。PC のアイコンが峰不二子で、センスを感じました。

東野寿樹さんには、半導体材料に大変お世話になっております。非常に明るくポジティブな方で、お会いするたびにエネルギーをもらっていました。人間的な魅力にもあふれており、一緒に研究活動ができて大変有意義でした。いつか娘さんを愛でさせていただければと思います。

チームの堀内佐智雄さん、米谷慎さん、小野志保さんには、自身がリサーチアシスタントの際に大変お世話になりました。至らぬ点もありご迷惑おかけしましたが、丁寧にご対応いただきありがとうございました。

高エネルギー加速器研究機構（KEK）の熊井玲児教授には、放射光実験の折にご指導いただきありがとうございました。

また、自身が大学院へ進学する前年（学部 4 年）、2015 年 4 月より 2016 年 3 月までの 1 年間、東京大学大学院新領域創成科学研究科（柏キャンパス）の雨宮研究室に大変お世話になりました。

指導教員の雨宮慶幸教授（現・東京大学、名誉教授）には、研究に対する基本姿勢から、人生に対する哲学的な考えまで、幅広く教をいただきました。退官後も生涯現役でご活躍されている姿を拝見し、自身も挑戦し続ける姿勢を持ち続けたいといけなと感じました。何か壁にぶつかった際、決して環境のせいにはしないという雨宮先生の教は、現在も日常的に思い返すことが多いです。

助教の篠原佑也さん（現・Oak Ridge National Laboratory、R&D Associate）には、実験技術から実験結果のディスカッションに至るまで、研究初心者の自身を徹底的に鍛えていただきました。また、育児・家事・研究を精力的にこなされる姿を拝見し、人間的にも多く学ばせていただきました。

社会人博士（当時）の松井和也さんには、卒論のチェックから実験データの議論まで、お忙しい中面倒を見ていただきました。また SPring-8 で 1 週間 X 線を当て続ける XPS（X 線光子相関分光法）の実験では、3 人で 1 日 16 時間のシフトを回す体力勝負の実験に挑み、結果に一喜一憂したことは良い思い出です。

博士三年（当時）の井上伊知郎さんには、発表を拝見する機会の折には大変学ばせていただきました。また、色盲の方へ配慮した色使いや、グラフの枠を少々太めに設定するなど、図を印象的に見せるための基本的な技術をお教えいただき、その後の自身のグラフ作成へ活かしております。

修士一年（当時）の菊竹大樹さんには、研究テーマが近いこともあり、身近に議論できる先輩として頼りにしておりました。輪講のテーマの論文、院試のスライドのチェック、実験結果の質疑等、自身の研究遂行にいつも力をいただいていた。「Kittel 持ってきてる？」といつも嬉しそうに言っていた気がします（Kittel：固体物理学の教科書）。

修士一年（当時）の佐々木誓良さんには、研究内容は離れておりましたが、自身の報告会時には多くのコメントいただき、また基礎的なスライド作りの技術を教わり、勉強になりました。またボルダリング技術を教わったり、オフでもお世話になっておりました。

学部四年（当時）で同期の小松崎元君には、刺激を受けながら切磋琢磨をしておりました。また、赤岳へ行ったり、富良野に行ったり、非常に仲良くさせてもらいました。おかげさまで、学位取得まであと少しです。

また本博士課程の研究の一部は、東京大学大学院工学系研究科リーダー博士人材育成基金特別助成プログラム（LDPP）、日本学術振興会特別研究員（DC2）、科学技術振興機構戦略的創造研究推進事業（JST-CREST）若手研究加速予算の助成を受けて行いました。LDPP の活動にご理解をいただき、寄付をいただいた企業の方々には感謝申し上げます。LDPP のプログラムにおいて、霜垣幸弘教授（工学系研究科マテリアル工学専攻）にお世話になりました。また、JST-CREST の若手研究加速予算を配分いただいた、研究総括の細野秀雄栄誉教授（東京工業大学フロンティア材料研究所）をはじめ領域アドバイザーの先生方には感謝申し上げます。また、修士・博士課程において経済的な支援をいただいた、産業技術総合研究所リサーチアシスタント制度、東京大学大学院工学系研究科修士博士一貫卓越大学院プログラム（試行）、LDPP の研究奨励費、学振 DC2 研究奨励費の助成に対し、感謝申し上げます。

最後に、28 年間、勉学と食事に関しては何不自由なくやらせてもらった父と母に、心より感謝の意を示します。

研究成果

- 投稿論文（査読あり）

1. **G. Kitahara**, S. Inoue, T. Higashino, M. Ikawa, T. Hayashi, S. Matsuoka, S. Arai, and T. Hasegawa, "Meniscus-controlled printing of single-crystal interfaces showing extremely sharp switching transistor operation", *Science Advances* **6**, eabc8847 (2020).
2. **G. Kitahara**, M. Ikawa, S. Matsuoka, S. Arai, and T. Hasegawa, "Use of surface photo-reactive nanometal printing for polymer thin-film transistors: contact resistance and short-channel effects", *MRS Communications* **9**, 1181–1185 (2019).
3. **G. Kitahara**, K. Aoshima, J. Tsutsumi, H. Minemawari, S. Arai, and T. Hasegawa, "SuPR-NaP Technique for Printing Ultrafine Silver Electrodes and its Use for Low-Voltage Operation of Organic Thin-Film Transistors", *MRS Advances* **3**, 2931–2936 (2018).
4. **G. Kitahara**, K. Aoshima, J. Tsutsumi, H. Minemawari, S. Arai, and T. Hasegawa, "Low-voltage operation of organic thin-film transistors based on ultrafine printed silver electrodes", *Organic Electronics* **50**, 426–428 (2017).

- 国際学会（査読あり）

1. **G. Kitahara**, T. Hamai, S. Matsuoka, S. Arai, and T. Hasegawa, "Stability of Printed Organic Thin-Film Transistors Composed of Ultrafine Silver Electrodes by SuPR-NaP Technique", Materials Research Society, Spring Meeting, EP06.02.06, Phoenix, Arizona, USA, April, 2019.（口頭）
2. **G. Kitahara**, K. Aoshima, J. Tsutsumi, H. Minemawari, S. Arai, and T. Hasegawa, "Use of Ultrafine Silver-Pattern Printing for Organic Thin-Film Transistors: Low-Voltage Operation with Ultrathin Polymer Gate-Dielectric Layers", Materials Research Society, Spring Meeting, MA02.05.28, Phoenix, Arizona, USA, April, 2018.（ポスター）

- 国内学会

1. **北原暁**, 井上悟, 東野寿樹, 井川光弘, 松岡悟志, 荒井俊人, 長谷川達生, "メニスカス制御による高撥液表面への単結晶塗布構築と TFT 高急峻スイッチング", 第 81 回応用物理学会 秋季学術講演会, 9a-Z11-10, オンライン開催, 2020 年 9 月.（口頭）
2. **北原暁**, 井川光弘, 松岡悟志, 荒井俊人, 長谷川達生, "全塗布型有機トランジスタにおけるスイッチング特性の急峻化", 第 80 回応用物理学会 秋季学術講演会, 21a-B32-6, 北海道札幌市, 2019 年 9 月.（口頭）
3. **北原暁**, 浜井貴将, 松岡悟志, 荒井俊人, 長谷川達生, "高撥水性キャリア輸送界面を

- 用いた塗布型有機トランジスタの低電圧・安定駆動”，第 66 回応用物理学会 春季学術講演会，10p-S222-4，東京都目黒区，2019 年 3 月。（口頭）
4. ○北原暁，浜井貴将，松岡悟志，荒井俊人，長谷川達生，” 超高撥水性キャリア輸送界面を用いた塗布型有機薄膜トランジスタの安定駆動”，第 79 回応用物理学会 秋季学術講演会，19p-145-2，愛知県名古屋市，2018 年 9 月。（口頭）
 5. ○北原暁，松岡悟志，荒井俊人，長谷川達生，” 撥水性絶縁膜界面による塗布型有機トランジスタ安定駆動”，日本物理学会 秋季大会，11aK301-8，京都府京田辺市，2018 年 9 月。（口頭）
 6. ○北原暁，堤潤也，荒井俊人，長谷川達生，” 超高撥水性ポリマー絶縁層上における塗布型有機半導体層構築とトランジスタ特性”，第 65 回応用物理学会 春季学術講演会，18p-D102-7，東京都新宿区，2018 年 3 月。（口頭）
 7. ○北原暁，青島圭佑，井上悟，荒井俊人，長谷川達生，” SuPR-NaP 銀電極上への塗布型有機半導体層形成とキャリア注入”，日本物理学会 秋季大会，23pE21-5，岩手県盛岡市，2017 年 9 月。（口頭）
 8. ○北原暁，井上悟，荒井俊人，長谷川達生，” SuPR-NaP 印刷銀電極上での低分子系塗布型有機半導体薄膜の構築とキャリア注入特性”，第 78 回応用物理学会 秋季学術講演会，7pA203-13，福岡県福岡市，2017 年 9 月。（口頭）
 9. ○北原暁，青島圭佑，堤潤也，峯廻洋美，荒井俊人，長谷川達生，” SuPR-NaP 電極を用いた有機トランジスタの低電圧駆動”，日本物理学会 第 72 回年次大会，大阪府大阪市，18pB21-4，2017 年 3 月。（口頭）
 10. ○北原暁，青島圭佑，堤潤也，峯廻洋美，荒井俊人，長谷川達生，” SuPR-NaP 高精細印刷銀電極を用いた有機トランジスタの低電圧駆動”，第 64 回応用物理学会 春季学術講演会，15a-302-10，神奈川県横浜市，2017 年 3 月。（口頭）
- その他の発表（筆頭）
1. ○北原暁，”拡張メニスカス法によるトラップフリー界面構築と TFT 高急峻スイッチング”，第 15 回有機デバイス・物性院生研究会，オンライン開催，2020 年 12 月。（口頭）
 2. ○北原暁，井上悟，東野寿樹，井川光弘，松岡悟志，荒井俊人，長谷川達生，”塗布型低分子系有機半導体 TFT における高急峻スイッチング”，CREST「革新材料開発」2019 年度下期領域会議（若手研究者トピックス），東京都新宿区，2019 年 12 月。（口頭）
 3. ○北原暁，”高撥水性キャリア輸送界面を用いた塗布型有機トランジスタの低電圧・安定駆動”，第 14 回有機デバイス・物性院生研究会，東京都文京区，2019 年 8 月。（口頭）
 4. ○北原暁，”高撥水性キャリア輸送界面に基づく有機薄膜トランジスタの安定駆動”，第 13 回有機デバイス・物性院生研究会，福岡県福岡市，2018 年 7 月。（ポスター）
 5. ○北原暁，” SuPR-NaP 印刷銀電極を用いた有機薄膜トランジスタの製造とキャリア注入高効率化”， π 造形科学若手会，神奈川県横浜市，2017 年 12 月。（ポスター）
 6. ○北原暁，” 高精細印刷銀電極の有機薄膜トランジスタへの応用”，有機デバイス・物性院生研究会，京都府京都市，2017 年 7 月。（口頭）

- その他の発表（共著）

1. ○二階堂圭, 北原暁, 井上悟, 東野寿樹, 松岡悟志, 荒井俊人, 長谷川達生, ”新規有機半導体 PE-BTBT-Cn における層状構造制御と TFT 特性”, 第 81 回応用物理学会秋季学術講演会, 9a-Z11-2, オンライン開催, 2020 年 9 月. (口頭)
2. ○太向弘明, 松岡悟志, 北原暁, 堤潤也, 荒井俊人, 長谷川達生, ”有機トランジスタにおける絶縁膜界面エネルギーの効果とトラップ状態観測”, 日本物理学会 秋季大会, 11aK301-9, 京都府京田辺市, 2018 年 9 月. (口頭)
3. ○菊竹大樹, 松井和也, 北原暁, 齋藤真器名, 瀬戸誠, 雨宮慶幸, 篠原佑也, ”核共鳴準弾性散乱法を用いたイオン液体における Johari-Goldstein 過程の微視的ダイナミクスの研究”, 日本放射光学会, 1C004, 兵庫県神戸市, 2017 年 1 月. (口頭)
4. ○D. Kikutake, K. Matsui, G. Kitahara, M. Saito, M. Seto, Y. Amemiya, and Y. Shinohara, ”Hierarchical dynamics of ionic liquids studied with quasielastic nuclear resonant scattering”, International Soft Matter Conference, P01-195, Grenoble, France, September, 2016. (ポスター)
5. ○菊竹大樹, 松井和也, 北原暁, 篠原佑也, 雨宮慶幸, 齋藤真器名, 瀬戸誠, ”核共鳴準弾性散乱法を用いたイオン液体のガラス転移点近傍での微視的ダイナミクスの観測”, 日本放射光学会, 11P038, 千葉県柏市, 2016 年 1 月. (ポスター)

- 中止となった講演（新型コロナウイルス COVID-19 のため）

1. ○ G. Kitahara, S. Inoue, M. Ikawa, S. Matsuoka, S. Arai and T. Hasegawa, ”Unprecedentedly Sharp On/Off Switching in Printed Small-Molecule Organic Transistors with Cytop Bottom-Gate Dielectric”, Material Research Society, Spring Meeting, EL13.03, Phoenix, Arizona, USA, April, 2020. (ポスター、非発表扱い)
2. ○北原暁, 井上悟, 東野寿樹, 井川光弘, 松岡悟志, 荒井俊人, 長谷川達生, ”Cytop 絶縁層上への低分子系半導体の塗布製膜と高急峻 TFT スイッチング”, 第 67 回応用物理学会 春季学術講演会, 13p-A409-6, 東京都千代田区, 2020 年 3 月. (口頭、特例により発表済みの扱い)
3. ○井川光弘, 北原暁, 林太一, 松岡悟志, 荒井俊人, 長谷川達生, ”超高精細金属配線印刷と半導体塗布製膜の統合による全印刷 TFT アレイ製造の高速化”, 第 67 回応用物理学会 春季学術講演会, 14a-A409-3, 東京都千代田区, 2020 年 3 月. (口頭、特例により発表済みの扱い)

- 知的財産権

- 特願 2020-030767, 長谷川達生, 北原暁, 井上悟, 荒井俊人, 井川光弘, 「半導体およびその製造方法」(東京大学), 2020/2/26 出願.

- 学位論文

- 修士論文 (2018 年), ”全塗布型有機薄膜トランジスタ構築と高効率キャリア輸送”, 東京大学大学院工学系研究科物理工学専攻, 指導教官: 長谷川達生教授.
- 卒業論文 (2016 年), ”核共鳴散乱時間領域干渉計法によるイオン液体 C9minTFSI の階

層構造におけるダイナミクスの観測”，東京大学工学部物理工学科，指導教官：雨宮慶幸教授.

- 獲得研究費（競争的資金）

1. 科学技術振興機構（JST）、戦略的創造研究推進事業（CREST）、若手研究加速予算（2020/4–2021/3）
2. 日本学術振興会（JSPS）、特別研究員 DC2 奨励費（2020/4–2021/3）
3. 東京大学大学院工学系研究科、リーダー博士人材育成基金特別助成プログラム（LDPP）（2018/10–2020/3）

参考文献

- [1] H. Akamatsu, and H. Inokuchi, "On the Electrical Conductivity of Violanthrone, Iso-Violanthrone, and Pyranthrone", *Journal of Chemical Physics* **18**, 810–811 (1950).
- [2] H. Inokuchi, "The discovery of organic semiconductors. Its light and shadow", *Organic Electronics* **7**, 62–76 (2006).
- [3] C. W. Tang, "Two-layer organic photovoltaic cell", *Applied Physics Letters* **48**, 183–185 (1986).
- [4] C. W. Tang, and S. A. VanSlyke, "Organic electroluminescent diodes", *Applied Physics Letters* **51**, 913–915 (1987).
- [5] F. Ebisawa, T. Kurokawa, and S. Nara, "Electrical properties of polyacetylene/polysiloxane interface", *Journal of Applied Physics* **54**, 3255–3259 (1983).
- [6] K. Kudo, M. Yamashina, and T. Moriizumi, "Field Effect Measurement of Organic Dye Films", *Japanese Journal of Applied Physics* **23**, 130 (1984).
- [7] A. Tsumura, H. Koezuka, and T. Ando, "Macromolecular electronic device: Field-effect transistor with a polythiophene thin film", *Applied Physics Letters* **49**, 1210–1212 (1986).
- [8] H. Ebata, T. Izawa, E. Miyazaki, K. Takimiya, M. Ikeda, H. Kuwabara, and T. Yui, "Highly Soluble [1]Benzo[thieno[3,2-*b*]]benzothiophene (BTBT) Derivatives for High-Performance, Solution-Processed Organic Field-Effect Transistors", *Journal of the American Chemical Society* **129**, 15732–15733 (2007).
- [9] H. Iino, T. Usui, and J. Hanna, "Liquid crystals for organic thin-film transistors", *Nature Communications* **6**, 6828 (2015).
- [10] M. Yoneya, H. Minemawari, T. Yamada, and T. Hasegawa, "Interface-Mediated Self-Assembly in Inkjet Printing of Single-Crystal Organic Semiconductor Films", *Journal of Physical Chemistry C* **121**, 8796–8803 (2017).
- [11] H. Minemawari, T. Yamada, H. Matsui, J. Tsutsumi, S. Haas, R. Chiba, R. Kumai, and T. Hasegawa, "Inkjet printing of single-crystal films", *Nature* **475**, 364–367 (2011).
- [12] C. Mitsui, T. Okamoto, M. Yamagishi, J. Tsurumi, K. Yoshimoto, K. Nakahara, J. Soeda, Y. Hirose, H. Sato, A. Yamano, T. Uemura, and J. Takeya, "High-Performance Solution-Processable N-Shaped Organic Semiconducting Materials with Stabilized Crystal Phase", *Advanced Materials* **26**, 4546–4551 (2014).
- [13] T. Hamai, S. Inoue, S. Arai, and T. Hasegawa, "Trap-state suppression and band-like transport in bilayer-type organic semiconductor ultrathin single crystals", *Physical Review Materials* **4**, 074601 (2020).

- [14] H. Klauk, U. Zschieschang, J. Pflaum, and M. Halik, "Ultralow-power organic complementary circuits", *Nature* **445**, 745–748 (2007).
- [15] C. Jiang, X. Cheng, and A. Nathan, "Flexible Ultralow-Power Sensor Interfaces for E-Skin", *Proceedings of the IEEE* **107**, 2084–2105 (2019).
- [16] W. L. Kalb, and B. Batlogg, "Calculating the trap density of states in organic field-effect transistors from experiment: A comparison of different methods", *Physical Review B* **81**, 035327 (2010).
- [17] W. L. Kalb, S. Haas, C. Krellner, T. Mathis, and B. Batlogg, "Trap density of states in small-molecule organic semiconductors: A quantitative comparison of thin-film transistors with single crystals", *Physical Review B* **81**, 155315 (2010).
- [18] K. Willa, R. Häusermann, T. Mathis, A. Facchetti, Z. Chen, and B. Batlogg, "From organic single crystals to solution processed thin-films: Charge transport and trapping with varying degree of order", *Journal of Applied Physics* **113**, 133707 (2013).
- [19] R. Häusermann, K. Willa, B. Bülle, T. Morf, A. Facchetti, Z. Chen, J. Lee, and B. Batlogg, "Device performance and density of trap states of organic and inorganic field-effect transistors", *Organic Electronics* **28**, 306–313 (2016).
- [20] B. Blülle, R. Häusermann, and B. Batlogg, "Approaching the Trap-Free Limit in Organic Single-Crystal Field-Effect Transistors", *Physical Review Applied* **1**, 034006 (2014).
- [21] H. Sirringhaus, T. Kawase, R. H. Friend, T. Shimoda, M. Inbasekaran, W. Wu, and E. P. Woo, "High-Resolution Inkjet Printing of All-Polymer Transistor Circuits", *Science* **290**, 2123–2126 (2000).
- [22] Y.-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "Stacked Pentacene Layer Organic Thin-Film Transistors with Improved Characteristics", *IEEE Electron Device Letters* **18**, 606–608 (1997).
- [23] D. J. Gundlach, Y.-Y. Lin, T. N. Jackson, S. F. Nelson, and D. G. Schlom, "Pentacene Organic Thin-Film Transistors—Molecular Ordering and Mobility", *IEEE Electron Device Letters* **18**, 87–89 (1997).
- [24] I. P. M. Bouchoms, W. A. Schoonveld, J. Vrijmoeth, and T. M. Klapwijk, "Morphology identification of the thin film phases of vacuum evaporated pentacene on SiO₂ substrates", *Synthetic Metals* **104**, 175–178 (1999).
- [25] S. Schiefer, M. Huth, A. Dobrinevski, and B. Nickel, "Determination of the Crystal Structure of Substrate-Induced Pentacene Polymorphs in Fiber Structured Thin Films", *Journal of the American Chemical Society* **129**, 10316–10317 (2007).
- [26] H. Klauk, M. Halik, U. Zschieschang, G. Schmid, W. Radlik, and W. Weber, "High-mobility polymer gate dielectric pentacene thin-film transistors", *Journal of Applied Physics* **92**, 5259–5263 (2002).
- [27] K. Takimiya, H. Ebata, K. Sakamoto, T. Izawa, T. Otsubo, and Y. Kunugi, "2,7-Diphenyl[1]benzothieno[3,2-*b*]benzothiophene, A New Organic Semiconductor for Air-Stable Organic Field-Effect Transistors with Mobilities up to 2.0 cm² V⁻¹ s⁻¹", *Journal of the American Chemical Society* **128**, 12604–12605 (2006).

-
- [28] T. Izawa, E. Miyazaki, and K. Takimiya, "Molecular Ordering of High-Performance Soluble Molecular Semiconductors and Re-evaluation of Their Field-Effect Transistor Characteristics", *Advanced Materials* **20**, 3388–3392 (2008).
- [29] S. Inoue, H. Minemawari, J. Tsutsumi, M. Chikamatsu, T. Yamada, S. Horiuchi, M. Tanaka, R. Kumai, M. Yoneya, and T. Hasegawa, "Effects of Substituted Alkyl Chain Length on Solution-Processable Layered Organic Semiconductor Crystals", *Chemistry of Materials* **27**, 3809–3812 (2015).
- [30] H. Minemawari, M. Tanaka, S. Tsuzuki, S. Inoue, T. Yamada, R. Kumai, Y. Shimoi, and T. Hasegawa, "Enhanced Layered-Herringbone Packing due to Long Alkyl Chain Substitution in Solution-Processable Organic Semiconductors", *Chemistry of Materials* **29**, 1245–1254 (2017).
- [31] S. Arai, K. Morita, J. Tsutsumi, S. Inoue, M. Tanaka, and T. Hasegawa, "Layered-Herringbone Polymorphs and Alkyl-Chain Ordering in Molecular Bilayer Organic Semiconductors", *Advanced Functional Materials* **30**, 1906406 (2020).
- [32] P. Gao, D. Beckmann, H. N. Tsao, X. Feng, V. Enkelmann, M. Baumgarten, W. Pisula, and K. Müllen, "Dithieno[2,3-*d*;2',3'-*d'*]benzo[1,2-*b*;4,5-*b'*]dithiophene (DTBDT) as Semiconductor for High-Performance, Solution-Processed Organic Field-Effect Transistors", *Advanced Materials* **21**, 213–216 (2009).
- [33] K. Nakayama, Y. Hirose, J. Soeda, M. Yoshizumi, T. Uemura, M. Uno, W. Li, M. J. Kang, M. Yamagishi, Y. Okada, E. Miyazaki, Y. Nakazawa, A. Nakao, K. Takimiya, and J. Takeya, "Patternable Solution-Crystallized Organic Transistors with High Charge Carrier Mobility", *Advanced Materials* **23**, 1626–1629 (2011).
- [34] T. Okamoto, C. Mitsui, M. Yamagishi, K. Nakahara, J. Soeda, Y. Hirose, K. Miwa, H. Sato, A. Yamano, T. Matsushita, T. Uemura, and J. Takeya, "V-Shaped Organic Semiconductors With Solution Processability, High Mobility, and High Thermal Durability", *Advanced Materials* **25**, 6392–6397 (2013).
- [35] H. Minemawari, J. Tsutsumi, S. Inoue, T. Yamada, R. Kumai, and T. Hasegawa, "Crystal structure of asymmetric organic semiconductor 7-decyl-2-phenyl[1]benzothieno[3,2-*b*][1]benzothiophene", *Applied Physics Express* **7**, 091601 (2014).
- [36] S. Inoue, S. Shinamura, Y. Sadamitsu, S. Arai, S. Horiuchi, M. Yoneya, K. Takimiya, and T. Hasegawa, "Extended and Modulated Thienothiophenes for Thermally Durable and Solution-Processable Organic Semiconductors", *Chemistry of Materials* **30**, 5050–5060 (2018).
- [37] T. Higashino, S. Inoue, Y. Sadamitsu, S. Arai, S. Horiuchi, and T. Hasegawa, "Bilayer-type Layered Herringbone Packing in 3-*n*-Octyl-9-phenyl-benzothieno[3,2-*b*]naphtho[2,3-*b*]thiophene", *Chemistry Letters* **48**, 453–456 (2019).
- [38] T. Hamai, S. Arai, H. Minemawari, S. Inoue, R. Kumai, and T. Hasegawa, "Tunneling and Origin of Large Access Resistance in Layered-Crystal Organic Transistors", *Physical Review Applied* **8**, 054011 (2017).
- [39] S. Arai, S. Inoue, T. Hamai, R. Kumai, and T. Hasegawa, "Semiconductive Single Molecular Bilayers Relaxed Using Geometrical Frustration", *Advanced Materials* **30**, 1707256 (2018).

- [40] T. Uemura, Y. Hirose, M. Uno, K. Takimiya, and J. Takeya, "Very High Mobility in Solution-Processed Organic Thin-Film Transistors of Highly Ordered [1]Benzothieno[3,2-b]benzothiophene Derivatives", *Applied Physics Express* **2**, 111501 (2009).
- [41] R. Janneck, F. Vercesi, P. Heremans, J. Genoe, and C. Rolin, "Predictive Model for the Meniscus-Guided Coating of High-Quality Organic Single-Crystalline Thin Films", *Advanced Materials* **28**, 8007–8013 (2016).
- [42] Y. Diao, L. Shaw, Z. Bao, and S. C. B. Mannsfeld, "Morphology control strategies for solution-processed organic semiconductor thin films", *Energy & Environmental Science* **7**, 2145–2159 (2014).
- [43] Z. Zhou, Q. Wu, S. Wang, Y.-T. Huang, H. Guo, S.-P. Feng, and P. K. L. Chan, "Field-Effect Transistors Based on 2D Organic Semiconductors Developed by a Hybrid Deposition Method", *Advanced Science* **6**, 1900775 (2019).
- [44] A. Assadi, C. Svensson, M. Willander, and O. Inganäs, "Field-effect mobility of poly(3-hexylthiophene)", *Applied Physics Letters* **53**, 195–197 (1988).
- [45] R. McCullough, and S. P. Williams, "Toward Tuning Electrical and Optical Properties in Conjugated Polymers Using Side Chains: Highly Conductive Head-to-Tail Heteroatom-Functionalized Polythiophenes", *Journal of the American Chemical Society* **115**, 11608–11609 (1993).
- [46] Z. Bao, A. Dodabalapur, and A. J. Lovinger, "Soluble and processable regioregular poly(3-hexylthiophene) for thin film field-effect transistor applications with high mobility", *Applied Physics Letters* **69**, 4108–4110 (1996).
- [47] H. Sirringhaus, P. J. Brown, R. H. Friend, M. M. Nielsen, K. Bechgaard, B. M. W. Langeveld-Voss, A. J. H. Spiering, R. A. J. Janssen, E. W. Meijer, P. Herwig, and D. M. de Leeuw, "Two-dimensional charge transport in self-organized, high-mobility conjugated polymers", *Nature* **401**, 685–688 (1999).
- [48] I. McCulloch, M. Heeney, C. Bailey, K. Genevicius, I. MacDonald, M. Shkunov, D. Sparrowe, S. Tierney, R. Wagner, W. Zhang, M. L. Chabinyc, R. J. Kline, M. D. McGehee, and M. F. Toney, "Liquid-crystalline semiconducting polymers with high charge-carrier mobility", *Nature Materials* **5**, 328–333 (2005).
- [49] Y. Horii, M. Ikawa, K. Sakaguchi, M. Chikamatsu, Y. Yoshida, R. Azumi, H. Mogi, M. Kitagawa, H. Konishi, and K. Yase, "Investigation of self-assembled monolayer treatment on SiO₂ gate insulator of poly(3-hexylthiophene) thin-film transistors", *Thin Solid Films* **518**, 642–646 (2009).
- [50] T. Umeda, S. Tokito, and D. Kumaki, "High-mobility and air-stable organic thin-film transistors with highly ordered semiconducting polymer films", *Journal of Applied Physics* **101**, 054517 (2007).
- [51] T. Umeda, D. Kumaki, and S. Tokito, "Surface-energy-dependent field-effect mobilities up to 1 cm²/Vs for polymer thin-film transistor", *Journal of Applied Physics* **105**, 024516 (2009).
- [52] M. Kim, S. U. Ryu, S. A. Park, K. Choi, T. Kim, D. Chung, and T. Park, "Dono-Acceptor-Conjugated Polymer for High-Performance Organic Field-Effect Transistors: A Progress Report", *Advanced Functional Materials* **30**, 1904545 (2020).

-
- [53] H. Chen, Y. Guo, G. Yu, Y. Zhao, J. Zhang, D. Gao, H. Liu, and Y. Liu, "Highly π -Extended Copolymers with Diketopyrrolopyrrole Moieties for High-Performance Field-Effect Transistors", *Advanced Materials* **24**, 4618–4622 (2012).
- [54] F. Zhang, E. Mohammadi, X. Luo, J. Strzalka, J. Mei, and Y. Diao, "Critical Role of Surface Energy in Guiding Crystallization of Solution-Coated Conjugated Polymer Thin Films", *Langmuir* **34**, 1109–1122 (2018).
- [55] W. Zhang, J. Smith, S. E. Watkins, R. Gysel, M. McGehee, A. Salleo, J. Kirkpatrick, S. Ashraf, T. Anthopoulos, M. Heeney, and I. McCulloch, "Indacenodithiophene Semiconducting Polymers for High-Performance, Air-Stable Transistors", *Journal of the American Chemical Society* **132**, 11437–11439 (2010).
- [56] D. Venkateshvaran, M. Nikolka, A. Sadhanala, V. Lemaire, M. Zelazny, M. Kepa, M. Hurhangee, A. J. Kronemeijer, V. Pecunia, I. Nasrallah, I. Romanov, K. Broch, I. McCulloch, D. Emin, Y. Olivier, J. Cornil, D. Beljonne, and H. Sirringhaus, "Approaching disorder-free transport in high-mobility conjugated polymers", *Nature* **515**, 384–388 (2014).
- [57] M. Ikawa, T. Yamada, H. Matsui, H. Minemawari, J. Tsutsumi, Y. Horii, M. Chikamatsu, R. Azumi, R. Kumai, and T. Hasegawa, "Simple push coating of polymer thin-film transistors", *Nature Communications* **3**, 1176 (2012).
- [58] A. Perinot, P. Kshirsagar, M. A. Malvindi, P. P. Pompa, R. Fiammengio, and M. Caironi, "Direct-written polymer field-effect transistors operating at 20 MHz", *Scientific Reports* **6**, 38941 (2016).
- [59] M. Itoh, T. Kakuta, M. Nagaoka, Y. Koyama, M. Sakamoto, S. Kawasaki, N. Umeda, and M. Kurihara, "Direct Transformation into Silver Nanoparticles via Thermal Decomposition of Oxalate-Bridging Silver Oleylamine Complexes", *Journal of Nanoscience and Nanotechnology* **9**, 1–6 (2009).
- [60] M. Grouchko, A. Kamysny, C. F. Mihailescu, D. F. Anghel, and S. Magdassi, "Conductive Inks with a "Built-In" Mechanism That Enables Sintering at Room Temperature", *ACS Nano* **5**, 3354–3359 (2011).
- [61] T. Minari, Y. Kanehara, C. Liu, K. Sakamoto, T. Yasuda, A. Yaguchi, S. Tsukada, K. Kashizaki, and M. Kanehara, "Room-Temperature Printing of Organic Thin-Film Transistors with π -Junction Gold Nanoparticles", *Advanced Functional Materials* **24**, 4886–4892 (2014).
- [62] T. T. Baby, S. K. Garlapati, S. Dehm, M. Häming, R. Kruk, H. Hahn, and S. Dasgupta, "A General Route toward Complete Room Temperature Processing of Printed and High Performance Oxide Electronics", *ACS Nano* **9**, 3075–3083 (2015).
- [63] T. Seifert, E. Sowade, F. Roscher, M. Wiemer, T. Gessner, and R. R. Baumann, "Additive Manufacturing Technologies Compared: Morphology of Deposits of Silver Ink Using Inkjet and Aerosol Jet Printing", *Industrial Engineering Chemistry Research* **54**, 769–779 (2015).
- [64] K. Aoshima, Y. Hirakawa, T. Togashi, M. Kurihara, S. Arai, and T. Hasegawa, "Unique coexistence of dispersion stability and nanoparticle chemisorption in alkylamine/alkylacid encapsulated silver nanocolloids", *Scientific Reports* **8**, 6133 (2018).
- [65] Y. Hirakawa, K. Aoshima, S. Arai, and T. Hasegawa, "Phase and Dispersion Stability of Silver

- Nanocolloids for Nanoparticle-Chemisorption Printing”, *ACS Applied Nano Materials* **2**, 4342–4349 (2019).
- [66] T. Hayashi, Y. Hirakawa, S. Inoue, S. Arai, and T. Hasegawa, ”Anomalous Hydrodynamic Size Distributions of Alkylamine/Alkylacid-Encapsulated Silver Nanocolloids: Implications for Printing Ultrafine Conductive Patterns”, *ACS Applied Nano Materials* **3**, 6884–6891 (2020).
- [67] K. Fukuda, T. Sekine, Y. Kobayashi, D. Kumaki, M. Itoh, M. Nagaoka, T. Toda, S. Saito, M. Kurihara, M. Sakamoto, and S. Tokito, ”Stable organic thin-film transistors using full solution-processing and low-temperature sintering silver nanoparticle inks”, *Organic Electronics* **13**, 1660–1664 (2012).
- [68] K. Fukuda, Y. Takeda, Y. Yoshimura, R. Shiwaoku, L. T. Tran, T. Sekine, M. Mizukami, D. Kumaki, and S. Tokito, ”Fully-printed high-performance organic thin-film transistors and circuitry on one-micron-thick polymer films”, *Nature Communications* **5**, 4147 (2014).
- [69] T. Yamada, K. Fukuhara, K. Matsuoka, H. Minemawari, J. Tsutsumi, N. Fukuda, K. Aoshima, S. Arai, Y. Makita, H. Kubo, T. Enomoto, T. Togashi, M. Kurihara, and T. Hasegawa, ”Nanoparticle chemisorption printing technique for conductive silver patterning with submicron resolution”, *Nature Communications* **7**, 11402 (2016).
- [70] J. S. Forsythe, and D. J. T. Hill, ”The radiation chemistry of fluoropolymers”, *Progress in Polymer Science* **25**, 101–136 (2000).
- [71] J. Bardeen, ”Surface States and Rectification at a Metal Semi-Conductor Contact”, *Physical Review* **71**, 717–727 (1947).
- [72] 鳥海明, ”高誘電率ゲート絶縁膜技術の課題と動向”, *表面科学* **26**, 242–248 (2005).
- [73] G. Horowitz, ”Organic thin film transistors: From theory to real devices”, *Journal of Materials Research* **7**, 1946–1962 (2004).
- [74] S. Sze, and K. Ng, ”Physics of Semiconductor Devices” (Wiley, New York, 2006).
- [75] I. Ferain, C. A. Colinge, and J.-P. Colinge, ”Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors”, *Nature* **479**, 310–316 (2011).
- [76] D. V. Lang, X. Chi, T. Siegrist, A. M. Sergent, and A. P. Ramirez, ”Amorphouslike Density of Gap States in Single-Crystal Pentacene”, *Physical Review Letters* **93**, 086802 (2004).
- [77] M. Grünewald, P. Thomas, and D. Würtz, ”A Simple Scheme for Evaluating Field Effect Data”, *Physica Status Solidi (b)* **100**, K1 39–43 (1980).
- [78] D. Oberhoff, K. P. Pernstich, D. J. Gundlach, and B. Batlogg, ”Arbitrary Density of States in an Organic Thin-Film Field-Effect Transistor Model and Application to Pentacene Devices”, *IEEE Transactions on Electron Devices* **54**, 17–25 (2007).
- [79] J. Veres, S. D. Ogier, S. W. Leeming, D. C. Cupertino, and S. M. Khaffaf, ”Low- k Insulators as the Choice of Dielectrics in Organic Field-Effect Transistors”, *Advanced Functional Materials* **13**, 199–204 (2003).
- [80] T. Richards, M. Bird, and H. Sirringhaus, ”A quantitative analytical model for static dipolar disorder broadening of the density of states at organic heterointerfaces”, *Journal of Chemical Physics* **128**, 234905 (2008).

-
- [81] H. Sirringhaus, "Reliability of Organic Field-Effect Transistors", *Advanced Materials* **21**, 3859–3873 (2009).
 - [82] A. F. Stassen, R. W. I. de Boer, N. N. Iosad, and A. F. Morpurgo, "Influence of the gate dielectric on the mobility of rubrene single-crystal field-effect transistors", *Applied Physics Letters* **85**, 3899–3901 (2004).
 - [83] I. N. Hulea, S. Fratini, H. Xie, C. L. Mulder, N. N. Iossad, G. Rastelli, S. Ciuchi, and A. F. Morpurgo, "Tunable Fröhlich polarons in organic single-crystal transistors", *Nature Materials* **5**, 982–986 (2006).
 - [84] S. Lee, S. Jeon, and A. Nathan, "Modeling Sub-Threshold Current-Voltage Characteristics in Thin Film Transistors", *Journal of Display Technology* **9**, 883–889 (2013).
 - [85] V. Podzorov, E. Menard, A. Borissov, V. Kiryukhin, J. A. Rogers, and M. E. Gershenson, "Intrinsic Charge Transport on the Surface of Organic Semiconductors", *Physical Review Letters* **93**, 086602 (2004).
 - [86] T. Miyadera, T. Minari, K. Tsukagoshi, H. Ito, and Y. Aoyagi, "Frequency response analysis of pentacene thin-film transistors with low impedance contact by interface molecular doping", *Applied Physics Letters* **91**, 013512 (2007).
 - [87] M. Kano, T. Minari, and K. Tsukagoshi, "Improvement of subthreshold current transport by ocn-tact interface modification in p-type organic field-effect transistors", *Applied Physics Letters* **94**, 143304 (2009).
 - [88] M. Halik, H. Klauk, U. Zschieschang, G. Schmid, C. Dehm, M. Schütz, S. Maisch, F. Effenberger, M. Brunnbauer, and F. Stellacci, "Low-voltage organic transistors with an amorphous molecular gate dielectric", *Nature* **431**, 963–966 (2004).
 - [89] U. Zschieschang, F. Ante, T. Yamamoto, K. Takimiya, H. Kuwabara, M. Ikeda, T. Sekitani, T. Someya, K. Kern, and H. Klauk, "Flexible Low-Voltage Organic Transistors and Circuits Based on High-Mobility Organic Semiconductor with Good Air Stability", *Advanced Materials* **22**, 982–985 (2010).
 - [90] U. Zschieschang, M. J. Kang, K. Takimiya, T. Sekitani, T. Someya, T. W. Canzler, A. Werner, J. Blochwitz-Nimoth, and H. Klauk, "Flexible low-voltage organic thin-film transistors and circuits based on C₁₀-DNTT", *Journal of Materials Chemistry* **22**, 4273–4277 (2012).
 - [91] J. Tsurumi, A. Y. Amin, T. Okamoto, C. Mitsui, K. Takimiya, H. Matsui, M. Halik, and J. Takeya, "Solution-processed single-crystalline organic transistors on patterned ultrathin gate insulators", *Organic Electronics* **15**, 1184–1188 (2014).
 - [92] J. W. Borchert, B. Peng, F. Letzkus, J. N. Burghartz, P. K. L. Chan, K. Zojer, S. Ludwigs, and H. Klauk, "Small contact resistance and high-frequency operation of flexible low-voltage inverteds coplanar organic transistors", *Nature Communications* **10**, 1119 (2019).
 - [93] J. W. Borchert, U. Zschieschang, F. Letzkus, M. Giorgio, R. T. Weitz, M. Caironi, J. N. Burghartz, S. Ludwigs, and H. Klauk, "Flexible low-voltage high-frequency organic thin-film transistors", *Science Advances* **6**, eaaz5156 (2020).
 - [94] S. Y. Yang, S. H. Kim, K. Shin, H. Jeon, and C. E. Park, "Low-voltage pentacene field-effect

- transistors with ultrathin polymer gate dielectrics”, *Applied Physics Letters* **88**, 173507 (2006).
- [95] M. P. Walser, W. L. Kalb, T. Mathis, and B. Batlogg, ”Low-voltage organic transistors and inverters with ultrathin fluoropolymer gate dielectric”, *Applied Physics Letters* **95**, 233301 (2009).
- [96] X. Cheng, M. Caironi, Y.-Y. Noh, J. Wang, C. Newman, H. Yan, A. Facchetti, and H. Sirringhaus, ”Air Stable Cross-Linked Cytop Ultrathin Gate Dielectric for High Yield Low-Voltage Top-Gate Organic Field-Effect Transistors”, *Chemistry of Materials* **22**, 1559–1566 (2010).
- [97] S. Ono, R. Häusermann, D. Chiba, K. Shimamura, T. Ono, and B. Batlogg, ”High performance organic field-effect transistors with ultra-thin HfO₂ gate insulator deposited directly onto the organic semiconductor”, *Applied Physics Letters* **104**, 013307 (2014).
- [98] J. Li, Z. Sun, and F. Yan, ”Solution Processable Low-Voltage Organic Thin Film Transistors with High-*k* Relaxor Ferroelectric Polymer as Gate Insulator”, *Advanced Materials* **24**, 88–93 (2012).
- [99] J. Li, D. Liu, Q. Miao, and F. Yan, ”The application of a high-*k* polymer in flexible low-voltage organic thin-film transistors”, *Journal of Materials Chemistry* **22**, 15998–16004 (2012).
- [100] W. Tang, J. Li, J. Zhao, W. Zhang, F. Yan, and X. Guo, ”High-Performance Solution-Processed Low-Voltage Polymer Thin-Film Transistors With Low-*k*/High-*k* Bilayer Gate Dielectric”, *IEEE Electron Device Letters* **36**, 950–952 (2015).
- [101] W. Tang, J. Zhao, Y. Huang, L. Ding, Q. Li, J. Li, P. You, F. Yan, and X. Guo, ”Bias Stress Stability Improvement in Solution-Processed Low-Voltage Organic Field-Effect Transistors Using Relaxor Ferroelectric Polymer Gate Dielectric”, *IEEE Electron Device Letters* **38**, 748–751 (2017).
- [102] W. L. Kalb, T. Mathis, S. Haas, A. F. Stassen, and B. Batlogg, ”Organic small molecule field-effect transistors with CytopTM gate dielectric: Eliminating gate bias stress effects”, *Applied Physics Letters* **90**, 092104 (2007).
- [103] W. L. Kalb, T. Mathis, S. Haas, A. F. Stassen, and B. Batlogg, ”High performance organic field-effect transistors with fluoropolymer gate dielectric”, *Proceedings of SPIE* **6658**, 665807 (2007).
- [104] J. Kang, N. Shin, D. Y. Jang, V. M. Prabhu, and D. Y. Yoon, ”Structure and Properties of Small Molecule-Polymer Blend Semiconductors for Organic Thin Film Transistors”, *Journal of the American Chemistry Society* **130**, 12273–12275 (2008).
- [105] T. Ohe, M. Kuribayashi, R. Yasuda, A. Tsuboi, K. Nomoto, K. Satori, M. Itabashi, and J. Kasahara, ”Solution-processed organic thin-film transistors with vertical nanophase separation”, *Applied Physics Letters* **93**, 053303 (2008).
- [106] X. Li, W. T. T. Smaal, C. Kjellander, B. van der Putten, K. Gualandris, E. C. P. Smits, J. E. Anthony, D. J. Broer, P. W. M. Blom, J. Genoe, and G. Gelinck, ”Charge transport in high-performance ink-jet printed single-droplet organic transistors based on a silylethynyl substituted pentacene/insulating polymer blend”, *Organic Electronics* **12**, 1319–1327 (2011).
- [107] C. Jiang, H. W. Choi, X. Cheng, H. Ma, D. Hasko, and A. Nathan, ”Printed subthreshold organic transistors operating at high gain and ultralow power”, *Science* **363**, 7194–723 (2019).
- [108] R. Shiwaku, Y. Takeda, T. Fukuda, K. Fukuda, H. Matsui, D. Kumaki, and S. Tokito, ”Printed 2V-operating organic inverter arrays employing a small-molecule/polymer blend”, *Scientific Reports* **6**, 34723 (2016).

-
- [109] AGC Inc., CYTOP 技術資料.
- [110] 前田重義, "接着の極性効果に対する幾何平均則は正しいか?", 色材協会誌 **79**, 105–112 (2006).
- [111] 北崎寧昭, 畑敏雄, "Fowkes 式の拡張と高分子固体の表面張力の評価", 日本接着協会誌 **8**, 131–141 (1972).
- [112] F. M. Fowkes, "Determination of interfacial tensions, contact angles, and dispersion forces in surfaces by assuming additivity of intermolecular interactions in surfaces", *Journal of Physical Chemistry* **66**, 382 (1962).
- [113] F. M. Fowkes, "Additivity of Intermolecular forces at interfaces. I. Determination of the contribution to surface and interfacial tensions of dispersion forces in various liquids", *Journal of Physical Chemistry* **67**, 2538–2541 (1963).
- [114] H. Klauk, G. Schmid, W. Radlik, W. Weber, L. Zhou, C. D. Sheraw, J. A. Nicols, and T. N. Jackson, "Contact resistance in organic thin-film transistors", *Solid-State Electronics* **47**, 297–301 (2003).
- [115] C. Jiang, H. Ma, D. G. Hasko, X. Guo, and A. Nathan, "A Lewis-Acid Monopolar Gate Dielectric for All-Inkjet-Printed Highly Bias-Stress Stable Organic Transistors", *Advanced Electronic Materials* **3**, 1700029 (2017).
- [116] S. G. J. Mathijssen, M. Cölle, H. Gomes, E. C. P. Smits, B. de Boer, I. McCulloch, P. A. Bobbert, and D. M. de Leeuw, "Dynamics of Threshold Voltage Shifts in Organic and Amorphous Silicon Field-Effect Transistors", *Appl. Phys. Lett.* **29**, 2785–2789 (2007).
- [117] C. Liu, Y. Xu, Y. Li, W. Scheideler, and T. Minari, "Critical Impact of Gate Dielectric Interfaces on the Contact Resistance of High-Performance Organic Field-Effect Transistors", *Journal of Physical Chemistry C* **117**, 12337–12345 (2013).
- [118] C. A. Lee, D. W. Park, S. H. Jin, I. H. Park, J. D. Lee, and B.-G. Park, "Hysteresis mechanism and reduction method in the bottom-contact pentacene thin-film transistors with cross-linked poly(vinyl alcohol) gate insulator", *Applied Physics Letters* **88**, 252102 (2006).
- [119] C. Goldmann, D. J. Gundlach, and B. Batlogg, "Evidence of water-induced discrete trap state formation in pentacene single-crystal field-effect transistors", *Applied Physics Letters* **88**, 063501 (2006).
- [120] K. Bulgarevich, K. Sakamoto, T. Minari, T. Yasuda, and K. Miki, "Spatially Uniform Thin-Film Formation of Polymer Organic Semiconductors on Lyophobic Gate Insulator Surfaces by Self-Assisted Flow-Coating", *ACS Applied Materials Interfaces* **9**, 6237–6245 (2017).
- [121] M. Kunii, H. Iino, and J. Hanna, "Bias-stress characterization of solution-processed organic field-effect transistor based on highly ordered liquid crystals", *Applied Physics Letters* **110**, 243301 (2017).
- [122] M. Kettner, Z. Mi, D. Kälblein, J. Brill, P. W. M. Blom, and R. T. Weitz, "Solution-Processed Organic Transistors with Excellent Electrical Stability under Ambient Conditions", *Advanced Electronic Materials* **5**, 1900295 (2019).
- [123] T. Umeda, D. Kumaki, and S. Tokito, "High air stability of threshold voltage on gate bias stress in pentacene TFTs with a hydroxyl-free and amorphous fluoropolymer as gate insulators", *Organic*

- Electronics* **9**, 545–549 (2008).
- [124] T. Endo, T. Nagase, T. Kobayashi, K. Takimiya, M. Ikeda, and H. Naito, "Solution-Processed Diocetylbenzothienobenzothiophene-Based Top-Gate Organic Transistors with High Mobility, Low Threshold Voltage, and High Electrical Stability", *Applied Physics Express* **3**, 121601 (2010).
- [125] D. K. Hwang, C. F.-Hernandez, J. Kim, W. J. Poscavage Jr., S.-J. Kim, and B. Kippelen, "Top-Gate Organic Field-Effect Transistors with High Environmental and Operational Stability", *Advanced Materials* **23**, 1293–1298 (2011).
- [126] X. Jia, C. F.-Hernandez, C.-Y. Wang, Y. Park, and B. Kippelen, "Stable organic thin-film transistors", *Science Advances* **4**, eaao1705 (2018).
- [127] K. Takagi, T. Nagase, T. Kobayashi, T. Kushida, and H. Naito, "High-performance and electrically stable solution-processed polymer field-effect transistors with a top-gate configuration", *Japanese Journal of Applied Physics* **54**, 011601 (2015).
- [128] K. Takagi, T. Nagase, T. Kobayashi, and H. Naito, "High operational stability of solution-processed organic field-effect transistors with top-gate configuration", *Organic Electronics* **32**, 65–69 (2016).
- [129] K. Bulgarevich, K. Sakamoto, T. Yasuda, T. Minari, and M. Takeuchi, "Operational Stability Enhancement of Polymeric Organic Field-Effect Transistors by Amorphous Perfluoropolymers Chemically Anchored to Gate Dielectrics Surfaces", *Advanced Electronic Materials* **6**, 2000161 (2020).
- [130] H. L. Gomes, P. Stallinga, M. Cölle, D. M. de Leeuw, and F. Biscarini, "Electrical instabilities in organic semiconductors caused by trapped supercooled water", *Applied Physics Letters* **88**, 082101 (2006).
- [131] M. Nikolka, I. Nasrallah, B. Rose, M. K. Ravva, K. Broch, A. Sadhanala, D. Harkin, J. Charmet, M. Hurhangee, A. Brown, S. Illig, P. Too, J. Jongman, I. McCulloch, J.-L. Bredas, and H. Sirringhaus, "High operational and environmental stability of high-mobility conjugated polymer field-effect transistors through the use of molecular additives", *Nature Materials* **16**, 356–363 (2017).
- [132] N. K. Za'aba, and D. M. Taylor, "Bias and related stress effects in organic thin film transistors based on dinaphtho [2,3-b:2',3'-f] thieno[3,2-b] thiophene (DNTT)", *Organic Electronics* **62**, 382–393 (2018).
- [133] M. Hiraoka, T. Yamada, and T. Hasegawa, "Bias stress and condensation of mobile trap agents in printed organic transistors", *Applied Physics Letters* **95**, 223304 (2009).
- [134] S. G. J. Mathijssen, M. Cölle, A. J. G. Mank, M. Kemerink, P. A. Bobbert, and D. M. de Leeuw, "Scanning Kelvin probe microscopy on organic field-effect transistors during gate bias stress", *Applied Physics Letters* **90**, 192104 (2007).
- [135] S. G. J. Mathijssen, M.-J. Spijkman, A.-M. Andringa, P. A. van Hal, I. McCulloch, M. Kemerink, R. A. J. Janssen, and D. M. de Leeuw, "Revealing Buried Interfaces to Understand the Origins of Threshold Voltage Shifts in Organic Field-Effect Transistors", *Advanced Materials* **22**, 5105–5109 (2010).
- [136] S. G. J. Mathijssen, M. Kemerink, A. Sharma, M. Cölle, P. A. Bobbert, R. A. J. Janssen, and D.

- M. de Leeuw, "Charge Trapping at the Dielectric of Organic Transistors Visualized in Real Time and Space", *Advanced Materials* **20**, 975–979 (2008).
- [137] A. Sharma, S. G. J. Mathijssen, M. Kemerink, D. M. de Leeuw, and P. A. Bobbert, "Proton migration mechanism for the instability of organic field-effect transistors", *Applied Physics Letters* **95**, 253305 (2009).
- [138] A. Sharma, S. G. J. Mathijssen, E. C. P. Smits, M. Kemerink, D. M. de Leeuw, and P. A. Bobbert, "Proton migration mechanism for operational instabilities in organic field-effect transistors", *Physical Review B* **82**, 075322 (2010).
- [139] P. A. Bobbert, A. Sharma, S. G. J. Mathijssen, M. Kemerink, and D. M. de Leeuw, "Operational Stability of Organic Field-Effect Transistors", *Advanced Materials* **24**, 1146–1158 (2012).
- [140] K. P. Pernstich, S. Haas, D. Oberhoff, C. Goldmann, D. J. Gundlach, B. Batlogg, A. N. Rashid, and G. Schitter, "Threshold voltage shift in organic field effect transistors by dipole monolayers on the gate insulator", *Journal of Applied Physics* **96**, 6431–6438 (2004).
- [141] S. Kobayashi, T. Nishikawa, T. Takenobu, S. Mori, T. Shimoda, T. Mitani, H. Shimotani, N. Yoshimoto, S. Ogawa, and Y. Iwasa, "Control of carrier density by self-assembled monolayers in organic field-effect transistors", *Nature Materials* **3**, 317–322 (2004).
- [142] C. Huang, H. E. Katz, and J. E. West, "Solution-Processed Organic Field-Effect Transistors and Unipolar Inverters Using Self-Assembled Interface Dipoles on Gate Dielectrics", *Langmuir* **23**, 13223–13231 (2007).
- [143] H. Sugimura, K. Hayashi, N. Saito, N. Nakagiri, and O. Takai, "Surface potential microscopy for organized molecular systems", *Applied Surface Science* **188**, 403–410 (2002).
- [144] F. Gholamrezaie, A.-M. Andringa, W. S. C. Roelofs, A. Neuhold, M. Kemerink, P. W. M. Blom, and D. M. de Leeuw, "Charge Trapping by Self-Assembled Monolayers as the Origin of the Threshold Voltage Shift in Organic Field-Effect Transistors", *Small* **8**, 241–245 (2012).
- [145] R. Shiwaku, H. Matsui, K. Hayasaka, Y. Takeda, T. Fukuda, D. Kumaki, and S. Tokito, "Printed Organic Inverter Circuits with Ultralow Operating Voltages", *Advanced Electronic Materials* **3**, 1600557 (2017).
- [146] M. Kunii, H. Iino, and J. Hanna, "Solution-Processed, Low-Voltage Polycrystalline Organic Field-Effect Transistor Fabricated Using Highly Ordered Liquid Crystals With Low- k Gate Dielectric", *IEEE Electron Device Letters* **37**, 486–488 (2016).
- [147] L. Feng, W. Tang, X. Xu, Q. Cui, and X. Guo, "Ultralow-Voltage Solution-Processed Organic Transistors With Small Gate Dielectric Capacitance", *IEEE Electron Device Letters* **34**, 129–131 (2013).
- [148] M. R. Niazi, R. Li, E. Q. Li, A. R. Kirmani, M. Abdelsamie, Q. Wang, W. Pan, M. M. Payne, J. E. Anthony, D.-M. Smilgies, S. T. Thoroddsen, E. P. Giannelis, and A. Amassian, "Solution-printed organic semiconductor blends exhibiting transport properties on par with single crystals", *Nature Communications* **6**, 8598 (2015).
- [149] L. Feng, W. Tang, J. Zhao, R. Yang, W. Hu, Q. Li, R. Wang, and X. Guo, "Unencapsulated Air-stable Organic Field Effect Transistor by All Solution Processes for Low Power Vapor Sensing",

- Scientific Reports* **6**, 20671 (2016).
- [150] L. Ding, J. Zhao, W. Tang, S. Chen, and X. Guo, "Flexible-Blade Coating of Small Molecule Organic Semiconductor for Low Voltage Organic Field Effect Transistor", *IEEE Electron Device Letters* **38**, 338–340 (2017).
- [151] Y. Huang, W. Tang, S. Chen, L. Han, X. Hou, and X. Guo, "Scalable Processing of Low Voltage Organic Field Effect Transistors With a Facile Soft-Contact Coating Approach", *IEEE Electron Device Letters* **40**, 1945–1948 (2019).
- [152] K. Murata, J. Matsumoto, A. Tezuka, Y. Matsuba, and H. Yokoyama, "Super-fine ink-jet printing: toward the minimal manufacturing system", *Microsystem Technologies* **12**, 2–7 (2005).
- [153] T. Sekitani, Y. Noguchi, U. Zschieschang, H. Klauk, and T. Someya, "Organic transistors manufactured using inkjet etchnology with subfemtoliter accuracy", *Proceedings of the National Academy of Sciences of the United States of America* **105**, 4976–4980 (2008).
- [154] T. Yokota, T. Sekitani, Y. Kato, K. Kuribara, U. Zschieschang, H. Klauk, T. Yamamoto, K. Takimiya, H. Kuwabara, M. Ikeda, and T. Someya, "Low-voltage organic transistor with sub-femtoliter inkjet source-drain contacts", *MRS Communications* **1**, 3–6 (2011).
- [155] H. Matsui, and T. Hasegawa, "Direct Observation of Field-Induced Carrier Dynamics in Pentacene Thin-Film Transistors by Electron Spin Resonance Spectroscopy", *Japanese Journal of Applied Physics* **48**, 04C175 (2009).
- [156] Y. Kuzumoto, and M. Kitamura, "Work function of gold surfaces modified using substituted benzenethiols: Reaction time dependence and thermal stability", *Applied Physics Express* **7**, 035701 (2014).
- [157] S. Tatara, Y. Kuzumoto, and M. Kitamura, "Surface properties of substituted-benzenethiol monolayers on gold and silver: Work function, wettability, and surface tension", *Japanese Journal of Applied Physics* **55**, 03DD02 (2016).
- [158] Y. Mei, D. Fogel, J. Chen, J. W. Ward, M. M. Payne, J. E. Anthony, and O. D. Jurchescu, "Interface engineering to enhance charge injection and transport in solution-deposited organic transistors", *Organic Electronics* **50**, 100–105 (2017).
- [159] K. Aoshima, S. Arai, K. Fukuhara, T. Yamada, and T. Hasegawa, "Surface modification of printed silver electrodes for efficient carrier injection in organic thin-film transistors", *Organic Electronics* **41**, 137–142 (2017).
- [160] S. Kwon, K. Yu, K. Kweon, G. Kim, J. Kim, H. Kim, Y.-R. Jo, B.-J. Kim, J. Kim, S. H. Lee, and K. Lee, "Template-mediated nano-crystallite networks in semiconducting polymers", *Nature Communications* **5**, 4183 (2014).
- [161] T. Okachi, "Mobility overestimation due to minority carrier injection and trapping in organic field-effect transistors", *Organic Electronics* **57**, 34–44 (2018).
- [162] T. Uemura, C. Rolin, T.-H. Ke, P. Fesenko, J. Genoe, P. Heremans, and J. Takeya, "On the Extraction of Charge Carrier Mobility in High-Mobility Organic Transistors", *Advanced Materials* **28**, 151–155 (2016).
- [163] E. G. Bittle, J. I. Basham, T. N. Jackson, O. D. Jurchescu, and D. J. Gundlach, "Mobility overesti-

- mation due to gated contacts in organic field-effect transistors”, *Nature Communications* **7**, 10908 (2016).
- [164] J. Liu, Q. Ge, W. Zhang, J. Ma, J. Ding, G. Yu, and J. Hu, ”Highly π -extended copolymer as additive-free hole-transport material for perovskite solar cells”, *Nano Research* **11**, 185–194 (2018).
- [165] H. Phan, M. Wang, G. C. Bazan, and T.-Q. Nguyen, ”Electrical Instability Induced by Electron Trapping in Low-Bandgap Donor-Acceptor Polymer Field-Effect Transistors”, *Advanced Materials* **27**, 7004–7009 (2015).
- [166] H. Klauk, ”Will We See Gigahertz Organic Transistors?”, *Advanced Electronic Materials* **4**, 1700474 (2018).
- [167] H. Matsui, Y. Takeda, and S. Tokito, ”Flexible and printed organic transistors: From materials to integrated circuits”, *Organic Electronics* **75**, 105432 (2019).
- [168] A. F. Paterson, A. D. Mottram, H. Faber, M. R. Niazi, Z. Fei, M. Heeney, and T. D. Anthopoulos, ”Impact of the Gate Dielectric on Contact Resistance in High-Mobility Organic Transistors”, *Advanced Electronic Materials* **5**, 1800723 (2019).
- [169] J. Takeya, M. Yamagishi, Y. Tominari, R. Hirahara, Y. Nakazawa, T. Nishikawa, T. Kawase, T. Shimoda, and S. Ogawa, ”Very high-mobility organic single-crystal transistors with in-crystal conduction channels”, *Applied Physics Letters* **90**, 102120 (2007).
- [170] J. Takeya, J. Kato, K. Hara, M. Yamagishi, R. Hirahara, K. Yamada, Y. Nakazawa, S. Ikehata, K. Tsukagoshi, Y. Aoyagi, T. Takenobu, and Y. Iwasa, ”In-Crystal and Surface Charge Transport of Electric-Field-Induced Carriers in Organic Single-Crystal Semiconductors”, *Physical Review Letters* **98**, 196804 (2007).
- [171] G. Giri, R. Li, D.-M. Smilgies, E. Q. Li, Y. Diao, K. M. Lenn, M. Chiu, D. W. Lin, R. Allen, J. Reinspach, S. C. B. Mannsfeld, S. T. Thoroddsen, P. Clancy, Z. Bao, and A. Amassian, ”One-dimensional self-confinement promotes polymorph selection in large-area organic semiconductor thin films”, *Nature Communications* **5**, 3573 (2014).
- [172] B. Peng, Z. Wang, and P. K. L. Chan, ”A simulation-assisted solution-processing method for a large-area, high-performance C₁₀-DNTT organic semiconductor crystal”, *Journal of Materials Chemistry C* **4**, 8628–8633 (2016).
- [173] D. J. Gundlach, J. E. Royer, S. K. Park, S. Subramanian, O. D. Jurchescu, B. H. Hamadani, A. J. Moad, R. J. Kline, L. C. Teague, O. Kirillov, C. A. Richter, J. G. Kushmerick, L. J. Richter, S. R. Parkin, T. N. Jackson, and J. E. Anthony, ”Contact-induced crystallinity for high-performance soluble acene-based transistor and circuits”, *Nature Materials* **7**, 216–221 (2008).
- [174] M. R. Niazi, R. Li, M. Abdelsamie, K. Zhao, D. H. Anjum, M. M. Payne, J. E. Anthony, D.-M. Smilgies, and A. Amassian, ”Contact-Induced Nucleation in High-Performance Bottom-Contact Organic Thin Film Transistors Manufactured by Large-Area Compatible Solution Processing”, *Advanced Functional Materials* **26**, 2371–2378 (2016).
- [175] Z. Zhuo, Y. Sannomiya, K. Goto, T. Yamada, H. Ohmi, H. Kakiuchi, and K. Yasutake, ”Formation of SiO₂/Si structure with low interface state density by atmospheric-pressure VHF plasma

- oxidation", *Current Applied Physics* **12**, S57–S62 (2012).
- [176] W. Tang, L. Feng, P. Yu, J. Zhao, and X. Guo, "Highly Efficient All-Solution-Processed Low-Voltage Organic Transistor with a Micrometer-Thick low- k Polymer Gate Dielectric Layer", *Advanced Electronic Materials* **2**, 1500454 (2016).
- [177] J. Zhao, W. Tang, Q. Li, W. Liu, and X. Guo, "Fully Solution Processed Bottom-Gate Organic Field-Effect Transistor With Steep Subthreshold Swing Approaching the Theoretical Limit", *IEEE Electron Device Letters* **38**, 1465–1468 (2017).
- [178] S. Inoue, T. Higashino, S. Arai, R. Kumai, H. Matsui, S. Tsuzuki, S. Horiuchi, and T. Hasegawa, "Regioisomeric control of layered crystallinity in solution-processable organic semiconductor", *Chemical Science* **11**, 12493–12505 (2020).