

博 士 論 文

チップ間誘導結合通信を用いた
形状自在計算機システム

Shape-Changeable Computer System Using Inter-Chip
Inductive-Coupling Wireless Communication

門本 淳一郎

チップ間誘導結合通信を用いた形状自在計算機システム

要旨

計算機システムはその小型化や低消費電力化にともなって多様なデバイスへと組み込まれるようになり、我々の生活空間に浸透している。計算機システムの今後のアプリケーションとして注目すべきものに、形状変化する組み込みデバイスがある。たとえばミリメートルスケールのサイズへとコンパクトに折りたたまれ、変形するマイクロロボットが提案されている。また、群れを成すマイクロロボットやそれらから組織的に構成されるユーザインタフェースの研究が進められている。こうした研究の視線の先には、デバイス上への計算機搭載による高度な協調分散処理の実現がある。しかしながら、ミリメートルスケールのマイクロロボットへの計算機の搭載はこれまでに成されていない。搭載における大きな課題は計算機の物理的なサイズと実装手法である。

計算機システムの実装手法として、無線通信回路チップやセンサチップといった複数の異なるチップを集積し多機能化を実現する SiP が注目を浴びるようになっている。しかし既存の SiP は従来の SoC と同様にセンチメートルスケールのパッケージへと格納されることを前提とした実装手法となっており、実装形状や製造コストの点で形状変化する組み込みデバイスには適していない。

このような背景の下、本研究では形状変化する組み込みデバイスに向けた新たな計算機実装手法として、形状自在計算機システムを提案する。ここでは隣接して配置された複数の小型チップが無線接続されることで一つのシステムを構成し、多様な機能・形状とその変更を実現する。

以降に論文の構成を示す。1章では研究の背景として形状変化する組み込みデバイスと既存の実装技術の課題について整理し、2章では主に形状自在計算機システムの要となるチップ間無線通信技術について、既存の研究成果とその課題とを述べる。3章ではシステムにおける無線通信技術として誘導結合無線バスを提案し、シミュレーションによる解析と実測評価の結果を示す。4章では誘導結合無線バスを搭載したチップの設計に際する課題を整理し、設計指針と実測評価結果を示す。5章では形状自在計算機システムのプロトタイプを示すとともに、実現可能となるアプリケーションについて議論をおこなう。6章は結論であり、各章で得られた知見を総括し今後の展望を述べる。

目次

要旨	i
第 1 章 序論	1
1.1 まえがき	1
1.2 背景	2
1.3 本研究の目的	10
1.4 本論文の構成	11
第 2 章 関連研究	13
2.1 まえがき	13
2.2 オンチップアンテナを用いた無線通信	13
2.3 オフチップアンテナを用いた無線通信	17
2.4 オンチップコイルを用いた無線電力伝送	19
2.5 無線センサノード	20
2.6 まとめ	22
第 3 章 誘導結合無線バスの解析と設計手法	24
3.1 まえがき	24
3.2 オンチップコイル間水平方向誘導結合	25
3.3 送受信回路	36
3.4 シミュレーション評価	37
3.5 実験評価	44
3.6 まとめ	45
第 4 章 構成チップの設計手法	48
4.1 まえがき	48
4.2 誘導結合無線バスと内部回路との干渉	50
4.3 汎用プロセッサチップのアーキテクチャ	52
4.4 実験評価	60
4.5 まとめ	66
第 5 章 形状自在計算機システムの設計手法	69
5.1 まえがき	69
5.2 プロトタイプの実装	70

5.3	実験評価	71
5.4	考察	72
5.5	まとめ	79
第 6 章	結論	80
6.1	本論文のまとめ	80
6.2	今後の展望	81
	謝辞	83
	参考文献	84
	本研究に関連する発表	95

目次

1.1	折り紙型マイクロロボット	3
1.2	形状変化するユーザインタフェース	3
1.3	群ロボットを利用したユーザインタフェース	4
1.4	System-on-a-Chip (SoC)	6
1.5	System-in-a-Package (SiP)	7
1.6	More than Moore	9
1.7	形状自在計算機システム	11
2.1	ミリ波無線通信	14
2.2	超広帯域無線通信	15
2.3	近接場容量結合通信	17
2.4	近接場誘導結合通信	18
2.5	オフチップアンテナを用いた無線通信	19
2.6	オンチップコイルを用いた無線電力伝送	20
2.7	小型無線センサノード	21
3.1	誘導結合無線バス	24
3.2	水平方向誘導結合コイルの等価回路	25
3.3	コイルの電磁界シミュレーションモデル	28
3.4	通信距離と結合係数の関係	29
3.5	位置ずれと結合係数の関係	30
3.6	相対角度と結合係数の関係	31
3.7	長方形コイルの相互インダクタンス ($D_h \geq D_w$)	32
3.8	長方形コイルの相互インダクタンス ($D_w \geq D_h$)	33
3.9	複数コイル間の水平方向誘導結合	34
3.10	コイルの設計パラメータ	35
3.11	送受信コア回路	36
3.12	シミュレーション波形	38
3.13	コイル径と最大転送速度の関係	39
3.14	7-nm CMOS プロセスを想定したシミュレーション波形	43
3.15	誘導結合無線バスのテストチップ写真	45
3.16	バス通信の実測波形	46
3.17	バス通信のアイパターンとタイミングマージン	47

4.1	リング状配線の影響	48
4.2	電源リングの通信特性に対する影響	51
4.3	シールリングの通信特性に対する影響	52
4.4	汎用プロセッサチップのブロック図	53
4.5	送受信回路	54
4.6	送受信回路の動作	55
4.7	パケット転送のシミュレーション結果	56
4.8	衝突検知回路のシミュレーション結果	57
4.9	データ衝突の模式図 (a) 隣接チップ間、(b) 隣接しないチップ間	58
4.10	ネットワークポロジの把握	60
4.11	ルーティングパスの構築	61
4.12	汎用プロセッサプロトタイプの全体ブロック図	62
4.13	RISC-V RV32I プロセッサコアのブロック図	63
4.14	汎用プロセッサプロトタイプのテストチップ写真	64
4.15	汎用プロセッサプロトタイプの測定ボード	65
4.16	汎用プロセッサプロトタイプにおけるアイパターンとタイミングマージン	66
4.17	チップ間無線通信時のモニタ波形	67
4.18	チップ間の通信距離	68
5.1	形状自在計算機システムのプロトタイプ	70
5.2	相対角度と受信回路出力電圧の関係	72
5.3	デモシステムの動作	73
5.4	形状自在計算機システムのサイズ	74
5.5	形状自在計算機システムの形状	75
5.6	先端モバイル向けシステムの実装例	76
5.7	誘導結合無線バスで検出可能な形状変化	77
5.8	基材とパッケージ	78

表目次

3.1	チップ間無線通信手法の性能比較	40
3.2	誘導結合無線バスの定電圧スケーリング	41
3.3	誘導結合無線バスの定磁界スケーリング	42
4.1	先行研究との性能比較	68

第1章

序論

1.1 まえがき

今日の情報化社会を支えるのは計算機である。膨大な情報が不断に生産され伝搬する状況の中で、情報処理による付加価値の創造は社会の発展と密接に結びついている。半導体集積回路技術 [1] の誕生以来、製造プロセスの微細化と高集積化を礎として計算機システムの開発は進められてきた。こうしたデバイス技術の継続的な進展の下、集積回路、計算機アーキテクチャ、コンパイラといった各階層における技術開発によって計算機システムは目覚ましい発達を遂げ、その適応範囲を広げてきた。ラップトップ、モバイル端末、家電製品、自動車、医療機器、産業機器といった多種多様な機器のそれぞれへと計算機が組み込まれ、互いに接続されて我々の生活空間に浸透している。長らく予期されてきた計算機の遍在する世界は、ここに至って現実そのものとなっている。

今後の計算機システムのアプリケーションとして注目すべきものに、形状変化する組み込みデバイスがある。ロボットやユーザインタフェースといった組み込みデバイスでは、デバイス形状の変化を活用した人間や環境とのインタラクションがおこなわれる。したがって、センサやアクチュエータを含んだヘテロジニアスな計算機システムをデバイス上へ搭載することが望まれる。ここでの課題は、複雑な形状や変形が求められるこうした組み込みデバイスに対してどのように計算機システムを実装していくか、というものである。形状変形の粒度や自由度を犠牲にしない計算機システム実装手法の開発は小型なマイクロロボット、高精細なユーザインタフェースの実現へと貢献する。

本研究では、形状変化する組み込みデバイスに向けた新たな計算機実装手法として、形状自在計算機システムを提案する。無線接続された複数の小型チップを用いてシステムを構成し、多様な機能・形状とその動的な変更を実現する。提案する形状自在計算機シ

テムの設計手法を確立するとともに、実測評価によってその有用性を示すことが本研究の目的である。本章では着目するアプリケーションである形状変化する組み込みデバイスに関して先行研究の紹介をおこなうとともに、従来の計算機システム実装手法について述べる。また、計算機システムの成長指針について概説する。続いて、これらの背景を踏まえた上で本研究の目的を改めて整理する。最後に本論文の構成について記述する。

1.2 背景

1.2.1 形状変化する組み込みデバイス

変形するロボットやユーザインタフェースといった形状変化する組み込みデバイスの研究開発が進んでいる。これらのアプリケーションにおいてはデバイスの変形を引き起こすアクチュエータや形状の変化を認識するセンサ、情報処理をおこなうプロセッサの混載が望まれる。こうした研究を大別すれば、ロボットとユーザインタフェースの双方それぞれにおいて、個別のデバイスの形状が変化するものと、分離・結合が可能な複数のモジュールから組織的にデバイス全体が構築されるものが存在する。以降ではそれぞれについて先行研究を示していく。

自身の形状を変化させることで多様な機能を実現するマイクロロボットが提案されている [2, 3, 4]。ここでは特に体内や水中といった局所における作業の委託を想定して研究開発がなされている。折り紙のように折りたたまれ変形する体内向けのマイクロロボット (図 1.1) [2]、形状変化を利用して体内で薬品の輸送をおこなうマイクロロボット [3]、形状変化により水中で多様な動作を実現するソフトマイクロロボット [4] といったものがこれまでに提案されている。こうした研究の向かう先には計算機の搭載によるデバイス上でのセンシング処理があるものの、ハードウェアのサイズや電力消費が課題となりミリメートルスケール以下のサイズのマイクロロボットへの計算機システム搭載はこれまでに成されていない。

また、複数のモジュールから構成される群ロボット、自己組織化ロボットの研究が進められている [5, 6, 7, 8]。複数ロボットの集団行動によって個別のロボットでは遂行できないタスクを達成する。群ロボット研究向けの低コストに生産可能なロボット [5] やそれを活用した 1024 体のロボット群の制御手法 [6]、あるいは生体模倣の文脈から、神経系を模したネットワークを結合・分離可能な群ロボットの制御手法 [7]、生物の形態形成を再現した手法 [8] といったものがこれまでに提案されている。これらの研究において示される

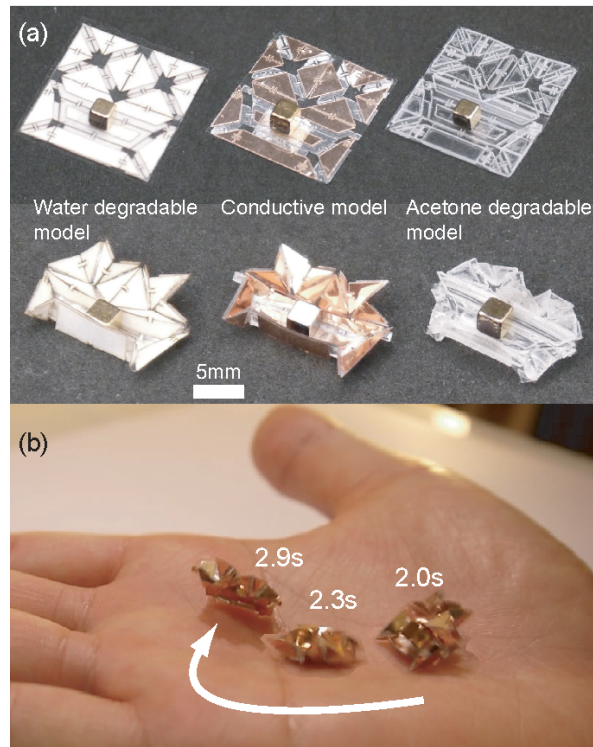


図 1.1. 折り紙型マイクロロボット [2]

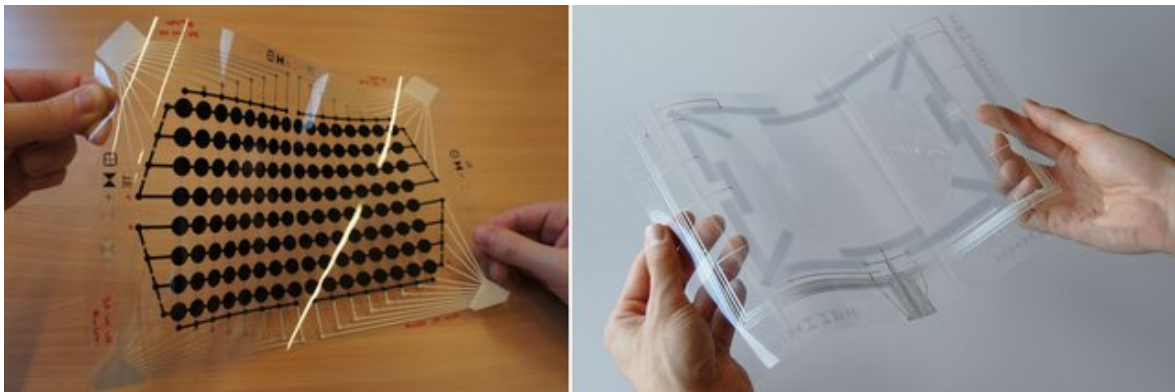


図 1.2. 形状変化するユーザインタフェース [9]

ロボットには既にセンサやアクチュエータ、計算機が混載されているものの、実装手法の制約からロボットのサイズは3.3 cm 径 [5]、17 cm 径 [7] といった値に留まっている。より小型なロボットの実現には従来とは異なる計算機実装手法の適用が不可欠である。

一方、変形するユーザインタフェースについても研究が進められている [9, 10]。形状変化によって情報入力をおこなうサーフェス状インタフェース (図 1.2) [9]、自己修復素材



図 1.3. 群ロボットを利用したユーザインタフェース [11]

によって構成され分離・結合が可能なインタフェース [10] といったものが提案されている。こうしたデバイスとデバイス上に搭載した計算機を組み合わせることでシステムの小型化や低レイテンシ・高速なセンシングが可能となる。また、分割されるユーザインタフェースについては、内部に独立した複数の計算機を搭載することで分割の自由度が向上する。

また、ユーザインタフェースの領域においても、複数の画一的なロボットから構成されるデバイスの研究がおこなわれている [11, 12, 13]。こうした研究では複数のロボットを情報のインタフェースとして扱っており、前述した群ロボット研究を Human-Computer Interaction (HCI) の観点から眺めたものとなっている。各ロボットは人間に向けられたディスプレイの物理ボクセルとして働くとともに、環境とのインタラクションもおこなう。こうしたユーザインタフェース研究のための群ロボットプラットフォーム (図 1.3) [11]、それを用いたインタラクション手法 [12]、個々のロボットが形状変化することでより多彩な形状を提示する手法 [13] といったものが示されている。これらのデバイスにおいては各ロボットのサイズがディスプレイとしての情報表現粒度を決定するため、計算機実装手法の改善によるロボット小型化の要求は大きい [11]。

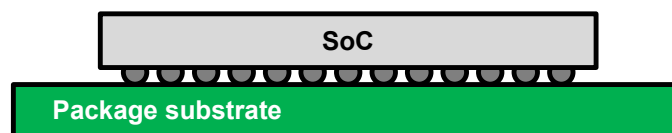
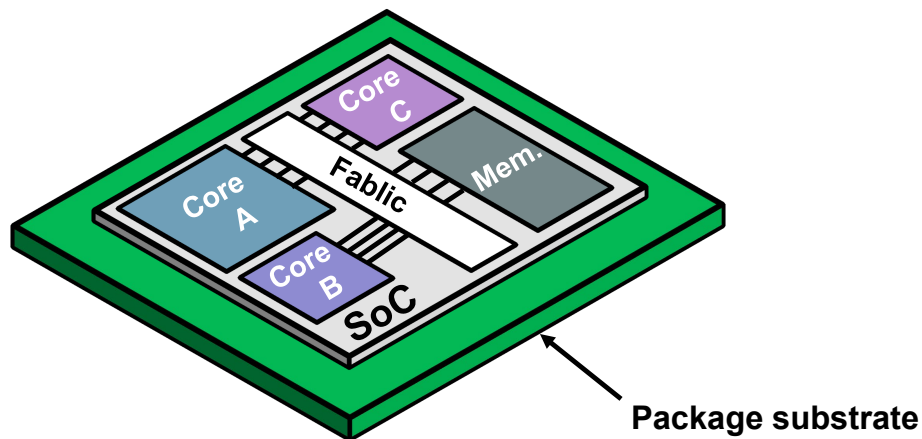
1.2.2 計算機システムの実装手法

計算機システムは小型化と高集積化の軌跡を描いてきた。初期の汎用計算機はリレーや真空管、パラメトロン [14] といった論理素子の組み合わせによって実装されていたものの、これらはやがて動作速度や集積度、信頼性の観点で有利なトランジスタに取って代わ

られていった。より大規模なシステムの構築が追求される中で「Tyranny of Numbers」と呼ばれる部品間接続配線の急激な増加が課題となった。半導体集積回路 [1] はまさにその解決策として発見された。1971 年には初期のマイクロプロセッサとして Intel 4004 が発表された [15]。他方、1964 年に発表された IBM System/360 [16] においては、計算機システム設計における抽象化概念——計算機アーキテクチャとハードウェアとの分離や、ソフトウェアとのインタフェース標準化——が提示されるとともに、バイトアドレッシングや 32-bit 単位のデータ処理、Tomasulo のアルゴリズムとして知られる命令レベル並列性 (ILP) 抽出アルゴリズム [17] といった現在の汎用計算機システムへと繋がる数多くの思想が導入された。以降はこうした前例の設計思想を引き継ぎ、半導体集積回路技術に基づくマイクロプロセッサというかたちで多くの計算機システムが実装されるようになっていった。ここでいくつかの具体例を挙げれば、1981 年に発表された RISC I [18]、1982 年に発表された MIPS [19] をはじめとする RISC プロセッサ、1996 年に発表された高度な ILP プロセッサである DEC Alpha 21264 [20]、2001 年に発表されたチップマルチプロセッサ IBM POWER4 [21]、2005 年に発表されたヘテロジニアスマルチコアプロセッサの Cell Broadband Engine [22] といった歴史を辿り、今日の計算機システムに至っている。

複数の構成要素を単一のチップ上へと搭載する計算機システム実装手法を、System-on-a-Chip (SoC) と呼ぶ (図 1.4)。ここまでに述べてきたように今日の計算機システムの多くはヘテロジニアスなコアや周辺回路を含んだマイクロプロセッサとして実装されており、組み込みデバイスからモバイル、ハイエンドなデスクトップやサーバまでの広範な領域において SoC は標準的な実装手法となっている。基板上で複数の構成要素を接続する場合と比較して省面積かつ高性能、省電力なシステムを構築することができる。しかしながら、継続的な製造プロセスの微細化と高集積化に伴って、SoC の設計・製造コスト増加が課題となっている [23]。製造プロセスの複雑化によってレイアウトルール制約やマスクレイヤ数は増加の一途を辿っており、数十億個を超える論理ゲートから成る回路の設計と検証とは困難を極めている。また、SoC には複数の回路が集積されるためチップあたりの面積が増大する。複雑な形状での実装や、形状の変化には対応できない。

SoC の課題を解決する実装手法として、System-in-a-Package (SiP) の研究開発が進められている。これは単一の SoC をチップレットと呼ばれる小さなチップへと分割し、それらを密に集積し同一のパッケージ内でシステムを構築する手法である [24, 25, 26, 27,



Cross-sectional view

図 1.4. System-on-a-Chip (SoC)

28, 29, 30, 31]。分割によって設計者は小さなチップ単位で短期間に設計や検証をおこなうことができる。さらに、そうした検証済みチップの設計データをハード IP として再利用することで、新規設計コストを抑えつつ新たな計算機システムを構築することができる。また、1チップあたりの面積は小さくなるため歩留まりは向上する。異なる製造プロセスのチップを組み合わせることで、異種デバイスを容易に集積することができる。

SiP 技術のひとつに、シリコンインタポーザを用いた 2.5D 実装がある (図 1.5)。これは個別に設計された複数のチップをシリコンインタポーザと呼ばれる大きなチップ上に横並びに積層し、有線接続することでシステムを構築する手法である [24, 25, 26, 27]。複数のチップを鉛直方向に積層する 3.0D 実装との区別のため、こうした積層方法は 2.5D 実装と呼ばれる。ここではシリコンインタポーザの内部配線を活用し、横並びにしたチップ間を高密度な配線で接続する。パッケージ基板と各チップとは、シリコンインタポーザ内に形成された Through-silicon via (TSV) を介して接続される。シリコンインタポーザ

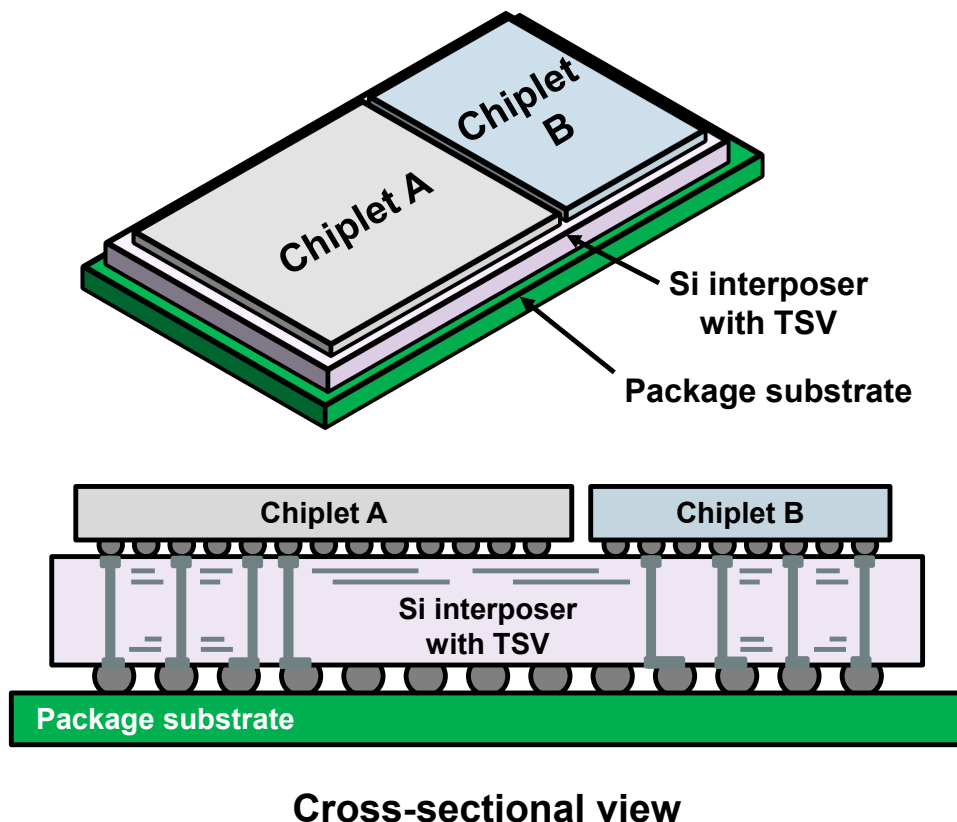


図 1.5. System-in-a-Package (SiP)

は高帯域なインタフェースが要求されるハイエンドなサーバ、デスクトップ領域向けの GPU ボードや FPGA ボードに導入されている。たとえば先端の DRAM インタフェース規格である HBM2[32] を採用し 4 スタックの積層メモリチップとプロセッサチップとをインタポーザを介して接続することで、1 TB/s 以上の高帯域インタフェースが構築される。こうした種の 2.5D 実装には、大きなシリコンインタポーザや TSV 形成のための製造コスト増加という難点が存在する。また、チップ間ネットワーク構築のための各チップにおける適切なフロアプラン策定や、シリコンインタポーザ内の配線レイアウト策定作業が追加で必要とされる。システムの変形はサポートしておらず、最小でも数ミリメートルスケールのパッケージ内へと実装される。

その他の SiP 技術には、フォトリソ技術を利用した 2.5D 実装 [28, 29] や、誘導結合通信を利用した 3.0D 実装 [30, 31] がある。フォトリソ技術を活用した手法には、チップ外部のレーザによるシステム全体の面積増加、レーザの大きな消費電力 (1.195 W[28])

といった課題があり、組み込みデバイスへの応用には必ずしも適していない。誘導結合通信手法については、後に関連研究として取り上げその詳細を記述する。いずれの手法においても各チップの配置は固定されており、複雑な形状での実装や形状変形には対応できない。

ここまで述べてきたように、計算機システムの実装手法は高集積化を追求する SoC から、ヘテロジニアスな構成要素を組み合わせる SiP へと移行しつつある。しかしながら、シリコンインタポーザやフォトニクス技術による 2.5D 実装は主にハイエンドなアプリケーション領域、プロセッサチップとメモリチップ間の高帯域なインタフェースへの応用を想定して開発されており、必ずしも組み込みデバイスへの応用には適していない。本研究ではこうした SiP 技術開発の文脈を踏まえた上で、特定の組み込みデバイス応用に向けた新たな計算機システム実装手法を提案する。

1.2.3 計算機システムの価値向上指針

デバイスの微細化を前提とする計算機システムの成長シナリオは今や堅実なものとは言えない。製造プロセスの微細化や、Moore 則 [33] として知られる回路素子の著しい増加傾向そのものは現在まで継続している。具体例を挙げれば、1971 年に発表されたマイクロプロセッサである Intel 4004[15] においては 10- μm の PMOSFET 製造プロセスが用いられ約 2300 個のトランジスタが単一チップ上に集積されていた。これに対して、2020 年に発表された Apple M1 では極端紫外線 (EUV) リソグラフィを活用した 5-nm の FinFET 製造プロセスが用いられ Intel 4004 の 10^6 倍以上にあたる約 160 億個のトランジスタが集積されている。一方で、Dennard 則 [34] として定式化された定電界スケーリングに基づく CMOS 集積回路の低消費電力化はもはや成立していない。Dennard らも述べているように、サブスレッショルド領域におけるトランジスタの動作特性は他の領域と同様にはスケールしない。1990 年代以降の定電界スケーリングに伴って続いた閾値電圧の低下はサブスレッショルドリーク電流の増加をもたらし、低消費電力化には困難が生じるようになった [35]。その帰結として電力密度を一定に保ちながらの動作速度向上は望めなくなり、汎用計算機における動作周波数やシングルコア性能の上昇は鈍化している [36]。2005 年以降はこれに応答するかたちで、増大するトランジスタを活用した、プロセッサコア数向上に依る性能改善のシナリオが描かれてきた [37]。しかし、Amdahl 則 [38] に明らかなように、実行するプログラムに並列化不可能な部分が存在すればその

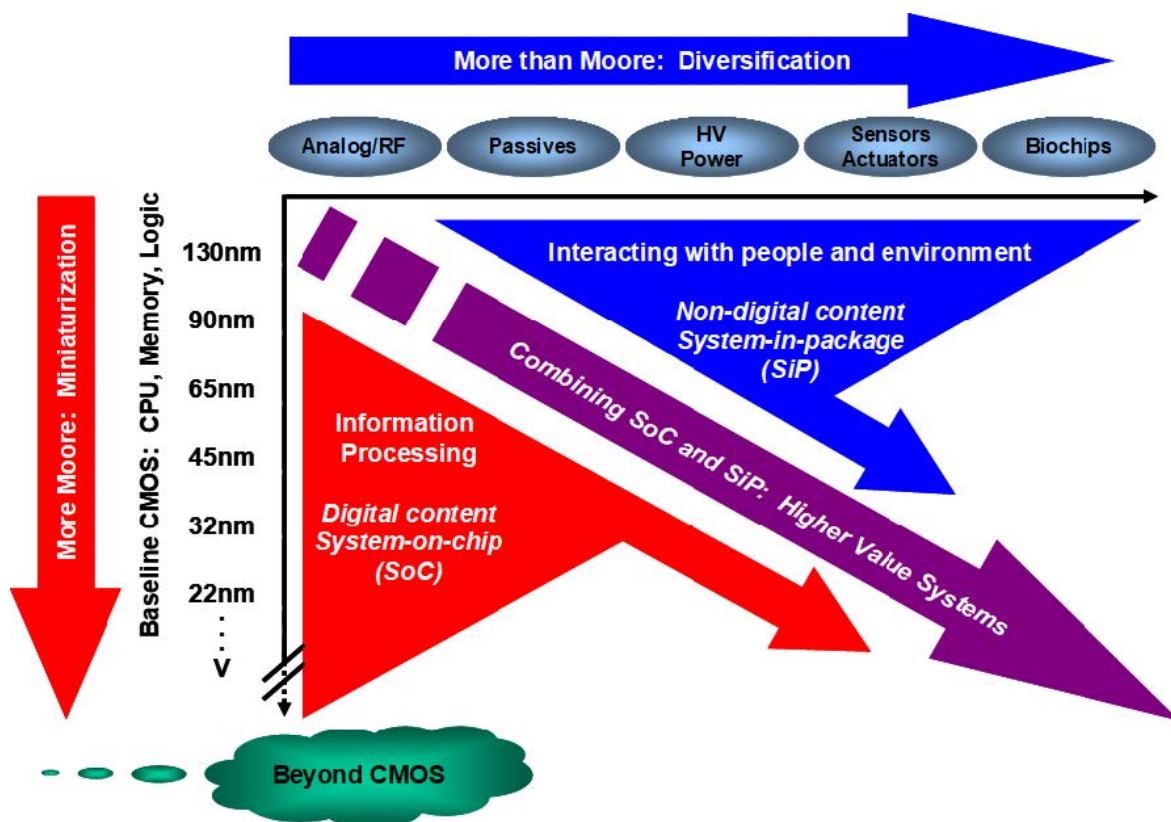


図 1.6. More than Moore [40]

逐次実行部分が隘路となり性能向上を妨げる。つまり、プロセッサコア数の増加はそれに比例した効率的な性能向上には必ずしも繋がらない。Esmaeilzadehらはコア数のスケールリングについて考察し、将来の微細な製造プロセスの利用を想定した場合に、実用プログラム実行性能や消費電力のパレート解となるプロセッサの設計パラメータを予測している。その結果、多くの実用プログラムにおいて並列化は十分に成されず最適なコア数は搭載可能な最大コア数よりも小さくなること、また、プログラムの大部分が並列化可能な場合においてもチップ全体の消費電力の制約から動作可能なコア数は限られることを報告している [39]。こうした課題を指し示す「ダークシリコン問題」は、明快な成長指針を失った計算機システム開発の苦境を象徴する言葉となっている。

微細化と高集積化に依らない価値向上の一方策として、計算機システムの機能多様化による応用領域の開拓が挙げられる。IEEEの発行する計算機システム開発技術ロードマップ IRDS[40]では、こうした指針を「More than Moore」と呼び取り上げている(図1.6)。従来の Moore 則を前提とした微細化と高集積化による論理回路の高性能化——IRDSで

はこれを「More Moore」と呼ぶ——を押し進める一方で、センサやアクチュエータ、アナログ回路といった要素をシステムへと混載していくことで従来とは異なる付加価値の創出が可能であると述べている。各要素の有用性はアプリケーションに応じて異なるため、特定のアプリケーションを見据えながらの設計開発が要求される。ここで応用の具体例としては、スマートセンサ、スマートエネルギー、エネルギーハーベスティング、ウェアラブルデバイス、フレキシブルデバイスといった区分の下、種々の組み込みデバイスが示されている。また、ヘテロジニアスな諸要素の混載はデバイス技術やチップの実装技術の革新によって達成される。すなわち、特定の組み込みデバイス応用に向けたヘテロジニアスなシステムアーキテクチャの設計、あるいはそれを実現するためのデバイス技術、実装技術の開発といったものが「More than Moore」の指針に沿った技術開発である。

1.3 本研究の目的

ここまで述べてきたように、組み込み計算機システムアプリケーションとして注目すべきものに形状変化する組み込みデバイスがあり、こうしたデバイスへの計算機搭載手法が望まれている。本研究では形状変化する組み込みデバイスに向けた新たな計算機実装手法である形状自在計算機システムを提案する（図 1.7）。提案システムでは複数の小型チップが無線接続され、多様な機能・形状と、その動的な変更を実現する。すなわち、システム自体の変形や、システムの分離・結合を可能とする。複数のチップを個別に設計し画一的なインタフェースを介して接続するため、設計・製造コストは安価に抑えることができる。提案システムの応用によって、デバイス上でのセンシングが可能なマイクロロボットや、従来よりも小型な群ロボット、極細粒度な情報提示が可能なユーザインタフェースが実現される。こうした提案は、計算機システムの今後の価値向上指針のトレンドに沿ったものでもある。提案システムの設計手法を確立するとともに、実測評価によってその有用性を示すことが本研究の目的である。

本研究の貢献は、新たな計算機実装手法の提案と、その設計手法の確立、実測評価に基づく有用性検証である。以降では形状自在計算機システムに向けたチップ間無線通信手法の提案と評価結果、システムを構成するプロセッサチップのアーキテクチャ提案と実測評価結果、形状自在計算機システムプロトタイプの開発と、先端製造プロセスを利用した場合のシステム性能、形状について述べていく。

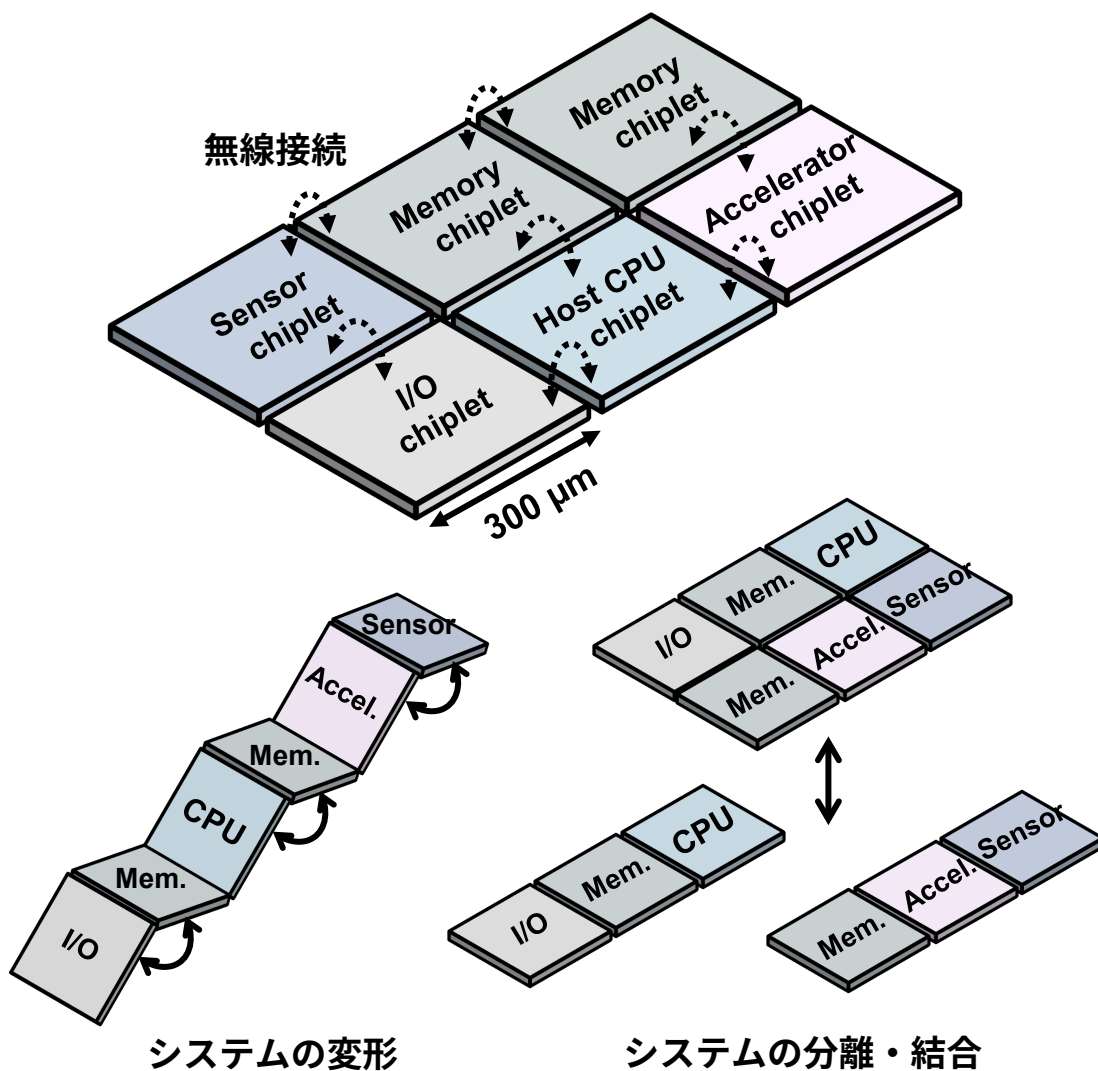


図 1.7. 形状自在計算機システム

1.4 本論文の構成

第 1 章は序論である。研究の背景として、アプリケーションとしての形状変化する組み込みデバイス、従来の計算機システム実装手法、計算機システムの継続的な発展、Dennard 則の限界に起因する微細化と高集積化以外の成長指針の要求、それに対する回答としての「More than Moore」の技術思想に関して述べ、本研究の目的をまとめた。

第 2 章では、形状自在計算機システムに関連するチップ間無線通信技術と無線電力伝送技術、無線センサノードの先行研究について述べる。それぞれの研究動向をまとめると

ともに、提案システムとの関係について整理する。

第3章では、形状自在計算機システムへ向けた無線通信手法として、誘導結合無線バスを提案する。オンチップコイル間の水平方向誘導結合を利用して隣接して配置された複数のチップ間を無線接続する。コイル間の水平方向誘導結合についてシミュレーションによる解析をおこなうことで、提案する誘導結合無線バスの設計手法を明らかにする。また、設計・製造したテストチップを用いた誘導結合無線バスの実測評価結果について述べる。2.0 Gb/s の高速バス通信が可能で、その Bit error rate (BER) は 10^{-12} 以下であり有線通信と同等の信頼性を持つことを示す。

第4章では、誘導結合無線バスを搭載したプロセッサチップの設計手法を明らかにする。プロセッサチップ設計上の課題である誘導結合無線バスと他の配線との干渉について調査するとともに、プロセッサと無線バスとのインタフェースを含む全体アーキテクチャを提案する。また、設計・製造したテストチップを用いたプロセッサの実測評価結果について述べる。適切な設計条件においては、コイル内部に配置されたプロセッサが無線通信回路と干渉せず動作し続けること、プロセッサ動作の有無に依らず $BER=10^{-12}$ 以下の無線通信が可能であることを明らかにし、無線バスを介した複数プロセッサ間通信を実証する。

第5章では、形状自在計算機システムのプロトタイプを示す。PCB 上に形成したコイルを用いて複数モジュール間での相対位置把握が可能であることを明らかにするとともに、ユーザインタフェースへの応用を想定したデモシステムを示す。先端の半導体製造プロセスを活用してシステムを構築した場合の性能や形状について述べ、そうした場合に実現可能となるアプリケーションについて議論をおこなう。

第6章では各章における知見をまとめ、本研究の結論を示す。

第 2 章

関連研究

2.1 まえがき

提案する形状自在計算機システムの実現にはチップ間の無線通信技術が不可欠である。チップの自由な相対位置変化を担保するためにチップ同士は無線で接続される必要がある。加えて、小さな各チップへ継続的な電力供給をおこなうためには無線電力伝送技術を適用することが望ましい。また、類似するシステムとして小さな無線センサノードの研究がなされている。

本章ではこうした形状自在計算機システムの関連技術について述べる。まず、オンチップアンテナを用いたチップ間無線通信技術に関して述べる。代表的な手法であるミリ波無線通信、超広帯域無線通信、積層チップ間近接場結合通信について先行研究を紹介する。次に、オフチップアンテナを用いた無線通信技術について述べる。続いて無線電力伝送技術、無線センサノードの先行研究について述べる。最後にそれぞれの研究動向と提案システムとの関係に関して改めてまとめる。

2.2 オンチップアンテナを用いた無線通信

2.2.1 ミリ波無線通信

ミリ波無線通信は 56 GHz や 60 GHz といったミリメートル波長の搬送波を利用して無線通信をおこなう手法である (図 2.1)。一般的な無線通信技術と同様にアンテナから放射された遠方電磁場を介して無線通信をおこなう。第 5 世代移動体通信システム (5G) や IEEE 802.11ad/WiGig といった無線通信規格での利用を見越した研究開発が進められている。一般には高効率なオフチップのアンテナを採用するが、特定のアプリケーションに向けてオンチップアンテナを利用する手法も提案されている。

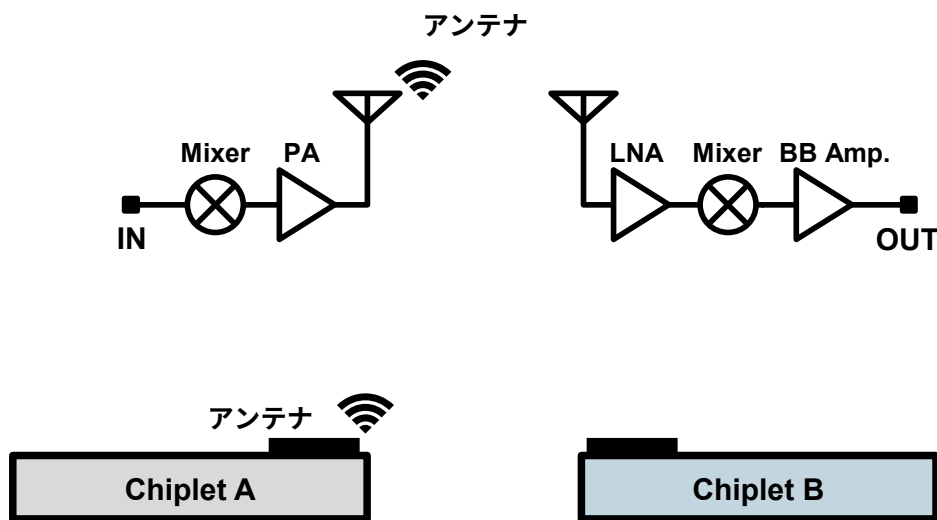


図 2.1. ミリ波無線通信

ミリ波とオンチップアンテナを利用した無線通信手法は、離れて配置されたプロセッサコア間やチップ間を接続することでシステムの性能を向上することを目的として研究されている [41, 42]。具体的には、大規模 Network-on-Chip (NoC) におけるコア間通信や SiP におけるチップ間通信への応用が目的とされている。NoC においては物理的に離れたコア間を低レイテンシ・高帯域 (11 Gb/s[43]) に接続可能であること、SiP においては実装形状の柔軟性を担保しながら、高帯域接続を実現可能であることが利点となる。この手法ではデータは周囲のアンテナ全てにブロードキャストされる。これまでに、送受信回路とアンテナ [44, 45, 43, 46]、NoC アーキテクチャ [47, 48]、並列計算機アーキテクチャ [49, 50] について研究がおこなわれている。ミリ波無線通信の課題としては、複雑な送受信回路アーキテクチャに起因する回路面積肥大化や高い消費電力 (1173 mW[45]、70 mW[43]) が挙げられる。振幅変調とダイレクトコンバージョン方式の採用や注入同期の利用による PLL の排除で、一般の RF 無線通信回路と比較すれば単純化が可能 [43] であるものの、ミキサ回路をはじめとした一連の変復調のための回路は依然として要求される。加えて、アンテナの物理形状が無視できない距離に複数のアンテナや他の回路が配置された場合にはそれぞれが近接場結合し、通信特性の変化や予期せぬ相互干渉が生じる。

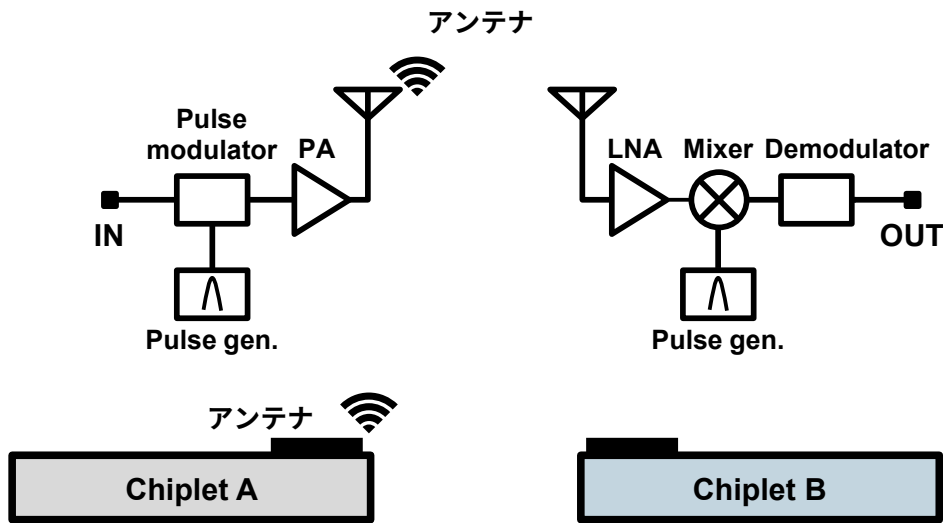


図 2.2. 超広帯域無線通信

プロセッサとミリ波送受信回路、アンテナを混載したチップはこれまでに開発されていない。また、技術的な課題のほかに法規制による利用帯域の制限という問題もつきまとう。

2.2.2 超広帯域無線通信

超広帯域無線通信 (IR-UWB) は広い帯域を持つパルス状の電磁波を利用して無線通信をおこなう手法である (図 2.2)。ミリ波の場合と同様にアンテナから発生された遠方場を介して無線通信をおこなう。想定されるアプリケーションについてもミリ波と同様、大規模 NoC におけるコア間通信や SiP におけるチップ間通信である。送受信側でパルス波形を利用しており一般の狭帯域無線通信における変復調回路は必要ない。したがって単純な回路で高帯域通信 (750 Mb/s[51]) が可能となることが利点である。また、パルスの到達時間を測定することでアンテナ間の距離を推測可能という特長がある。データは周囲のアンテナ全てにブロードキャストされる。これまでに、送受信回路とアンテナ [51, 52]、NoC アーキテクチャ [53, 54] について研究がおこなわれている。IR-UWB においても、近距離にアンテナや他の回路が配置された場合にはそれぞれが近接場結合を起こすという課題がある。プロセッサと送受信回路、アンテナを混載したチップはこれまでに開発されていない。法規制による利用帯域制限も同様に課題である。

2.2.3 積層チップ間近接場結合通信

積層チップ間近接場結合通信は近接場結合を介して広帯域なベースバンド信号を伝送する無線通信手法である。上述した先行研究とは異なり近距離に配置されたアンテナ間の電磁的結合を活用する。主に鉛直方向にチップを積層した 3.0D SiP におけるチップ間接続手法として研究が進められている。3.0D SiP では TSV 形成によってチップ同士を有線接続することができるものの、そうした場合には機械的加工技術の導入にともなう歩留まり低下とコスト増加が課題となる。近接場結合通信ではチップの内部配線を活用してアンテナを形成することで製造コストの増加を回避する。ベースバンド信号伝送を採用するため変復調回路は必要なく単純な回路で高帯域・高電力効率通信（1 TB/s、8 Gb/s/ch、1 pJ/b[55]）を実現可能である。データは結合したアンテナ間のみでやり取りされ、高密度に異なる複数のチャンネルを配置できる。加えて、放射電力は極めて小さいため法規制の影響を受けず高帯域通信を達成できる [56]。

積層チップ間の近接場結合通信手法として最初に提案されたのは、容量結合を活用した手法であった [57]。ここではチップ内の最上配線層を利用して金属極板が形成される（図 2.3）。送信側極板へ印可する電圧の変化に応じた受信側極板の電圧変化を検出することで積層チップ間無線通信を実現する。容量結合手法は電圧駆動である。それゆえ、電源電圧のスケーリングによって最大送信電力が減少していくこと、十分な送信電力が確保できないために通信距離が制限されることが課題となる。したがって、主にチップの上面同士を向かい合わせる Face-to-face の積層に基づく手法が研究されており、同様の向きのチップを重ね合わせた Face-to-Back 積層への応用例はこれまでに報告されていない [58]。このように、一对の Face-to-Back 積層チップ向けの手法であるため、鉛直方向に 3 枚以上のチップが積層されるタイプの SiP への適用は困難である。

続いて提案されたのが、誘導結合を活用した手法である [55, 59]。ここではチップ内の金属配線を利用してオンチップコイルが形成される（図 2.4）。送信側コイルへ印加する電流の変化に応じた受信側コイルの電圧変化を検出することで積層チップ間無線通信を実現する。誘導結合手法は電流駆動であり、低い電源電圧下においても十分な送信電力を供給可能である。同様の向きのチップを重ね合わせた Face-to-Back 積層への応用が可能であり、複数のチップを積み重ねた 3.0D SiP にも適用できる。これまでに、誘導結合を利用した 3.0D NoC アーキテクチャについて研究がなされている [60, 61]。また、汎用プ

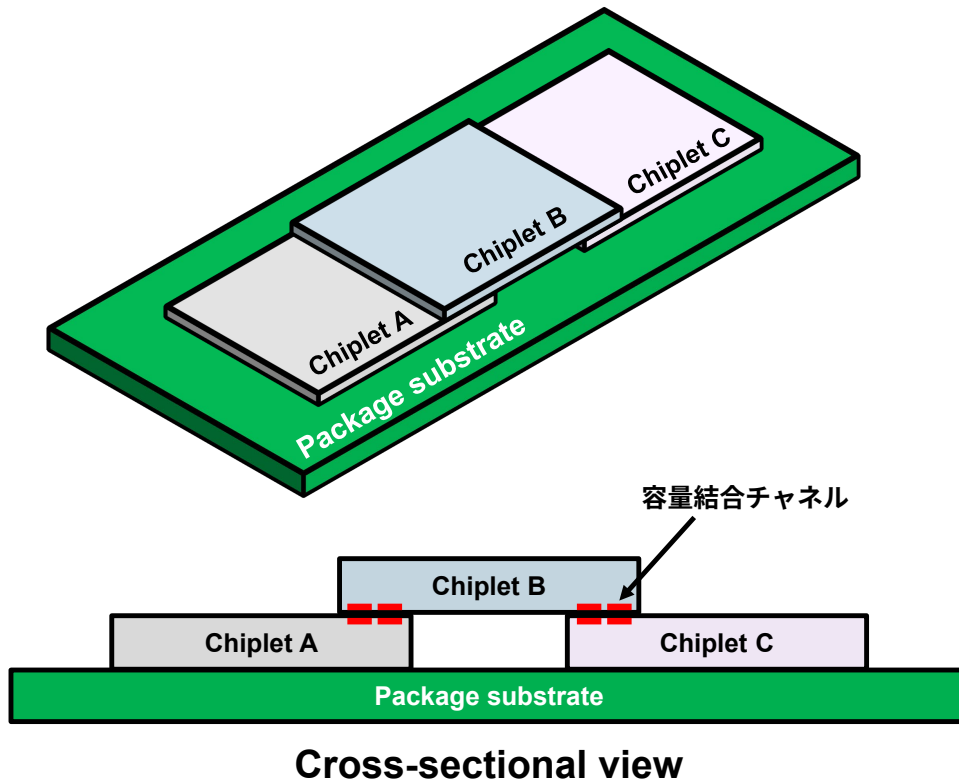
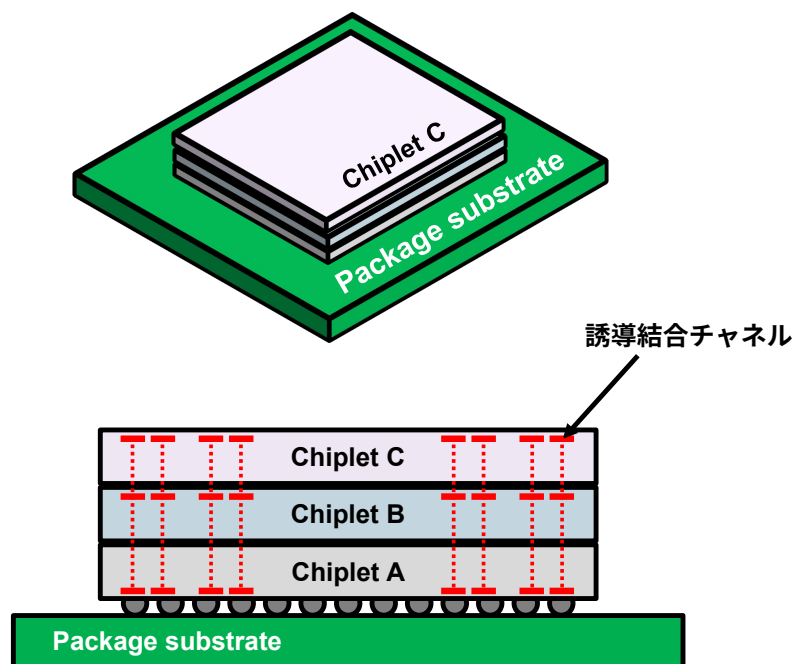


図 2.3. 近接場容量結合通信

ロセッサと SRAM の三次元積層システム [30] や、汎用プロセッサとアクセラレータの三次元積層システム [31] の実測評価結果が示されている。しかし、これらの研究においてはチップ同士の位置は固定されており、複雑な形状での実装や形状変形、実装後のチップの交換については考慮されていない。また、コイルとプロセッサは離れた領域に配置されており、これまでにプロセッサとコイル間の干渉については調査がおこなわれていない。

2.3 オフチップアンテナを用いた無線通信

オフチップアンテナを利用した低消費電力無線通信技術（図 2.5）として、Bluetooth Low-Energy (BLE) 規格に基づくものが挙げられる。ここでは 2.4 GHz 帯の搬送波を活用して無線通信をおこなう。CMOS 半導体チップ内に集積された一般的な RF 無線通信回路と、基板の内部配線によって形成されたトレースアンテナや、小型なセラミックチップとして実装されたアンテナとを組み合わせる。モバイル端末や各種組み込みデバイス



Cross-sectional view

図 2.4. 近接場誘導結合通信

への応用の観点から低消費電力化の要求が強くなり、継続的に送受信回路の研究が進められている。近年の研究報告としては、低消費電力な送受信回路 [62, 63] や、プロセッサとの混載システム [64] が示されている。しかし、このような GHz 帯の搬送波の放射を活用する手法では、その周波数に対応して共振するセンチメートルオーダーのサイズのアンテナが要求される。電気長の短縮によってアンテナ自体の物理寸法を小さくすることは可能であるものの、電気的特性を損なわないための周辺レイアウト設計の制約も含め、1チップにつき数平方センチメートル程度の実装基板面積が追加が必要となる。また、消費電力については送受信回路を合わせて 1.9 mW [64] と優れているものの、最大転送速度は物理層において 1 Mb/s と低い値に留まる。

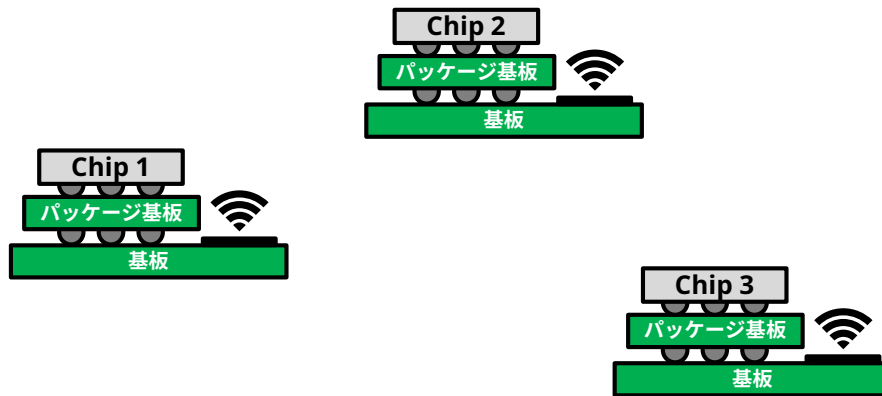


図 2.5. オフチップアンテナを用いた無線通信

2.4 オンチップコイルを用いた無線電力伝送

無線電力伝送技術に、複数コイル間の誘導結合を利用して電力を供給するものがある。特定周波数の交流信号でコイルを駆動し、送電側の電力を誘導結合を介して受電側へと伝える。送電側、受電側それぞれのコイルにおける共振現象を活用することで、送電側におけるコイルへの電力供給や、電力の伝送効率を改善することができる。一般には共振器としての特性が良好なオフチップのコイルを活用するものの、3.0D SiPにおける基板から各チップへの電源供給、無線での製造後テストといったアプリケーションへの応用のため、シリコンチップ上に形成したコイルを用いる手法も提案されている（図 2.6）。これまでに、 $120\ \mu\text{m}$ 角のオンチップコイルを利用して $15\ \text{mW}$ の電力伝送をおこなう手法 [65]、 $700\ \mu\text{m}$ 角のオンチップコイルを利用して無線通信と同時に $10\ \text{mW}$ の電力伝送をおこなう手法 [66]、 $5\ \text{mm}$ 角のオンチップコイルを利用して $240\ \text{mW}$ の電力伝送を実現する手法 [67] が報告されている。こうしたオンチップコイルによる無線給電技術を提案システムへと導入することで、各チップに外部バッテリーを備えずとも動作が可能になる。

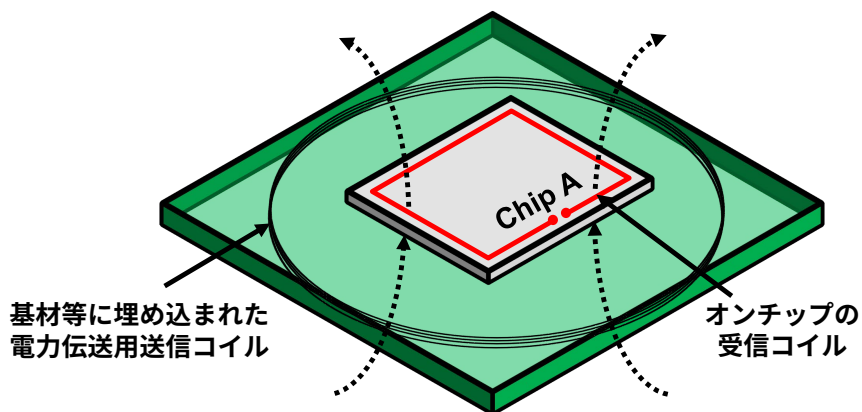
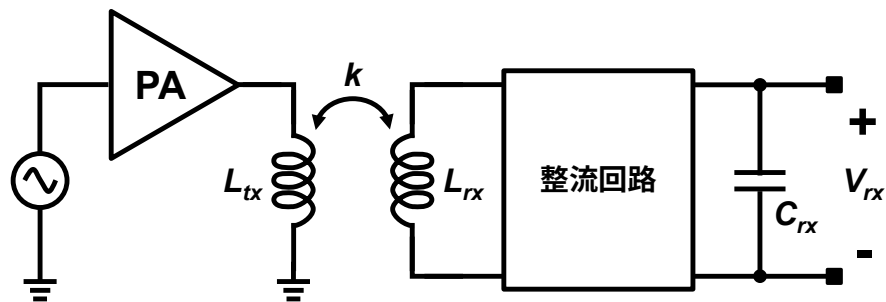


図 2.6. オンチップコイルを用いた無線電力伝送

2.5 無線センサノード

環境モニタリングや生体センシングを目的とした無線センサノードの研究が盛んにおこなわれている。多様な環境における情報取得や生体への埋め込みを実現するため、こうしたセンサノードには小型化が強く求められている。また、大量のセンサノードの配置や埋め込みを目指す上では各デバイスのバッテリー交換が障壁となる。そこで、バッテリーの交換を不要とする外部からの無線給電機能やデバイス上での発電機能が要求されている。こうした要求に対応して、小型かつ低消費電力で無線通信機能を備えたシステムの研究開発が進んでいる [68]、[69]。

単一のチップ上にオンチップアンテナ、無線通信回路、無線給電回路を混載した無端子チップが報告されている [68]。小型なセンサノードの開発にあたっては、無線通信や給電に用いる搬送波の波長とシステムサイズの間にある齟齬の解消が大きな課題となる。た

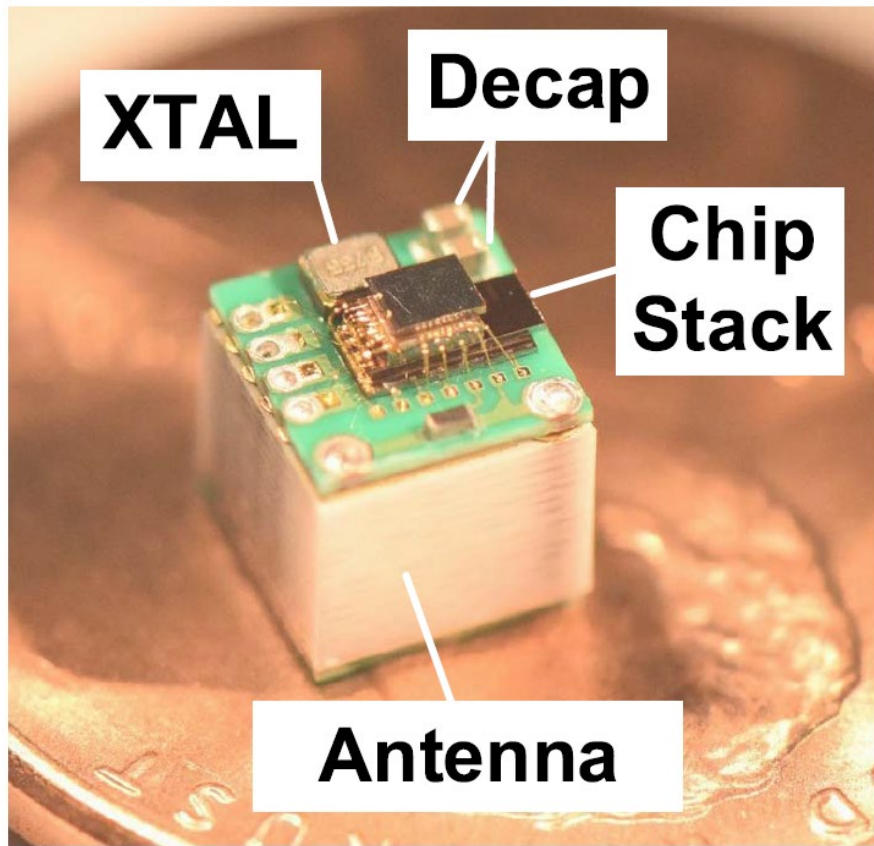


図 2.7. 小型無線センサノード [69]

たとえば先に述べたように一般的な RF 無線通信において GHz 帯の搬送波を用いた手法では、アンテナ実装のため数平方センチメートル程度の面積が追加が必要となる。報告された無端子チップにおいては、こうした課題を解決するため、ミリメートル波長の搬送波を利用した無線通信・無線電力伝送技術とオンチップアンテナを含むシステムアーキテクチャを提案している。実測評価により、24 GHz 搬送波を活用したダウンリンクと 60 GHz 搬送波を活用したアップリンクを用いてホストとの無線通信が可能であることを検証している。高帯域通信を指向したミリ波無線通信手法とは異なり、転送速度はダウンリンクにおいて 6.5 Mb/s、アップリンクにおいて 12 Mb/s となっている。チップサイズは 3.7 mm×1.2 mm であり、定常状態の消費電力は 1.5 μ W 以下である。ここではホスト機器を中心としたスター型のネットワークトポロジが想定されており、ノード間通信については考慮されていない。また、ホスト機器からの継続的な電力供給が前提となっているため、無線通信の電力効率は 19 pJ/b という値に留まる。

また、外部アンテナと無線送受信回路、プロセッサチップ、太陽電池、バッテリーといった各素子をミリメートルスケールで集積した小型システムが報告されている（図 2.7） [69]。ここでは三次元的なアンテナ形状の工夫により、ミリメートルオーダーのサイズで 2.4 GHz 搬送波の効率的な放射を実現している。複数のチップを三次元積層し、外部の部品やアンテナとを含めてシステムの形状を 4.0 mm×4.0 mm×4.0 mm に抑えている。このシステムにおいてはノード間通信も実現可能であるものの、その転送速度は 4 kb/s、電力効率は 90 μ J/b といった値になっている。また、複数のノードを近接して配置した際の通信特性については明らかにされていない。

2.6 まとめ

本章では、形状自在計算機システムの関連技術について述べた。オンチップアンテナを用いたチップ間無線通信技術に関して、代表的な手法であるミリ波無線通信、超広帯域無線通信、積層チップ間近接場結合通信の先行研究を紹介した。続いてオフチップアンテナを用いた無線通信技術、無線電力伝送技術、無線センサノードの先行研究について述べた。

ミリ波無線通と超高帯域無線通信に共通する課題として、近距離にアンテナや他の回路が配置された場合にそれぞれが近接場結合を起こすというものがある。また、電磁波放射によってデータは不可避にブロードキャストされるため、ネットワークプロトコルは頻繁な衝突やパケット損失への対応が要求される。どちらの手法についてもプロセッサと送受信回路、アンテナを混載したチップはこれまでに開発されていない。周波数は有限の資源であるために、法規制による利用帯域制限を受ける。

近接場結合通信はこうした高帯域無線通信手法とは異なり近接場の結合特性を活用するため、隣接チャンネル間干渉や法規制の課題なく、高速かつ高電力効率なインタフェースを構築可能である。しかしながら通信距離は短距離（20 μ m [55]）に留まるため、多くの応用例ではチップ同士の位置は固定され、複雑な形状での実装や形状変形、実装後のチップの交換については考慮されていない。

オフチップアンテナを利用した低消費電力無線通信技術として代表的なものに BLE がある。複数チップ間で低消費電力な通信を達成可能であり継続的に研究がおこなわれている。しかしながらこうした手法ではアンテナ搭載に起因して数平方センチメートル程度の面積が追加が必要となる。また、通信帯域は低くたとえば BLE の場合、その最大転

送速度は物理層において 1 Mb/s という値に留まる。

小型な無線センサノードは提案システムと類似した研究であるものの、その無線通信速度や電力効率は低い値に留まり、積極的なノード間通信や並列計算機としての性能を追求するものではない。放射電磁波を活用した長距離通信が求められており、今後の開発目標も提案システムのそれとは異なる方向に存在する。

以降の章では、こうした先行研究を踏まえ、形状自在計算機システムへ向けた新たな近接場結合通信手法を提案する。

第 3 章

誘導結合無線バスの解析と設計手法

3.1 まえがき

形状自在計算機システムへ向けた無線通信手法として、誘導結合無線バスを提案する(図 3.1)。この手法では、各チップの外周に沿って一対のオンチップコイルを形成する。

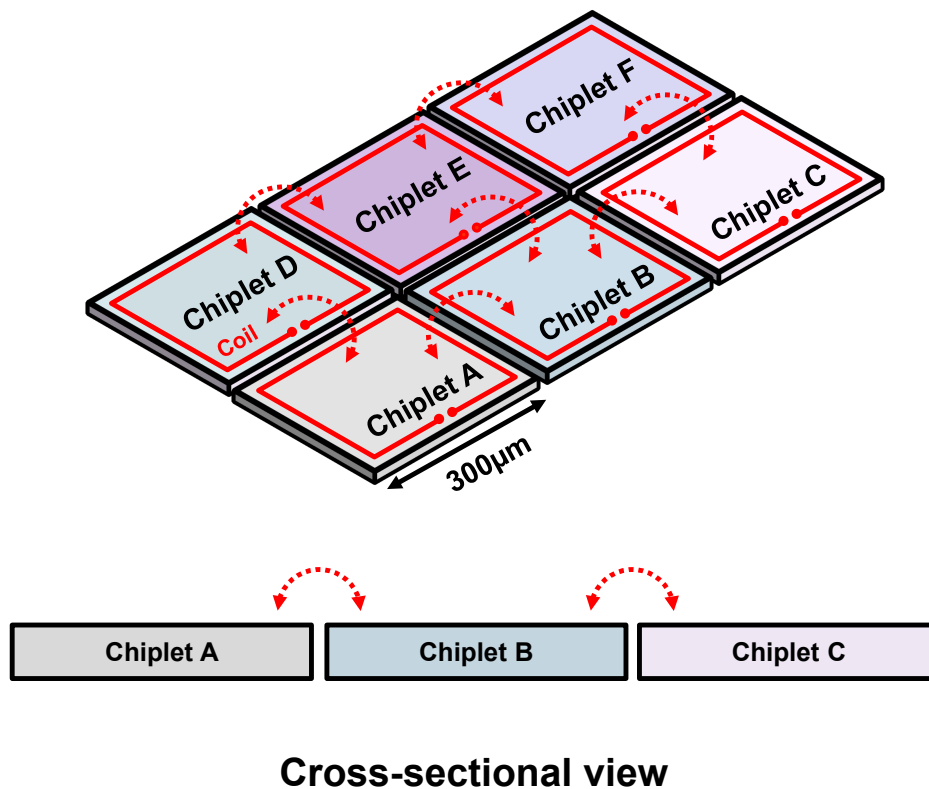


図 3.1. 誘導結合無線バス

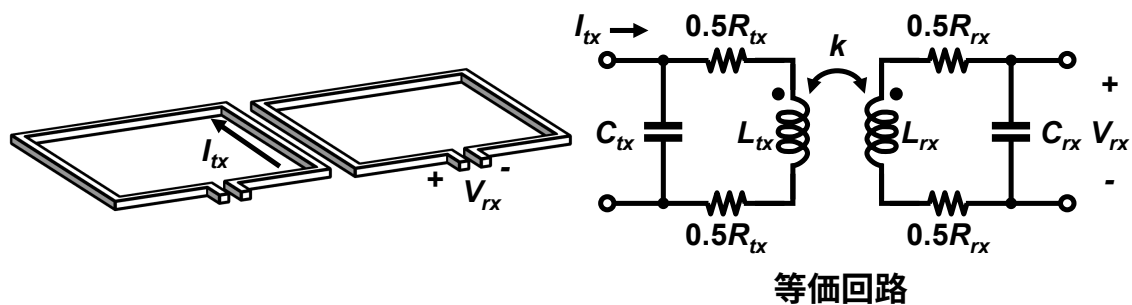


図 3.2. 水平方向誘導結合コイルの等価回路

オンチップコイル間の水平方向誘導結合を利用することで、干渉の問題なく複数の隣接チップ間を無線接続する。各コイルは隣接するコイルの全てと結合し、送信データはこれらのコイルにのみブロードキャストされる。すなわち、あるチップからはワイヤレスのバスを介して周辺チップへとアクセスすることができる。積層チップ間を接続する従来の近接場結合通信手法と同様に、高帯域・高電力効率通信を単純な回路で実現可能である。また、相対位置変化に応じて結合特性が変化するため、通信時のアナログ受信電圧情報からチップの相対位置をある程度把握することができる。つまり、システム自体の形状の変形や、システムの結合・分離が検出可能である。水平方向に配置したオンチップコイル同士が誘導結合することは既に報告されているものの [70, 71]、相対位置やコイル形状に応じた結合特性変化、3つ以上のコイル間結合についての調査はこれまでにこなわれていなかった。

本章では、オンチップコイル間の水平方向誘導結合についてシミュレーションによる解析をおこない、誘導結合無線バスの設計手法を明らかにする。オンチップコイルの設計指針、送受信回路の設計指針について順に述べる。また、設計・製造したテストチップの実測評価結果を示す。

3.2 オンチップコイル間水平方向誘導結合

水平方向のコイル間に生じる誘導結合について理論的考察をおこなう。コイルは標準的な CMOS 集積回路製造プロセスにおける内部配線層を利用して形成するため、数十Ωか

ら数百Ωの寄生抵抗と数十fFの寄生容量を持つ。こうした寄生抵抗や寄生容量を考慮すると、コイル間誘導結合の特性は図3.2のような等価回路によってモデル化される。後述するように、受信回路の入力はMOSFETのゲート端子であり入力インピーダンスは極めて高い。したがって、受信コイルに流れる電流やそれによって送信コイルへと誘起されるフィードバック電圧の影響は無視できる。このとき送信電流 I_{tx} から受信電圧 V_{rx} を与えるトランスインピーダンスは以下のように定式化される

$$\frac{V_{rx}}{I_{tx}} = j\omega k \sqrt{L_{tx}L_{rx}} \cdot \frac{1}{(1 - \omega^2 L_{tx} C_{tx}) + j\omega R_{tx} C_{tx}} \cdot \frac{1}{((1 - \omega^2 L_{rx} C_{rx}) + j\omega R_{rx} C_{rx})} \quad (3.1)$$

式からわかるように、コイルのインダクタンスのみを考慮した理想的な特性は1階微分であり、寄生抵抗 R_{tx} 、 R_{rx} と寄生容量 C_{tx} 、 C_{rx} の存在により、送信コイルと受信コイルのそれぞれが2次ローパスフィルタとしてはたらく。送信電流 I_{tx} を流した際に受信側へ誘起される受信信号 V_{rx} の振幅はコイル同士の相互インダクタンス $M = k\sqrt{L_{tx}L_{rx}}$ に比例して決まる。このうちコイル同士の結合係数 k はそれぞれのコイルの形状と相対位置に応じて変化する。自己インダクタンス L_{tx} 、 L_{rx} は、それぞれのコイルの形状によって決まる。

誘導結合通信用コイルの満たすべき設計条件として、各コイルの共振周波数とQ値が挙げられる。信号伝送にあたってはフィルタ特性による帯域制限、ピーキング特性による波形歪みが課題となる。これらの影響を軽減するため、共振周波数とQ値とが定められた範囲に収まるよう設計をおこなう必要がある。

まず、共振周波数の設計条件について述べる。各コイルの共振周波数 f_{Rtx} 、 f_{Rrx} は自己インダクタンス L_{tx} 、 L_{rx} と寄生容量 C_{tx} 、 C_{rx} を用いて

$$f_{Rtx} = \frac{1}{2\pi\sqrt{L_{tx}C_{tx}}} \quad (3.2)$$

$$f_{Rrx} = \frac{1}{2\pi\sqrt{L_{rx}C_{rx}}} \quad (3.3)$$

となる。誘導結合通信において、信号を歪みなく伝送するために確保すべき帯域はステップ状の送信電流 I_{tx} の立ち上がり時間 τ を用いて

$$f_{ch} = \frac{2}{\pi\tau} \approx \frac{0.64}{\tau} \quad (3.4)$$

と表すことができる。上記の帯域は、理想的な微分特性の下で受信コイルに誘起される受信電圧 V_{rx} を、パルス幅 τ のガウシアンパルスとしてモデル化した場合に導かれる。

$$|V_{rx}(\omega)| = \frac{\sqrt{\pi}\tau V_p}{2} \exp\left(-\frac{\omega^2\tau^2}{16}\right) \quad (3.5)$$

このようなパルス波形を歪みなく伝送するには、そのピークパワーの $1/e$ となるまでの主要周波数成分がチャンネルを通過する必要がある。こうした仮定の下、要求される帯域を求めることで式 3.4 が得られる [55]。したがって、少なくとも $f_{Rtx} \geq f_{ch}$ 、 $f_{Rrx} \geq f_{ch}$ を満たす必要がある。実際には、製造ばらつきを考慮してマージンを確保した設計をおこなう。

続いて、Q 値の設計条件について述べる。送受信回路の寄生素子に起因するローパスフィルタはピーキング特性を持つ 2 次のフィルタである。このピーキングの鋭さは Q 値として表現される。ピーキング特性によって特定の周波数成分のみが強調されると波形歪みが生じる。一方で、ピーキングが鈍すぎる場合にはフィルタ特性による高周波信号減衰の影響が大きくなる。したがって、Q 値には適切な範囲が存在する。ここで送受信コイルそれぞれについて Q 値は

$$Q_{tx} = \frac{\sqrt{\frac{L_{tx}}{C_{tx}}}}{R_{tx}} \quad (3.6)$$

$$Q_{rx} = \frac{\sqrt{\frac{L_{rx}}{C_{rx}}}}{R_{rx}} \quad (3.7)$$

と表現される。

こうした設計条件を一般の RF 無線通信技術や無線電力伝送技術との比較の観点から見てみる。これらの手法においてはアンテナの共振周波数を搬送波の周波数と一致するよう定め、周波数設定精度の許容する範囲で共振器としての Q 値を向上することでアンテナへの効率的な電力供給を実現する。他方、誘導結合通信においては、共振周波数以下の帯域を信号伝送に活用するとともに、Q 値を低く設定してピーキング特性を回避することで、広帯域のパルス信号を歪みなく伝送する。それゆえ、寄生抵抗や寄生容量の大きい標準的なチップ内金属配線でも適切な特性を持ったコイルを設計することが可能である。

以降では、水平方向誘導結合における相対位置やコイル形状に応じた結合特性変化について述べる。等価回路における各種パラメータのうち、寄生抵抗 R_{tx} 、 R_{rx} と寄生容量 C_{tx} 、 C_{rx} 、各コイルの自己インダクタンス L_{tx} 、 L_{rx} については、コイルの物理的な形状、製造プロセスに応じて決まる金属配線のシート抵抗、配線間容量、配線・基板間容量を用いて近似的に見積もることができる [59]。しかし、コイル間の結合係数 k についてはこれまでに詳細な調査がなされていなかった。

三次元電磁界シミュレーションによりコイルの相対位置変化に応じた結合係数の変化を評価した。電磁界シミュレーションには Keysight Momentum と Keysight EMPro を利

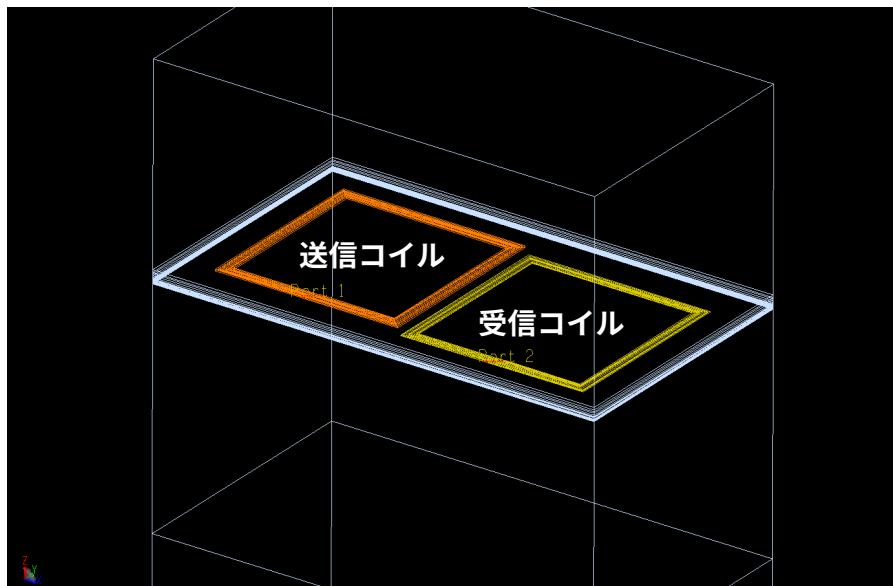


図 3.3. コイルの電磁界シミュレーションモデル

用した。シミュレーションツール上でコイルやシリコン基板のモデルを作成し、電磁界シミュレーションをおこなうことでSパラメータを取得している。図 3.3 にコイルとシリコン基板の三次元モデルを可視化した例を示す。取得したSパラメータを前述した等価回路へとフィッティングすることで、結合係数や相互インダクタンスといった値を求めている。

図 3.4 に通信距離と結合係数の関係を示す。通信距離 X の増加にしたがって結合係数 k は単調に減少している。例として、 $300 \mu\text{m}$ 、2 巻きのコイルの自己インダクタンスは 10 nH 程度の値となる。送受信回路の典型的な設計においては正常な通信のために 0.5 nH 程度の相互インダクタンスが必要となる。したがって、結合係数 k が 0.05 程度の値となるよう、コイル径 D と通信距離 X の比率は 0.1 から 0.2 程度に設定すべきであることがわかる。

図 3.5 に位置ずれと結合係数の関係を示す。ここでの位置ずれは、結合に強く寄与する

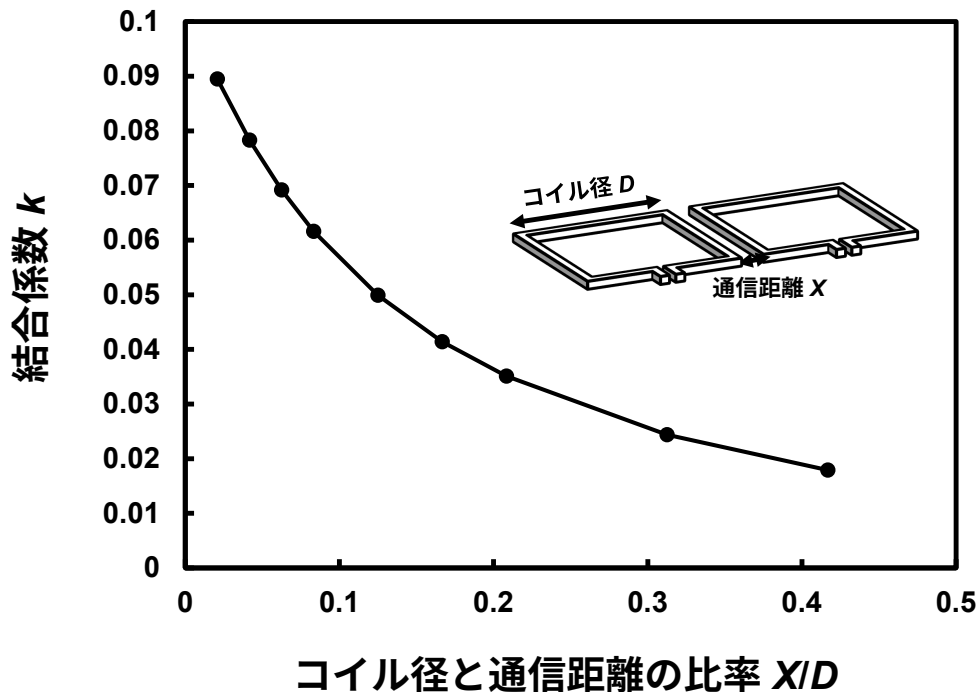


図 3.4. 通信距離と結合係数の関係

辺と平行な方向へのずれを意味している。コイル径 D が通信距離 X の 12 倍となる条件において、位置ずれ dY に応じた結合係数 k の変化を示している。位置ずれ dY の増加にしたがって結合係数 k は単調に減少するものの、コイル径 D の 10% 程度位置がずれた場合にも結合係数 k は 3% しか変化しておらずその変化は比較的緩やかである。たとえばコイル径 D が $300 \mu\text{m}$ の場合に、コイルの位置が $150 \mu\text{m}$ ずれたとき結合係数は 67% 程度になる。

図 3.6 に相対角度と結合係数の関係を示す。モデルにおいては隣接するチップ同士の辺を接触させ回転軸とし、コイル径 D とコイル同士の通信距離 X は $D/X = 48$ という条件になっている。相対角度 θ が減少するにしたがって結合係数 k は単調に増加している。相対角度が 180 度の場合の結合係数を基準にすると、90 度の場合の値は 1.5 倍程度へ、0 度の場合における値は 7.6 倍程度へとそれぞれ増加している。結果からわかるように、相対角度に応じて結合係数とそれによって定まる受信信号振幅とが変化する。たとえば相

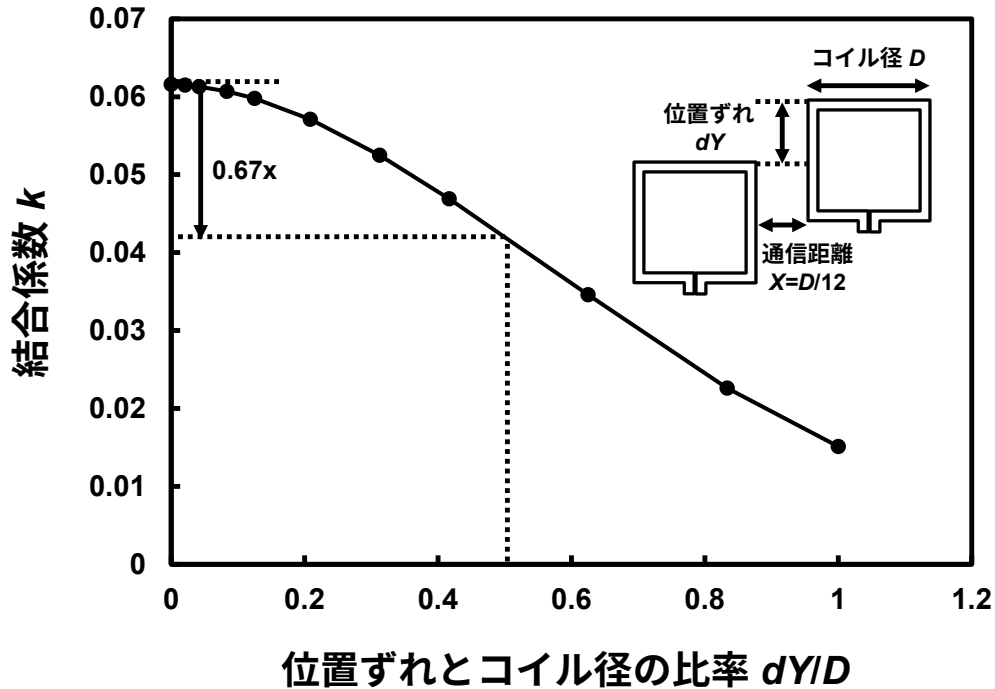


図 3.5. 位置ずれと結合係数の関係

対角度 0 度の際の受信信号振幅は相対角度 180 度の際の振幅の 7.6 倍程度となる。受信回路にヒステリシスコンパレータを用いる場合、受信信号振幅はコンパレータの閾値以上かつ電源電圧の範囲を超えないことが要求される。

図 3.7 にコイル形状と相互インダクタンスの関係を示す。ここでは、コイルの横の辺 D_w と結合に強く寄与する縦の辺 D_s の比率に応じてどのように相互インダクタンス M が変化するかを示している。 $D/X = 0.8$ の条件下において、送信側コイルの D_w を短くした場合の相互インダクタンスの変化をプロットしている。結果からわかるように D_w が半分になった場合にも相互インダクタンス M は正方形の場合の 85% であり、相互インダクタンスは比較的緩やかに減少していく。一方、図 3.8 には、 $D/X = 0.8$ の条件下において、送信側コイルの D_s を短くした場合の相互インダクタンスの変化をプロットしている。 D_s が短くなるにしたがって相互インダクタンスは線形に減少しており、 D_s が半分になった場合の相互インダクタンスは正方形の場合の 49% の値となっている。隣接コイ

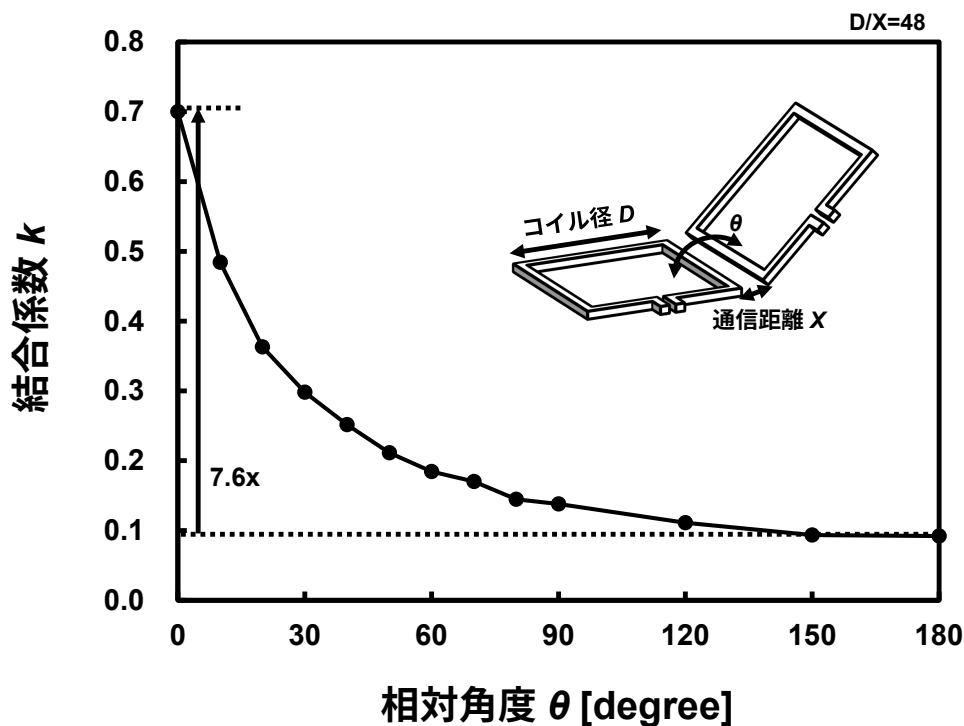


図 3.6. 相対角度と結合係数の関係

ルと最も近い辺が結合に強く寄与するため、この辺が短くなる場合には相互インダクタンスは線形に減少する。正方形のコイルの場合を基準として、相互インダクタンスを90%以上の値に保つ場合、隣接コイルに最も近い辺と直交する辺を短縮する場合は60%以上の長さ、隣接コイルに最も近い辺を短縮する場合は90%以上の長さを保つ必要がある。

また、図 3.9 に複数のコイルを隣接配置した場合の結合特性シミュレーション結果を示す。正方形コイルをアレイ状に敷き詰めた電磁界シミュレーションモデルを作成しその結合特性を調査したところ、各コイル間の結合特性は1対1の誘導結合通信の等価回路と同様にモデル化可能であることが確かめられた。前述したように誘導結合通信において受信コイルは開放状態にあり、受信コイルに流れる電流やそれによって送信コイルへと誘起されるフィードバック電圧の影響は極めて小さい。アレイ状に敷き詰める場合にも各送信コイルと強く結合する受信コイルは上下左右に存在する計4つのコイルのみに限られるため、同様に影響は小さい。したがって、チャンネル設計上は隣接する一対のコイル

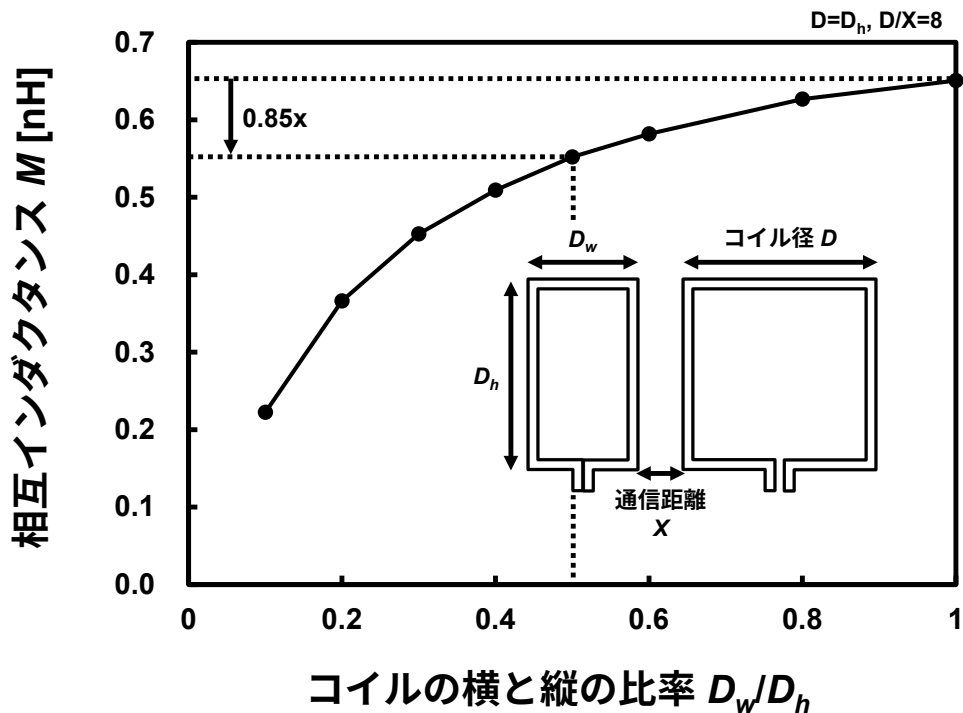


図 3.7. 長方形コイルの相互インダクタンス ($D_h \geq D_w$)

の誘導結合特性のみを考慮し、必要に応じて複数コイルをアレイ状に敷き詰めればよい。斜め方向に隣接するコイルについては上下左右方向に隣接するコイルの 1/5 程度の結合係数となるため、一般の設計では上下左右のコイルのみにデータが伝送されるよう送受信回路の特性を調整する。

以上に示した考察から、誘導結合無線バスにおける送受信コイルの設計指針について述べる。アプリケーションに要求されるシステム性能や変形粒度から、チップ形状や通信距離が決まる。ここでコイル形状はチップ形状にしたがって直ちに定まる。また、送受信回路の特性から要求される送信電流 I_{tx} のスルーレートと相互インダクタンスが求められる。ここで送信電流 I_{tx} のスルーレートはデバイス性能に強く依存する。したがって、伝送効率の向上に大きく寄与するパラメータは k であり、はじめに高い k を実現可能なコイルの形状を決定することが適切な設計へと繋がる。その後、共振周波数と Q 値の制約の下、各コイルの巻き数 n 、線幅 w 、線間隔 s といったパラメータを定める。具体的に

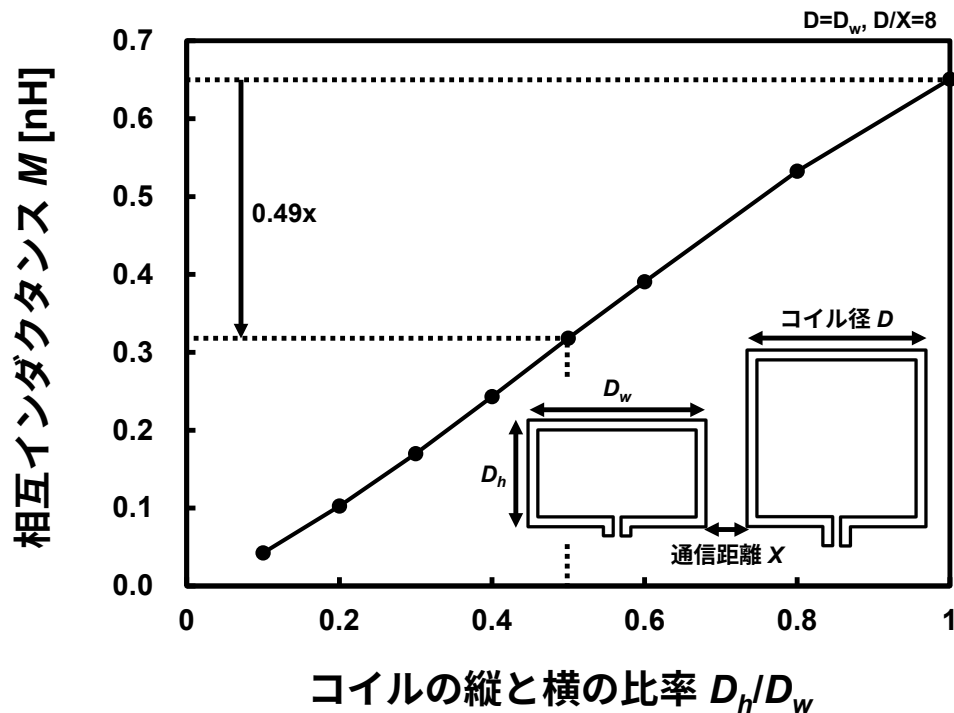


図 3.8. 長方形コイルの相互インダクタンス ($D_w \geq D_h$)

は、下記のような手順にしたがって設計をおこなう。

1. アプリケーションの要求から、許容可能なコイル形状（コイル径、アスペクト比）と通信距離の設計空間を定める
2. 送受信回路特性から、達成すべき送信電流 I_{tx} のスルーレートと相互インダクタンスが定まる
3. 適切な k を達成可能な、コイル形状（コイル径、アスペクト比）と通信距離の設計空間を定める
4. 1. と 3. によって定められた設計空間から、適切なコイル形状（コイル径、アスペクト比）と通信距離を選択する
5. 共振周波数と Q 値の制約の下、適切な各コイルの巻き数 n 、線幅 w 、線間隔 s を数値解析により求める

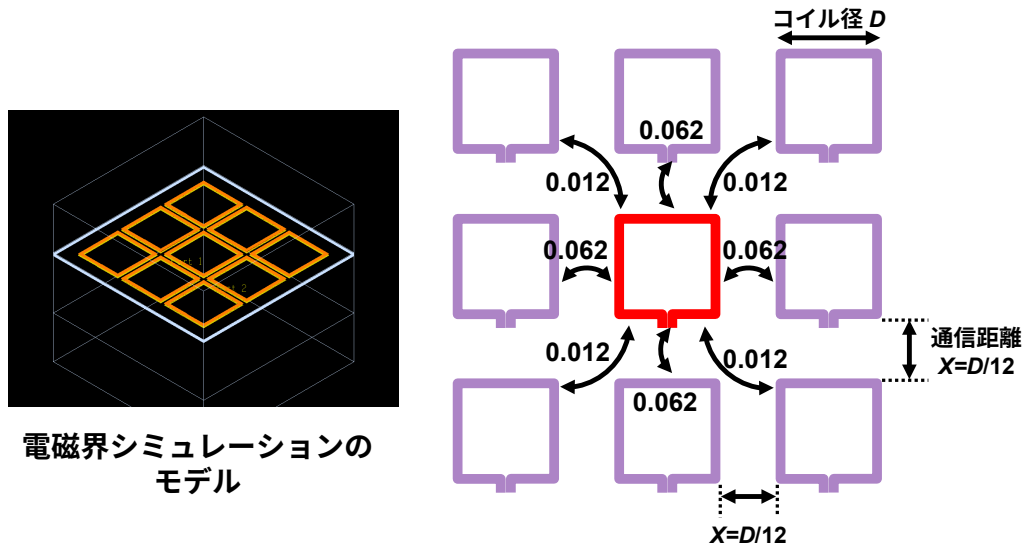


図 3.9. 複数コイル間の水平方向誘導結合

ここで適切な k は典型的には 0.05 程度であり、先ほど示したシミュレーション結果から、これを得るための正方形コイル径 D と通信距離 X の比率は 0.1 から 0.2 程度に決まる。また、共振周波数や Q 値の適切な範囲は、

$$1.5f_{ch} \leq f_{Rtx} \quad (3.8)$$

$$1.5f_{ch} \leq f_{Rrx} \quad (3.9)$$

$$1.0 \leq Q_{tx} \leq 5.0 \quad (3.10)$$

$$1.0 \leq Q_{rx} \leq 2.5 \quad (3.11)$$

といった値となる。送信コイルについては送信電流が流れ、かつそのスルーレートが受信振幅を決定する。一方で受信回路の入力インピーダンスが高く受信コイルには電流が流れないことから、伝送効率の最大化を図ると送信コイルと受信コイルの設計は非対称になる。

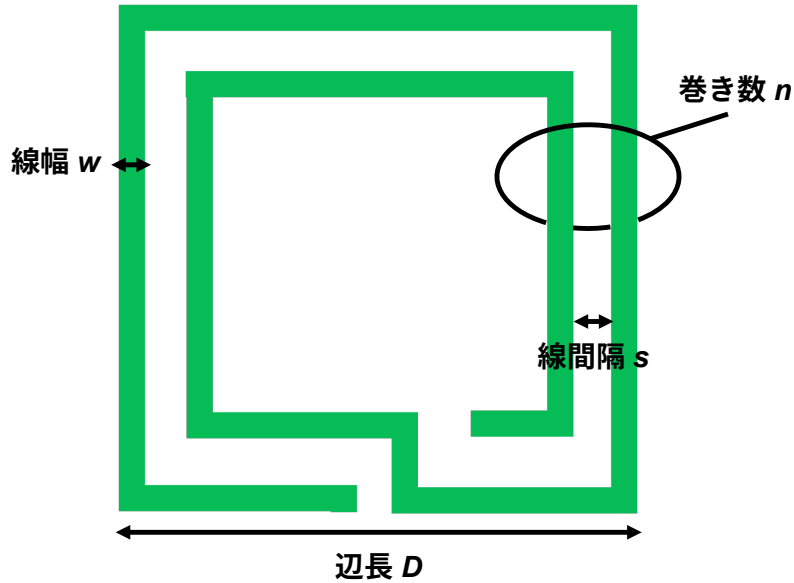


図 3.10. コイルの設計パラメータ

また、等価回路のパラメータである L_{tx} 、 L_{rx} 、 C_{tx} 、 C_{rx} 、 R_{tx} 、 R_{rx} と、正方形コイルの設計パラメータであるコイル径 D 、巻き数 n 、線幅 w 、線間隔 s (図 3.10) との関係は、それぞれ下記のような経験式、近似式で与えられる。

$$L \approx 1.62 \times 10^{-3} D^{-1.21} w^{-0.147} D_{avg}^{2.4} n^{1.78} s^{-0.03} \quad (3.12)$$

$$C \approx (C_g w + \frac{C_s}{s}) D n \quad (3.13)$$

$$R \approx 4R_s \frac{n}{w} (D + (1-n)(w+s)) \quad (3.14)$$

このうち式 3.12 については、[72] で報告された経験式であり、 D_{avg} はコイルの外径 D と内径 D_{in} の平均値 $(D + D_{in})/2$ として与えられる。また、 C_g 、 C_s 、 R_s は製造プロセスに応じて決まるパラメータであり、それぞれ配線の対地容量の比例定数、配線間容量の比例定数、配線のシート抵抗に相当する。設計の初期段階にはこうした手順でコイルの各設計パラメータを選定し、電磁界シミュレーション、回路シミュレーションによる検証と

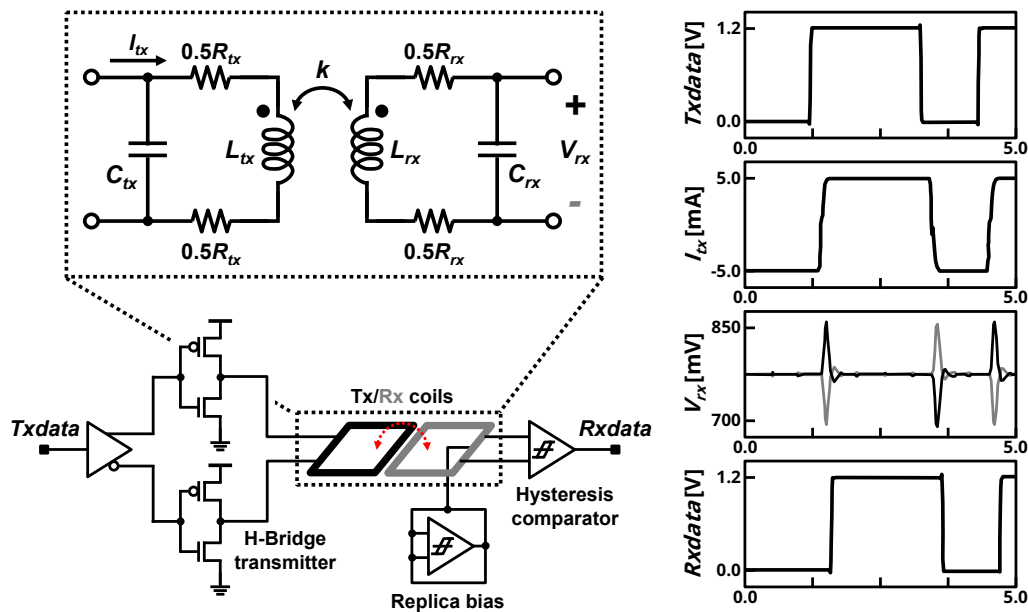


図 3.11. 送受信コア回路

修正とを繰り返すことで最終的なパラメータを決定する。

3.3 送受信回路

誘導結合無線バスにおける送受信コア回路について述べる。送受信コア回路については、従来の積層チップ間誘導結合通信と同様の回路を用いることができる。送受信コア回路の例とその動作を図 3.11 に示している。ここでは送信回路として H-Bridge 回路を利用している。インダクタやモータの駆動回路として広く用いられており、積層チップ間誘導結合通信の先行研究においても採用されている [73]。ここでは、2つのインバータでコイルを駆動している。入力された NRZ 信号 $Txdata$ に応じた向きの電流 I_{tx} が送信コイルへと流れる。データの遷移時に I_{tx} の方向が変化し、電流受信コイル側にはパルス電圧が生じる。このときパルスの極性はデータの遷移が LOW から HIGH であるか、HIGH から LOW であるかによって異なる。

受信回路にはヒステリシスコンパレータを採用する。誘起されたパルス電圧を受信側でヒステリシスコンパレータが元の NRZ データへと復元し、最終的な $Rxdata$ を図 3.11 のように得ることができる。ここで回路としては 2 段構成の標準的なものを採用する。1 段目は抵抗負荷を用いた差動増幅回路、後段はクロスカップルペアのラッチ段である。1 段

目によって受信した差動電圧信号を増幅する。そして、2段目のラッチ段でしきい値以上の振幅を保持し、データを復元する。ラッチ段の出力は入力にフィードバックされており、保持データによって閾値が変動する。保持しているデータが HIGH の場合には、閾値が下がり、保持しているデータが LOW の場合には、閾値が上昇する。それによって、ヒステリシスコンパレータとして動作し、受信したパルス信号を元のデータ信号へと復元できる。ヒステリシスコンパレータの閾値については、設計基準とする受信信号振幅の 50% 程度の値に設定する。受信コイルの midpoint にはバイアス電圧が与えられる。バイアス電圧は受信機のレプリカ回路を用いて与える。受信機の入力と出力を短絡したものを受信コイルの midpoint に接続することで、製造ばらつきにかかわらず適切なバイアス電圧を与えることができる。ここまでに示したように、誘導結合無線バスにおいては一般的な RF 無線通信回路のような信号変調はおこなわず、NRZ 信号をベースバンドで送受信する。したがって送受信コア回路は極めて単純な構成となっており省面積である。

積層チップ間誘導結合通信向けに、パルス型送信回路 [74]、NMOS CML 送信回路 [55] といった他の低消費電力な送信回路や、低消費電力化に寄与するエンコード手法 [75] が提案されている。こうした送受信回路は誘導結合無線バスにもそのまま導入することが可能である。一方で、同一チップ上における複数チャネルの同時利用を前提として合計消費電力の低減を図る手法 [76] については、単一チャネルを前提とする本手法には適用できない。

3.4 シミュレーション評価

誘導結合無線バスの性能を評価するため、送受信コア回路の回路シミュレーションをおこなった。ここでコイルや基板の電磁界シミュレーションモデル、トランジスタモデルについては、製造プロセスとして金属配線 10 層の 45-nm CMOS プロセスを想定したものを利用している。コイル径 D は $100\ \mu\text{m}$ から $5\ \text{mm}$ 、各コイルの巻き数は 2 巻き、コイル間の通信距離 X は $D/X = 10$ という条件でシミュレーションをおこなった。送受信回路の電源電圧は $1.0\ \text{V}$ とした。

31-bit 長の Pseudorandom binary sequence (PRBS) 信号を入力信号としてシミュレーションをおこなったところ、データの正常な転送を確認することができた (図 3.12)。 $300\ \mu\text{m}$ のコイルを用いる場合において、転送速度は最大で $14.3\ \text{Gb/s}$ となった。このとき送受信コア回路の消費電力は $7.91\ \text{mW}$ となり、インタフェースの面積あたり転送速度は

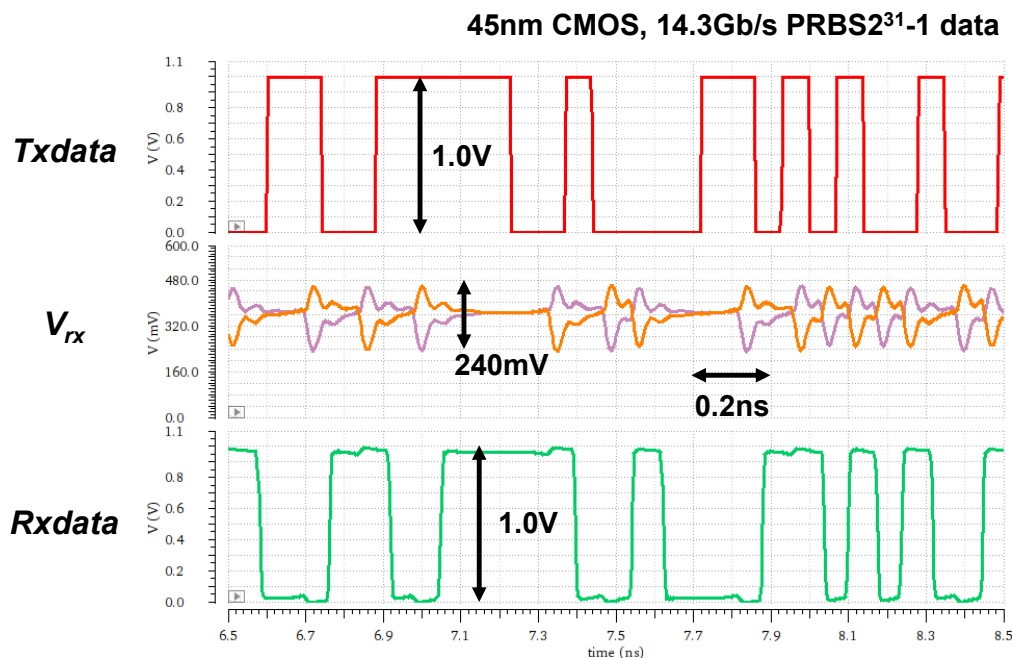


図 3.12. シミュレーション波形

159 Gb/s/mm²、電力効率は 0.55 pJ/b となった。

また、図 3.13 にコイルサイズと最大転送速度の関係を示す。コイルサイズが小さくなればコイルの寄生容量が減少し、最大転送速度は向上していく。この結果から、製造プロセスの微細化や実装技術の進歩によってより小さなチップをより近傍に配置できるようになれば、それにしただって誘導結合無線バスの性能も向上していくことがわかる。300 μm 以下のコイルでは転送速度の上昇が確認できないが、これは送受信回路の動作限界によって最大転送速度が律速されるためである。したがって、今回のシミュレーションで想定した 45-nm CMOS プロセス以降の先端プロセスを用いればさらに高速な通信が達成可能であると考えられる。

表 3.1 にミリ波 [43] や IR-UWB[52] といった他のチップ間無線通信技術との性能比較結果を示す。提案する誘導結合無線バスの最大通信距離は正方形コイルの 1 辺の 1/10 程度となるため他の技術と比較して短い値に留まる。しかしながら、無線バスではシンプ

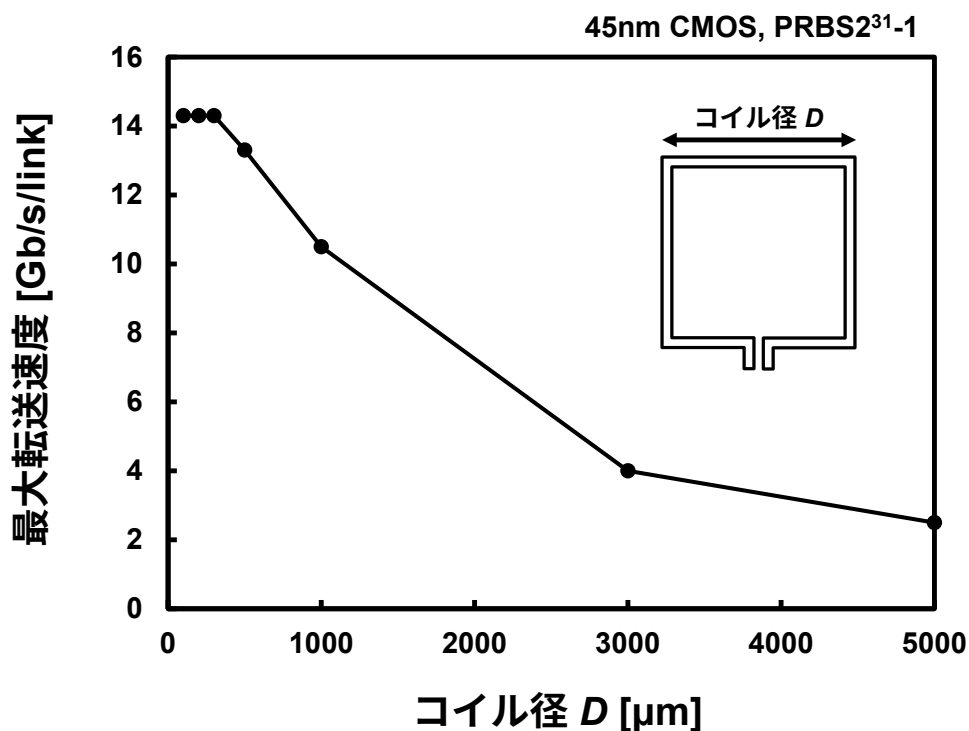


図 3.13. コイル径と最大転送速度の関係

ルな送受信回路と、内部に回路を形成可能な面積効率のよいコイルを利用して高帯域かつ低消費電力な無線通信を実現することができる。また、前述したように複数のチップを隣接して配置しても特性変化なく通信をおこなうことができる。

3.4.1 誘導結合無線バスのスケーリング則

誘導結合無線バスの性能は実装技術と製造プロセスの進展にしたがって向上する。コイルの小型化にともなって寄生容量が減少すると、コイルの最大転送速度が向上する。こうした傾向をより体系的なかたちで整理する。関連する研究の中で、3.0D SiP に向けた近接場誘導結合通信回路や送受信コイルに関するスケーリング則が示されている [77]。しかしながら、ここでは自己インダクタンスや寄生容量の増加による帯域制限が考慮されておらず、必ずしも適切な性能向上指針にはなっていない。

誘導結合無線バスへ向けたスケーリング則を提案する。まず、チップサイズとチップ間

距離がスケーリングした場合における性能向上指針となる電圧一定スケーリングについて述べる。受信コイルに誘起される受信電圧振幅が一定となるようコイル径 D とコイル巻き数 n を変更する (表 3.2)。ここではスケーリングファクタを S としている。デバイス性能に変化の無い場合、送信電流 I_{tx} や送信電流スルーレート dI_{tx}/dt に変化はない。コイル径 D はチップサイズの変更に沿って $1/S$ とする。コイル巻き数 n を $S^{0.6}$ とすることで、自己インダクタンス L を一定に保つ。その結果寄生容量 C については $1/S^{0.4}$ の値となる。チップ間距離にしたがってコイル径 D を変更するため、結合係数 k に変化はない。送信電流スルーレート dI_{tx}/dt 、各コイルの自己インダクタンス L 、結合係数 k から受信電圧振幅 V_{rx} が決まり、その値はスケーリング前後で一定となる。最大転送速度は寄生容量 C の減少にしたがって $S^{0.2}$ となる。この最大転送速度で通信をおこなうことで、電力効率は $1/S^{0.2}$ となる。このように、チップサイズをスケーリングすることで最大転送速度と電力効率の向上が期待できる。ここで留意すべき点として、送受信回路がこうしたチャンネルの最大転送速度において動作可能であることを前提として議論をおこなっていることが挙げられる。送受信回路の最大動作速度はデバイス性能によって決定される。したがって、こうした最大転送速度や電力効率の改善はデバイス性能によって律速される。この傾向は前述した 45-nm CMOS プロセスにおけるシミュレーション結果と定性的に一致している。

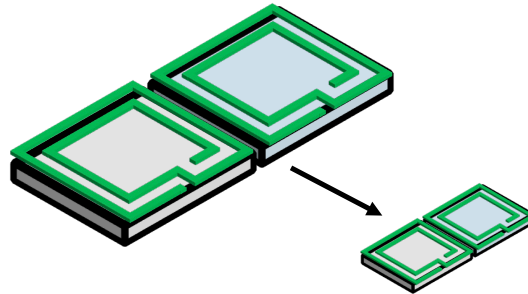
続いて、チップサイズやチップ間距離のスケーリングとともにデバイス製造プロセスのスケーリングが進行した場合における性能向上指針として、定磁界スケーリングを示す。

表 3.1. チップ間無線通信手法の性能比較

	誘導結合無線バス	IR-UWB	mm-wave
Block diagram of RF TX/RX circuits			
Technology	45-nm CMOS	180-nm CMOS	40-nm CMOS
Data rate [Gb/s]	14.3*	0.2	11
Power consumption [mW]	7.91*	43 (RX only)	70
Communication distance	30 μm *	500 μm	14 mm

*Simulation results

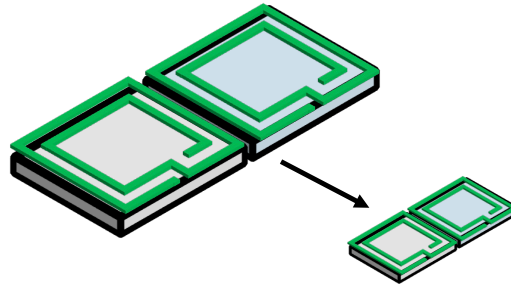
表 3.2. 誘導結合無線バスの定電圧スケールリング



パラメータ	定電圧スケールリング
送信電流 I_{tx}	1
送信電流スルーレート dI_{tx}/dt	1
コイル径 D	$1/S$
コイル巻き数 n	$S^{0.6}$
自己インダクタンス $L (\propto D, n^{1.8})$	1
寄生容量 $C (\propto D, n)$	$1/S^{0.4}$
結合係数 k	1
受信電圧振幅 $V_{rx} (\propto dI_{tx}/dt, L, k)$	1
最大転送速度 ($\propto 1/L^{0.5}, 1/C^{0.5}$)	$S^{0.2}$
消費電力 ($\propto V, I_{tx}$)	1
電力効率 (消費エネルギー/ビット) ($\propto V, I_{tx}, 1/\text{最大転送速度}$)	$1/S^{0.2}$

受信コイルを貫く磁束の密度が一定に保たれるようにコイル径 D のみを変更する (表 3.3)。背景として示したとおり、従来の定電界プロセススケールリングはもはや成り立っていない。しかしここでは簡単のため、こうしたスケールリングが成り立つ理想条件での性能向上について述べる。チップサイズとデバイスのスケールリングファクタの双方を S としている。表の上側にはデバイス製造プロセスのスケールリングに関するパラメータを示している。トランジスタの各寸法は $1/S$ となり、電源電圧 V 、閾値電圧 V_{th} もそれに応

表 3.3. 誘導結合無線バスの定磁界スケーリング



パラメータ	定電界デバイススケーリング + 定磁界スケーリング
トランジスタの各寸法	1/S
電源電圧 V	1/S
閾値電圧 V_{th}	1/S
ゲート遅延 τ	1/S
動作周波数 f	S
送信電流 I_{tx}	1/S
送信電流スルーレート dI_{tx}/dt	1
コイル径 D	1/S
コイル巻き数 n	1
自己インダクタンス $L (\propto D, n^{1.8})$	1/S
寄生容量 $C (\propto D, n)$	1/S
結合係数 k	1
受信電圧振幅 $V_{rx} (\propto dI_{tx}/dt, L, k)$	1/S
最大転送速度 ($\propto 1/L^{0.5}, 1/C^{0.5}$)	S
消費電力 ($\propto V, I_{tx}$)	1/S ²
電力効率 (消費エネルギー/ビット) ($\propto V, I_{tx}, 1/\text{最大転送速度}$)	1/S ³

じて $1/S$ の値となっている。これによってゲート遅延 τ は $1/S$ に、動作周波数 f は S になる。デバイス性能向上に起因して、電源電圧 V と送信電流 I_{tx} を $1/S$ とした場合にも送信電流スルーレート dI_{tx}/dt に変化はない。コイル径 D はチップサイズの変更に沿って $1/S$ とする。コイル巻き数 n は一定に保つ。このとき自己インダクタンス L はコイル

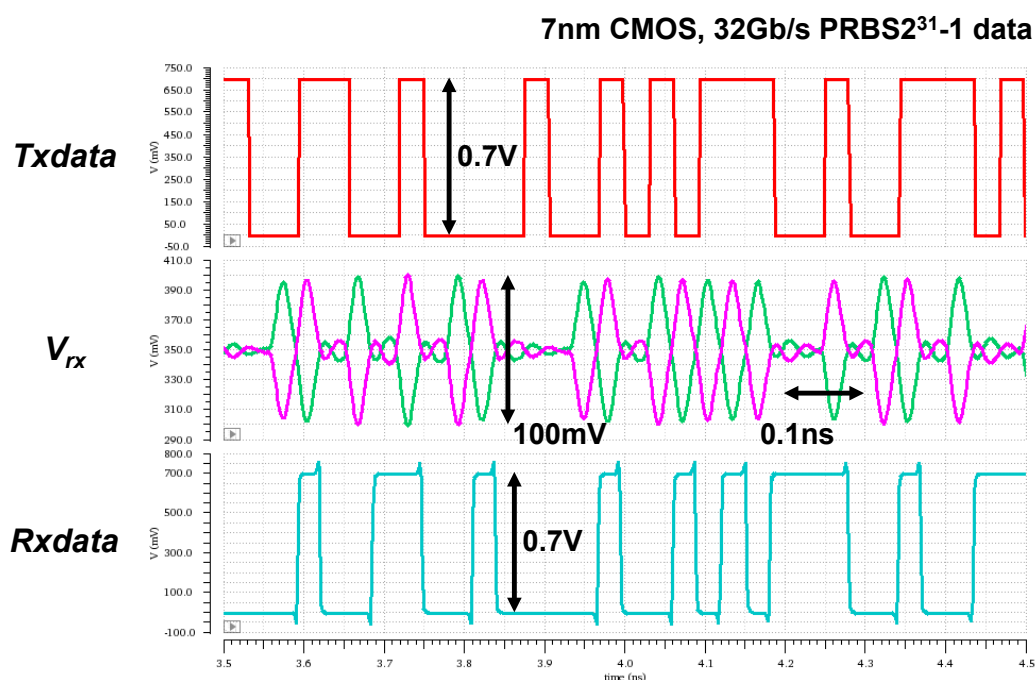


図 3.14. 7-nm CMOS プロセスを想定したシミュレーション波形

径 D に比例するため $1/S$ の値となる。寄生容量 C についても同様に $1/S$ の値となる。チップ間距離にしたがってコイル径 D を変更するため、結合係数 k に変化はない。送信電流スルーレート dI_{tx}/dt 、各コイルの自己インダクタンス L 、結合係数 k から受信電圧振幅 V_{rx} が決まり、 $1/S$ の値となる。最大転送速度は L と寄生容量 C の減少にしたがって S となる。また、消費電力は電源電圧 V と送信電流 I_{tx} の減少にしたがって $1/S^2$ となる。最大転送速度で通信をおこなうことで、電力効率は $1/S^3$ と大きく改善される。このように、最大転送速度と消費電力、電力効率の向上が期待できる。先に述べたようにデバイスの定電界スケールングはもはや成り立っておらず、閾値電圧の低下は進んでいない。しかしながら、誘導結合無線バス向けには低電圧動作可能な回路トポロジ [55] の採用が可能であることから、トランジスタの微細化と送受信回路の低電圧動作を推し進めることで傾向としてはこうしたかたちでの性能改善を実現可能である。

誘導結合無線バスのスケールングについて評価するため、先端の微細製造プロセスの利

用を想定した送受信コア回路のシミュレーションをおこなった。ここでコイルや基板の電磁界シミュレーションモデル、トランジスタモデルについては、製造プロセスとして金属配線6層の7-nm CMOS プロセスを想定したものを利用している。コイル径 D は $300\ \mu\text{m}$ 、各コイルの巻き数は2巻き、コイル間の通信距離 X は $D/X = 10$ という条件でシミュレーションをおこなった。送受信回路の電源電圧は $0.7\ \text{V}$ としている。

31-bit 長の PRBS 信号を入力信号としてシミュレーションをおこなったところ、データの正常な転送を確認することができた (図 3.14)。転送速度は最大で $32\ \text{Gb/s}$ となった。このとき送受信コア回路の消費電力は $4.4\ \text{mW}$ となり、インタフェースの面積あたり転送速度は $355\ \text{Gb/s/mm}^2$ 、電力効率は $0.14\ \text{pJ/b}$ となった。40-nm CMOS プロセスのシミュレーション結果と比較すると、転送速度は 2.23 倍、消費電力は 0.56 倍とともに改善されており、製造プロセス微細化による性能向上が確認された。

3.5 実験評価

$0.18\text{-}\mu\text{m}$ CMOS 製造プロセスを用いて誘導結合無線バスのテストチップを設計製造した。図 3.15 にテストチップ写真を示す。2.5 mm 角のチップ上に、策定した設計指針に基づいて設計した $1.2\ \text{mm} \times 500\ \mu\text{m}$ サイズの送信コイルと、 $500\ \mu\text{m} \times 500\ \mu\text{m}$ サイズの受信コイルが合計 4 つ配置されている。それぞれのコイルの巻き数は2である。通信距離は $25\ \mu\text{m}$ 、 $31.5\ \mu\text{m}$ 、 $42\ \mu\text{m}$ 、 $50\ \mu\text{m}$ となっており、それぞれ $D/X = 10, 12, 16, 20$ という条件になっている。送信回路として H-Bridge 回路を、受信回路としてヒステリシスコンパレータを搭載している。同一チップ上に配置した送信コイルと各受信コイル間の無線通信特性を確認することで、提案する誘導結合無線バスの設計指針や性能について検証をおこなった。

図 3.16 にバス通信の動作波形を示す。送信回路には外部の BERT から $2.0\ \text{Gb/s}$ の 2^7-1 PRBS 信号が入力されている。Rx1、Rx2、Rx3、Rx4 は4つのコイルそれぞれに接続された受信回路の出力波形であり、全ての周辺コイルへと同様のデータが伝送されていることがわかる。このときの BER は 10^{-12} 以下であり、有線通信と同等の高い信頼性が確認された。消費電力は送信回路が $18.6\ \text{mW}$ 、受信回路が $6.7\ \text{mW}$ であった。最大転送速度や消費電力については前述したシミュレーション結果と比較すれば低い値に留まっている。これは $0.18\text{-}\mu\text{m}$ CMOS 製造プロセスを利用していることが理由であり、先端製造プロセスのトランジスタを活用することで高速化、低消費電力化が達成可能であると見

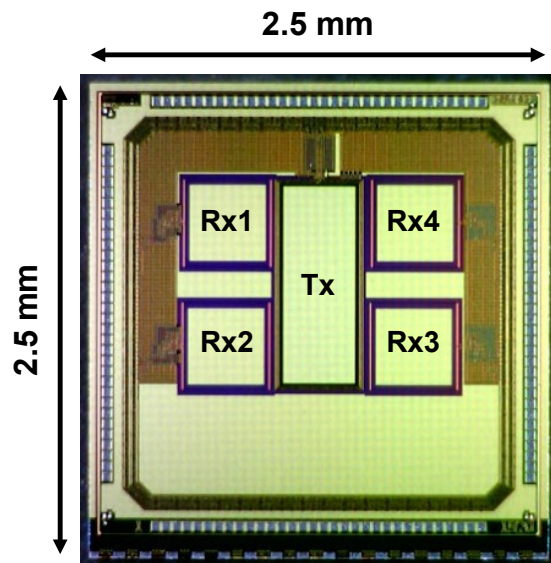


図 3.15. 誘導結合無線バスのテストチップ写真

込まれる。

図 3.17 に測定によって得られたアイパターンとバスタブカーブを示している。それぞれのコイルに対して正常にデータが転送されており、 $BER=10^{-8}$ 以下の条件で 0.37UI と十分に広いタイミングマージンの存在が確認された。

3.6 まとめ

本章では、形状自在計算機システムへ向けた無線通信手法として、誘導結合無線バスを提案した。各チップの外周に沿って一対のオンチップコイルを形成し、オンチップコイル間の水平方向誘導結合を利用することで、干渉の問題なく複数の隣接チップ間を無線接続する。オンチップコイル間の水平方向誘導結合についてシミュレーションによる解析をおこない、誘導結合無線バスの設計手法を明らかにした。送受信回路のシミュレーションにより、45-nm CMOS 製造プロセス、 $300\ \mu\text{m}$ のコイルを用いる場合に、転送速

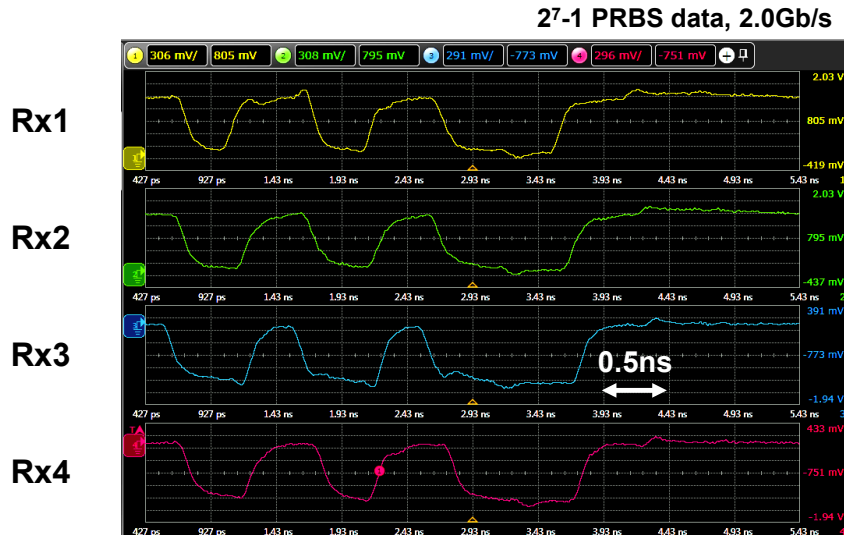


図 3.16. バス通信の実測波形

度は最大で 14.3 Gb/s となり、送受信コア回路の消費電力は 7.91 mW となることを示した。インタフェースの面積あたり転送速度は 159 Gb/s/mm²、電力効率は 0.55 pJ/b となる。誘導結合無線バスの性能向上指針としての定電界スケーリング則と定磁界スケーリング則を示し、先端の半導体製造プロセスを活用してシステムを構築した場合に予想される性能についても述べた。

また、0.18- μ m CMOS 製造プロセスのテストチップによる誘導結合無線バスの実測評価結果を示した。評価の結果、提案手法によって 2.0 Gb/s の高速バス通信が可能であることが明らかになった。その際の BER は 10^{-12} 以下であり有線通信と同等の信頼性を持つことが示された。

以降の章では、この誘導結合無線バスを搭載したプロセッサチップの設計における課題や、そのシステムアーキテクチャについて検討をおこなう。

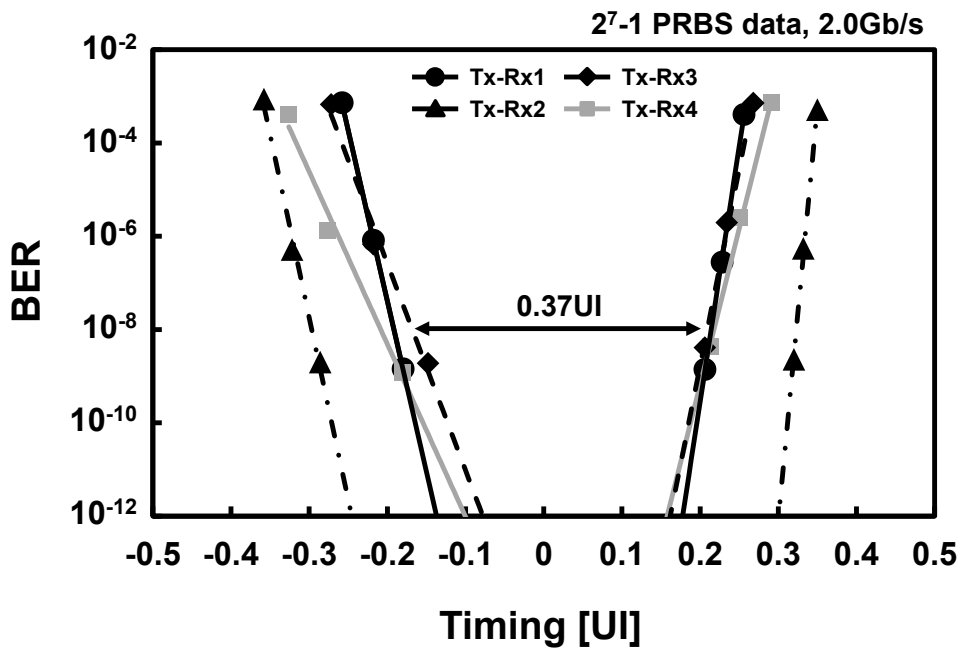
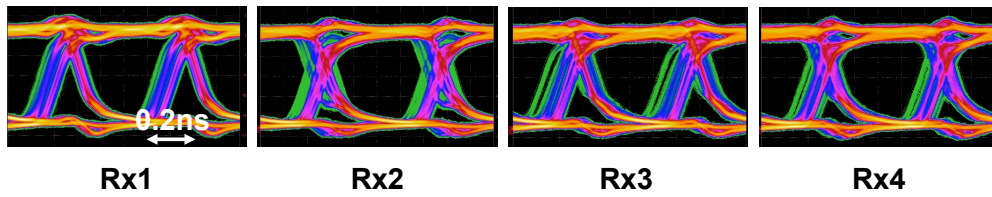


図 3.17. バス通信のアイパターンとタイミングマージン

第 4 章

構成チップの設計手法

4.1 まえがき

誘導結合無線バスを搭載したプロセッサチップの設計にあたって、内部回路との干渉について考察をおこなう必要がある。誘導結合無線通信に用いられるコイルと内部配線と

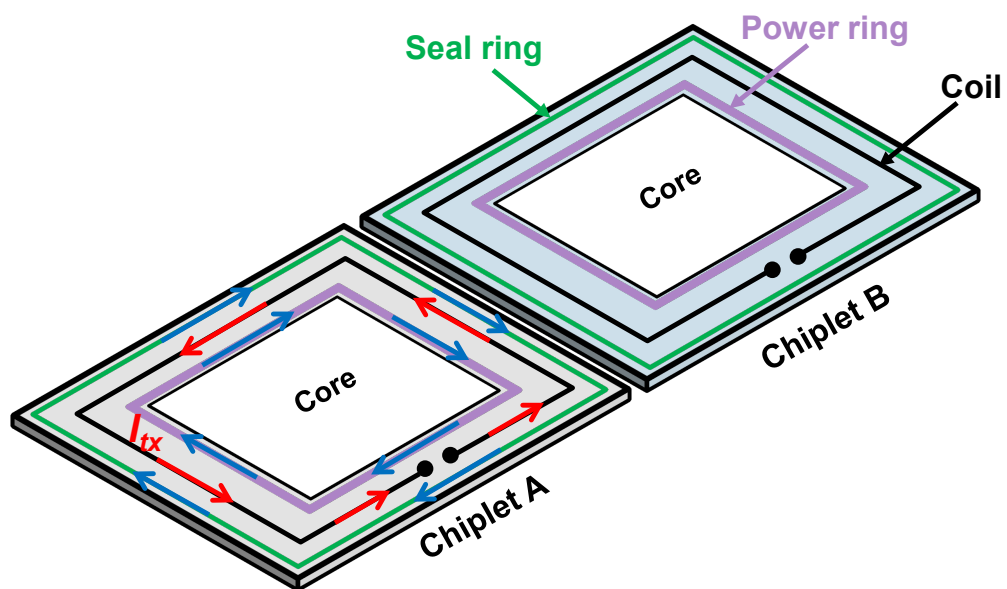


図 4.1. リング状配線の影響

の間の干渉については先行研究が存在し、信号配線やメッシュ状電源配線の影響が調査されている [78]。ここでは配線の存在が無線通信特性へ与える影響は小さく、ワーストケースにおいても 9% の送信電力増加によって補償できることが示されている。また、コイルから内部回路への影響も同様に小さく、SRAM のようなノイズにセンシティブなアナログ回路に対してもその影響は製造ばらつきやソフトエラーと同程度以下であり、設計上問題にならないことが報告されている。しかし、ここでコイルの周囲にコイルと同程度の径となるリング状配線が存在する場合、図 4.1 に示すように送信電流と反対方向の渦電流がリング上に流れる。この電流の影響で磁界の変化が妨げられ通信特性に影響が及ぶことが予想される。このようなリング状の配線の例として、チップ内回路への電源供給をおこなう電源リングや、チップ保護のための構造であるシールリングが想定される。したがって、こうした配線の影響に関する調査、リング配線と各種内部回路を搭載したテストチップの実測による評価が不可欠である。

また、誘導結合無線バスには、既存の有線通信技術や無線通信技術とは異なる独自のネットワークプロトコルが必要になる。誘導結合無線バスは隣接して配置されたチップのみにデータをブロードキャストする特異な特性を持っており、複数チップ間で効率的なデータ伝送をおこなうためにはデータの衝突検知や再送処理をおこなう独自のデータリンク層プロトコルが要求される。加えて、想定する群ロボットのようなアプリケーションにおいてはシステム内のネットワークトポロジは動的に変化し、個別のチップの設計時には決定することができない。そのため、システム起動時に複数のチップ間に適切なルーティングパスを構築するための独自のネットワーク層プロトコルが必要となる。このように、イレギュラーなトポロジの複数チップから成る形状自在計算機システムを構築するためには、誘導結合無線バスの物理層特性を考慮に入れたネットワークプロトコルの策定が要求される。

本章では、誘導結合無線バスを搭載したプロセッサチップの全体アーキテクチャと設計手法について述べる。プロセッサチップ設計上の課題である誘導結合無線バスと他配線との干渉についてシミュレーション結果を示すとともに、プロセッサと無線バスとのインタフェース、上位ネットワークプロトコルの概要を含む全体アーキテクチャを提案する。また、プロセッサと誘導結合無線バスを搭載したテストチップの実測評価結果を示す。

4.2 誘導結合無線バスと内部回路との干渉

リング状配線の無線通信特性に対する影響について調査するため、コイルの外側・内側にリング状配線を形成したときの無線通信特性の変化を三次元電磁界シミュレーションと回路シミュレーションによって評価した。電磁界シミュレーションのツールには Keysight Momentum を利用した。コイルや基板のシミュレーションモデル、シミュレーションに用いたトランジスタモデルについては製造プロセスとして金属配線 10 層の 45-nm CMOS プロセスを想定したものを利用している。コイル径は 1 mm でコイルの巻き数は 2、通信距離は 125 μm であり、コイル径 D とコイル同士の通信距離 X は $D/X = 8$ という条件になっている。10 層の金属配線全てを使い、コイルの内側にリング配線を形成することで電源リングを、コイルの外側にリング配線を形成することでシールリングを模擬している。電磁界シミュレーションをおこなうことで S パラメータを取得し、取得した S パラメータを用いて回路シミュレーションをおこなうことでリング状配線の有無に応じた受信信号振幅の変化について調査した。

図 4.2 は電源リングが存在する場合の受信信号振幅と電源リングが存在しない場合の受信信号振幅の比を示したものである。ここで凡例の W は電源リングの太さ [μm] を表している。シミュレーション結果によれば、電源リングが存在しその太さが太いほど顕著に受信信号振幅が減衰している。また、コイルと電源リングとの距離が近いほど受信信号振幅が減衰している。

結果から、電源リングが存在する場合にも所望の受信信号振幅が得られるような設計ルールを考えることができる。たとえば電源リングが無い場合と比較して 90% 程度の受信信号振幅を得ようとすれば、想定する製造プロセス条件においては電源リングの太さが 1 μm の場合、コイルと電源リングとの距離は 100 μm 以上でなければならず、電源リングの太さが 2 μm 以上の場合コイルと電源リングの距離は 150 μm 以上にする必要がある。

一方、図 4.3 はシールリングが存在する場合の受信信号振幅と存在しない場合の受信信号振幅の比を示したものである。シミュレーション結果によれば、シールリングが存在しその太さが太いほど顕著に受信信号振幅が減衰している。また、コイルとシールリングとの距離に応じて受信信号振幅が変化しているが、シールリングの太さに応じて距離の変化に対する振幅変化の傾向は異なっている。こうした傾向に関して定性的な考察を

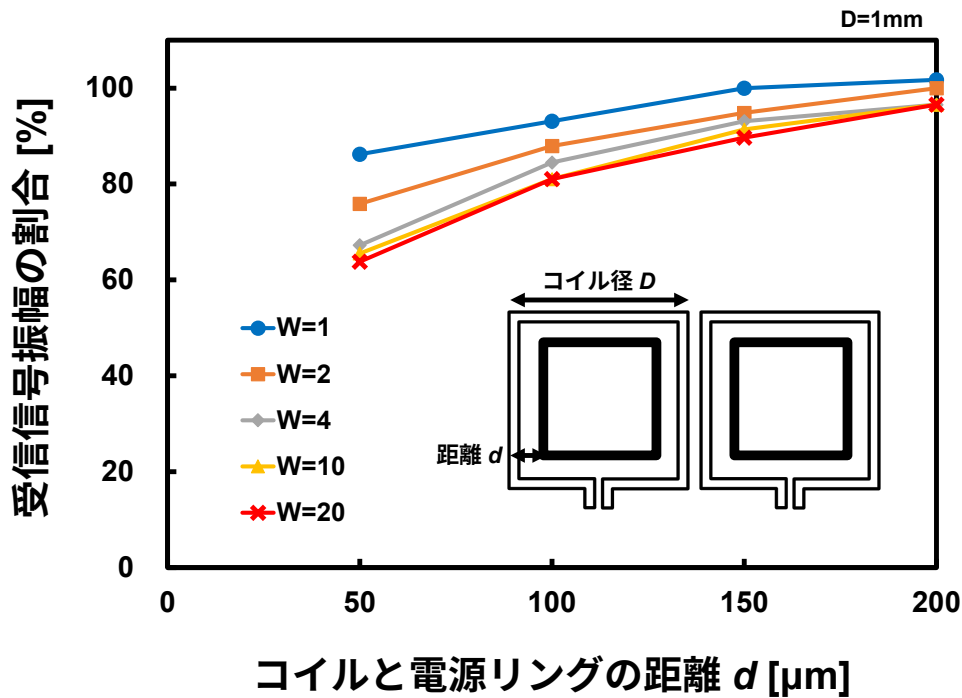


図 4.2. 電源リングの通信特性に対する影響

加えるとすれば、(1) シールドリングが大きくなるにしたがってインダクタンスが増加し、磁界変化を妨げる影響が大きくなる、(2) 同方向に電流が流れるシールドリング同士が近づくことでお互いの電流を弱めあい、磁界変化を妨げる影響が小さくなるという2点の影響のうち、配線抵抗値の高い細いシールドリングにおいては(1)の影響が、配線抵抗値の低い太いシールドリングにおいては(2)の影響が支配的であることがその理由として考えられる。

結果から、シールドリングが存在する場合にも所望の受信信号振幅が得られるような設計ルールを考えることができる。たとえばシールドリングが無い場合と比較して70%程度の受信信号振幅を得ようとするならば、想定する製造プロセス条件においてはシールドリングの太さを1 μm 以下にする必要がある。50%程度の受信信号振幅を得ようとするならば、シールドリングの太さを2 μm 以下にする必要がある。

また、別途コイルとの距離10 μm の場所に太さ20 μm のシールドリングを配置した状態

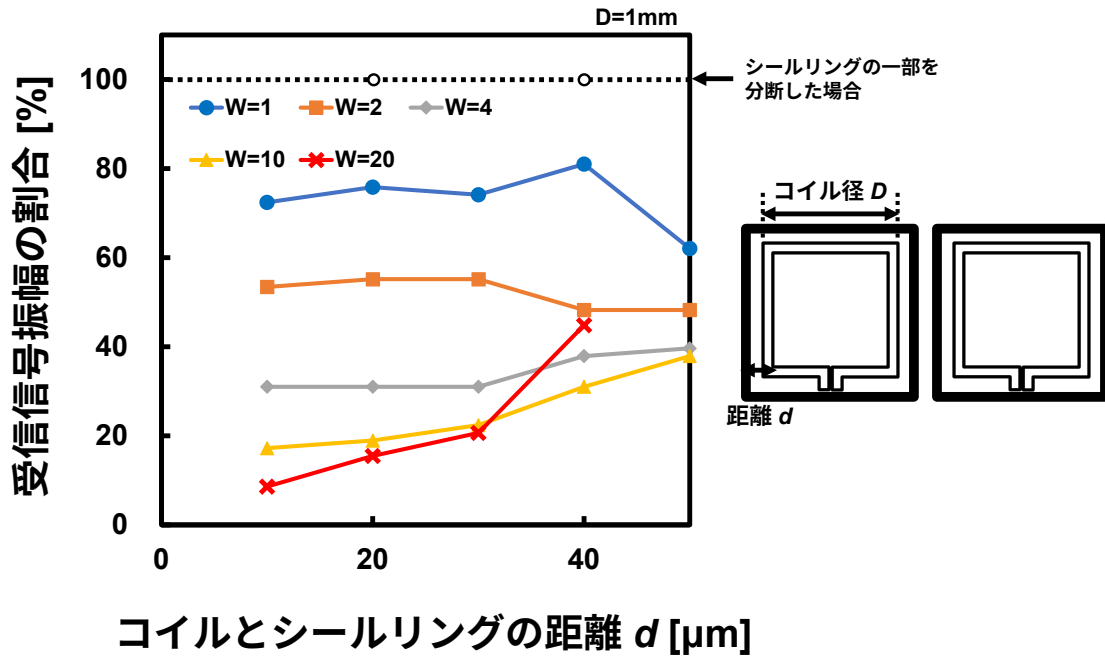


図 4.3. シールリングの通信特性に対する影響

で、シールリングの一箇所を分断して同様のシミュレーションをおこなった。ここでシールリングの分断長は $10 \mu\text{m}$ としている。その結果、受信信号振幅はシールリングが存在しない場合と同様の値であった。シールリングを分断してもその分断長が十分短い場合にはチップの保護機能を保つことができるという報告がある [79]。したがって、製造工程上可能な場合には、一部を分断したシールリングを利用することでチップを保護しつつ受信信号振幅の減少を回避することができる。

4.3 汎用プロセッサチップのアーキテクチャ

図 4.4 に提案する形状自在計算機システムにおける汎用プロセッサチップのブロック図を示す。プロセッサコアと組み込みデバイス向け SoC において典型的な周辺回路に加えて、誘導結合無線バスを備える。チップの外周に沿って送信コイルと受信コイルが 1 つずつ形成されており、隣接するチップと無線で接続される。ここで、各コイルは通常の内

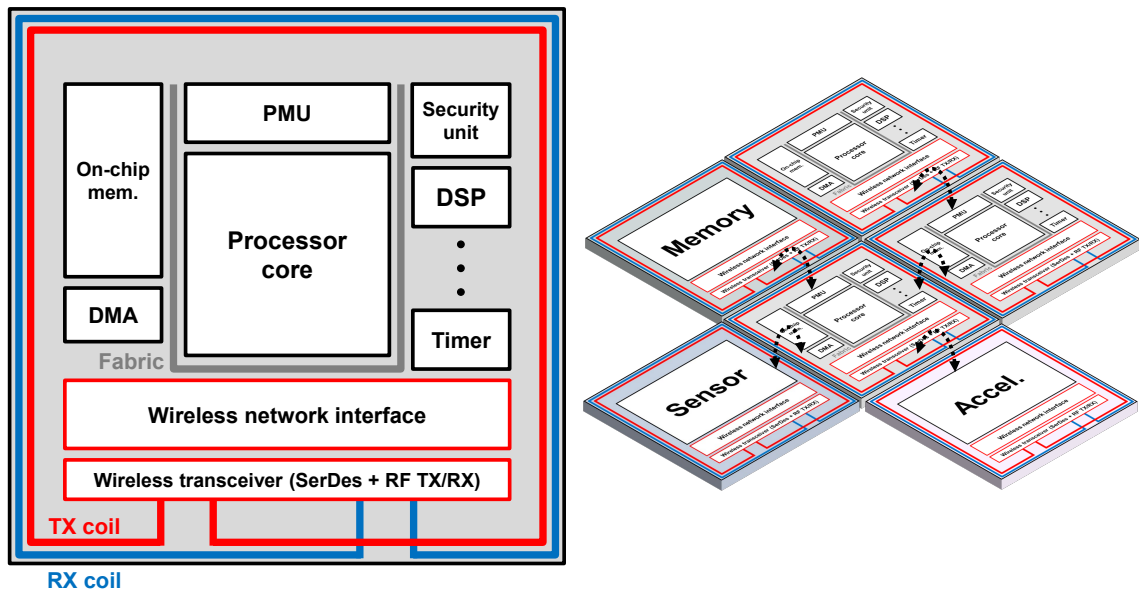


図 4.4. 汎用プロセッサチップのブロック図

部配線を利用して形成するため、追加の加工コストは必要ない。コイルの内側にはプロセッサコアやネットワークインタフェース、SerDes 回路、送受信コア回路が搭載される。このときこれらの内部回路の電源供給用リング配線については、干渉を防ぐため典型的にはコイル径の 10% 以上の間隔を離して配置する。誘導結合無線バスには、一般的な周辺インタフェース回路と同様に、プロセッサのメモリ空間内の特定のアドレスが割り当てられている。プロセッサコアは命令セットにおける通常のロード・ストア命令を利用して誘導結合無線バスへとアクセスする。

形状自在計算機システムにおいては、複数のチップが隣接して配置されシステムが構築される。メモリチップやアクセラレータコアを搭載したチップ、センサを搭載したチップについても汎用プロセッサの例と同様に誘導結合無線バスを備える。誘導結合無線バスの通信特性により、隣接する 4 つのチップについてはワンホップでデータを伝送し、その他のチップについては複数のチップを介してデータを中継する。無線で接続されているため、システムを構成するチップの種類や数は容易に変更可能である。また、チップの辺同士が隣接していればその相対角度は自由に変更可能である。特定のチップが故障した際にはそのチップのみを取り換えることで容易にシステムを復旧することができる。ここで電源供給のため外部に大きなバッテリーが必要な場合はシステム変形の妨げになる

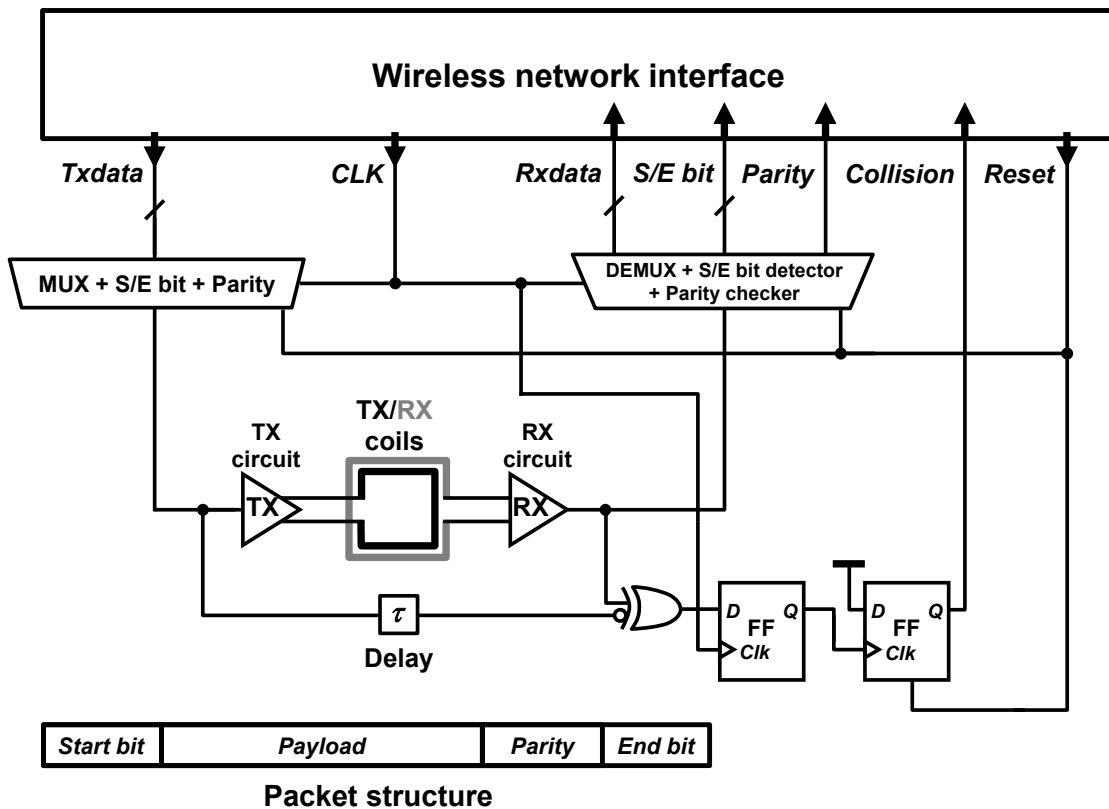


図 4.5. 送受信回路

が、オンチップコイルによる無線給電回路とパワーマネジメント回路 (PMU) とを組み合わせることで、電源供給も含めた単一チップへの統合が可能である。

4.3.1 送受信回路

図 4.5 に送受信回路の全体図を示す。送受信コア回路に加えて、SerDes 回路や衝突検知回路が追加されている。プロセッサコアからネットワークインタフェースを介して送られたパラレルデータは SerDes 回路によってシリアルライズされ、誘導結合無線バスを介して伝送される。受信側ではこのシリアルデータをデシリアルライズしてパラレルデータへと復元する。誘導結合通信の信頼性は有線通信と同等程度に高いため、高度な誤り訂正機能は搭載せず、スタート・エンドビットやパリティのチェックのみによってデータの正当性を確認する。また、異なるチップ上のコイルが同時にデータを送信した場合に起こるデータ衝突を検出するための回路を搭載する。送信されたデータは同一チップ上の受信コイルにも伝送されるため、同一チップ上の送信データと受信データとを比較する

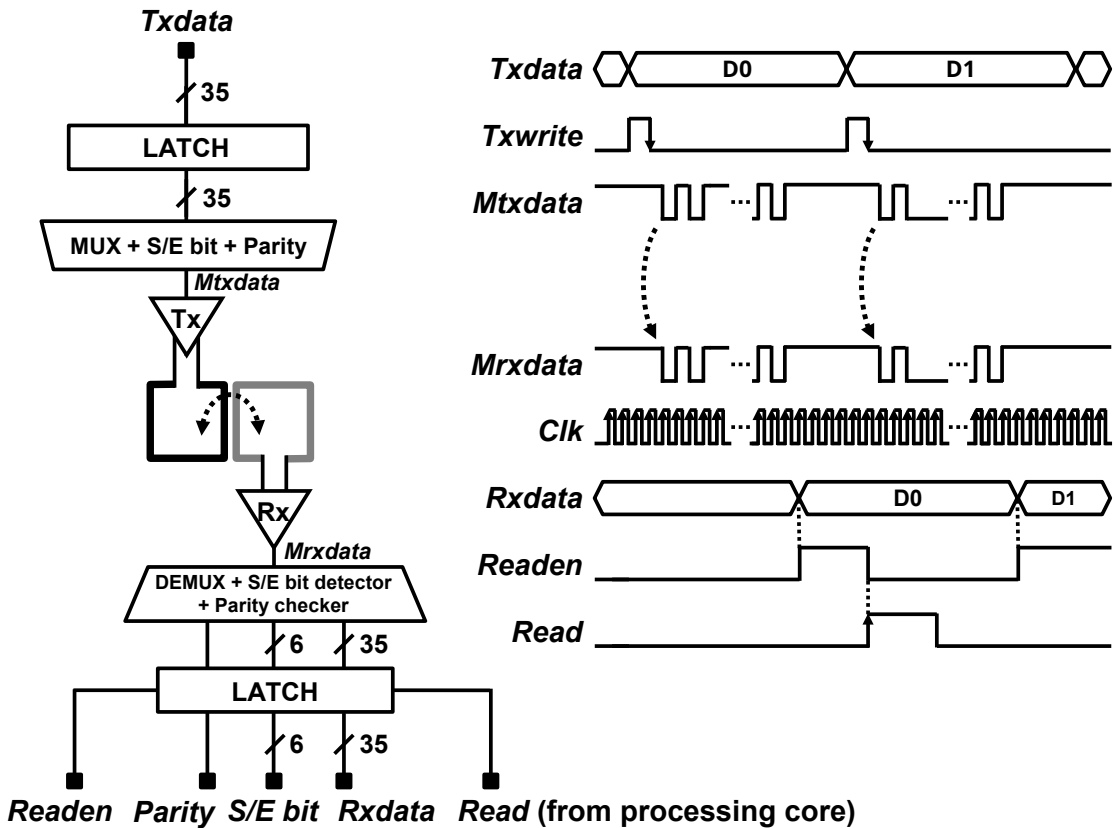


図 4.6. 送受信回路の動作

ことによって受信データの有無や送信中のデータ衝突の有無をリアルタイムに確認することができる。この信号を使って再送処理を実現する。

図 4.6 に送受信回路の詳細動作を示す。コアから送出された平行データ *Txdata* は送信開始信号 *Txwrite* の立下りにしたがってシリアルライズされ、誘導結合を介して転送される。受信側ではこれをデシリアルライズし受信する。スタート・エンドビットやパリティが正しい正常なデータが到達したら、受信完了信号 *Readen* をプロセッサコアへとアサートする。コア側でこのデータを正常に受け取ったあと、コアから送受信回路側へと *Read* 信号をアサートする。このような手順にしたがって異なるチップ間でハンドシェイクをおこない、無線通信を実現する。

図 4.7 にパケット転送のシミュレーション結果を示す。送受信コア回路と SerDes 回路とを組み合わせ、42-bit のパケットデータの転送をシミュレーションした。コイル径は 300 μm 、通信距離は 30 μm である。*Txwrite* の立下りを検出してシリアルデータ

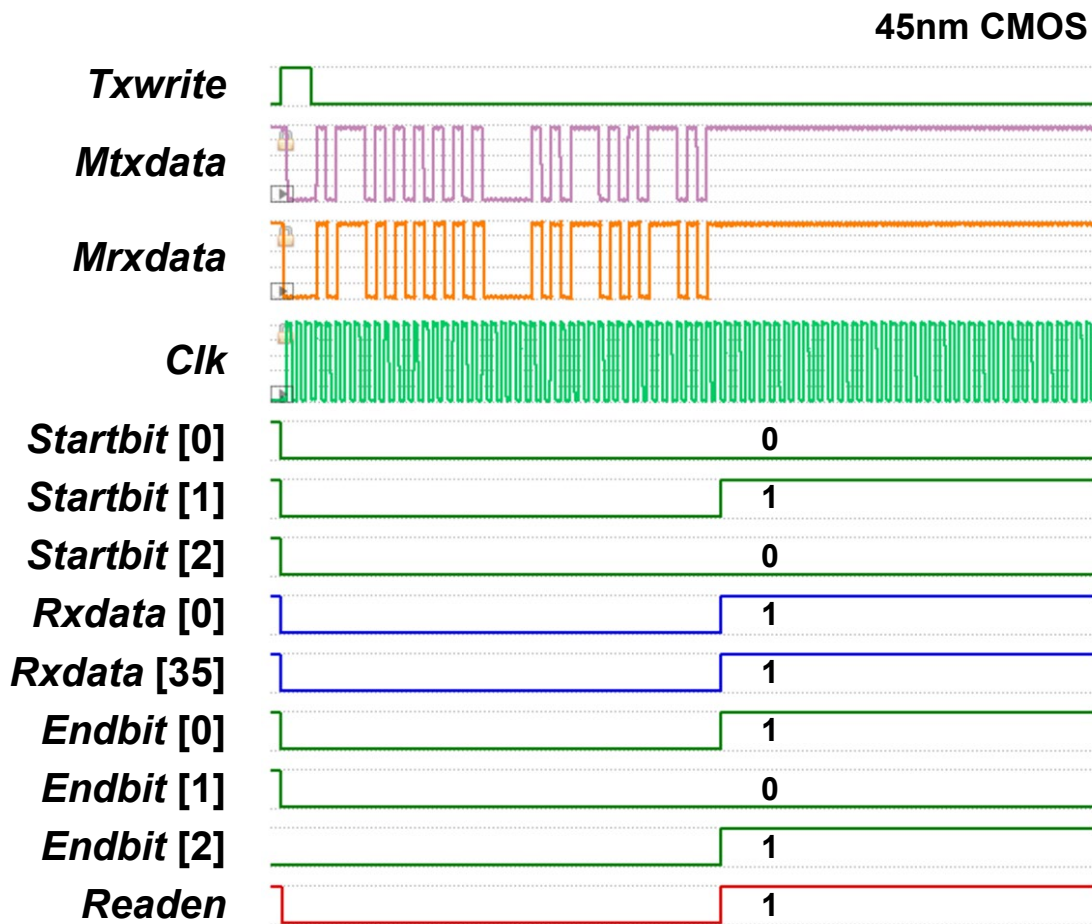


図 4.7. パケット転送のシミュレーション結果

Mtxdata が転送され受信側に届いた *Mrxdata* がデシリアライズされている。受信側でスタート・エンドビット、パリティが所望の値となっていることが確認され、*Readen* が立ち上がっており、これによってデータが正常に届いたことが受信側で検出されている。パケットとして転送される 42-bit のうち実際のデータは 35-bit であり、300 μm コイル、45-nm CMOS 製造プロセス条件における最大転送速度である 14.3 Gb/s でシリアルデータ転送をおこなった場合には、これも加味したデータの転送速度は 11.9 Gb/s となる。

また、図 4.8 に衝突検知回路のシミュレーション結果を示す。同一チップにおける送信データと受信データを比較することで、複数の隣接するチップがデータを送信した際の衝突検知をおこなっている。コイル径は 300 μm 、通信距離は 30 μm である。シミュレーション結果からわかるように、あるチップ A が送信したデータが隣接するチップ B

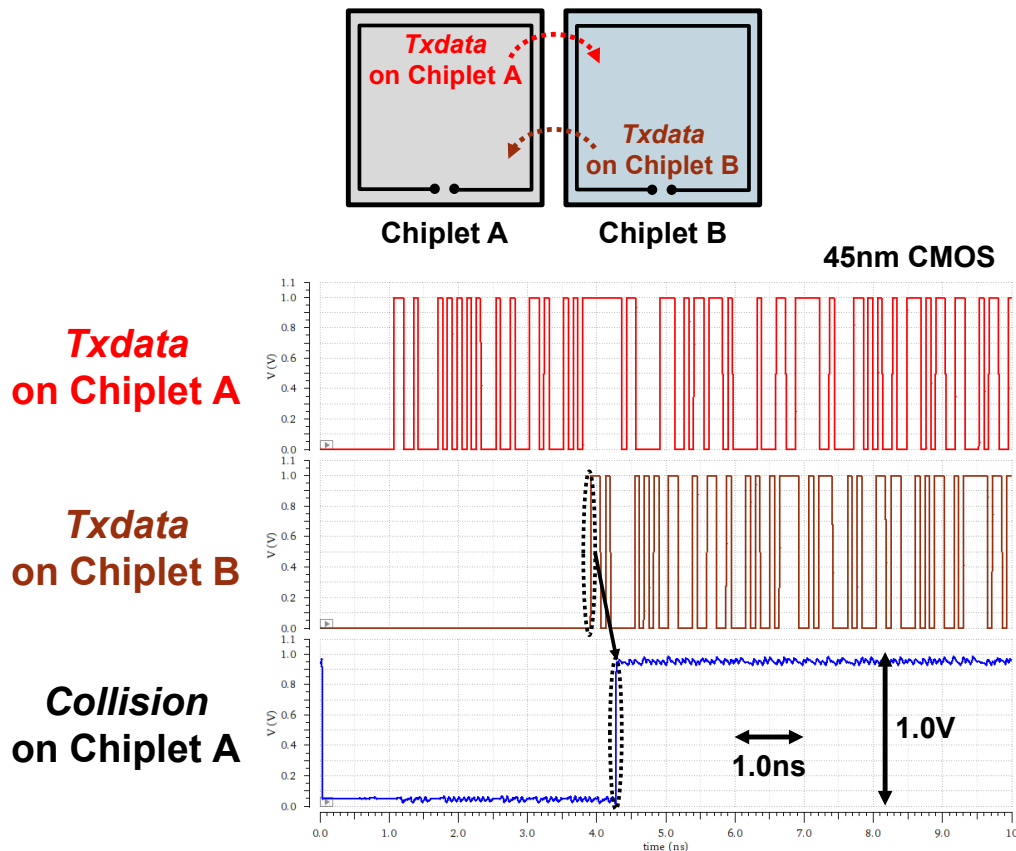


図 4.8. 衝突検知回路のシミュレーション結果

の送信したデータと衝突すると、チップ A 上で衝突が検知され衝突検知信号 *Collision* が立ち上がっている。チップ B の送信開始から衝突検知までの時間は最短で 0.3 ns 程度である。上位プロトコルでこの衝突検知信号に基づいて処理をおこなうことで効率の良いデータ再転送が期待できる。

4.3.2 データリンク層

誘導結合無線バスに向けたデータリンク層プロトコルの概要と必要要件について述べる。データリンク層では、磁界変化検出による衝突検知・再送と、ACK 信号による確認応答がおこなわれる。誘導結合無線バスの物理層では、隣接したチップ間のみでブロードキャスト伝送がおこなわれる。異なるチップが送信したデータ同士で衝突が発生する可能性があり、このデータ衝突には送信側チップで検出可能なものと、送信側では検出できないものの 2 種類が存在する。こうした特性の上でデータ伝送を効率的におこなうた

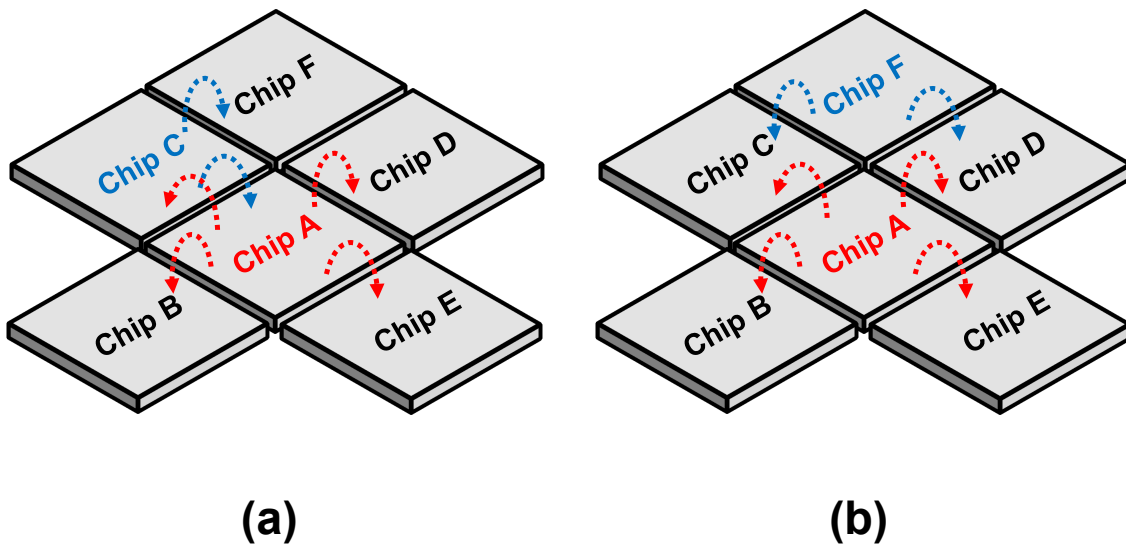


図 4.9. データ衝突の模式図 (a) 隣接チップ間、(b) 隣接しないチップ間

め、提案するデータリンク層においては、送信側で検出可能な隣接チップ間のデータ衝突時には衝突検知と再送処理をおこなう。送信側で検出不可能なデータ衝突については ACK 信号による確認応答を導入することで対処する。

誘導結合無線バスでは、有線バスと同様に、物理層における衝突検知信号を利用して周辺のチップがデータを送信している場合にはデータを送信しない制御、データ送信中に周辺のチップがデータ送信を開始した場合に衝突を検知して再送する制御が可能である。たとえば、図 4.9(a) では Chip A が周囲のチップへデータを送ろうとした際に Chip C が Chip A 宛に送信したデータと衝突を起こしている。Chip A や Chip C はこのとき衝突が起こったことを自身の衝突検知信号を確認することで知ることができる。こうした手法は有線ネットワークで用いられる CSMA/CD[80] と類似しており、無線ネットワークで主に用いられる CSMA/CA[81] とは異なる。

一方、誘導結合無線バスではシンプルな有線バスとは異なり、隣接していないチップ同士の送信したデータが衝突し消失する可能性がある。たとえば、図 4.9(B) では Chip A が Chip D 宛に送った送信データが Chip F の送信データと衝突し Chip D へと正常にデータを伝送することができていない。このような場合には、Chip A 上で衝突を検知することはできない。したがって、こうした場合にも通信の信頼性を担保するためデータリンク層において ACK 信号伝送による確認応答とフロー制御をおこなう。これによってデータリンク層においてロスレスなデータ伝送を担保する。こうした課題は、一般の無

線ネットワークにおける隠れ端末問題 [82] と同一であり、これに対応する従来の対策手法のうちホストノードの存在やブロードキャスト特性を前提としないものは誘導結合無線バスにも適用可能である。

データリンク層における通信の流れを示す。まず、衝突検知信号を確認し周囲のチップがデータを送信していないことを確認する。続いてデータの送信をおこなう。送信中に衝突を検知した場合、送信を取り止める。取り止めた場合には、バックオフ時間を挿入してデータを再送する。その後、受信側からの ACK 信号伝送を待つ。一定時間後に ACK 信号応答の無い場合は、データを再送する。ACK 信号応答があったが受信側バッファの空きが無い場合にも、データを再送する。

データリンク層では特定の宛先アドレスを指定しておこなう一対一の伝送のほかに特定のアドレスを指定しない一対多のブロードキャスト伝送をサポートする。このブロードキャスト伝送を利用する際には上述した受信側からの ACK 信号伝送はおこなわれない。後述するルーティングパス構築の際には周囲チップのアドレスが不明であるため、このブロードキャスト伝送が用いられる。

4.3.3 ネットワーク層

誘導結合無線バスに向けたネットワーク層では、複数チップ間のルーティングパスを確立するプロトコルが実行される。ルーティングパスは BFS スパニングツリーに基づいて確立され、イレギュラーなネットワークトポロジに対してデッドロックフリーなデータ伝送を保証する。形状自在計算機システムにおいては、あるチップから隣接していないチップへとデータを伝送するために適切なルーティングパスの構築とデータ中継処理が必要となる。また、そのネットワークトポロジは変化し、個別のチップの設計時には決定することができない。そのため、アプリケーション実行時に決定されるイレギュラーなネットワークトポロジに対してデッドロックフリーなルーティングパスを構築可能でスケラブルなネットワーク層プロトコルが要求される。

ルーティングプロトコルでは、まず前提として、ルーティングパス計算用の特定のプロセッサチップを決定する。このチップは、周囲へ向けてネットワークへの参加要求メッセージをブロードキャスト伝送する。図 4.10 に示した例ではアドレス 0 のチップが計算用プロセッサとなり、最初のブロードキャスト伝送をおこなう。これを受け取った周囲に存在するチップは、自分のアドレスをルーティングパス計算用チップへと返信する。こ

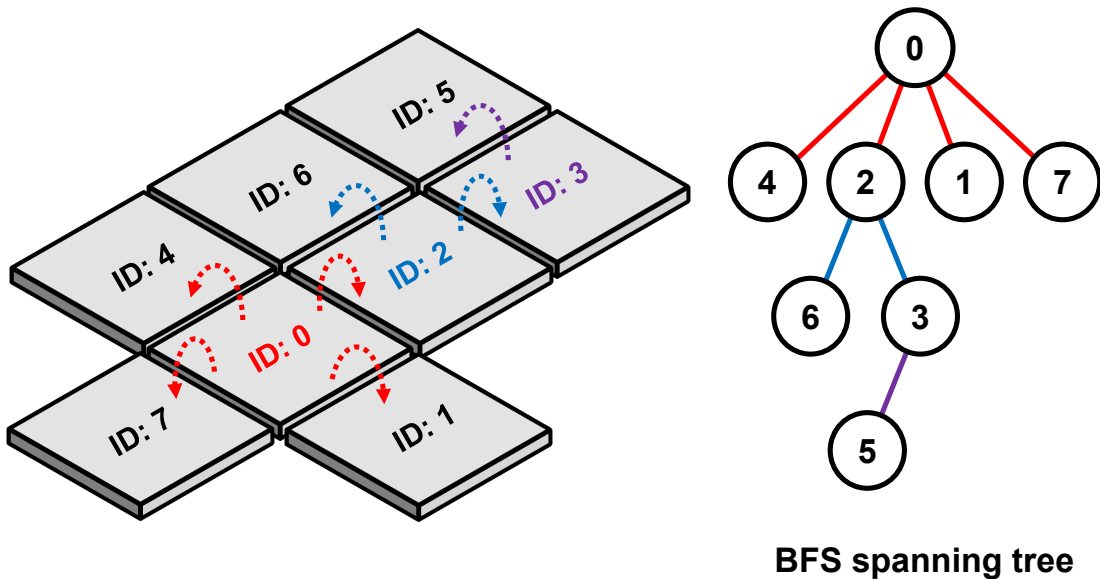


図 4.10. ネットワークトポロジの把握

れによりルーティングパス計算用チップは周囲に存在しワンホップでデータ伝送可能なチップの数とそれらのアドレスを認識し、子ノードとして追加する。子ノードとして追加された各チップは、同様に周囲のチップへネットワークへの参加要求メッセージを送送する。この際、既にネットワークへ参加しているチップは要求を拒否する。これを末端に存在するチップまで繰り返すことで、システムの全チップを含む BFS のスパニングツリーが構築される。

構築されたスパニングツリーに up*/down*ルーティングアルゴリズム [83] を適用することで、デッドロックフリーなルーティングパスを構築する (図 4.11)。この手法では、up または down という方向を各チャンネルへと規則的に割り当て、有向グラフを構築する。その後、すべてのパケットは up 方向へ繰り返し移動したあとに down 方向へ繰り返し移動して目的のチップへと到達するという制約のもとでルーティングパスを決定する。これによってすべての循環構造が除去され、イレギュラーなトポロジのネットワークにおいてデッドロックフリーなルーティングが保証される。

4.4 実験評価

0.18- μm CMOS 製造プロセスを用いて誘導結合無線バスを搭載した汎用プロセッサのテストチップを設計製造した。図 4.12 に全体ブロック図を示す。32-bit の汎用 RISC プ

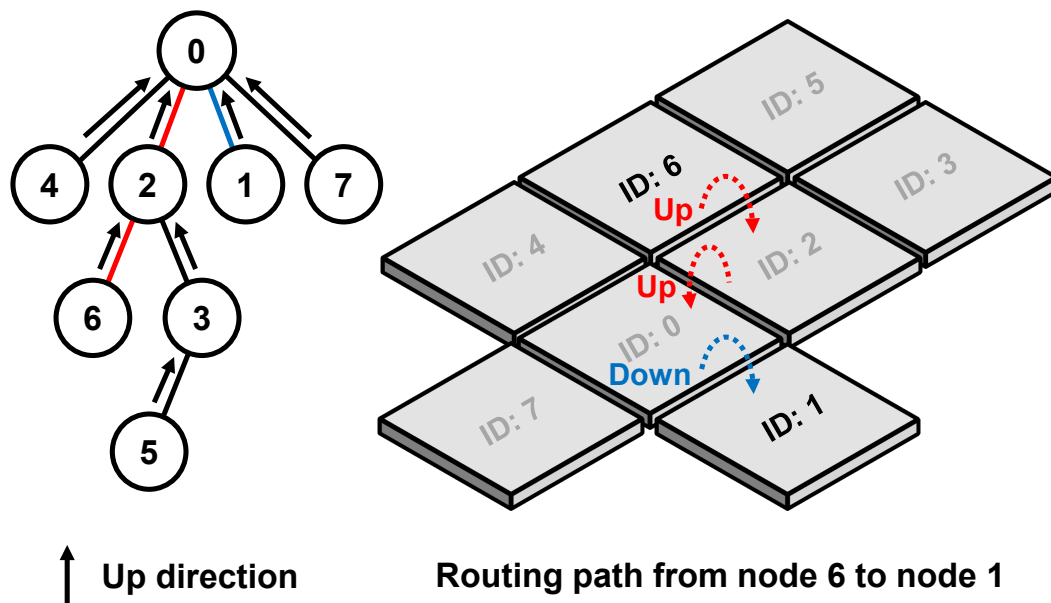


図 4.11. ルーティングパスの構築

ロセッサコアと SerDes 回路、送受信コア回路、オンチップコイルを単一チップ上に集積している。プロセッサコアの命令セットアーキテクチャは RISC-V RV32I であり、小型・低消費電力な設計を指向して簡素な 3 段 (Fetch、Execute、Write-back) のパイプライン構成として設計されている (図 4.13)。プロセッサの記述言語としては Verilog HDL を用いた。FPGA ボード上での標準ベンチマークプログラム CoreMark によるマイクロアーキテクチャ性能測定においては、50 MHz 動作時に 68 CoreMark、1.36 CoreMark/MHz という性能スコアが得られた。命令メモリとデータメモリは物理的に独立している。このうち命令メモリはチップ外に存在しインタフェース回路を介してプロセッサコアと接続される。また、データメモリはチップ内部に搭載されている。メモリマップド I/O として汎用出力回路や SerDes を備えており、事前に決定した特定アドレスに対する RISC-V ISA の標準ロード・ストア命令を介してデータの入出力をおこなう。SerDes は 8-bit のパラレルデータをシリアライズし伝送する。今回のプロトタイプには衝突検知や再送処理をおこなうネットワークインタフェースは搭載されていない。

誘導結合無線バスの送受信コア回路は 4.0 mm×2.0 mm のオンチップコイルと接続されている。送信回路として H-Bridge 回路、受信回路としてヒステリシスコンパレータが搭載されている。また、標準的な内部金属配線層を利用して送信コイルと受信コイルが 1

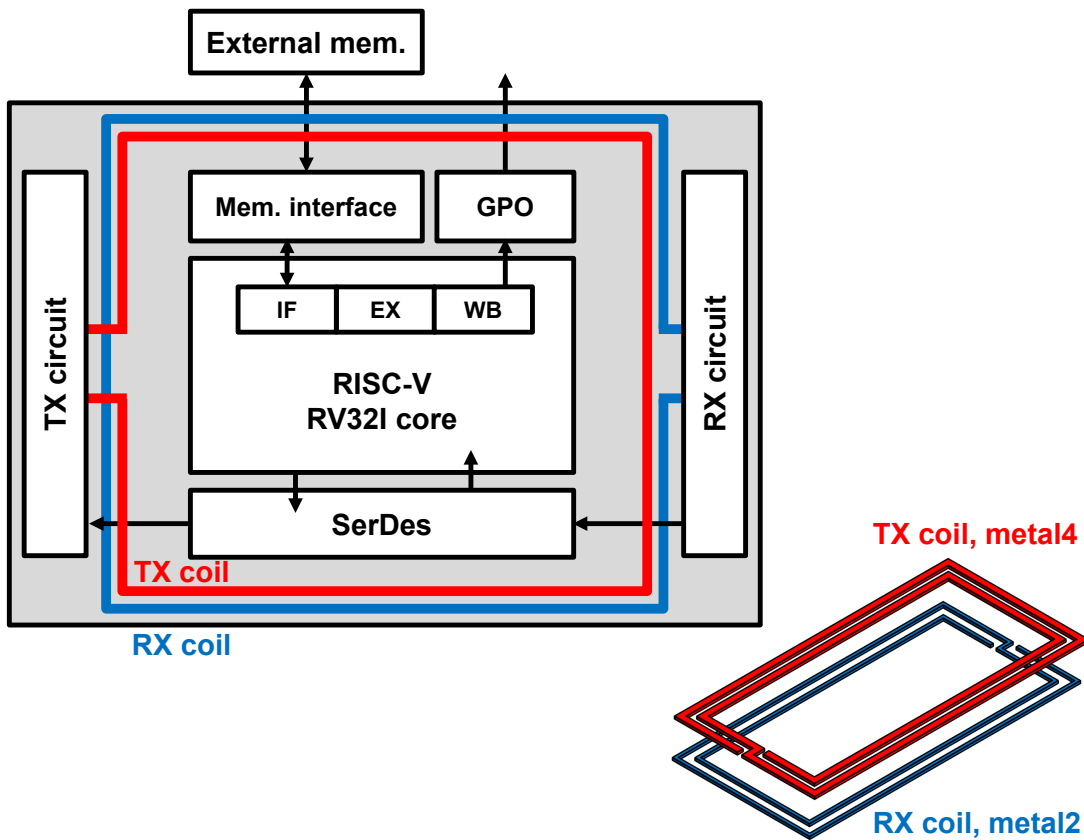


図 4.12. 汎用プロセッサプロトタイプの全体ブロック図

つずつ形成されており、5層から成る金属配線のうち送信コイルはMetal4、受信コイルはMetal2を使用してそれぞれ形成されている。送信コイルの巻き数 n 、線幅 w 、線間隔 s はそれぞれ、 $n = 2$ 、 $w = 24 \mu\text{m}$ 、 $s = 4 \mu\text{m}$ となっており、受信コイルは $n = 2$ 、 $w = 6 \mu\text{m}$ 、 $s = 1 \mu\text{m}$ となっている。

図 4.14 にチップ写真を示す。チップサイズは $5.3 \text{ mm} \times 2.6 \text{ mm}$ である。汎用プロセッサコアのサイズは $620 \mu\text{m} \times 610 \mu\text{m}$ であり、無線送信回路のサイズは $260 \mu\text{m} \times 150 \mu\text{m}$ 、無線受信回路のサイズは $110 \mu\text{m} \times 210 \mu\text{m}$ である。チップの製造後に不要な I/O パッドを含む一边を切断し、切断した辺におけるコイルの端からチップの端までの距離は $25 \mu\text{m}$ とした。この際、シールリングについても同時に切断がおこなわれている。このチップを2つの基板の端にそれぞれ実装し、基板同士を向かい合わせて近接配置した状態で各チップ上のプロセッサコア動作とチップ間の無線通信を確認した。各チップへの命令入力や汎用出力回路の確認は、外部のFPGA (Xilinx Zynq-7000 XC7Z010) を利用してお

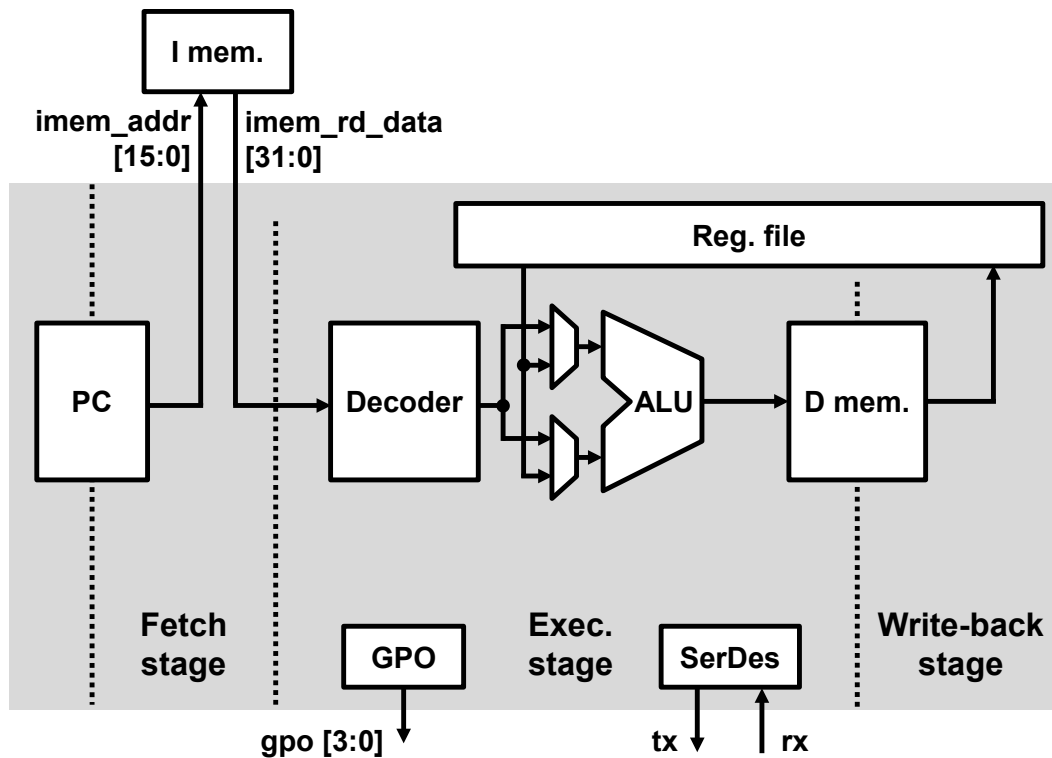


図 4.13. RISC-V RV32I プロセッサコアのブロック図

こなった (図 4.15)。

プロセッサコアや誘導結合無線バスの動作を評価し、異なるチップ間での無線通信を確認した。汎用出力回路や SerDes 回路を操作するシンプルなテストコードを実行することでプロセッサコアの正常な動作を確認した。テストコードについては C 言語で記述をおこない、GNU コンパイラツールチェーンによって RISC-V ISA の機械語命令列を生成した。誘導結合無線バスを同時に動作させてもエラーは発生せず、1 時間以上の連続稼働を確認することができた。プロセッサコアの消費電力は 50 MHz 動作時に 36 mW であった。また、チップ外部の BERT から高速信号を入力し、同一チップ上の送受信コイル間で通信をおこなうことで誘導結合無線バスの通信特性を評価した。図 4.16 に測定によって得られたアイパターンとバスタブカーブを示している。最大 1.6 Gb/s の 2^7-1 PRBS 信号が伝送可能であり、その BER は 10^{-12} 以下であった。BER= 10^{-8} におけるタイミングマージンは 0.27UI と十分に広いことが確認された。プロセッサ動作によるタイミン

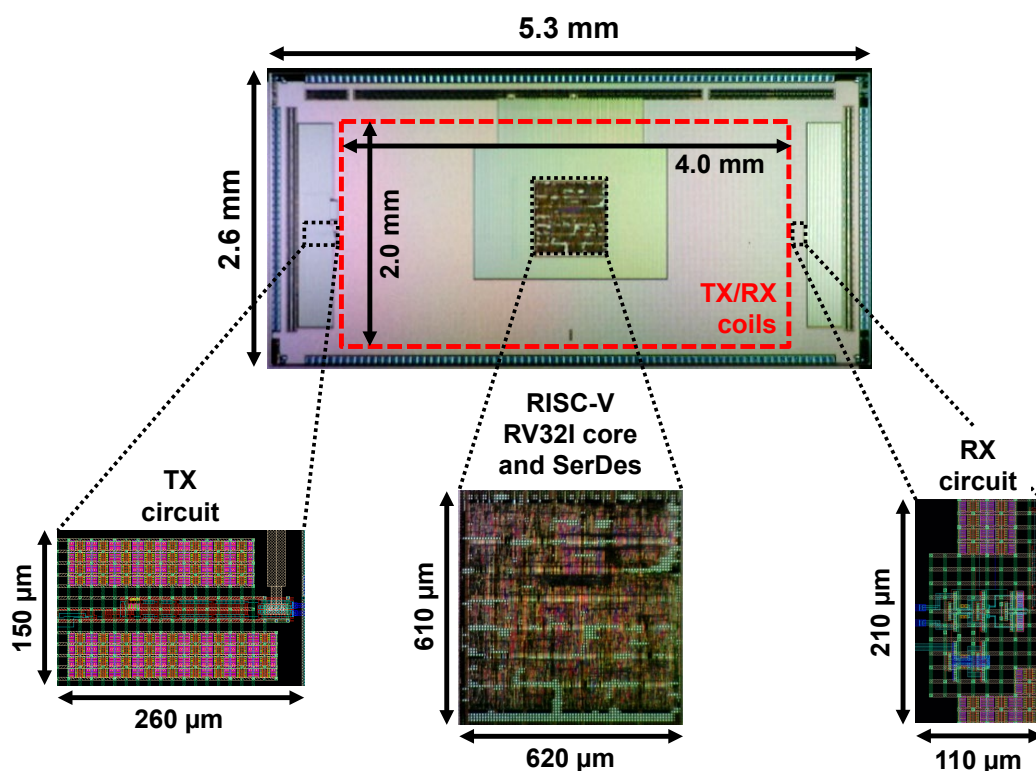


図 4.14. 汎用プロセッサプロトタイプの写真

グマージンの変化は3%程度であり、極めて小さいことが明らかになった。こうした結果から、誘導結合無線バスの動作による内部プロセッサコアに対する影響、プロセッサコア動作の誘導結合無線バスに対する影響の双方とも極めて小さく、動作に問題は生じないことが示された。SerDes を利用したプロセッサコア間でのパラレルデータ伝送についても正常に達成され、複数チップ上のプロセッサコア間で無線通信が達成可能であることを実証した (図 4.17)。このとき消費電力は送信回路が 16.6 mW、受信回路が 3.6 mW であった。今回のプロトタイプではプロセッサコアと共通のクロックを利用した低速な SerDes 回路を用いたため、パラレル伝送における最大転送速度は 2.2 Mb/s となっており、シリアル通信における最大転送速度と比較して低い値に留まっている。この問題は既存の高速な SerDes 回路を搭載することによって容易に解決可能である [73]。

また、マイクロステージを利用してチップの相対位置を変化させることで、複数チップ間における最大通信距離や許容できるチップの位置ずれについて評価をおこなった。図 4.18 にチップの相対位置に応じた通信の可否を示す。ここで、結合するコイルの辺と垂直な方向の位置を通信距離 X 、辺と平行な方向の位置を位置ずれ Y として定義してい

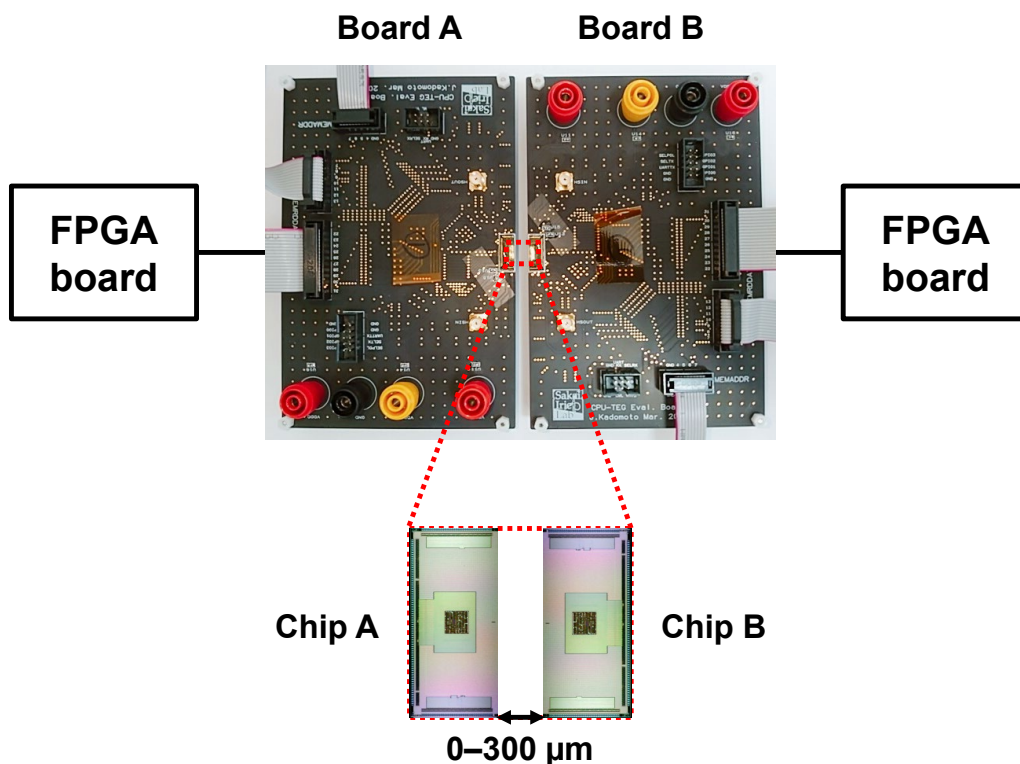


図 4.15. 汎用プロセッサプロトタイプの実験ボード

る。 $Y = 0$ となる場合の最大通信距離は $180 \mu\text{m}$ であり、 $X = 0$ の場合の許容可能な最大の位置ずれは 1.8 mm であった。こうした実測結果により、誘導結合無線バスを活用したシステムで複数チップ間の相対位置変更が一定程度可能であること、すなわち提案する形状自在計算機システムにおけるシステム形状変化やシステムの分離・結合を実現できることが示された。

表 4.1 に、従来のオンチップアンテナを利用したチップ間高速無線通信手法の先行研究との性能比較を示している。試作したプロトタイプは SerDes 回路や汎用プロセッサコアも含めた単一シリコンチップ上への集積を唯一実現している。また、通信距離は短いものの IR-UWB の先行研究 [51, 52] と比較して高速かつ省電力な通信を達成することができている。一方、ミリ波の先行研究 [44, 45, 43] と比較すると消費電力では優れているものの通信速度では劣っている。通信速度や消費電力については、コイルの小型化と製造プロセス微細化によって向上可能である。たとえば 3 章で述べたように、 45-nm CMOS プロセスにおいて $300 \mu\text{m}$ のコイルを利用することで、転送速度 14.3 Gb/s 、消費電力 7.91 mW のチップ間バスを形成することが可能であると見込まれる。

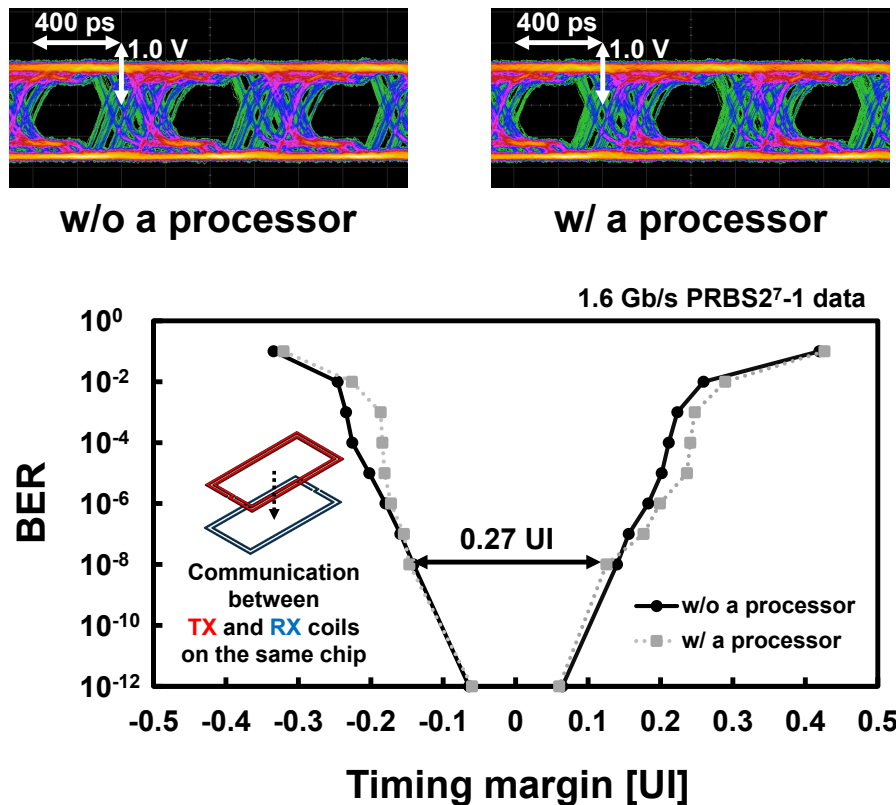


図 4.16. 汎用プロセッサプロトタイプにおけるアイパターンとタイミングマージン

4.5 まとめ

本章では、誘導結合無線バスを搭載したプロセッサチップの設計手法を明らかにした。プロセッサチップ設計上の課題である誘導結合無線バスと他の配線との干渉について調査をおこなった。電源リングやシールリングといったリング状配線が無線通信特性へ与える影響について調査をおこない、こうしたリング状配線に流れる渦電流によって受信信号振幅の減衰が引き起こされること、コイルとの間隔調整や、リング状配線の一部断断によって受信振幅の減衰を回避できることを明らかにした。また、プロセッサコアと誘導結合無線バスとのインタフェースを含む全体アーキテクチャを提案した。チップへの搭載要素やインタフェース、ネットワークプロトコルの構成について概説した。SerDes や衝突検知回路の詳細な動作、データリンク層やネットワーク層において必要となるプロトコルの概要について述べた。

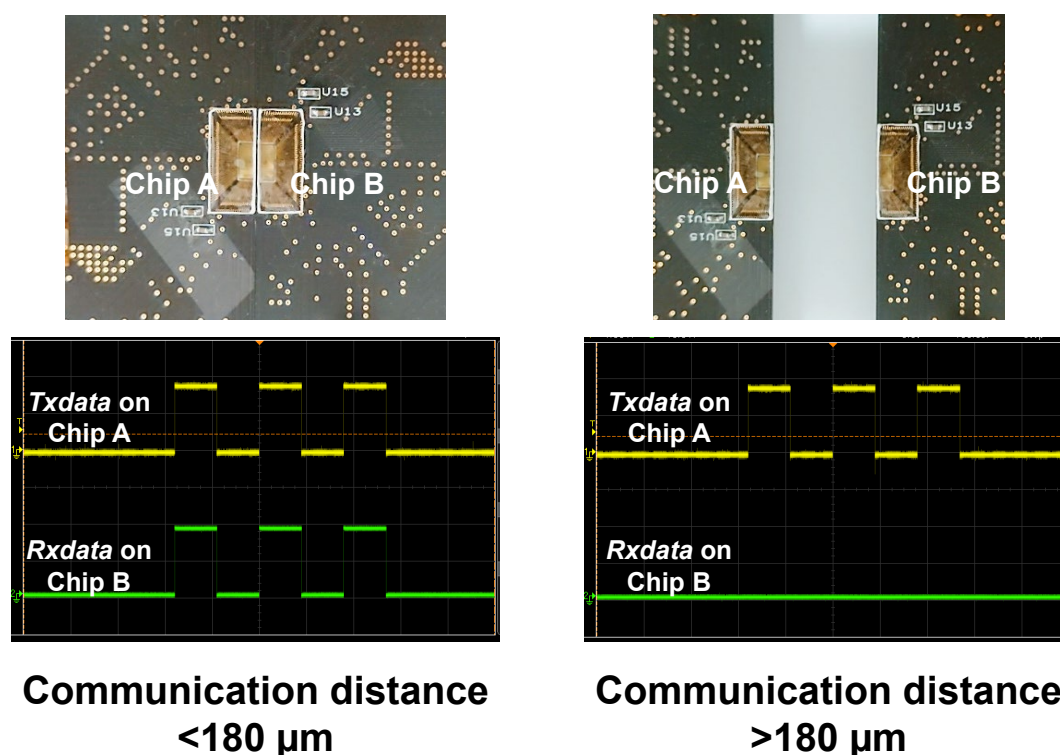


図 4.17. チップ間無線通信時のモニタ波形

0.18- μm CMOS 製造プロセスのテストチップを用いた実測評価によって、誘導結合無線バスを介した複数プロセッサコア間の通信が実現可能であることを示した。テストチップには RISC-V RV32I の汎用プロセッサコア、SerDes 回路、誘導結合無線送受信回路、オンチップコイルを混載し、このテストチップを実装した基板を複数隣接配置することで実験をおこなった。適切な設計条件においては、コイル内部に配置されたプロセッサは無線通信回路と干渉せず動作し続けること、無線通信回路についてもプロセッサ動作の有無に依らず $\text{BER}=10^{-12}$ 以下の高速無線通信が可能であることを明らかにした。オンチップアンテナを用いた高帯域無線通信技術としては初めて、汎用 RISC プロセッサコアやインタフェースとの混載例を示した。また、誘導結合無線バスの採用により、システム形状変化やシステムの分離・結合を実現可能であることを明らかにした。

以降の章では、モジュール間の相対位置検出を可能とする形状自在計算機システムのプロトタイプを示す。また、そうしたシステムによってはじめて具現化されるアプリケーション領域に関して議論をおこなう。

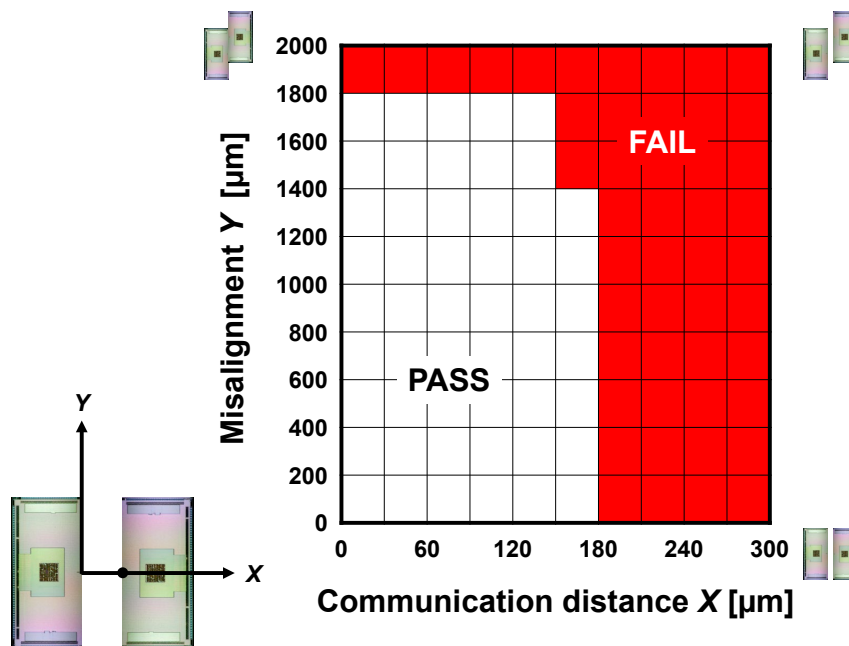


図 4.18. チップ間の通信距離

表 4.1. 先行研究との性能比較

	本研究	Kulkarni JSSC2009	Sasaki JSSC2009	Deferm ESSCIRC2013	Park VLSI Cir.2012	Kawasaki JSSC2010
Technology	180-nm CMOS	180-nm CMOS	180-nm CMOS	45-nm CMOS	65-nm CMOS	40-nm CMOS
Communication type	Inductive coupling wireless bus	IR-UWB	IR-UWB	mm-wave (114.3 GHz)	mm-wave (260 GHz)	mm-wave (56 GHz)
Integration level	RF TX/RX circuits + SerDes + 32-bit processor	RF TX circuit	RF RX circuit	RF TX circuit	RF TX/RX circuits	RF TX/RX circuits
On-chip antenna	Coil	Monopole	Dipole	Bondwire	Half-width leaky-wave	Bondwire
Data rate [Gb/s]	1.6	0.75	0.2	10	6	11
TX/RX power consumption [mW]	20.2 (TX: 16.6, RX: 3.6)	31 (TX only)	43 (RX only)	220 (TX only)	1173 (TX: 688, RX: 485)	70 (TX: 29, RX: 41)
Communication distance	180 μm	100 mm	500 μm	50 mm	40 mm	14 mm

第5章

形状自在計算機システムの設計手法

5.1 まえがき

形状自在計算機システムでは、複数の小型チップが無線接続されシステムを構成する。従来の計算機システムとは異なり、多様な機能・形状とその動的な変更を実現可能である。誘導結合無線バスを用いた形状自在計算機システムにおいては、隣接する小型チップ間の高帯域通信を実現するとともに受信信号振幅の計測によって隣接チップ間の相対位置をある程度把握することができる。テストチップを用いた実測評価により、複数の隣接コイル間で高帯域バス通信が可能であること、2つのプロセッサチップ間で高帯域通信が可能であることが示された。また、チップの相対位置検出についても、通信の可否によって隣接チップの有無、すなわちシステムの分離・結合が検出可能であることは示されている。一方、受信信号振幅の計測による詳細なチップ間相対位置検出、すなわちシステム自体の形状変化の検出はこれらにおいては実現されていない。

形状自在計算機システムのアプリケーションとしては、変形するロボットやユーザインタフェースが想定される。それぞれのアプリケーションにおいて、変形の形状や要求される演算性能は異なる。これまで示したテストチップの実測評価により特定の CMOS 製造プロセス、特定の形状における形状自在計算機システムの性能の一端が示されているものの、実際に形状自在計算機システムによって実現可能となるアプリケーションは明らかではない。先端プロセスを利用した場合の性能や今後の開発指針を示し、形状自在計算機システムによって実現可能となるシステム形状や演算性能について考察することで、開拓されるアプリケーション領域が示される。

本章では、複数モジュールから構成され、システムの形状変化とシステムの分離・結合を検出可能な形状自在計算機システムのプロトタイプを示す。MCU と PCB 上に形成し

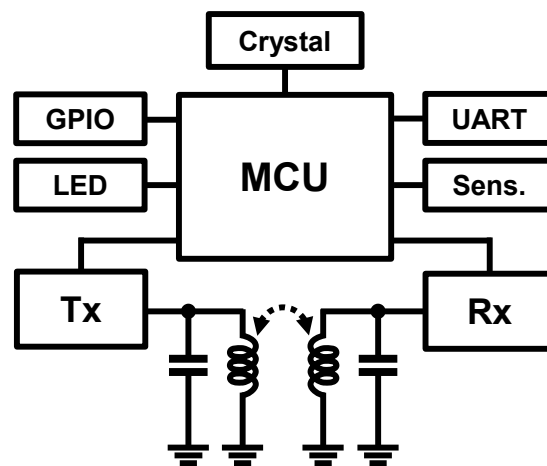
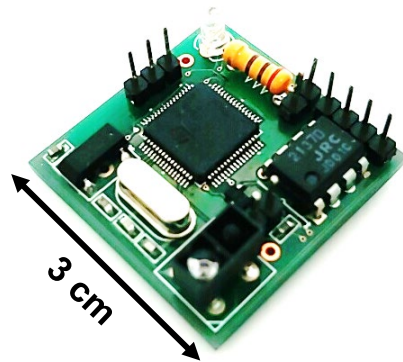


図 5.1. 形状自在計算機システムのプロトタイプ

たコイルを組み合わせてモジュールを形成する。実測評価により複数モジュール間での相対位置検出が可能であることを明らかにするとともに、ユーザインタフェースへの応用を想定したデモシステムを示す。続いて先端の実装技術と半導体製造プロセスとを活用して形状自在計算機システムを構築した際に達成可能と予想される性能や形状について述べ、それによって実現可能となるアプリケーション領域に関して議論をおこなう。

5.2 プロトタイプの実装

形状変化するユーザインタフェースへの応用を想定した形状自在計算機システムのプロトタイプを実装した（図 5.1）。汎用プロセッサとセンサ、LED を搭載し情報処理とその入出力が可能である。また、コイルと送受信回路を搭載し隣接配置したプロト

タイプ間で通信と相対位置計測が可能である。ここでは単体の半導体チップではなく、PCB とディスクリートの IC を利用して各モジュールを実装している。MCU としては STMicroelectronics STM32F446RET6 を利用している。ここに搭載されている主要なプロセッサコアは 32-bit の汎用 RISC コア ARM Cortex-M4 である。内部の動作周波数は 180 MHz であり、512 KB フラッシュメモリと 128 KB の SRAM を搭載している。PCB の内部配線を活用して直径 3 cm のコイルを形成し、送受信回路を介して MCU に接続している。送信回路としてはハーフブリッジの駆動回路を用いている。また、受信回路としてはオペアンプによる増幅回路と検波用ダイオードを採用しており、通信については OOK 変調を利用しておこなう。ここでは誘導結合特性の変化に応じた受信振幅計測を容易にするため、このような送受信回路構成を採用している。また、システムの I/O としてはフォトフレクタと LED、UART、汎用 I/O を搭載している。

5.3 実験評価

前述したプロトタイプと同一の PCB 上コイルを利用して、基板同士の位置関係の変化に応じた受信振幅変化について調査をおこなった。コイルを形成した PCB 間の距離を一定にした状態で、角度を変化させ受信回路から出力される DC 電圧の変化を観察した。3 cm の PCB 上コイルを用いた実験の結果を図 5.2 に示す。グラフからわかるように、相対角度の減少にしたがって受信回路の出力 DC 電圧が増加している。このアナログ電圧の値を参照することで、PCB の相対角度を把握することができる。また、PCB 上コイル同士を 3 cm 以上離して配置した際の DC 電圧は 15 mV 程度であり、PCB 同士を接触させた場合の値よりも低くなっている。したがって、PCB 同士の分離・結合についてもこのアナログ電圧から判断することができる。

ユーザインタフェースのデモシステムを実装した。MCU 上に搭載された 10-bit の ADC を用いて受信回路の出力 DC 電圧をデジタル値へと変換した。また、このデジタル値の情報を MCU 上で処理し各 PCB 同士の隣接の有無とその相対角度の判断をおこなった。処理結果を可視化するシンプルな 3D モデルビューアソフトウェアを実装し、ラップトップ上で動作させた。各モジュールを模した 3D モデルの表示の有無や相対角度を、MCU から送信された値に応じて変更することで、モジュールの分離・結合や形状変形を入力とするユーザインタフェースとしてのデモをおこなった。図 5.3 にデモシステムの動作の様子を示す。モジュール同士の相対位置に応じて、ラップトップ上で動作するビュー

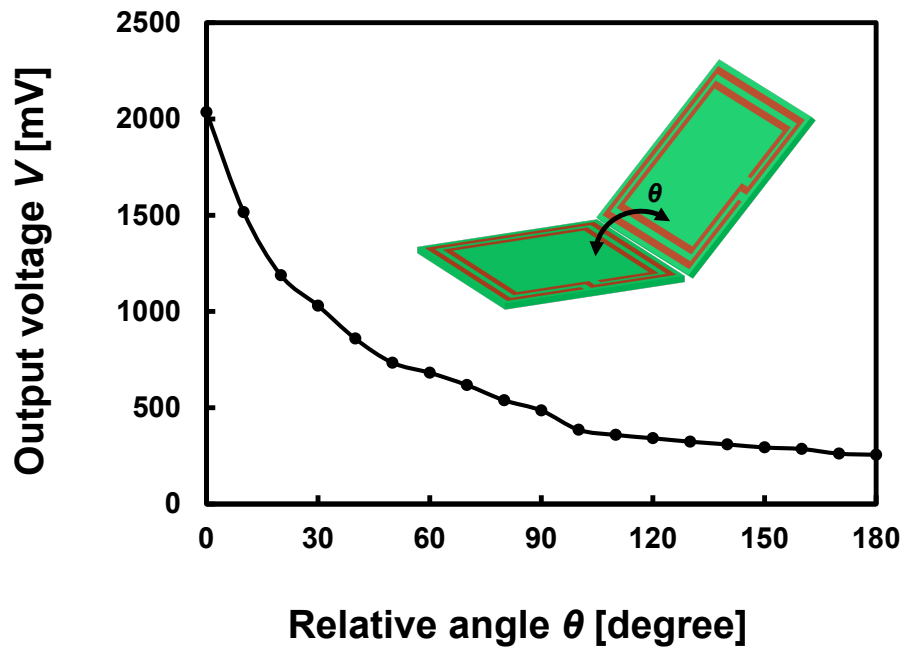


図 5.2. 相対角度と受信回路出力電圧の関係

ソフトウェアに表示される 3D モデルの相対位置も変化していることがわかる。なお、ここではデモシステムの動作を明解に示すため、単体コイルを実装した PCB と外部に実装した回路とを組み合わせる実験をおこなっている。

5.4 考察

5.4.1 形状自在計算機システムのサイズと形状

誘導結合無線バスを用いた形状自在計算機システムのサイズと形状についてまとめる。ここまでの議論から、形状自在計算機システムにおける通信可能な隣接チップ間距離 X とチップサイズ D との関係は典型的には $D/X = 10$ 程度に決まる。チップの機械加工技術については、4 章で示したテストチップの切断試験を通じて、一般的なブレードダイシング技術を用いて $\pm 10 \mu\text{m}$ 精度での切断加工が可能であることを確認している。したがって、各チップの数百 μm 角までの小型化には問題は生じない。電力の供給について

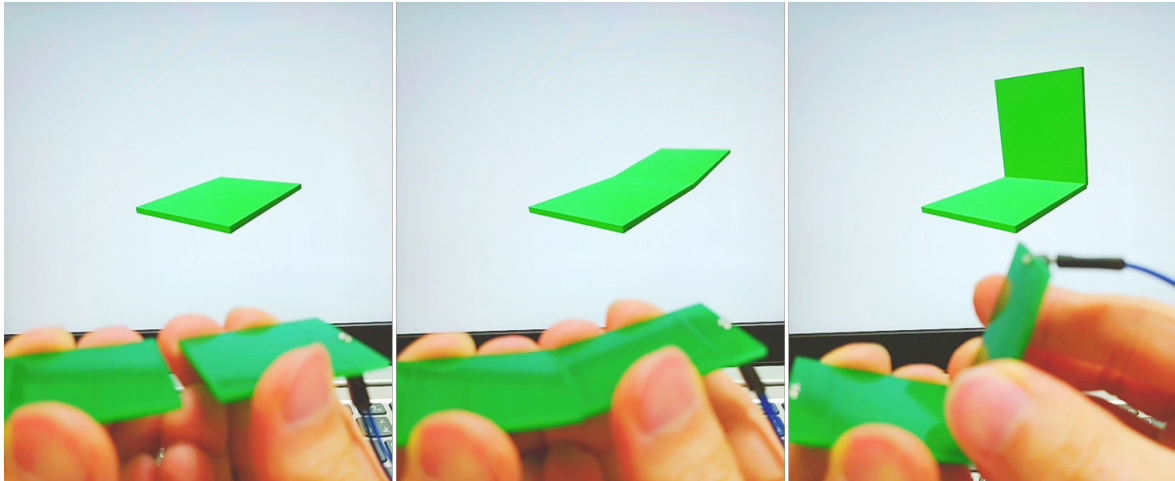


図 5.3. デモシステムの動作

も考えてみると、無線電力伝送技術の利用を前提とすれば数百 μm 角までのチップ小型化には問題は生じない。たとえば、2章で述べたように $120 \mu\text{m}$ 角のオンチップコイルを利用して 15 mW の電力伝送をおこなう手法 [65] が提案されている。一方、動作中に無線伝送電力が大きく変化する場合、あるいは無線での電力供給自体が困難な場合には連続稼働のために要求される外部バッテリーのサイズがチップ面積を超え変形可能なシステムの構築を妨げる可能性がある。チップ厚については広範なアプリケーションにおけるパッケージ薄化の要求、3.0D SiP 実装への期待から薄化が進んでおり、たとえば DRAM のウェハを $4 \mu\text{m}$ までグラインドした先行研究が報告されている [84]。ハンドリングやロジックデバイスにおける配線層数についても考慮すると、数 $10 \mu\text{m}$ 程度までの薄化が進むと想定される。

製造プロセス微細化とチップサイズのスケールアップを同時に進めていくことで誘導結合無線バスの通信性能は継続的に向上していく。したがって、図 5.4 に示すように先端の CMOS 製造プロセスで製造されたサイズ $300 \mu\text{m}$ 、厚さ $30 \mu\text{m}$ のチップが $30 \mu\text{m}$ で隣接配置されるような例が、無線通信性能が最大化された形状自在計算機システムとなる。アプリケーションの要求する実装形状が許せば各チップのサイズを大きくすることは可能であるものの、その場合には無線通信性能が低下する。また、アプリケーションによってはシリコン面積に無駄が生じる。

図 5.5 に誘導結合無線バスを用いた形状自在計算機システムで実現可能な形状についてまとめる。各チップのアスペクト比の変更については問題なく可能であり、その場合は、

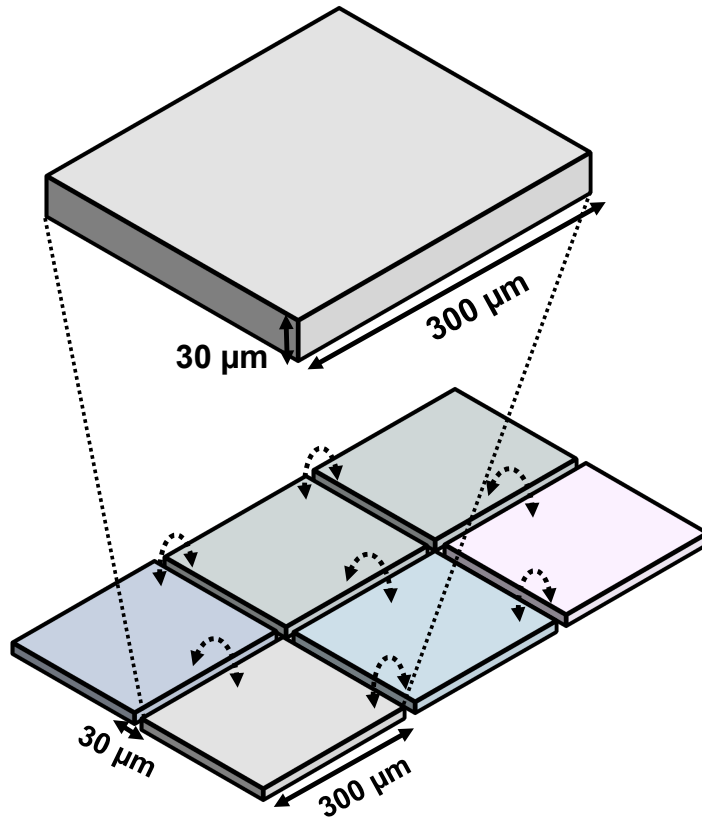


図 5.4. 形状自在計算機システムのサイズ

異なるチップ同士において隣接した辺の $1/10$ 程度の距離が当該チップ間における通信距離の目安となる。また、規則的な平面アレイ状だけでなく、チップ同士の位置がずれた実装、直線状のようなシステムとしてのアスペクト比が高い実装、相対角度が 180 度以外となる立体的な実装も実現可能である。システムを構成するチップ数はスケーラブルである。チップを矩形以外の形状にすることも可能ではあるものの、設計・加工コストは増大する。

5.4.2 システム性能と構成チップ数

形状自在計算機システムを構成するプロセッサチップに要求される回路は、標準的な組み込みデバイス向け SoC の構成要素に加え、ネットワークインタフェースと SerDes、送受信回路である。ここで SerDes と送受信回路の面積については、4 章で示したプロトタイプの値から、 180-nm CMOS 製造プロセスで合計 0.1 mm^2 程度である。また、ネッ

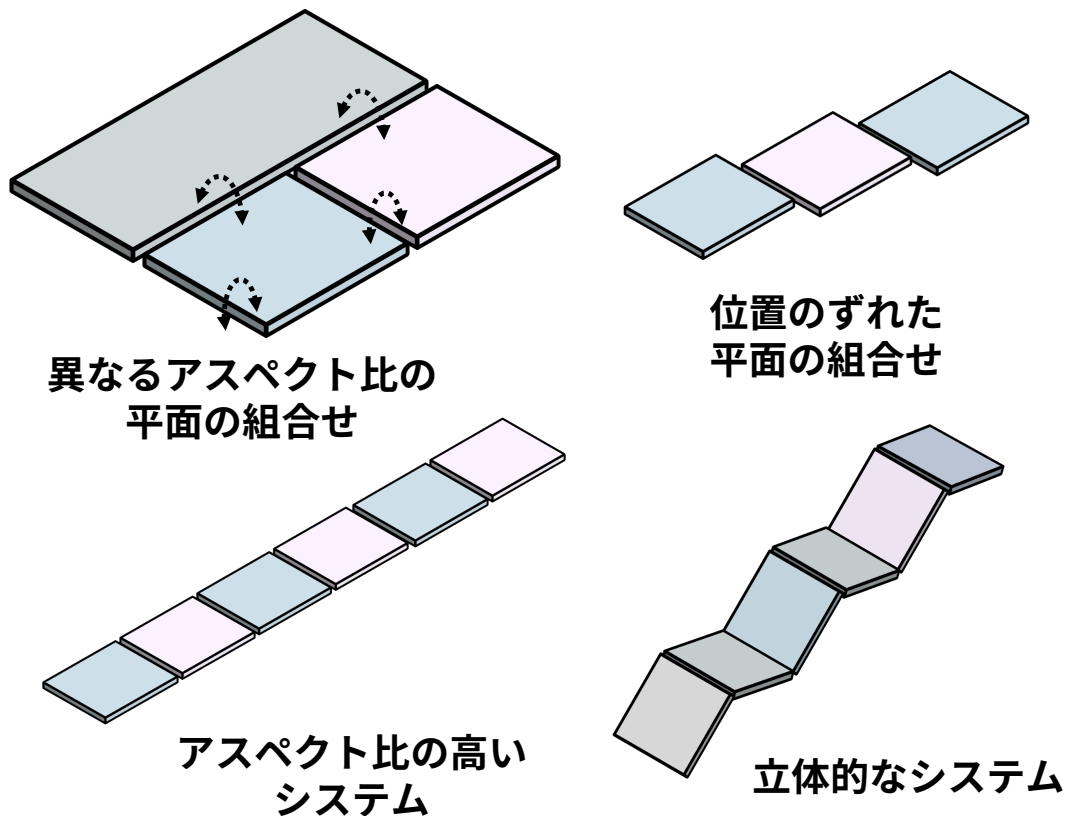
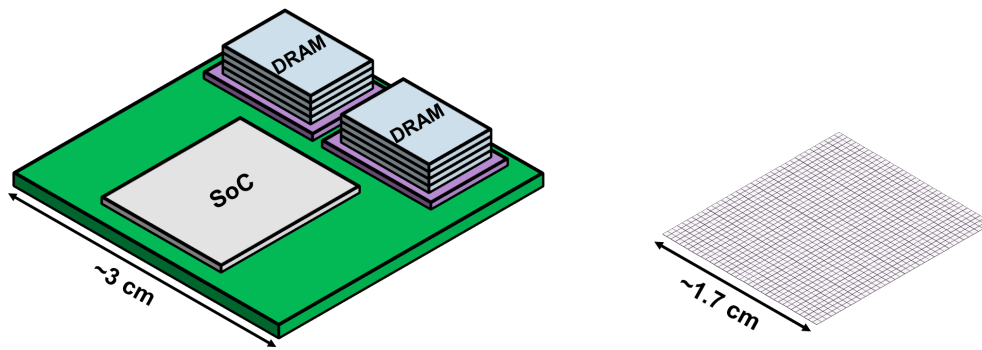


図 5.5. 形状自在計算機システムの形状

トワークインタフェースの面積については、要求されるアーキテクチャは異なるものの、誘導結合を活用した 3.0D SiP のテストチップにおいて、65-nm CMOS 製造プロセスで 0.16 mm^2 程度となっている [85]。

組み込みデバイス向け SoC の最新の成果として、RISC-V ISA に基づく低消費電力かつ高性能な汎用計算機システムが報告されている [86]。ここでは音響信号処理や画像処理といった大量のセンサデータ処理をおこなうバッテリー動作ノードを想定して開発がおこなわれており、32-bit の汎用プロセッサコアやファブリック、周辺回路を含む汎用プロセッサ部の回路面積は 40-nm CMOS 製造プロセスにおいて 3.2 mm^2 程度である。したがって、先端製造プロセスを用いる場合には基本的な汎用プロセッサコアに必要な回路面積は十分に小さい。一方、センサデータ処理用のアクセラレータコア等を含む全体面積は 40-nm CMOS 製造プロセスにおいて 8.5 mm^2 程度となる。

他方、先端モバイル SoC と外部 DRAM を組み合わせたシステムに Apple M1 がある。



SiP実装例

**形状自在計算機システム
としての実装例**

図 5.6. 先端モバイル向けシステムの実装例

ここではスマートフォンやラップトップへの応用に向けて、64-bit スーパースカラ構成の汎用プロセッサコアや、GPU コア、深層学習アクセラレータコアが単一チップ上へと集積されている。また、同一パッケージ内には積層 DRAM チップが混載されている。SoC のサイズは 5-nm CMOS 製造プロセスにおいて 119 mm^2 程度であり、積層 DRAM の合計面積は 58.5 mm^2 程度である。これらを接続するパッケージ基板のサイズは 3 cm 角程度である。

こうした値から、フィーチャーサイズを元に 5-nm CMOS 製造プロセスにおける組み込みデバイス向けシステムの構成チップ数を試算する。たとえば $300 \mu\text{m}$ 角の構成チップを用いる場合、基本的な汎用プロセッサコアのみであれば単体チップ上に搭載可能であるものの、アクセラレータコア等を集積する場合には 3 枚以上のチップが必要になる。

一方、同様にして先端モバイル向けシステムの構成チップ数を試算すると、たとえば $300 \mu\text{m}$ 角の構成チップを用いる場合には 3088 枚のチップが必要となる。これを正方形のアレイとして実装すると、システム全体は 1.7 cm 角程度のサイズとなる (図 5.6)。元々の SoC や DRAM チップ面積の合計と比較すればシステムの面積は大きくなるものの、信号配線のためのパッケージ基板は不要となり、なおかつ $300 \mu\text{m}$ 粒度での自由な実装が可能となる。こうした粒度へシステムを分割した場合におけるネットワークプロ

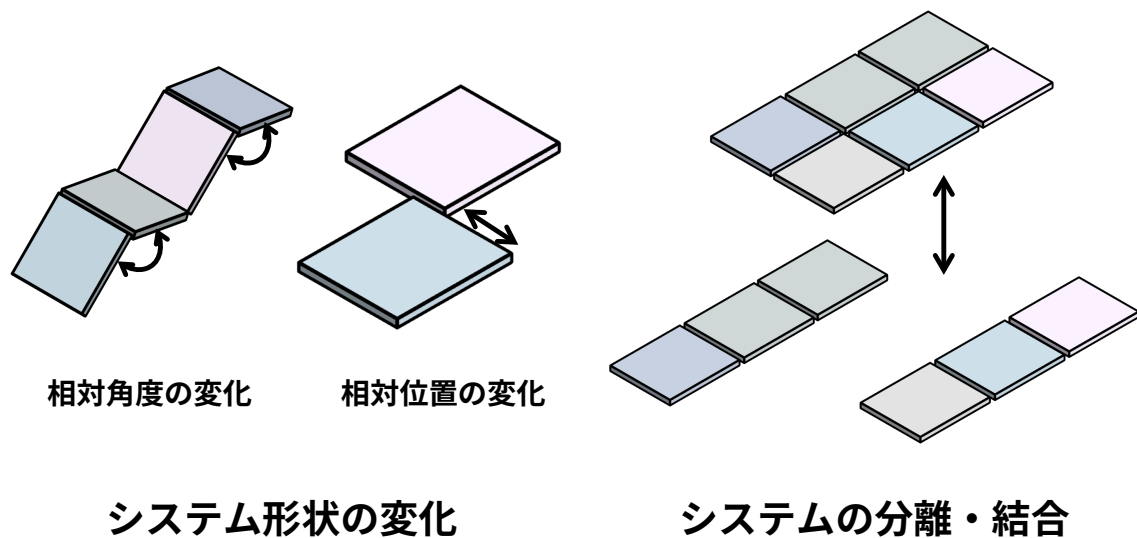
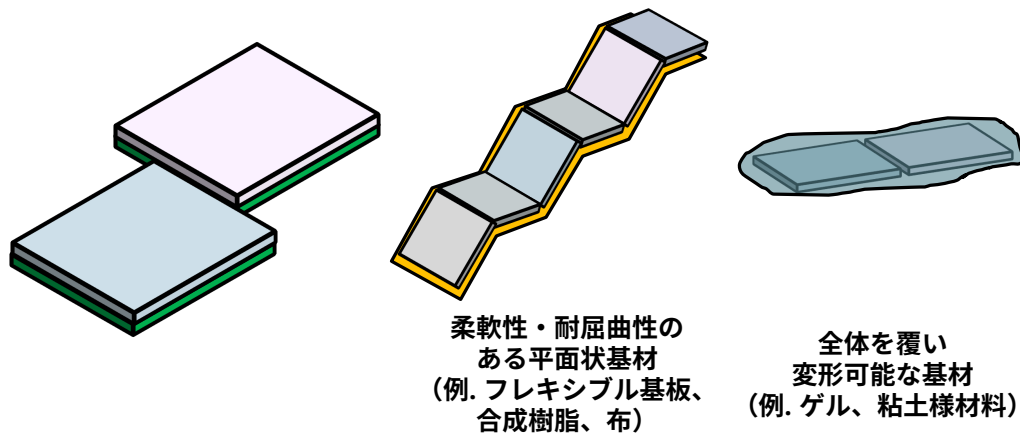


図 5.7. 誘導結合無線バスで検出可能な形状変化

トコルの性能オーバーヘッドについては、実際のアプリケーションに応じて評価をおこなっていく必要がある。

留意すべき事項として、実際には多くの先端製造プロセスにおいてフィーチャーサイズに比して回路面積の縮小は進んでいない。したがって、上記の概算値よりも実際のシステム面積は大きくなる可能性がある。また、ここでは元々の SoC 面積と、チップ毎に生じる無線インタフェースやコイルの面積オーバーヘッドのみを考慮に入れて試算をおこなっている。複数チップにまたがる同一コア相当回路の実装には困難が伴うため、実際上はこれに対応するためのマイクロアーキテクチャや回路構成変更による面積オーバーヘッドが見込まれる。



分離した複数の基材

フレキシブルな基材

図 5.8. 基材とパッケージ

5.4.3 誘導結合無線バスで検出可能な形状変化

図 5.7 に誘導結合無線バスの特性によって検出可能な形状変化の種類をまとめる。システム形状の変更、たとえば相対角度の変化や、チップ同士のずれを検出可能である。現在の手法では結合係数の変化のみを利用して検出をおこなっているため、変更の種別についてはあらかじめ結合係数と一対一に対応する 1 種類に限定する必要がある。また、システムの分離と結合についても検出可能である。

5.4.4 基材とパッケージ

図 5.8 に形状自在計算機システムにおいて採用され得る基材やパッケージについてまとめる。各チップは分離した異なる基材上に実装されるか、フレキシブルな基材上に実装される。フレキシブルな基材については一般的なフレキシブル基板と似た柔軟性や耐屈

曲性を持つ平面状のものに加えてチップ全体を覆い変形可能な材料、たとえば、ゲルや粘土様の材料、自己修復する材料といったものも候補として挙げられる。

5.4.5 形状自在計算機システムのアプリケーション

以上に示した考察を踏まえ、形状自在計算機システムによって実現可能となる組み込みデバイスアプリケーションの要素を改めて整理する。

1. 極めて小型で、図 5.5 に示した複雑な形状を持つ
2. デバイス上の各点で高度な演算処理をおこない、形状が変化する
3. 個々に演算処理をおこなう複数モジュールからデバイスが構成され、分離・結合する

1に相当する例は、マイクロロボットである。ミリメートルスケール以下のサイズでなおかつ複雑な形状を持つマイクロロボットが、形状自在計算機システムの応用により実現される。2に相当する例は、形状変化するユーザインタフェースである。ミリメートルスケール以下の粒度でデバイス形状が変化し、なおかつデバイスの各点での形状変化検出、あるいは配置されたセンサやアクチュエータの低レイテンシ、高速な制御が可能となる。3に相当する例は、群ロボットやモジュラ型デバイスである。ミリメートルスケール以下の複数モジュールが組織的に働き、それぞれのモジュールの柔軟な交換が可能である。

5.5 まとめ

本章では、複数モジュールから構成され、システムの形状変化とシステムの分離・結合を検出可能な形状自在計算機システムのプロトタイプを示した。PCBとディスクリートICを利用し実装したプロトタイプの実測評価により、複数モジュール間での相対位置検出が可能であることを明らかにした。また、ユーザインタフェースへの応用を想定したデモシステムを示した。シンプルな3Dモデルビューアソフトウェアを実装し、モジュールの分離・結合や形状変化に応じて3Dモデルの表示を変化させることでユーザインタフェースとしての働きを示した。

また、形状自在計算機システムの応用について議論をおこなった。形状自在計算機システムが実現するシステム形状、誘導結合無線バスによって検出可能な形状変化について改めて整理し、新たに実現可能となるアプリケーション領域を明らかにした。

第6章

結論

6.1 本論文のまとめ

本研究では、形状変化する組み込みデバイスに向けた新たな計算機実装手法として、形状自在計算機システムを提案した。無線接続された複数の小型チップを用いてシステムを構成し、多様な機能・形状とその動的な変更を実現する。提案する形状自在計算機システムの設計手法を確立し、実測評価によってその有用性を示した。

第1章では、研究の背景として形状変化する組み込みデバイス、従来の計算機システム実装手法、計算機システムのこれまでの発展、Dennard 則の限界に起因する微細化と高集積化以外の成長指針の要求、それに対する回答としての「More than Moore」の技術思想に関して述べ、本研究の目的をまとめた。

第2章では、形状自在計算機システムに関連するチップ間無線通信技術と無線電力伝送技術、無線センサノードの先行研究について述べた。チップ間無線通信技術としてはミリ波無線通信、超広帯域無線通信、積層チップ間近接場結合通信を取り上げた。それぞれの研究動向と、提案する形状自在計算機システムとの関係を整理した。

第3章では、形状自在計算機システムへ向けた無線通信手法として、誘導結合無線バスを提案した。オンチップコイル間の水平方向誘導結合についてシミュレーションによる解析をおこない、提案する誘導結合無線バスの設計手法を明らかにした。また、設計・製造したテストチップを用いた誘導結合無線バスの実測評価結果について述べた。隣接して配置した複数コイル間において 2.0 Gb/s の高速バス通信が達成可能であり、その Bit error rate (BER) は 10^{-12} 以下と有線通信と同等の信頼性を持つことを示した。

第4章では、誘導結合無線バスを搭載した汎用プロセッサチップの設計手法を明らかにした。プロセッサチップ設計上の課題である誘導結合無線バスとリング状配線との干渉

について調査し、適切な設計指針を示した。また、プロセッサコアと無線バスとのインタフェースを含むプロセッサチップの全体アーキテクチャを考案した。SerDes 回路やネットワークインタフェース、ネットワークプロトコルについて概説し、複数プロセッサチップからなるスケーラブルなシステムの構築手法を示した。設計・製造したテストチップを用いて汎用プロセッサプロトタイプの実測評価をおこなった。適切な設計条件においては、コイル内部に配置されたプロセッサコアは無線通信回路と干渉せず動作し続けること、プロセッサ動作の有無に依らず $BER=10^{-12}$ 以下での高速チップ間無線通信が実現可能であることを明らかにした。

第5章では、形状自在計算機システムのプロトタイプを示した。PCB 上に形成したコイルを用いて複数モジュール間での相対位置把握が可能であることを明らかにし、ユーザインタフェースへの応用を想定したデモシステムの動作を示した。また、先端の半導体製造プロセスを活用してシステムを構築した場合の性能やシステム形状について議論をおこなった。その結果を前提として、形状自在計算機システムの特性と新たに拓かれるアプリケーション領域について改めて整理した。

6.2 今後の展望

本研究では形状自在計算機システムと無線通信手法としての誘導結合無線バスを提案した。今後期待される技術開発の一つは、無線電力伝送技術との併用に関するものである。3D SiP への応用を目的とした研究の中で、誘導結合無線通信回路と無線電力伝送回路の混載例自体は既に示されている。しかしながら、形状自在計算機システムへ向けた無線電力伝送の送電システムやそれも含めた全体システムアーキテクチャの策定は未知の課題として残されている。もう一つはマイクロロボット群やユーザインタフェースへの応用である。形状自在計算機システムの応用によってこうしたアプリケーションへ高度な情報処理性能やモジュール間通信性能を付与できる。このときマイクロロボット群にどのようなタスクが実現可能となるのか、ユーザとデバイス、環境とデバイスのインタラクションの質的变化は生じるのかといった事項について、プロトタイプ開発とユーザビリティ評価を通じた検討が望まれる。

また、群ロボットやユーザインタフェース研究の見据える長期的な開発目標として、The Ultimate Display[87] として提唱される万能のユーザインタフェースや、そうした概念の実現に繋がる構成要素としてのプログラマブルマター [88] が存在する。単一半導体

チップへの機能統合や近接場結合を活用した複数小型計算機間の高電力効率な無線接続はこのような理想への道筋となる可能性もあり、今後長期的視野の下での技術開発を期待したい。

本研究によって、小さな計算機群から組織的に構成される形状自在な計算機システムという、計算機システム研究の新たな地平が拓かれた。これは、デバイス、集積回路、プロセッサアーキテクチャ、ネットワークアーキテクチャ、ソフトウェア、さらにはアプリケーションとしてのロボティクスやユーザインタフェースといった広範な研究分野のそれぞれから地続きとなった学際的な研究領域である。本研究を礎として各々の分野における知見が結集され、革新的な組み込みデバイスの誕生へと繋がっていくことを望む。

謝辞

本研究は、著者が東京大学大学院情報理工学系研究科在学中に、同研究科入江英嗣准教授の指導の下行ったものです。入江准教授には大局的見地から研究の方向付けをしていただくと共に、研究発表や論文執筆の際にはきめ細やかで的確な指摘を数多く賜りました。本論文の核となる形状自在な計算機システム概念は入江准教授とのディスカッションを通じてはじめて生まれたものです。博士課程の3年間にわたり得難い経験と自由な研究環境とを用意していただいたことについて、心よりお礼申し上げます。同研究科坂井修一教授からは集積回路や基板の試作という研究遂行上極めて重要な機会を頂きました。加えて、研究者として生きていく上での心得や作法を日頃よりご教示いただき、またそれだけでなく、沢山の暖かな励ましの言葉を授かりました。ここで深く感謝いたします。

本研究の進展、発展には、多くの方々からの助言や助力が不可欠でした。東京大学の黒田忠広教授、慶應義塾大学の天野英晴教授からは、誘導結合通信を活用した計算機システムの在り方に関して、長年の開発経験に基づく確かな視座を授かりました。国立情報学研究所の鯉渕道紘准教授には、本研究の見据えるべき目標について重要な指摘をいただきました。東京大学の川原圭博教授からは、特に本研究の応用先としてのユーザインタフェースやマイクロロボットに関して、多くの知見を授かりました。筑波大学の志築文太郎教授、高田峻介氏には、共同研究の機会を通してHCI研究分野全般にわたる包括的な知見をご教授いただきました。東京大学の飯塚哲也准教授には、試作した集積回路や基板の評価実験に際して親身な助力をいただきました。心より感謝いたします。

東京大学坂井・入江研究室の皆様には、研究室での日常生活において様々なかたちでお世話になりました。また、ドリコス株式会社の皆様、特に竹康宏博士からは、ハードウェア製品の開発にまつわる様々な知恵を授かりました。研究の外での豊かな時間が裏当てとして本研究の一助となっていたように思います。ここでお礼申し上げます。

最後に、日々支えてくれた家族へと感謝の意を表し、本論文の謝辞とします。

参考文献

- [1] J.S. Kilby, “Invention of the Integrated Circuit,” *IEEE Transactions on Electron Devices (TED)*, vol. 23, no. 7, pp. 648–654, July 1976.
- [2] S. Miyashita, S. Guitron, M. Ludersdorfer, C.R. Sung, and D. Rus, “An Untethered Miniature Origami Robot that Self-folds, Walks, Swims, and Degrades,” *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 1490–1496, May 2015.
- [3] S. Miyashita, S. Guitron, K. Yoshida, Shuguang Li, D.D. Damian, and D. Rus, “Ingestible, Controllable, and Degradable Origami Robot for Patching Stomach Wounds,” *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 909–916, May 2016.
- [4] W. Hu, G.Z. Lum, M. Mastrangeli, and M. Sitti, “Small-Scale Soft-Bodied Robot with Multimodal Locomotion,” *Nature*, vol. 554, no. 7690, pp. 81–85, Jan. 2018.
- [5] M. Rubenstein, C. Ahler, and R. Nagpal, “Kilobot: A Low Cost Scalable Robot System for Collective Behaviors,” *IEEE International Conference on Robotics and Automation (ICRA)*, pp. 3293–3298, May 2012.
- [6] M. Rubenstein, A. Cornejo, and R. Nagpal, “Programmable Self-Assembly in a Thousand-Robot Swarm,” *Science*, vol. 345, no. 6198, pp. 795–799, Aug. 2014.
- [7] N. Mathews, A.L. Christensen, Rehan O’Grady, F. Mondada, M. Dorigo, “Mergeable Nervous Systems for Robots,” *Nature Communications*, vol. 8, no. 1, pp. 1–7, Nov. 2017.
- [8] I. Slavkov, D. Carrillo-Zapata, N. Carranza, X. Diego, F. Jansson, J. Kaandorp, S. Hauert, and J. Sharpe, “Morphogenesis in Robot Swarms,” *Science Robotics*, vol. 3, no. 25, pp. 1–1, Aug. 2018.
- [9] C. Rendl, D. Kim, S. Fanello, P. Parzer, C. Rhemann, J. Taylor, M. Zirkl, G.

- Scheipl, T. Rothländer, M. Haller, and S. Izadi, “FlexSense: A Transparent Self-Sensing Deformable Surface,” *ACM Symposium on User Interface Software and Technology (UIST)*, pp. 129–138, Oct. 2014.
- [10] K. Narumi, F. Qin, S. Liu, H.-Y. Cheng, J. Gu, Y. Kawahara, M. Islam, and L. Yao, “Self-Healing UI: Mechanically and Electrically Self-Healing Materials for Sensing and Actuation Interfaces,” *ACM Symposium on User Interface Software and Technology (UIST)*, pp. 293–306, Oct. 2019.
- [11] M. Le Goc, L.H. Kim, A. Parsaei, J.-D. Fekete, P. Dragicevic, and S. Follmer, “Zoooids: Building Blocks for Swarm User Interfaces,” *ACM Symposium on User Interface Software and Technology (UIST)*, pp. 97–109, Oct. 2016.
- [12] L.H. Kim and S. Follmer, “UbiSwarm: Ubiquitous Robotic Interfaces and Investigation of Abstract Motion as a Display,” *ACM Symposium on User Interface Software and Technology (UIST)*, pp. 66:1–66:20, Oct. 2017.
- [13] R. Suzuki, C. Zheng, Y. Kakehi, T. Yeh, E.Y.-L. Do, M.D. Gross, and D. Leithinger, “ShapeBots: Shape-Changing Swarm Robots,” *ACM Symposium on User Interface Software and Technology (UIST)*, pp. 493–505, Oct. 2019.
- [14] E. Goto, “The Parametron, a Digital Computing Element Which Utilizes Parametric Oscillation,” *Proceedings of the IRE*, vol. 47, no. 8, pp. 1304–1316, Aug. 1959.
- [15] F. Faggin, M.E. Hoff, S. Mazor, and M. Shima, “The History of the 4004,” *IEEE Micro*, vol. 16, no. 6, pp. 10–20, Dec. 1996.
- [16] D.W. Anderson, F.J. Sparacio, and R.M. Tomasulo, “The IBM System/360 Model 91: Machine Philosophy and Instruction-Handling,” *IBM Journal of Research and Development*, vol. 11, no. 1, pp. 8–24, Jan. 1967.
- [17] R.M. Tomasulo, “An Efficient Algorithm for Exploiting Multiple Arithmetic Units,” *IBM Journal of Research and Development*, vol. 11, no. 1, pp. 25–33, Jan. 1967.
- [18] D.A. Patterson and C.H. Sequin, “RISC I: A Reduced Instruction Set VLSI Computer,” *ACM/IEEE International Symposium on Computer Architecture (ISCA)*, pp. 443–457, May 1981.

- [19] J. Hennessy, N. Jouppi, S. Przybylski, C. Rowen, T. Gross, F. Baskett, and J. Gill, “MIPS: A Microprocessor Architecture,” IEEE/ACM International Symposium on Microarchitecture (MICRO), pp. 17–22, Oct. 1982.
- [20] R.E. Kessler, “The Alpha 21264 Microprocessor,” IEEE Micro, vol. 19, no. 2, pp. 24–36, Mar. 1999.
- [21] J.M. Tandler, J.S. Dodson, J.S. Fields, H. Le, and B. Sinharoy, “POWER4 System Microarchitecture,” IBM Journal of Research and Development, vol. 46, no. 1, pp. 5–25, Jan. 2002.
- [22] D.C. Pham, T. Aipperspach, D. Boerstler, M. Bolliger, R. Chaudhry, D. Cox, P. Harvey, P.M. Harvey, H.P. Hofstee, C. Johns, J. Kahle, A. Kameyama, J. Keaty, Y. Masubuchi, M. Pham, J. Pille, S. Posluszny, M. Riley, D.L. Stasiak, M. Suzuoki, O. Takahashi, J. Warnock, S. Weitzel, D. Wendel, and K. Yazawa, “Overview of the Architecture, Circuit Design, and Physical Implementation of a First-Generation Cell Processor,” IEEE Journal of Solid-State Circuits (JSSC), vol. 41, no. 1, pp. 179–196, Jan. 2006.
- [23] D. Stow, I. Akgun, R. Barnes, P. Gu, and Y. Xie, “Cost Analysis and Cost-Driven IP Reuse Methodology for SoC design Based on 2.5D/3D Integration,” IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 56:1–56:6, Nov. 2016.
- [24] A. Kannan, N.E. Jerger, and G.H. Loh, “Enabling Interposer-based Disintegration of Multi-core Processors,” IEEE/ACM International Symposium on Microarchitecture (MICRO), pp. 546–558, Dec. 2015.
- [25] F. Eris, A. Joshi, A.B. Kahng, Y. Ma, S. Mojumder, and T. Zhang, “Leveraging Thermally-Aware Chiplet Organization in 2.5D Systems to Reclaim Dark Silicon,” Design, Automation and Test in Europe (DATE), pp. 1441–1446, Mar. 2018.
- [26] J. Yin, Z. Lin, O. Kayiran, M. Poremba, M.S.B. Altaf, N.E. Jerger, and G.H. Loh, “Modular Routing Design for Chiplet-Based Systems,” ACM/IEEE International Symposium on Computer Architecture (ISCA), pp. 726–738, June 2018.
- [27] A. Coskun, F. Eris, A. Joshi, A.B. Kahng, Y. Ma, and V. Srinivas, “A Cross-layer Methodology for Design and Optimization of Networks in 2.5D Systems,”

- IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp. 101:1–101:8, Nov. 2018.
- [28] Y. Demir, Y. Pan, S. Song, N. Hardavellas, J. Kim, and G. Memik, “Galaxy: A High-performance Energy-efficient Multi-chip Architecture Using Photonic Interconnects,” ACM International Conference on Supercomputing (ICS), pp. 303–312, June 2014.
- [29] J. Bashir and S.R. Sarangi, “NUPLet: A Photonic Based Multi-Chip NUCA Architecture,” IEEE International Conference on Computer Design (ICCD), pp. 617–624, Nov. 2017.
- [30] M. Saen, K. Osada, Y. Okuma, K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, N. Irie, T. Hattori, A. Hasegawa, and T. Kuroda, “3-D System Integration of Processor and Multi-Stacked SRAMs Using Inductive-Coupling Link,” IEEE Journal of Solid-State Circuits (JSSC), vol. 45, no. 4, pp. 856–862, Apr. 2010.
- [31] N. Miura, Y. Koizumi, Y. Take, H. Matsutani, T. Kuroda, H. Amano, R. Sakamoto, M. Namiki, K. Usami, M. Kondo, and H. Nakamura, “A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface,” IEEE Micro, vol. 33, no. 6, pp. 6–15, Nov. 2013.
- [32] JEDEC, “HIGH BANDWIDTH MEMORY (HBM) DRAM,” 2020.
- [33] G.E. Moore, “Cramming More Components Onto Integrated Circuits,” Electronics, vol. 38, no. 8, pp. 114–117, Apr. 1965.
- [34] R.H. Dennard, F.H. Gaensslen, H. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc, “Design of Ion-Implanted MOSFET’s with Very Small Physical Dimensions,” IEEE Journal of Solid-State Circuits (JSSC), vol. 9, no. 5, pp. 256–268, Oct. 1974.
- [35] M. Horowitz, E. Alon, D. Patil, S. Naffziger, Rajesh Kumar, and K. Bernstein, “Scaling, Power, and the Future of CMOS,” IEEE International Electron Devices Meeting (IEDM), pp. 7–15, Dec. 2005.
- [36] J. Hennessy and D.A. Patterson, “A New Golden Age for Computer Architecture: Domain-Specific Hardware/Software Co-Design, Enhanced Security, Open Instruc-

- tion Sets, and Agile Chip Development,” ACM/IEEE International Symposium on Computer Architecture (ISCA), pp. 1–6, June 2018.
- [37] M.D. Hill and M.R. Marty, “Amdahl’s Law in the Multicore Era,” *IEEE Computer*, vol. 41, no. 7, pp. 33–38, July 2008.
- [38] G.M. Amdahl, “Validity of the Single Processor Approach to Achieving Large Scale Computing Capabilities,” *AFIPS Spring Joint Computer Conference (SJCC)*, pp. 483–485, Apr. 1967.
- [39] H. Esmailzadeh, E. Blem, R.S. Amant, K. Sankaralingam, and D. Burger, “Dark Silicon and the End of Multicore Scaling,” *ACM/IEEE International Symposium on Computer Architecture (ISCA)*, pp. 365–376, June 2011.
- [40] IEEE, “More than Moore White Paper,” *International Roadmap for Devices and Systems 2020 Edition*, pp. 1–41, 2020.
- [41] B. Razavi, “Design of Millimeter-Wave CMOS Radios: A Tutorial,” *IEEE Transactions on Circuits and Systems I (TCAS-I)*, vol. 56, no. 1, pp. 4–16, Jan. 2009.
- [42] Y.P. Zhang and D. Liu, “Antenna-on-Chip and Antenna-in-Package Solutions to Highly Integrated Millimeter-Wave Devices for Wireless Communications,” *IEEE Transactions on Antennas and Propagation (TAP)*, vol. 57, no. 10, pp. 2830–2841, Oct. 2009.
- [43] K. Kawasaki, Y. Akiyama, K. Komori, M. Uno, H. Takeuchi, T. Itagaki, Y. Hino, Y. Kawasaki, K. Ito, and A. Hajimiri, “A Millimeter-Wave Intra-Connect Solution,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 45, no. 12, pp. 2655–2666, Dec. 2010.
- [44] N. Deferm, W. Volkaerts, J.F. Osorio, A. de Graauw, M. Steyaert, and P. Reynaert, “A 120GHz Fully Integrated 10Gb/s Wireless Transmitter with On-Chip Antenna in 45nm Low Power CMOS,” *European Solid-State Circuits Conference (ESSCIRC)*, pp. 331–334, Sept. 2013.
- [45] J. Park, S. Kang, S.V. Thyagarajan, E. Alon, and A.M. Niknejad, “A 260 GHz Fully Integrated CMOS Transceiver for Wireless Chip-to-Chip Communication,” *IEEE Symposium on VLSI Circuits (VLSI Cir.)*, pp. 48–49, June 2012.
- [46] J. Lin, H. Wu, Y. Su, L. Gao, A. Sugavanam, J.E. Brewer, and K.K. O, “Commu-

- nication Using Antennas Fabricated in Silicon Integrated Circuits,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 42, no. 8, pp. 1678–1687, Aug. 2007.
- [47] S. Abadal, J. Torrellas, E. Alarcón, and A. Cabellos-Aparicio, “OrthoNoC: A Broadcast-Oriented Dual-Plane Wireless Network-on-Chip Architecture,” *IEEE Transactions on Parallel and Distributed Systems (TPDS)*, vol. 29, no. 3, pp. 628–641, Mar. 2018.
- [48] S. Deb, K. Chang, X. Yu, S.P. Sah, M. Cosic, A. Ganguly, P.P. Pande, B. Belzer, and D. Heo, “Design of an Energy-Efficient CMOS-Compatible NoC Architecture with Millimeter-Wave Wireless Interconnects,” *IEEE Transactions on Computers (TC)*, vol. 62, no. 12, pp. 2382–2396, Dec. 2013.
- [49] S. Abadal, A. Cabellos-Aparicio, E. Alarcon, and J. Torrellas, “WiSync: An Architecture for Fast Synchronization through On-Chip Wireless Communication,” *ACM International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS)*, pp. 3–17, Mar. 2016.
- [50] S. Abadal, B. Sheinman, O. Katz, O. Markish, D. Elad, Y. Fournier, D. Roca, M. Hanzich, G. Houzeaux, M. Nemirovsky, E. Alarcón, and A. Cabellos-Aparicio, “Broadcast-Enabled Massive Multicore Architectures: A Wireless RF Approach,” *IEEE Micro*, vol. 35, no. 5, pp. 52–61, Sept. 2015.
- [51] V.V. Kulkarni, M. Muqsith, K. Niitsu, H. Ishikuro, and T. Kuroda, “A 750 Mb/s, 12 pJ/b, 6-to-10 GHz CMOS IR-UWB Transmitter With Embedded On-Chip Antenna,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 44, no. 2, pp. 394–403, Feb. 2009.
- [52] N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa, “A Single-Chip Ultra-Wideband Receiver With Silicon Integrated Antennas for Inter-Chip Wireless Interconnection,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 44, no. 2, pp. 382–393, Feb. 2009.
- [53] Y. Wang, D. Zhao, and J. Li, “DuSCA: A Multi-Channeling Strategy for Doubling Communication Capacity in Wireless NoC,” *IEEE International Conference on Computer Design (ICCD)*, pp. 75–80, 2012.
- [54] D. Zhao and Y. Wang, “SD-MAC: Design and Synthesis of a Hardware-Efficient

- Collision-Free QoS-Aware MAC Protocol for Wireless Network-on-Chip,” *IEEE Transactions on Computers (TC)*, vol. 57, no. 9, pp. 1230–1245, Sept. 2008.
- [55] N. Miura, M. Saito, and T. Kuroda, “A 1 TB/s 1 pJ/b 6.4 mm²/TB/s QDR Inductive-Coupling Interface Between 65-nm CMOS Logic and Emulated 100-nm DRAM,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, vol. 2, no. 2, pp. 249–256, June 2012.
- [56] K. Kasuga, N. Miura, Y. Yuxiang, H. Ishikuro, and T. Kuroda, “Electromagnetic Interference and Susceptibility in Inductive-Coupling Link,” *International Conference on Solid State Devices and Materials (SSDM)*, pp. 62–63, Oct. 2009.
- [57] R.J. Drost, R.D. Hopkins, R. Ho, and I.E. Sutherland, “Proximity Communication,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 39, no. 9, pp. 1529–1535, Sept. 2004.
- [58] M.T.L. Aung, E. Lim, T. Yoshikawa, and T.T. Kim, “Design of Simultaneous Bi-Directional Transceivers Utilizing Capacitive Coupling for 3DICs in Face-to-Face Configuration,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, vol. 2, no. 2, pp. 257–265, June 2012.
- [59] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, “Analysis and Design of Inductive Coupling and Transceiver Circuit for Inductive Inter-Chip Wireless Superconnect,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 40, no. 4, pp. 829–837, Apr. 2005.
- [60] S. Gopal, S. Das, P. Agarwal, S.N. Ali, D. Heo, and P.P. Pande, “High-Performance and Small-Form Factor Near-Field Inductive Coupling for 3-D NoC,” *IEEE Transactions on Very Large Scale Integration (TVLSI)*, vol. 26, no. 12, pp. 2921–2934, Dec. 2018.
- [61] H. Matsutani, P. Bogdan, R. Marculescu, Y. Take, D. Sasaki, Hao Zhang, M. Koibuchi, T. Kuroda, and H. Amano, “A Case for Wireless 3D NoCs for CMPs,” *Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 23–28, Jan. 2013.
- [62] M. Tamura, H. Takano, S. Shinke, H. Fujita, H. Nakahara, N. Suzuki, Y. Nakada, Y. Shinohe, S. Etou, T. Fujiwara, and Y. Katayama, “A 0.5V BLE Transceiver

- with a 1.9mW RX Achieving -96.4 dBm Sensitivity and 4.1dB Adjacent Channel Rejection at 1MHz Offset in 22nm FDSOI,” IEEE International Solid-State Circuits Conference (ISSCC), pp. 468–470, Feb. 2020.
- [63] B.J. Thijssen, E.A.M. Klumperink, P. Quinlan, and B. Nauta, “A 370μ W 5.5dB-NF BLE/BT5.0/IEEE 802.15.4-Compliant Receiver with >63 dB Adjacent Channel Rejection at >2 Channels Offset in 22nm FDSOI,” IEEE International Solid-State Circuits Conference (ISSCC), pp. 466–468, Feb. 2020.
- [64] F. Maksimovic, B. Wheeler, D.C. Burnett, O. Khan, S. Mesri, I. Suciuc, L. Lee, A. Moreno, A. Sundararajan, B. Zhou, R. Zoll, A. Ng, T. Chang, X. Villajosana, T. Watteyne, A. Niknejad, and K.S.J. Pister, “A Crystal-Free Single-Chip Micro Mote with Integrated 802.15.4 Compatible Transceiver, sub-mW BLE Compatible Beacon Transmitter, and Cortex M0,” IEEE Symposium on VLSI Circuits (VLSI Cir.), pp. 88–89, June 2019.
- [65] S. Han and D.D. Wentzloff, “ 0.61 W/mm² Resonant Inductively Coupled Power Transfer for 3D-ICs,” IEEE Custom Integrated Circuits Conference (CICC), pp. 1–4, Sept. 2012.
- [66] A. Radecki, Y. Yuan, N. Miura, I. Aikawa, Y. Take, H. Ishikuro, and T. Kuroda, “Simultaneous 6-Gb/s Data and 10-mW Power Transmission Using Nested Clover Coils for Noncontact Memory Card,” IEEE Journal of Solid-State Circuits (JSSC), vol. 47, no. 10, pp. 2484–2495, July 2012.
- [67] A. Radecki, H. Chung, Y. Yoshida, N. Miura, T. Shidei, H. Ishikuro, and T. Kuroda, “ 6 W/25mm² Inductive Power Transfer for Non-Contact Wafer-Level Testing,” IEEE International Solid-State Circuits Conference (ISSCC), pp. 230–231, Feb. 2011.
- [68] M. Tabesh, N. Dolatsha, A. Arbabian, and A.M. Niknejad, “A Power-Harvesting Pad-Less Millimeter-Sized Radio,” IEEE Journal of Solid-State Circuits (JSSC), vol. 50, no. 4, pp. 962–977, Apr. 2015.
- [69] L. Chuo, Z. Feng, Y. Kim, N. Chiotellis, M. Yasuda, S. Miyoshi, M. Kawaminami, A. Grbic, D. Wentzloff, D. Blaauw, and H. Kim, “Millimeter-Scale Node-to-Node Radio Using a Carrier Frequency-Interlocking IF Receiver for a Fully Integrated 4

- $\times 4 \times 4 \text{ mm}^3$ Wireless Sensor Node,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 55, no. 5, pp. 1128–1138, May 2020.
- [70] J. Kadomoto, S. Hasegawa, Y. Kiuchi, A. Kosuge, and T. Kuroda, “Analysis and Evaluation of Electromagnetic Interference between ThruChip Interface and LC-VCO,” *IEICE Transactions on Electronics*, vol. E99-C, no. 6, pp. 659–662, June 2012.
- [71] S. Hasegawa, J. Kadomoto, A. Kosuge, and T. Kuroda, “A 1 Tb/s/mm² Inductive-Coupling Side-by-Side Chip Link,” *European Solid-State Circuits Conference (ESSCIRC)*, pp. 469–472, Sept. 2016.
- [72] S.S. Mohan, M. del Mar Hershenson, S.P. Boyd, and T.H. Lee, “Simple Accurate Expressions for Planar Spiral Inductances,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 34, no. 10, pp. 1419–1424, Octber 1995.
- [73] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, “A High-Speed Inductive-Coupling Link With Burst Transmission,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 44, no. 3, pp. 947–955, Mar. 2009.
- [74] N. Miura, H. Ishikuro, K. Niitsu, T. Sakurai, and T. Kuroda, “A 0.14 pJ/b Inductive-Coupling Transceiver With Digitally-Controlled Precise Pulse Shaping,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 43, no. 1, pp. 285–291, Jan. 2008.
- [75] B.J. Fletcher, S. Das, and T. Mak, “A Spike-Latency Transceiver With Tunable Pulse Control for Low-Energy Wireless 3-D Integration,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 55, no. 9, pp. 2414–2428, July 2020.
- [76] K. Niitsu, S. Kawai, N. Miura, H. Ishikuro, and T. Kuroda, “A 65fJ/b Inter-Chip Inductive-Coupling Data Transceivers Using Charge-Recycling Technique for Low-Power Inter-Chip Communication in 3-D System Integration,” *IEEE Transactions on Very Large Scale Integration (TVLSI)*, vol. 20, no. 7, pp. 1285–1294, July 2012.
- [77] T. Kuroda and N. Miura, “Perspective of Low-Power and High-Speed Wireless Inter-Chip Communications for SiP Integration,” *European Solid-State Circuits Conference (ESSCIRC)*, pp. 3–6, Sept. 2006.
- [78] K. Niitsu, Y. Sugimori, Y. Kohama, K. Osada, N. Irie, H. Ishikuro, and T. Kuroda, “Analysis and Techniques for Mitigating Interference From Power/Signal Lines and

- to SRAM Circuits in CMOS Inductive-Coupling Link for Low-Power 3-D System Integration,” *IEEE Transactions on Very Large Scale Integration (TVLSI)*, vol. 19, no. 10, pp. 1902–1907, Oct. 2011.
- [79] J.P. Gambino, R.S. Graf, J.C. Malinowski, A.R. Cote, W.H. Guthrie, K.M. Watson, P.F. Chapman, K.K. Sims, M.D. Levy, T. Aoki, G.A. Mason, and M.D. Jaffe, “Reliability of Segmented Edge Seal Ring for RF Devices,” *IEEE International Interconnect Technology Conference (IITC)*, pp. 367–370, May 2014.
- [80] J. Meditch and Chin-Tan Lea, “Stability and Optimization of the CSMA and CSMA/CD Channels,” *IEEE Transactions on Communications (TCOM)*, vol. 31, no. 6, pp. 763–774, June 1983.
- [81] F. Cali, M. Conti, and E. Gregori, “Dynamic Tuning of the IEEE 802.11 Protocol to Achieve a Theoretical Throughput Limit,” *IEEE Communications Letters (CL)*, vol. 8, no. 6, pp. 785–799, Dec. 2000.
- [82] O. Ekici and A. Yongacoglu, “IEEE 802.11a Throughput Performance with Hidden Nodes,” *IEEE Communications Letters (CL)*, vol. 12, no. 6, pp. 465–467, June 2008.
- [83] M.D. Schroeder, A.D. Birrell, M. Burrows, H. Murray, R.M. Needham, T.L. Rodeheffer, E.H. Satterthwaite, and C.P. Thacker, “Autonet: A High-Speed, Self-Configuring Local Area Network Using Point-to-Point Links,” *IEEE Journal on Selected Areas in Communications (J-SAC)*, vol. 9, no. 8, pp. 1318–1335, Oct. 1991.
- [84] Y.S. Kim, S. Kodama, Y. Mizushima, N. Maeda, H. Kitada, K. Fujimoto, T. Nakamura, D. Suzuki, A. Kawai, K. Arai, and T. Ohba, “Ultra Thinning Down to 4- μm Using 300-mm Wafer Proven by 40-nm Node 2Gb DRAM for 3D Multi-Stack WOW Applications,” *IEEE Symposium on VLSI Technology (VLSI Tech.)*, pp. 1–2, June 2014.
- [85] Y. Take, H. Matsutani, D. Sasaki, M. Koibuchi, T. Kuroda, and H. Amano, “3D NoC with Inductive-Coupling Links for Building-Block SiPs,” *IEEE Transactions on Computers (TC)*, vol. 63, no. 3, pp. 748–763, Mar. 2014.
- [86] A. Pullini, D. Rossi, I. Loi, G. Tagliavini, and L. Benini, “Mr.Wolf: An Energy-

- Precision Scalable Parallel Ultra Low Power SoC for IoT Edge Processing,” IEEE Journal of Solid-State Circuits (JSSC), vol. 54, no. 7, pp. 1970–1981, July 2019.
- [87] I.E. Sutherland, “The Ultimate Display,” IFIP Congress, pp. 506–508, May 2001.
- [88] S. Goldstein, J. Campbell, and T. Mowry, “Programmable Matter,” IEEE Computer, vol. 38, no. 6, pp. 99–101, June 2005.

本研究に関連する発表

国際会議における発表

- [1-1] J. Kadomoto, H. Irie, and S. Sakai, “Design of Shape-Changeable Chiplet-Based Computers Using an Inductively Coupled Wireless Bus Interface,” IEEE International Conference on Computer Design (ICCD), pp. 589–596, Oct. 2020.
- [1-2] J. Kadomoto, “Inductive-Coupling Wireless Bus Interface for Shape-Changeable Chiplet-Based Computers,” International Symposium on Microelectronics (IMAPS), Oct. 2020.
- [1-3] J. Kadomoto, H. Irie, and S. Sakai, “A Self-Sensing Technique Using Inductively-Coupled Coils for Deformable User Interfaces,” Asian CHI Symposium (AsianCHI), Apr. 2020.
- [1-4] J. Kadomoto, H. Irie, and S. Sakai, “A RISC-V Processor with an Inter-Chiplet Wireless Communication Interface for Shape-Changeable Computers,” IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips), pp. 442–444, Apr. 2020.
- [1-5] J. Kadomoto, H. Irie, and S. Sakai, “An Inductively Coupled Wireless Bus for Chiplet-Based Systems,” Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 9–10, Jan. 2020.
- [1-6] J. Kadomoto, H. Irie, and S. Sakai, “WiXI: An Inter-Chip Wireless Bus Interface for Shape-Changeable Chiplet-Based Computers,” IEEE International Conference on Computer Design (ICCD), pp. 100–108, Nov. 2019.
- [1-7] J. Kadomoto, S. Mitsuno, H. Irie, and S. Sakai, “An Inductively Coupled Wireless Bus for Inter-Chiplet Communication,” International Conference on Solid State Devices and Materials (SSDM), pp. 1049–1050, Sept. 2019.

国内研究会における発表

- [2-1] 門本淳一郎, 入江英嗣, 坂井修一, “形状自在計算機システムに向けた RISC-V 無線マルチチッププロセッサ,” d.lab-VDEC デザイナーズフォーラム, Sept. 2020.
- [2-2] 門本淳一郎, 入江英嗣, 坂井修一, “形状自在計算機システムに向けたチップ間ワイヤレスバスインタフェース,” 電子情報通信学会・情報処理学会 情報科学技術フォーラム, Sept. 2020.
- [2-3] 門本淳一郎, 入江英嗣, 坂井修一, “形状自在計算機システムのための RISC-V ホスト CPU チップの設計,” 情報処理学会 DA シンポジウム 2019 論文集, pp. 107–111, Aug. 2019.
- [2-4] 門本淳一郎, 浅野凌治, 入江英嗣, 坂井修一, “形状自在計算機システムのための水平方向チップ間ワイヤレスバス,” 情報処理学会 xSIG, May 2019.
- [2-5] 門本淳一郎, 浅野凌治, 入江英嗣, 坂井修一, “水平方向チップ間ワイヤレスバスの解析と設計,” 電子情報通信学会技術研究報告, vol. 118, no. 515, pp. 109–114, Mar. 2019.
- [2-6] 門本淳一郎, 入江英嗣, 坂井修一, “水平方向チップ間ワイヤレスバスを用いた形状自在 SiP の検討,” 電子情報通信学会技術研究報告, vol. 118, no. 334, pp. 43–48, Nov. 2018.

受賞

- [3-1] d.lab-VDEC デザインアワード 嘱望賞, Sept. 2020.
- [3-2] 情報処理学会 SLDM 研究会 DA シンポジウム 2019 優秀ポスター発表賞, Aug. 2019.
- [3-3] IEEE CEDA All Japan Joint Chapter Academic Research Award, Aug. 2019.
- [3-4] 情報処理学会 SLDM 研究会 優秀論文賞, Aug. 2019.
- [3-5] 情報処理学会 SLDM 研究会 優秀発表学生賞, Aug. 2019.
- [3-6] 電子情報通信学会 CPSY 研究会 研究会優秀若手発表賞, July. 2019.
- [3-7] IEEE Computer Society Japan Chapter xSIG Young Researcher Award, May 2019.