

平成 22 年度修士論文

完全空乏型 SOI MOSFET におけるランダム
ムテレグラフノイズの抑制

**Suppression of Random Telegraph Noise in Fully
Depleted SOI MOSFET**

2011 年 2 月 8 日 提出

指導教官
平本 俊郎 教授

東京大学大学院 工学系研究科
電気系工学専攻 37096490

西村 淳
Jun Nishimura

第 1 章	序論	- 3 -
1.1	研究背景	- 3 -
1.1.1	MOSFET の微細化	- 3 -
1.1.2	スケーリング則	- 4 -
1.1.3	短チャネル効果	- 4 -
1.1.4	しきい値電圧ばらつき	- 7 -
1.1.5	ランダムテレグラフノイズ (Random Telegraph Noise : RTN)	- 8 -
1.2	研究目的	- 9 -
1.3	本論文の構成	- 9 -
第 2 章	RDF・RTN ばらつきと抑制方法	- 11 -
2.1	MOSFET におけるしきい値電圧ばらつき	- 11 -
2.1.1	ばらつきの分類	- 11 -
2.1.2	ランダムでローカルなばらつき要因	- 12 -
2.2	Random Dopant Fluctuation: RDF	- 13 -
2.2.1	チャネル内不純物としきい値電圧	- 13 -
2.2.2	チャネル不純物の分布	- 15 -
2.2.3	正規確率プロット	- 17 -
2.3	Random Telegraph Noise: RTN	- 17 -
2.3.1	RTN の挙動	- 17 -
2.3.2	RTN によるしきい値電圧変動	- 20 -
2.3.3	RTN による統計的解析	- 22 -
2.4	RTN の抑制法の提案	- 24 -
2.4.1	チャネル不純物濃度が低い MOSFET を用いた RTN 抑制	- 24 -
2.4.2	FD SOI(Fully Depleted Silicon On Insulator) MOSFET	- 24 -
第 3 章	実測による Bulk と FD SOI MOSFET の RTN の比較	- 27 -
3.1	4 端子電極を有する単体 MOSFET を用いた測定	- 27 -
3.1.1	測定系	- 27 -
3.1.2	サンプリングスピードの選定	- 28 -
3.1.3	実験結果	- 30 -
3.2	DMA-TEG 用 MOSFET を用いた測定	- 32 -
3.2.1	実験結果	- 33 -
第 4 章	シミュレーションによる RTN 抑制メカニズムの解明	- 37 -
4.1	シミュレーションモデル	- 37 -
4.2	シミュレーション結果	- 37 -
第 5 章	結論と今後の展望	- 41 -
5.1	結論	- 41 -

5.2	今後の展望	- 41 -
-----	-------------	--------

第1章 序論

1.1 研究背景

1.1.1 MOSFET の微細化

今日、私達が日常的に使用するパーソナルコンピュータおよび携帯電話などでは、1つのチップの上にトランジスタやダイオード、抵抗といった素子が集積され、IC と呼ばれる電子回路を構成している。中でもひとつのチップ上にある素子の数が 10 万～1000 万個以上にも集積された回路は LSI(Large Scale Integration)と呼ばれる。この LSI は通信機器のみに限らず、現在では家電・自動車においても使われており、私達の生活は、もはや LSI 無しでは成り立たない。LSI 技術の中で、最も使われる素子が、MOSFET(Metal-Oxide Semiconductor Field-Effect Transistor)である。MOSFET は 1960 年に Kahng によって発明[1]されて以来、「24 ヶ月で面積あたりの素子数が 2 倍になる」という Moore 博士の提唱した経験則[2]に沿って過去半世紀に渡り素子サイズの縮小が行われてきた。

Fig. 1.1 に、2009 年に発表された MOSFET のゲート長と西暦の関係を示す[3]。2011 年現在、量産されている最新の MOSFET のゲート長は 30nm[4]であり、2015 年には 20nm 以下のゲート長を持つ素子も期待されている[5]。

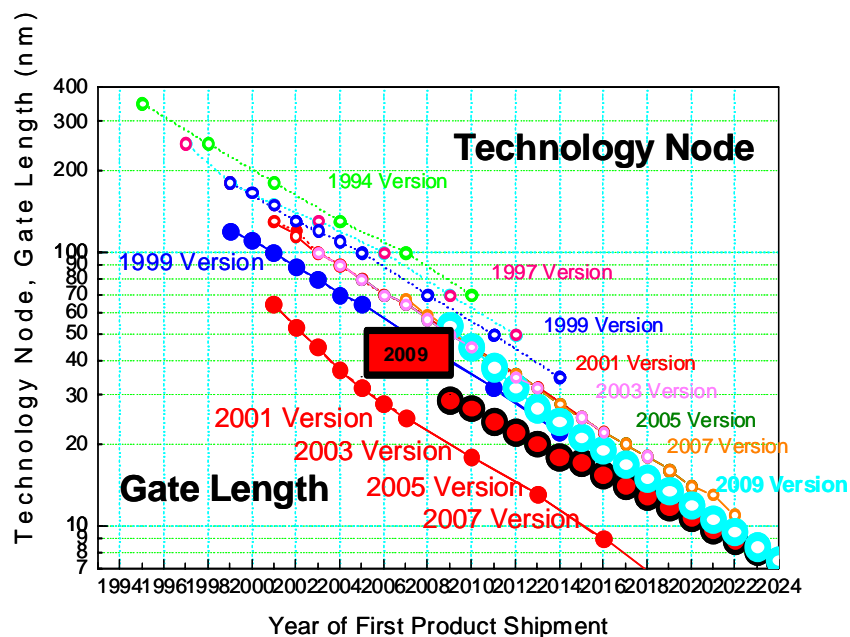


Fig. 1.1 MOSFET のゲート長と西暦の関係

1.1.2 スケーリング則

MOSFET はなぜ微細化されてきたかという、微細化により性能が向上するからである。微細化による性能向上は、スケーリング則（比例縮小則）とよばれる法則としてまとめられる[6]。Tab. 1 に、定電界であった場合、ゲート長を $1/k$ にスケーリングした際の素子の各パラメータのスケーリング後の電気特性を示す。

Tab. 1 MOSFET の定電界スケーリングに必要な各パラメータ ($k>1$)[6]

	デバイス寸法および回路パラメータ	増倍係数
スケーリングの仮定	デバイス寸法(t_{ox}, L, W, x_j)	$1/k$
	不純物濃度(N_{sub})	k
デバイスのふるまい	電圧	$1/k$
	電流($I_{d,drift}$)	$1/k$
	表面キャリア密度(N_{inv})	1
	空乏層幅	$1/k$
	電界	1
回路のふるまい	遅延時間(CV/I)	$1/k$
	単位面積あたりのトランジスタ数	k^2
	トランジスタあたりの散逸電力(VI)	$1/k^2$
	電力密度	1

Tab. 1 に示すように、スケーリング則は、素子サイズの縮小による集積度向上だけでなく、素子の高速動作や、低消費電力という利点をも持っていた。この利点は、技術面におけるリソグラフィの高精度化や不純物ドーピングにおける制御技術などのプロセス技術の進歩にも支えられ、素子の微細化が急速に進行してきた。しかし、微細化を進める上でさまざまな課題が浮上している。微細化されたトランジスタで起こる短チャネル効果やまったく同じサイズに設計したトランジスタで、個々では正常に動作するものの、回路としては動作が生じなくなる特性ばらつきという大きな 2 つの問題が生じている。次項以降では、微細化によって顕在化した 2 つの現象、短チャネル効果としきい値電圧ばらつきについて紹介する。

1.1.3 短チャネル効果

トランジスタのサイズを $1/k(k>1)$ にしても、電圧を $1/k$ 倍にできないため、デバイス内部が高電界化し、しきい値の低下、サブスレッショルド係数の増大など種々の問題がおこる。このように、トランジスタを微細化して生じる問題を総称して短チャネル効果と呼ぶ。

Fig. 1.2 に、短チャネル効果が生じている MOSFET のロールオフ特性（しきい値電圧のゲート長依存性）を示す[7]。図から、チャネル長が $2\mu\text{m}$ 程度まではドレイン電圧に依らず V_{th} が一定であるのに対して、チャネル長が $2\mu\text{m}$ より小さくなると V_{th} が急激に低下することが分かる。さらに、チャネル長が $2\mu\text{m}$ より小さいと $V_{ds}=3\text{V}$ のほうが、 $V_{ds}=0.1\text{V}$ に比べて V_{th} が小さくなり、ドレイン電圧が大きいほど短チャネル効果は顕著に分かる。

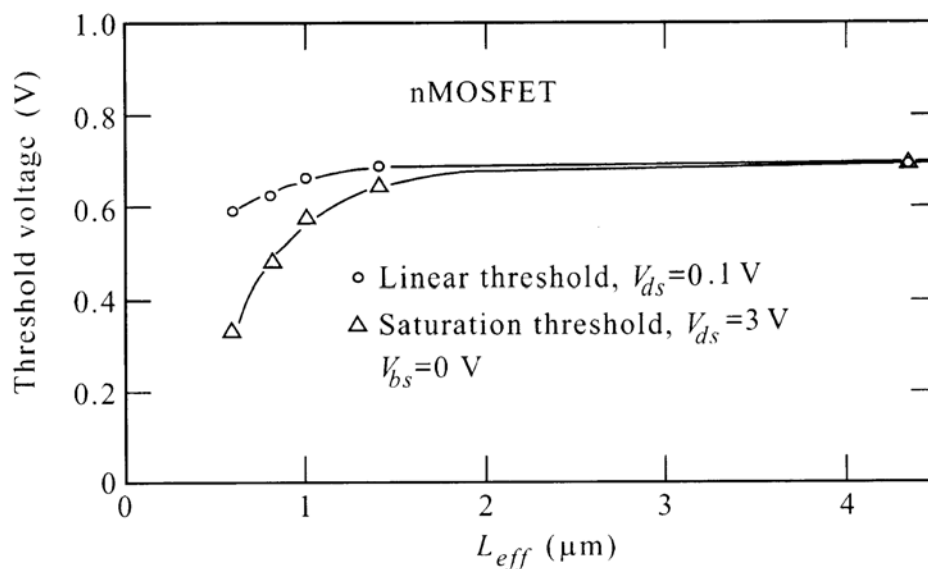


Fig. 1.2 MOSFET のロールオフ特性(しきい値電圧のゲート長依存性)[7]。 $L_{eff} > 2\mu\text{m}$ でドレーン電圧依存性を持たなかったしきい値電圧が、 $L_{eff} < 2\mu\text{m}$ でドレーン電圧依存性を持ち始めている。

また、ドレーンによってチャネル表面のポテンシャルが低下する現象を DIBL(Drain Induced Barrier Lowering)と呼ぶ。DIBL が生じると、ドレーンがチャネル表面のポテンシャル障壁を低下させ、サブスレッショルド電流(しきい値電圧以下で流れる電流)が流れやすくなる。

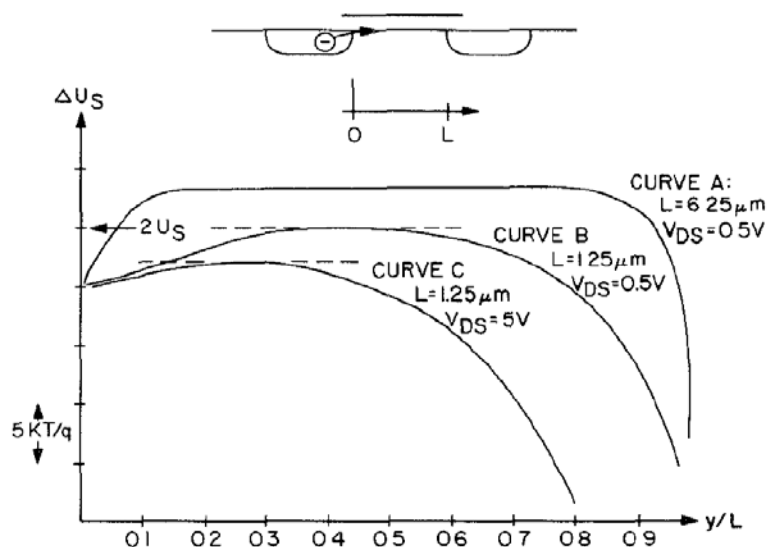


Fig. 1.3 同一ゲート電圧下の長チャネルと短チャネル MOSFET のチャネル表面におけるポテンシャル障壁の位置依存性[8]。素子が小さくなると、チャネルの中央にポテンシャル障壁の最大値が小さくなっている。

Fig. 1.3 に同一のゲート電圧を加えた長チャネル($L=6.25\mu\text{m}$)と短チャネル($L=1.25\mu\text{m}$) MOSFET のチャネル表面にあるポテンシャル障壁の位置依存性を示す[8]。図から、 $L=1.25\mu\text{m}$ では、 $L=6.25\mu\text{m}$ に比べてチャネルの中央のポテンシャル障壁の最大値が小さくなっている。さらに、ドレイン電圧を 0.5V から 5V にすると、ポテンシャル障壁の最大値は、ソース側にシフトする。DIBL が生じている素子では、表面のポテンシャル障壁は、ゲートよりもドレインによるところが大きくなるので、S-factor(ドレイン電流に対するゲート電圧の影響力を示す指標であり、 $dV_{gs}/d\log I_{ds}[\text{mV/dec}]$ で表される)が劣化する。チャージシェアモデルは、ゲートが直接支配できる空乏層内の電荷(イオン化したアクセプタまたはドナー)がソースおよびドレインによって減少し、しきい値電圧が低下するというモデルである。

これらの短チャネル効果はチャージシェアモデルにより簡単に説明できる(Fig. 1.4)。図中の破線はゲート、ソース、ドレインによる空乏層を、ゲート下の台形がゲートによる空乏層を表す。短チャネルでは、ゲートによる空乏層の中にある電荷の総量は、図の台形の面積に比例し、 $Q_B' \propto W_{dm} \times (L+L')/2$ である。ただし、ここで W_{dm} は最大空乏層幅を表す。したがって、空乏層内でチャネルの多数キャリアが完全に排斥されると仮定(完全空乏近似)すると、短チャネルのしきい値電圧は

$$V_{th} = V_{FB} + 2\phi_B + \frac{Q_B'}{LWC_{ox}} \quad (1.1)$$

と表すことができる。ドレイン電圧の大きさが大きいほど、ゲートが支配できる電荷の総量が少なくなるため、しきい値電圧が小さくなる DIBL が顕著になる。短チャネル効果を抑制するには、膜厚 t_{ox} を薄くし、チャネル不純物濃度 N_a を大きくすることが試みられる。

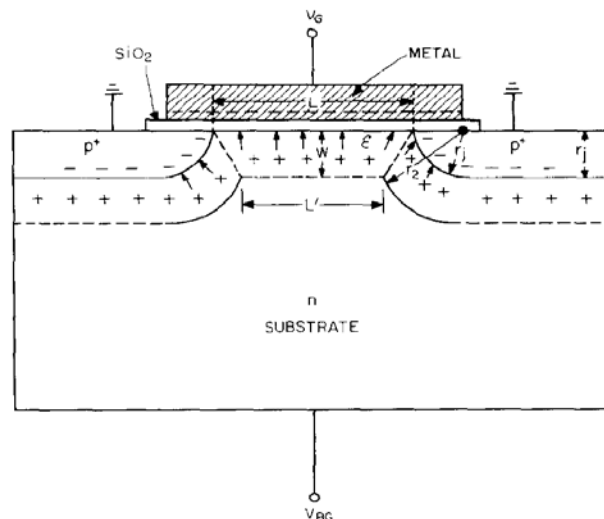


Fig. 1.4 チャージシェアモデルの模式図。図中の点線はゲート、ソース、ドレインによる空乏層を、ゲート下の台形がゲートによる空乏層を表す。図中の矢印は、正の電荷から負の電荷へと伸びる電界を表す[9]。

1.1.4 しきい値電圧ばらつき

微細化の進展に伴い、新たな問題が生じてきた。それは、トランジスタの特性ばらつきである。特性ばらつきとは、設計上同じレイアウトで同じトランジスタであっても、製造された素子のしきい値電圧が、個々のトランジスタごとに異なる値を示すという現象である。その結果、個々のトランジスタは正常に動作しているにもかかわらず、回路としては正常に動作しなかったり、回路のマージンが著しく減少したりして、製造歩留まりが急激に低下するなどの現象が引き起こされる。

この特性ばらつきの問題は、微細化が進むとさらに顕在化する恐れがある。すなわち、特性ばらつきがトランジスタの微細化限界を決めてしまう可能性がある。ところが、特性ばらつきには様々な種類が存在し、その原因は、半導体材料や製造装置、また原子レベルの離散不純物分布によるものまで多岐にわたっている。

LSI において、MOSFET のしきい値電圧ばらつきが最も問題となるのが MOSFET を多用する SRAM(Static Random Access Memory)である。SRAM はプロセッサ内のキャッシュメモリとして使われるため、その性能がプロセッサ性能のボトルネックになると言っても過言ではない。

Fig. 1.5 に 6 個の P・NMOSFET からなる SRAM の回路図を示す[10]。SRAM は図の nodeA および nodeB のどちらかが高電位であるかにより、1bit の情報を記憶することが出来る。

仮に今、MOSFET のしきい値電圧が正規分布に従ってばらついたと仮定すると、素子数 100 万個で、 5σ 以上しきい値電圧がずれた素子が少なくとも 1 個存在する確率が 25%、 6σ 以上で 0.1% になる。微細化によって LSI の電源電圧が 1V 程度に下がっていることに加え、しきい値電圧が 1σ あたり数十 mV ばらついたと仮定すると、 6σ は百 mV 程度になり、SRAM を動作不能にするのに十分な大きさとなる。

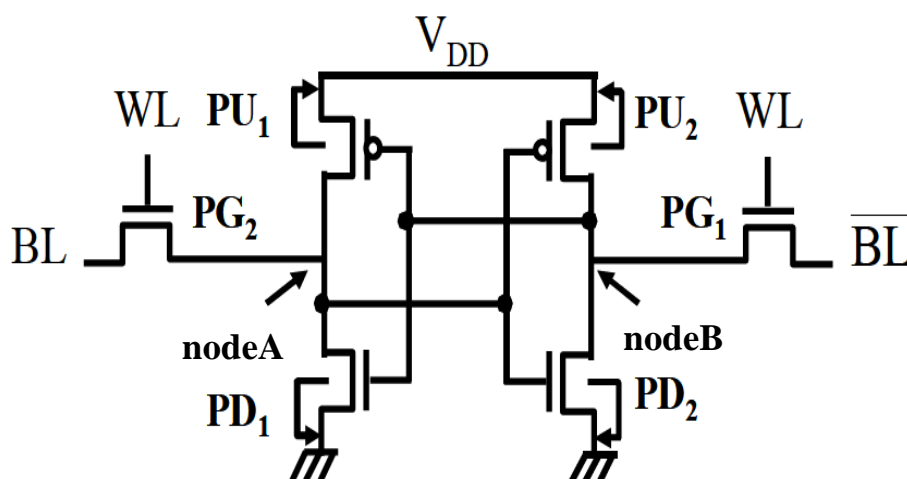


Fig. 1.5 SRAM の回路図[10]。NodeA および nodeB のどちらかが高電位であるかにより、1bit の情報を記憶することが出来る。

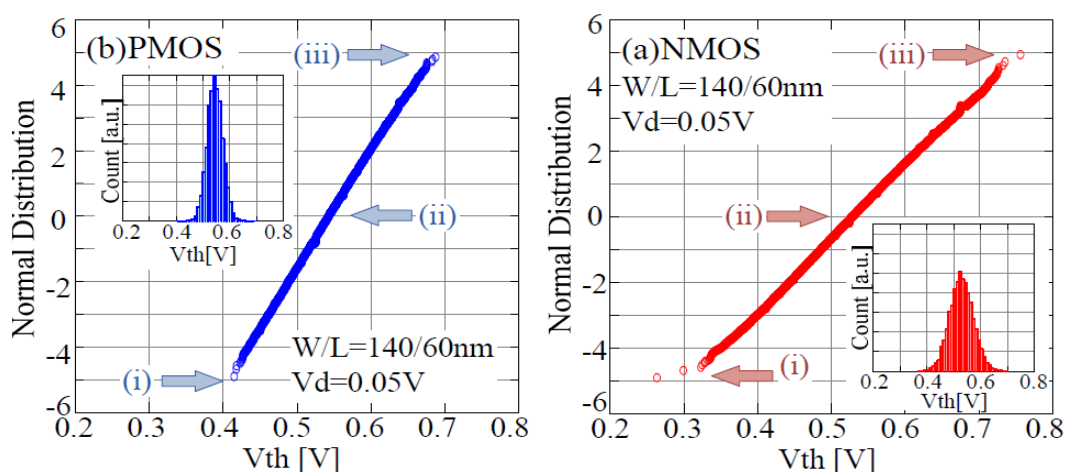


Fig. 1.6 65nm 技術で製造された 100 万個の P・NMOS のしきい値電圧[11]。PMOS に比べて NMOS のほうが、しきい値電圧ばらつきが大きな値をとる。

Fig. 1.6 に 65nm 技術で製造された 100 万個の P・NMOS のしきい値電圧の累積度数を示す[11]。図の直線性は、しきい値電圧が正規分布していることを示す。図から、 1σ の NMOS で約 40mV、PMOS で約 30mV のしきい値電圧ばらつきがあることが見分かり、PMOS に比べ、NMOS のしきい値電圧ばらつきのほうが大きい。100 万個のトランジスタを評価すると、約 $\pm 5\sigma$ までおデータを取得できる。一方、チップ内にトランジスタが 10 億個集積されているとすると、最も特性の外れたトランジスタは平均値からおおよそ $\pm 6\sigma$ も特性がずれることになる。すなわちしきい値が最も高いトランジスタと低いトランジスタとでは、NMOS の場合、約 0.52V も差があることになる。したがって、このようなトランジスタが回路に組み込まれると歩留まりの低下の原因となる。

1.1.5 ランダムテレグラフノイズ (Random Telegraph Noise : RTN)

前項でしきい値電圧ばらつきの要因は多岐にわたると述べたが、特に現在、離散不純物の分布によるばらつき(Random Dopant Fluctuation : RDF)の研究が最も広く進められている[12]。ところが近年、微細化に伴い、ランダムテレグラフノイズという新たなばらつき要因が生じるようになってきた。ランダムテレグラフノイズとは、酸化膜界面にトラップが生じ、そこに電子が捕獲・放出を繰り返すことにより電流を乱すことに起因するばらつきである。トラップは取り除くよう製造上努力されているが、統計学的に見るとどうしても完全に取り除くことができないものが生じてしまう。トラップの影響はこれまで無視することができたが、トランジスタの微細化が進められてきた中でその影響は大きくなってきた。現在確認されるしきい値電圧変動は大きいもので約 100mV 程度と、RDF のしきい値ばらつきに比べ小さい。ところが、RTN はサイズ依存が大きいので、さらに微細化が進むと、その影響は RDF を凌ぐと予想されている[13]。したがって、RTN を抑制することが急務となる。

1.2 研究目的

本研究の目的は、MOSFET のしきい値電圧ばらつきの新たな要因であるランダムテレグラフノイズを抑制する方法を見つけ出すことである。

前節で、MOSFET の微細化の状況、および微細化に伴い生じる短チャネル効果としきい値電圧ばらつきについて紹介した。とりわけしきい値電圧ばらつきは、現在マイクロプロセッサの性能に大きく関わる SRAM の歩留まりに深刻な問題である。

これまでの研究により、MOSFET のしきい値電圧ばらつきの要因はチャネルの離散不純物分布にあることが示唆されている。しかし、今後の更なる微細化により、ランダムテレグラフノイズという新たなばらつき要因を考慮しなくてはならないこととなってきた。サイズ依存性が大きいため、その影響はチャネル不純物の離散不純物分布よりもばらつきへの影響が大きくなるとされている。

先行研究には、チャネルの不純物濃度を小さくするとランダムテレグラフノイズを抑えられるという研究がある[14]。ところが、Bulk MOSFET を用いると短チャネル効果のため、十分にチャネルの不純物濃度を小さくすることができない。そこで、短チャネル効果にも強い完全欠乏型 SOI(Fully depleted SOI) MOSFET を用いることにより、短チャネル効果にも強く、ランダムテレグラフノイズを抑制することができるのではないかとということが研究のモチベーションである。

そこで、本研究では、Bulk MOSFET と FD SOI MOSFET のランダムテレグラフノイズによるしきい値ばらつきを 4 端子単体 MOSFET 測定ならびに DMA-TEG(device matrix array)を用いた二つの実測によって評価していた。さらに、そのメカニズムを解明するため、Bulk MOSFET と FD SOI MOSFET の RDF・RTN を想定した 3 次元 TCAD によるシミュレーションを行った。

以上の、実測とデバイスシミュレーションを通して、FD SOI MOSFET の方が Bulk MOSFET よりもランダムテレグラフノイズによるしきい値電圧ばらつきが小さくなることを解明することを目的とした。

1.3 本論文の構成

以下、本論文の構成を示す。

初めに、1 章では、研究背景を述べる。

次に 2 章でのしきい値電圧ばらつき、特に RDF と RTN と FD SOI MOSFET を用いた抑制方法を述べ、3 章で Bulk MOSFET と FD SOI MOSFET の実測で得られた結果を示す。さらに、4 章で実測を再現したデバイスシミュレーションによって得られた結果を載せる

最後に、5 章に本研究で得られた結論、6 章では当研究の今後の展望について述べる。

参考文献

- [1] D.Khang, M. M. Arella, “Silicon dioxide field surface devices”, *presented at Device Research Conf. IEEE, Pittsburgh*, 1960.
- [2] G. Moore, “Progress in Digital Integrated Electronics”, *IEEE International Electron Devices Meeting* 21, pp. 11-13, 1975.
- [3] International Technology Roadmap for Semiconductors, 2009.
- [4] <http://www.intel.com/>
- [5] International Technology Roadmap for Semiconductors, 2010.
- [6] R. H. Dennard, E. H. Gaenssien, L. Kuhn, and H. N. Yu, “Design of micron MOS switching devices”, *presented IEEE International Devices Meeting*, 1972.
- [7] Y. Taur, T. H. Ning, “Fundamentals of modern VLSI devices”, *Cambridge University Press*, 1988.
- [8] R. R. Troutman, “VLSI limitations from drain-induced barrier lowering”, *IEEE Journal of Solid-State Circuits*, Vol.14, pp. 383-391, 1979.
- [9] L. D. Yau, “ A simple theory to predict the threshold voltage of short-channel IGFET's “, *Solid-State Electronics*, Vol. 17, Issue 10, pp. 1059-1063, 1974.
- [10] Cedric Maufront and Richard Ferrant, “Advanced Statistical Methodology for 5T-SRAM Design”, *Electronics, Circuits and Ststems*, pp.756-758, 2007.
- [11] T. Tsunomura, A. Nishida, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, *Symposium on VLSI Technology*, pp. 156-157, 2008.
- [12] K. Takeuchi, T. Fukai, T. Tsunomura, A. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies“, *IEDM Tech*, pp. 467-470, 2007.
- [13] K. Tega, H. Miki, F. Pagette, D. J. Frank, A. Ray, M. J. Rooks, W. Haensch, and K. Torii, “Increasing Threshold Voltage Variation due to Random Telegraph Noise in FETs as Gate Length Scale to 20nm”, *Symposium on VLSI Technology*, pp. 50-51, 2009.
- [14] K. Abe, A. Teramoto, A. Watabe, T. Feujisawa, S. Sugawa, T. Kamata, K. Shibusawa, and, T. Ohmi, “Experimental Investigation of Fffect of Chaneel Doping Concentration on Random Telegraph Signal Noise”, *Japanese J. Appl. Phys.*, vol. 49, 04DC07(2010).

第2章 RDF・RTN ばらつきと抑制方法

2.1 MOSFET におけるしきい値電圧ばらつき

2.1.1 ばらつきの分類

製造プロセスを経て形成されるトランジスタのばらつき要因を主に二つの分類で示す。

- 空間分布による分類
 1. グローバルばらつき
 2. ローカルばらつき
- 規則性の有無による分類
 1. システマティックばらつき
 2. ランダムばらつき

まず、空間的分布の視点について、グローバルばらつきとして代表的なものは、面内の寸法、膜厚の不均一性であり、ローカルばらつきとして代表的なものは、Line Edge Roughness (LER) のようなものがある。また、規則性の視点について、システマティックばらつきとして代表的なものは、Chemical Mechanical Polishing (CMP) の際に生じる研磨膜厚のパターン依存性のようなものがあり、ランダムばらつきとして代表的なものは、イオン注入のように、規則性を持たないばらつきである。ここで挙げた要因のうち、グローバルなばらつきに関しては、Design For Manufacture (DFM) 技術により解消されうり、また、システマティックばらつきに関しては、プロセス技術の向上により改善できるとされている。しかしながら、現在最大の問題となっているのは、ローカルでランダムなばらつきである。

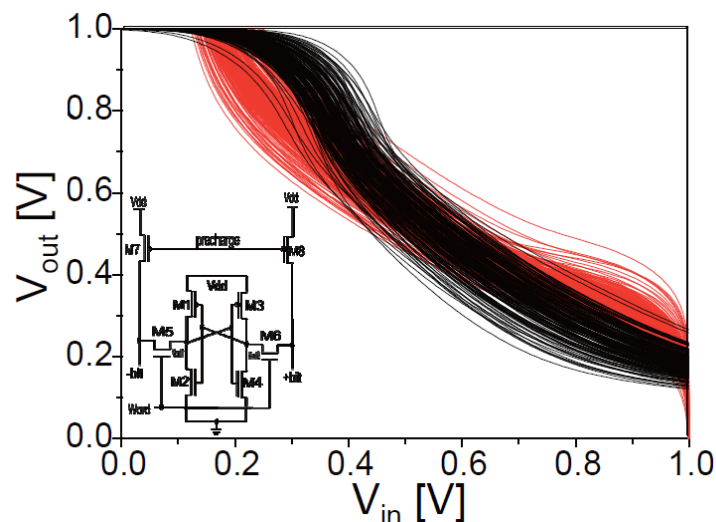


Fig. 2.1 SRAM (6T) におけるバタフライカーブのばらつきのシミュレーション結果。トランジスタは 35 nm の Bulk MOSFET、ばらつきは不純物揺らぎのみを考慮している。[1]

同じチップ内の隣接するトランジスタ同士で特性が変わってしまうため、アナログ回路や SRAM セルで十分な動作マージンがとれないという問題を引き起こすことになる[1](Fig. 2.1)。これらについては、対策はおろか実測データを再現可能なモデリングすら十分でない。さらに実デバイスにおいてある特定の影響のみを考慮することは事実上不可能であるため、デバイスシミュレーションとの連携も欠かせない。

2.1.2 ランダムでローカルなばらつき要因

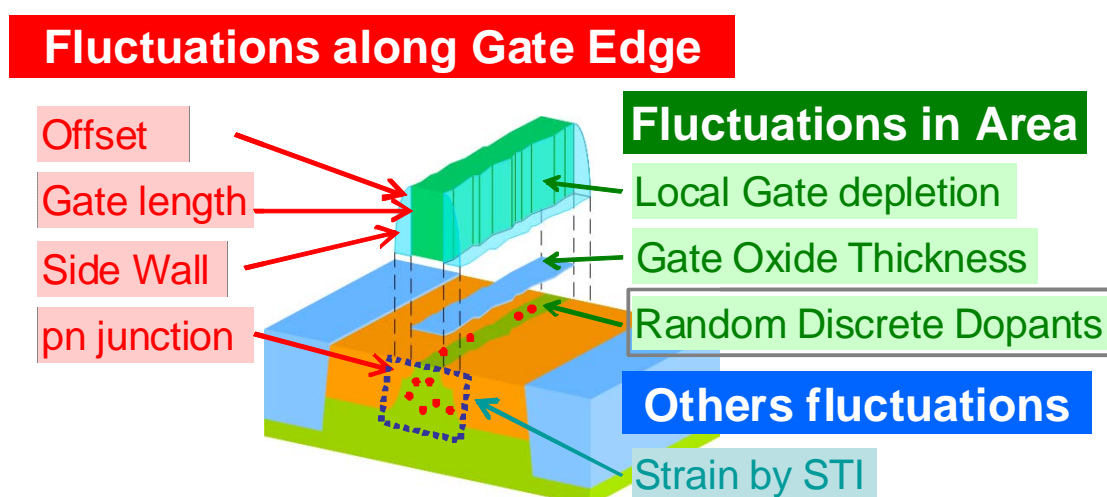


Fig. 2.2 MOSFET におけるランダムかつローカルなばらつき要因。[12]

Fig. 2.2 に微細 MOSFET とそのランダムでローカルなばらつき要因の模式図を示す[12]。図に示すようにランダムばらつきの原因には、チャネルの不純物の分布の離散性(Random Dopant Fluctuation: RDF)、ゲート電極材料の不均一性、ゲート電極パターンの細かな凹凸(Line Edge Roughness: LER)などがある。

このようなマイクロ要因のばらつきへの影響を調べる上では、多数のばらつき要因を制御した素子の製作が困難であることから、3D-TCAD(Technology Computer Aided Design)によるデバイスシミュレーションが非常に有効である。

Fig. 2.3 にデバイスシミュレーションによって BULK MOSFET の LER と RDF を考慮した場合のしきい値電圧ばらつきのゲート長依存性を示す。図から、ゲート長が短くなるにつれ、RDF の影響力が LER に比べて増加することがわかる。

したがって、RDF はランダムでローカルなばらつきの中でも最大の要因である。したがって、RDF の研究は数多くなされている[12]。ところが、酸化膜界面にトラップができ電子が捕獲・放出を繰り返すことにより、時間でばらつきが変動するランダムテレグラフノイズ(Random Telegraph Noise : RTN)という要因も注目されてきた。そこで、本研究に関わってくるこれら二つのばらつき要因である RDF・RTN を次節から説明する。

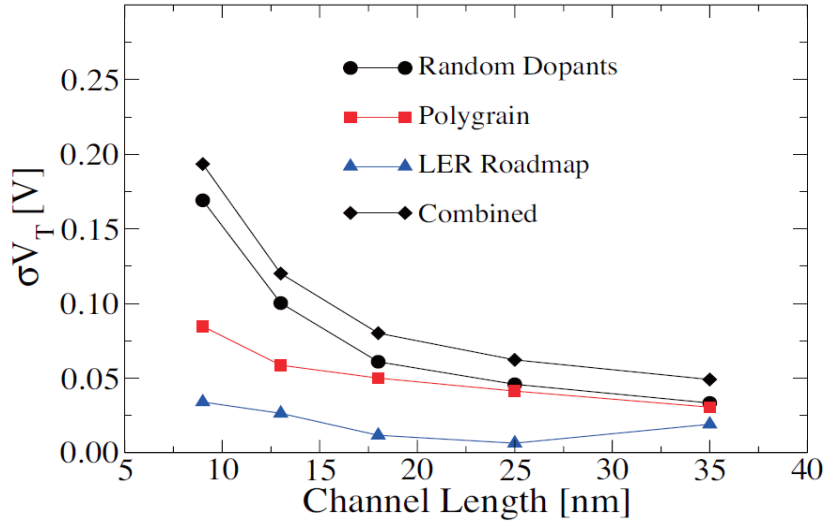


Fig. 2.3 デバイスシミュレーションによるしきい値電圧ばらつきのゲート長依存性[1]。

2.2 Random Dopant Fluctuation: RDF

2.2.1 チャネル内不純物としきい値電圧

チャネル内の不純物が、しきい値電圧 V_{th} にどのようにばらつきを与えるのか簡単なモデル式を用いて説明する[3]。チャネルに不純物が濃度 N_{SUB} でドーピングされている長チャネルのトランジスタを考える。

はじめに、Fig. 2.4 にチャネルと垂直に x 座標、 x 上のある点にチャージシート ΔQ の存在を仮定した MOSFET の模式図[3]を示す。

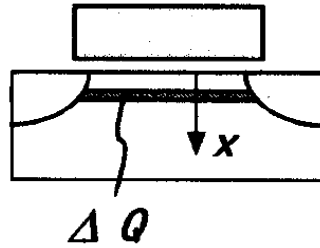


Fig. 2.4 チャネルと垂直に x 座標、 x 上のある点にチャージシート ΔQ を仮定した MOSFET の模式図[3]。

空乏層内のポテンシャルはポアソン方程式

$$\frac{\partial^2 \phi}{\partial x^2} = -\frac{qN_{sub}}{\kappa_s \epsilon_0} \quad (2.1)$$

に従う。空乏近似により、 $x=W_{depl}$ において電界 $\epsilon=0$ という境界条件のもとで積分すると、

$$E(x) = \frac{\partial \phi}{\partial x} = \frac{q}{\kappa_s \epsilon_0} \int_x^{W_{depl}} N_{sub} dx \quad (2.2)$$

となる。\$W_{depl}\$、および\$\epsilon(0)\$は、

$$\int_0^{W_{depl}} E(x) dx = 2\phi_F \quad (2.3)$$

を満足するように決定され、これをとくことで表面電界\$\epsilon(0)\$が決定され、

$$V_{th} = V_{FB} + 2\phi_B + \frac{\kappa_s \epsilon_0 E(0)}{C_{oxe}} \quad (2.4)$$

により、しきい値が決定される。ここで、\$N_{SUB}\$が一定であるなら

$$E(x) = \frac{qN_{sub}}{\kappa_s \epsilon_0} W_{depl} \left(1 - \frac{x}{W_{depl}}\right) \quad (2.5)$$

となり、Fig. 2.5 の実線に示すように \$E(x)\$は深さ方向の線形関数となる。この仮定の下、\$x\$ 上のある点 \$i\$ に余分な電荷 \$\Delta Q\$ が存在すると仮定し、(2.3)で右辺が各点で変化しないとする
と、Fig. 2.5 の面積 \$A\$ および面積 \$B\$ が等しくなるよう、表面電界 \$E(0)\$は変化する(ただし図中の三角形 \$C\$ は無視した)。この電荷 \$\Delta Q\$ による電界の変化 \$\Delta E(0)\$は、

$$\kappa_s \epsilon_0 \Delta E(0) = \Delta Q_i \left(1 - \frac{x}{W_{depl}}\right) \quad (2.6)$$

となる。この式から、表面に近い電荷ほど表面の電界を大きく変化させることを意味する。

\$V_{th}\$ の変化量に換算し、表面から空乏層端までの全区間にわたって加算すると、

$$\Delta V_{th} = \sum_i \Delta V_{th,i} \quad (2.7)$$

$$\Delta V_{th,i} = \frac{\Delta Q_i}{C_{oxe}} \left(1 - \frac{x}{W_{depl}}\right) \quad (2.8)$$

となる。ここで各微小区間の \$\Delta Q_i\$ が互いに無相関であると仮定すると、\$V_{th}\$ の標準偏差 \$\sigma V_{th}\$ は、

$$\sigma V_{th}^2 = \overline{\Delta V_{th}^2} = \sum_i \overline{\Delta V_{th,i}^2} \quad (2.9)$$

で与えられ、また各微小区間の不純物係数がポアソン分布に従うとすれば

$$\overline{\Delta Q_i^2} = \left(\frac{q}{LW}\right)^2 (N_{sub} LW \Delta x) \quad (2.10)$$

である。これらを連立し、加算を積分に変換すると

$$\sigma V_{th} = \frac{q}{C_{oxe}} \sqrt{\frac{N_{eff} W_{depl}}{3LW}} \quad (2.11)$$

$$N_{eff} = 3 \int_0^{W_{depl}} N_{sub}(x) \left(1 - \frac{x}{W_{depl}}\right)^2 \frac{dz}{W_{depl}} \quad (2.12)$$

を得る。(2.11)、(2.12)からわかるように、チャネルの不純物濃度、また不純物の位置によってしきい値電圧ばらつきの大きさやばらつき方はがかわってくるのがわかる。

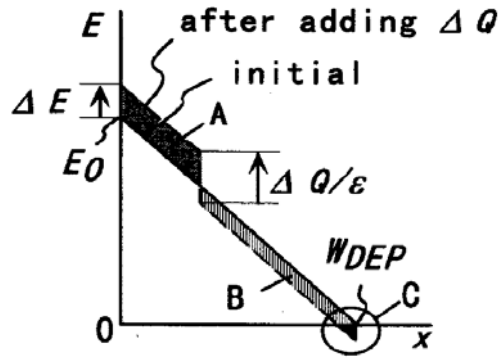


Fig. 2.5 チャネルと垂直に x 座標, x 上のある点にチャージシート ΔQ を仮定した MOSFET の模式図[3]。

2.2.2 チャネル不純物の分布

チャネルの不純物は以下のようにチャネル内においてポアソン分布をもつことが知られている。

一般にポアソン分布は二項分布の特殊なケースとして近似的に求まる。二項分布の定義として、二種類の結果（たとえば成功か失敗か）を生じる実験について同じ条件で独立に多数回繰り返した場合の分布のことであり。数学的には二項分布は

$$f(x) = {}_n C_x p^x (1-p)^{n-x} \quad (2.13)$$

のように表される。ここで n は試行回数、x は事象が生起する回数、そして p は事象が生起する確率である。さてここで、n が十分に大きく、p が十分に小さいケースを考える。ここにポアソンの小数の法則を用いると上式は

$$f(x) = {}_n C_x p^x (1-p)^{n-x} \rightarrow e^{-\lambda} \frac{\mu^x}{x!} \quad (2.14)$$

と近似される。これがポアソン近似である。ポアソン分布の特徴は、それぞれ平均 μ 、分散 $\sigma^2 = \mu$ 、標準偏差 $\sigma = \sqrt{\mu}$ と表せることである。すなわちポアソン分布の分散は平均に等しく、平均によって完全に分布が決まる。

以上をチャネルの不純物のケースにあてはめて考えると、

- ① ドーパントが微小領域 (Fig. 2.6) に見つかるか否かは二項分布の定義と同じ
 - ② ドーパントの数 ($\sim 10^{19} \text{ cm}^{-3}$) は Si 原子の数 ($5.08 \times 10^{22} \text{ cm}^{-3}$) に比べ十分に小さい
- と、ポアソン分布の条件を数学的には満たしている。このため、ドーパントはポアソン分布を持つという確かさがある。また、ポアソン分布の性質から、ドーパントのばらつきはチャネルの不純濃度の平均値を N_A として、 $\sqrt{N_A}$ で表せることができる。

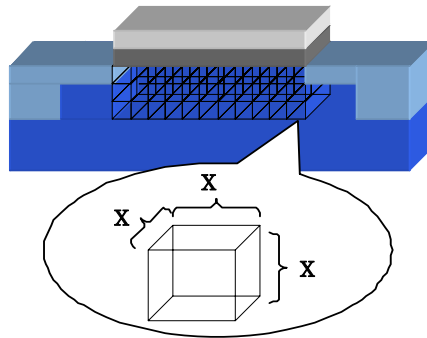


Fig. 2.6 MOSFET のチャネル下領域を十分に小さい立方体に分割した模式図[4]。

以上のケースを実験的に示した例として、8000 個の MOSFET を用いて実験的にドーパントがポアソン分布であることを検証した論文も存在する[4]。Fig. 2.7 にドーパントの計算値と実測値を示す。彼らはドーパント濃度を基板バイアスによるしきい値電圧 V_{th} のシフト量

$$\Delta V_{th} = \frac{\sqrt{4\varepsilon_{Si}qN_A}}{C_{ox}} \left(\sqrt{2\phi_B + V_b} - \sqrt{2\phi_B} \right) \quad (2.15)$$

を用いて算出し、その標準偏差が $\sqrt{N_A}$ となることからチャネル不純物はポアソン分布に従うとしている。

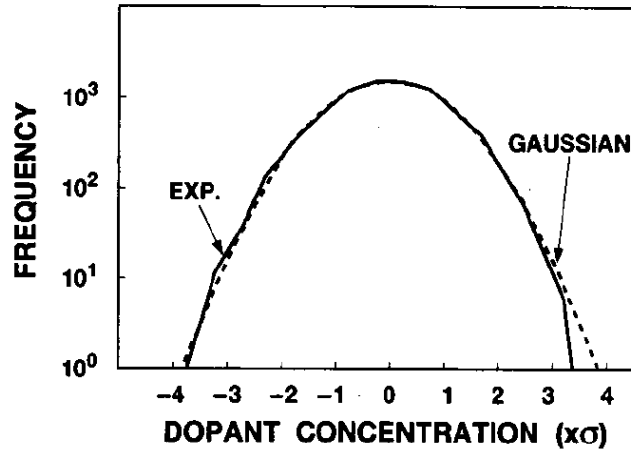


Fig. 2.7 8000 個の MOSFET におけるドーパントの分布[4]。

2.2.3 正規確率プロット

しきい値電圧ばらつきの統計的な分布は正規分布することで知られている。ここでは、正規分布を議論する際に必要となる正規確率（累積度数分布）について説明する。

観測値 X_1, \dots, X_n が正規分布 (μ, σ^2) に従う場合、 $Z_i = (X_i - \mu)/\sigma$ の分布は標準正規分布になるため、 X_i が特定の値 x 以下になる確率 p_x は標準正規分布関数 $\Phi(z)$ を用いて、

$$p_x = \Phi\left(\frac{x - \mu}{\sigma}\right) \quad (2.16)$$

と表され、これは Φ の逆関数を Φ^{-1} とすると

$$\Phi^{-1}(p_x) = \frac{x - \mu}{\sigma} \quad (2.17)$$

と表すことができ、 x の 1 次式となる。

そこで、観測値を大きさの順に

$$X_{(1)} \leq X_{(2)} \leq \dots \leq X_{(n)}$$

と横軸に並べ、縦軸に $\Phi^{-1}(p_x)$ をプロットすると、正規分布の仮定が正しい場合、ほぼ直線的分布となる。これにより、得られたしきい値電圧ばらつきを統計的に定量化することができる。

2.3 Random Telegraph Noise: RTN

2.3.1 RTN の挙動

Random Telegraph Noise (RTN) は 1 個の電子が 1 つのトラップに捕獲・放出されることにより生じる。この現象を NMOSFET の I_d - V_g 曲線を用いて視覚的に表した図が Fig. 2.8 である[6]。この図によると、1 個の電子が捕獲・放出されることにより、 I_d - V_g が点線と実線と

を繰り返しシフトし、それによりしきい値電圧の変動が起こることが分かる。

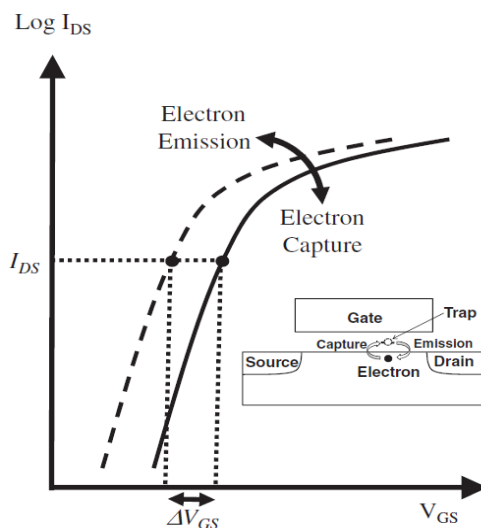


Fig. 2.8 RTN が生じた時の模式的な I_d - V_g カーブ[6]

次に、RTN を含むサンプリング特性について述べる。通常 MOSFET にトラップがないサンプリング特性では、少々ノイズはあるものの同じゲート電圧に対して電流値は 1 値である。しかし、1 個のトラップが生じ、RTN が起こると、Fig. 2.8 から想定されるように、2 値のサンプリング特性を示す(Fig. 2.9 左)。また、この図より、RTN の時定数である電子が捕獲されている時間(τ_c) と放出のされている時間(τ_e) が存在し、それは、トラップのエネルギーなどの状態、また、ゲート電圧・温度依存性があるとされている[7]。さらに、Fig. 2.9 左のサンプリング特性を高速フーリエ変換(Fast Fourier Transform :FFT) により、波の周波数成分の強度を表したパワースペクトル(Power Spectrum Density :PSD)で RTN のノイズを見て

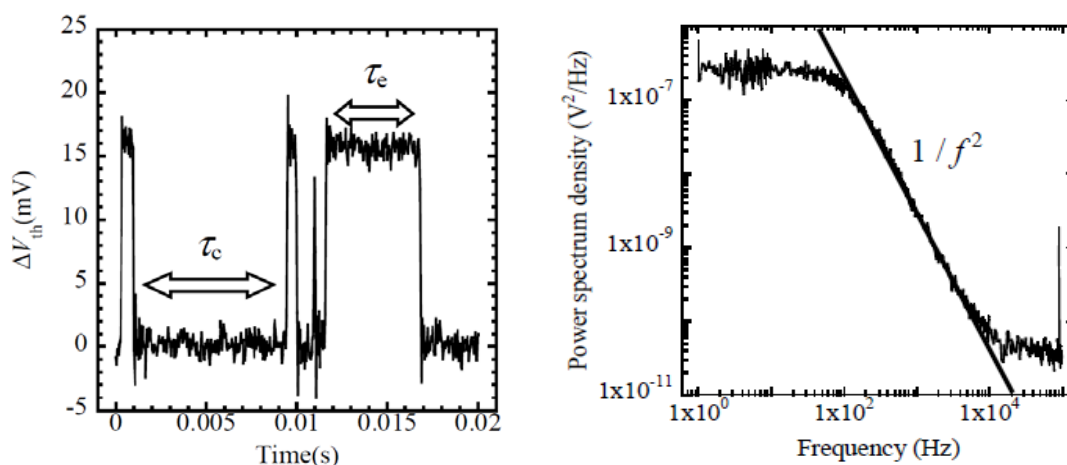


Fig. 2.9 RTN が起こった時のしきい値電圧の変動の様子(左)とパワースペクトル図(右)[7]

みると、Fig. 2.9 右のようになる。図より、RTN によるノイズは $1/f^2$ 比例して強度が減少するため、 $1/f^2$ ノイズと呼ばれている。これが、RTN という現象をノイズと表す由来である。したがって、古くから RTN はアナログ回路では認識されていた。しかし、微細化が進むにつれ、RTN の影響は大きくなり無視できないほどのしきい値電圧変動を生みだすことが問題となり、デジタル回路でも議論されるようになってきたのである。

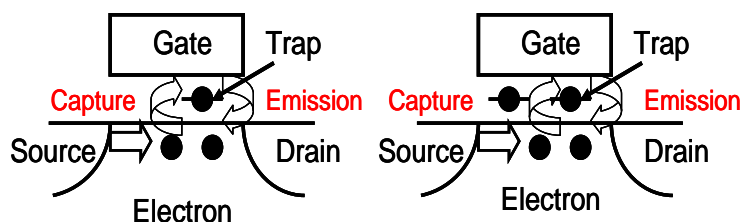


Fig. 2.10 トラップが一個の時の RTN(左)とトラップが複数個できた時の複合 RTN の模式図(右)

次に、RTN において特に MOSFET の特性を劣化させる複合 RTN(Complex RTN) について述べる。複合 RTN とは、Fig. 2.10 のようにトラップが複数個でき、そのトラップの影響が重なりあわさって現れる大きなしきい値電圧変動のことである。例えば、2 個のトラップがある場合、Fig. 2.11 左よりサンプリング特性では 4 値をとる。3 値でなく、4 値をとるのは、トラップのエネルギー、また離散不純物の分布から、トラップ各々のしきい値電圧変動は異なるので、必ず 4 値をとる。一般的に、トラップが n 個あると、 2^n 値となるのである。また、PSD についても同じで、傾きが $1/f^2$ となるノイズが二つ存在することが分かり、複合 RTN が起こることが確認される(Fig. 2.11 右)。

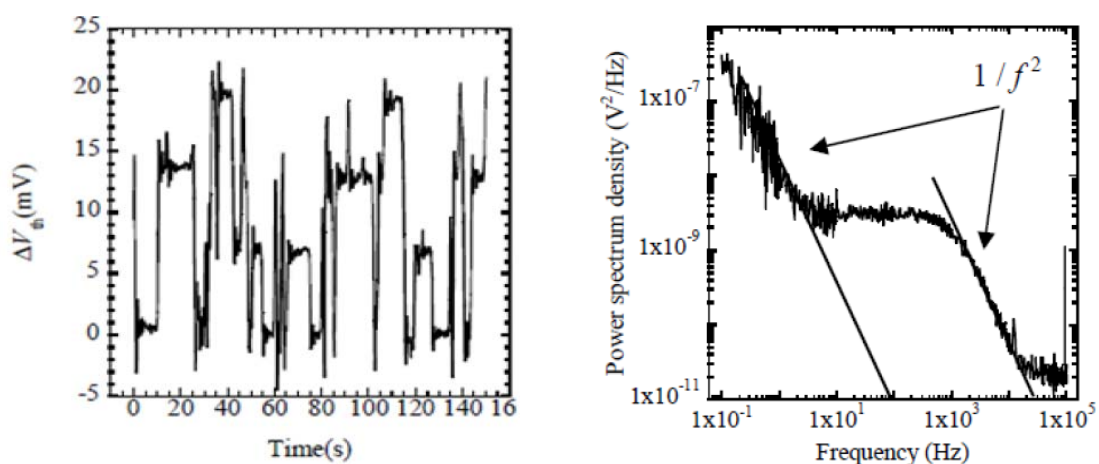


Fig. 2.11 複合 RTN が起こった時のしきい値電圧の変動の様子(左)とパワースペクトル図(右)[7]

2.3.2 RTN によるしきい値電圧変動

ここでは RTN によるしきい値電圧変動がどのように物理的に解釈ができるかを述べる。
RTN のしきい値電圧変動は、

$$\Delta V_{th} = \frac{q}{LWC_{ox}} \quad (2.18)$$

とても簡単な近似的で表すことができる[7]。上式において RTN によるしきい値電圧変動が $1/LW$ に比例することがわかり、サイズ依存がとても大きいことが分かる。したがって、RDF による変動量は $1/\sqrt{LW}$ に比例することから、MOSFET が微細化されると、RTN による影響の方がより大きくなることが分かる。さらに、この式だけでは RTN の現象を表すには不十分なので、2 つの物理モデルが提案されている[8]。

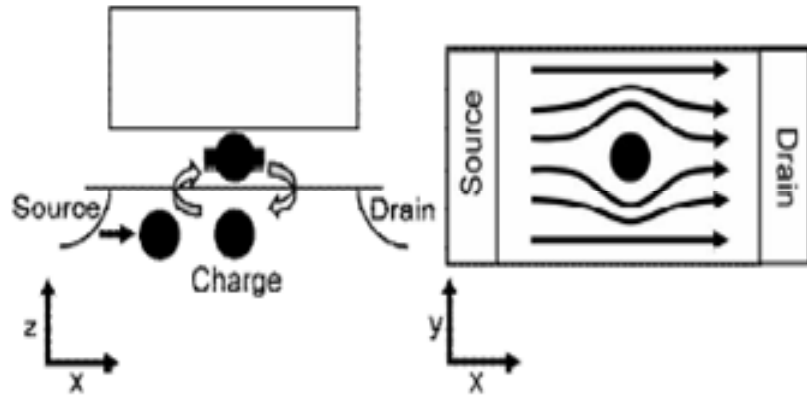


Fig. 2.12 フラットバンド電圧の変化によるモデル (左) クーロンポテンシャルによる移動度の変化によるモデル[8]

■フラットバンド電圧の変化によるキャリアの数の変化(Fig. 2.12 左)

■クーロンポテンシャルによる移動度の変化(Fig. 2.12 右)

まず、フラットバンドによるキャリアの数の変化についてであるが、これはフラットバンドにトラップができることによりフラットバンド電圧がばらつき、しきい値電圧変動を起こすというモデルである。

フラットバンド電圧の変動量は

$$\Delta V_{fb} = \frac{qn}{LWC_{ox}} = \frac{qN_{tr}}{C_{ox}} \quad (2.19)$$

で表せる。また、フラットバンド電圧の変動量に対応する電流の変動量は

$$\Delta I_d = \Delta V_{fb} \frac{\partial I_d}{\partial V_{fb}} + \Delta \mu_{eff} \frac{\partial I_d}{\partial \mu_{eff}} \quad (2.20)$$

で表せる。

マーティッセンの法則から移動度は

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{eff0}} + \frac{1}{\mu_{OX}} = \frac{1}{\mu_{eff0}} + \alpha N_t \quad (2.21)$$

となる。

MOSFET の基本的な電流式から、電流は、

$$I_d = \mu_{eff} \frac{W}{L} Q V_d \quad (2.22)$$

と表せるのでそれぞれ代入すると、

$$\Delta I_d = g_g \Delta V_{fb} \pm \alpha q I_d \mu_{eff} N_t \quad (2.23)$$

g_m で電圧に変換すると、

$$\Delta V_{th} = (1 \pm \alpha \mu_{eff} \frac{C_{OX}}{q} \frac{I_d}{g_m}) \Delta V_{fb} \quad (2.24)$$

ここで、 V_{fb} はフラットバンド電圧、 N_t はトラップ数、 μ_{eff} は実行移動度、 α は散乱係数を表す。(2.23)、(2.24)式の±は電子と正孔で散乱方向が違うためである。

(2.24) 式から、しきい値電圧変動はフラットバンドの値 ((2.19)式)のばらつき (トラップの数) により決められることが分かる。さらに、注目すべきは、式の中に散乱係数 α が入っている点である。つまり、電子と正孔でしきい値電圧変動の値が異なるということである。散乱係数は、正孔の方が大きいので、PMOSFETの方がしきい値電圧変動も大きくなる。このことは実測でも確認されている[8]。

次に、クーロンポテンシャルによる移動度による変化であるが、トラップされた電子ないし正孔がクーロンポテンシャルを作り、キャリアへ影響を及ぼし、移動度が低下することによりばらつくというモデルである (Fig. 2.12 右)。これについては式で表すことが困難で、一般化されていない。というのも、トラップの深さや活性化エネルギー、位置などパラメータが多く、ポテンシャルの大きさを正確に測ることができないからである。このように、RTN の原理についてもまだ解明されていない部分が数多くある。

2.3.3 RTN による統計的解析

RDF によるしきい値電圧変動の分布がポアソン分布に従うと分かったが、RTN の場合では。現在のプロセスの完成度から、ほとんどの MOSFET で RTN は見られずしきい値電圧の変動は見られない。しかし、数百個ないし数千個の測定を行うと、RTN が起こっている MOSFET が見つかり、さらにその中には複合 RTN を起こしているものもみつかると。したがって、RTN によるしきい値電圧変動の分布は対数正規分布に従う。Fig. 2.13 に、典型的な RTN によるしきい値電圧変動の累積度数分布を示す[7]。しきい値電圧変動が約 20mV までのものが大部分を占め、90% 近くの MOSFET がそれにあたる。約 20mV 以上の範囲では線形になっており、しきい値電圧変動が最も大きいもので数百 mV 以上となっている。これは、複合 RTN によるものが多く含まれる。したがって、RTN によるしきい値電圧変動の分布は、低累積点はほとんど RTN によるしきい値電圧変動を持たないが、高累積点で大きいしきい値電圧変動側へ伸びる形をしており、この高累積点での MOSFET が大きなばらつきをもたらすのである。

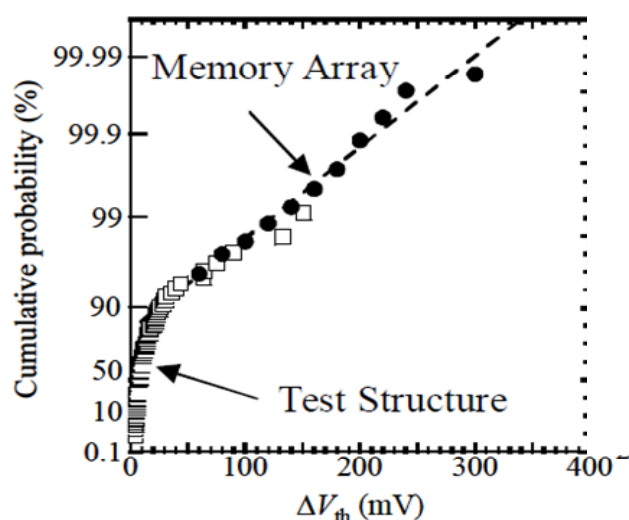


Fig. 2.13 RTN によるしきい値電圧変動累積度数分布[7]

RTN を統計的に解析する上で、しきい値電圧の変動のほかに捕獲と放出の時定数の解析が重要である[7]。トラップはキャリアの捕獲・放出を繰り返すが、トラップによりその時定数は様々で、さらに電圧・温度依存がある。そこで、温度依存の観点から、トラップのエネルギー・分布の解析をしたデータがある。Fig. 2.14 は同一のトランジスタでの RTN の温度依存性である。この図から、温度が高いほど、キャリアが放出されている時間が大きいということが分かる。

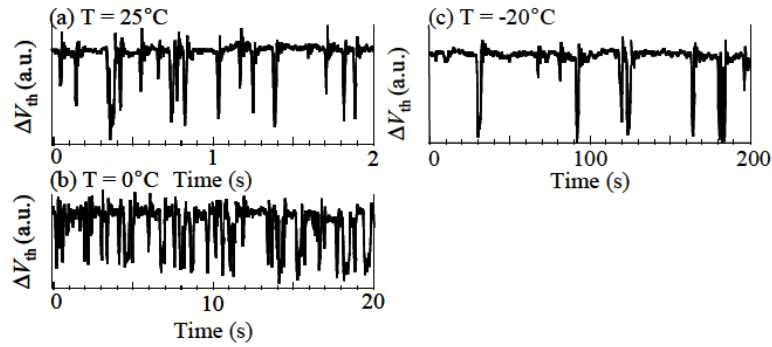


Fig. 2.14 RTN によるしきい値電圧変動の温度依存性[7]

捕獲・放出時間には、

$$\frac{\langle \tau_e \rangle}{\langle \tau_c \rangle} = g \exp\left(-\frac{E_a}{kT}\right) \quad (2.25)$$

g : 縮退度 E_a : トラップの活性化エネルギー

というアレニウス型の関係式があるので、 $\langle \tau_e \rangle / \langle \tau_c \rangle$ の温度特性を求めることで、活性化エネルギーを求めることができる。 $\langle \tau_e \rangle / \langle \tau_c \rangle$ はしきい値電圧変動と同様に、対数正規分布を持つことが知られている。したがって、(2.10) から E_a は正規分布となることが分かる。さらに、 $E_a = E_t - E_F$ という関係式から、トラップのエネルギーはフェルミエネルギー付近に正規分布することになる。

以上のことから、Fig. 2.15 のような模式図が書ける[7]。したがって、コンダクションバンドが E_F 付近になる時が最も RTN が起こることが理論的に分かる。

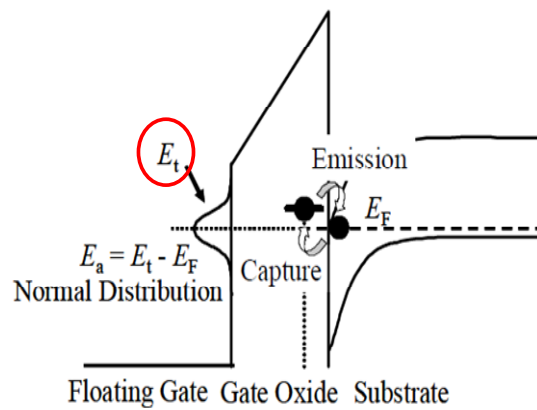


Fig. 2.15 トラップの位置とエネルギーの模式図[7]

2.4 RTN の抑制法の提案

2.4.1 チャネル不純物濃度が低い MOSFET を用いた RTN 抑制

2.3 では RTN の基本的な挙動や物理的解析、統計的な解析について述べた。2.4 において、RTN の統計的なばらつき、特にしきい値変動ばらつきを抑制する手段を先行研究を用いて提案する。

これまで先行研究で、RTN によるしきい値電圧変動はチャネル不純物濃度を低くすることにより抑制できることが確認されている[14]。これは、不純物濃度を低くすることにより、RDF を抑えられるからだとされている。Fig. 2.16 は、約 393k 個の NMOSFET を測定し、RTN によるしきい値電圧変動を累積度数分布でプロットした図である。チャネルの不純物濃度が高いほど、ばらつきが大きいことが図からも分かる。

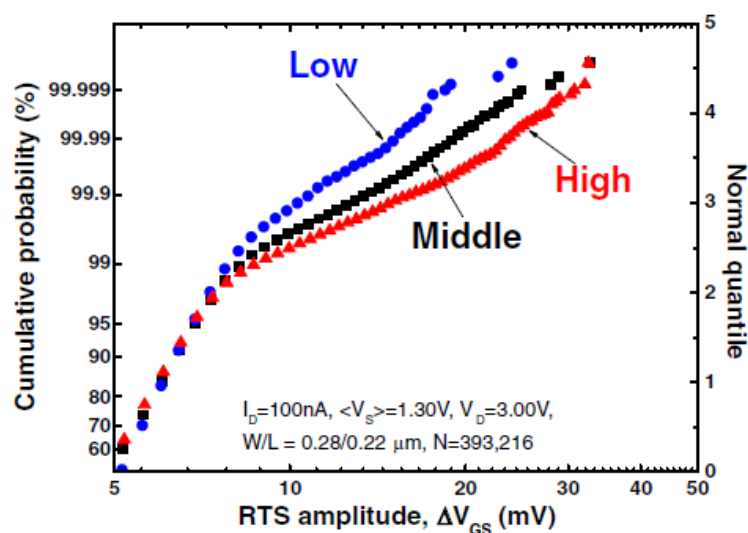


Fig. 2.16 RTN によるしきい値電圧変動のチャネル濃度依存性[14]

2.4.2 FD SOI(Fully Depleted Silicon On Insulator) MOSFET

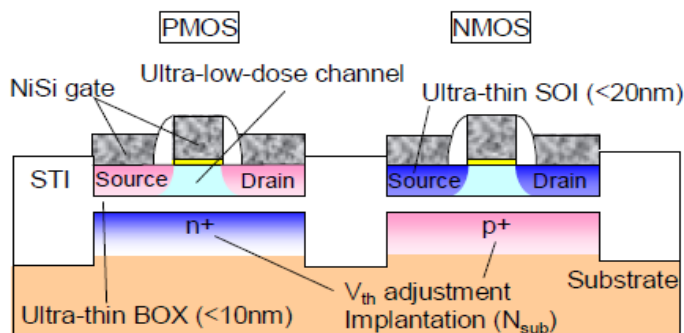


Fig. 2.17 FD SOI MOSFET の模式図[10]

チャネルの不純物濃度を低くすることが、RTN のしきい値電圧ばらつきを解決する手がかりとなると分かったが、現実問題、短チャネル効果を抑制するため、Bulk MOSFET ではチャネル不純物濃度は高くしなければいけない。したがって、Bulk MOSFET では RTN ばらつきを抑制するのに限界がある。そこで、極薄 BOX を有する完全空乏型 SOI(Fully Depleted SOI)[10]の使用を考える。FD-SOI の特徴として、基板バイアスにより、しきい値電圧の調整が可能である。また、BOX 厚を 10nm 程度にまで薄くすると、チャネル不純物濃度(N_{SOI})を薄くしたまま、基板濃度(N_{SUB})を変えることでしきい値電圧を調整することができる。

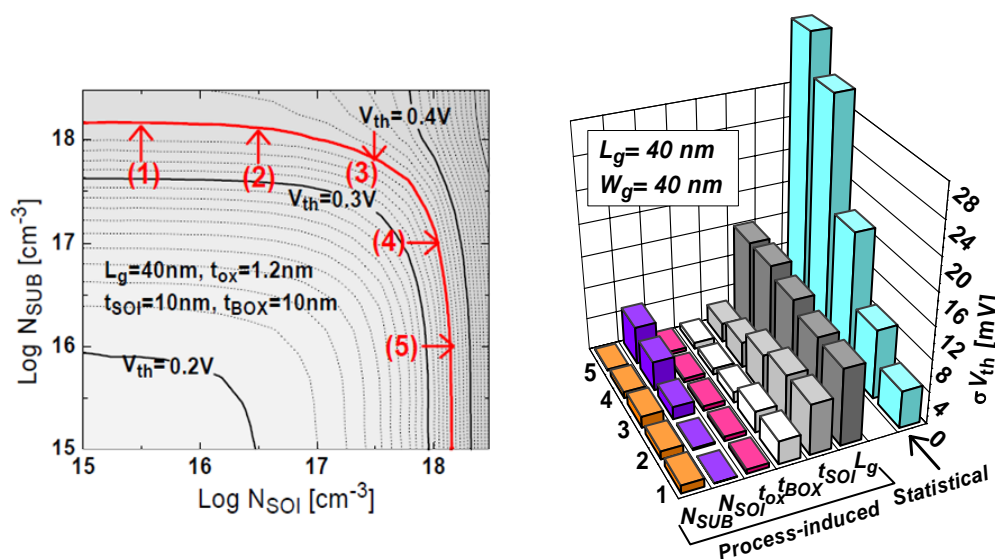


Fig. 2.18 しきい値のチャネル濃度 N_{SOI} 、基板濃度 N_{SUB} 依存性の等高線図 (左)
各プロセスパラメーターによるしきい値ばらつきの大きさ (右) [11]

その様子を Fig. 2.18 の左に示す[11]。これは N_{SUB} 、 N_{SOI} を変化させた場合におけるしきい値電圧の等高線シミュレーションである。また、Fig. 2.18 右はしきい値ばらつきのシミュレーション結果を示す。プロセス条件に加え、RDF を考慮した統計的なランダムしきい値電圧ばらつきの結果も示してある。図から分かるとおり、(1)、(2)では、ばらつきが大幅に抑制されいる。

以上のことから、低不純物濃度により RDF を防ぐことができる FD-SOI MOSFET を用いれば、短チャネル効果を減らしつつ、RTN を抑制できる可能性がある。

参考文献

- [1] A. Asenov, “Simulation of statistical variability in nano MOSFETs”, *Symposium on VLSI Technology Dig.*, pp.86-87, 2007.
- [2] K. Takeuchi, T. Fukai, T. Tsunomura, A. Putra, A. Nishida, S. Kamohara, and T. Hiramoto,

- “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies“, *IEDM Tech. Dig.*, pp. 467-470, 2007.
- [3] K. Takeuchi, T. Tatsumi and A. Furukawa, “Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation” *IEDM Tech. Dig.*, pp.841-844, 1997.
- [4] T. Mizuno, J. Okamura and A. Triumi, “Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET’s” *Trans. Electron Devices*, Vol. 41, pp.2216-2221, 1994.
- [5] 基礎統計学 III 自然科学の統計学, 東京大学出版会
- [6] K. Abe, T. Fujisawa, A. Teramoto, S. Watabe, S. Sugawa, and T. Ohmi, “Anomalous Random Telegraph Signal Extractions from a Very Large Number of n-Metal Oxide Semiconductor Field-Effect Transistors Using Test Element Groups with 0.47Hz-3.0 MHz Sampling Frequency”, *Japanese J. Appl. Phys.*, Vol. 48, 04C044(2009).
- [7] N. Tega, H. Miki, T. Osabe, A. Kotabe, K. Otsuga, H. Kurata, S. Kamohara, K. Tokami, Y. Ikeda, R. Yamada, “Anomalous Large Threshold Voltage Fluctuation by Complex Random Telegraph Signal in Floating Gate Flash Memory”, *IEDM Tech. Dig.*, 2006.
- [8] N. Tega, H. Miki, M. Yamaoka, H. Kume, T. Mine, T. Ishida, Y. Mori, R. Yamada, and K. Torii, “Impact of threshold voltage fluctuation due to random telegraph noise on scaled-down SRAM”, *Reliability Physics Symposium*, pp. 541-546, 2008.
- [9] K. Abe, A. Teramoto, A. Watabe, T. Fujisawa, S. Sugawa, T. Kamata, K. Shibusawa, and, T. Ohmi, “Experimental Investigation of Effect of Channel Doping Concentration on Random Telegraph Signal Noise”, *Japanese J. Appl. Phys.*, vol. 49, 04DC07(2010).
- [10] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, “Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power and High-Performance Application Featuring Wide-Range Back-Bias Control”, *IEDM Tech. Dig.*, pp. 631-634, 2004.
- [11] T. Ohtou, N. Sugii, and T. Hiramoto, “Impact of Parameter Variations and Random Dopant Fluctuations on Short-Channel Fully Depleted SOI MOSFETs With Extremely Thin BOX”, *IEEE ELECTRON DEVICE LETTERS*, VOL. 28, NO. 8, 2007.

第3章 実測による Bulk と FD SOI MOSFET の RTN の比較

3.1 4 端子電極を有する単体 MOSFET を用いた測定

3.1.1 測定系

本実験において使用したデバイスは、同一のウェハー内で 4 端子電極を有する単体 MOSFET と単体 MOSFET を有する DMA-TEG (device matrix array) の二つを用いて行った。本研究室では、先行研究において RTN の測定はほとんどなされない。したがって、RTN を観測できる条件を見つけ出す必要がある。そこでまず初めに、小規模の測定に適している 4 端子電極を有する単体 NMOSFET を用いて測定し、RTN を観測するのに妥当な条件をさがした。

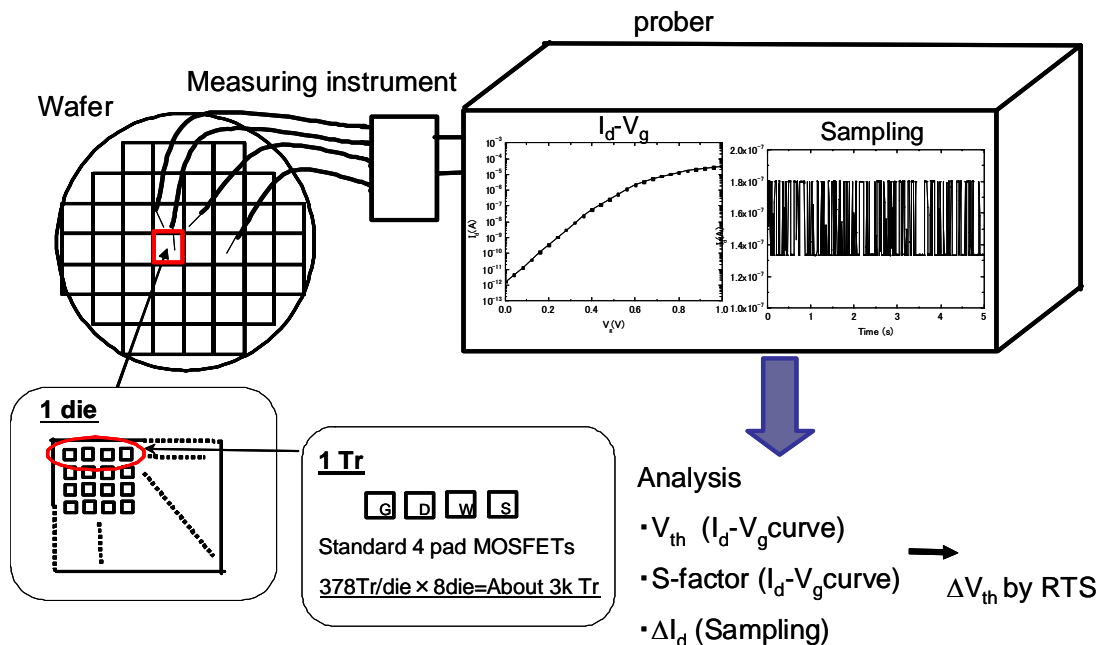


Fig. 3.1 4 端子電極を有する単体 MOSFET を用いた測定の測定系

測定系を Fig. 3.1 に示す。測定器(S300)はセミオートプローバー(B1500)から信号を受け取り、自動で、次の MOSFET に探針を動かすことができる。したがって、予め装置でソースを設定しておく、いくつかの MOSFET を測定することができる。

RTN を観測できたサンプルのサンプリング特性を Fig. 3.2、Fig. 3.3 に示す。矩形を持つ MOSFET もあれば、捕獲・放出時間がとても短い MOSFET も観測できる。また、複合 RTN を持つ MOSFET も存在することが確認できた。

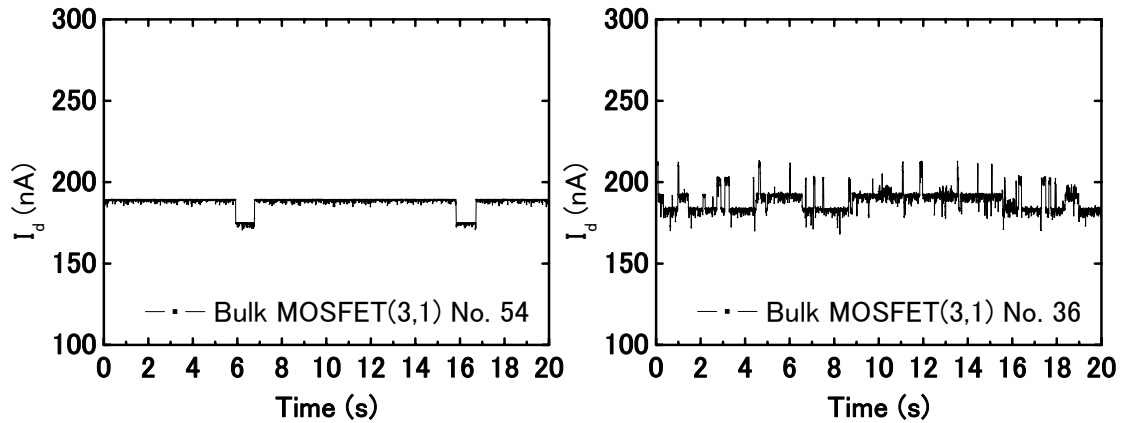


Fig. 3.2 Bulk MOSFET におけるサンプリング測定。2 値の RTN（左）多値の RTN（右）。

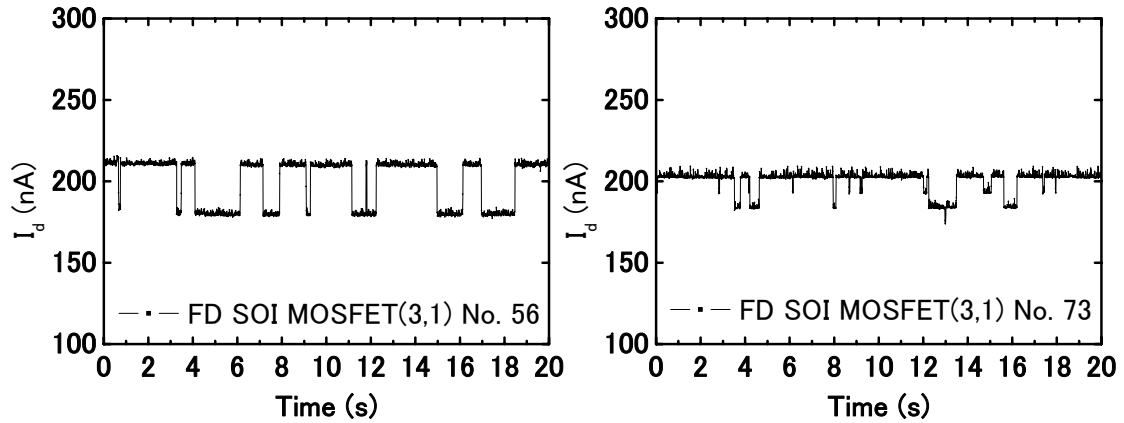


Fig. 3.3 FD MOSFET におけるサンプリング測定。2 値の RTN（左）多値の RTN（右）。

3.1.2 サンプリングスピードの選定

RTN を観測するためには、適切なサンプリング時間を決める必要がある。サンプリング時間は、積分時間によってきめることができる。一般に、幅広い捕獲・放出時間の RTN を観測するためには、積分時間がとても短く、測定時間がとても長いサンプリング特性を行うとよい。ところが、積分時間が短すぎると、サンプリング数が大きくなり、解析に膨大な徒労を要し、測定時間が長ければ、多くの MOSFET を測定するのに不都合である。そこで、RTN が起こる一つの MOSFET において、積分時間を 4ms、10ms、20ms、40ms の 4 パターンでサンプリング測定を行った。得られた結果を Fig. 3.4~Fig. 3.7 に示す。左図は、0~40s の図、右図がそのうち、0~5s の図である。左図は、どの積分時間においてもはっきりと RTN が観測できる。ところが、右図では、積分時間が大きくなるにつれて波形が矩形から山形になり、平均化されて変動量が小さくなることが分かる。つまり、積分時間が長いと、捕獲・放出時間が短いトラップは観測できなくなることが分かる。

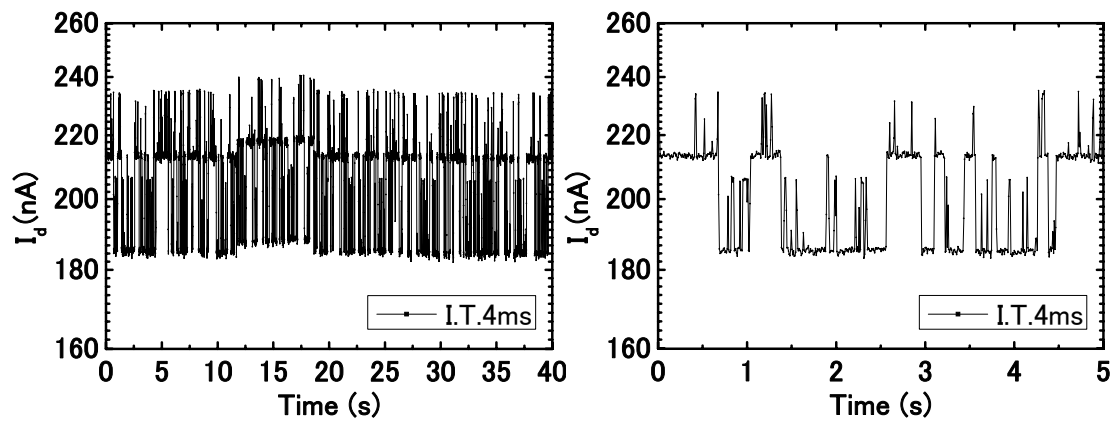


Fig. 3.4 積分時間 4ms におけるサンプリング特性。0~40s (左) 0~5s(右)

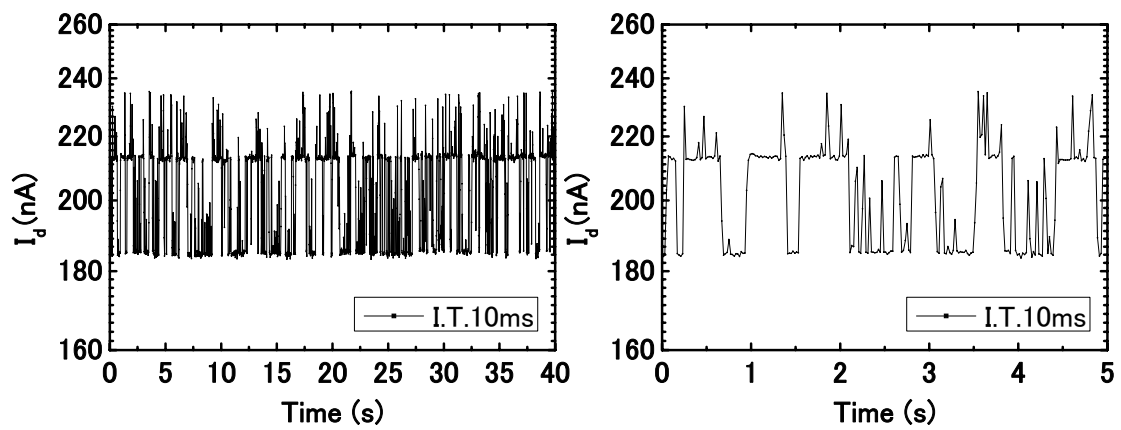


Fig. 3.5 積分時間 10ms におけるサンプリング特性。0~40s (左) 0~5s(右)

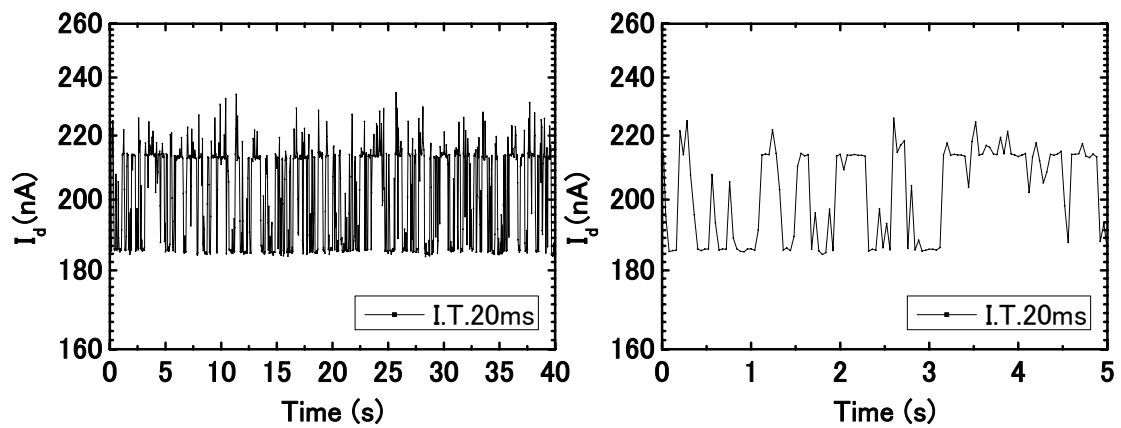


Fig. 3.6 積分時間 20ms におけるサンプリング特性。0~40s (左) 0~5s(右)

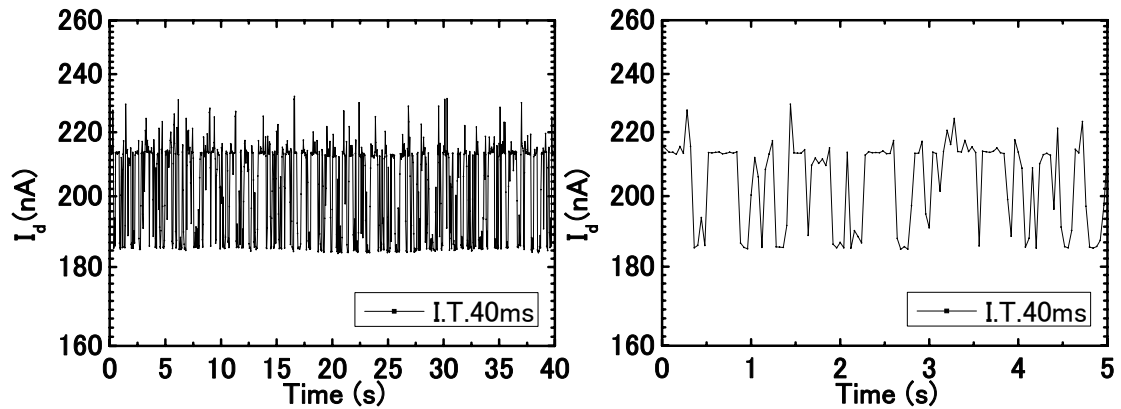


Fig. 3.7 積分時間 40ms におけるサンプリング特性。0~40s (左) 0~5s(右)

本研究では、Bulk と FD SOIMOSFET のプロセスの違いのため対等に評価できないので、積分時間は RTN を評価しうるできるだけ長い 40ms で行った(詳しくは 3.1.3 で説明)。また、測定時間を 5s で十分であると判断し、大量の MOSFET の測定を可能にした。

3.1.3 実験結果

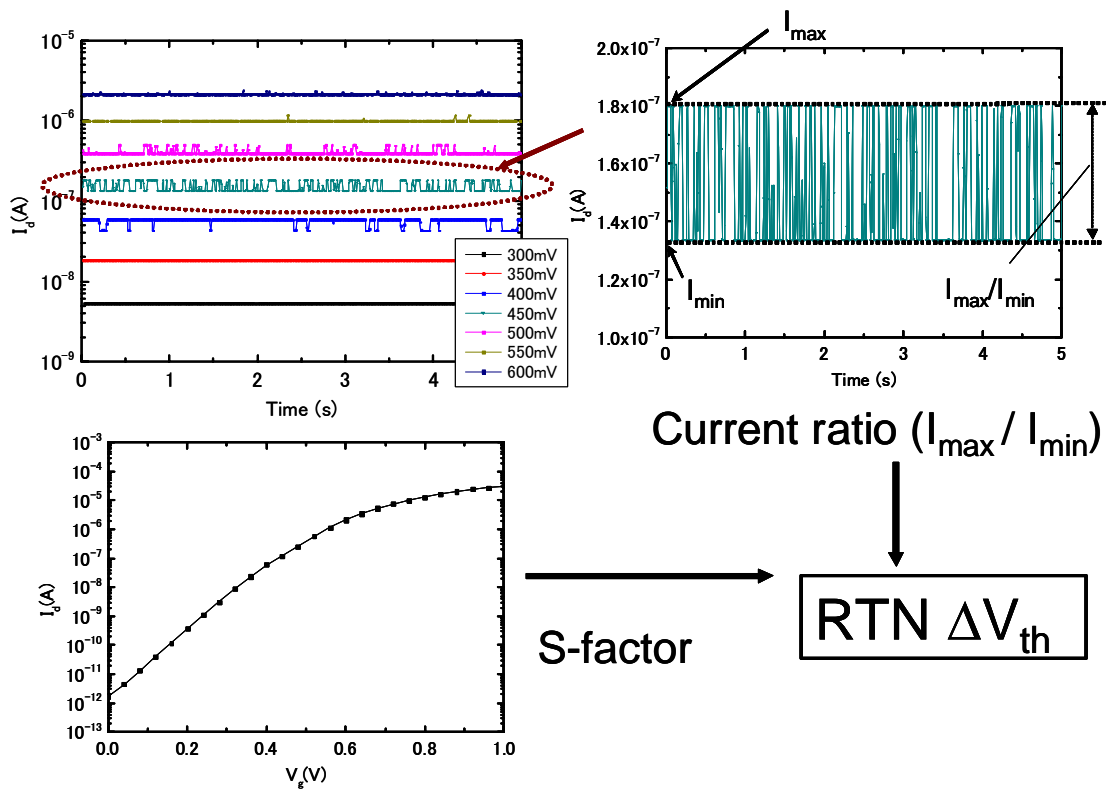


Fig. 3.8 RTN によるしきい値電圧変動(ΔV_{th})の算出方法

本実験では、 I_d - V_g sweep とサンプリング測定の二つの測定を行うことにより、MOSFET につき RTN によるしきい値電圧変動(ΔV_{th})を求めた。その算出方法を Fig. 3.8 に示す。ここで、RTN によるしきい値電圧変動(ΔV_{th})を求める際、サンプリング測定はゲート電圧をしきい値にする必要がある。ところが、 I_d - V_g sweep で得られる V_{th} をフィードバックしてサンプリング測定に用いるノウハウがないため、工夫をしてサンプリング測定をおこなった。今回測定した NMOSFET はしきい値電圧のばらつき具合が $\sigma V_{th} \sim 43\text{mV}$ ほどなので、すべての MOSFET のしきい値電圧をカバーできるように 7 つのゲート電圧を 50mV 間隔で振り、一つの MOSFET につき 7 つのサンプリング測定をした。そして、この七つのサンプリング測定の電流値が低電流法の定義である $W/L \times 10^{-7}\text{A}$ に最も近いサンプリング測定をその MOSFET の測定とする。そのサンプリング測定から得られる電流値の比(I_{\max}/I_{\min})と I_d - V_g sweep から得られる S-factor から、RTN によるしきい値電圧変動(ΔV_{th})を求めた。

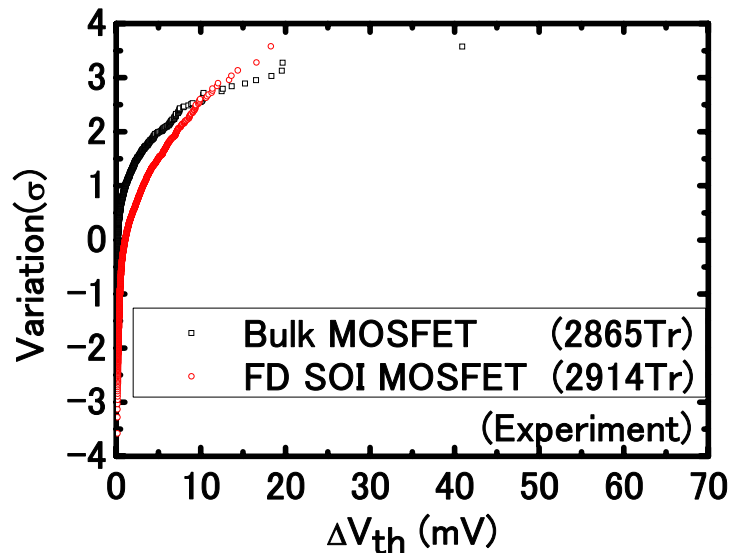


Fig. 3.9 Bulk MOSFET と FD SOI MOSFET における RTN によるしきい値電圧変動(ΔV_{th})累積度数分布(4 端子電極を有する MOSFET を用いた測定)

Fig. 3.9 に、約 3k 個の Bulk MOSFET と FD SOI MOSFET における RTN によるしきい値電圧変動 (ΔV_{th}) 累積度数分布を示す。図から、どちらの分布も正規分布ではなく、変動量が大きい部分にゆっくりと伸びる RTN の典型的な分布をしていることが分かる。つまり、ほとんどの MOSFET はとても小さい変動量しかないのに比べ、いくつかの MOSFET は大きな変動量を有するということである。Bulk MOSFET と FD SOI MOSFET を比較すると、 ΔV_{th} が 10mV を超えるあたりまでは、FD SOI MOSFET の方が変動が大きい。FD SOI MOSFET ではメタルゲートを使っているため、Bulk MOSFET に比べゲートスタックのプロセスが十分に最適化されていない。そのため、FD SOI MOSFET では、より多くのトラップが界面にでき、

変動量が大きくなったと考えられる。ところが、ここで注目してほしいことは、 ΔV_{th} が 10mV を超える累積度数が高い部分では、FD SOI MOSFET の方が、変動量が小さくなっている。LSI で問題となっているのは、変動量が 10mV までのものではなく、この変動量がとても大きい部分の MOSFET である。したがって、この実測の結果から、FD SOI MOSFET を用いることにより、RTN による影響を抑制できることが分かった。

3.2 DMA-TEG 用 MOSFET を用いた測定

3.1 では、4 端子電極を有する MOSFET の RTN 測定を示した。3.2 では、さらに大規模な測定を行い、データの確かさを高めるという目的で行った DMA-TEG を用いた RTN の測定を示す。DMA-TEG の測定は、外部からプローバー(4156C)に信号を送り、48 本の探針を持つプローブカードに接続されたスイッチングマトリックス(B2200)において回路を切り替えることにより、大規模な測定をできる。スイッチングマトリックスの線図を Fig. 3.1 に示す。Fig. 3.11 には、DMA-TEG の測定で観測されたサンプリング特性を示す。

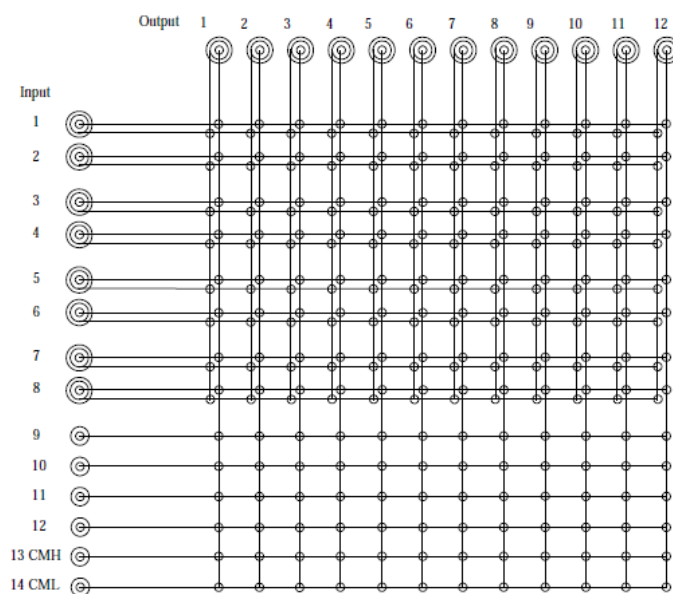


Fig. 3.10 スイッチングマトリックスの線図

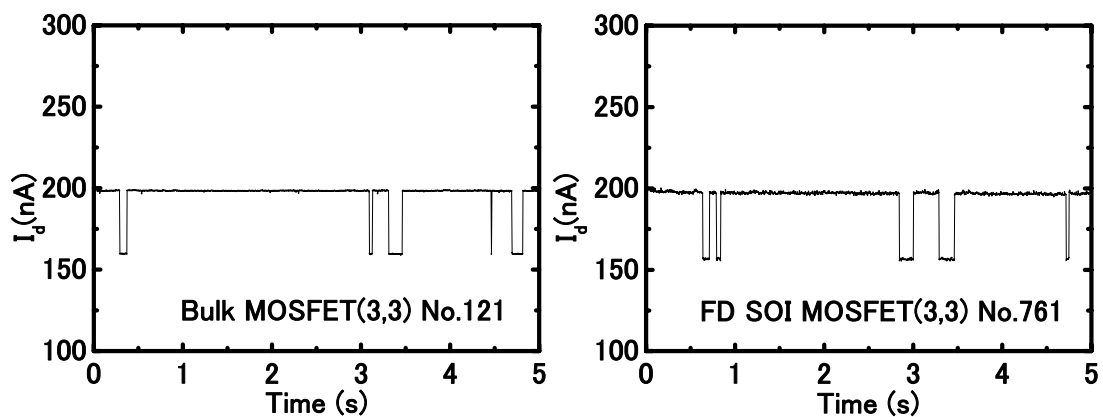


Fig. 3.11 サンプルング特性。(左) Bulk MOSFET (右) FD SOI MOSFET

3.2.1 実験結果

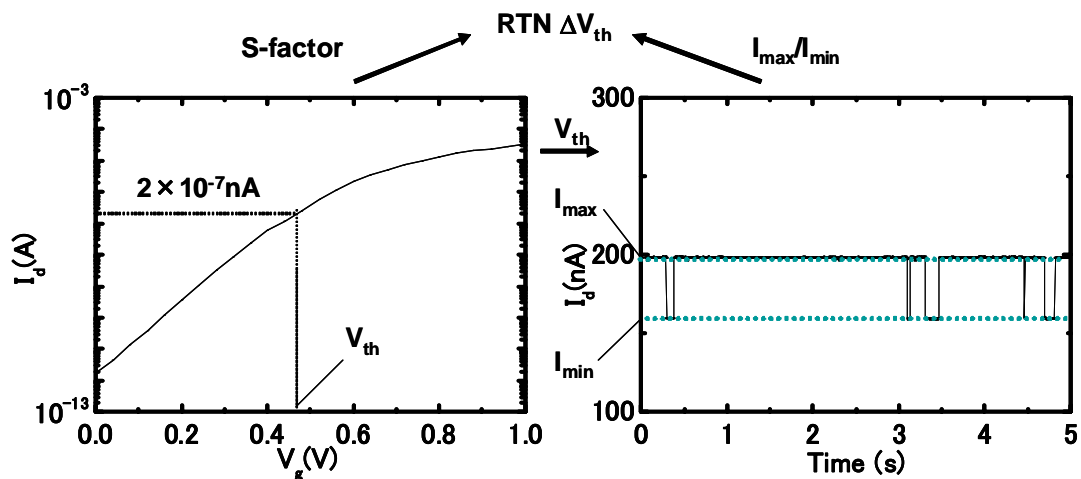


Fig. 3.12 RTN によるしきい値電圧変動(ΔV_{th})の算出方法

本実験の解析方法は、4 端子電極を有する MOSFET の測定の方法とほぼ同じであるが、一つ違うところがある。それは、しきい値電圧でサンプルング測定を行うことができる。したがって、測定・解析に費やしていた時間を大幅に削減することができ、プログラムを操作することにより、容易に測定することができる。Fig. 3.12 に DMA-TEG による RTN によるしきい値電圧変動 (ΔV_{th}) の算出方法を示す。

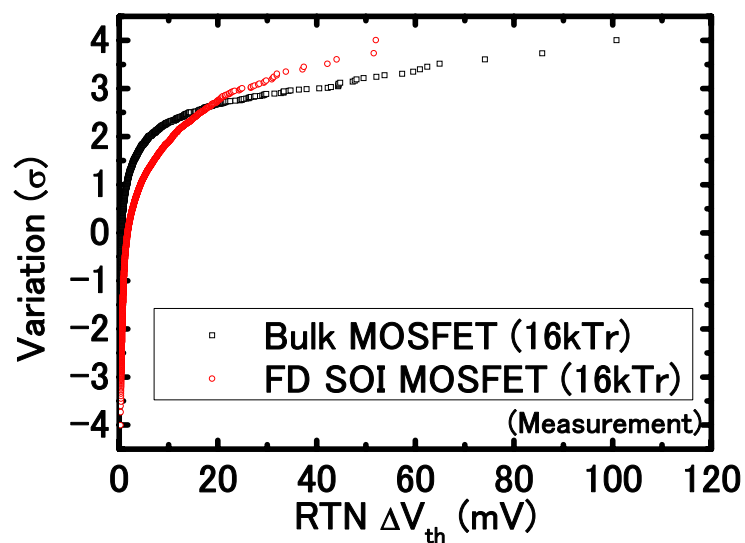


Fig. 3.13 Bulk MOSFET と FD SOI MOSFET における RTN によるしきい値電圧変動(ΔV_{th})累積度数分布(DMA-TEG を用いた測定)

本実験では16k個のMOSFETを測定した。Fig. 3.13に、約16k個のBulk MOSFETとFD SOI MOSFETにおけるRTNによるしきい値電圧変動(ΔV_{th})累積度数分布を示す。図から、4端子電極を有するMOSFETの測定の時と同様の傾向の結果を得られた。本実験では、16kものMOSFETを測定することにより、ばらつき具合が 4σ のMOSFETまで測定することができた。以上のDMA-TEGの測定により、FD SOI MOSFETを用いることによりRTNによる影響を抑制できることが、より鮮明に分かる結果を得られた。

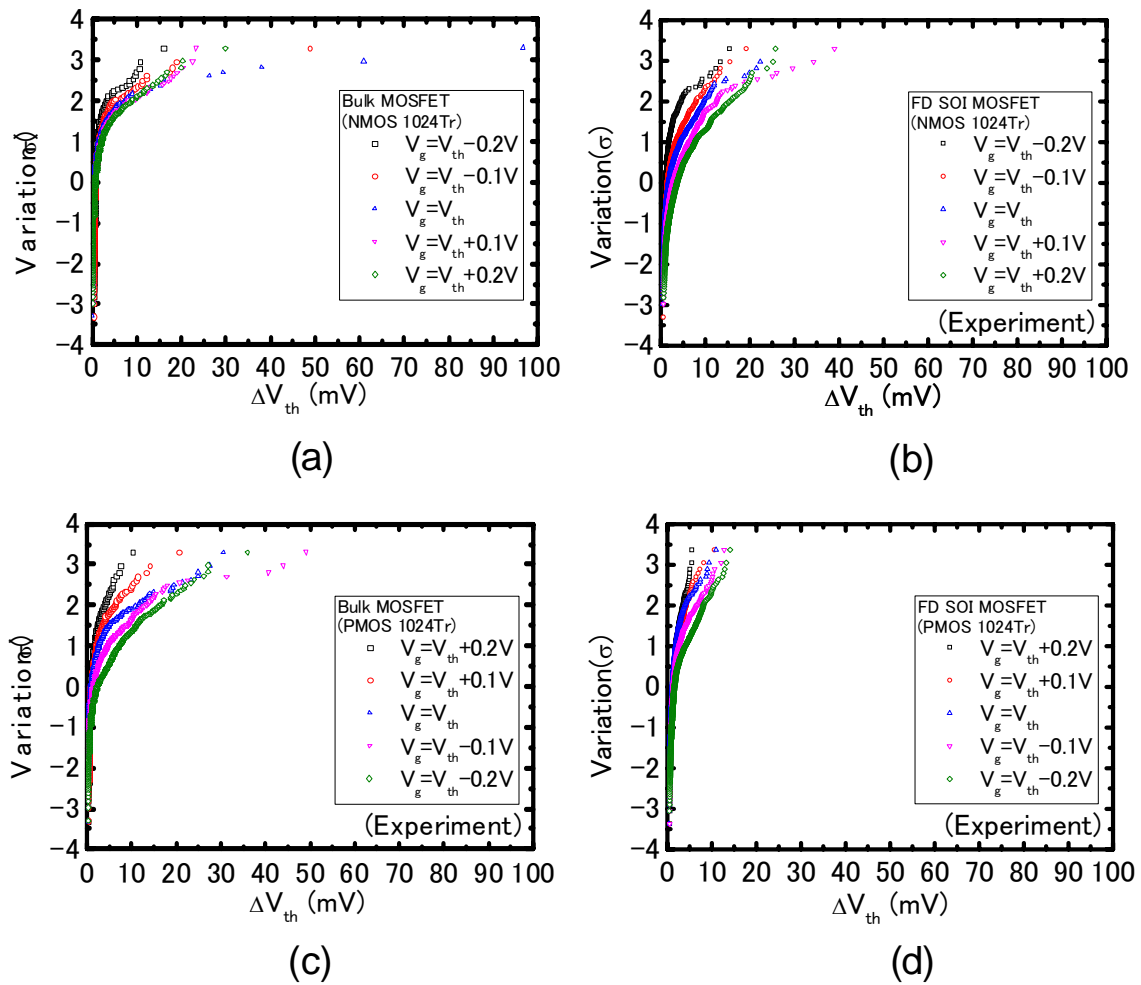


Fig. 3.14 RTN のしきい値電圧変動量のゲート電圧依存性。(a)Bulk NMOSFET (b)SOI NMOSFET (c)Bulk PMOSFET (d)SOI PMOSFET

さらに、RTN のゲート電圧依存性を調べた。Fig. 3.14 に、1024 個ずつの MOSFET のしきい値電圧変動量の電圧依存性を示す。ゲート電圧は、それぞれ MOSFET のオーバードライブ電圧の大きさをとることにより基準をそれえた。図から分かるように、FD SOI PMOSFET はとても RTN の影響が小さいことが分かる。SOI NMOSFET と Bulk PMOSFET は比較的電圧依存性が大きいことがわかる。つまり、トラップ準位の分布が急峻な正規分布をしている可能性がある。

第4章 シミュレーションによる RTN 抑制メカニズムの解明

4.1 シミュレーションモデル

第4章において、4端子電極を有する MOSFET による測定、そして DMA-TEG による測定により SOI MOSFET を用いることにより大きい変動量をもつ RTN を抑制できることを証明した。そこで、そのメカニズムを解明するために、以下のようなシミュレーションを行った。

Fig. 4.15 にシミュレーションモデルの模式図を示す。測定した MOSFET と同じものを想定し、チャネル不純物濃度(N_a)は Bulk MOSFET で $2 \times 10^{18} \text{cm}^{-3}$ 、FD SOI MOSFET で $1 \times 10^{17} \text{cm}^{-3}$ とした。また、ゲート長(L_g)はどちらも 60nm としたが、ゲート幅(W_g)はシミュレーション時間の所要時間を考慮して、測定した MOSFET の 120nm ではなく 40nm とした。また、FD SOI MOSFET に関しては、SOI の幅(t_{SOI})は 10nm、BOX の厚さ(t_{BOX})は 10nm とした。RTN を想定するために、トラップの代わりに固定電荷を界面に置いた。固定電荷はシート大きさが 2nm 四方とし、密度は $2.5 \times 10^{-13} \text{cm}^{-2}$ とした。

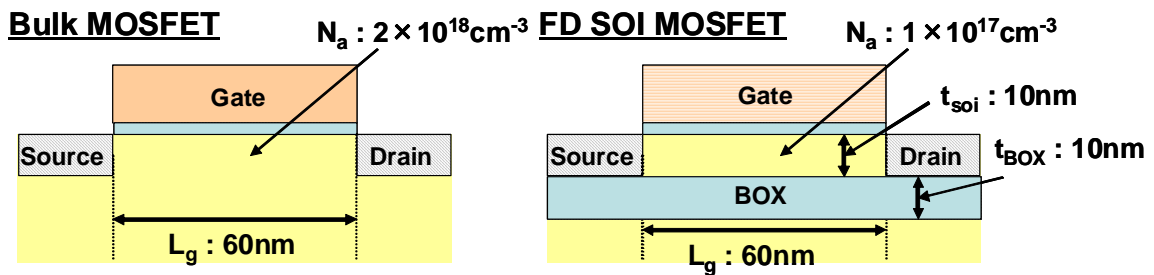


Fig. 4.15 シミュレーションモデルの模式図

4.2 シミュレーション結果

RTN による影響を調べるために、固定電荷がない場合と一つある場合の MOSFET をシミュレーションした。ここで、RTN と RDF を想定するために固定電荷の位置と離散不純物の位置はランダムとした。そして、固定電荷がある場合のしきい値と固定電荷がない場合のしきい値の差を RTN によるしきい値変動とした。また、比較のため、RDF がない場合(不純物分布が gelium)のシミュレーションも行った。

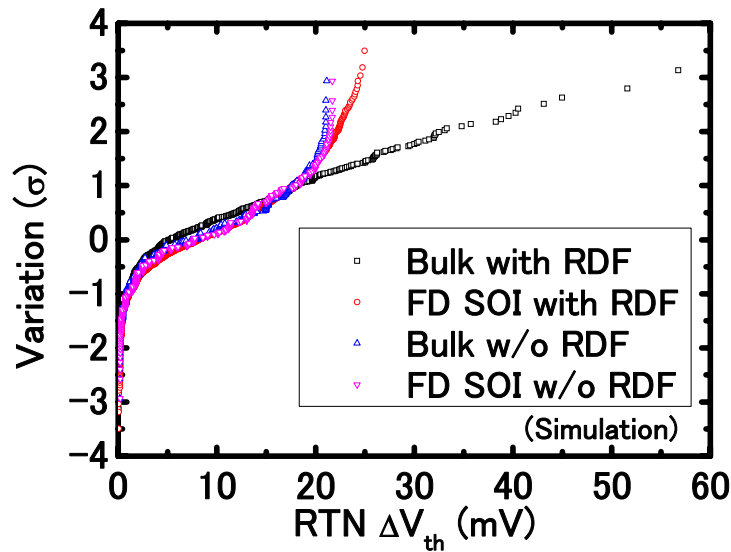


Fig. 4.16 Bulk と FD SOI MOSFET における RTN によるしきい値電圧変動の累積度数分布。
RDF を想定していない時のしきい値変動も示した。

Fig. 4.16 に、Bulk と FD SOI MOSFET における RTN によるしきい値電圧変動の累積度数分布を示す。RDF を想定していない時のしきい値変動も示した。この図から分かるとおり、RDF を想定した Bulk MOSFET では、とても大きいしきい値変動量を持つ MOSFET が数多く現れている。一方で、RDF を想定していない Bulk MOSFET では、そのような MOSFET は見受けられない。つまり、実測で観測された Bulk MOSFET の大きいしきい値変動量はチャンネルの不純物分布に密接に関係していることが分かる。また、不純物濃度が低い FD SOI MOSFET においては、RDF を想定した時でさえも、しきい値変動量は小さく抑えられることが分かった。

さらに、Bulk MOSFET における大きな RTN によるしきい値変動のメカニズムを解明するために、シミュレーションにより得られたいくつかのチャンネルのポテンシャル図の例を示す。Fig. 4.17 は、とても大きなしきい値変動をもつ Bulk MOSFET のポテンシャル図である。図から分かるように、ポテンシャルは複雑で大きく変化していることが分かる。もし、ポテンシャルの谷の部分にトラップができると、電流の流れを妨げ、電流値の低下が起こり、しきい値電圧が大きくなる。これが、Bulk MOSFET の方がしきい値変動が大きくなる原因である。Fig. 4.18 はしきい値変動が小さい Bulk MOSFET のポテンシャル図である。図から分かるように、ポテンシャルの谷の部分にトラップができなければ、変動量は小さくなる。Fig. 4.19、Fig. 4.20 はしきい値変動が大きいものと小さい FD SOI MOSFET のポテンシャル図である。FD SOI MOSFET を用いると不純物濃度が小さいため、ポテンシャルの大きな変化を防ぐことができる。したがって、もし、ポテンシャルの谷の部分にトラップができて、Bulk MOSFET に比べ、しきい値変動は抑えられるのである。

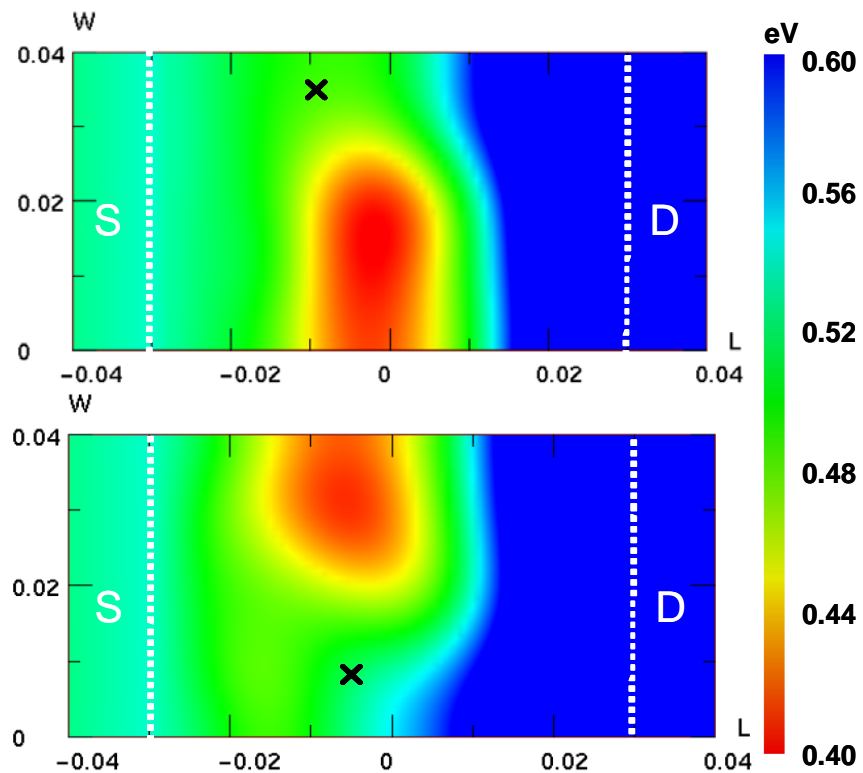


Fig. 4.17 とても大きなしきい値変動をもつ二つの Bulk MOSFET のポテンシャル図の例。× は固定電荷の位置を表す。

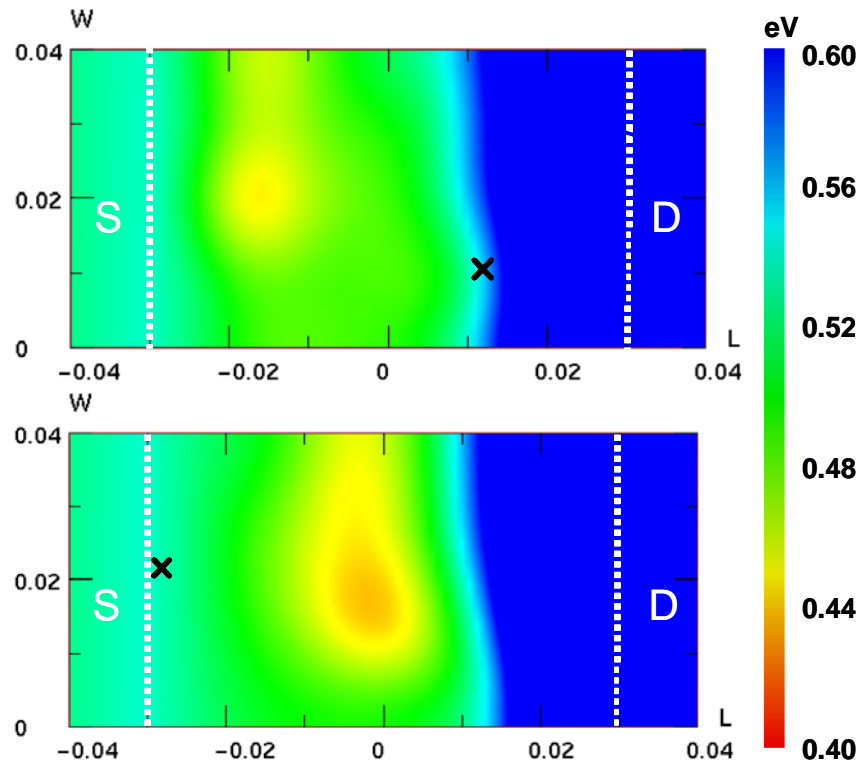


Fig. 4.18 とても小さなしきい値変動をもつ二つの Bulk MOSFET のポテンシャル図の例。

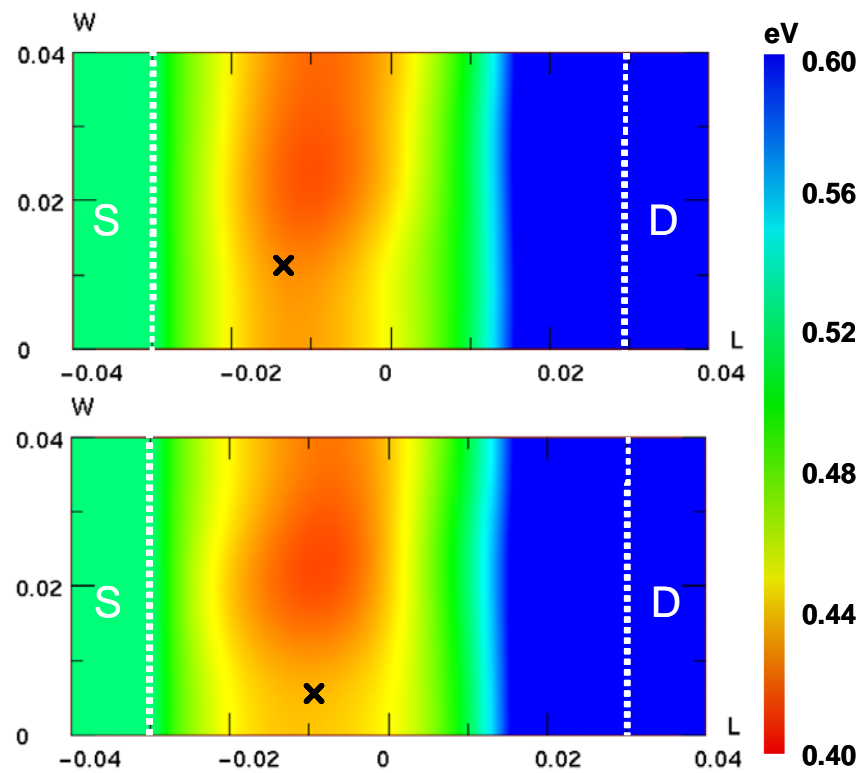


Fig. 4.19 大きいしきい値変動をもつ二つの FD SOI MOSFET のポテンシャル図の例。

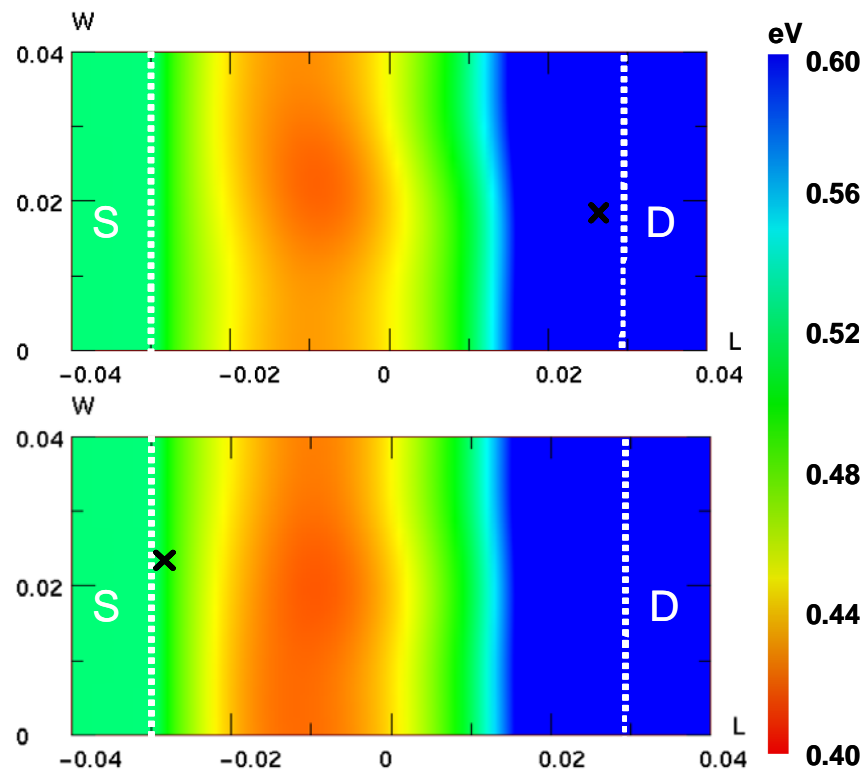


Fig. 4.20 とても小さなしきい値変動をもつ二つの FD SOI MOSFET のポテンシャル図の例。

第5章 結論と今後の展望

5.1 結論

本研究は、Bulk MOSFET と FD SOI MOSFET の RTN によるしきい値変動を測定、比較することにより、FD SOI MOSFET を用いると RTN の影響を抑制することができることが実験的に確認できた。

さらに、RDF と RTN を想定した 3D デバイスシミュレーションにより、不純物濃度が低い FD SOI MOSFET ではポテンシャルの大きな変化を抑制でき、その結果として RTN の影響を抑えられることを示した。

以上の実測・シミュレーションを用いて、RTN 抑制するには FD SOI MOSFET を用いることが有効であることを示した。

5.2 今後の展望

本研究で用いた測定では、サンプリングスピードは 2ms が限界である。さらに高速なサンプリング測定が可能な装置を使用すると、しきい値変動量だけでなく、時定数の解析などを知ることができ、RTN の解析に役立てることができる。また、本研究で用いたサンプルは、ゲート長とゲート幅が 60nm、120nm であったが、もっと微細化された MOSFET を用いると RTN はさらに観測することができる。実際ナノワイヤトランジスタでは、RTN の影響がとても大きいため、問題となっている。

また、シミュレーションでは、RTN のトラップの挙動がまだ不鮮明ということでトラップではなく固定電荷とした。もしトラップを想定した場合、電子が捕獲と放出を繰り返すので、電子の流れにも影響を受けると考えられる。今後、実測により時定数の解析が進めば、トラップをシミュレーションに盛り込むことができ RTN の解析が明快となるだろう。

謝辞

本研究は東京大学工学系研究科電気系工学専攻平本研究室にて行われたものです。本研究の遂行にあたり、恵まれた環境において研究活動を行う機会を与えてくださり、また懇切なるご指導および御助言を頂きました平本俊郎教授に深く感謝の意を表すと共に心より厚く御礼申し上げます。私が本研究室を選んだのは平本教授の研究への熱意を感じたからであり、本研究室に入ってから同じ熱意を感じることができました。

研究室の皆さんにも本当に恵まれた研生活でした。

職員の皆さん。席がとても離れていたため、あまり話す機会がなかった川井さん。全国の塔の写真を撮るという趣味の話は惹かれるものがありました。いつか写真を見せてほしいものです。同じ関西人、阪大出身として親近感が沸いた長城さん。関西人らしく研究室を盛り上げてくれましたね。M2 から隣になった更屋さん。何を聞いてくれも教えてくれる知識量はどこまであるのですか？年末の部屋の掃除の時に率先して掃除するので、サボる気も失せてしまいました。半導体の知識、装置の使い方、普段の疑問など教えてくださりありがとうございました。同じスパコンでシミュレーションをしていた Kumar さん。アカウントの取り合うことがあり、戦闘態勢になることもありました。しかし、今となってはいい思い出です。ENESS の使い方わからない事がある時はいつもわかりやすく教えてくれましたね。お子さんもですけど、Kumar さんも日本語上手いですよ。もう一人の同じ阪大出身だった水谷さん。水谷さんとは一応同期？ですけど、来るときはいつも朝から時間までサボらず研究している姿はすごいと思いました。部屋にいと安心します。1 年も一緒にはいれなかった秘書大下さん。すごく真面目で、言ったことを着実にやってくれましたね。これからも平本研究室を支えてくださいね。

学生の皆さん。M2 からは隣になったマオさん。いつもプロセスの合間に隣にいる時はおもしろそうなことやっていましたね。マオさんみたいな鋼の精神力持ってみたいです。ちゃんと休んでいるか心配な龍太さん。M1 の始めの頃はよく質問に答えてくれありがとうございました。いつも龍太さんに聞くのは最終手段だと思い、自分で調べられることは必死に自分で調べたことは自分の力になりました。すごい頼りにできる先輩でした。私が研究室に入る前に居た菅野くん。MOSFET の動作のことに詳しいですね。2 年生からは一緒にラーメン屋に行ったり、那須に大田原牛を食べに行きましたね（少し高価すぎてステーキは食べられなかったけれど…）。菅野くんのポリシーは見習いたいものがあります。同期の宋くん。最初入ってくる時、中国人と聞いてびびっていたけれど、日本語上手いし、ギャグ言うしサイコーにおもしろい奴でした。自分の信念を持っていて、突き進むところは見習いたいです。これからは全く違う世界にお互い行くけど、平本研究室で一緒だったことは、偉い人間になっても忘れないでほしいです。何でもきちっとやる野末くん。1 つ下の同期として、新人研修の時は、すごい焦らせられました。途中研究室の係りを野末くんに残せた時がありました。本当にありがとうございました。就活の合間に食欲に研究やる姿は本当

に強いと思いました。夏の旅行の際は熱海の別荘をかしてくださりありがとうございました。内部生として入ってきた杓木くん。すごい考えと話し方が論理的で本物だなと思いました。オリエンテーリング？をやっているみたいで、体がすごい細いのがうらやましいです。私も走って、ぽっこりお腹をなくしたいです。研究室のムードメーカー？の野村くん。時々更屋さんが面倒くさそうに質問に答えているのが印象的です。野村くんとはさかなやと一緒によくかきフライ弁当を買いに行ったことがいい思い出です。どうしたら、バナナをタダでつけてもらえるかの研究もしてください。学年が二つ下の西野くん。浦安に住んでいるみたいなので、ディズニーリゾートにいてでも行けて羨ましいです。あと 2 年がんばってください。

最後に、共同研究でウェハーを使わせてもらった半導体テクノロジーズのみなさんに感謝します。

みなさま、充実した 2 年の研究室生活ありがとうございました。

本研究に関する発表

- (ア)西村淳, 更屋拓哉, 平本俊郎, “完全欠乏型 SOI を用いた RTN の抑制”, 2011 年春季第 58 回応用物理学関係連合会 (発表予定)
- (イ)J. Nishimura, T. Saraya, T. Hiramoto, “Statistical Comparison of Random Telegraph Noise (RTN) in Bulk and Fully Depleted SOI MOSFETs”, *Ultimate Integration on Silicon 2011*, March, 2011. (To be presented).
- (ウ)T. Tsunomura, J. Nishimura, A. Kumar, A. Nishida, S. Inaba, K. Takeuchi, T. Hiramoto, T. Mogami, “Suppression of V_t Variability Degradation Induced by NBTI with Dopant Control”, Symposium on VLSI Technology, 2011. (投稿中)