

博士論文

4H-SiC MOSFET の反転層における  
電子移動度評価とキャリア散乱機構モデル  
の研究

野口 宗隆



# 目次

第 1 章	序論 .....	1
1.1.	パワーエレクトロニクス的重要性 .....	2
1.1.1.	脱炭素社会に向けたパワーエレクトロニクスの役割 .....	2
1.1.2.	パワーエレクトロニクス機器の進展 .....	3
1.1.3.	パワーデバイスへの基本的な要求性能 .....	4
1.2.	パワーデバイスの高性能化 .....	8
1.2.1.	シリコン(Si)デバイスの現状 .....	8
1.2.2.	SiC による材料革新 .....	11
1.2.3.	SiC による低損失化 .....	20
1.2.4.	ワイドバンドギャップ半導体の適応領域 .....	22
1.3.	SiC パワーデバイス .....	23
1.3.1.	SiC の結晶構造とエピタキシャル層 .....	23
1.3.2.	SiC の物性 .....	28
1.3.3.	SiC のプロセス技術 .....	31
1.4.	シリコンカーバイド(SiC) MOSFET .....	34
1.4.1.	プレーナ型 MOSFET .....	34
1.4.2.	トレンチ型 MOSFET .....	38
1.4.3.	SBD 内蔵 MOSFET .....	41
1.4.4.	スーパージャンクション MOSFET .....	43
1.5.	SiC MOSFET に残された課題 .....	45
1.6.	酸化膜/SiC 界面における電気特性 .....	47
1.6.1.	SiC における MOS 界面近傍の電荷捕獲準位 .....	47
1.6.2.	SiC における MOS 界面近傍の電荷捕獲準位の低減手法 .....	57
1.6.3.	SiC MOSFET の電界効果移動度 .....	61
1.7.	酸化膜/半導体界面におけるキャリアの散乱機構 .....	63
1.7.1.	MOSFET の反転層移動度 .....	63
1.7.2.	散乱確率と行列要素 .....	66
1.7.3.	Si MOSFET におけるキャリア散乱機構モデルの整理 .....	67
1.7.4.	フォノン散乱 .....	71
1.7.5.	クーロン散乱 .....	75
1.7.6.	界面ラフネス散乱 .....	79
1.7.7.	SiC MOSFET におけるキャリア散乱機構モデル .....	81
1.8.	本研究の目的と本論文の構成 .....	82

<b>第2章</b>	<b>評価手法およびデバイス作製プロセス</b>	<b>85</b>
2.1.	MOS 界面における反転層	86
2.1.1.	MOS 反転層の形成	86
2.1.2.	MOS 界面における電気伝導	92
2.1.3.	ボディ電圧印加時の MOS 反転層	94
2.1.4.	MOS 反転層における電子分布の定性的理解	96
2.1.5.	MOS 反転層における電子分布の定量的理解	99
2.2.	MOSFET における反転層移動度の評価	102
2.2.1.	実効移動度	104
2.2.2.	ホール移動度	105
2.2.3.	電界効果移動度	107
2.3.	本研究におけるキャリア散乱機構の解析手法	108
2.4.	デバイス作製	112
2.4.1.	デバイス作製プロセス	112
2.4.2.	酸化膜/SiC 界面における界面準位密度のエネルギー分布	116
<b>第3章</b>	<b>SiC MOSFET の反転層移動度に影響を与える因子の抽出</b>	<b>119</b>
3.1.	反転層移動度のウェル領域におけるアクセプタ濃度依存性	120
3.2.	反転層移動度のボディ電圧依存性	123
3.2.1.	表面チャネル構造における反転層移動度のボディ電圧依存性	123
3.2.2.	埋め込みチャネル構造における反転層移動度のボディ電圧依存性	127
3.3.	反転層移動度の温度依存性	129
3.4.	反転層移動度のチャネル構造依存性	132
3.4.1.	表面チャネル構造と埋め込みチャネル構造の電气的な特徴	133
3.4.2.	表面チャネル構造におけるチャネル移動度	135
3.4.3.	埋め込みチャネル構造におけるチャネル移動度	137
3.5.	本章のまとめ	141
<b>第4章</b>	<b>SiC MOSFET の室温における反転層移動度のキャリア散乱機構モデル</b>	<b>143</b>
4.1.	室温における反転層移動度の実効垂直電界依存性	144
4.2.	室温におけるキャリア散乱機構モデルの解析	148
4.2.1.	界面ラフネス散乱移動度の評価	148
4.2.2.	クーロン散乱移動度の評価	152
4.3.	室温における支配的なキャリア散乱機構のアクセプタ濃度依存性	154
4.4.	室温におけるクーロン散乱移動度のモデル化	160
4.4.1.	ボディ電圧印加時のクーロン散乱移動度	160



4.4.2.	クーロン散乱移動度と空乏層電荷密度の関係 .....	163
4.4.3.	クーロン散乱移動度と酸化膜/SiC 界面からの反転キャリアの平均距離の関係 .....	165
4.5.	本章のまとめ .....	168
<b>第 5 章</b>	<b>反転層移動度の温度依存性に基づくモデルの高精度化 .....</b>	<b>171</b>
5.1.	反転層移動度の温度依存性 .....	172
5.1.1.	高温における反転層移動度と表面キャリア密度の関係 .....	172
5.1.2.	反転層移動度の温度依存性係数 .....	176
5.2.	高温におけるキャリア散乱機構モデルの解析 .....	178
5.2.1.	高温における酸化窒化膜 MOSFET のフォノン散乱移動度 .....	178
5.2.2.	高温における酸化窒化膜のキャリア散乱機構 .....	181
5.3.	室温におけるキャリア散乱機構モデルの精度検討 .....	183
5.3.1.	$N_A$ が極めて低濃度の素子における反転層移動度とフォノン散乱移動度の乖離量 .....	183
5.3.2.	室温における酸化窒化膜のフォノン散乱移動度の推定とキャリア散乱機構の評価への影響 .....	189
5.4.	本章のまとめ .....	196
<b>第 6 章</b>	<b>酸化窒化膜と他のゲート絶縁膜における SiC MOSFET の反転層移動度の比較 .....</b>	<b>199</b>
6.1.	熱酸化膜をゲート絶縁膜に有する SiC MOSFET の反転層移動度との比較 .....	200
6.1.1.	熱酸化膜と酸化窒化膜における反転層移動度の比較 .....	201
6.1.2.	熱酸化膜と酸化窒化膜におけるフォノン散乱移動度の比較 .....	203
6.1.3.	熱酸化膜におけるキャリア散乱機構 .....	206
6.2.	リン処理した熱酸化膜をゲート絶縁膜に有する SiC MOSFET の反転層移動度との比較 .....	208
6.2.1.	リン処理した熱酸化膜と酸化窒化膜における反転層移動度の室温での比較 ..	208
6.2.2.	リン処理した熱酸化膜と酸化窒化膜における反転層移動度の温度依存性 .....	211
6.2.3.	リン処理した熱酸化膜のフォノン散乱移動度 .....	214
6.2.4.	リン処理した熱酸化膜におけるキャリア散乱機構 .....	218
6.2.5.	リン処理した熱酸化膜と酸化窒化膜におけるキャリア散乱機構の比較 .....	221
6.3.	熱酸化膜、酸化窒化膜、リン処理した熱酸化膜におけるクーロン散乱源の検討 ..	224
6.4.	本章のまとめ .....	227

第7章	総括 .....	229
7.1.	総括 .....	229
7.2.	展望 .....	233
参考文献	.....	235
業績リスト	.....	257
謝辞	.....	265

## 図目次

図 1.1	パワーエレクトロニクス機器におけるパワー密度の進展。 .....	3
図 1.2	パワーデバイスの用途による素子の耐圧と電流の範囲。 .....	4
図 1.3	パワーデバイス用途の MOSFET 構造 .....	13
図 1.4	パワーデバイス用途の MOSFET における抵抗成分 .....	14
図 1.5	横型 MOSFET の構造 .....	15
図 1.6	pn 接合による耐圧保持の模式図 .....	17
図 1.7	同一の $V_{BD}$ における Si と SiC の空乏層幅と電界分布の関係 .....	19
図 1.8	Si limit と SiC limit の比較。 .....	19
図 1.9	SiC パワーモジュールの損失低減効果。 .....	20
図 1.10	素子耐圧に対する材料ごとの住み分け、および研究開発の状況 .....	22
図 1.11	(a)3C-SiC、(b)4H-SiC、(c)6H-SiC の積層構造の模式図。 .....	23
図 1.12	SiC の六方晶構造と主な面方位。 .....	25
図 1.13	$c$ 軸に平行および垂直方向の電子移動度の異方性。 .....	28
図 1.14	$c$ 軸に平行および垂直方向の絶縁破壊電界の異方性。 .....	29
図 1.15	$c$ 軸に平行および垂直方向における電子とホールのインパクトイオン化係数。 .....	30
図 1.16	素子耐圧クラスごとの抵抗成分の見積もり .....	35
図 1.17	ドリフト抵抗とチャネル抵抗の和と絶縁破壊電圧。 .....	36
図 1.18	トレンチ MOSFET の基本構造 .....	39
図 1.19	近年のトレンチ MOSFET 構造。 .....	40
図 1.20	SBD 内蔵 MOSFET の基本構造 .....	41
図 1.21	SJ MOSFET の基本構造 .....	43
図 1.22	酸化膜/半導体界面に電荷捕獲準位が(a)ない場合および、(b)ある場合の バンド図。(c)(a)の等価回路、(d)(b)の等価回路。 .....	48
図 1.23	SiC の典型的な酸化温度に近い 1600K において安定な欠陥構造 .....	50
図 1.24	図 1.23 に記載の炭素欠陥におけるエネルギー準位の計算値 .....	50
図 1.25	窒化処理による理想的な SiC の最表面の化学構造 .....	53
図 1.26	酸窒膜を用いた (a) Si 面、(b) a 面、(c) m 面の界面準位密度のエネルギー分布。 .....	56
図 1.27	熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位密度の エネルギー依存性 .....	58
図 1.28	酸化膜/半導体界面におけるキャリア散乱機構の概念図。 .....	67
図 1.29	Si MOSFET における反転層移動度と実効垂直電界の関係 .....	68
図 1.30	反転層移動度と実効垂直電界の関係(概念図) .....	68

図 1.31 (a) $N_S=1\times 10^{12} \text{ cm}^{-2}$ 、(b) $N_S=3\times 10^{12} \text{ cm}^{-2}$ における Si MOSFET における反転層移動度の温度依存性。 .....	72
図 2.1 横型 MOSFET の構造。 .....	87
図 2.2 $ Q_S $ と $\phi_S$ の関係。 .....	88
図 2.3 ゲート電圧印加時のバンド図の概略図。 .....	90
図 2.4 ドレイン電流とゲート電圧およびしきい値電圧の関係。(a)、(b)は各々 $I_D$ を線形スケールおよび対数スケールで表示している。 .....	93
図 2.5 (a)弱反転状態および(b)強反転状態におけるチャネル領域のバンド図とキャリアの伝導機構の概念図。 .....	93
図 2.6 ボディー電圧印加時のバンド図の概略図。(a) $V_B$ が0V、(b) $V_B$ が負電圧の場合。 .....	94
図 2.7 (a)酸化膜/半導体界面における量子閉じ込めの三角ポテンシャル近似および(b)三角ポテンシャルによる反転層の量子化。 .....	96
図 2.8 表面キャリア密度と酸化膜/SiC 界面からの反転キャリアの平均距離の関係.....	100
図 2.9 $N_A$ および負 $V_B$ 印加による反転層における波動関数の広がりの変化。(a)低 $N_A$ 素子に $V_B = 0V$ を印加した場合、(b) $V_B = 0V$ において $N_A$ を高濃度化した場合、もしくは $N_A$ は変えずに負 $V_B$ を印加した場合。 .....	101
図 2.10 MOSFET における反転層移動度の評価素子構造。(a)断面図 (b)平面図 .....	103
図 2.11 本研究で想定する様々なアクセプタ濃度における反転層移動度とキャリア散乱機構の概略図。 .....	110
図 2.12 様々なアクセプタ濃度における $\mu_{w/o} \text{ effect of phonons}$ とキャリア散乱機構の概略図。 .....	111
図 2.13 計算に用いたウェル領域の Al と N の不純物プロファイル。 .....	113
図 2.14 (a)酸窒化膜と(b)リン処理した熱酸化膜の TEM 像。 .....	114
図 2.15 (a)酸窒化膜と(b)リン処理した熱酸化膜の Bright-Field STEM 像。 .....	114
図 2.16 (a)酸窒化膜と(b)リン処理した熱酸化膜の HAADF STEM 像。 .....	114
図 2.17 酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍の EDX による元素分析。 .....	115
図 2.18 酸窒化膜/SiC 界面における界面準位密度のエネルギー分布。 .....	117
図 2.19 酸窒化膜/SiC 界面と熱酸化膜/SiC 界面における界面準位密度のエネルギー分布. ....	118
図 3.1 異なるアクセプタ濃度における反転層移動度と表面キャリア密度の関係。 .....	121
図 3.2 ウェル領域を p 型エピタキシャル層およびイオン注入で形成した場合の、反転層移動度と表面キャリア密度の関係。 .....	122

図 3.3	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の p 型エピタキシャル層をウェル領域とする素子におけるボディー電圧印加時の反転層移動度と表面キャリア密度の関係。 .....	124
図 3.4	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ および $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の p 型エピタキシャル層をウェル領域とする素子におけるボディー電圧印加時の反転層移動度と表面キャリア密度の関係。 .....	126
図 3.5	計算により評価したボディー電圧印加時の電子濃度分布の変化。 .....	127
図 3.6	埋め込みチャンネル構造の素子におけるボディー電圧印加時のチャンネル移動度と表面キャリア密度の関係。 .....	128
図 3.7	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係。 .....	130
図 3.8	$N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係。 .....	131
図 3.9	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ および $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の p 型エピタキシャル層をウェル領域とする素子における反転層移動度の温度依存性。 .....	131
図 3.10	表面チャンネル構造および埋め込みチャンネル構造における(a)ドレイン電流、(b)表面キャリア密度、(c)チャンネル移動度のゲート電圧依存性 .....	133
図 3.11	表面チャンネル構造におけるチャンネル移動度と表面キャリア密度の関係。 ....	136
図 3.12	埋め込みチャンネル構造と表面チャンネル構造におけるチャンネル移動度と表面キャリア密度の関係。 .....	138
図 3.13	埋め込みチャンネル構造におけるチャンネル移動度と表面キャリア密度の関係。 .....	139
図 3.14	埋め込みチャンネル構造におけるチャンネル移動度の実測値と計算値の比較。 .	140
図 4.1	様々なアクセプタ濃度における反転層移動度と実効垂直電界の関係。 .....	145
図 4.2	$N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$ の素子における反転層移動度の温度依存性。 .....	146
図 4.3	$N_A = 2 \times 10^{14} \text{ cm}^{-3}$ の素子における反転層移動度の温度依存性。 .....	147
図 4.4	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の素子における反転層移動度からフォノン散乱の影響を除いた移動度と表面キャリア密度の関係。 .....	149
図 4.5	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の素子における反転層移動度および各キャリア散乱機構による移動度と実効垂直電界の関係。 .....	150
図 4.6	各キャリア散乱機構による移動度と実効垂直電界の関係。 .....	151
図 4.7	$N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ および $4 \times 10^{17} \text{ cm}^{-3}$ の素子におけるクーロン散乱移動度と表面キャリア密度の関係。 .....	152
図 4.8	クーロン散乱移動度とアクセプタ濃度の関係。 .....	153
図 4.9	フォノン散乱移動度、界面ラフネス散乱移動度、および広範囲のアクセプタ濃度における反転層移動度と実効垂直電界の関係。 .....	155
図 4.10	反転層移動度およびクーロン散乱移動度を含めた各散乱移動度と実効垂直	

電界の関係。 .....	156
図 4.11 反転層移動度および各散乱機構により定まる移動度と表面キャリア密度の関係。 .....	158
図 4.12 本研究と先行研究における(a)フォノン散乱移動度および(b)界面ラフネス散乱移動度と実効垂直電界の関係。 .....	159
図 4.13 ボディー電圧として $V_B = 0\text{ V}$ および $V_B = -8\text{ V}$ を印加した際の反転層移動度および評価した各散乱移動度と表面キャリア密度の関係。 .....	161
図 4.14 $N_A = 1 \times 10^{16}\text{ cm}^{-3}$ の素子に $V_B = 0, -2, -4, -8, -16, -24, -40\text{ V}$ を印加した場合の(a)反転層移動度および(b)評価したクーロン散乱移動度と表面キャリア密度の関係。 .....	162
図 4.15 様々なアクセプタ濃度の素子における反転層移動度およびクーロン散乱移動度と空乏層電荷密度の関係。 .....	164
図 4.16 様々なアクセプタ濃度の素子における $\mu_{\text{Coulomb},0}$ および $\gamma$ と空乏層電荷密度の関係。 .....	165
図 4.17 反転層移動度および評価した各散乱移動度と $Z_{\text{AV}}$ の関係。 .....	167
図 5.1 (a)室温、(b)373K、(c)473K における反転層移動度と表面キャリア密度の関係。 .....	173
図 5.2 室温と 373K における反転層移動度と表面キャリア密度の関係。 .....	174
図 5.3 373K と 473K における反転層移動度と表面キャリア密度の関係。 .....	175
図 5.4 広範囲のアクセプタ濃度における反転層移動度の温度依存性。 .....	177
図 5.5 $\beta$ のアクセプタ濃度依存性。 .....	177
図 5.6 ゲート絶縁膜に酸化窒化膜を有する素子の反転層移動度と実効垂直電界の関係 .....	179
図 5.7 本研究の最もアクセプタ濃度が低い素子の反転層移動度と定式化した $\mu_{\text{phonon}}$ 、およびウェット酸化膜を用いた C 面 4H-SiC MOSFET で定式化された各散乱移動度 .....	180
図 5.8 473K における反転層移動度、フォノン散乱移動度、および $\mu_{\text{w/o effect of phonons}}$ と表面キャリア密度の関係。 .....	182
図 5.9 低アクセプタ濃度の素子における反転層移動度の温度依存性。 .....	184
図 5.10 反転層移動度の実効垂直電界への依存性を表す係数と温度の関係。 .....	184
図 5.11 反転層移動度の温度依存性係数と温度の関係。 .....	185
図 5.12 反転層移動度のボディー電圧依存性。 .....	186
図 5.13 $N_A$ が極めて低い素子の反転層移動度の温度依存性。 .....	188
図 5.14 室温における極めて $N_A$ が低い素子の反転層移動度と高温領域より推定したフォノン散乱移動度の比較。 .....	190
図 5.15 実測値を良く再現するように $\beta$ を選択した場合の、極めて $N_A$ が低い素子の	

反転層移動度とフォノン散乱移動度、界面ラフネス散乱移動および、フォノン散乱と界面ラフネス散乱で決まる移動度。 .....	190
図 5.16 $\mu_{\text{phonon}}$ の推定値がキャリア散乱機構の評価に及ぼす影響。 .....	192
図 5.17 $\mu_{\text{phonon}}$ の推定値がフォノン散乱と界面ラフネス散乱で決まる移動度に及ぼす影響。 .....	193
図 5.18 室温におけるキャリア散乱機構の分離評価の比較。 .....	194
図 6.1 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の素子における反転層移動度と表面キャリア密度の関係。 .....	201
図 6.2 $N_A = 3 \times 10^{14} \text{ cm}^{-3}$ 程度の素子における反転層移動度と表面キャリア密度の関係。 .....	203
図 6.3 $N_A = 3 \times 10^{14} \text{ cm}^{-3}$ 程度の素子における反転層移動度と実効垂直電界の関係。 .....	204
図 6.4 $N_A = 3 \times 10^{14} \text{ cm}^{-3}$ 程度の素子における反転層移動度と実効垂直電界の関係。 .....	205
図 6.5 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の素子における $\mu_{\text{w/o effect of phonons}}$ と表面キャリア密度の関係。 .....	207
図 6.6 リン処理した熱酸化膜および酸窒化膜における反転層移動度と表面キャリア密度の関係 .....	209
図 6.7 ボディー電圧を印加した時の、リン処理した熱酸化および酸窒化膜における反転層移動度と表面キャリア密度の関係。 .....	210
図 6.8 リン処理した熱酸化および酸窒化膜における反転層移動度の温度依存性。 .....	212
図 6.9 リン処理した熱酸化膜および酸窒化膜における $N_S$ と $V_G - V_{th}$ の関係。 .....	213
図 6.10 リン処理した熱酸化膜および酸窒化膜における反転層移動度と実効垂直電界の関係 .....	215
図 6.11 本研究と文献値におけるリン処理した熱酸化膜の反転層移動度の比較。 ....	216
図 6.12 リン処理した熱酸化膜を有する素子の反転層移動度、フォノン散乱移動度、 $\mu_{\text{w/o effect of phonons}}$ と表面キャリア密度の関係 .....	219
図 6.13 リン処理した熱酸化膜および酸窒化膜を有する素子の反転層移動度、フォノン散乱移動度、 $\mu_{\text{w/o effect of phonons}}$ と表面キャリア密度の関係。 .....	221
図 6.14 酸窒化膜とリン処理した酸化膜における、(a)クーロン散乱源のエネルギー分布、および(b)表面キャリア密度に対するクーロン散乱源の総数の概念図。 .....	223
図 6.15 熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位の密度の概念図。 .....	225

## 表目次

表 1.1	Si およびワイドバンドギャップ半導体における物性値の比較。 .....	11
表 1.2	スイッチング素子と還流ダイオードの組み合わせ。 .....	20
表 1.3	3C-SiC、4H-SiC、6H-SiC の物性値の比較。 .....	24
表 1.4	4H-SiC の結晶面と名称。 .....	25
表 6.1	6.1 節で検討したパラメータの一覧。 .....	200



# 第1章 序論

本研究では、パワーエレクトロニクス機器の省エネ化の鍵であるパワーデバイスとしてすでに実用化されており、普及が加速している炭化珪素(SiC)を用いたスイッチング素子の一つである金属酸化膜半導体電界効果トランジスタ(MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor)のチャネル領域における反転層移動度に焦点を当てる。素子の低損失化にはチャネル領域の低抵抗化が重要であるが、酸化膜/SiC 界面には電荷捕獲準位が多いだけでなく、反転層移動度が低いことが課題である。そこで、反転層移動度の制限因子を解明すべく、反転層移動度の系統的な評価および、それを決めるキャリア散乱機構のモデル構築を行う。これらの検討は反転層移動度の向上指針を導くのみならず、物理的な根拠を伴った反転層移動度モデルのシミュレータへの組み込みを可能とし、精緻なデバイス設計と特性予測に資することが期待される。

本章ではこれまでの珪素(Si)を用いたパワーデバイスの高性能化の歴史と SiC を利用することによる更なる高性能化について述べる。SiC について、解決されてきた課題を紹介するとともに、未だ残された課題について述べる。最後に、未だ残された課題の1つである、反転層移動度を決めるキャリア散乱機構の理解を整理するとともに、本研究の目的、および本論文の構成について記す。

## 1.1. パワーエレクトロニクス的重要性

本節では脱炭素社会に向けてパワーエレクトロニクスへ期待される役割を述べ、パワーエレクトロニクス機器の省エネの鍵であるパワーデバイスに要求される性能について紹介する。

### 1.1.1. 脱炭素社会に向けたパワーエレクトロニクスの役割[1], [2]

近年、温室効果ガスの増加による地球温暖化が進行しており、将来にわたる豪雨災害の発生頻度の増加などの気候変動問題が強く懸念されている。これは国際社会に共通の課題として認識されており[2]、パリ協定において世界全体の平均気温の上昇を工業化以前よりも 1.5°C 高い水準までのものに制限することが世界の努力目標として掲げられた[1]。日本では、このような地球温暖化対策を積極的に推進して産業構造や経済社会を変革して脱炭素社会へと移行することを掲げ、2050 年までに温室効果ガスの排出を全体としてゼロにするべく、「2050年」カーボンニュートラルの実現を目指している。

温室効果ガス排出量の削減にはエネルギー供給の低炭素化が重要であり、電力供給における非石化電源比率の引き上げ、化石燃料利用における低炭素燃料への転換などが必要となる。これに加えて、需要側のエネルギー消費効率の向上や電化率の向上が重要となる。すなわち、再生可能エネルギー利用の拡大などにより電力供給時の温室効果ガス排出を抑制しつつ、電化の進んでいない分野にも電化を普及し、さらに限りある電力を効率的に使うことが求められている。これらの中で、電力を効率的に使うことを目的として研究開発されている技術がパワーエレクトロニクスである。

パワーエレクトロニクスは、1973年に W.E.Newell により、エレクトロニクス技術、電力技術、制御技術が融合して成立するものである[3]と指摘されており、電流を直流から交流へ、交流から直流へと変換すること、もしくは電圧や周波数を適切に変換することで効率的に電力を活用する技術の総称である。その応用範囲は広く、情報通信、家電、自動車、産業、鉄道、風力発電、太陽光発電、電力系統装置など多岐にわたり[4]、近年では船舶や航空機への応用も検討されている。脱炭素社会の実現には、パワーエレクトロニクスによる電力制御の適用領域を拡大するとともに、パワーエレクトロニクス機器のエネルギー消費効率を向上していくことが不可欠である。

### 1.1.2. パワーエレクトロニクス機器の進展[4]

パワーエレクトロニクスはパワーエレクトロニクス機器の高効率化、小型・軽量化、低コスト化を実現するように進化し続けてきた[4]。パワーエレクトロニクス機器のパワー密度を、パワーエレクトロニクス機器の単位体積あたりに換算した電力と定義すると、パワー密度は過去 30 年以上にわたり高パワー密度化が継続されてきており、30 年前と比較して同一の出力電力で比較すると体積は 1/100 以下の小型化が可能となっている[4]。図 1.1 にパワーエレクトロニクス機器におけるパワー密度の進展を示す[5]。さらなるパワー密度の向上には、パワーエレクトロニクス機器の小型化が必要であり、パワーエレクトロニクス機器の体積の大部分は冷却装置と受動部品が占めるため、これらの小型化が求められる。パワーエレクトロニクス機器の電力損失の大半は電力変換回路の部品である半導体を用いたパワーデバイスで発生するため、冷却装置の小型化にはパワーデバイスの低損失化が有効である。なお、パワーデバイスは、パワー半導体とも呼ばれ、スイッチング素子および整流素子のことを指す。一方で、受動部品の体積は、原理的にはパワーデバイスのスイッチング周波数を高めることで小型化が可能である。よって、パワーエレクトロニクス機器のさらなるパワー密度の向上には、パワーデバイスの低損失化と高周波駆動が有効である。もちろん、パワー密度向上はパワーデバイスの性能改善だけではなく、パワーデバイス以外の周辺部材の材料革新や実装技術の進展と相まって達成される。

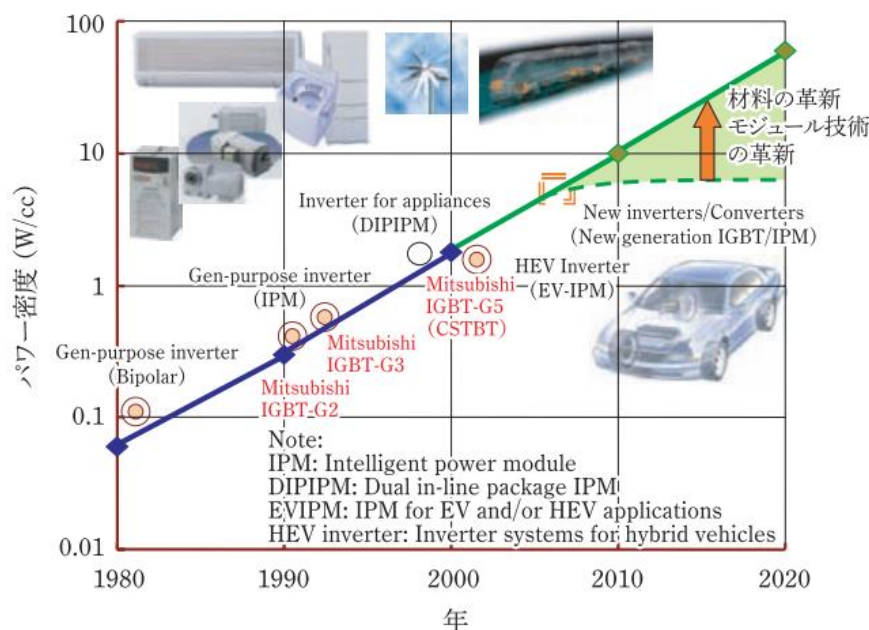


図 1.1 パワーエレクトロニクス機器におけるパワー密度の進展[5]。

(出典：山川聡, “SiC パワーデバイスの実用化展開,”

応用物理, 85 巻, 11 号, pp. 941-946, 2016.)

### 1.1.3. パワーデバイスへの基本的な要求性能[4], [6], [8]

パワーエレクトロニクス機器を駆動する電力変換回路は、パワーデバイスと受動素子であるキャパシタとインダクタを組み合わせ形成され、電力効率の改善と部品点数の削減および小型化によりコストを低減することで普及してきた[6]。パワーエレクトロニクスによる電力制御の鍵はパワーデバイスであり、パワーエレクトロニクスで扱う広い電力範囲に対応するため、パワーデバイスの定格電圧と定格電流は広範囲におよび、定格電圧は数十~数千 V であり、定格電流は数百 mA~数 kA である[4]。図 1.2 にパワーデバイスの用途による素子の耐圧と電流の範囲を示す[7]。

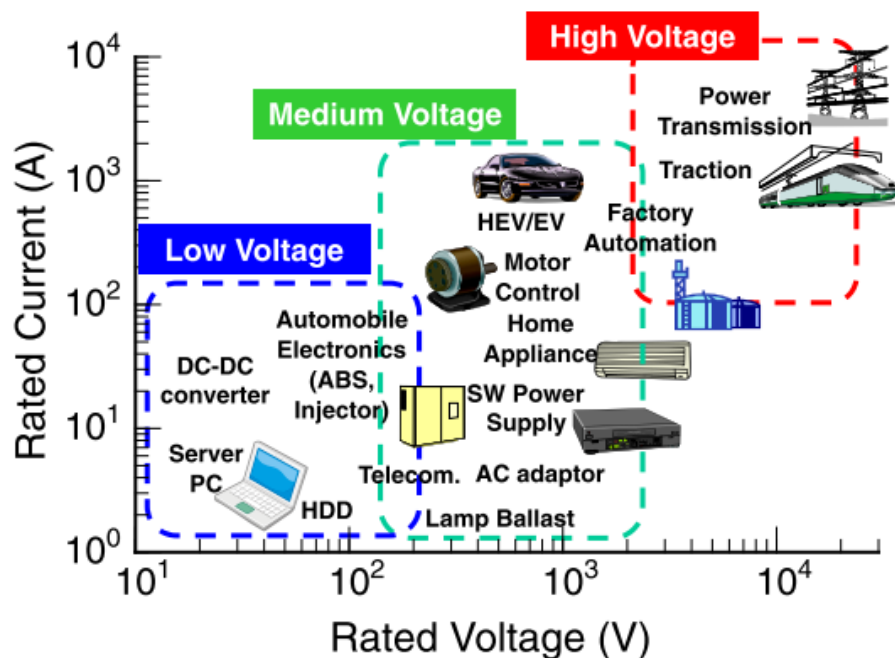


図 1.2 パワーデバイスの用途による素子の耐圧と電流の範囲[7]。

("Used with permission of JSAP, from [Material science and device physics in SiC technology for high-voltage power devices, T. Kimoto, *Jpn. J. Appl. Phys.*, vol. 54, no. 4, 2015]; permission conveyed through Copyright Clearance Center, Inc.")

現在、パワーデバイスとして最も広く使用される材料はシリコン(Si)であり、デバイス構造は用途に応じて異なる。Siを用いた場合、100V以下の用途にはMOSFETを、数100V以上の用途には絶縁ゲートバイポーラトランジスタ(IGBT: Insulated Gate Bipolar Transistor)を、数kV以上の用途にはサイリスタやゲートターンオフサイリスタ(GTO: Gate Turn-off Thyristor)が主に使用される[4]。このようなパワーデバイスは素子単体だけではなく、複数

のパワーデバイスを電力変換回路へ実装して1つの部品としたパワーモジュールとして用いられることもある。その中には、パワーデバイスの性能を引き出すための駆動回路および過電流保護や短絡保護などの自己保護機能を併せ持つインテリジェントパワーモジュール(IPM: Intelligent Power Module)もあり、使い勝手の良さから広く用いられている[4]。

パワーデバイスを用いた電力変換は、パワーデバイスの抵抗を制御することで負荷側に出力される電流と電圧を制御する。そのため、電力変換に伴う電力損失が負荷側への出力電力よりも十分に小さいことが求められるため、パワーデバイスには下記の基本的な性能が求められる[4], [8]。

- (1) 導通損失が低いこと
- (2) スイッチング損失が低いこと
- (3) 遮断後に電圧を保持しつづけること
- (4) 電流遮断能力が十分なこと
- (5) ゲート制御が低損失で行なえること

まず、(1)および(2)について説明する。パワーデバイスはスイッチング素子であるため、その基本動作は電流を流す通電状態と、電流を流さない遮断状態、および通電状態と遮断状態の間のスイッチング状態である[6]。スイッチング状態は、通電状態から遮断状態へと遷移するターンオフ、遮断状態から通電状態へと遷移するターンオンの2つの遷移がある。高効率に電力変換を行うためには、パワーデバイスで発生するエネルギー損失を抑制することが重要であり、パワーデバイスで発生するエネルギー損失は、通電状態で発生する導通損失と、スイッチング状態で発生するスイッチング損失があり、いずれも低減が求められる。なお、遮断状態でも極わずかに電流が流れるがその影響は、導通損やスイッチング損に比べて無視できるほど小さい。

導通損はパワーデバイスを流れる電流と、その時にパワーデバイスに印加される電圧の積であるため、パワーデバイスの性能指標は素子の抵抗、もしくは電圧降下で表される[6]。例えば、MOSFETであれば印加電圧によらず抵抗値がほぼ一定のため性能指標に素子抵抗が用いられ、IGBTであればデバイスが通電状態に入るまでの内蔵電位が存在するため性能指標に電圧降下が用いられる。なお、この時の電圧降下はオン電圧と呼ばれる。導通損失の低減にはパワーデバイスの低抵抗化もしくは低オン電圧化が求められる。スイッチング損失はスイッチング時間に影響され、スイッチング時間が短いほど低損失となる傾向がある。そのため、スイッチング損失の低減にはスイッチング時間の短縮が有用である。

一方で、パワーデバイスのスイッチング動作は大電流、大電圧の変化を伴うため、スイ

スイッチング損失の低減のためスイッチング時間を短縮し高速でスイッチングを行うと、パワーデバイス回路内の寄生インダクタや寄生容量を介してサージ電圧やサージ電流が回路内に発生する[6]。これらは、パワーデバイスの破壊要因、もしくは周辺機器へのノイズ源となりうる。ノイズ抑制にはノイズをカットするためのノイズフィルターを導入する必要があり、コストの上昇と回路規模の増加を招く[6]。そのため、スイッチング損失とノイズ発生のトレードオフを考慮してパワーデバイスを駆動する必要がある。

次に、(3)および(4)について説明する。遮断状態ではパワーデバイスの抵抗を大きくすることで、電流を遮断する。そのため、パワーデバイスには高電圧が印加されるため、その状態で素子が破壊しないことが要求される。パワーデバイスでは高電圧を印加した際には、活性領域と呼ばれる電流を流す領域だけでなく、終端領域と呼ばれる素子の外周領域にも高電圧が印加される。終端領域に高電界が発生し、アバランシェ降伏が生じることで素子が破壊する可能性があるため、終端領域の電界を十分に低くして素子が破壊しないように素子設計が行われる。パワーデバイスの総面積は活性領域と終端領域からなり、それらの総面積が1つのウェハ内で製造できる素子数に影響するため、高電圧を保持しつつ終端領域を縮小する設計が求められる。

一方で、電力変換回路が必ずしも想定される定常動作をするとは限らず、想定を超える非定常動作を行う可能性があり、その様な状況でも電流を遮断できることが求められる。サージ電流やサージ電圧により、パワーデバイス内部に高電界が発生し、アバランシェ降伏が生じることで素子が破壊することがある。サージ電圧やサージ電流はスイッチング速度を早くすることで電力変換回路に存在する寄生インダクタや寄生容量を介して発生するため、スイッチング損失の低減と素子の破壊耐量にはトレードオフの関係がある。サージ抑制にはサージを吸収するための回路を導入する必要があり、コストの上昇と回路規模の増加を招く[6]。そのため、スイッチング損失と破壊耐量のトレードオフの改善も求められる。

最後に、(5)について説明する。ゲート制御の方式には金属酸化膜半導体構造を用いた絶縁ゲートと金属半導体もしくは半導体のpn接合を用いた接合ゲートを使用する場合がある。前者はスイッチング時にゲートに電荷を充填するための期間のみゲート電流が流れるが、一方で後者は定常的に電流が流れる。そのため、絶縁ゲートの方が低損失に適する。

理想的なスイッチング素子は、通電状態では抵抗がゼロであり、遮断状態では抵抗が無限大となり、スイッチングは瞬時に完了するものであり、パワーデバイスはそれを目指して特性改善が行われている[9]。一方で、ノイズの低減や素子の破壊耐量を確保する必要もあり、パワーデバイスには低損失化だけでなく、素子の使いやすさとのバランスをとった

素子設計が欠かせないと言える。

## 1.2. パワーデバイスの高性能化

本節では現在最も広く使用される Si を用いたパワーデバイスの高性能化について紹介し、さらに Si に変わる新材料として期待されるワイドバンドギャップ半導体への期待を述べ、特にパワー半導体として優れた物性を有する SiC について概説する。Si を用いたパワーデバイス技術は優れたものであり、全ての用途でワイドバンドギャップ半導体へと置き換わることが想定されているわけではなく、Si とワイドバンドギャップ半導体が競合すると考えられている電圧領域は数 100V~数 kV の領域である。本領域で用いられる Si を用いたパワーデバイスの構造は絶縁ゲートバイポーラトランジスタ(IGBT)であるため、Si デバイスの現状は IGBT について紹介する。なお、後述するように、この電圧範囲ではワイドバンドギャップ半導体の場合、デバイス構造は MOSFET もしくは、HEMT(High Electron Mobility Transistor)を用いる。

### 1.2.1. シリコン(Si)デバイスの現状

Si IGBT は通電状態では電子とホール両方で電気を流すバイポーラデバイスであり、伝導度変調を用いて通電時の素子抵抗を低減することが特徴である。これは、電子もしくはホールのみで電気を流すユニポーラデバイスである MOSFET と大きく違う点である。はじめに、Si IGBT の導通時の動作原理を述べる。Si IGBT は pnp トランジスタ[10]のベース電流を MOS 構造を用いて制御することで、素子の耐圧保持のために非常に低濃度で設計している n 型ドリフト層中の伝導度を、通電時のみ変調するデバイスである。素子の遮断時は、MOS 構造のゲートをオフしてベース電流を遮断すると、素子上部のエミッター側から空乏層が伸展して高電圧が印加されても十分な耐圧を保持する。ここで、空乏層は  $n^+$  バッファ層に到達して止まり、n 型ドリフト層の濃度は高電圧が印加されても十分な耐圧を保持するために非常に低濃度とする。一方で、通電時は MOS 構造のゲートをオンしてベース電流を流すと、素子裏面のコレクタより n 型ドリフト層にホールが流れこむことで、n 型ドリフト層中に高密度の電子とホールがほぼ同密度で存在するプラズマ状態が発生し、キャリア密度はもとの n 型ドリフト層中の電子密度よりも約 2-3 桁程度増加する。そのため、通電時は素子の低抵抗化が可能となり、これは伝導度変調と呼ばれる。

Si IGBT の実証と基本構造の検討はすでに 1980 年代に行われており、1982 年に初めて動作実証され[10]、1983 年に  $n^+$  バッファ層の導入とライフタイム制御によりオン電圧の増加を抑えつつ高速動作が可能であることが実証された[11]。1985 年にラッチアップを抑制する構造が提案され[12]、1987 年にトレンチゲート構造が導入されることで、チャネル密度の増加と pn 接合部の抵抗低減により低オン電圧が実現された[13]。1989 年には安価なウエハを使いこなすためノンパンチスルー構造が提案されている[14]。



1990年代には、素子内のキャリア分布制御技術が検討された。素子表面のキャリア密度を増加させるため、エミッターに流れ込むホールの流れを制御することで素子表面のキャリア密度を増加させるIE (Injection Enhancement) 効果[15]や、p型ウェル層の下にn型層を追加することでエミッターへのホールの抜けを抑制するCSTBT (Carrier Stored Trench-Gate Bipolar Transistor) 構造[16]が提案された。また、素子裏面でもp<sup>+</sup>型コレクタ領域を低濃度かつ浅い接合で形成してコレクタ注入効率を低減する構造[17]が報告された。

2000年代に入ると、コレクタ注入効率を低減した構造とパンチスルー構造を組み合わせたFS(Field Stop) IGBT 構造[18]が提案され、n型ドリフト層の薄膜化によるIGBTの高性能化が始まった。これによりノンパンチスルー構造よりもn型ドリフト層の厚みを約2/3まで縮小可能であり、1200 V 耐圧で175  $\mu\text{m}$  から120  $\mu\text{m}$  へと低減でき、耐圧クラスが600 V、1200 V、1700 V へと適用されている[19]。これにはパワーデバイスに特有の工程が必要となり、ウエハを薄厚化した後にウエハ裏面に不純物を添加してから、さらに金属を成膜する工程があり、その間にウエハが割れないように製造する必要がある。その他には、Si IGBT の特性について理論限界が検討され[20]、トレンチ間の距離に相当するメサ幅を狭くすることでオン電圧の低減が可能であることが指摘されたが、その一方で本構造では短絡破壊が生じやすい[21]ことが判明している。

その後、IGBT デバイス単体での性能改善ではなく、IGBT とダイオードの1チップ化が進展してきた。パワーデバイスで用いられるスイッチング素子は、還流ダイオードと対で用いられることが多く、還流ダイオードはスイッチング素子が導通状態から遮断状態に変化した際に、スイッチング素子を通る電流を逃がすためにスイッチング素子と並列に接続するダイオードのことを指す。新たに IGBT と還流ダイオードを一体化するRC(Reverse Conducting)-IGBT が提案された[22]。IGBT 領域と還流ダイオード領域を交互に配置することで、片方のデバイスが通電中はもう片方のデバイスは遮断中であり、通電時に生じる発熱を遮断しているデバイスへと逃がすことができるため、熱抵抗を低くすることができる。そのため、IGBT と還流ダイオードを別々に用いる場合よりも、半導体素子の総面積を縮小することができるため、積極的に研究開発が継続している。近年では、トレンチゲート内の電極構造を2段にしたスプリットゲート構造による性能向上が検討されている[23]。

近年では、素子単体の特性改善にとどまらず、制御技術との組み合わせによる特性改善が検討されている。Si IGBTの素子表面のゲート端子を2つに分割して、1つの素子内でゲートをオン・オフするタイミングを制御するダブルゲート IGBTによりターンオフ損失[15]、[24]およびターンオン損失[25]が低減可能であることが示されており、ゲート端子を3つに

分割するトリプルゲート構造[26]も提案されている。これとは別に、Si IGBT のゲート端子を素子の表側だけでなく、裏側にも設けることで素子の裏側のキャリア分布を制御する両面ゲート構造[27]によるターンオフ損失低減も実証されている。RC-IGBT についても、そのダイオード特性をゲート電圧で制御して IGBT のターンオン損失とダイオードのターンオフ損失を低減する RCDC(Reverse Conducting Diode Control)技術が検討されている[28]。その他にも、デジタル回路により最適なゲート駆動波形を自動的に探索するデジタルゲート駆動によりターンオフ損失とターンオフ時のオーバーシュート電圧の関係を改善した報告[29]や、デジタルゲート駆動のためオン時のゲート電圧を通常の 15 V から 5 V に低減した構造[30], [31]も報告されている。

このように、Si IGBT は継続的に進化を続けているが、デバイス性能の面では、Si の電子物性の制約に起因して Si IGBT 単体での性能向上は限界に差し掛かりつつある。製造技術はウエハの大口径化や製造工期短縮のための生産技術の確立が継続的に行われている。ウエハについては、8 インチウエハから 12 インチウエハの適用が検討されており、これまでパワーデバイスで使用されている FZ (Floating Zone) ウエハは 8 インチ以下に限られるので、12 インチウエハを用いるために MCZ(Magnetic Czochralski)ウエハの品質向上が求められる[32]。

### 1.2.2. SiC による材料革新[33]

すでに前節 1.2.1 で述べた通り、Si IGBT は継続的に進化を続けているが、デバイス性能の面では、Si の電子物性の制約に起因して Si IGBT 単体での性能向上は限界に差し掛かりつつある。そこで本節では、Si に変わる次世代パワーデバイス材料として期待されるワイドバンドギャップ半導体として SiC、GaN、Ga<sub>2</sub>O<sub>3</sub>、ダイヤモンドの物性を紹介するとともに、パワーデバイスとして用いる際の Si に対する優位性について述べる。

ワイドバンドギャップ半導体の特徴を把握するため、Si の物性値の比較を

表 1.1 に示す[4], [33], [34]。ここでは、パワーデバイスとして期待される SiC、GaN、Ga<sub>2</sub>O<sub>3</sub>、ダイヤモンドを示しており、SiC は最も広く使用される 4H-SiC を示した。また、Ga<sub>2</sub>O<sub>3</sub> は  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> を示した。パワーデバイス用途で重要となる物性値として、バンドギャップ、絶縁破壊電界( $E_{\text{critical}}$ )、比誘電率 ( $\epsilon$ )、バルクの電子移動度( $\mu$ )、熱伝導率を示した。また、後述する Baliga の性能指数、n 型および p 型の伝導型制御、熱酸化により SiO<sub>2</sub> 膜が形成できるかについても記載した。なお、Baliga の性能指数は Si からワイドバンドギャップ半導体へと置き換えることで、何倍の低抵抗化が期待されるかを表す指標である。ここでは Si の値を基準としてその比率を示した。なお、電子で電流を流す n 型のユニポーラデバイス用途を想定している。

表 1.1 Si およびワイドバンドギャップ半導体における物性値の比較 [4], [7], [33], [34]。

	Si	4H-SiC	GaN	$\beta$ -Ga <sub>2</sub> O <sub>3</sub>	ダイヤモンド
バンドギャップ (eV)	1.12	3.26	3.39	4.5	5.47
絶縁破壊電界 (MV/cm)	0.3	2.8*	3.3	>7	8
比誘電率	11.8	9.7	9	10.2~12.4	5.7
電子移動度 (cm <sup>2</sup> /V·s)	1350	1200**	900	200	2000
熱伝導率 (W/cm·K)	1.5	3.3-4.9	2	0.2	20
Baligaの性能指数 (Siを基準とした場合)	1	590	680	1630*	13600
n型伝導制御	○	○	○	○	○
p型伝導制御	○	○	△	×	○
熱酸化	○	○	×	×	×
備考		*絶縁破壊電界はc軸並行の値 **電子移動度はc軸並行の値		*比誘電率を10.2として算出	

詳細は後述するが、SiC はパワーデバイスで重要となる絶縁破壊電界が高いだけでなく、熱伝導率が高いためパワーデバイス内部で発生する熱を外部へ放出しやすいことからパワーデバイスに適した材料であることが分かる。さらに、n型と p 型の伝導型制御が可能であり、熱酸化により SiO<sub>2</sub> 膜が形成できることもデバイス設計を容易にしている。一方で、デ

メリットは SiC の化学結合が強いため、Si よりも高温のプロセスが必要となること、および Si よりもウェハ口径が小さいことである。ウェハ口径は Si では最大 12 インチであるが、SiC では 8 インチである。しかし、その他のワイドバンドギャップ半導体と比較すると大口徑化が進んでいる。

いずれの材料も Si よりも広いバンドギャップを持ち、Si よりも高い絶縁破壊電界が期待されている。例えば、SiC の物性値を Si と比較すると、バンドギャップは約 3 倍広く、絶縁破壊電界は約 10 倍高い。電子移動度は約 0.89 倍であり、比誘電率は 0.82 倍といずれも Si よりも低い。バンドギャップが広いことは、室温における真性キャリア密度が低いことに対応し、外因性の不純物濃度で半導体のキャリア密度が制御可能な温度領域が Si と比べて高温側まで広がることを意味し、デバイスの高温動作化が可能となる。パワーデバイスはパワー密度を高めるよう進展することを考慮すると、パワーデバイス内の発熱を効果的に排出するよう冷却性能を強化する、もしくは冷却性能はそのままパワーデバイスを高温動作させることが必要となろう。後者にとって、ワイドバンドギャップ半導体が高温動作可能であることはパワーデバイスに適した特徴といえる。Si は室温における真性キャリア密度が約  $10^{11} \text{ cm}^{-3}$  程度であるが、SiC は室温における真性キャリア密度は約  $10^{-8} \text{ cm}^{-3}$  程度であり、 $500^{\circ}\text{C}$  においても約  $10^{10} \text{ cm}^{-3}$  にとどまる[33]。そのため、理論的には  $800^{\circ}\text{C}$  以上の温度でもデバイス動作が可能であるが、これはデバイスの伝導型の制御の観点であり、実際のデバイスでは金属/半導体接合や金属/酸化膜/半導体界面を伴うため、それらの高温時の特性にも影響される。

また、表 1.1 に示すように熱伝導率は材料により異なり、SiC、GaN およびダイヤモンドは Si よりも高い熱伝導率を示す。これは素子内部の発熱を外部に放熱しやすいことを意味しており、パワーデバイスの冷却系の簡素化につながるため、パワーデバイスに適した特性である。一方で、 $\text{Ga}_2\text{O}_3$  では Si よりもずいぶん小さい。デバイスの伝導型制御の難しさは材料により異なり、いずれのワイドバンドギャップ半導体でも n 型伝導型制御は容易である。一方で、p 型伝導型制御は Si、SiC、ダイヤモンドでは容易であるが、GaN ではイオン注入による制御が難しく、結晶回復のため超高压下での熱処理が必要である[35]。 $\text{Ga}_2\text{O}_3$  においては p 型伝導型制御は実現していない。そのアクセプタ不純物候補の活性化エネルギーは理論計算では 1 eV 以上と大きい値が予測されていることに加え、価電子帯端部が平坦なエネルギーバンド構造を有するためホールの有効質量が非常に大きく、ドリフト電流や拡散電流によるホール伝導性を得ることが難しい[34]。MOSFET のゲート絶縁膜や半導体素子の表面保護膜を形成するという観点からは、SiC は Si と同様に熱酸化により絶縁膜である  $\text{SiO}_2$  を形成できることが特徴である。

ワイドバンドギャップ半導体を用いて MOSFET を作製した時のメリットを通電時の導通

損の観点で検討する。導通損を低減することは、素子の抵抗を低減することに対応している。ユニポーラデバイスである MOSFET は、パワーデバイス用途で用いる場合は図 1.3 に示す構造を基本構造としており、ゲート電極の電圧を制御することでその直下のチャネル領域の通電状態を制御し、電流をオン・オフすることで縦方向に大電流を流す。ここで示すパワーデバイス用途の MOSFET 構造は DI-MOSFET(Double Implanted-MOSFET)と呼ばれる。また、素子の表面にチャネル領域を形成するためプレーナ型 MOSFET とも呼ばれる。

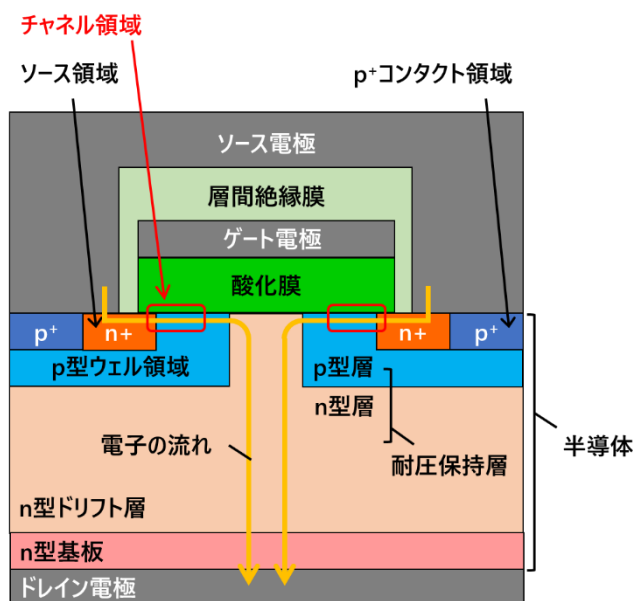


図 1.3 パワーデバイス用途の MOSFET 構造

パワーデバイス用途の MOSFET は、 $n^+$ 型の基板上に  $n$  型のドリフト層が形成され、その表面側に MOSFET のチャネル領域を形成するための  $p$  型ウェル層が部分的に設けられる。 $p$  型ウェル領域上のチャネル領域となる領域上に酸化膜とゲート電極が形成され、チャネル領域に隣接して  $n^+$ 型のソース領域および  $p^+$ 型のボディーコンタクト領域が形成される。 $p$  型ウェル領域に挟まれた  $n$  型ドリフト層の領域は  $pn$  接合からなる接合型電界効果トランジスタ構造となるため、JFET(Junction Field Effect Transistor)領域と呼ばれ、その上にもチャネル領域と同様に酸化膜とゲート電極が形成される。ソース電極はソース領域とボディーコンタクト領域に接するように形成され、ドレイン電極は基板に接するように形成される。通電時は電子がキャリアとなり、ソース電極、ソース領域、チャネル領域、JFET 領域、ドリフト層、基板、ドレイン電極の順に電子が流れる。図 1.4 にパワーデバイス用途の MOSFET における抵抗成分を示す。オン時の素子抵抗( $R_{on}$ )は式(1)で表すように、ソース領域のソース抵抗( $R_{source}$ )、チャネル領域のチャネル抵抗( $R_{ch}$ )、蓄積領域の抵抗( $R_{ac}$ )、JFET 領域の抵抗( $R_{JFET}$ )、ドリフト層の抵抗( $R_{drift}$ )、基板抵抗( $R_{sub}$ )、ソース電極とソース領域および基板とドレイン電極間のコンタクト抵抗( $R_{contact}$ ) に大別される。なお、JFET 領域にドリフ

ト層よりも高濃度の n 型ドーピングを行うことで  $R_{JFET}$  を低減することもある[36]。

$$R_{on} = R_{contact} + R_{source} + R_{ch} + R_{ac} + R_{JFET} + R_{drift} + R_{sub} \quad (1)$$

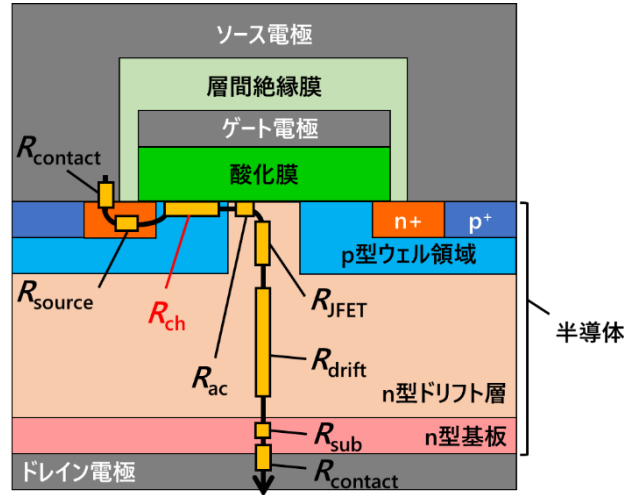


図 1.4 パワーデバイス用途の MOSFET における抵抗成分

チャネル領域の構造は図 1.5 に示す横型 MOSFET を基にしており、通電状態のプレーナ型 MOSFET は横型 MOSFET に JFET 領域上部の蓄積層、ウェル領域に挟まれた JFET 領域、およびドリフト層、n 型基板が直列につながった構造である。つまり、プレーナ型 MOSFET は横型 MOSFET に高電圧を印加しても破壊しないようにチャネル領域とドレイン領域の間に pn 接合からなる耐圧保持層を加えたものとみなせる。このため、チャネル領域の電気特性の評価は図 1.5 に示す横型 MOSFET を用いて行う。横型 MOSFET はゲート電圧をオン・オフすることでソース領域からドレイン電流へと流れる電流を制御するスイッチング素子であり、ゲート電極によりチャネル領域の導電率を制御する。チャネル領域の導電率は反転層内のキャリア密度とキャリアの移動度の積に比例し、各々を表面キャリア密度と反転層移動度と呼ぶ。オフ状態では表面キャリア密度が小さく高抵抗であり、オン状態では表面キャリア密度が多く低抵抗であるため、ソース領域からドレイン電流へ流れる電流の制御が可能となる。

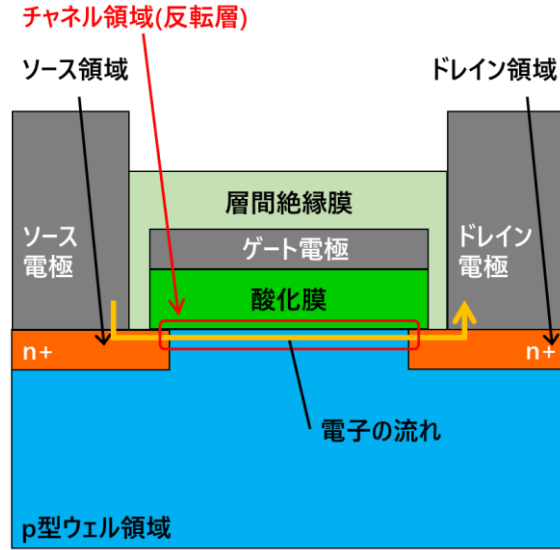


図 1.5 横型 MOSFET の構造

ワイドバンドギャップ半導体では、プレーナ型 MOSFET を作製する際の、ドリフト層の抵抗( $R_{\text{drift}}$ )を Si よりも大幅に低抵抗化できるため、パワーデバイス用途の材料として期待されている。絶縁破壊電圧( $V_{\text{BD}}$ )に対する  $R_{\text{drift}}$  の値は式(2)で表される Baliga の性能指数 (BFM : Baliga's Figure of Merit)を用いて式(3)で表される。BFM の導出は本節の末尾で述べる。ここで、 $R_{\text{drift}}$  は単位面積当たりの値を考えている。

$$\text{BFM} = \epsilon \mu E_{\text{critical}}^3 \quad (2)$$

$$R_{\text{drift}} = \frac{4V_{\text{BD}}^2}{\text{BFM}} \quad (3)$$

ここで、 $\epsilon$  は誘電率、 $\mu$  はバルクの電子移動度である。式(1)で示すようにプレーナ型 MOSFET の抵抗は様々な抵抗の直列接続のため、 $R_{\text{on}}$  は  $R_{\text{drift}}$  のみでは決まらないが、その他の抵抗が十分に低抵抗化できると仮定して、材料ごとの低抵抗化のユニポーラ限界を与える指標として  $R_{\text{drift}}$  が用いられる。 $R_{\text{drift}}$  は  $V_{\text{BD}}$  の 2 乗に比例し、BFM の 1 乗に反比例するため、BFM が大きいほど  $R_{\text{drift}}$  の低抵抗化が可能となる。より正確には、BFM を表す  $\mu$  と  $E_{\text{critical}}$  が n 型不純物濃度に依存して変化することを考慮する必要がある。SiC では  $R_{\text{drift}}$  は  $V_{\text{BD}}$  の 2.28 乗に比例して増加する[37]。このように、バルク材料物性より期待される、単一面積あたりの  $R_{\text{drift}}$  と  $V_{\text{BD}}$  の関係をユニポーラ極限とよび、Si の場合は Si Limit、SiC の場合は SiC Limit と呼ぶ。

Si の  $R_{\text{drift}}$  を基準に他材料による  $R_{\text{drift}}$  の低減効果が議論され、表 1.1 に示すようにワイドバンドギャップ半導体では Si よりも 2 桁以上の低抵抗化が見込まれる。Si、SiC、GaN、

$\text{Ga}_2\text{O}_3$ 、ダイヤモンドの順に Baliga の性能指数が大きくなり、バルクの材料物性のみではその順で  $R_{\text{drift}}$  の低抵抗化が可能と期待される。ただし、これはユニポーラ素子間での比較であり、バイポーラ素子ではユニポーラ極限よりも低抵抗化が可能である。Si IGBT ではメサ幅を極限的に縮小することで SiC Limit よりも低抵抗化が可能という指摘もあるが[20]、一般的な Si IGBT では  $V_{\text{BD}}$  と  $R_{\text{drift}}$  の関係は SiC Limit よりも高抵抗となる。そのため、ワイドバンドギャップ半導体を用いた MOSFET はその物性に基づいて、Si IGBT を凌駕する低抵抗化が可能であり、導通損の低減が見込まれる。これは、ワイドバンドギャップ半導体を用いるとユニポーラデバイスで導通損失が低減できることを意味している。また、オン・オフの切り替え時に発生するスイッチング損失の観点でも、バイポーラ素子よりもユニポーラ素子の方が低損失であり、ワイドバンドギャップ半導体を用いた MOSFET の利点である。この詳細は後ほど 1.2.3 節で述べる。

ここまでは、式(3)を前提として議論していた。MOSFET の  $V_{\text{BD}}$  と  $R_{\text{drift}}$  の関係はパワーデバイス用途における最も基本的な関係であり、その背景を理解することが不可欠である。そのため以降では、式(3)の基となるドリフト層の抵抗( $R_{\text{drift}}$ )と絶縁破壊電圧( $V_{\text{BD}}$ )の関係を導出する。図 1.3 に示すプレーナ型 MOSFET では、p 型ウェル領域と n 型ドリフト層が素子を遮断した際の耐圧保持層の役割も担っている。素子を遮断した状況では、チャンネル領域がオフするようにゲート電圧が印加される。ソース電極は接地され、ドレイン電極には高電圧が印加されるが、この高電圧は p 型ウェル領域と n 型ドリフト層の間に広がる空乏層で保持される。そのため、pn 接合は高電圧が印加されてもアバランシェ降伏により素子が破壊しないように設計する必要がある。図 1.6 に pn 接合による耐圧保持の模式図を示す。一般に、p 型ウェル領域の方が n 型ドリフト層よりも不純物濃度が高いため、空乏層は主にドリフト層側に広がる。ドリフト層で保持できる電圧は空乏層内の電界の積算値で決まり、その電界形状は各々の不純物濃度分布で決定されるため、ドリフト層の長さや n 型不純物濃度は素子が保持すべき耐圧を考慮して設計される。以下では議論を簡単にするため、p 型ウェルと n 型ドリフト層間に広がる空乏層が、n 型ドリフト層のみの片側接合に広がる場合について考える。



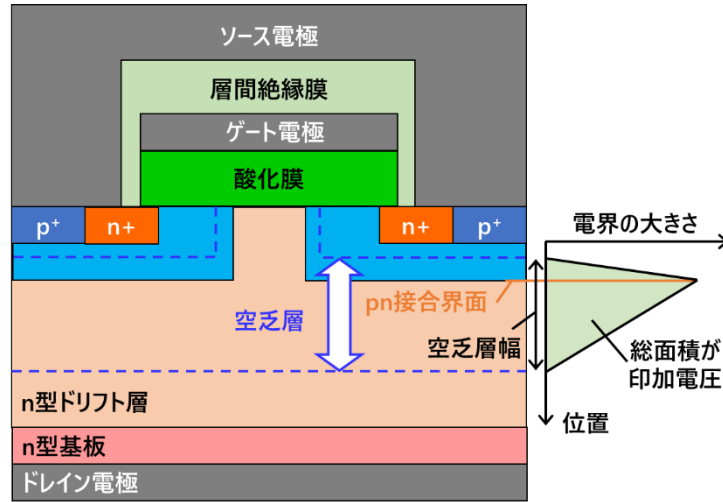


図 1.6 pn 接合による耐圧保持の模式図

n 型ドリフト層のドナー濃度  $N_d$  が一定という条件の下では、Poisson 方程式より空乏層中の位置  $x$  における電界  $E(x)$  は式(4)で表される。ここで、 $q$  は電荷素量、 $\varepsilon$  は半導体の誘電率である。

$$\frac{d}{dx}E(x) = \frac{qN_d}{\varepsilon} \quad (4)$$

そのため式(5)で表すように、pn 接合の界面で電界の大きさ ( $|E(x)|$ ) が最大となり、ドナー濃度に比例した一定の割合で電界の大きさが減少する。ここでは素子表面から裏面方向を  $x$  軸の正方向と考えており、pn 接合の界面を  $x=0$  とし、 $x=0$  における電界を  $-E_{\max}$  とした。ここで、 $E_{\max}$  は pn 接合の界面における電界の大きさを表す。

$$|E(x)| = |-(E_{\max} - \frac{qN_dx}{\varepsilon})| = E_{\max} - \frac{qN_dx}{\varepsilon} \quad (5)$$

電圧印加時の素子内部に発生する電界と空乏層幅 ( $W_{\text{dep}}$ ) の関係は、式(5)において空乏層端部で電界がゼロとすると、式(6)で表される。

$$W_{\text{dep}} = \frac{\varepsilon E_{\max}}{qN_d} \quad (6)$$

このとき素子に印加される電圧 ( $V$ ) は電界強度と空乏層幅で決まる三角形の面積に相当し、式(7)で表される。

$$V = \frac{\epsilon E_{\max}^2}{2qN_d} \quad (7)$$

印加電圧を保持するには pn 接合が絶縁降伏しないことが必要であり、pn 接合界面の電界強度である  $E_{\max}$  は半導体の絶縁破壊電界( $E_{\text{critical}}$ )より小さい必要がある。 $E_{\max} < E_{\text{critical}}$  であり、絶縁破壊電圧( $V_{\text{BD}}$ )は式(8)で表され、半導体に印加できる電圧には  $N_d$  に応じた限界があることが分かる。また、このときの空乏層幅の最大値( $W_{\text{dep,max}}$ )は式(9)で表される。

$$V_{\text{BD}} = \frac{\epsilon E_{\text{critical}}^2}{2qN_d} \quad (8)$$

$$W_{\text{dep,max}} = \frac{\epsilon E_{\text{critical}}}{qN_d} \quad (9)$$

ここで、ドリフト層の抵抗( $R_{\text{drift}}$ )はその幅を  $W$  として式(10)で表される。素子の耐圧保持のため、 $W \cong W_{\text{dep,max}}$  であることが必要であるが、 $W$  の増加は  $R_{\text{drift}}$  の増加につながるため低抵抗化には、 $W$  が短いほどよい。そのため、 $R_{\text{drift}}$  の最小値( $R_{\text{drift,min}}$ )は式(11)で表される。

$$R_{\text{drift}} = \frac{W}{q\mu N_d} \quad (10)$$

$$R_{\text{drift,min}} = \frac{W_{\text{dep,max}}}{q\mu N_d} = \frac{\epsilon E_{\text{critical}}}{\mu(qN_d)^2} \quad (11)$$

$V_{\text{BD}}$  と  $R_{\text{drift,min}}$  の関係は式(8)と(11)より求まり、 $E_{\text{critical}}$  と  $\mu$  はともに  $N_d$  に応じて変化するため、 $N_d$  を変数として  $V_{\text{BD}}$  と  $R_{\text{drift,min}}$  の関係が定められる。なお、 $R_{\text{drift,min}}$  は  $V_{\text{BD}}$  と BFM を用いて式(12)と表現され、これが式(3)で示した関係である。

$$R_{\text{drift,min}} = \frac{4V_{\text{BD}}^2}{\text{BFM}} \quad (12)$$

これらの検討を基に、図 1.7 に同一の  $V_{\text{BD}}$  における Si と SiC の空乏層幅と電界分布の関係を示す。SiC では  $E_{\text{critical}}$  が Si よりも約 10 倍以上大きいので、式(8)より、同一の  $V_{\text{BD}}$  における  $N_d$  を 100 倍ほど高濃度化できる。式(9)より、 $W_{\text{dep,max}}$  は Si の約 1/10 へと薄くできるため、式(11)より同一の  $V_{\text{BD}}$  における  $R_{\text{drift}}$  を Si 比べて約 1000 分の一に低減できることを意味している。SiC では  $E_{\text{critical}}$  が増加するため、ドリフト層を高濃度かつ薄膜化できるため  $R_{\text{drift}}$  が低減できることが分かる。なお、実際には  $N_d$  の増加による  $\mu$  の低下を考慮する必要がある、

$R_{\text{drift}}$  の低減効果は数百分の一である。図 1.8 に絶縁破壊電圧( $V_{\text{BD}}$ )に対する Si Limit と SiC Limitを示した[37]。各々、Si と SiC に対してある  $V_{\text{BD}}$  における  $R_{\text{drift}}$  の最小値を示している。このような  $R_{\text{drift}}$  と  $V_{\text{BD}}$  のトレードオフ関係の改善は、表 1.1 に示したその他のワイドバンドギャップ半導体でも期待される。

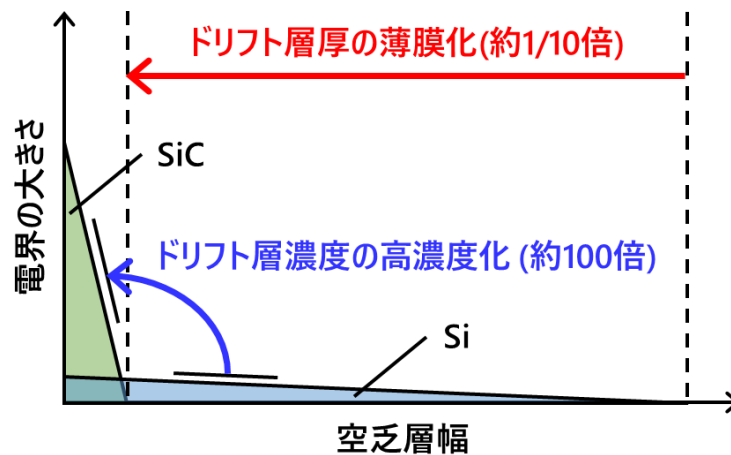


図 1.7 同一の  $V_{\text{BD}}$  における Si と SiC の空乏層幅と電界分布の関係

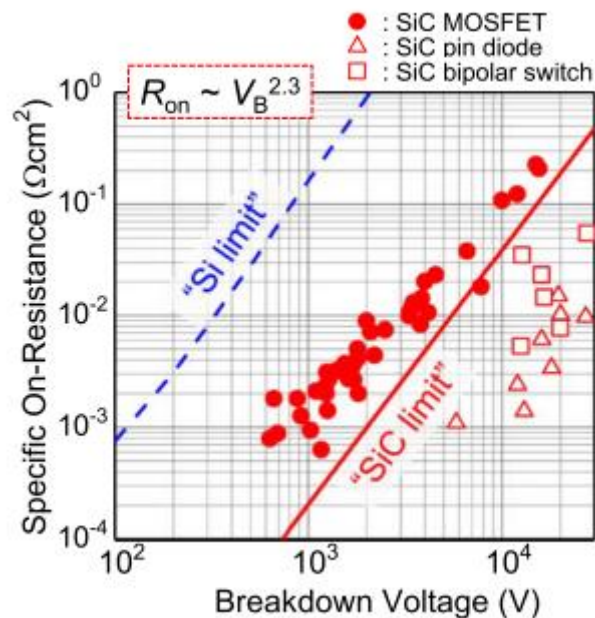


図 1.8 Si limit と SiC limit の比較[37]。

("Used with permission of JSAP, from [Defect engineering in SiC technology for high-voltage power devices, T. Kimoto and H. Watanabe, *Appl. Phys. Express*, vol. 13, no. 12, 2020]; permission conveyed through Copyright Clearance Center, Inc.")

### 1.2.3. SiC による低損失化

ワイドバンドギャップ半導体を用いて MOSFET を作製した時の利点をスイッチング時に発生する損失であるスイッチング損失の観点で検討する。一般に、バイポーラ素子とユニポーラ素子を比較すると、ユニポーラ素子ではオン・オフが切り替わるスイッチング速度が速く、スイッチング損失を低減することができる。

例として、ワイドバンドギャップ半導体である SiC を用いた場合のスイッチング損失の低減効果を紹介する[5]。スイッチング素子と還流ダイオードの組み合わせとして表 1.2 に記載の(1)~(3)の3通りの場合が比較されている。図 1.9 にそれぞれの組み合わせにおける素子の損失[5]を示した。ここで、スイッチング素子と還流ダイオードはいずれも、Si デバイスはバイポーラ素子であり、SiC デバイスはユニポーラ素子である。導通損失とスイッチング損失の合計を(1)を 100 として比較すると、(2)と(3)は各々73 と 30 となり、低損失化が可能であることが示されており、損失改善の大半はスイッチング損失の低減に起因する。

表 1.2 スwitchング素子と還流ダイオードの組み合わせ。

名称	スイッチング素子	還流ダイオード
(1)	Si IGBT	Si pn ダイオード
(2)	Si IGBT	SiC ショットキーバリアダイオード (SBD: Schottky Barrier Diode)
(3)	SiC MOSFET	SiC SBD

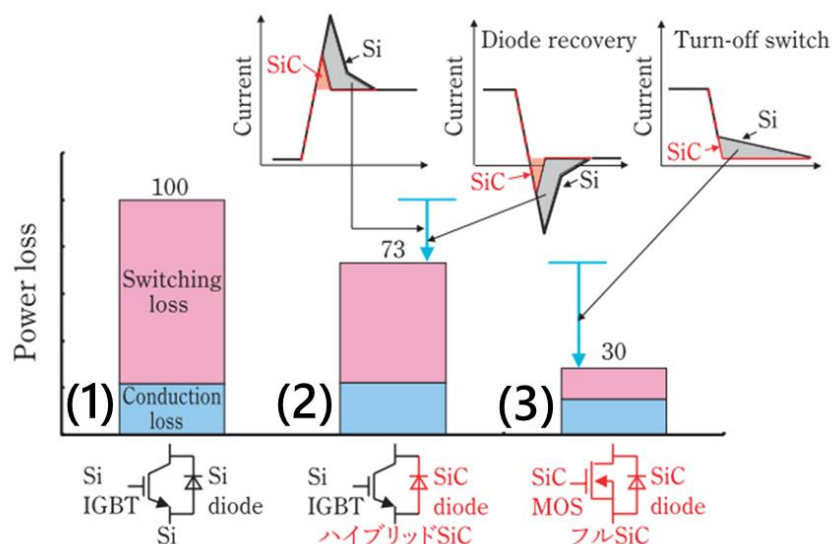


図 1.9 SiC パワーモジュールの損失低減効果[5]。

(出典：山川聡, “SiC パワーデバイスの実用化展開,”  
応用物理, 85 巻, 11 号, pp. 941–946, 2016.)

損失低減の要因は (1)から(2)、(2)から(3)の間で異なる。まず、(1)から(2)への変化を述べる。還流ダイオードとして用いる Si pn ダイオードはバイポーラ素子であり、SiC SBD はユニポーラ素子である。(1)から(2)へと還流ダイオードをバイポーラ素子から、ユニポーラ素子へ変更することで、スイッチング素子がターンオンする際にスイッチング素子と還流ダイオードで発生するスイッチング損失がいずれも低減する。(1)ではスイッチング素子がターンオンする際、還流ダイオードはターンオフしているため還流ダイオードにはオン状態で素子内に蓄積されたキャリアによる逆回復電流が発生しており、それが消滅するまで長期間にわたりエネルギー損失が生じ、これをリカバリー損失と呼ぶ。この際、スイッチング素子に逆回復電流が重畳することでサージ電流が発生し、スイッチング素子のターンオン損失も増加する。一方で、(2)のように、還流ダイオードを SiC SBD に変えると、SBD がユニポーラ素子のため逆回復電流が減少し、かつその期間も減少するため、スイッチング素子のターンオン損失と還流ダイオードのリカバリー損失が減少する。なお、このとき導通損とターンオフ損失は変わらない。

次に、(2)から(3)への変化を述べる。ここでは、スイッチング素子をバイポーラ素子から、ユニポーラ素子へ変更することで、スイッチング素子がターンオフする際にスイッチング素子で発生するスイッチング損失が低減する。(2)ではスイッチング素子がターンオフする際、その直前まで通電状態で伝導度変調しているため素子内に多くの電子とホールが存在しており、ドリフト層中の少数キャリアであるホールは、ターンオフ時に空乏層内の電界により素子外へ排出されるものの、その一部は素子内に残存するために再結合で消滅するまでに時間を要する。この再結合過程に起因して流れる電流をテール電流と呼び、その影響でスイッチング速度が遅くなる。テール電流の大きさは小さいものの、高電圧が印加された状態が長時間継続するためターンオフ損失を増加させる。一方で、(3)のように、スイッチング素子を SiC MOSFET に変えると、MOSFET がユニポーラ素子のためテール電流は発生せず、ターンオフ損失が減少する。また、SiC MOSFET が Si IGBT よりも低抵抗なため、導通損も低減する。このように、Si を用いたバイポーラ素子からワイドバンドギャップ半導体を用いたユニポーラ素子へと置き換えることで、スイッチング損失の低減が見込まれる。

## 1.2.4. ワイドバンドギャップ半導体の適応領域

図 1.10 に素子耐圧に対する材料ごとの住み分けおよび、研究開発の状況を示す[38]。Si では MOSFET、IGBT、サイリスタおよび、低耐圧の SiC MOSFET と Si 基板上に形成された GaN HEMT はすでに商用化されている。一方で、高耐圧の SiC MOSFET、SiC のバイポーラデバイス、GaN 基板上に形成された GaN MOSFET、 $\text{Ga}_2\text{O}_3$  を用いた MOSFET や JFET は研究開発段階である。今後も、低耐圧領域では Si が主流であり続けることが予想されるが、600 V 以上の耐圧領域では Si IGBT とワイドバンドギャップ半導体を用いたパワーデバイスが競合する領域となり、優れた物性を有するワイドバンドギャップ半導体を用いたパワーデバイスの適用範囲が拡大することが期待されている。

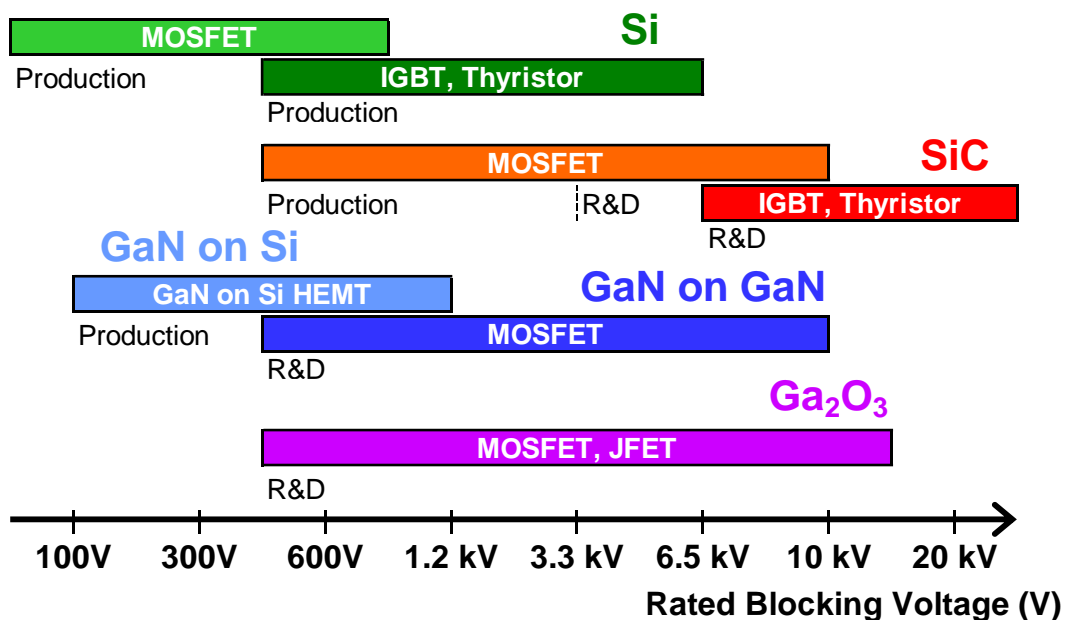


図 1.10 素子耐圧に対する材料ごとの住み分け、および研究開発の状況  
(文献[38]を基に作成)

### 1.3. SiC パワーデバイス[33]

本節ではワイドバンドギャップ半導体として実用化が加速している SiC に注目し、その基本的な結晶構造と物性、およびデバイスを作製するためのプロセス技術を紹介する。SiC のプロセス技術はデバイス作製が可能なレベルに達しており、様々な構造のデバイスが実証されてきた。パワーデバイス用途で重要となるのは、スイッチング素子と整流素子であり、各々 SiC MOSFET と SiC SBD が実用化されている。MOSFET にはチャネル領域の配置により、図 1.3 に示すプレーナ型 MOSFET だけでなく、ゲート電極を素子表面に形成した周期的な溝(トレンチ)構造の中に形成するトレンチ型 MOSFET も用いられ、詳細は後節 1.4 で紹介する。その他にも、スイッチング素子として SiC SJ(Super Junction) MOSFET[39]–[43]、SiC IGBT[44], [45]、JFET、BJT(Bipolar Junction Transistor)[46], [47]、整流素子として PiN ダイオード[48]や MPS(Merged PiN Schottky) ダイオード[49]の報告がある。

#### 1.3.1. SiC の結晶構造とエピタキシャル層[7], [33]

SiC はシリコン(Si)と炭素(C)が各々50%の化学量論的組成を有する IV-IV 族半導体であり、その化学結合は共有結合であるが、11%のイオン性を有する。その結晶構造は Si と C の対が周期的に並んでおり、対となる Si と C 間の原子間距離は 1.89 Å と短い。SiC には 200 種類以上の結晶多形(ポリタイプ)が存在するが、発生確率が高いのは 3C-SiC、4H-SiC、6H-SiC、15R-SiC である。4H-SiC などの表記は、頭の数字が積層方向の 1 周期に含まれる Si-C 単位層の数を表し、その後のアルファベットは結晶系を示す。C、H、R は各々立方晶、六方晶、および菱面体晶に対応している。そのため、4H-SiC は積層方向の 1 周期に含まれる Si-C 単位層が 4 層の六方晶の結晶構造を有する。図 1.11 に 3C-SiC、4H-SiC、6H-SiC の積層構造の模式図[33]を示す。

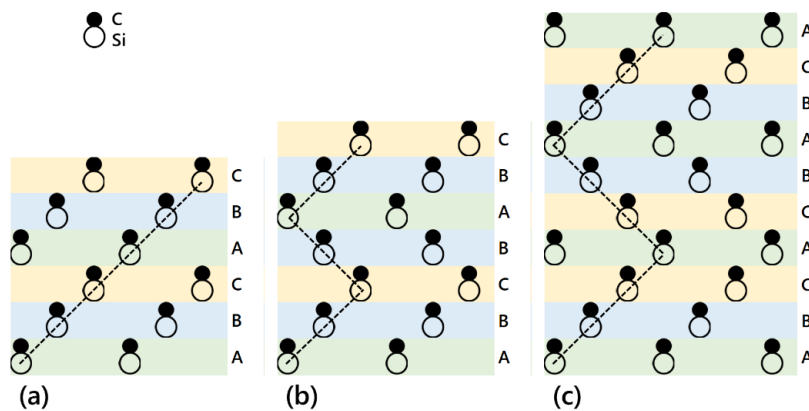


図 1.11 (a)3C-SiC、(b)4H-SiC、(c)6H-SiC の積層構造の模式図[33]。  
(文献[33]を基に作成)

表 1.3 に代表的なポリタイプである 3C-SiC、4H-SiC、6H-SiC の物性値の比較[33]を示す。4H-SiC は 3C-SiC よりも絶縁破壊電界が大きい。また、6H-SiC は 4H-SiC よりも高い絶縁破壊電界を示すが、電子移動度が 1 桁程度低い。このため、Baliga の性能指数を比較すると 6H-SiC よりも 4H-SiC の方が大きい値を示し、ドリフト層の低抵抗化が可能である。これらの理由より、パワーデバイス用途には 4H-SiC が広く用いられる。以降で単に SiC と記載する場合は、パワーデバイス用途に用いられる 4H-SiC を表すこととする。

表 1.3 3C-SiC、4H-SiC、6H-SiC の物性値の比較[33]。

	3C-SiC	4H-SiC	6H-SiC
バンドギャップ (eV)	2.23	3.26	3.02
格子定数(Å)	4.36	a=3.09 c=10.08	a=3.09 c=15.12
絶縁破壊電界 (MV/cm)	1.5	2.8*	3.0
比誘電率	9.7	9.7	9.7
電子移動度 (cm <sup>2</sup> /V·s)	1000	1200(c軸並行)** 1000(c軸垂直)	100(c軸並行) 450(c軸垂直)
ホール移動度 (cm <sup>2</sup> /V·s)	50	120	100
熱伝導率 (W/cm·K)	4.9	4.9	4.9
Baligaの性能指数 (Siを基準とした場合)	8	590	61
備考		*絶縁破壊電界はc軸並行の値 **電子移動度はc軸並行の値	

このように SiC の物性値はポリタイプにより異なり、バンドギャップ、移動度、不純物準位などが異なるが、いずれの構造でもバンド構造は間接遷移型である。4H-SiC を例にとると、その結晶面は様々であり、デバイス応用で重要となるのは (0001)面、(000 $\bar{1}$ )面、(11 $\bar{2}$ 0)面、(1 $\bar{1}$ 00)面、(0 $\bar{3}$ 3 $\bar{8}$ )面である。図 1.12 に SiC の六方晶構造と先の 4 つの面方位の関係を示す。表 1.4 に示すように、先の 4 つは順に Si 面、C 面、a 面、m 面と呼ばれる。(0001)面は Si 面と呼ばれ最も標準的に用いられる面方位であり、*c* 軸と呼ばれる[0001]方向に垂直な面であり、最表面には Si-C 単位層の Si 原子が配置されている。(000 $\bar{1}$ )面は C 面と呼ばれ、Si 面と *c* 軸に対して逆方向の面方位であり、最表面には Si-C 単位層の C 原子が配置されている。プレーナ型 MOSFET では、チャネル領域を *c* 軸に垂直な Si 面または C 面に形成する一方で、トレンチ型 MOSFET ではチャネル領域は *c* 軸に平行な a 面または m 面に形成することが多い。なお、トレンチ型 MOSFET ではチャネル領域を(0 $\bar{3}$ 3 $\bar{8}$ )面に形成する



こともあり、この場合はチャネル領域が  $c$  軸に対して斜めに形成される。

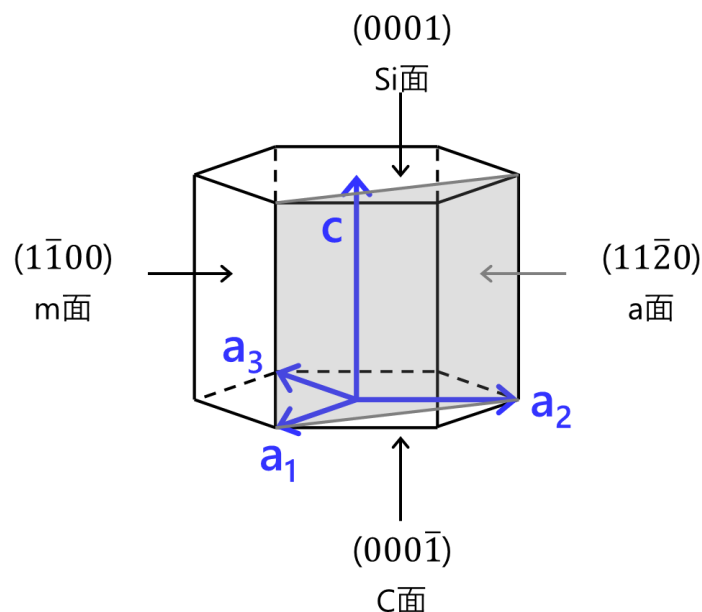


図 1.12 SiC の六方晶構造と主な面方位[7]。  
(文献[7]を基に作成)

表 1.4 4H-SiC の結晶面と名称。

結晶面	名称
(0001)面	Si 面
(0001 $\bar{1}$ )面	C 面
(11 $\bar{2}$ 0)面	a 面
(1 $\bar{1}$ 00)面	m 面

SiC の基板単結晶は主に昇華再結晶法で製造されており、すでに 8 インチ基板が実証されている[50]。別の手法として、溶液成長法[51]や化学気相堆積(CVD : Chemical Vapor Deposition)を 2000°C 超の高温で行うガス成長法[52]も検討されており、ウエハの大口径化に向けた研究が行われている。SiC 基板上にデバイスを作製する際は通常、活性層となる SiC 膜を CVD 法によりエピタキシャル成長して、不純物濃度と膜厚を制御する。この際 4H-SiC では、基底面である SiC{0001}面オン基板ではなく、基板に数度のオフ角を形成してステップフロー成長を行うステップ制御エピタキシー[53], [54]が用いられる。オフ角の導入により基板表面に原子レベルのステップが形成されるため、基板情報を引き継ぐことが可能となり、ポリタイプの混在を抑制した高品質ホモエピタキシャル成長が可能となる。エピタキシャル成長時に不純物を添加することで n 型と p 型の伝導型制御が可能であり、n

型不純物には窒素(N)またはリン(P)、p型不純物にはアルミニウム(Al)またはホウ素(B)が主に用いられる。イオン化エネルギーはNとPは60 meV程度と小さいが、Alは200 meV程度と大きく、Bは300 meVとさらに大きい[7]。なお、イオン化エネルギーは置換するサイトに依存し、hexagonalサイトとcubicサイトで異なる。Nでは順に61 meVと126 meV、Pでは順に60 meVと120 meV、Alでは198 meVと201 meVである[7]。SiCパワーデバイスで必要となるエピタキシャル層の膜厚は1.2 kV 耐圧の素子で約10  $\mu\text{m}$ 、3.3 kV 耐圧の素子で約30  $\mu\text{m}$ であり[37]、厚いエピタキシャル層の成膜が必要となる。そのため、SiCエピタキシャル膜の成長速度の高速化が検討されている[55]–[58]。

n型とp型の伝導型制御では、不純物元素によって置換する原子が異なり、NはCを置換し、P、AlとBはSiを置換する[7]。不純物濃度は成長雰囲気下のCとSiの比率(C/Si比)にも影響され、N濃度はCが少なくSiが多くなる低C/Si比の条件下で高濃度となり、高C/Si比の条件下で低濃度となる[59]。これは、成長表面におけるCの被覆量が少ないとNが取り込まれやすく高濃度化すると説明される[7]。AlはSiを置換するため、Al濃度とC/Si比の関係はN濃度と逆であり、低C/Si比の条件下で低濃度となり、高C/Si比の条件下で高濃度となる[59]。エピタキシャル成長時のN濃度は $1 \times 10^{14} \text{ cm}^{-3}$ から $2 \times 10^{19} \text{ cm}^{-3}$ の広範囲で制御でき、 $\text{N}_2$ ガス流量とC/Si比で制御される[50]。Al濃度も、 $2 \times 10^{14} \text{ cm}^{-3}$ から $5 \times 10^{20} \text{ cm}^{-3}$ の広範囲で制御でき、トリメチルアルミニウム(TMA :  $\text{Al}(\text{CH}_3)_3$ )を少量添加することで制御される[50]。

SiCエピタキシャル膜内には複数の転位、積層欠陥、および点欠陥が導入されるため、それらを低減する技術開発が続いている。転位には、貫通らせん転位(threading screw dislocation : TSD)や転位芯に中空孔を伴うマイクロパイプ、基底面転位(basal plane dislocation : BPD)、貫通刃状転位(threading edge dislocation : TED)がある。BPDとTEDはともに $a/3 \langle 11\bar{2}0 \rangle$ のバーガースベクトルを有しているため構造転換が可能である。なお、4H-SiC単結晶中における転位の伝播は、BPDは基底面内で生じ、TEDはおおよそ $c$ 軸方向で生じる。バーガースベクトルが $a/3 \langle 11\bar{2}0 \rangle$ である完全転位としてのBPDは、基底面内にバーガースベクトルが $a/3 \langle 1\bar{1}00 \rangle$ の2本のショックレー部分転位に分解して存在しており、それら2本の部分転位間に存在するショックレー型積層欠陥は、電子とホールがともに伝導するバイポーラ電流が流れると電子・ホールの再結合によりすべりやすくなる性質がある[60], [61]。バイポーラデバイスではBPDを起点にショックレー型積層欠陥が拡張し[62]、順方向動作時に素子抵抗が増大する現象が知られ、これは順方向通電劣化と呼ばれる[37], [61]。室温におけるショックレー型積層欠陥中のライフタイムはバルク中よりも短く[63], [64]、また、それは量子井戸を形成する[65]–[67]。前者により伝導度変調が低下することが順方向通電劣化の一因と指摘されている[37]。また、電子・ホールの再結合で拡張したショックレー型積層欠陥により、多数キャリアのみを通電した際の素子抵抗も増加

することが判明している[68]。そのため、エピタキシャル成長時に基板内の BPD の多くは TED へと転換するが、順方向通電劣化を抑制するためにその転換率の向上が図られている。

また、4H-SiC のエピ成長時には積層欠陥が生じ、その一例である 3C-インクルージョンの形状は典型的には三角形であるが、その他にも様々な形状を取りえる。さらに、エピタキシャル膜内には点欠陥が存在し、n 型 4H-SiC エピタキシャル膜には  $Z_{1/2}$  センターと  $EH_{6/7}$  センターと呼ばれる電荷捕獲準位がほぼ共通して存在する。これらは各々伝導帯端よりも 0.63 eV および 1.55 eV 下のエネルギーに深い準位を形成する[7]。それらの密度は CVD によるエピタキシャル成長後には約  $0.3\sim5\times10^{13} \text{ cm}^{-3}$  であり、1700°C 程度の高温熱処理後も安定に存在する[7]。 $Z_{1/2}$  センターと  $EH_7$  センターは炭素空孔( $V_C$ )に起因しており、また  $Z_{1/2}$  センターは n 型 4H-SiC エピタキシャル膜のライフタイムを低減するライフタイムキラーであることが知られている[69], [70]。

### 1.3.2. SiC の物性

4H-SiC のエネルギーバンド構造は、間接遷移型であり、バンドギャップは室温で 3.26 eV である。伝導帯と価電子帯の最小エネルギー位置は波数空間上で各々 M 点と  $\Gamma$  点に存在する。4H-SiC は前節 1.2.2 の

表 1.1 に示すように高い絶破壊電界と高い熱伝導率を有するというパワーデバイスに適した物性を有する。パワーデバイス用途で重要となるのは、前節 1.2.2 の式(2)で示した Baliga の性能指数を向上する観点から、バルク領域の電子移動度と絶縁破壊電界を高めることである。ここで、絶縁破壊電界は電子とホールのインパクトイオン化係数で決まる物性値である。SiC ではバルクの電子移動度[71]とインパクトイオン係数[72], [73]が異方性を有することが知られ、いずれも  $c$  軸と並行方向にパワーデバイス用途に優れた値を示すことが判明している[37]。図 1.13 に  $c$  軸に平行および垂直方向の電子移動度の異方性を示し、図 1.14 に絶縁破壊電界の異方性を示す。図 1.14 では、図中の  $\langle 0001 \rangle$  方向は  $c$  軸並行方向を示し、 $\langle 11\bar{2}0 \rangle$  方向は  $c$  軸垂直方向を示す。ここでは、Si の絶縁破壊電界との比較も示されている。

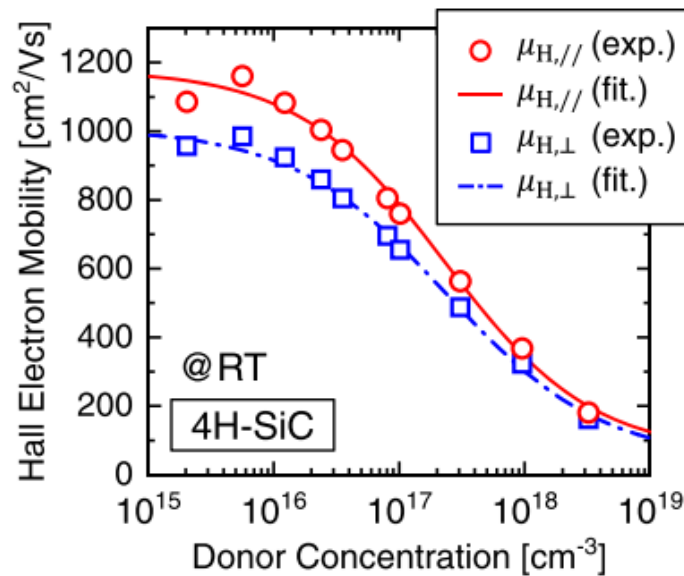


図 1.13  $c$  軸に平行および垂直方向の電子移動度の異方性[71]。

("Used with permission of JSAP, from [Electron mobility along  $\langle 0001 \rangle$  and  $\langle 11\bar{2}0 \rangle$  directions in 4H-SiC over a wide range of donor concentration and temperature, R. Ishikawa *et al.*, *Appl. Phys. Express*, vol. 14, no. 6, 2021]; permission conveyed through Copyright Clearance Center, Inc.")

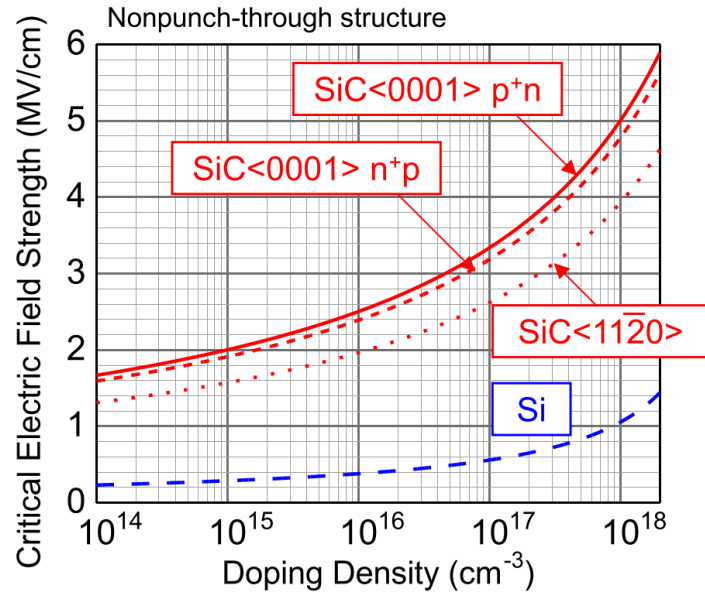


図 1.14  $c$  軸に平行および垂直方向の絶縁破壊電界の異方性。図中の  $\langle 0001 \rangle$  方向は  $c$  軸並行方向を示し、 $\langle 11\bar{2}0 \rangle$  方向は  $c$  軸垂直方向を示す[37]。

("Used with permission of JSAP, from [Defect engineering in SiC technology for high-voltage power devices, T. Kimoto and H. Watanabe, *Appl. Phys. Express*, vol. 13, no. 12, 2020]; permission conveyed through Copyright Clearance Center, Inc.")

バルク領域の電子移動度は  $c$  軸に対して並行方向と垂直方向で異方性を示し、 $c$  軸並行方向が  $c$  軸垂直方向よりも約 1.2 倍高い[71]。これはパワーデバイスの低抵抗化には  $c$  軸並行方向に電子を流すことが有効であることを意味する。また、 $c$  軸並行である  $\langle 0001 \rangle$  方向と  $c$  軸垂直方向である  $\langle 11\bar{2}0 \rangle$  方向では、電子とホールインパクトイオン化係数に異方性がある[73]。図 1.15 に  $c$  軸に平行および垂直方向における電子とホールインパクトイオン化係数を示す[38]。各々のインパクトイオン化係数を順に  $\alpha_n$  と  $\alpha_p$  とすると、 $\alpha_p$  の異方性は小さいが、 $\alpha_n$  には異方性があり、 $\langle 0001 \rangle$  方向の  $\alpha_n$  が小さいという特徴がある。これは、パワーデバイスの耐圧を保持するには  $c$  軸並行方向に電圧を印加することが有効であることを意味する。これら 2 つの特徴はパワーデバイス用途には  $c$  軸に垂直な基板を用いて、基板の表面から裏面へと電圧印加することで、同一  $V_{BD}$  で低抵抗な素子が作製できることを示している。

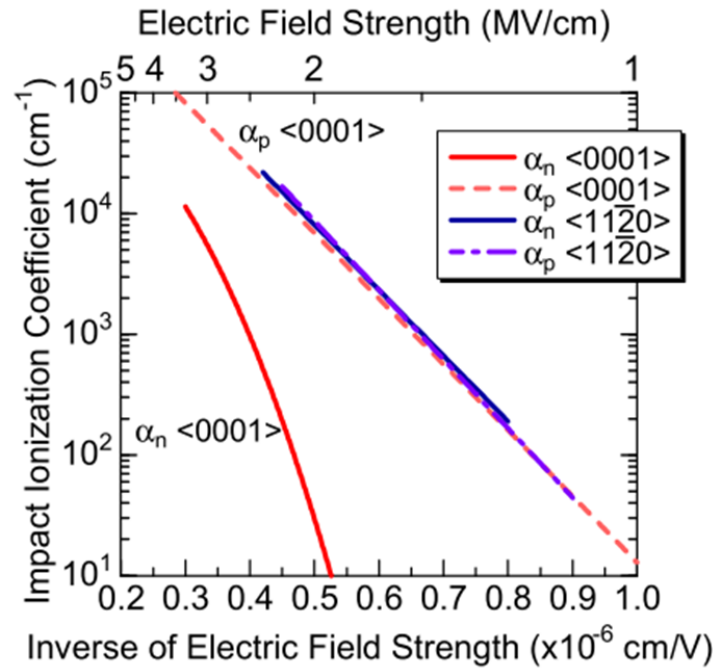


図 1.15  $c$  軸に平行および垂直方向における電子とホールインパクトイオン化係数。

各々のインパクトイオン化係数を順に  $\alpha_n$  と  $\alpha_p$  とする[38]。

(© 2021 IEEE)

電子のインパクトイオン化係数に着目すると、 $\langle 0001 \rangle$  方向の  $\alpha_n$  は  $\langle 11\bar{2}0 \rangle$  方向の  $\alpha_n$  よりも小さく、電界強度が 2.2 MV/cm において  $\langle 0001 \rangle$  方向の  $\alpha_n$  は  $\langle 11\bar{2}0 \rangle$  方向の  $\alpha_n$  に比べて約 50 倍以上小さい。これは、SiC のバンド構造に起因していると指摘されており、 $\langle 0001 \rangle$  方向に電界を印加すると、電子は波数空間上で M 点から L 点方向へと加速されるが L 点にはエネルギーのミニギャップが存在するため、インパクトイオン化を発生させる高エネルギーの電子が生じにくいためであると解釈されている[74]。一方で  $\langle 11\bar{2}0 \rangle$  方向に電界を印加すると、電子は波数空間上で M 点から K 点方向に加速されるが、その際はミニギャップが存在しない[74]。次に、電子とホールのインパクトイオン化係数を比べると、 $\langle 0001 \rangle$  方向の  $\alpha_n$  は  $\alpha_p$  よりも小さく、電界強度が 2.5 MV/cm では  $\alpha_n = 960 \text{ cm}^{-1}$  と  $\alpha_p = 2.4 \times 10^4 \text{ cm}^{-1}$  であり[37]、25 倍ほど  $\alpha_p$  の方が大きい。一方で、 $\langle 11\bar{2}0 \rangle$  方向ではそれらの差は小さい[73]。従って、 $\langle 0001 \rangle$  方向および  $\langle 11\bar{2}0 \rangle$  方向の  $\alpha_n$  と  $\alpha_p$  の中で、 $\langle 0001 \rangle$  方向の  $\alpha_n$  が特に小さい。なお、Si では SiC と異なり、 $\alpha_n$  が  $\alpha_p$  よりも大きいもののその大きさは桁では変わらず、電界強度がおおよそ 0.4 MV/cm では  $\alpha_n$  と  $\alpha_p$  は各々、約  $3 \times 10^4 \text{ cm}^{-1}$  と約  $1 \times 10^4 \text{ cm}^{-1}$  である[37]。ノンパンチスルー型の  $p^+n$  接合において、 $\alpha_n$  と  $\alpha_p$  の異方性を反映して絶縁破壊電界は  $\langle 0001 \rangle$  方向が  $\langle 11\bar{2}0 \rangle$  方向よりも高く、その値は  $\langle 11\bar{2}0 \rangle$  方向では  $\langle 0001 \rangle$  方向に比べて約 21% 低下する[73]。

### 1.3.3. SiC のプロセス技術[7], [33]

SiC は原子間の結合力が強く、化学的に安定な材料であるため、SiC デバイスを作製するにはそれに適したプロセス技術が必要となり、Si と比較して高いプロセス温度が必要となる。SiC MOSFET を作製するために必要となるプロセス技術として、イオン注入、ゲート絶縁膜形成、オーミック電極形成、エッチング、ライフタイム制御について紹介する。

MOSFET には素子内の不純物分布を設計する必要がある、SiC ではエピタキシャル成長時だけでなく、イオン注入で n 型と p 型の伝導型制御ができる。そのため、基板上に形成するドリフト層はエピタキシャル成長時に n 型不純物を添加し、素子表面の不純物分布はイオン注入で行う。n 型不純物は、ソース領域、JFET 領域、チャネル領域の最表面に添加する。n 型不純物を添加する理由は、ソース領域へはチャネル領域への電子供給とソース抵抗およびコンタクト抵抗を低減するため、JFET 領域へは JFET 領域の低抵抗化のため、チャネル領域へはしきい値電圧を制御するためである。p 型不純物はウェル領域、ウェル領域とソース電極のボディーコンタクト領域、および終端領域に添加する。p 型不純物を添加する理由は、ウェル領域へはしきい値電圧の制御および逆バイアス印加時の空乏層制御のため、ボディーコンタクト領域へはウェル領域とソース電極のコンタクト抵抗を低減するため、終端領域へは逆バイアス印加時の素子耐圧を十分に保つためである。

イオン注入した不純物を電氣的に活性化するには Ar ガス中で  $1500^{\circ}\text{C}\sim 1800^{\circ}\text{C}$  の高温下でアニールする必要がある、高温アニール時に SiC の表面がマイグレーションしてマイクロステップが形成されるため、表面荒れが生じてしまう。この表面荒れを抑制するために、キャップアニール法[75], [76]等が報告されており、キャップアニール法では AlN 膜やカーボン膜で SiC 表面を被覆した状態でアニール処理を行う。SiC 中の N、P、Al の拡散係数は非常に小さく[77]、活性化アニールに伴う不純物分布の変化は小さい。一方で、B は著しく拡散するとともに D センターと呼ばれる深い準位を形成しやすいため[78]、通常のデバイス作製には p 型不純物として Al を用いる。

ゲート絶縁膜は、一般的には RCA 洗浄後に SiC の熱酸化膜もしくは堆積膜を用いて形成した  $\text{SiO}_2$  が用いられる。 $\text{SiO}_2$  は SiC の伝導帯端と価電子帯端のバンドオフセットが各々約  $2.7\text{ eV}$  と約  $2.9\text{ eV}$  であり、ゲート酸化膜に電界をかけた際のゲートリーク電流を十分に小さくできる。熱酸化は  $\text{O}_2$  雰囲気中で行うドライ酸化や、 $\text{H}_2\text{O}$  などの水蒸気ガス雰囲気中で行うウェット酸化があり、酸化膜の成長速度には面方位依存性がある[79]。4H-SiC では C 面、a 面、Si 面の順に酸化速度が速く、Si 面と比較して a 面は 3~5 倍速く、C 面は約 10 倍速い。酸化温度は  $1100^{\circ}\text{C}$  以上がよく用いられる。Si 面ではドライ酸化膜/SiC 界面における電子捕獲準位が多く存在するため、その低減のため標準的に窒化処理が行われる。これは

20 年以上前に提案された技術であるが、現在でも標準的に使用される。窒化処理は NO ガス[80]や  $\text{N}_2\text{O}$  ガス[81]雰囲気中でアニール処理を行い、その温度は  $1150^\circ\text{C}$  以上がよく用いられる。窒化処理により酸化膜/SiC 界面に窒素が  $10^{20} \text{ cm}^{-3}$  以上の高濃度に導入される[82]。ゲート絶縁膜の信頼性に対する指標の一つである TDDB (Time Dependent Dielectric Breakdown) 特性が調べられており、 $150^\circ\text{C}$  で酸化膜電界が  $5 \text{ MV/cm}$  における酸化膜寿命は実使用時間に対して十分に長く見積もられており、酸化膜が破壊するまでに酸化膜を通過する電荷量( $Q_{\text{BD}}$  : Charge to breakdown)は  $150^\circ\text{C}$  において酸化膜電界が  $9 \text{ MV/cm}$  より小さい場合は約  $10 \text{ C/cm}^2$  である[83]。堆積膜の形成には LPCVD (Low Pressure Chemical Vapor Deposition) 法や PECVD (Plasma Enhanced Chemical Vapor Deposition) 法が用いられ、熱酸化よりも比較的低温で成膜できる。熱酸化膜では面方位により酸化速度が異なるため、トレンチ構造を酸化すると酸化膜厚が面方位ごとに異なるが、堆積膜では面方位によらず均一な酸化膜を形成することができる。堆積膜として高誘電率を有する high-k 材料も検討されており、 $\text{Al}_2\text{O}_3$ [83]、 $\text{AlON}$ [84]、 $\text{HfAlON}$ [85]、 $\text{LaSiO}_x$ [86]等が用いられるが、 $\text{SiO}_2$  を置き換えるには至っていない。この際、high-k/SiC 界面に薄膜の  $\text{SiO}_2$  を挟んだ high-k/ $\text{SiO}_2$ /SiC 構造が用いられることがある[83]–[85]。なお、電荷捕獲準位や電界効果移動度などの酸化膜/SiC 界面に関連する電気特性を改善するには、プロセス条件は面方位ごとに異なるため、使用する面方位に応じてプロセス条件を検討する必要がある。

ソース電極にはソース領域とボディーコンタクト領域が接しており、ソース領域は  $n^+$  型であり、ボディーコンタクト領域は  $p^+$  型である。ソース電極は両方の領域と低抵抗に接続するために低コンタクト抵抗でオーミック接触を実現することが求められる。金属/SiC 接合を低抵抗化するには成膜後に  $1000^\circ\text{C}$  近くの高温アニール処理が必要となるが、配線材料であるアルミニウム (Al) は融点が低いため、Al と SiC の直接接合は用いられない。その代わりに、Ni/SiC 接合を高温アニール処理することでニッケルシリサイド層を形成して SiC とオーミック接触させたいうで Al 配線が形成される[87]。

また、トレンチ型 MOSFET を形成するには SiC をエッチングしてトレンチ構造を形成する必要がある、反応性イオンエッチング (RIE : Reactive Ion Etching) 法と呼ばれる、プラズマを用いたエッチングが一般的に用いられる。エッチング用のガスはフッ素系、塩素系、臭素系などがある。

ライフタイム制御は従来、バイポーラデバイスで重要となる技術であり、ライフタイムを延ばすための検討が行われてきた。 $n$  型エピタキシャル層のライフタイムを延ばすには、ライフタイムキラーとなる炭素空孔起因の欠陥である  $\text{Z}_{1/2}$  センターの密度を低減することが重要である。ウェハ表面への炭素 (C) 注入を行い、その際に生じた格子間炭素を  $1650^\circ\text{C}$ – $1700^\circ\text{C}$  でアニール処理することでバルク中へと拡散することで  $\text{Z}_{1/2}$  センターの濃度



が低減し、ライフタイムが増加する[7], [88], [89]。また、別の手法として SiC の表面を酸化すると一部の炭素が SiC バルク中へと放出されて  $Z_{1/2}$  センターを消滅させる[7], [90], [91]。近年では、ユニポーラデバイスである MOSFET においても、ライフタイムを制御する技術の重要性が増している。MOSFET はその構造より、p 型ウェル領域、n 型ドリフト層、 $n^+$ 型基板からなる pn ダイオードを内蔵しており、これをボディードायオードと呼ぶ。ボディードાયオードが動作すると素子内にバイポーラ電流が流れるため、基板に転位の一つである BPD が存在すると、前節 1.3.1 に記載の通り、ショックレー型積層欠陥が電子・ホールの再結合により拡張してドリフト層の抵抗が増大する[68]。これを抑制するために、ドリフト層と基板の間に再結合促進層と呼ばれる n 型バッファ層の導入が検討されている[92]。本構造では、ホールはウェル領域から注入されるため、再結合促進層におけるライフタイムを短くすれば、ホールはその中で消滅し、BPD の存在する基板に到達しないことを意図している。再結合促進層のライフタイム低減は、窒素濃度を増加することでバンド間直接再結合とオーグジュ再結合が促進して実現される[92]。また、ライフタイムの低減には窒素に加えて、バナジウム(V)の添加[93]、またはホウ素(B)の添加による D センターの導入[94]が有効であり、いずれの元素もエピタキシャル成長時に導入される。

## 1.4. シリコンカーバイド(SiC) MOSFET

本節では SiC MOSFET の基本構造であるプレーナ型 MOSFET からのデバイス構造の進化について紹介する。まず、最も基本構造となるプレーナ型 MOSFET について述べ、その後に改良構造である(1)トレンチ型 MOSFET、(2)SBD 内蔵 MOSFET、(3)スーパージャンクション MOSFET について述べる。トレンチ型 MOSFET は、MOSFET のチャネル密度を高めることで素子を低抵抗化する構造であり、SBD 内蔵 MOSFET は MOSFET に還流ダイオードとして SBD を内蔵することで 1 チップの機能を拡張する構造である。これらの素子の性能はユニポーラ限界を超えることはない。しかし、スーパージャンクション(SJ : Super Junction) MOSFET ではユニポーラ限界を超えた低抵抗化が可能となる。本構造では素子の耐圧構造を工夫することで、ドリフト層の抵抗を従来構造よりも低減できる。

### 1.4.1. プレーナ型 MOSFET

プレーナ型 MOSFET では図 1.3 に示すようにチャネル領域がエピタキシャル層の表面に配置され、チャネルの面方位は主に Si 面が用いられる。プレーナ型 MOSFET の抵抗は、ソース領域のソース抵抗( $R_{\text{source}}$ )、チャネル領域のチャネル抵抗( $R_{\text{ch}}$ )、蓄積領域の抵抗( $R_{\text{ac}}$ )、JFET 領域の抵抗( $R_{\text{JFET}}$ )、ドリフト層の抵抗( $R_{\text{drift}}$ )、基板抵抗( $R_{\text{sub}}$ )、ソース電極とソース領域および基板とドレイン電極間のコンタクト抵抗( $R_{\text{contact}}$ )からなる。 $R_{\text{JFET}}$  は JFET 領域に n 型ドーピングを行うことで低減される[36]。素子の耐圧クラスに応じて、各抵抗が素子全体の抵抗( $R_{\text{on}}$ )に占める割合は異なり、高耐圧の素子では  $R_{\text{drift}}$  がその大半を占めるため、 $R_{\text{on}}$  は前節 1.2.2 で述べた SiC limit に近づく。一方で、低耐圧の素子では  $R_{\text{drift}}$  が低減した分、その他の抵抗の  $R_{\text{on}}$  に占める割合が増加し、特にチャネル抵抗の影響が大きくなる。図 1.16 に素子耐圧クラスごとの抵抗成分の見積もり[37]を示す。全抵抗に占めるチャネル抵抗の割合は素子耐圧クラスごとに異なり、600 V、1200 V、3.3 kV では各々 66%、48%、13% であるが見積もられており[37]、低耐圧クラスほどチャネル抵抗の影響が大きい。なお、ここでは  $R_{\text{ch}}$  を見積もるためにチャネル領域の電子移動度は  $25 \text{ cm}^2/\text{Vs}$ 、ゲート酸化膜電界は  $3 \text{ MV/cm}$ 、チャネル長は  $0.5 \mu\text{m}$ 、チャネル密度は  $2.5 \times 10^3 \text{ cm}^{-2}$  としている。

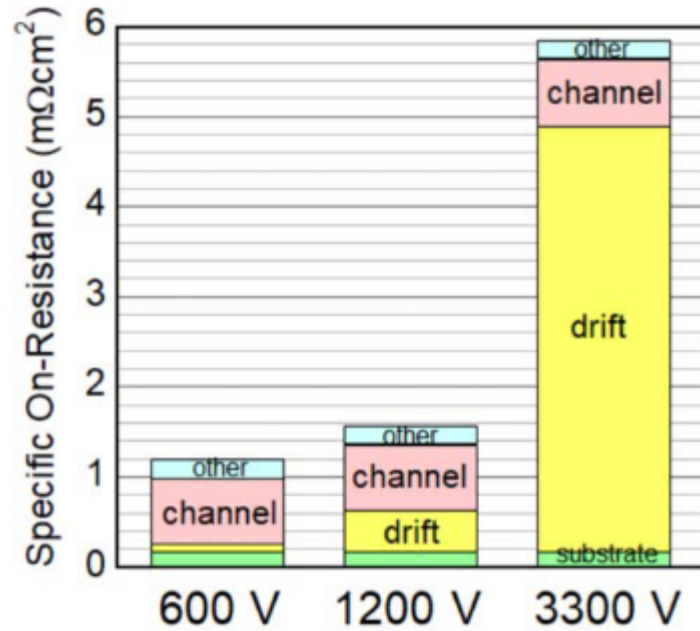


図 1.16 素子耐圧クラスごとの抵抗成分の見積もり[37]

("Used with permission of JSAP, from [Defect engineering in SiC technology for high-voltage power devices, T. Kimoto and H. Watanabe, *Appl. Phys. Express*, vol. 13, no. 12, 2020]; permission conveyed through Copyright Clearance Center, Inc.")

チャネル抵抗の低減はデバイス設計の観点からは、チャネル領域の長さであるチャネル長の短縮、単位面積あたりのチャネル密度の増加が有効である。また、反転層中のキャリア密度である表面キャリア密度を増加させるために、ゲートに印加する電圧の増加もしくはゲート絶縁膜の薄膜化による酸化膜電界の増加も効果的である。一方で、物性の観点からは、反転層中のキャリアの移動度である反転層移動度の増加、およびゲート絶縁膜/SiC界面の電荷捕獲準位の低減により従来と同等の酸化膜電界における表面キャリア密度の増加が求められる。反転層移動度の増加による  $R_{ch}$  の低減効果を見積もるために、チャネル領域の実効移動度( $\mu_{eff}$ )を変化させて  $R_{drift} + R_{ch}$  と絶縁破壊電圧( $V_{BD}$ )の関係を見積もった。図 1.17 に  $\mu_{eff}$  を  $10 \text{ cm}^2/\text{Vs}$ 、 $25 \text{ cm}^2/\text{Vs}$ 、 $50 \text{ cm}^2/\text{Vs}$ 、 $100 \text{ cm}^2/\text{Vs}$ 、 $150 \text{ cm}^2/\text{Vs}$ 、 $300 \text{ cm}^2/\text{Vs}$  としたときの結果を示す。なお、現在の標準的なプロセスでは  $\mu_{eff}$  は  $25 \text{ cm}^2/\text{Vs}$  程度である。ここでは、ゲート酸化膜電界は  $3 \text{ MV/cm}$ 、チャネル長は  $0.5 \mu\text{m}$ 、チャネル密度は  $2.5 \times 10^3 \text{ cm}^{-2}$  とした。ここで、ゲート酸化膜電界はゲート電圧( $V_G$ )、しきい値電圧( $V_{th}$ )、酸化膜厚( $T_{ox}$ )に対して、 $(V_G - V_{th})/T_{ox}$  で定義し、酸化膜は  $\text{SiO}_2$  として比誘電率を 3.9 とした。酸化膜/SiC 界面に誘起される表面キャリア密度は  $C_{ox} \times (V_G - V_{th})$  であるとした。 $C_{ox}$  は酸化膜容量を表す。 $V_{BD}$  が低い領域では  $R_{drift} + R_{ch}$  は  $R_{ch}$  により制限されているため、 $\mu_{eff}$  が増加することで理想的な SiC limit に近づくことが分かる。特に、 $V_{BD}$  が  $600 \text{ V}$  または  $1.2 \text{ kV}$  の領域ではその効果

が大きい。従って、SiC MOSFET の更なる低抵抗化には反転層移動度の向上が重要であることが分かる。

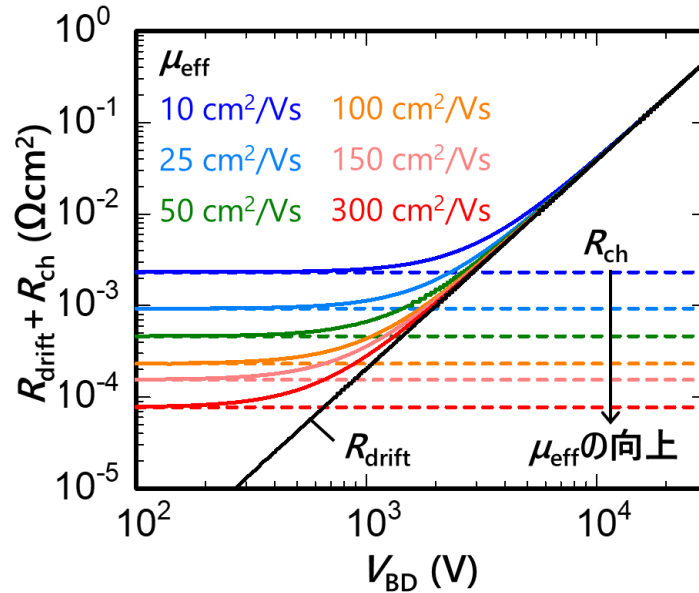


図 1.17 ドリフト抵抗とチャネル抵抗の和と絶縁破壊電圧の関係。反転層における実効移動度を  $10 \text{ cm}^2/\text{Vs}$ 、 $25 \text{ cm}^2/\text{Vs}$ 、 $50 \text{ cm}^2/\text{Vs}$ 、 $100 \text{ cm}^2/\text{Vs}$ 、 $150 \text{ cm}^2/\text{Vs}$ 、 $300 \text{ cm}^2/\text{Vs}$  とした。ゲート酸化膜電界は  $3 \text{ MV/cm}$ 、チャネル長は  $0.5 \mu\text{m}$ 、チャネル密度は  $2.5 \times 10^3 \text{ cm}^{-2}$  とした。

また、素子設計の観点からはチャネル抵抗を正確に予測する必要があり、ウェル設計に応じたチャネル抵抗の変化を考慮することが求められる。そのためには、ウェル設計による反転層移動度と表面キャリア密度をモデル化することが重要である。これは、プレーナ型 MOSFET に限らず、次節 1.4.2 で紹介するトレンチ型 MOSFET においても同様であり、反転層移動度のモデル構築には Si 面、a 面、m 面などの面方位ごとにキャリア散乱機構を理解することが不可欠である。

その他の特徴として、SiC MOSFET では SiC の絶縁破壊電界が高いことを利用しており、ドリフト層の低抵抗化のために n 型不純物濃度が高く、ソース・ドレイン間の容量が大きくなる。同様に、終端領域においても終端領域・ドレイン間容量が大きい。素子のスイッチング時にはドレイン電圧の時間変化 ( $dV/dt$ ) が生じるため、これらの容量を介した変位電流が流れる。ドリフト層が高濃度のため、素子が遮断状態における空乏層の容量が SiC では Si の約 10 倍大きいため、 $dV/dt$  が同等となる速度で素子を遮断すると約 10 倍の変位電流が流れ、ソース電極へは p 型領域を介したホール電流が流れ込む。この際、p 型領域の長さに応じて変位電流に起因する電圧降下が生じ、これは p 型領域の長さ、シート抵抗、スイ

ツチング速度に依存する。SiC のホール移動度は Si よりも低いこともあいまって、スイッチング速度が大きくなるとセル領域よりも p 型領域が長い終端領域で特に大きな電圧降下が生じるため、終端領域上の絶縁膜が破壊することがあり、本現象を考慮した終端構造設計が必要となる[95]。

### 1.4.2. トレンチ型 MOSFET

低耐圧クラスにおいて、プレーナ型 MOSFET では  $R_{on}$  に占める  $R_{ch}$  の割合が大きくなるため、 $R_{on}$  と SiC limit の乖離が広がる。プレーナ型 MOSFET ではチャネル領域がエピタキシャル層の表面に配置される。チャネル抵抗低減のためにはチャネル長と呼ばれるチャネル領域の長さは短いことが有利であるが、チャネル長が短くなるとしきい値電圧が減少する短チャネル効果が顕在化する。パワーデバイスでは予期せぬタイミングで素子が誤ってオン状態にならないようにしきい値電圧を高く設定する必要がある、しきい値電圧も考慮してチャネル長を決める必要がある。また、チャネル長が短いと、MOSFET の飽和電流が大きくなるため、短絡状態において大電流が流れやすくなり素子が破壊するまでの保持時間が短くなるという欠点がある。短絡状態とは、MOSFET のチャネル領域がオンした状態でドレイン電極に高電圧が印加され、素子に高電圧かつ大電流が流れ込む状態である。短絡状態になった場合、素子破壊を防ぐために回路で通電状態を遮断するが、遮断するまでに一定時間は素子が破壊しないことが必要であり、短絡保護の観点からもチャネル長はある程度の長さが必要となる。これらの理由から、プレーナ型 MOSFET におけるチャネル抵抗の低減には限界がある。

チャネル抵抗を低減するには、チャネル密度を増加させることが有効であり、そのためウエハ表面に周期的な溝を形成し、その側面にチャネル領域を形成するトレンチ型 MOSFET 構造[96]–[102]が用いられる。図 1.18 にトレンチ型 MOSFET の基本構造を示す。プレーナ型 MOSFET では基板の平面上に形成していいたチャネル領域を基板に縦方向に形成できるため単位セルの周期を短縮でき、単位面積当たりのチャネル密度が増加し、チャネル抵抗を低減できる。そのため、トレンチ型 MOSFET による単位セルの長さを縮小する検討が行われている。ただし、トレンチ型 MOSFET においても、低耐圧クラスでは  $R_{ch}$  は  $R_{on}$  に対して一定の割合を占めている。

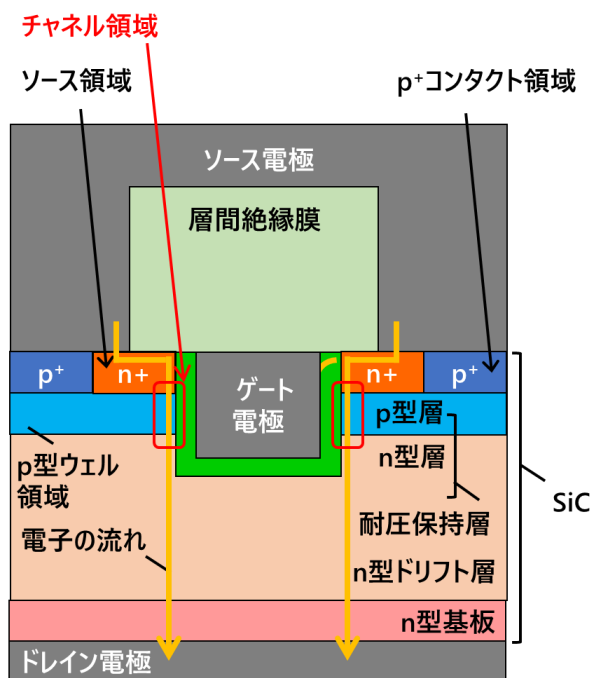


図 1.18 トレンチ MOSFET の基本構造

一方で、チャンネル密度の増加はゲート・ソース間容量およびゲート・ドレイン間容量の増加につながるため、スイッチング特性に影響することを考慮する必要がある。トレンチ型 MOSFET ではトレンチ側壁にチャンネル領域が形成され、チャンネル領域に用いる面方位は主に  $c$  軸に垂直な面方位および、 $c$  軸から斜めの方向である (0 $\bar{3}$ 3 $\bar{8}$ )面[101], [102]が報告されている。これらの面方位を持つエピタキシャル層上に形成した横型 MOSFET は、プレーナ型で主に用いる Si 面よりもチャンネル領域の反転層移動度が高いことから、反転層移動度の観点からもトレンチ型 MOSFET ではチャンネル抵抗の低減が期待される。また、本構造ではプレーナ型 MOSFET で生じる JFET 領域がなく、JFET 抵抗を低減することができる。高電圧印加時は、ウェル領域とドリフト層間に空乏層が広がる。その際、本構造のトレンチ MOSFET ではトレンチ構造の底部に高電界が印加される。トレンチ底部付近に高電界が印加されると、その上のゲート絶縁膜にも高電界が印加される。ゲート絶縁膜に SiO<sub>2</sub> を用いた場合、SiC と SiO<sub>2</sub> の比誘電率は各々 9.7 と 3.9 であるため、SiO<sub>2</sub>/SiC 界面の電荷がゼロであるとするとガウスの法則より SiO<sub>2</sub> には SiC よりも約 2.5 倍高い電界が印加されるため、ゲート絶縁膜を劣化させる懸念がある。そのため、SiC を用いたトレンチ型 MOSFET はトレンチ底部の電界を緩和する構造が用いられ、様々な構造が提案されている[96], [98], [100]。ゲート電極を埋め込むトレンチ構造よりも深いトレンチ構造を周囲に配置したダブルトレンチ構造[100]や、図 1.19(a)に示すようにトレンチ下部に p 型層を設けたボトム p 層構造[98]がその代表例である。トレンチ下部に p 型層を設ける理由は、トレンチ底部に空乏層を形成することで、酸化膜と接するトレンチ底部に印加される電界を緩和する電界緩和層を設





### 1.4.3. SBD 内蔵 MOSFET

SBD 内蔵 MOSFET は還流ダイオードである SBD を MOSFET とは別に外付けにせず、MOSFET の中に内蔵する構造[106], [107]である。図 1.20 に SBD 内蔵 MOSFET の基本構造を示す。本来、本構造における SBD の役割は MOSFET のウェル領域とドリフト層からなるボディーダイオードで代用できるものであるが、SiC ではバイポーラ電流が流れると基板やエピタキシャル層中に BPD が存在するため順方向劣化が生じてしまうため、ボディーダイオードを使用するには基板とエピタキシャル層との界面に再結合促進層を設けるなどの工夫が必要となる。SBD 内蔵 MOSFET ではボディーダイオードとして機能しうるウェル領域を2つに分けて、その間にショットキー電極を設けることで n 型ドリフト層と SBD 構造を形成するものである。

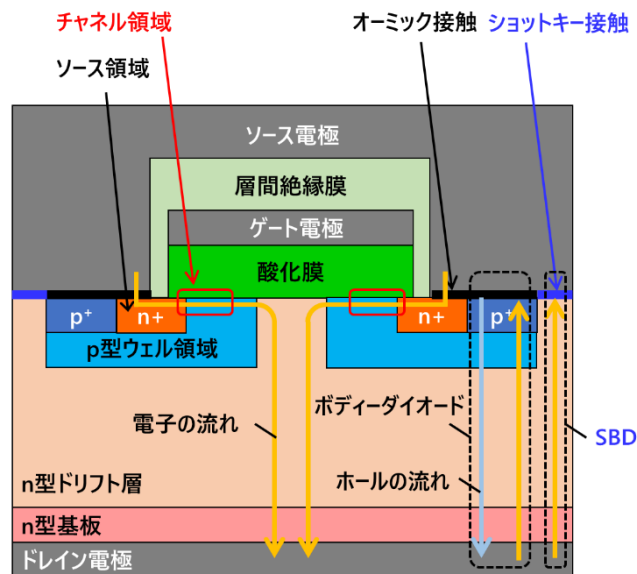


図 1.20 SBD 内蔵 MOSFET の基本構造

SBD およびボディーダイオードが通電を開始する電圧を順方向電圧( $V_F$ )と呼び、ショットキー電極を適切に選択することで SBD が通電を開始する電圧  $V_F$  はボディーダイオードの  $V_F$  よりも低くすることができるため、その様な条件では還流動作時の電流は初めに MOSFET に内蔵された SBD を流れ、電流値が大きくなるとボディーダイオードの動作が開始する。ボディーダイオードの内蔵電位を超える電圧がボディーダイオードとドリフト層からなる pn 接合に印加されて初めて、ボディーダイオードが動作を開始する。SBD では電子のみが伝導するためユニポーラ電流であり、ボディーダイオードが動作するまでに流せるユニポーラ電流の最大値が SBD 内蔵 MOSFET の性能指標となる。なお、バイポーラ電流は終端領域を介しても流れるため、SBD 内蔵 MOSFET の終端領域はバイポーラ電流を抑

制する終端構造[108]と併用される。

SBD を外付けした場合は、SBD に印加される電圧がボディーダイオードの内蔵電位( $V_{pn}$ )を超えると、MOSFET のボディーダイオードが動作してしまうため、その動作を抑制するために SBD の面積を大きくする必要がある。一方で、SBD 内蔵 MOSFET ではショットキー電極直下のウェル領域に挟まれた領域の電圧降下が  $V_{pn}$  よりも低い限りボディーダイオードは動作しない。SBD 内蔵 MOSFET ではショットキー電極直下のウェル領域に挟まれた領域の電圧降下が  $V_{pn}$  と一致するとき、ドリフト層にも電圧降下が生じているため、SBD に印加される電圧は  $V_{pn}$  よりも高くなる。そのため、SBD を外付けにするよりも、MOSFET 内に SBD を内蔵した方がボディーダイオードが動作し始めるまでに SBD に印加できる電圧を増やすことができるため、SBD の面積は外付けにするよりも小さくすることができる。

本構造のメリットはドリフト層の抵抗が大きくなる高耐圧素子で顕著に表れ、MOSFET の面積を 1 とした場合、3.3 kV 耐圧クラスでは外付け SBD の面積は 1.3 が必要であるが、SBD 内蔵 MOSFET では 1.1 の面積で十分であることが示されており、SBD 内蔵 MOSFET を用いることで MOSFET と SBD の合計面積は 1/2 程度に減少している[109]。6.5 kV 耐圧クラスでは、MOSFET と SBD の合計面積は 1/4 程度に低減できる[109]。また、トレンチ型 MOSFET においても SBD 内蔵 MOSFET が報告されており、トレンチ側壁に SBD を形成することで、ボディーダイオードが動作するまでに流せるユニポーラ電流の目安となるダイオードの順方向電流の屈曲点を  $2800 \text{ A/cm}^2$  まで増加させた報告がある[107]。また、還流時の電流をユニポーラ電流で流すために、MOSFET 内に SBD 領域を形成する SBD 内蔵 MOSFET とは別に、チャンネル領域を介したチャンネルダイオードを用いる構造[110]も提案されている。

#### 1.4.4. スーパー Junction MOSFET

さらなる SiC MOSFET の低抵抗化のため、SJ MOSFET が報告されている[39]–[43]。図 1.21 に SJ MOSFET の基本構造を示す。SJ MOSFET はドリフト層を n 型領域と p 型領域を交互に配置する構造を有し、各々 n 型ピラーと p 型ピラーと呼ばれる。通電時は n 型ピラーを介して電流を流し、遮断時は n 型ピラーと p 型ピラー間で空乏層を広げて素子耐圧を保持する。従来の n 型領域のみでドリフト層を形成する構造ではウェル領域とドリフト層付近の素子表面側の電界が高く、素子裏面側では電界が減少していくため、空乏層内の電界が不均一である。一方で、SJ MOSFET では空乏層内の電界を均一化することができ、従来よりも n 型不純物濃度を高濃度化することができるため、 $R_{\text{drift}}$  の低抵抗化が可能となる。なお、SJ MOSFET 構造では  $R_{\text{drift}}$  が低減されるため、オン時の素子抵抗( $R_{\text{on}}$ )に占める  $R_{\text{ch}}$  の割合が増加する。そのため、本構造では  $R_{\text{ch}}$  の低減がより重要となる。

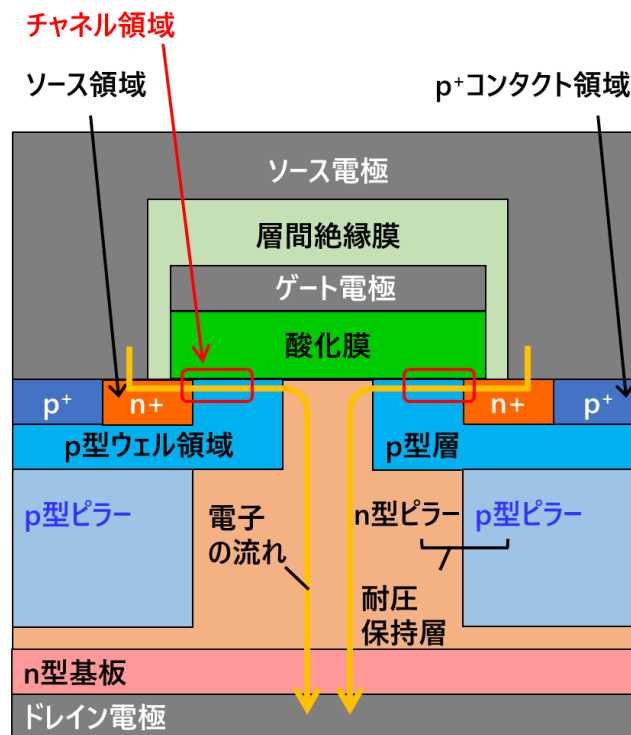


図 1.21 SJ MOSFET の基本構造

SJ 構造の作製方法は 2 通りが知られ、トレンチ埋め込み法[39]および、マルチエピタキシャル法[40]–[43]と呼ばれる。トレンチ埋め込み法では、n 型ピラーとなる n 型エピタキシャル層を成膜し、深いトレンチ構造をエッチングで形成した後、その中に p 型エピタキシャル層を成長することで p 型ピラーを形成する。初めのエピタキシャル層と埋め込みエピタキシャル層の伝導型は逆の場合もある。マルチエピタキシャル法では、n 型ピラーとなる n

型エピシヤル層を薄く成膜した後に、p型ピラーとなるp型領域をイオン注入で形成する工程を複数回繰り返す。そのため、各回のn型エピタキシヤル層の厚みはp型領域のイオン注入深さを考慮する必要がある。

6.5 kV クラス素子ではプレーナ型 MOSFET のドリフト層の上部だけを SJ MOSFET 構造としたセミ SJ MOSFET においてトレンチ埋め込み法で作製した素子が報告されている[39]。1.2 kV クラスの素子では、トレンチ型 MOSFET のドリフト層をマルチエピタキシヤル法で作製した素子が報告されており[41], [43]、3.3 kV クラスの素子では本手法によりセミ SJ MOSFET とフル SJ MOSFET が報告されている[42]。SiC limitを下回る低抵抗化が実証されている[39], [42]。これは、SJ 構造によるドリフト抵抗( $R_{\text{drift}}$ )の低減を意味し、更なる低抵抗化には  $R_{\text{ch}}$  の低減が重要となることを示唆している。

## 1.5. SiC MOSFETに残された課題

本節では SiC MOSFET に残された課題をデバイス性能、デバイス設計、デバイス信頼性の観点でまとめる。いずれも、プロセス技術だけでなく、物理解解に基づいたデバイスモデル化が不可欠である。

まず、デバイス性能の観点では低耐圧クラスの SiC MOSFET では素子抵抗に占めるチャネル抵抗の割合が大きく、より低抵抗な素子性能を実現するためにはチャネル抵抗の低減が課題である。チャネル抵抗の低減には、(1)チャネル長の短縮、(2)反転層移動度の向上、(3)表面キャリア密度の増加が有効であり、(2)と(3)の改善が不可欠である。特に、Si 面を用いたプレーナ型 SiC MOSFET では反転層移動度が低いことが課題となっている。加えて、SiC MOSFET の抵抗がどこまで低減できるかは不明確であり、将来的なデバイス性能向上の余地を明らかにすることが重要である。そのためには、反転層移動度の上限および表面キャリア密度向上の余地を定量的に議論する必要がある。パワーMOSFET では素子がセルフターンオンによる誤動作を起こさないようにしきい値電圧を高く設定する必要があるが、チャネル抵抗( $R_{ch}$ )としきい値電圧( $V_{th}$ )にはトレードオフ関係があり[111]、ゲート絶縁膜に酸化窒化膜を用いた場合にはしきい値電圧を増加させるとチャネル抵抗が大きく増加してしまう。このような  $R_{ch}$  の増加が生じる要因は  $V_{th}$  を高めるためにウェル領域のアクセプタ濃度を高濃度にする反転層移動度が減少するためであり、高アクセプタ濃度のウェル領域において、反転層移動度が低下する要因の解明と高い反転層移動度の実現が課題である。また、表面キャリア密度の増加には酸化膜/SiC 界面の電荷捕獲準位の低減が必要であり、それを実現するゲート絶縁膜の形成法の確立が課題である。ゲート絶縁膜に酸化窒化膜を用いた場合では、強反転状態においてもゲート絶縁膜の容量から期待される表面キャリア密度と比較して 30%程度しか電気伝導に寄与しておらず[112]、改善の余地がある。

次に、デバイス設計の観点ではデバイス試作に先立ってデバイスの電気特性を十分に予測できることが求められる。SiC のバルク領域の物性値はすでに系統的な報告がなされているが、MOSFET のチャネル領域はゲート絶縁膜/SiC 界面を有しており、 $R_{ch}$  の特性予測には MOS 反転層における反転層移動度およびゲート絶縁膜/SiC 界面における電荷捕獲準位の影響をシミュレーションに精緻に取り込むことが課題である。特に、パワーデバイス用途では n 型 MOSFET を用いるため、反転層における電子移動度が重要であるが、従来は電子移動度の指標として電界効果移動度が広く用いられている。電界効果移動度は、反転層における電子移動度と電荷捕獲準位の影響をともに含む評価値であり、反転層における物理量を直接的には評価していない。そのため、電界効果移動度の増減がいずれの物理量によって変化したかが不明確である。反転層移動度をシミュレーションに取り込むためには、反転層における電子移動度を直接的に評価することが必要である。また、反転層における

電子移動度はゲート絶縁膜の形成プロセスや不純物濃度で変化するため、電子移動度が向上もしくは劣化した要因を議論するための基準となる統一的な物差しの構築が課題である。そのためには、電子移動度の系統的な評価だけでなく、電子移動度を決める電子の散乱機構の解明が不可欠である。SiC には Si 面以外にも a 面、m 面などトレンチ型 MOSFET で用いられる複数の面方位が存在することを考慮すると、SiC MOSFET の反転層における電子移動度を評価してキャリア散乱機構をモデル化するための方法論を確立することが急務である。この際、SiC MOSFET におけるキャリア散乱機構モデルが従来の Si MOSFET と同じ枠組みで成り立つかは定かではない。

最後に、デバイス信頼性の観点ではバイポーラ通電時の順方向劣化はデバイス構造で対策されるが、BPD 起因で SF が拡張することが本質的な要因であるため、基板の BPD 密度の低減が課題である。また、SiC MOSFET のゲート絶縁膜の信頼性は長年にわたり研究が続けられており、TDDB 特性や BTI(Bias Temperature Instability)特性の検討が続けられている。TDDB はゲート絶縁膜に電界ストレスを印加した際の、ゲート絶縁膜が破壊するまでの時間や絶縁破壊が生じるまでにゲート絶縁膜を通過する電荷量を議論し、BTI はゲート絶縁膜に電界ストレスを印加した際に生じる MOSFET のしきい値電圧の安定性を議論する。SiC MOSFET では、しきい値電圧を再現性良く評価するには、評価手順の影響を考慮する必要性が指摘されており[113]、評価技術の検討が続いている[113]–[118]。BTI 特性では、その物理メカニズムに基づく現象理解と特性変動のモデル化が課題であり、正および負の高電界ストレスを印加した際のしきい値電圧の安定性に対する報告だけでなく[117], [118]、より実使用条件に近い低電界ストレスでのしきい値電圧の安定性も議論されている[119], [120]。後者では、ゲート絶縁膜に電荷が捕獲、放出される時定数をモデル化することでデバイスを長時間使用した際の寿命予測が報告されている。近年では、高周波数でゲート電圧を正負に切り換えた際のしきい値電圧の安定性が注目されている[121], [122]。このような検討は、素子の十分な信頼性を検証するだけでなく、初期不良を有する素子を除くためのスクリーニング技術にも用いられる。さらに、新規のゲート絶縁膜の形成法がチャネル抵抗を低減するだけでなく、十分なゲート絶縁膜の信頼性を有するかを検証するためにも不可欠である。また、SiC MOSFET の宇宙線耐量も重要な課題といえる。すでに、シングルイベントバーンアウト(SEB : Single Event Burnout)による故障率は複数の耐圧クラスの素子に対して、ドレイン電圧とアバランシェ電圧の比率によりおおよそ定まることが示されている[123]。この時、同じドレイン電圧を印加すると、低耐圧クラスの素子に比べて高耐圧クラスの素子の方が故障率が低く、ドリフト層内の電界が低いことがその要因である[123]。また、シミュレーションを用いた解析により重イオン起因の SEB では、ドレイン電圧により素子内に高電界が印加された状態で、重イオンにより  $n^+$  型ソース領域、 $p$  型ウェル領域、 $n$  型ドリフト層からなる BJT が動作するとアバランシェ電流が発生することが判明している[124]が、さらなる知見の蓄積が重要であろう。

## 1.6. 酸化膜/SiC 界面における電気特性

本節では、酸化膜/SiC 界面における電気特性として、MOS 界面近傍の電荷捕獲準位および、これまでに検討されてきたゲート絶縁膜における電界効果移動度について紹介する。この際、一部のプロセスについてはその電気特性を生じる化学構造についてまとめる。酸化膜/SiC 界面の電荷捕獲準位は伝導帯近傍で非常に高密度に存在することが特徴であり[125]、第 1.6.2 節で後述するように、その密度を低減する手法が積極的に探索されてきた。まず、最も標準的に用いられる酸窒化膜の電荷捕獲準位の特徴を示した後に、電荷捕獲準位の低減手法および、SiC における電界効果移動度をまとめる。なお、SiC では電荷捕獲準位が十分に低減できる手法を除いて、チャネル領域の電子移動度を評価する際は Si で標準的に用いられる Split-CV 法を用いると、電荷捕獲準位への電子捕獲の影響より反転層移動度を過小評価してしまう。そのため、Split-CV 法を用いた実効移動度の評価は行われず、より簡易的にチャネル移動度の指標を導出できる電界効果移動度が用いられることが多い。ただし、電界効果移動度は実効移動度とは本質的に異なるものであり、ドレイン電流-ゲート電圧特性のコンダクタンスの大小比較に対応していることに注意を要する。これらの移動度の計算式は第 2.2 節にて後述する。

### 1.6.1. SiC における MOS 界面近傍の電荷捕獲準位

MOS 構造に正のゲート電圧を印加するとゲート電極に正電荷が誘起され、それらより生じる電気力線は酸化膜および半導体内部の負電荷で終端される。酸化膜中には電荷捕獲準位はないものとし、酸化膜/半導体界面の電荷捕獲準位の効果のみを検討する。図 1.22(a)、(b)に酸化膜/半導体界面に電荷捕獲準位の有無によるバンド図を比較した。ここでは、半導体内の表面キャリア密度は同じとしている。ここで、 $V_f$ および $V_{ox}$ は各々フラットバンド電圧と酸化膜で生じる電圧降下を表し、 $\phi_s$ は表面ポテンシャルであり、ゲート電圧による半導体表面のバンド曲がりに対応している。ゲート電極に電圧を印加した際の反転層の形成についての詳細は 2.1.1 節で後述する。

酸化膜/半導体界面に電荷捕獲準位がある場合、フェルミ準位( $E_f$ )以下の電荷捕獲準位に電子が捕獲されるため、表面キャリア密度を等しくするためには、ゲート電極に酸化膜/半導体界面に電荷捕獲準位がない場合よりも多くの正電荷を誘起する必要がある、印加されるゲート電圧が高くなる。つまり、酸化膜/半導体界面に電荷捕獲準位があると、同密度の反転キャリアを誘起するために必要なゲート電圧が高くなる。これは、ゲート電圧が一定とすると一部の電子が酸化膜/半導体界面に捕獲されるため、表面キャリア密度が低下することを意味する。図 1.22(c)、(d)に図 1.22(a)、(b)の等価回路を示した。 $C_{dep}$ 、 $C_{inv}$ 、 $C_{int}$ は空乏層容量、反転層容量、電荷捕獲準位の容量を表し、 $V_B$ は p 型ウェル領域の電位であるボディ電圧を表す。酸化膜/半導体界面に電荷捕獲準位があると、反転層容量と並列に電荷

捕獲準位の容量が加わるため、ゲート電圧による $\varphi_S$ の変調効率が低下することが分かる。

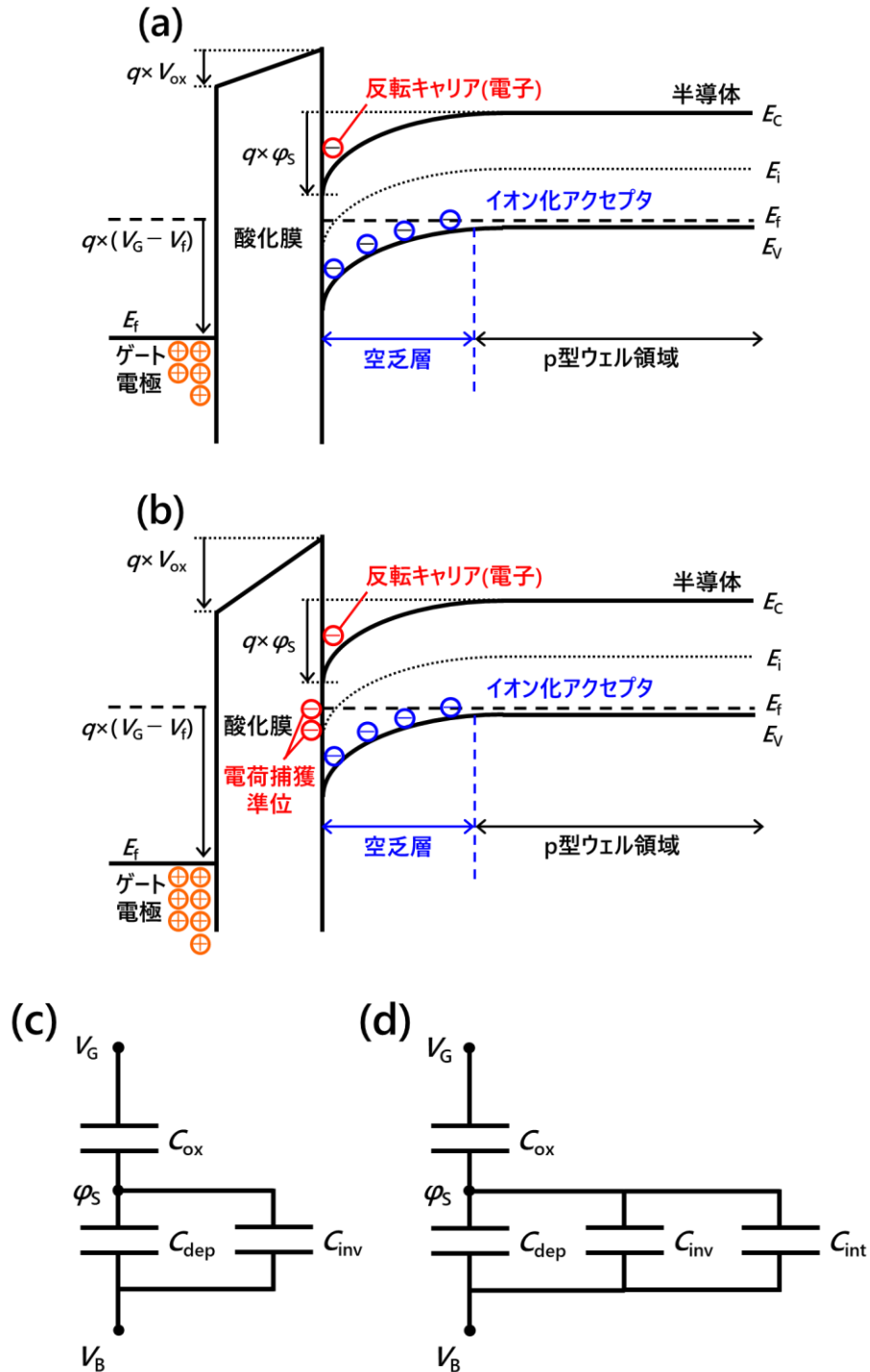
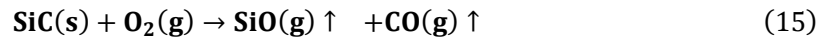
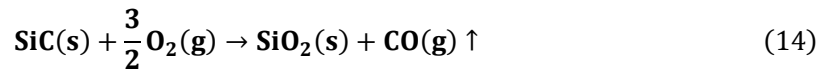
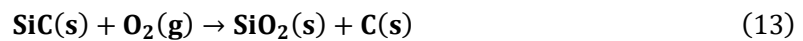


図 1.22 酸化膜/半導体界面に電荷捕獲準位が(a)ない場合および、(b)ある場合のバンド図。(c)(a)の等価回路、(d)(b)の等価回路。 $C_{dep}$ 、 $C_{inv}$ 、 $C_{int}$  は空乏層容量、反転層容量、電荷捕獲準位の容量を表す。



SiC は熱酸化により酸化膜が形成できることが特徴であるが、酸化膜/SiC 界面には高密度の電荷捕獲準位が形成されたため、表面キャリア密度が低いことが課題である。そのため、電荷捕獲準位を低減するゲート酸化膜形成プロセスが検討されてきた。4H-SiC の酸化レートは面方位に依存し、Si 面、a 面、C 面の順に酸化レートが速くなる[79]。酸化反応は式(13)、(14)、(15)で表され、式(14)が主反応である。パッシブ酸化条件では式(13)による C 原子の析出反応が、アクティブ酸化条件では式(C)による SiO<sub>2</sub>の分解反応が促進されると考えられている[126]。ここで、s と g は固体または気体であることを表し、↑は外方拡散することを示す。



酸化反応は、CO の外方拡散を考慮した修正 Deal Grove モデルで記述できることが指摘されているが、Si 面では 1200°C から 1600°C の範囲において酸化時間に対して酸化膜厚が線形に増加することが確認されている[127], [128]。これより、Si 面 4H-SiC の酸化反応は、MOSFETで通常使用する標準的な温度と膜厚において、CO の外方拡散ではなく SiC 最表面の酸化反応が反応レートを律速している[127], [128]。

Si 面上に形成した熱酸化膜には MOS 界面近傍に高密度の電荷捕獲準位が存在することが知られており、その起源となる化学構造が第一原理計算より検討されている。酸化膜/SiC 界面近傍領域または酸化膜中において、C 原子を含む化学結合により形成されるエネルギー準位に着目した多くの検討が行われており、C-C 結合[129]–[134]、C-O 結合[135]–[137]を含む構造により伝導帯端部に電荷捕獲準位が形成されると指摘されている。その他にも、C クラスターが形成されやすいとの報告もある[138]。また、Si 原子に着目して、その化学結合が形成するエネルギー準位に着目した検討もあり[131]、酸化膜中の格子間 Si が伝導帯端部の近傍にエネルギー準位を形成すると指摘されている[134]。その他にも、SiC 中の点欠陥についても調べられており[139]、その一部が酸化膜/SiC 界面近傍に安定的に存在しうる[133]。欠陥構造とエネルギー準位の関係の一例として、図 1.23 および図 1.24 に文献[133]における検討結果を示す。

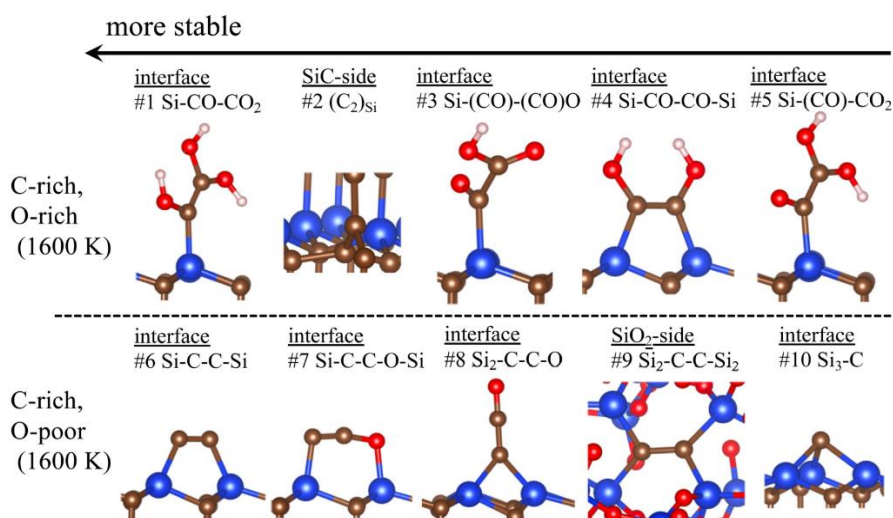


図 1.23 SiC の典型的な酸化温度に近い 1600K において安定な欠陥構造[133]

("Reprinted from [T. Kobayashi and Y. Matsushita, "Structure and energetics of carbon defects in SiC (0001)/SiO<sub>2</sub> systems at realistic temperatures: Defects in SiC, SiO<sub>2</sub>, and at their interface," *J. Appl. Phys.*, vol. 126, iss. 14, 145302, 2019], with the permission of AIP Publishing.")

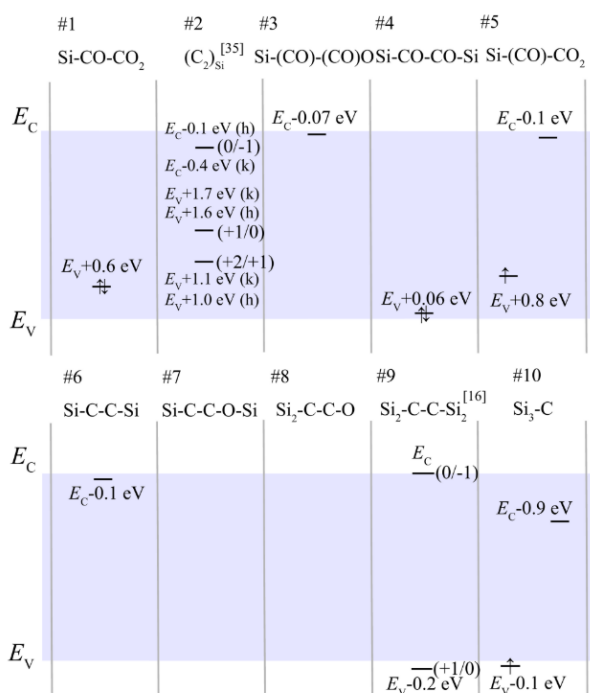


図 1.24 図 1.23 に記載の炭素欠陥におけるエネルギー準位の計算値[133]

("Reprinted from [T. Kobayashi and Y. Matsushita, "Structure and energetics of carbon defects in SiC (0001)/SiO<sub>2</sub> systems at realistic temperatures: Defects in SiC, SiO<sub>2</sub>, and at their interface," *J. Appl. Phys.*, vol. 126, iss. 14, 145302, 2019], with the permission of AIP Publishing.")

これらの検討は主に酸化膜/SiC 界面近傍を議論しているが、その中でも欠陥の位置を酸化膜中、界面層、SiC 中に分けて議論されることがある。伝導帯端の近傍にエネルギー準位を形成する欠陥準位の起源の可能性として指摘されているのは、酸化膜中では格子間 Si[140]、 $\text{C}_0=\text{C}_0$ [140]、 $\text{Si}_2\text{-C-O}$  [135]、 $\text{Si}_2\text{-C-C-Si}_2$ [130], [131], [133], [135]、 $\text{C-Si}_4$ [131]であり、界面層では  $\text{Si-C-O}$ [136]、 $\text{Si-C-C-Si}$ [133]、 $\text{Si-(CO)-(CO)O}$ [133]、 $\text{Si-(CO)-CO}_2$ [133]であり、SiC 中では  $\text{Si}_2\text{-C}_2\text{-Si}_2$ [135][130]、 $(\text{C}_i)_2$ [132]、 $(\text{C}_2)_{\text{Si}}$ [133], [139]である。また、酸化膜中で最安定な C の構造は、CO もしくは  $\text{CO}_2$  の形態であり、これらは電氣的に活性ではないことより[131]、酸化膜/SiC 界面から離れるにつれて C 原子起因の欠陥密度は低減することが予想される。格子間 Si などの C 原子に関連しない欠陥の密度は酸化膜/SiC 界面からの距離に依存しないと考えられるが、酸化膜/SiC 界面から数 nm 以下の領域では  $\text{SiO}_2$  の構造変化を伴う可能性を考慮すると、これらの欠陥密度と酸化膜/SiC 界面からの距離の関係は定かではない。

電荷捕獲準位の起源として、その他の可能性も検討されている。第一原理計算より、SiC 内の伝導帯を形成する電子の波動関数は Si や C の原子位置を結ぶ直線上ではなく、それらの格子間位置に広がり、Si や C の原子に取り囲まれた内包空間に電子が分布することが判明している[141], [142]。そのため、欠陥構造により原子配置が変化すると内包空間に存在する電子の波動関数の変化が生じ、伝導帯端のエネルギー位置が敏感に変動することが指摘されている[142]。酸化膜/SiC 界面の近傍に C-C 結合または Si-Si 結合がある領域では局所的に伝導帯端部が約 100meV 程度低減し、電荷捕獲準位として振る舞う可能性がある[143]。また、酸化膜/SiC 界面の積層構造が変化することで酸化膜/SiC 界面の伝導帯端部が局所的に上下に変化する可能性もあり、伝導帯端部よりも下にエネルギー準位がある場合、電荷捕獲準位として振る舞うことが予想される[144]。電荷捕獲準位の増加は表面キャリア密度を低減するため、実効移動度を低減する[143], [144]。また、伝導帯端部のエネルギー位置が局所的に変動すると、反転キャリアに対するポテンシャルが摂動を受けるため、その程度によっては反転層移動度を低減する一因となりうると考えられる。

酸化膜/SiC 界面における熱酸化膜の構造について、フーリエ変換赤外分光法(FTIR : Fourier Transform Infrared Spectroscopy)による評価が行われており、Si 面 4H-SiC において酸化膜/SiC 界面から 3 nm 以下の領域では、酸化膜厚が薄くなるにつれて TO モードと LO モードのピーク波長がいずれも長波長側へとシフトすることが判明している[145]。これは、 $\text{SiO}_2$  の化学量論的な組成変化( $\text{SiO}_{2-x}$ )、Si-O-Si の結合角の減少、もしくは  $\text{SiO}_2$  中の C の影響に起因すると指摘されている。いずれが主要因であるかは定かではないが、酸化膜/SiC 界面近傍では酸化膜が深さ方向に対して均一ではないことを示唆する。また、Si-O-Si の結合角や Si-O 結合長などの熱酸化膜の不均一性の指標として LO ピークの幅と酸化膜厚の関係が検討されており、Si 面上の熱酸化膜は C 面上の熱酸化膜と比較して、酸化膜厚が 2nm 以下の

領域で LO ピーク幅の変化が小さいと判明している[146]。なお、このような酸化膜の LO ピークの長波長側へのシフトは Si 上の熱酸化膜でも観測されている[147]。

熱酸化で形成した酸化膜/SiC 界面近傍には多くの電荷捕獲準位があるため、これらを低減するために窒化処理を行い、ゲート絶縁膜として酸窒化膜を形成する。酸窒化膜は酸化膜に NO[80]、N<sub>2</sub>O[81], [148], [149]、NH<sub>3</sub>[150], [151]、N<sub>2</sub>[152]などのガス中で窒化処理を行い、酸化膜には熱酸化膜や堆積膜が用いられる。まず、Si 面上の熱酸化膜と、それに NO で窒化処理を施した酸窒化膜について述べる。NO による窒化処理は最も一般的に用いられる方法である。

Si 面では窒化処理による理想的な SiC の最表面の化学構造[153]は $(\sqrt{3} \times \sqrt{3})R30^\circ$ であり、窒素(N)は SiC 最表面の Si 原子の奥に位置する C 原子を置換して Si-N 結合を形成することが報告されている。図 1.25 にその構造を示した。この時、最表面の Si の結合手は *c* 軸方向の 1 つが O と結合し、*c* 軸と逆方向の 3 つは N と結合する。本構造は 6H-SiC を H<sub>2</sub> 中で最表面をエッチング後に、N<sub>2</sub> 処理して形成されたものだが、残留酸素によって酸化膜が形成されている。なお、本構造は 4H-SiC を H<sub>2</sub>/N<sub>2</sub> 混合ガス中で処理しても形成できる[154]。Si 面では最表面には Si 原子が存在し、その直下に Si-C 結合が 3 本存在する。これらの結果は、SiC の最表面を窒化処理すると、最表面に位置する Si 原子の直下に存在する C 原子を置換して N が取り込まれることを示している。NO ガスによる窒化処理でも SiC 中に N が取り込まれることが X 線光電子分光(XPS : X-ray Photoelectron Spectroscopy) により判明しており、窒化処理後に SiC 表面に存在する酸化膜を除去した後も N 由来の信号が観測される[155]。ただし、標準的な NO による窒化処理では N 密度は  $1 \times 10^{14} \text{ cm}^{-2}$  から  $5 \times 10^{14} \text{ cm}^{-2}$  の範囲である[156]。図 1.25 では N 密度が  $1 \times 10^{15} \text{ cm}^{-3}$  程度であることを踏まえると、NO ガスによる窒化処理では SiC 最表面直下の C 原子が部分的に N に置換されていると推測される。

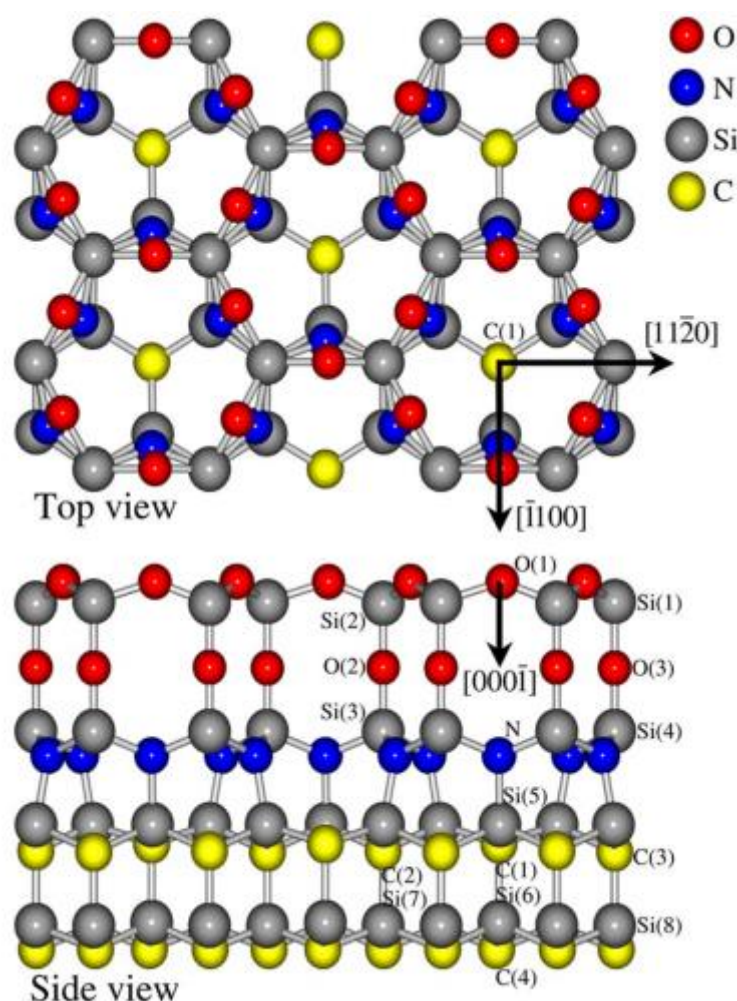


図 1.25 窒化処理による理想的な SiC の最表面の化学構造[153]

(Reprinted figure with permission from [T. Shirasawa *et al.*, *Phys. Rev. Lett.*, vol. 98, pp. 136105-1 - 136105-4, 2007.] Copyright 2007 by the American Physical Society.",  
[http://dx.doi.org/10.1103/PhysRevLett.98.136105.](http://dx.doi.org/10.1103/PhysRevLett.98.136105))

酸化膜中および酸化膜/SiC 界面における N の濃度分布は二次イオン質量分析法(SIMS : Secondary Ion Mass Spectrometry)により調べられており、NO で窒化処理[157]を行った場合は N が酸化膜/SiC 界面に  $10^{21} \text{ cm}^{-3}$  以上の高濃度で偏析し、酸化膜中の窒素濃度は検出下限であることが判明している[158]。この時、酸化膜/SiC 界面における N の密度は処理時間の増加とともに飽和し、その後は酸化膜/SiC 界面近傍の酸化膜側へと N が分布することが指摘されている[157]。一方で、 $\text{N}_2$  で窒化処理を行うと窒素は酸化膜/SiC 界面に偏析するだけでなく、酸化膜中にも高濃度で存在する[159]。また、酸化膜/SiC 界面に窒素を導入するには  $\text{N}_2$  では NO よりも高温で処理する必要がある。NO で窒化処理を行った素子について、酸化膜/SiC 界面近傍の歪が評価されており、HAADF STEM(High-Angle Annular Dark Field Scanning Transmission Electron Microscopy)像の解析より、SiC 最表面層に  $-0.34\%$  程度の圧縮

歪みが生じるとの報告がある[160]。

NO による窒化処理が電荷捕獲準位に及ぼす影響、および SiC 中への N の導入過程について第一原理計算より検討されている。電荷捕獲準位の起源として酸化膜中の  $\text{Si}_2\text{-C-C-Si}_2$  構造を想定した検討では、NO ガスにより C-C 結合の両端の Si が N に置換され、N-C-C-N が形成された後に本構造が NO ガスにより CO と  $\text{N}_2$  に分解することが想定されてる[161]。別の検討では、NO ガスにより界面層の C-C 結合が切断されるだけでなく、 $\text{O}_2$  ガスが共存していれば余剰 C の少ない酸化膜/SiC 界面の形成が期待されると指摘されている[140]。ただし、酸化過程で形成された酸化膜中の欠陥は酸化膜/SiC 界面から遠く離れているの、窒化処理では除去されない[140]。界面層に  $\text{Si}_2\text{-CO-CO-Si}_2$  を想定した検討では、NO ガスにより C-C 結合が切断され、 $\text{Si}_4\text{-N}$  結合が形成されることで N が SiC 中に取り込まれるとともに、CO ガスが脱離することが示されている[162]。いずれの報告でも NO ガスにより C-C 結合が切断されることから、窒化処理により酸化膜中もしくは界面層において C-C 結合が減少すると期待される。

これより電荷捕獲準位の電気特性について述べる。Si 面上に形成した熱酸化膜における MOS 界面近傍の電荷捕獲準位は、エネルギー位置がミッドギャップから伝導帯端( $E_C$ )および価電子帯端( $E_V$ )に向かうにつれていずれも増加する。価電子帯端近傍の電荷捕獲準位密度( $D_{it}$ )は  $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  台であるが、伝導帯端近傍の  $D_{it}$  は  $10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  台以上であり非常に高密度である。電荷捕獲準位は酸化膜/SiC の界面に存在する界面準位と酸化膜側に存在する準位とに分けて議論されることがあるが、ここではそれらの合計について述べる。なお、SiC では酸化膜側に存在する準位は NIT(Near Interface Trap)と呼ばれる。ここで、NO ガスで窒化処理を行うと、伝導帯端近傍および価電子帯端近傍の  $D_{it}$  がいずれも低減するが、依然として伝導帯端近傍の  $D_{it}$  は高い。以降では n 型 MOSFET の動作に影響する伝導帯端近傍の電荷捕獲準位について述べる。

電荷捕獲準位密度の大きさは、評価手法により異なることが指摘されている。 $D_{it}$  は容量—電圧( $C-V$ : Capacitance—Voltage)特性より評価することが多く、電荷捕獲準位の高周波応答と低周波応答の差で  $D_{it}$  を評価する High—Low 法や、電荷捕獲準位の周波数応答のピーク値とその周波数上の広がり度で  $D_{it}$  を評価する Conductance 法などが用いられる[125]。High—Low 法では、印加する周波数範囲の  $D_{it}$  が評価されるため、印加した周波数よりも高い周波数領域で応答する電荷捕獲準位の影響はとらえられず、 $D_{it}$  が過小評価される可能性がある[125]。また、Conductance 法では印加する周波数領域に電荷捕獲準位の応答ピークが入っていれば  $D_{it}$  を定量化できるが、印加した周波数よりも高い周波数領域で応答する電荷捕獲準位の影響は正確には評価できない。そのような電荷捕獲準位をとらえるには、低温評価を行い電荷捕獲準位の応答周波数を遅くすることが有効である[163]。

実際、酸窒化膜は熱酸化膜よりも高い応答周波数を示すことが判明しており、伝導帯端よりも 0.2 eV 低いエネルギー位置での応答周波数は 100 MHz よりも高いことが示唆されている[164]。熱酸化膜では同じエネルギー位置でも応答周波数は 1 MHz よりも小さいことから、窒化処理により応答の速い電荷捕獲準位が生成している。そのため、酸窒素膜の  $D_{it}$  の評価には準静的  $C-V$  特性を基に評価され、その手法は容量—表面ポテンシャル( $C-\psi_s$ )法[125]と呼ばれる。 $C-\psi_s$ 法による評価においても、熱酸化膜と酸窒化膜ともに MOS 界面近傍の電荷捕獲準位はエネルギー位置がミッドギャップから伝導帯端に向かうにつれて増加し、酸窒化膜の方が熱酸化膜よりも  $D_{it}$  は低い。なお、室温において  $C-V$  特性で評価できるエネルギー位置はおよそ  $E_C$  よりも 0.2 ~ 0.5 eV 程度深いエネルギー領域であるため、 $E_C$  より近いエネルギー位置の評価は MOSFET の電気特性を用いて行われ、MOSFET のサブスレシヨルド係数や、ホール効果測定による表面キャリア密度とゲート容量よりチャンネル内に誘起されると期待される総電荷量の差分により議論される。

次に、a 面と m 面に窒化処理を行った事例[165]について紹介する。図 1.26 に示すように、酸窒膜を用いた (a) Si 面、(b) a 面、(c) m 面の界面準位密度のエネルギー分布が報告されており[156]、窒化処理を NO で行った場合の  $D_{it}$  を  $C-\psi_s$  法で評価すると、a 面と m 面では Si 面よりも  $D_{it}$  が低減することが判明している。 $E_C$  よりも 0.2 eV 低いエネルギー位置では、 $D_{it}$  は Si 面では  $3 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  以上あるが、a 面と m 面では約  $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  へと低減している。このように NO 処理後の  $D_{it}$  は面方位依存性があり、窒化処理により生成される応答の早い電荷捕獲準位の密度は a 面と m 面では Si 面よりも少ないと報告されている[165]。また、(0338)面に窒化処理を行った場合は、High—Low 法による評価において Si 面よりも  $D_{it}$  が低減し、 $E_C$  よりも 0.2 eV 低いエネルギー位置では、 $D_{it}$  は約  $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  へと低減すると報告されている[166]。

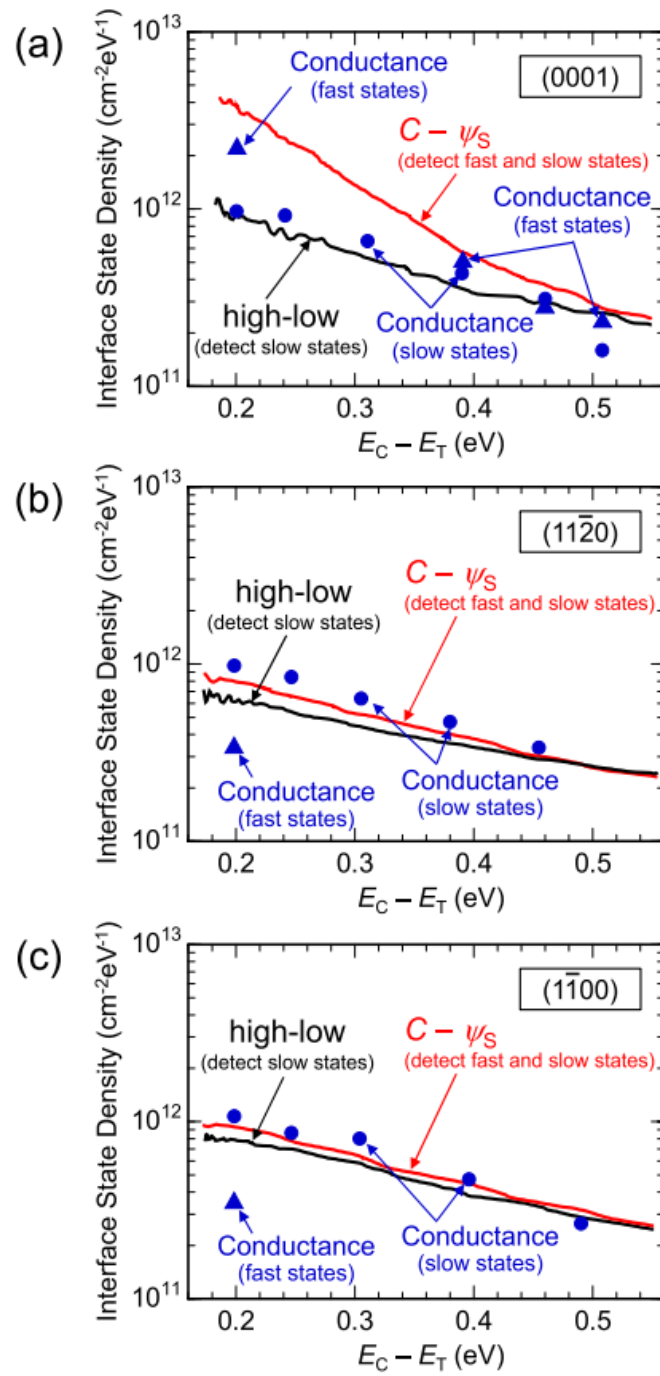


図 1.26 酸窒膜を用いた (a) Si 面、(b) a 面、(c) m 面の界面準位密度のエネルギー分布 [165]。

(© 2014 IEEE)



### 1.6.2. SiC における MOS 界面近傍の電荷捕獲準位の低減手法

SiC における酸化膜/SiC 界面の  $D_{it}$  は、酸化膜に酸窒化膜を用いることで熱酸化膜よりも低減することができるが、その密度は高いため、より一層の低減が求められている。そのために様々なプロセスが検討されており、 $D_{it}$  低減に効果的なプロセスを紹介する。初めに、Si 面の  $D_{it}$  低減に効果的なプロセスを示し、その後他の面方位について述べる。

Si 面では、ゲート絶縁膜へ不純物を添加することで  $D_{it}$  が効果的に低減することが判明しており、ゲート絶縁膜にリン(P)[167]–[174]やボロン(B)[175], [176]を添加する手法が提案されている。本論文では、各々をリン処理とボロン処理と呼ぶ。リン処理は熱酸化膜に P を添加するために、熱酸化膜を形成した後に、 $\text{POCl}_3$  でアニール処理を行った後に、 $\text{N}_2$  でアニール処理を行う。 $\text{POCl}_3$  のアニール処理は、 $\text{POCl}_3$  溶液を  $\text{N}_2$  でバブリングして、 $\text{N}_2$  と  $\text{O}_2$  の混合ガスとともに拡散炉に導入される。この時、P は酸化膜/SiC 界面だけでなく酸化膜中にも高濃度に導入され、それらの濃度は  $3 \times 10^{21} \text{ cm}^{-3}$  程度である[169]。 $\text{POCl}_3$  でアニール処理を行う際は  $\text{Cl}_2$  ガスが発生するが酸化膜中の塩素(Cl)濃度は検出下限以下と報告されている[169]。

酸化膜中に P が入る効果として、酸化膜/SiC 界面のひずみを緩和することが指摘されている[147], [174]。また、SIMS 分析より熱酸化膜に  $\text{POCl}_3$  でアニール処理を行った場合は、熱酸化膜や NO ガスによる窒化処理を行った場合と異なり、ゲート絶縁膜形成後に高温アニール処理を行っても酸化膜中への C 原子の排出が少ないことが判明している[177]。これは、熱酸化膜/SiC 界面に生成される炭素起因の副生成物が、窒化処理では除去されないが、 $\text{POCl}_3$  のアニール処理で除去されるためであると指摘されている[177]。また、SIMS 分析により  $\text{POCl}_3$  でアニール処理をすることで、しない場合に比べて熱酸化膜/SiC 界面の熱酸化膜側に C の分布が広がることが指摘されている[178]。また、NO による酸窒化と同様に、酸化膜/SiC 界面近傍に存在する C 原子に起因する欠陥構造の終端もしくは、脱離の促進を伴うと想定されるが、計算による検討は限られている。第一原理計算では酸化膜中の P は  $-\text{O}_3\text{PO}$  の形で安定に存在することが示され、CO 分子を吸着して  $-\text{O}_3\text{PCO}_2$  として安定化するため、SiC の酸化時に C 原子を吸着する機能があると考えられている[178]。これは、P を含む酸化膜/SiC 界面で酸化が進行する際に、その際に生じる CO 分子の脱離を早める可能性があり、SiC 中から酸化膜中への C 原子の取り込み速度の向上に寄与するかもしれない。もしそうであれば、C 原子に起因する酸化膜/SiC 界面近傍の欠陥の形成を抑制する可能性があり、新たに形成される酸化膜層と SiC の界面近傍には C 原子に起因する欠陥密度が低減される可能性がある。

図 1.27 に熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位密度のエネ

ルギー依存性を示した[167]。ここで、リン処理は 900°C、950°C、1000°C で行われている。1000°C で処理した場合、High-Low 法の評価により、リン処理した熱酸化膜では  $D_{it}$  が窒化処理よりも低減しており、 $E_c$  よりも 0.2 eV 低いエネルギー位置における  $D_{it}$  は各々、約  $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  と約  $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  である。リン処理により  $D_{it}$  が低減するのは、酸化膜中に P が添加されることで  $\text{SiO}_2$  の結合状態が変化し、酸化膜/SiC 界面のひずみが緩むためだと解釈されており[174]、これは Si 上の酸化膜中へ P を導入した報告[140]に基づく考察である。Si 上の酸化膜について FTIR で LO ピークを評価すると、酸化膜厚が薄くなることでピーク位置が長波長側に変化するが、P を導入することでその変化量が小さくなることが報告されている。

また、 $\text{POCl}_3$  アニールにより酸化膜厚の増加が生じることから、酸化膜中への P の導入と酸化が追加されることが組み合わさり  $D_{it}$  が低減しているとの推測もある[170]。さらに、リン処理によって熱酸化膜が PSG(Phospho Silicate Glass)になっていることに着目し、 $\text{POCl}_3$  アニール処理以外の手法も検討されており、 $\text{SiP}_2\text{O}_7$  からなる平面拡散源を熱分解することで  $\text{P}_2\text{O}_5$  雰囲気化で SiC 上の酸化膜をアニールして PSG を形成した場合でも、 $\text{POCl}_3$  アニール処理と同様に界面準位密度が低減することが示されている[172]。

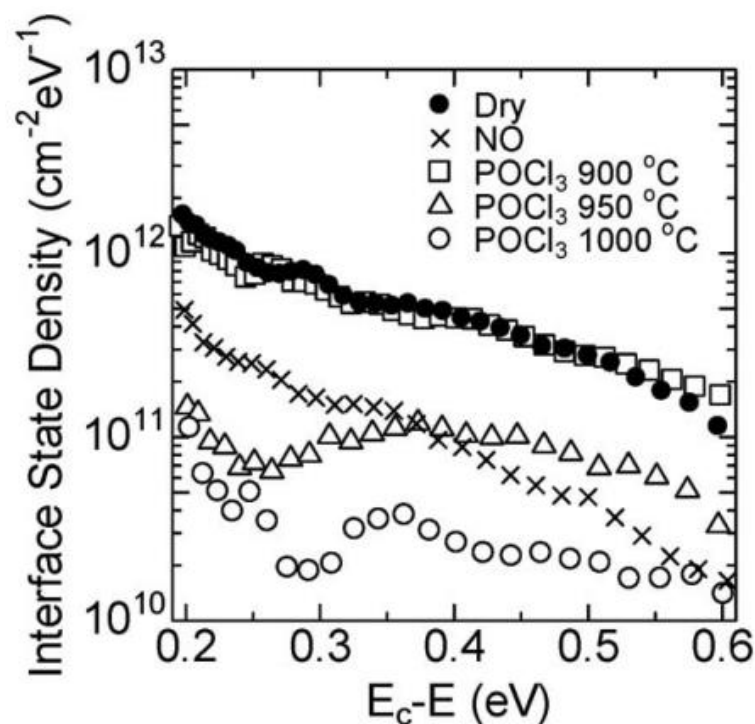


図 1.27 熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位密度のエネルギー依存性[167]。ここで、リン処理は 900°C、950°C、1000°C で行われている。

(© 2010 IEEE)

また、P 以外にも B をゲート絶縁膜に添加する手法も報告されている[175]。ここでは、 $B_2O_3$  が  $SiO_2$  の結合のつながりを弱めることを期待しており、BN と  $B_2O_3$  からなる平面拡散源を  $O_2$  と Ar の混合ガス中でアニールし、その後に Ar 雰囲気下でアニールすることで、酸化膜/SiC 界面および酸化膜中に高濃度の B が導入される。本手法でも  $D_{it}$  が低減し、 $E_C$  よりも 0.2 eV 低いエネルギー位置における  $D_{it}$  は約  $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  である。

Si 面ではゲート絶縁膜に P や B 以外の元素を酸化膜/SiC 界面または酸化膜中に添加する効果についても調べられている。Na 汚染がある状態で SiC を酸化すると、Na 汚染がない場合と比べて酸化レートが向上し、電荷捕獲準位の総数が低減することが判明している[179]。Na 以外にもアルカリ金属およびアルカリ土類金属が酸化膜/SiC 界面に存在する場合についても検討されており、SiC 上に薄膜の Ba を成膜後に、 $SiO_2$  を堆積した後、 $O_2$  と  $N_2$  の混合ガス中でアニールした場合、NO で窒化処理を行った場合よりも  $D_{it}$  が低減することが報告されている[180]。Ba が SiC 上にあると  $950^\circ\text{C}$  でも SiC の酸化レートが早くなる増速酸化が生じることが分かっており[181]、Ba 上に PECVD 法で  $SiO_2$  を成膜た後に、 $O_2$  雰囲気下で増速酸化を行った素子では、 $E_C$  端近傍の  $D_{it}$  が酸窒化膜よりも低減することが示唆されている。ゲート酸化膜容量から期待される総電荷密度( $N_{total}$ )に対する  $N_S$  の比率が、Ba を導入した場合は約 50%であり、酸窒化膜では約 30%であることが MOSFET のホール効果測定を用いた表面キャリア密度( $N_S$ )の評価より判明しており、Ba を導入することで電荷捕獲準位が低減した結果、 $N_{total}$  に対する  $N_S$  の割合が増加したと考えられる[182]。

また、Si 面において堆積膜を用いて  $D_{it}$  を低減する試みもあり、CVD 法によって堆積膜を成膜した後に、 $900^\circ\text{C}$  以下で酸化する前処理を行った後に、 $1300^\circ\text{C}$  の  $N_2$  でアニールすることで前処理をしない場合と比較して、 $D_{it}$  が低減するという報告もある[152]。また、SiC 表面を  $H_2$  によりエッチングした後に、PECVD 法により  $400^\circ\text{C}$  で堆積膜を成膜し、その後に  $N_2$  で窒化処理を行うことで High-Low 法の評価により  $D_{it}$  が  $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  よりも低くなることが報告されている[183]。ここでは、 $H_2$  によるエッチング処理後に犠牲酸化を行った後に、バッファードフッ酸で酸化膜を除去してから、堆積膜の成膜と窒化処理を行うと  $D_{it}$  が増加することを踏まえ、 $H_2$  によるエッチング、堆積膜の形成、窒化処理の3つ組み合わせにより効果的に  $D_{it}$  が低減できると報告されている。この際の、窒化処理は NO で行っても同様に  $D_{it}$  が低減できることが示されている[184]。これに先立つ検討として、 $H_2$  エッチングの後に、SiC 上に Si を堆積し、その Si を低温で酸化した後に  $N_2$  アニールを行うことで、High-Low 法の評価により  $D_{it}$  が  $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  よりも低くなるとの報告がある[185]。これらに共通するのは、酸化膜を形成する際に SiC の酸化を抑制するというアプローチであり、酸化による SiC の基板側への影響が着目されつつある。

Si 面以外の面方位として、C 面、m 面、a 面についても酸窒膜以外のゲート絶縁膜が検討

されており、そのうち  $D_{it}$  低減に効果的な手法を紹介する。C 面ではウェット酸化処理が効果的に  $D_{it}$  を低減することが知られている[186]–[189]。例えば、 $O_2$  と  $H_2$  の混合ガス中でウェット酸化を行い、さらにそれらを Ar で希釈した混合ガス中で酸化し、Ar と  $N_2$  の混合ガス中で冷却した場合、 $E_c$  よりも 0.2 eV 低いエネルギー位置の  $D_{it}$  は約  $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  である[189]。本手法では、 $E_c$  近傍の  $D_{it}$  が NO による窒化処理よりも大きく低減することが指摘されており、Si 面の酸窒化膜と比較して MOSFET 動作時の表面キャリア密度が増加している。m 面、a 面については Si 面と同様に、 $H_2$  によるエッチング、堆積膜の形成、窒化処理の3つを組み合わせることで、窒化処理の場合と比べて  $D_{it}$  が低減できることが High–Low 法の評価より示されている[190]。

このように、ゲート絶縁膜に酸窒化膜以外を用いることで、酸窒化膜よりも  $D_{it}$  が低減できることが示されている。しかしながら、TDDb やしきい値電圧の安定性などのゲート絶縁膜の信頼性の観点からは、酸窒化膜の方が優れており、市販の SiC デバイスでは酸窒化膜が標準的に用いられる。一方で、ゲート絶縁膜の形成法が酸化膜/SiC 界面の電気特性に及ぼす影響を正確に理解することは、酸化膜/SiC 界面の物性理解を深めるだけでなく、その性能を向上する指針を導くことにもつながることが期待され、酸窒化膜とその他のゲート絶縁膜の共通点と相違点に着目した評価が重要となる。

### 1.6.3. SiC MOSFET の電界効果移動度

SiC MOSFET の電界効果移動度( $\mu_{FE}$  : Field Effect Mobility)は面方位とゲート絶縁膜の形成手法に依存し、さらにウェル領域のアクセプタ濃度( $N_A$ )の増加により減少することが知られている。 $\mu_{FE}$  は式(16)で定義され、ゲート電圧( $V_G$ )に対するドレイン電流( $I_D$ )の変化率に比例する。

$$\mu_{FE} = \left(\frac{L}{W}\right) \cdot \left(\frac{1}{C_{ox}V_D}\right) \left(\frac{dI_D}{dV_G}\right) \quad (16)$$

ここで、 $L$ 、 $W$ 、 $C_{ox}$ 、 $V_D$  は各々順にチャネル長、チャネル幅、酸化膜容量、ドレイン電圧である。酸窒化膜をゲート絶縁膜とする MOSFET では  $N_A=1 \times 10^{17} \text{ cm}^{-3}$  の素子の Si 面、a 面、m 面における  $\mu_{FE}$  の最大値は各々、約  $20 \text{ cm}^2/\text{Vs}$ 、約  $92 \text{ cm}^2/\text{Vs}$ 、約  $103 \text{ cm}^2/\text{Vs}$  であり [165]、Si 面に比べて a 面と m 面の  $\mu_{FE}$  はおよそ 5 倍高いことが報告されている。Si 面の  $N_A=4 \times 10^{16} \text{ cm}^{-3}$  の素子では、 $\mu_{FE}$  の最大値が約  $30 \text{ cm}^2/\text{Vs}$  であることから、Si の酸窒化膜の標準的な  $\mu_{FE}$  の最大値は  $20 \sim 30 \text{ cm}^2/\text{Vs}$  である [80]。

前節 1.6.2 で紹介した酸化膜/SiC 界面の電荷捕獲準位を低減する手法を用いることで Si 面の  $\mu_{FE}$  が向上する。熱酸化膜へリン処理を行うと、 $N_A=7 \times 10^{15} \text{ cm}^{-3}$  の素子では、 $\mu_{FE}$  の最大値は  $89 \text{ cm}^2/\text{Vs}$  へと向上し、デバイス使用時に酸化膜に印加される電界強度である  $3 \text{ MV/cm}$  においても  $\mu_{FE}$  は  $65 \text{ cm}^2/\text{Vs}$  と高い値を維持している [167]。同様に、 $N_A=8 \times 10^{15} \text{ cm}^{-3}$  の素子において、PSG 膜をゲート絶縁膜に用いた場合、 $\mu_{FE}$  の最大値は約  $80 \text{ cm}^2/\text{Vs}$  へと向上することが示されている [172] ことから、酸化膜/SiC 界面および酸化膜中にリンを添加することで、 $D_{it}$  が低減するだけでなく、 $\mu_{FE}$  が向上する。PSG 膜をゲート絶縁膜に用いた場合について、a 面における効果が検討されており、 $N_A=8 \times 10^{15} \text{ cm}^{-3}$  の素子において、酸窒化膜を用いた場合は  $\mu_{FE}$  の最大値が約  $85 \text{ cm}^2/\text{Vs}$  であったのが、PSG 膜を用いることで  $125 \text{ cm}^2/\text{Vs}$  へと向上することが報告されている [173]。また、Si 面において熱酸化膜へボロン処理を行うと、 $N_A=5 \times 10^{15} \text{ cm}^{-3}$  の素子では、 $\mu_{FE}$  の最大値は  $102 \text{ cm}^2/\text{Vs}$  へと向上する [173]。さらに、より  $N_A$  の高い約  $5 \times 10^{16} \text{ cm}^{-3}$  の素子において、 $\text{N}_2\text{O}$  雰囲気にて急速に酸化した後に、ボロン処理を行い、さらに PECVD で酸化膜を堆積する手法を用いると  $\mu_{FE}$  の最大値が約  $160 \text{ cm}^2/\text{Vs}$  へと向上するという報告がある [176]。

Si 面では酸化膜/SiC 界面および酸化膜中に Na もしくは Ba の金属が存在する場合でも、 $\mu_{FE}$  の最大値は増加する。 $N_A=5 \times 10^{15} \text{ cm}^{-3}$  の素子において、室温における  $\mu_{FE}$  の最大値は酸窒化膜では約  $35 \text{ cm}^2/\text{Vs}$  であるが、Ba が存在する場合は約  $80 \text{ cm}^2/\text{Vs}$  である [176]。温度を増加すると  $\mu_{FE}$  の最大値は、酸窒化膜では約  $45 \text{ cm}^2/\text{Vs}$  へと増加するが、Ba が存在する場合は約  $65 \text{ cm}^2/\text{Vs}$  へと減少し、温度増加に対して逆の振る舞いを示す。また、Ba による SiC の増速酸化を行う温度が  $750^\circ\text{C}$  における  $\mu_{FE}$  の最大値は  $62 \text{ cm}^2/\text{Vs}$  であるが、増速酸化する温

度が 900°C では、 $\mu_{FE}$  の最大値は約 40 cm<sup>2</sup>/Vs へと低下することが報告されている[182]。これらの素子では、ホール効果測定によりホール移動度が評価されており、増速酸化の温度が 750°C から 900°C へと上がると、ホール移動度が低下し、それらの値は表面キャリア密度が低い領域では Ba を添加しない熱酸化膜のホール移動度よりも低い。

堆積膜を用いる手法では、H<sub>2</sub> によるエッチング、堆積膜の形成、窒化処理の 3 つを組み合わせた場合に  $\mu_{FE}$  が増加し、その最大値は窒化処理を N<sub>2</sub> および NO で行った場合は  $N_A = 8 \times 10^{15}$  cm<sup>-3</sup> の素子において各々、85 cm<sup>2</sup>/Vs と 80 cm<sup>2</sup>/Vs であり、熱酸化膜に窒化処理を NO で行った場合と比較して約 2 倍向上する[182]。窒化処理を N<sub>2</sub> で行った場合はしきい値電圧が 0 V より低くノーマリーオフ動作をするが、NO で行った場合はしきい値電圧が 0 V をわずかに超える。窒化処理を NO で行った場合、 $N_A = 1 \times 10^{17}$  cm<sup>-3</sup> の素子においても、本手法では  $\mu_{FE}$  の最大値は約 40 cm<sup>2</sup>/Vs であり、酸窒化膜の約 25 cm<sup>2</sup>/Vs よりも高い値を示す。a 面および m 面でも  $\mu_{FE}$  の増加が報告されており[190]、a 面では  $N_A = 1 \times 10^{17}$  cm<sup>-3</sup> の素子、m 面では  $N_A = 3 \times 10^{17}$  cm<sup>-3</sup> の素子を作製し、 $\mu_{FE}$  の最大値は各々 130 cm<sup>2</sup>/Vs および 112 cm<sup>2</sup>/Vs である。なお、酸窒化膜では a 面および m 面の同じ  $N_A$  の素子において、 $\mu_{FE}$  の最大値は約 80 cm<sup>2</sup>/Vs と約 90 cm<sup>2</sup>/Vs である。

C 面ではウェット酸化処理が効果的に  $\mu_{FE}$  を増加させる。パイロジェニック酸化やドライ酸化後にパイロジェニック酸化を行うことが  $\mu_{FE}$  の増加に有効であり、各々  $\mu_{FE}$  の最大値は 107 cm<sup>2</sup>/Vs と 93 cm<sup>2</sup>/Vs であり高い値を示す[188]。また、O<sub>2</sub> と H<sub>2</sub> の混合ガス中でウェット酸化を行い、さらにそれらを Ar で希釈した混合ガス中で酸化し、Ar と N<sub>2</sub> の混合ガス中で冷却した場合、 $N_A = 4.3 \times 10^{15}$  cm<sup>-3</sup> の素子における実効移動度が室温付近でおよそ 95 cm<sup>2</sup>/Vs を示す[189]。

## 1.7. 酸化膜/半導体界面におけるキャリアの散乱機構[191]–[193]

本節では、MOSFET のゲート電極に電圧を印加することで酸化膜/半導体界面の直下に誘起される反転キャリアの電界による加速されやすさの目安である反転層移動度について述べる。その後、反転層内のキャリア散乱機構が精緻に検討されている Si MOSFET におけるキャリア散乱機構を整理したうえで、個々のキャリア散乱機構の詳細を述べる。最後に、従来の SiC MOSFET におけるキャリア散乱機構を紹介する。

### 1.7.1. MOSFET の反転層移動度

MOSFET のソース領域からドレイン領域へと流れるドレイン電流は、チャネル領域におけるキャリア分布で決まる拡散電流と、チャネル領域の電子が電界で加速されるドリフト電流の和で決まる。ゲートへの印加電圧が低く、MOS 界面における半導体表面のバンド曲がりに対応する表面ポテンシャル( $\phi_s$ )が小さい弱反転領域では、チャネル領域内の表面キャリア密度が小さい。この時は、ドレイン電流は拡散電流として流れ、ドリフト電流の寄与は小さい。この拡散電流は、ソース領域端部からドレイン領域端部にかけて表面キャリア密度が減少することで生じており、拡散電流が支配的となる領域をサブスレショルド領域と呼ぶ。一方で、 $\phi_s$ が大きい強反転領域では、チャネル領域内部の表面キャリア密度は大きく、その分布で流れる拡散電流は飽和しており、表面キャリアが電界で加速されて流れるドリフト電流が支配的となる。反転層移動度( $\mu$ )はドリフト電流が支配的となる領域において評価できる物理量であり、平均的な電子速度と印加電界の比で定義される。この時、電界加速により増加した電子の運動量を散乱により失うまでの平均的な時間(運動量緩和時間)が $\langle\tau\rangle$ 秒で一定であるという近似を行うと、反転層移動度は式(17)で表さされる。ここで、 $\langle\tau\rangle$ はキャリアの波数ごとの運動量緩和時間のエネルギー平均に対応する。 $\langle\tau\rangle$ は電界印加時の定常状態から外力を取り除くことで熱平衡状態へ戻るまでの時間と言える[194]。

$$\mu = \frac{q}{m_c^*} \langle \tau \rangle \quad (17)$$

ここで、 $q$  は電荷素量、 $m_c^*$ は電界方向への伝導度有効質量を表す。 $m_c^*$ は半導体のバンド構造を反映するため、キャリアが流れる方向に応じて変化する。反転層中のキャリアは個々に異なる運動エネルギーを持ち、個々のキャリアの緩和時間 ( $\tau$ )はそれらに応じて異なるため、 $\langle\tau\rangle$ は反転層中のキャリアの集団について、その運動エネルギー分布を考慮して $\tau$ を平均化したものを表している[195]。なお、個々のキャリアに対する  $\tau$  は散乱因子がそれぞれのキャリアに与えるポテンシャルの変動で決まる。

数式的には、2次元電子ガスでは、 $i$  番目のサブバンドの運動量緩和時間を $\langle \tau \rangle_i$  とすると式(18)で表される[191], [194]。これは、 $i$  番目のサブバンドに存在する個々の電子のなかで電子散乱に寄与するものの運動量緩和時間を平均化したものであり、式(18)中の  $E-E_i$  は  $i$  番目のサブバンドにおける 2次元電子の状態密度が一定値であり  $E-E_i$  の 0 乗に比例することおよび、エネルギー $E-E_i$ による重みづけを反映している。なお、3次元では状態密度は  $E^{1/2}$  に比例することに留意が必要である。式(18)中の $-df_0(E)/dE$ は後述するように電子散乱に寄与する電子のエネルギー分布に対応する。

$$\begin{aligned} \langle \tau \rangle_i &= \frac{\int_{E_i}^{\infty} (E - E_i) \times \tau(E) \times (-df_0(E)/dE) dE}{\int_{E_i}^{\infty} (E - E_i) \times (-df_0(E)/dE) dE} \\ &= \frac{\int_0^{\infty} E \times \tau(E + E_i) \times (-df_0(E + E_i)/dE) dE}{\int_{E_i}^{\infty} E \times (-df_0(E + E_i)/dE) dE} \end{aligned} \quad (18)$$

ここで、 $i$  番目のサブバンドエネルギーを  $E_i$  とし、 $f_0(E)$  はフェルミ・ディラック分布関数であり、式(19)で表される。

$$f_0(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{k_B T}\right)} \quad (19)$$

ここで、 $E_F$ 、 $k_B$ 、 $T$  はフェルミエネルギー、ボルツマン定数、温度を表す。また、フェルミ・ディラック分布関数の微分である  $df_0(E)/dE$  は式(20)で表される。

$$\frac{df_0(E)}{dE} = -\frac{1}{k_B T} f_0(E) \times (1 - f_0(E)) \quad (20)$$

ここで、 $f_0(1-f_0)$  はフェルミエネルギー( $E_F$ )近傍で極大値を持ち、このエネルギー分布はフェルミ・ディラック分布の熱的な広がりを反映するため、高温ほどエネルギー分布が広がる。そのため、電子散乱に寄与するのは  $E_F$  近傍のエネルギーを有する電子であることが分かる。フェルミ・ディラック分布の熱的な広がりは  $k_B T$  程度であることを考慮すると、高温では  $T$  が増加するため散乱に寄与するエネルギー領域が  $E_F$  の近傍で広がることを意味している。また、 $f_0(E)$  は電子がエネルギー  $E$  の状態を占有している確率を表し、 $1-f_0(E)$  は電子がエネルギー  $E$  の状態を占有していない確率を表す。そのため、 $f_0(E) \times (1 - f_0(E))$  は散乱の前後でエネルギー  $E$  を保存した状態で、電子散乱により占有状態から非占有状態へと電子が散乱される確率を表すと解釈される。



i 番目のサブバンドを占める電子密度とその反転層移動度を  $N_i$  および  $\mu_i$  とするとすると、反転キャリアが単一のバレーに存在する場合、反転層移動度( $\mu$ )は各サブバンドの電子密度を反映して式(21)、(22)で表される。

$$\mu = \frac{\sum \mu_i \times N_i}{\sum N_i} \quad (21)$$

$$\mu_i = \frac{q}{m_c^*} < \tau >_i \quad (22)$$

また、反転キャリアが複数のバレーに存在する場合は、各バレーの電子密度と式(21)、(22)で得られる各バレーの反転層移動度を各々  $N_k$  および  $\mu_k$  とすると、反転層移動度( $\mu$ )は式(23)で表される。

$$\mu = \frac{\sum \mu_k \times N_k}{\sum N_k} \quad (23)$$

本節では、反転層内のキャリア散乱機構が精緻に検討されている Si MOSFET におけるキャリア散乱機構について述べる。個々のキャリア散乱機構の詳細を述べた後に、従来の SiC MOSFET におけるキャリア散乱機構モデルを紹介する。

### 1.7.2. 散乱確率と行列要素[194]

反転層移動度( $\mu$ )は運動量緩和時間( $\langle\tau\rangle$ )に比例し、これはキャリア散乱機構により決定される。運動量緩和時間は量子力学の摂動論を基に議論され、弾性散乱により電子の状態が波数  $\mathbf{k}$  から波数  $\mathbf{k}'$  へと遷移する遷移確率  $P(\mathbf{k}, \mathbf{k}')$  とすると、波数  $\mathbf{k}$  における運動量緩和時間 ( $\tau(\mathbf{k})$ ) は式(24)の関係式で表される。

$$\frac{1}{\tau(\mathbf{k})} = \sum_{\mathbf{k}'} P(\mathbf{k}, \mathbf{k}') \times (1 - \cos \theta) \quad (24)$$

ここで、 $\theta$  は  $\mathbf{k}$  と  $\mathbf{k}'$  の間の角度である。散乱により波数が  $\mathbf{k}$  から  $\mathbf{k}'$  へと変化すると、散乱前の電子の運動量を 1 とすると、散乱後の  $\mathbf{k}$  方向の運動量は  $\cos\theta$  へと減少するため、 $1 - \cos\theta$  は散乱により減少する  $\mathbf{k}$  方向の運動量の割合を表す。従って、 $P(\mathbf{k}, \mathbf{k}') \times (1 - \cos\theta)$  は 1 秒間に波数  $\mathbf{k}$  から  $\mathbf{k}'$  へとキャリアの運動量が完全に緩和される散乱頻度を表す。従って、 $1/\tau(\mathbf{k})$  はそれらを全ての散乱後の電子状態に対して足し合わせたものであり、1 秒間に波数  $\mathbf{k}$  の運動量が完全に緩和される頻度を表す。

遷移確率  $P(\mathbf{k}, \mathbf{k}')$  は摂動のハミルトニアン( $H_1$ )と定常状態の波数とエネルギーを基に式(25)、(26)、(27)で表される。ここで、 $H_0$  は定常状態のハミルトニアンを表し、 $H$  は  $H_0$  と  $H_1$  を合わせた全ハミルトニアンを表す。 $E(\mathbf{k})$  および  $|\mathbf{k}\rangle$  は波数  $\mathbf{k}$  のエネルギーと波動関数である。

$$P(\mathbf{k}, \mathbf{k}') = \frac{2\pi}{\hbar} |\langle \mathbf{k}' | H_1 | \mathbf{k} \rangle|^2 \delta(E(\mathbf{k}') - E(\mathbf{k})) \quad (25)$$

$$H = H_0 + H_1 \quad (26)$$

$$H_0 |\mathbf{k}\rangle = E(\mathbf{k}) |\mathbf{k}\rangle \quad (27)$$

式(25)はフェルミの黄金律と呼ばれ、 $\langle \mathbf{k}' | H_1 | \mathbf{k} \rangle$  を行列要素と呼ぶ。摂動として取り扱えるポテンシャル( $V$ )による散乱が生じた場合、波数  $\mathbf{k}$  から波数  $\mathbf{k}'$  へと散乱が生じる散乱確率は、 $H_1 = V$  とする行列要素  $\langle \mathbf{k}' | V | \mathbf{k} \rangle$  の 2 乗に比例することを示している。半導体中におけるさまざまな散乱機構に対して、行列要素の定式化が行われている。

### 1.7.3. Si MOSFET におけるキャリア散乱機構モデルの整理[196], [197]

Si では反転層移動度を定めるキャリア散乱機構が精緻に検討されており、フォノン散乱、クーロン散乱、界面ラフネス散乱が競合することで反転層移動度が決まることが示されている[196], [197]。主要な散乱機構は温度により異なり、反転層移動度と実効垂直電界の関係を検討することで主要な散乱機構の変化が評価できることが分かっている。実効垂直電界は反転層中のキャリアが感じる電界の代表値であり、空乏層電荷密度と表面キャリア密度より算出される。図 1.28 に酸化膜/半導体界面におけるこれらの散乱機構の概念図を示す。

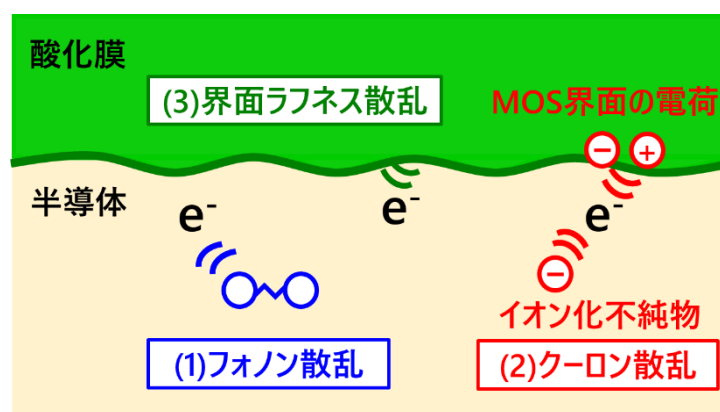


図 1.28 酸化膜/半導体界面におけるキャリア散乱機構の概念図。

図 1.29 に Si MOSFET における電子の反転層移動度と実効垂直電界の関係[197]を示す。ここでは p 型ウェル領域のアクセプタ濃度( $N_{\text{sub}}$ )を系統的に変化させている。図 1.30 にはそのキャリア散乱機構の概念図を示す。ここではフォノン散乱、クーロン散乱、界面ラフネス散乱により決まる移動度を各々、 $\mu_{\text{phonon}}$ 、 $\mu_{\text{Coulomb}}$ 、 $\mu_{\text{SR}}$  と表記した。フォノン散乱の影響が小さい低温では、実効垂直電界が小さい領域ではクーロン散乱の影響が支配的であり、実効垂直電界が高い領域では界面ラフネス散乱の影響が支配的となる。界面ラフネス散乱は温度依存性がほとんどないと考えられているため、低温において実効垂直電界が高い領域の移動度を評価することで、界面ラフネス散乱移動度を評価することができる。一方で、室温付近やそれよりも高温では、フォノン散乱の影響が顕在化する。そのため、実効垂直電界が中程度の領域ではフォノン散乱移動度が支配的となり、高電界領域においてはそれに界面ラフネス散乱移動度の影響が加わる。フォノン散乱移動度と界面ラフネス散乱移動度は実効垂直電界の累乗に従って減少することが知られており、フォノン散乱移動度の累乗係数は $-0.3$ 程度、界面ラフネス散乱の累乗係数は $-2$ 程度と累乗係数が異なる。

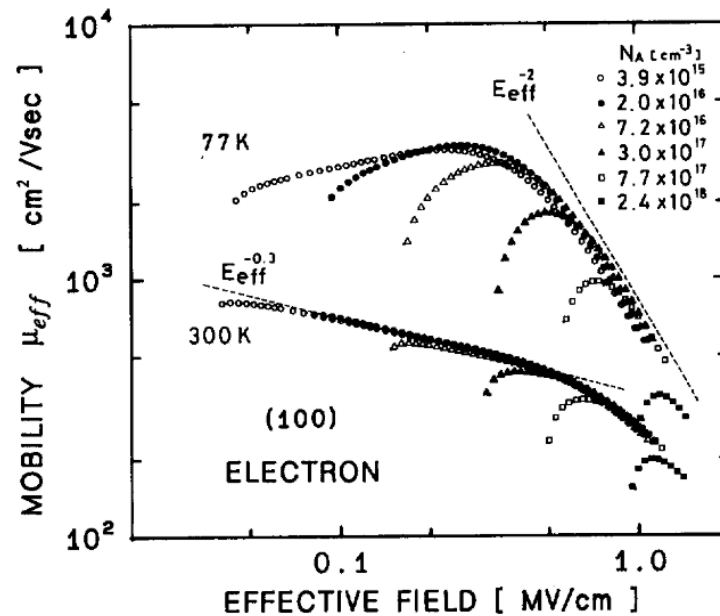


図 1.29 Si MOSFET における反転層移動度と実効垂直電界の関係[197]  
(© 1994 IEEE)

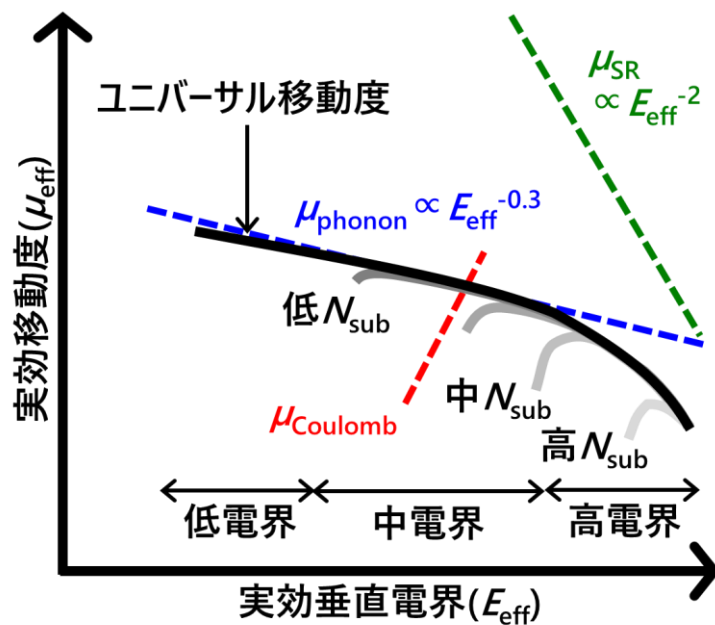


図 1.30 反転層移動度と実効垂直電界の関係(概念図)

フォノン散乱の影響は実効垂直電界の大きさによらず現れるが、界面ラフネス散乱の影響は実効垂直電界が大きい領域でのみ顕在化するのが特徴である。また、Si MOSFET ではクーロン散乱の要因は主にウェル領域中のアクセプタに起因するイオン化不純物散乱であ

ることが知られ、その影響はアクセプタ濃度が増加すると大きくなるため、クーロン散乱移動度が低下する。なお、ゲート絶縁膜である  $\text{SiO}_2$  へ意図的に電荷を注入することで、 $\text{SiO}_2/\text{Si}$  界面に電荷捕獲準位を生成することが可能であり、界面捕獲準位の密度を増加させた素子ではそれらによりクーロン散乱が生じる[197]。 $\text{SiO}_2/\text{Si}$  界面の電荷捕獲準位を意図的に増加させない場合は、その影響が小さくクーロン散乱移動度がイオン化不純物散乱のみで決まっている。このとき、表面キャリア密度が低い領域では、クーロン散乱移動度が低いため、反転層移動度は主にクーロン散乱により支配されるが、表面キャリア密度の増加によりイオン化不純物が遮蔽される効果を受けてクーロン散乱移動度は増加する。そのため、表面キャリア密度が高い領域ではクーロン散乱の影響は十分に小さくなる。そのため、アクセプタ濃度によらず表面キャリア密度が増加するに従って、反転層移動度はフォノン散乱と界面ラフネス散乱により決まる移動度へと漸近する。この漸近線をユニバーサル移動度と呼び、アクセプタ濃度が低い素子ではクーロン散乱の影響が小さく、反転層移動度はおよそユニバーサル移動度と一致する。

Si MOSFET のキャリア散乱機構を分離評価するには、上記の反転層移動度の特徴を用いる。界面ラフネス散乱移動度は、低温において実効垂直電界が高い領域の反転層移動度より評価し、フォノン散乱移動度はアクセプタ濃度が低い素子において実効垂直電界が中程度の領域における反転層移動度より評価する。最後に、イオン化不純物によるクーロン散乱移動度は反転層移動度とユニバーサル移動度の乖離より評価される。これらの評価では、フォノン散乱、クーロン散乱、界面ラフネス散乱の寄与が独立であるとして、式(28)で表される Matthiessen 則により反転層移動度が決まるとみなしている。ここで、各散乱因子が反転キャリアに独立に作用した場合の移動度を順に、 $\mu_{\text{phonon}}$ 、 $\mu_{\text{Coulomb}}$ 、 $\mu_{\text{SR}}$  と表記している。

$$\frac{1}{\mu} = \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{Coulomb}}} + \frac{1}{\mu_{\text{SR}}} \quad (28)$$

フォノン散乱移動度の温度依存性に着目すると、Si MOSFET では温度( $T$ )の $-1.75$ 乗に比例してフォノン散乱移動度が低下する。これは理論的に定式化されている音響フォノン散乱が $T$ の $-1$ 乗であり、それよりも強い温度依存性を示すことから、バレー間フォノン散乱が生じている[198]。また、音響フォノン散乱移動度は実効的な反転層幅( $w$ )に比例するため、表面キャリア密度が増加することで実効垂直電界( $E_{\text{eff}}$ )が強まると減少し、理論的にはキャリアが基底準位のみを占有すると  $E_{\text{eff}}$  の $-1/3$ ( $\sim 0.33$ )乗で減少する[196]。Si のフォノン散乱移動度は  $E_{\text{eff}}$  の $-0.3$ 乗数で減少することが示されている[196], [197]。ここでは  $E_{\text{eff}}$  の計算に用いるパラメータ  $\eta$  は  $11/32$  としている。バレー間散乱も同様に、 $w$  に比例することから高温でバレー間散乱の影響が表れる場合でもフォノン散乱移動度の実効電界依存性は保たれる。また、イオン化不純物によるクーロン散乱移動度は不純物濃度が約  $5 \times 10^{16} \text{ cm}^{-3}$

以上ではアクセプタ濃度の $-1$  乗に比例して減少し、表面キャリア密度( $N_s$ )の $+1$  乗で増加する[197]。界面ラフネス散乱移動度の  $E_{\text{eff}}$  依存性は面方位により異なり、 $-1 \sim -2.6$  乗で減少する[196]。

なお、Matthiessen 則はキャリアの移動度を決める散乱機構を分離評価する際に用いられることが多いが、必ずしも成立しないことが指摘されている[199]–[203]。これは同一サブバンド内で考えた時に、散乱機構ごとに緩和時間のエネルギー依存性が異なるため、全ての散乱機構を考慮した場合の緩和時間のエネルギー平均に対する逆数が、各散乱機構における緩和時間のエネルギー平均に対する逆数の総和と一致しないことに起因する。また、実際にキャリアが波数空間上で占有するのは 1 つのサブバンドではなく、複数のサブバンドかつ複数のバレーであることも影響することが指摘されている。また、散乱機構の寄与が独立であることに対しても、フォノン散乱とクーロン散乱が完全には独立ではないことも指摘されており留意が必要である[204]。

#### 1.7.4. フォノン散乱[191]–[193], [196], [197]

フォノン散乱は半導体中の格子振動を反映した音響フォノンおよび光学フォノンを介した散乱であり、フォノンの放出もしくは吸収を伴う散乱現象である。音響フォノンは波数空間において低エネルギーから高エネルギーにかけて連続的に存在しており、低エネルギーを介した散乱が高頻度で生じ、これはほとんど弾性散乱である。一方で、光学フォノンは波数空間において低エネルギーには存在せず、高エネルギーでのみ存在するため散乱頻度は低く、非弾性散乱である。

フォノン散乱には同一バレー内で生じるバレー内散乱と、バレー間で生じるバレー間散乱がある。既に前節 1.7.3 に述べた音響フォノン散乱はバレー内散乱であり、理論的には音響フォノン散乱で制限されるフォノン散乱移動度( $\mu_{\text{phonon}}$ )は実効的な反転層幅( $w$ )に比例する。反転キャリアが 2 次元電子ガスとして振る舞い、全ての反転キャリアが基底準位を占有すると仮定すると、音響フォノン散乱で制限されるフォノン散乱移動度は実効垂直電界の  $-1/3$  乗( $E_{\text{eff}}^{-1/3}$ )に比例する[196]。ここでは、実効垂直電界を計算するためのパラメータである  $\eta$  を  $11/32$  としており、酸化膜/半導体界面に垂直方向を  $z$  軸として、 $z$  軸方向の反転キャリアの波動関数の包絡線は F. Stern と W. E. Howard の定式化[205]に基づいている。

Si MOSFET では実効垂直電界を計算する際、 $\eta$  として  $1/2$  もしくは  $1/3$  が用いられ[196], [197]、(110)面および(111)面では  $\eta=1/3$  の時に  $\mu_{\text{phonon}}$  が  $E_{\text{eff}}^{-0.3}$  に比例し[196]、(100)面では  $\eta=1/2$  の時に  $\mu_{\text{phonon}}$  が  $E_{\text{eff}}^{-0.3}$  に比例することが示されている[197]。実際には、全ての反転キャリアが基底準位を占有されるとは限らず、キャリアは基底準位よりも高いエネルギーをもつサブバンドも占有するため、サブバンド間での散乱が生じる。また、同一エネルギーを有するバレーが複数あれば、各バレーに電子が占有されるが、反転層もしくは半導体の膜厚に応じてバレーごとに量子化準位が形成される。この量子化準位はバレーごとの有効質量に応じて異なる値を持つため、エネルギーの低い準位から電子が占有されていく。そのため、バレー間散乱の影響も考慮する必要がある[198]。

図 1.31 に示すように、Si MOSFET の反転層移動度の温度依存性を検討することで、高温領域では音響フォノン散乱に加えて、バレー間フォノン散乱の寄与を考慮する必要性が明らかとなっている[198]。バレー間フォノン散乱移動度の温度係数はおよそ  $-3$  と計算されており、音響フォノン散乱移動度の温度係数の理論値である  $-1$  よりも小さい。図 1.31(a)の反転層移動度の実測値をみると、50K から 100K の間の温度係数よりも、200K から 300K における温度係数がより負方向に大きくなっていることが見て取れる。実際、Si MOSFET のフォノン散乱移動度の温度係数は(100)面、(110)面、(111)面において  $-1.75$  であることが報告されている[196], [197]。

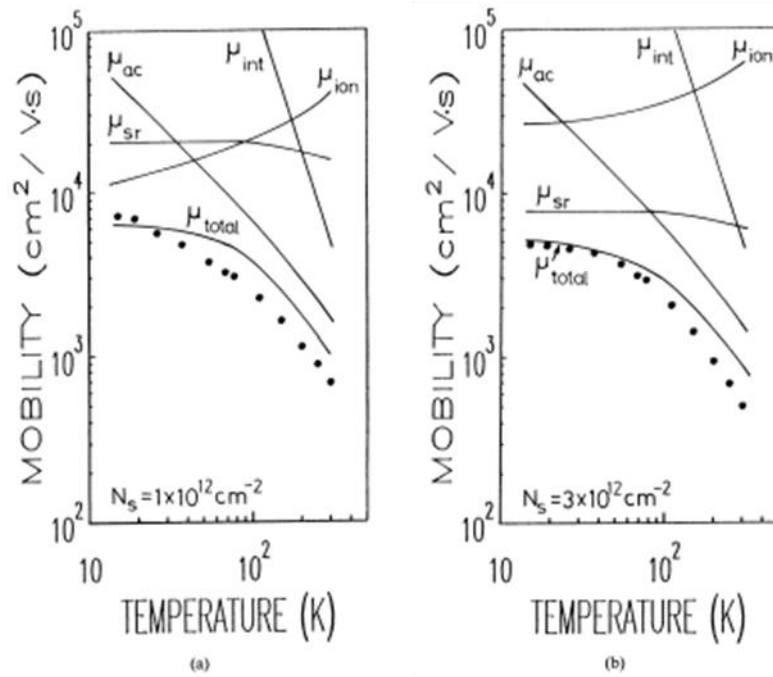


図 1.31 (a) $N_s=1 \times 10^{12} \text{ cm}^{-2}$ 、(b) $N_s=3 \times 10^{12} \text{ cm}^{-2}$ における Si MOSFET における反転層移動度の温度依存性ここで、 $\mu_{ac}$ 、 $\mu_{int}$ 、 $\mu_{sr}$ 、 $\mu_{ion}$  は各々、音響フォノン散乱、バレー間フォノン散乱、界面ラフネス散乱、イオン化不純物散乱により決まる移動度を表す[198].

("Used with permission of JSAP, from [Temperature Dependence of Electron Mobility in Si Inversion Layers, K. Masaki *et al.*, *Jpn. J. Appl. Phys.*, vol. 30, no. 11A, 1991]; permission conveyed through Copyright Clearance Center, Inc.")

フォノン散乱の定式化について述べる。まず、同一バレー内で生じる音響フォノン散乱について紹介し、次にバレー間フォノン散乱について紹介する。同一バレー内で生じる音響フォノン散乱の要因は、結晶の局所的な変形により伝導帯端部( $E_c$ )が変形することで摂動ポテンシャルが生じることである。結晶を構成する原子が振動することで原子間距離が変化するため、原子間距離が変化しない場合の理想的な  $E_c$  と比べて局所的な  $E_c$  が増減することに対応する。その大きさは結晶の体積( $V$ )の変化率( $\Delta V/V$ )に比例し、その比例係数を変形ポテンシャル( $D_{ac}$ )と呼ぶ。

音響フォノン散乱の運動量緩和時間 $\tau_{ac}^{ij}(E)$ は式(29)、(30)で表される。ここでは  $i$  番目のサブバンドから  $j$  番目のサブバンドへの遷移を考えている。式(29)より $\tau_{ac}^{ij}(E)$ は  $w_{ij}$  に比例する項と、熱エネルギー $k_B T$ に反比例する項を含む。



$$\frac{1}{\tau_{ac}^{ij}(E)} = \frac{n^{ac} m_d D_{ac}^2 k_B T}{\hbar^3 \rho v_s^2} \times \frac{1}{w_{ij}} \quad (29)$$

$$\frac{1}{w_{ij}} = \int \xi_i(z)^2 \xi_j(z)^2 dz \quad (30)$$

ここで、 $z$  方向は酸化膜/半導体界面に垂直方向とし、 $x$  と  $y$  方向は酸化膜/半導体界面に平行とする。 $n^{ac}$  はバレー内散乱の縮退度、 $m_d$  は酸化膜/半導体界面の状態密度有効質量 ( $=\sqrt{m_x m_y}$ ) である。 $\rho$  は結晶の比重、 $v_s$  は音速である。 $\xi_i(z)$  と  $\xi_j(z)$  は  $i$  および  $j$  番目のサブバンドにおける波動関数である。

なお、フォノン散乱にはフォノンの吸収と放出が介在し、エネルギー  $E$  におけるフォノンの励起数を  $N(E)$  とすると、各々の散乱確率は  $N(E)$  と  $N(E)+1$  に比例する。フォノンの分散関係を考慮すると、音響フォノンは光学フォノンと異なりエネルギーが低い領域にも存在するため、低エネルギーの音響フォノンが散乱に介在する。フォノンの励起数は式(31)に示すボース・アインシュタイン分布に従うため、音響フォノンのエネルギー ( $\omega_p$ ) が小さいほど  $N(E)$  が大きくなる。

$$N(E) = \frac{1}{\exp\left(\frac{\hbar\omega_p}{k_B T}\right) - 1} \quad (31)$$

$\omega_p$  は波数( $q$ )の小さい領域では  $\omega_p = v_s q$  の分散関係を持ち、 $\hbar\omega_p/k_B T \ll 1$  の領域では  $N(E) \sim \frac{k_B T}{\hbar\omega_p} = \frac{k_B T}{\hbar v_s q}$  と表されるため、 $N(E) \sim N(E) + 1$  が成り立ち、音響フォノン散乱の運動量緩和時間はフォノン吸収と放出で変わらないことが分かる。

ここで、基底準位のみが電子を占有するシングルサブバンドとして扱え、かつ波動関数  $\xi(z)$  が Stern と Howard が定式化したように式(32)で近似されとする[205]。この時、変分法より  $w_{ij} (=w)$  は式(33)で表されるため、式(29)より音響フォノン散乱移動度 ( $\mu_{ac}$ ) は  $T^{-1}$  に比例することが分かる。

$$\xi(z) = \frac{1}{2} b^2 z^2 \exp(-bz) \quad (32)$$

$$w = \frac{16}{3} \left( \frac{\epsilon_s \hbar^2}{12 m_z q^2} \right)^{\frac{1}{3}} \times \left( N_{\text{dep}} + \frac{11}{32} N_s \right)^{-\frac{1}{3}} \quad (33)$$

ここで、 $\varepsilon_s$  と  $m_z$  は各々、半導体の誘電率と酸化膜/半導体界面へ垂直方向の有効質量を表し、 $N_{\text{dep}}$  と  $N_s$  は空乏層および反転キャリアの密度を表す。 $w$  が  $m_z^{-1/3}$  に比例することより、反転キャリアの閉じ込め方向(=  $z$  方向)の有効質量が大きいと、反転層厚が薄いことが分かる。

次に、バレー間散乱について述べる。多数バレー構造を有する半導体ではバレー間を遷移する散乱が生じる。ここでは、エネルギー的に等価なバレーのみが存在するとし、関与するフォノンの角周波数が複数存在する場合を考える。遷移前に  $i$  番目のサブバンドに存在する電子の運動量緩和時間( $\tau_{\text{int}}^i(E)$ )は式(34)、(35)、(36)で表される。式(34)では、 $i$  番目のサブバンドからバレー間散乱により  $j$  番目のサブバンドに遷移する散乱割合を考慮するすべてのサブバンドに対して足し合わせることで、 $\tau_{\text{int}}^i(E)$  が評価される。

$$\frac{1}{\tau_{\text{int}}^i(E)} = \sum_j \frac{1}{\tau_{\text{int}}^{ij}(E)} \quad (34)$$

$$\frac{1}{\tau_{\text{int}}^{ij}(E)} = \sum_k \frac{n^v D_{\text{int}}^{k2}}{\rho \omega_{\text{int}}^k} \times \frac{m_{\text{dv}}}{\hbar^2} \times \frac{1}{V_{ij}} \times \left( N(\hbar \omega_{\text{int}}^k) + \frac{1}{2} \mp \frac{1}{2} \right) \times \frac{1 - f_0(E \pm \hbar \omega_{\text{int}}^k)}{1 - f_0(E)} \times u(E \pm \hbar \omega_{\text{int}}^k - E_j') \quad (35)$$

$$\frac{1}{V_{ij}} = \int \xi_i(\mathbf{z})^2 \xi_j'(\mathbf{z})^2 d\mathbf{z} \quad (36)$$

ここで散乱に関与するフォノンの種類を添え字  $k$  で表し、変形ポテンシャルと角周波数を  $D_{\text{int}}^k$  と  $\omega_{\text{int}}^k$  と表している。 $k=1$  であればバレー間散乱に関与するフォノンが1種類であることを意味しており、複数のフォノンが介在する場合、 $D_{\text{int}}^k$  と  $\omega_{\text{int}}^k$  の値が異なる。 $n_v$  は終状態の等価的なバレーの縮重度を表し、 $m_{\text{dv}}$  は遷移先の状態密度有効質量である。 $N(\hbar \omega_{\text{int}}^k)$  はエネルギーが  $\hbar \omega_{\text{int}}^k$  のフォノンの励起数を表し、ボース・アインシュタイン分布に従う。 $N(\hbar \omega_{\text{int}}^k) + \frac{1}{2} \mp \frac{1}{2}$  の項は  $N(\hbar \omega_{\text{int}}^k)$  と  $N(\hbar \omega_{\text{int}}^k) + 1$  を表し、各々がフォノンの吸収と放出過程に対応する。 $f_0(E)$  はフェルミ・ディラック分布であり、 $1 - f_0(E \pm \hbar \omega_{\text{int}}^k)$  の項はフォノンの吸収と放出にともなってエネルギー変化が生じた際の、遷移先のエネルギー準位が空いている確率を表す。また、 $E_j'$  は遷移先の  $j$  番目のサブバンドのエネルギーを表し、 $u(E \pm \hbar \omega_{\text{int}}^k - E_j')$  の項はフォノンの吸収と放出を伴う遷移過程が生じるには散乱後のエネルギーが  $E_j'$  以上の場合にのみ生じることを表している。 $\xi_i(\mathbf{z})$  と  $\xi_j'(\mathbf{z})$  は遷移前後の波動関数である。

バレー間フォノン散乱の温度依存性を考えると、バレー間フォノン散乱ではフォノンの吸収と放出に応じて運動量緩和時間の逆数が  $N(\hbar \omega_{\text{int}}^k) + \frac{1}{2} \mp \frac{1}{2}$  に比例するため、その温度依存性にはフォノンの励起数の温度依存性が反映される。これが、バレー間フォノン散乱が音響フォノン散乱と異なる温度依存性を有する一因である。

## 1.7.5. クーロン散乱[203], [205], [206]

既に前節 1.7.3 にて述べた通り、クーロン散乱は主にイオン化不純物と酸化膜/半導体界面の電荷捕獲準位により生じる。点電荷を例に考えると、クーロン散乱は点電荷で生じるポテンシャル摂動により生じるため、点電荷との距離( $r$ )に影響される。また、MOSFET では反転キャリアが高密度に存在するため、反転キャリアによる遮蔽効果により点電荷が形成するポテンシャルが距離に対して急激に減少する効果も考慮する必要がある。例えば、正の点電荷が形成するポテンシャルが 3 次元空間内の電荷で遮蔽されたポテンシャルを実空間で記述すると、3 次元空間における遮蔽されたポテンシャル( $V_{scr,3D}(r)$ )は Thomas-Fermi 近似が成り立つ場合、式(37)で記述される。

$$V_{scr,3D}(r) = -\frac{e^2}{4\pi\epsilon_0\epsilon_r} \frac{\exp(-q_{TF}r)}{r} \quad (37)$$

ここで、 $q_{TF}$  は Thomas-Fermi の遮蔽波数であり、 $e$  は電荷素量、 $\epsilon_0$  と  $\epsilon_r$  は真空の誘電率および比誘電率である。式(37)は  $\exp(-q_{TF} \times r)$  に比例して減衰するため、約  $1/q_{TF}$  が遮蔽距離の目安を与え、 $r$  が  $1/q_{TF}$  よりも十分遠方では遮蔽効果により正の点電荷が形成するポテンシャルの影響が及ばないことが分かる。なお、 $q_{TF}=0$  は遮蔽効果がない場合の点電荷のポテンシャルを表しており、ポテンシャルが  $r$  に反比例している。これを波数空間上で記述すると、式(38)で表される。

$$\tilde{V}_{scr,3D}(q) = -\frac{e^2}{\epsilon_0\epsilon_r} \frac{1}{q^2 + q_{TF}^2} \quad (38)$$

Thomas-Fermi 近似ではポテンシャルの波数( $q$ )がフェルミ波数( $k_F$ )よりも十分に小さいとして扱っており、ポテンシャルの実空間における周期が十分に長い場合に相当する。

また、正の点電荷が形成するポテンシャルが 2 次元空間内の電荷で遮蔽された場合は、波数空間上での遮蔽されたポテンシャルは式(39)、(40)、(41)で表される。ここでは、正の点電荷が遮蔽に寄与するキャリアの形成する 2 次元平面からの距離  $d(\geq 0)$  に存在するとしている[206]。

$$\tilde{V}_{scr,2D}(q) = \frac{\tilde{V}_{uns,2D}(q)}{\epsilon_{TF,2D}(q)} \quad (39)$$

$$\tilde{V}_{uns,2D}(q) = -\frac{e^2}{2\epsilon_0\epsilon_r} \frac{\exp(-qd)}{q} \quad (40)$$

$$\epsilon_{TF,2D}(q) = 1 + \frac{q_{TF,2D}}{q} \quad (41)$$

ここで、 $\tilde{V}_{scr,2D}(q)$ 、 $\tilde{V}_{uns,2D}(q)$ 、 $\epsilon_{TF,2D}(q)$ は各々遮蔽がある場合のポテンシャル、遮蔽がない場合のポテンシャル、誘電関数を表す。 $q_{TF,2D}$ は2次元の場合の Thomas-Fermi の遮蔽波数であり、 $i$ 番目のサブバンドにおける値は式(42)で表わされる[194],[207]。式(39)より、遮蔽効果は誘電関数 $\epsilon_{TF,2D}(q)$ により記述されることが分かる。また、式(40)の比誘電率 $\epsilon_r$ は点電荷が酸化膜と半導体が接する時、その界面もしくは酸化膜側に存在する場合、酸化膜と半導体の比誘電率の平均値として取り扱う[208]。

$$q_{TF,2D} = \frac{e^2}{2\epsilon_0\epsilon_r} \frac{n_{vi}m_{di}}{\pi\hbar^2} \frac{1}{1 + \exp\left(\frac{E_i - E_F}{k_B T}\right)} = \frac{e^2}{2\epsilon_0\epsilon_r} \frac{n_{vi}m_{di}}{\pi\hbar^2} \left[ 1 - \exp\left(-\frac{N_i\pi\hbar^2}{n_{vi}m_{di}k_B T}\right) \right] \quad (42)$$

ここで、 $n_{vi}$ 、 $m_{di}$ 、 $N_i$ は各々 $i$ 番目のサブバンドにおけるバレーの縮重度、状態密度有効質量、キャリア密度を表し、 $N_i$ は式(43)、(44)で表される[194]。

$$N_i = \frac{n_{vi}m_{di}k_B T}{\pi\hbar^2} F_0\left(\frac{E_F - E_i}{k_B T}\right) \quad (43)$$

$$F_0(x) = \ln(1 + e^x) \quad (44)$$

キャリア密度  $N_i$  の増加もしくは温度  $T$  の減少により  $q_{TF,2D}$  が大きくなる。これらの場合、誘電関数  $\epsilon_{TF,2D}$  が大きくなるため、正の点電荷が形成するポテンシャルの影響を低減することより、遮蔽効果は高キャリア密度または低温で現れることが分かる。温度依存性の観点からは、高温化することで遮蔽効果が弱まると言える。

このような、遮蔽効果を考慮した点電荷によるクーロン散乱は F. Stern らにより理論検討されており[205]、表面キャリア密度の増加によりクーロン散乱移動度が増加する傾向が再現されている。そこでは遮蔽波数( $q_{s,2D}$ )を定数として議論しているが、その後に  $q_{s,2D}$  が波数  $q$  および温度  $T$  への依存性をすることを考慮したより正確な議論が展開されている[203]。ここでは、分極率関数  $\Pi(q)$  について、波数  $q$  および温度  $T$  への依存性が検討されている。絶対零度( $T=0$ )では、 $\Pi(q)$  は  $q < 2k_F$  の領域では一定値を示し、 $q > 2k_F$  の領域で減少する。また、温度が高くなると、 $q < 2k_F$  の領域における  $\Pi(q)$  が  $T=0$  の場合よりも小さくなる。ここで、 $q=0$  の場合の分極率関数は Thomas-Fermi 近似と一致する[208]。2次元キャリアが空間的に狭い領域に分布する場合、その空間的な分布が遮蔽効果に及ぼす影響を取り込むために、形状因子が考慮される[193],[194],[207]。

Si MOSFET におけるクーロン散乱の影響は系統的に検証されており、クーロン散乱移動度( $\mu_{\text{Coulomb}}$ )は表面キャリア密度の累乗に比例して増加することが知られ[197]、クーロン散乱移動度の表面キャリア密度依存性は、クーロン散乱の要因となる散乱源に応じて異なることが報告されている[209], [210]。クーロン散乱源がイオン化不純物およびゲート酸化膜/半導体界面の界面電荷に対しては、クーロン散乱移動度は各々およそ  $N_s^{+1}$  と  $N_s^{+0.5}$  に比例する。一方で、クーロン散乱源がゲート電極である高濃度に不純物をドーピングした poly-Si/ゲート酸化膜界面に生じる poly-Si の空乏層内の電荷の場合は、それらよりも  $N_s$  への依存性が小さい。これはリモートクーロン散乱と呼ばれ、酸化膜厚が数 nm と薄い場合に考慮すべき現象である。

ただし、クーロン散乱移動度が表面キャリア密度の累乗で増加する累乗係数を  $\gamma$  とすると ( $\mu_{\text{Coulomb}} \propto N_s^\gamma$ )、Si MOSFET における  $\gamma$  はクーロン散乱源が同じであれば必ずしも一定値を示すとは限らず、アクセプタ濃度( $N_A$ )およびボディー電圧により変化しうる[209], [210]。クーロン散乱源がイオン化不純物の場合、アクセプタ濃度が  $2 \times 10^{18} \text{ cm}^{-3}$  以上の高  $N_A$  素子では表面キャリア密度が低い領域では  $\gamma$  が+1 よりも小さくなり、表面キャリア密度が高い領域では  $\gamma$  が+1 よりも大きくなる[210]。また、クーロン散乱源がゲート酸化膜/半導体界面の界面電荷の場合、アクセプタ濃度が  $9 \times 10^{15} \text{ cm}^{-3}$  の素子では  $\gamma$  はおよそ+0.5 であるが、アクセプタ濃度が  $1 \times 10^{18} \text{ cm}^{-3}$  の高  $N_A$  素子では  $\gamma$  がおよそ+1 へと近づき、 $\gamma$  が+0.5 よりも大きな値を示す[210]。このような  $\gamma$  の増加は、アクセプタ濃度が  $9 \times 10^{15} \text{ cm}^{-3}$  の素子においてボディー電圧を印加することでも生じる。さらに、クーロン散乱源がゲート電極である poly-Si の空乏層内の電荷の場合でも、ボディー電圧を印加することで  $\gamma$  が増加する[209]。

クーロン散乱の温度依存性は、遮蔽効果と平均エネルギーという観点で理解される。前述のように反転キャリアによる遮蔽効果は低温で強まり、100K 以下の領域で Si MOSFET の反転層移動度が増加するという報告がある[211]。なお、Si の面方位や界面準位により低温化により反転層移動度の増加が生じる領域が異なっている。高温化した場合は、反転キャリアによる遮蔽効果は減少するため、遮蔽効果の観点では高温化により  $\mu_{\text{Coulomb}}$  は減少すると期待される。一方で、反転キャリアの平均エネルギーという観点からは、高温化により  $\mu_{\text{Coulomb}}$  が温度  $T$  の 1 乗に比例して増加することが示されている[212]。ここでは、酸化膜中の電荷または酸化膜/半導体界面の電荷によるクーロン散乱の定式化より、その運動量緩和時間  $\tau(E)$  がエネルギー  $E$  に比例することに基づいている。運動量緩和時間がエネルギーの 1 乗に比例するときの反転層移動度は反転キャリアの平均エネルギーに比例し、Fermi-Dirac 分布関数が Boltzmann 分布と近似できる場合は  $k_B T$  と表されることを用いている。つまり、反転キャリアの分布がボルツマン分布を仮定できる非縮退の条件での検討であり、表面キャリア密度が低い領域で成り立つ関係である。

仮に反転キャリアが基底準位のみを占有すると仮定し、173K から 298K の範囲で Si 面 4H-SiC における反転キャリアの平均エネルギーの温度係数を計算すると、表面キャリア密度が  $1 \times 10^{12} \text{ cm}^{-2}$  および  $3 \times 10^{12} \text{ cm}^{-2}$  における温度係数は各々順に、0.98 と 0.93 であり、1 に近い値を示す。ゲート絶縁膜に  $\text{SiO}_2$  を用いた場合、反転層に誘起できる表面キャリア密度の最大値は  $\text{SiO}_2$  の絶縁破壊電界で制限され、それを 10 MV/cm として見積った最大値は  $2.2 \times 10^{13} \text{ cm}^{-2}$  である。表面キャリア密度が  $2 \times 10^{13} \text{ cm}^{-2}$  における温度係数は 0.57 であり、表面キャリア密度の増加により温度係数が減少する領域に入っていることが分かる。これは、ゲート絶縁膜に  $\text{SiO}_2$  を用いた MOSFET では、平均エネルギーという観点ではクーロン散乱は正の温度依存性を示し、温度依存性がなくなるまで縮退することはないことが分かる。

実際、Si MOSFET において表面キャリア密度が  $4.0 \times 10^{11} \text{ cm}^{-2}$  および  $9.0 \times 10^{11} \text{ cm}^{-2}$  の場合において、各々約 30K から約 100K および約 60K から 150K の領域で反転層移動度が高温化に伴って  $T$  の 1 乗で  $\mu_{\text{Coulomb}}$  が増加すると示されている[212]。この場合、遮蔽効果よりも平均エネルギーの温度依存性が強く反映されていると推定される。なお、Si MOSFET ではより高温領域ではフォノン散乱の寄与がクーロン散乱の寄与よりも大きいため、約 200K 以上では温度上昇に伴って反転層移動度が減少する。なお、 $\mu_{\text{Coulomb}}$  の温度依存性は、酸化膜/半導体界面の電荷分布にも影響を受けることが指摘されており、累乗係数は+1 よりも大きくなる可能性がある[212]。

## 1.7.6. 界面ラフネス散乱[194], [196], [208], [213], [214]

界面ラスネス散乱は酸化膜/半導体界面の凹凸で生じるポテンシャル揺らぎによる摂動で生じる散乱現象である。位置  $\mathbf{r}$  における酸化膜/半導体界面に垂直方向の凹凸を  $\Delta(\mathbf{r})$  とし、1 次近似としては摂動を表すハミルトニアン( $H_{SR}$ )が凹凸の大きさに比例することを仮定して、式(45)のように取り扱われる。

$$H_{SR} = -\frac{dV}{dz}\Delta(\mathbf{r}) \quad (45)$$

ここで、 $V$  は凹凸がない場合の定常状態におけるポテンシャルを表し、 $z$  は酸化膜/半導体界面に垂直方向を示している。そのため、 $dV/dz$  は電界を表す。この時、界面ラフネス散乱の運動量緩和時間  $\tau_{SR}(k)$  は式(46)、(47)、(48)で表される。

$$\tau_{SR}^{-1}(k) = \frac{q^2 m_d}{\pi \hbar^3} \cdot E_{AV}^2 \int_0^\pi d\theta (1 - \cos \theta) S\left(2k \cdot \sin \frac{\theta}{2}\right) \quad (46)$$

$$S(q) = \int C(r) \exp(-iqr) dr \quad (47)$$

$$E_{AV} = \frac{q}{\epsilon_0 \epsilon_r} \left( N_{dep} + \frac{1}{2} N_s \right) \quad (48)$$

ここで、 $m_d$  は平面内の状態密度有効質量であり、 $E_{AV}$  は反転層内の平均電界であり、実効垂直電界( $E_{eff}$ )にて  $\eta=1/2$  とする値である。 $S(q)$  は界面ラフネスのスペクトルを表す。 $C(r)$  は酸化膜/半導体界面の凹凸の自己相関関数であり、界面ラスネスを表す自己相関関数として、ガウス関数を仮定すると式(49)で表される[194]。ここで、 $\langle x \rangle$  は  $x$  の平均を表し、 $\mathbf{r}'$  を原点として  $(x', y') = (0, 0)$  を中心に自己相関関数を定めると式(50)で表される。

$$C(\mathbf{r}) = \langle \Delta(\mathbf{r}) \Delta(\mathbf{r}') \rangle = \langle \Delta(x, y) \Delta(x', y') \rangle = \Delta^2 \exp\left(-\frac{(x-x')^2 + (y-y')^2}{L^2}\right) \quad (49)$$

$$C(\mathbf{r}) = \langle C(\mathbf{r}) C(\mathbf{0}, \mathbf{0}) \rangle = \Delta^2 \exp\left(-\frac{r^2}{L^2}\right) \quad (50)$$

ここで、 $\Delta(\mathbf{r})$  は位置  $\mathbf{r}$  における界面ラフネスの大きさを表し、 $\Delta$  と  $L$  は垂直方向の凹凸の高さと平面方向の相関長を表す。この時、 $S(q)$  は式(51)で表され、界面ラフネス散乱の運動量緩和時間  $\tau_{SR}(k)$  は式(52)と記述される。

$$S(q) = \pi \Delta^2 L^2 \exp\left(-\frac{q^2 L^2}{4}\right) \quad (51)$$

$$\tau_{\text{SR}}^{-1}(k) = \frac{q^2 m_d \Delta^2 L^2 E_{\text{AV}}^2}{\hbar^3} \int_0^\pi d\theta (1 - \cos\theta) \exp\left(-\frac{1}{2} L^2 k^2 (1 - \cos\theta)\right) \quad (52)$$

従って、ラフネス散乱移動度は  $L$ 、 $\Delta$ 、 $E_{\text{AV}}$  について、各々の 2 乗に反比例する。ここで、 $L$  が電子の波長に対して十分に小さい場合、界面ラフネス散乱移動度( $\mu_{\text{SR}}$ )は反転層中の平均電界の -2 乗( $E_{\text{eff}}^{-2}$ )に比例する[196]。平均電界は実効垂直電界の計算にてパラメータ  $\eta$  を 1/2 とした場合に相当する。実験的には、Si MOSFET における界面ラフネス移動度は 77K の低温で実験的に評価され、実効垂直電界への依存性は面方位により異なり、実効垂直電界の -1 乗( $E_{\text{eff}}^{-1}$ )から -2.6 乗( $E_{\text{eff}}^{-2.6}$ )の範囲の依存性が示されている[196]。 $E_{\text{eff}}$  への依存性は単純化した理論値とは一致はしないが、音響フォノン散乱よりも強い実効垂直電界への依存性を有することを示している。なお、実験的に界面ラフネス散乱の温度依存性はほぼないことが示されている。

なお、自己相関関数はガウス関数よりも指数関数に従うことが報告されている[214]。その場合、界面ラフネスのスペクトルは式(53)で表される

$$S(q) = \frac{\pi \Delta^2 L^2}{\left[1 + \frac{q^2 L^2}{2}\right]^{\frac{3}{2}}} \quad (53)$$

なお、より正確には反転キャリアによる遮蔽効果を考慮するために、式(42)にて誘電関数( $\epsilon(q)$ )の波数依存性を考慮する必要がある[214]。近年では、界面ラフネス散乱の非線形性を考慮したより精緻なモデル化が提案されており、実験的に評価される  $L$ 、 $\Delta$ 、自己相関関数を取り入れて界面ラフネス散乱を再現する手法が実証されている[215]。

Si MOSFET において界面ラフネス散乱の影響がフォノン散乱またはクーロン散乱よりも相対的に大きくなるのは、実効垂直電界が高い領域であるため、表面キャリア密度が高い領域もしくはアクセプタ濃度が高い素子である。ただし、半導体の膜厚が電子の波動関数よりも薄くなる場合、酸化膜/半導体界面の凹凸により量子閉じ込めエネルギーが大きく揺らぐため、界面ラフネス散乱の影響が大きくなることが知られており、この場合の界面ラフネス散乱を膜厚揺らぎ散乱と呼ぶ。このとき、半導体の膜厚を  $T_s$  とすると、膜厚揺らぎ散乱の移動度は  $T_s^{-6}$  に比例する[216]。25K の低温において、 $T_s$  が 3 nm よりも薄い領域では膜厚揺らぎ散乱の影響を強く受けて、 $T_s$  の薄膜化により反転層移動度が急激に低下することが報告されている[217]。



### 1.7.7. SiC MOSFET におけるキャリア散乱機構モデル

SiC MOSFET ではゲート絶縁膜/SiC 界面に高密度の電荷捕獲準位が存在することが多く、反転層移動度をモデル化する際は電荷捕獲の影響を受けない可動キャリアの電子移動度を評価するために、しばしば反転層移動度としてホール移動度が用いられる[218]–[220]。

SiC MOSFET の反転層移動度はクーロン散乱の影響を強く受ける可能性が指摘されている[221]。Si と比較して、SiC では表面キャリア密度( $N_s$ )が高い領域でもクーロン散乱の影響が十分に小さくならず、標準的なアクセプタ濃度( $N_A$ )の素子では  $N_s$  が高い領域でもクーロン散乱によって移動度が低下する。このことは、標準的な  $N_A$  を用いた SiC MOSFET では反転層移動度が表面キャリア密度の累乗に比例して増加すること[221]、および評価温度を下げると反転層移動度が低下すること[222]からも妥当な推定と考えられる。

Si MOSFET におけるクーロン散乱は、主にイオン化不純物散乱に起因し、表面キャリア密度が低い領域のみでその影響が大きく、表面キャリア密度( $N_s$ )が大きくなるとフォノン散乱および界面ラフネス散乱の影響が支配的となる。そのため、フォノン散乱と界面ラフネス散乱はクーロン散乱の影響が小さい領域で評価できる。クーロン散乱の影響を小さくするには、イオン化不純物散乱を生じるアクセプタ濃度( $N_A$ )を低減すること、または  $N_s$  を大きくしてイオン化不純物の影響を遮蔽することが有効である。そのため、フォノン散乱移動度は、イオン化不純物散乱の影響が小さい低アクセプタ濃度の素子において、 $N_s$  が十分に大きくなる実効垂直電界( $E_{\text{eff}}$ )が中程度の領域で評価される[196], [197]。また、界面ラフネス散乱移動度は  $N_s$  が大きい高  $E_{\text{eff}}$  領域において、低温でフォノン散乱の影響を低減することで評価できる[196], [197]。このように、Si MOSFET ではクーロン散乱の影響が十分に小さくなる領域を利用することで、フォノン散乱移動度とクーロン散乱移動度を実験的に分離評価できる。

一方で SiC MOSFET では、ゲート絶縁膜に酸化窒化膜を用いた場合、標準的な  $N_A$  である  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$  の素子では、 $N_s$  が大きい領域でもクーロン散乱の影響が十分に抑制されておらず、Si と同様の手法でフォノン散乱と界面ラフネス散乱の影響を分離することは難しい。そのため、従来は解析式[223]–[226]や TCAD モデル[220]を用いたフィッティングによりキャリア散乱機構を見積もってきた。そのため、モデルに用いたフォノン散乱移動度と界面ラフネス散乱移動度には報告により大きな差が生じており、統一的なモデルはまだ構築されておらず、従来の Si MOSFET の反転層移動度を決めるキャリア散乱機構の枠組みが SiC MOSFET でも成立するかは定かでない。

## 1.8. 本研究の目的と本論文の構成

前述のように、ワイドバンドギャップ半導体である SiC はその優れた物性よりパワーデバイスの低損失化が期待され、パワーエレクトロニクス機器の省エネ化の鍵として SiC MOSFET の普及が加速している。すでに SiC MOSFET は Si-IGBT よりも同一耐圧クラスで低抵抗化が実現しているが、低耐圧クラスでは相対的にチャネル抵抗の影響が大きくなり、SiC の物性から期待される低抵抗化の極限である SiC limit より大きく乖離している。チャネル抵抗低減には反転層移動度の向上が有効であり、様々なゲート絶縁膜形成プロセスを用いた検討が行われてきた。反転層移動度が向上するゲート絶縁膜形成プロセスも報告されているが、その多くは電界効果移動度を反転層移動度の指標に用いている。SiC MOSFET の反転層移動度を決めるキャリア散乱機構は、その反転層移動度がクーロン散乱に大きく影響されるため、従来の Si MOSFET と同様の手法では実験的にキャリア散乱機構を決めることができず、解析式や TCAD モデルを用いたフィッティングにより見積られてきた。本研究では、SiC MOSFET における反転層移動度を統一的に議論するため、その基準となる反転層移動度の系統的な評価を行い、さらに反転層移動度を決める電子の散乱機構を解明するため、議論の土台となるキャリア散乱機構モデルを実験的に構築することを目的とする。なお、本研究では Si MOSFET における反転層移動度のキャリア散乱機構の枠組みを SiC MOSFET へと適用し、従来のキャリア散乱機構を拡張することで SiC MOSFET の反転層移動度を理解することを試みた。本論文における以降の章構成とその概略を以下に示す。

### 第2章 評価手法およびデバイス作製プロセス

この章では本研究における評価手法とデバイス作製プロセスをまとめる。MOSFET の反転層の形成および反転キャリアの振る舞いに関する基本的な原理を紹介し、SiC MOSFET の反転層移動度の評価にはホール効果測定が有効であることを示す。さらに、本研究で提案する反転層移動度を決めるキャリア散乱機構のモデル構築に向けた解析手法を説明する。最後に、評価に用いたデバイス作製プロセスおよび、ゲート絶縁膜/SiC 界面の電気特性を示す。第3~6章では、SiC の反転層移動度としてホール移動度を用いて議論を行う。第4~6章では、本章で提案した解析手法によりキャリア散乱機構を実験的に分離評価する。

### 第3章 SiC MOSFET の反転層移動度に影響を与える因子の抽出

この章では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET における反転層移動度に影響を与える因子を抽出する。酸化窒化膜は SiC MOSFET で最も標準的に用いられるゲート絶縁膜である。反転層移動度に影響を与えうる因子を変化させて反転層移動度を評価し、酸化窒化膜/4H-SiC 界面における反転層移動度の特徴をまとめ、SiC MOSFET の反転層移動度はクーロン散乱の影響を大きく受けることを示す。本章の検討より、反転層移動度のキャ

リア散乱機構の分離評価のためにはクーロン散乱を抑制した素子が必要であることを明らかにし、第4章ではアクセプタ濃度を制御下限まで低減することでクーロン散乱の影響を抑制した素子を用いて、広範囲のアクセプタ濃度領域におけるキャリア散乱機構の全体像をとらえ、室温においてキャリア散乱機構モデルの枠組みを議論する。なお、室温における精度については第5章で再び議論する。

#### 第4章 SiC MOSFET の室温における反転層移動度のキャリア散乱機構モデル

この章では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度のキャリア散乱機構モデルを室温において構築し、モデルの枠組みを議論する。ここでは、反転層移動度を決定する主要なキャリア散乱機構として、従来の Si MOSFET の枠組みである(1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱を想定して議論する。広範囲のアクセプタ濃度における反転層移動度を評価し、第2章で述べた手法を用いてキャリア散乱機構を検討する。第3章にて、通常のアクセプタ濃度の素子では反転層移動度は主にクーロン散乱で決まることが明らかとなったため、本章ではフォノン散乱の影響を明らかにするために、アクセプタ濃度を制御下限まで低減することでクーロン散乱の影響を抑制することを試みる。最も低アクセプタ濃度の素子における反転層移動度は、フォノン散乱移動度の理論的な特徴と整合することより、フォノン散乱が支配的であると考え、本素子における反転層移動度がフォノン散乱移動度と一致するとみなしてキャリア散乱機構を分離評価する。さらに、クーロン散乱源の空間的な分布について検討するため、反転層移動度を酸化膜/SiC 界面と反転キャリア分布の平均距離という視点で議論する。第5章では、第4章で構築した室温におけるキャリア散乱機構モデルを高精度化するため、高温において反転層移動度を定めるキャリア散乱機構を議論する。さらに、極めてアクセプタ濃度の低い素子における反転層移動度の温度依存性より、室温におけるフォノン散乱移動度の精度を議論し、室温におけるキャリア散乱機構を再検討する。

#### 第5章 反転層移動度の温度依存性に基づくモデルの高精度化

この章では酸化窒化膜をゲート絶縁膜に用いた素子における反転層移動度の温度依存性を検討し、前章第4章において室温で構築した反転層移動度のキャリア散乱機構モデルの枠組みを高温で検証する。高温において反転層移動度を評価することで、クーロン散乱の影響を抑制し、フォノン散乱の影響を大きくすることでフォノン散乱移動度の評価精度を向上する。また、クーロン散乱の影響が抑制される極めてアクセプタ濃度の低い素子を用いて反転層移動度の温度依存性を評価することで、室温におけるフォノン散乱移動度の評価精度を議論する。その結果を基に、第4章で構築したキャリア散乱機構モデルへの影響を評価する。

## 第 6 章 酸窒化膜と他のゲート絶縁膜における SiC MOSFET の反転層移動度の比較

この本章では第 4 章および第 5 章で構築した酸窒化膜をゲート絶縁膜に用いた素子における反転層移動度のキャリア散乱機構モデルの拡張性を検討するため、ゲート絶縁膜に(1)熱酸化膜と(2)リン処理した熱酸化膜を用いた素子の反転層移動度を評価する。第 3、4、5 章で議論した酸窒化膜の反転層移動度と比較することで、それぞれのゲート絶縁膜における反転層移動度のキャリア散乱機構の共通点と相違点を基に、酸窒化膜の反転層移動度に大きく影響するクーロン散乱の要因について考察する。

## 第 7 章 総括

本研究を総括する。

## 第2章 評価手法およびデバイス作製プロセス

本章では本研究における評価手法とデバイス作製プロセスをまとめる。

MOSFET の反転層における反転キャリアの振る舞いに関する基本的な原理を紹介し、量子効果を考慮した場合の反転キャリアの空間的な分布について述べる。

MOSFET の反転層移動度の評価手法を述べ、SiC MOSFET ではホール効果測定が有効であることを示す。さらに、評価した反転層移動度を決めるキャリア散乱機構のモデルを構築するために、本研究で提案する解析手法を説明する。最後に、評価に用いたデバイス作製プロセスおよび、ゲート絶縁膜/SiC 界面の電気特性を示す。

## 2.1. MOS 界面における反転層[227], [228]

MOSFET のゲート電極に電圧を印加すると、チャンネル領域に空乏層が広がった後に、反転キャリアが誘起されることでソース電極とドレイン電極間に電流が流れる。まず、ゲート電極に電圧を印加することで、反転キャリアが誘起される原理と、反転層におけるキャリア分布の定性的な理解を述べ、次に反転キャリア分布を定量的に検討する。この際、反転キャリアは、ゲート絶縁膜/半導体直下の数十 nm 以下の狭い領域のみに分布するため、正確な反転キャリア分布は量子効果を考慮する必要がある。

### 2.1.1. MOS 反転層の形成

MOSFET のゲート電極に電圧を印加するとチャンネル領域と呼ばれる酸化膜/半導体界面の直下の領域に反転キャリアが誘起される。酸化膜/半導体界面の直下のみ伝導型が反転するため、反転キャリアが誘起される領域を反転層と呼ぶ。n 型 MOSFET では p 型ウェル領域の最表面のみ n 型となり、電子が誘起される。以降では、n 型 MOSFET を例にゲート電極にゲート電圧を印加した際の、反転層の形成について概説する。

図 2.1 に本研究で用いた横型 MOSFET の構造を示す。すでに図 1.5 に示した構造に加えて、p 型ウェル領域の電位を制御するために、p 型ウェル領域上に p<sup>+</sup>型領域を形成し、その上にボディー電極を形成している。これは、高濃度の p<sup>+</sup>領域を介してボディー電極とオーミック接触を形成することで、ボディー電極を介して p 型ウェル領域の電位を制御するためである。ボディー電極に印加する電圧をボディー電圧( $V_B$ ) と呼び、通常は 0 V とする。以降では、ボディー電圧を記載しない場合は原則として  $V_B = 0$  V とする。MOSFET の動作時はソース電極を 0 V に接地して、ゲート電極、ドレイン電極に電圧を印加する。各々に印加する電圧を順に  $V_G$  と  $V_D$  と表記する。また、酸化膜内および酸化膜/半導体界面に電荷は存在しないとし、ゲート電極の正電荷から生じる電気力線はゲート絶縁膜を介して半導体側の負電荷で終端されるものとする。p 型ウェル領域のアクセプタ濃度( $N_A$ )は一定である場合を検討する。

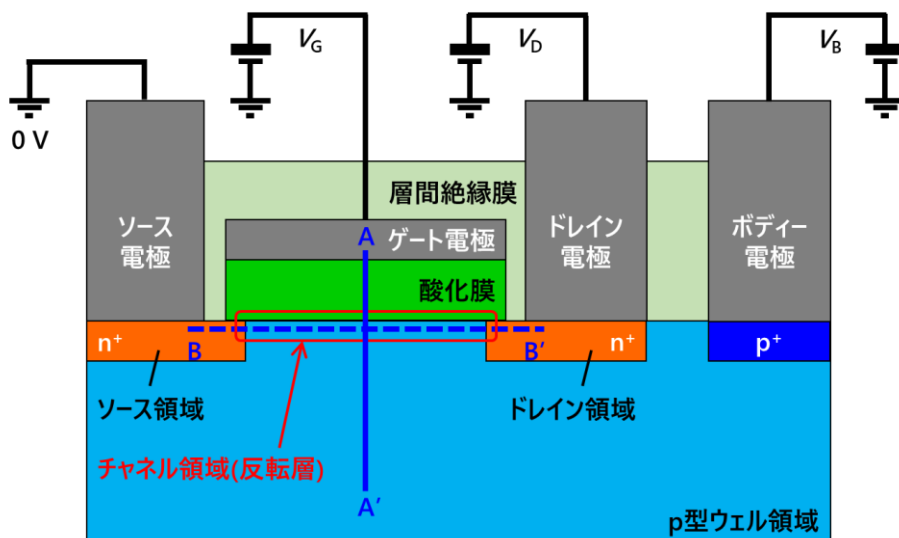


図 2.1 横型 MOSFET の構造。p 型ウェル領域の電位はボディー電極を介して制御され、印加電圧を  $V_B$  とする。ゲート電極、ドレイン電極に印加する電圧を各々、 $V_G$  と  $V_D$  とし、ソース電極は接地している。

MOSFET の通電動作は、 $V_D$  に正電圧を印加してソース領域・ドレイン領域間に電位差を設けた状態で、ゲート電極に正電圧を印加してチャネル領域に電子を誘起することでチャネル領域の抵抗を低抵抗化し、ソース領域からドレイン領域へと電子を流すことで実現する。 $V_D = 0 \text{ V}$  としてソース領域とドレイン領域を同電位として、酸化膜/半導体界面の表面ポテンシャルの変化量を  $\varphi_s$  とすると、ゲート電圧の変化に応じて半導体内に生じる単位面積当たりの総電荷量の絶対値 ( $|Q_s|$ ) は式(54)で表現される[227]。ここでは、 $V_B = 0 \text{ V}$  としている。

$$|Q_S| = \sqrt{2\varepsilon_s k_B T N_A} \times \left[ \left( e^{\frac{q\varphi_S}{k_B T}} + \frac{q\varphi_S}{k_B T} - 1 \right) + \frac{n_i^2}{N_A^2} \left( e^{\frac{q\varphi_S}{k_B T}} - \frac{q\varphi_S}{k_B T} - 1 \right) \right]^{\frac{1}{2}} \quad (54)$$

ここで、 $q$ 、 $\varepsilon_S$ 、 $k_B$ 、 $T$ 、 $n_i$ は各々、電荷素量、半導体の誘電率、ボルツマン定数、温度、真性キャリア密度を表す。図 2.2 に $|Q_S|$ と $\varphi_S$ の関係を示した。縦軸は $|Q_S|/q$ とし、単位面積当たりの総電荷密度の絶対値を示しており、記号は式(54)の計算値を示す。ここでは、4H-SiC の物性値を用いて計算した。 $T=300K$ とし、 $N_A=1\times 10^{16} \text{ cm}^{-3}$ とした。

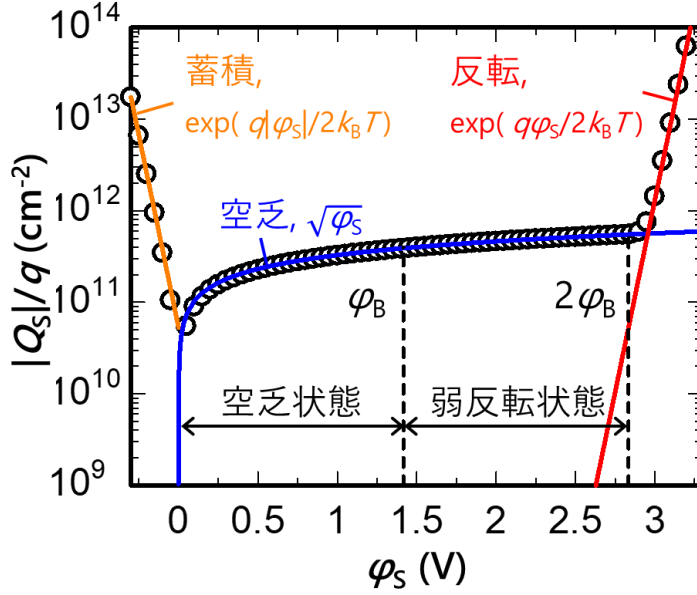


図 2.2  $|Q_s|$ と $\varphi_s$ の関係。縦軸は $|Q_s|/q$ とし、単位面積当たりの総電荷密度の絶対値を示した。

$\varphi_s = 0$ では  $Q_s = 0$  となり、半導体内に空間電荷が存在せず、p 型ウェル領域内の伝導帯は平坦となり、半導体内に電界が生じない。これをフラットバンド条件と呼び、この時のゲート電圧をフラットバンド電圧( $V_F$ )と呼ぶ。 $\varphi_s > 0$ の時、式(54)の第 1 項は空乏層内の電荷量( $Q_{\text{dep}}$ )を表し、式(55)で近似される[227]。空乏層内の電荷量は $\sqrt{\varphi_s}$ に比例して増加することが分かる。また、第 2 項は反転キャリアの電荷量( $Q_{\text{inv}}$ )を表し、式(56)で近似されるため、およそ $\exp(q\varphi_s/2k_B T)$ に比例して増加する。なお、 $\varphi_s < 0$ の時は、式(55)の第 1 項が主要項となり、p 型ウェル領域表面へホールが蓄積する。蓄積キャリアの電荷量( $Q_{\text{acc}}$ )は式(57)で近似されるため、およそ $\exp(q|\varphi_s|/2k_B T)$ に比例する。図 2.2 にこれらの近似式による空乏層内の電荷密度、反転キャリア密度、蓄積キャリア密度を合わせて示した。本研究では、本節以外では反転キャリア密度を表面キャリア密度( $N_s$ )と記している。

$$Q_{\text{dep}} = -\sqrt{2\varepsilon_s q N_A \varphi_s} \quad (55)$$

$$Q_{\text{inv}} = -\sqrt{2\varepsilon_s k_B T N_A} \times \frac{n_i}{N_A} \times e^{\frac{q\varphi_s}{2k_B T}} \quad (56)$$

$$Q_{\text{acc}} = \sqrt{2\varepsilon_s k_B T N_A} \times e^{-\frac{q\varphi_s}{2k_B T}} \quad (57)$$

真性準位と p 型ウェル領域のフェルミ準位のエネルギー差( $\varphi_B$ )は式(58)で表され、 $0 < \varphi_s < \varphi_B$ の領域を空乏状態、 $\varphi_B < \varphi_s < 2\varphi_B$ の領域を弱反転状態、 $2\varphi_B < \varphi_s$ の領域を強



反転状態と呼ぶ。弱反転領域に入ると酸化膜/半導体界面の直下に電子が誘起され始め、 $\varphi_S$  が  $2\varphi_B$  となる近傍の領域はドレイン電流－ゲート電圧特性 ( $I_D$ - $V_G$ ) において  $I_D$  が低いサブスレショルド領域に対応する。 $\varphi_S$  が  $2\varphi_B$  を超えた領域では反転キャリアが高密度に生じており、MOSFET のオン状態に対応する。通常、オン状態の反転キャリア密度は、 $1 \times 10^{12} \text{ cm}^{-2}$  から  $2 \times 10^{13} \text{ cm}^{-2}$  の範囲で使用される。

$$\varphi_B = \frac{k_B T}{q} \times \ln \left( \frac{N_A}{n_i} \right) \quad (58)$$

上記を基に、図 2.3 にゲート電圧印加時のバンド図の概略図を示す。ここでは、図 2.1 の A-A' 断面におけるバンド図を示している。ここでも同様に、 $V_D = 0 \text{ V}$  とし、ソース領域とドレイン領域が同電位であるとする。図 2.3(a) はフラットバンド状態を表し、酸化膜および半導体側に電界が印加されない状態を表す。ゲート電圧が  $V_f$  よりも大きくなると、( $V_G - V_f$ ) に相当する電位差が酸化膜と半導体に印加される。図 2.3(b) に  $V_G$  が小さく空乏状態に対応する場合を示す。酸化膜で生じる電圧降下を  $V_{ox}$  とした。この時、酸化膜/半導体界面の伝導帯端部 ( $E_C$ ) と半導体内のフェルミエネルギー ( $E_f$ ) の差が大きく反転層は形成されず、ゲート電極より生じる電気力線は半導体表面のイオン化アクセプタで終端され、p 型ウェル領域の表面から空乏層が伸展する。

図 2.3(c) に  $V_G$  が大きくなり、弱反転状態に対応する場合を示す。この時、酸化膜/半導体界面の  $E_C$  と  $E_f$  の差が小さくなり、伝導帯に電子が誘起されて反転層が形成される。反転層における量子効果を考慮しなければ、反転キャリア密度は  $\exp(q\varphi_S/2k_B T)$  に比例するため、伝導帯の曲がり角が大きい酸化膜/半導体界面の直下のみに反転層が形成されることが分かる。この時、ゲート電極より生じる電気力線は反転キャリアと空乏層内のイオン化アクセプタの両方で終端され、空乏層は図 2.3(b) よりも広がっている。図 2.3(d) にさらに  $V_G$  が大きくなり、強反転状態に対応する場合を示す。この時、酸化膜/半導体界面の  $E_C$  と  $E_f$  の差はさらに小さくなり、伝導帯に誘起される電子密度が増加する。図 2.2 より、強反転状態では  $\varphi_S$  の変化による反転キャリア密度の増加が空乏層内の電荷密度の増加を大きく上回る。そのため、 $V_G$  の増加で新たにゲート電極より生じる電気力線は反転キャリアで終端される。その結果、空乏層の伸展はほとんど止まり、図 2.3(c) から変わらない。図 2.3(c) と比べて、ゲート酸化膜を介して半導体内に誘起される総電荷量が増加しているため、酸化膜/半導体界面における半導体側の電界が増加する。そのため、反転層が形成される領域が図 2.3(c) よりも狭まり、強反転状態の MOS 反転層内の電子は狭い領域に閉じ込められている。そのため、正確な電子分布は量子閉じ込め効果を考慮する必要がある、第 2.1.4 節および第 2.1.5 節にて後述する。

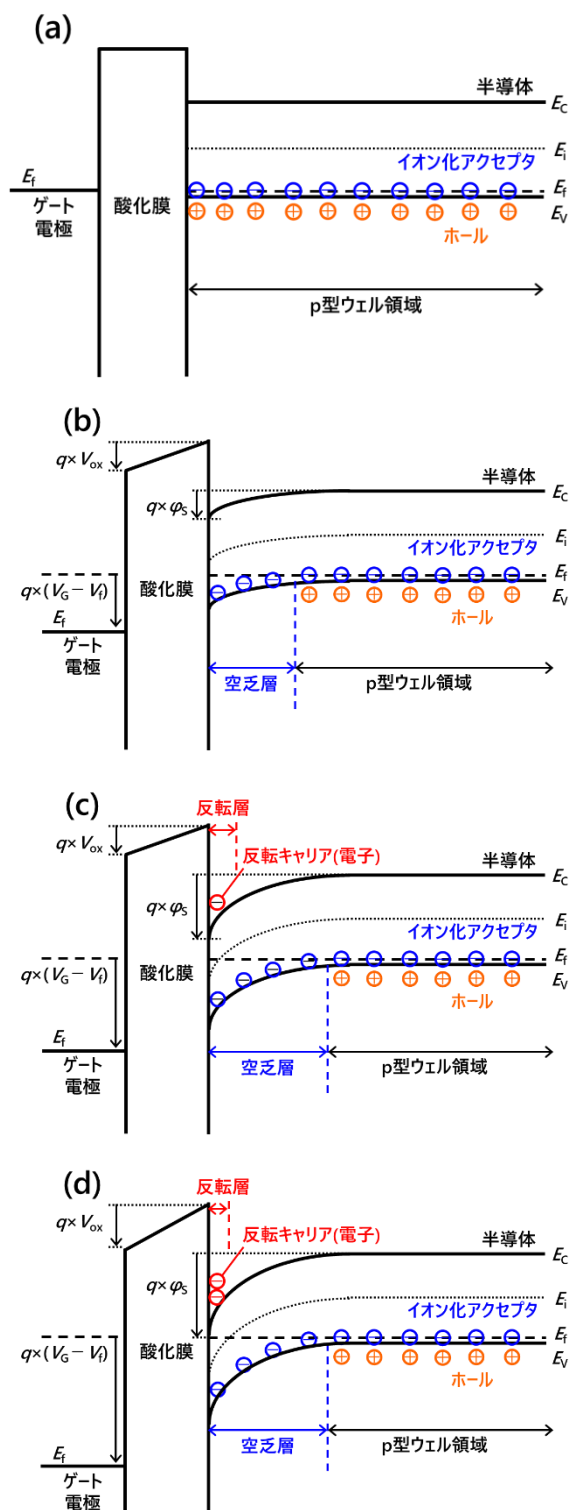


図 2.3 ゲート電圧印加時のバンド図の概略図。

(a)から(d)へと  $V_G$  が増加することで、空乏層が形成された後に、反転層が形成される。

このように $\varphi_S$ が $\varphi_S = 2\varphi_B$ となって以降は、ゲート電圧を印加しても空乏層はほとんど広がらない。 $\varphi_S = 2\varphi_B$ における空乏層内の電荷密度( $N_{\text{dep}}$ )は式(55)と式(58)より、式(59)で表される。

$$N_{\text{dep}} = \frac{\sqrt{2\varepsilon_s q N_A \times 2\varphi_B}}{q} = \frac{\sqrt{4\varepsilon_s k_B T N_A \times \ln\left(\frac{N_A}{n_i}\right)}}{q} \quad (59)$$

これは、 $N_{\text{dep}}$ が温度とアクセプタ濃度に依存することを示している。特に、アクセプタ濃度が増加すると $N_{\text{dep}}$ はおよそ $\sqrt{N_A}$ に比例して増加することが分かる。また、最大空乏層幅( $W_{\text{d,max}}$ )は式(60)で表される。

$$W_{\text{d,max}} = \frac{N_{\text{dep}}}{N_A} = \frac{\sqrt{\frac{4\varepsilon_s k_B T}{N_A} \times \ln\left(\frac{N_A}{n_i}\right)}}{q} \quad (60)$$

これは、最大空乏層幅はアクセプタ濃度が増加するとおよそ $\sqrt{N_A}$ に反比例することを示しており、高 $N_A$ 素子では最大空乏層幅は短くなる。

ここで、酸化膜電界( $E_{\text{SiO}_2}$ )と空乏層内の電荷密度( $N_{\text{dep}}$ )および反転キャリアの密度を表す表面キャリア密度( $N_s$ )の関係を検討する。酸化膜/SiC 界面より酸化膜側へ少し入った領域から空乏層端部の領域においてガウスの法則を考えると式(61)を得る。ここで、空乏層端部では電界が0であることを用いた。これより、 $N_{\text{dep}}$ は式(62)で表される。

$$\varepsilon_{\text{SiO}_2} \times E_{\text{SiO}_2} = q \times (N_{\text{dep}} + N_s) \quad (61)$$

$$N_{\text{dep}} = \frac{\varepsilon_{\text{SiO}_2} \times E_{\text{SiO}_2}}{q} - N_s \quad (62)$$

これは $N_{\text{dep}}$ が酸化膜電界と表面キャリア密度の関係より算出できることを意味しており、 $N_s$ は $\varphi_S$ の関数であることから、p型ウェル領域のアクセプタ濃度に分布がある場合には、半導体シミュレータ(TCAD)を用いて、ある $N_s$ における $E_{\text{SiO}_2}$ を評価することで $N_{\text{dep}}$ が算出できることを示している。 $N_{\text{dep}}$ は強反転領域ではほとんど変化しないため、十分高いゲート電圧において $N_{\text{dep}}$ を評価すればよいことが分かる。

### 2.1.2. MOS 界面における電気伝導[195], [227]

前節 2.1.1 ではゲート電圧を印加し、酸化膜/半導体界面の表面ポテンシャル( $\phi_s$ )を曲げることで反転層が形成されることを述べた。本節では、反転層を形成した際にソース領域からドレイン領域に電子が流れる際の電気伝導について紹介する。

n 型 MOSFET の通電時は、ソース電極を接地してドレイン電極に正のドレイン電圧( $V_D$ )を印加する。ここでは、 $V_B = 0$  V とする。ゲート電圧を印加して、チャネル領域の $\phi_s$ を増加させると、チャネル領域は空乏状態から、弱反転状態を経て、強反転状態に至る。弱反転状態および強反転状態ではチャネル領域に電子が誘起されるため電流が流れ、これをドレイン電流( $I_D$ )と呼ぶ。 $I_D$ は拡散電流とドリフト電流の和で表され、前者はキャリアの位置ごとの不均一性で流れる電流であり、後者は電界の印加によってキャリアが電界方向に加速されることで流れる電流である。MOSFET の表面キャリア密度( $N_s$ )は、弱反転領域では小さく  $I_D$  の値は小さいが、強反転領域では多くなるため  $I_D$  の値が大きくなる。チャネル領域が強反転状態となり、電流が流れ出すゲート電圧( $V_G$ )をしきい値電圧( $V_{th}$ )と呼ぶとすると、 $V_G < V_{th}$  は弱反転状態に対応し、 $V_G > V_{th}$  は強反転状態に対応する。図 2.4 にドレイン電流とゲート電圧およびしきい値電圧の関係を示した。図 2.4(a)、(b)は各々  $I_D$  を線形スケールおよび対数スケールで表示している。

図 2.4(b)にドレイン電流に占める拡散電流とドリフト電流を図示した。弱反転状態から強反転状態へと変化することでドレイン電流を占める主要な電流成分が拡散電流からドリフト電流へと変化する。このことを、図 2.1 の B-B'断面における MOSFET のチャネル領域におけるバンド図を用いて説明する。図 2.5(a)、(b)に弱反転状態および強反転状態におけるチャネル領域のバンド図とキャリアの伝導機構の概念図を示した。図 2.5(a)に示す弱反転状態では、ゲート電圧の増加により $\phi_s$ が大きくなり、ソース領域とチャネル領域の pn 接合部に生じている内蔵電位が下がった結果、ソース領域からチャネル領域へ電子が注入され、電子はチャネル内の電子密度の差で生じる拡散電流で流れる。この時、 $V_D$  は主にチャネル領域とドレイン領域の接合部に印加され、チャネル領域内の電界は小さいため、ドリフト電流はほぼ流れない。一方で、 $\phi_s$ がさらに大きくなると、図 2.5(b)に示す強反転状態となり、チャネル内に電位勾配が生じ、電子は拡散電流だけでなくドリフト電流でも流れる。その電流値はドリフト電流の方が桁で大きくなり、 $I_D$  は主にドリフト電流である。このように、チャネル領域の状態が弱反転状態から強反転状態へと変化することで、 $I_D$  の主成分は拡散電流からドリフト電流へと変化する。従って、本研究で着目する反転層移動度はドリフト電流にかかわる物理量であるため、反転層移動度を評価するには  $I_D$  の主成分がドリフト電流である領域で評価を行う必要があり、 $V_G > V_{th}$  となる強反転状態で評価することが重要である。なお、 $V_G$  が  $V_{th}$  近傍での反転層移動度の評価精度を向上するには、 $V_D$

を小さく設定することが有効である。こうすることで、チャンネル内の B-B'断面に相当する横方向の電界が一様となるうえに、チャンネル両端の電位差が抑制されるため素子内のキャリア分布をほぼ均一とすることが可能となる。

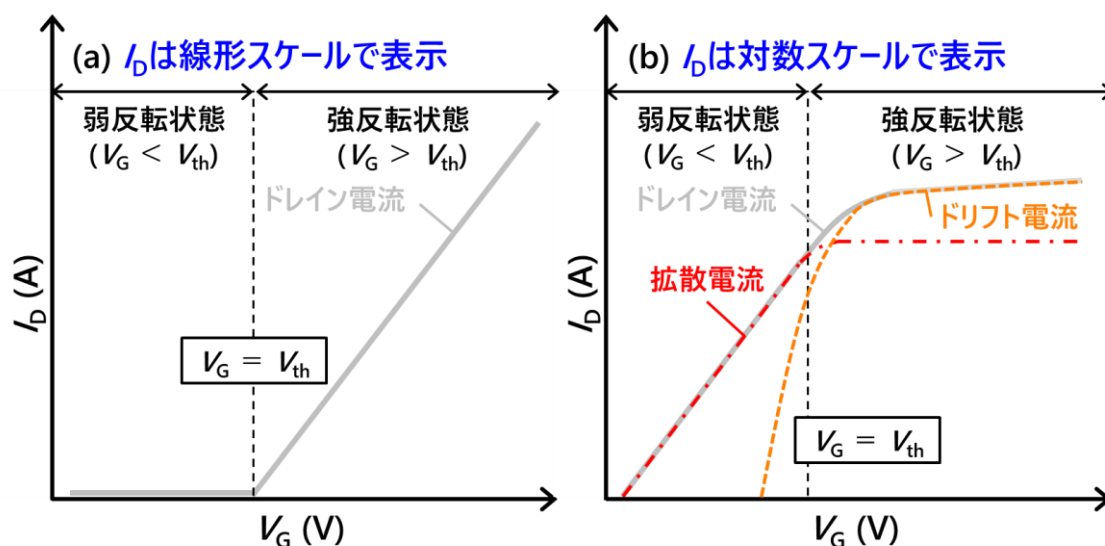


図 2.4 ドレイン電流とゲート電圧およびしきい値電圧の関係。(a)、(b)は各々 $I_D$ を線形スケールおよび対数スケールで表示している。

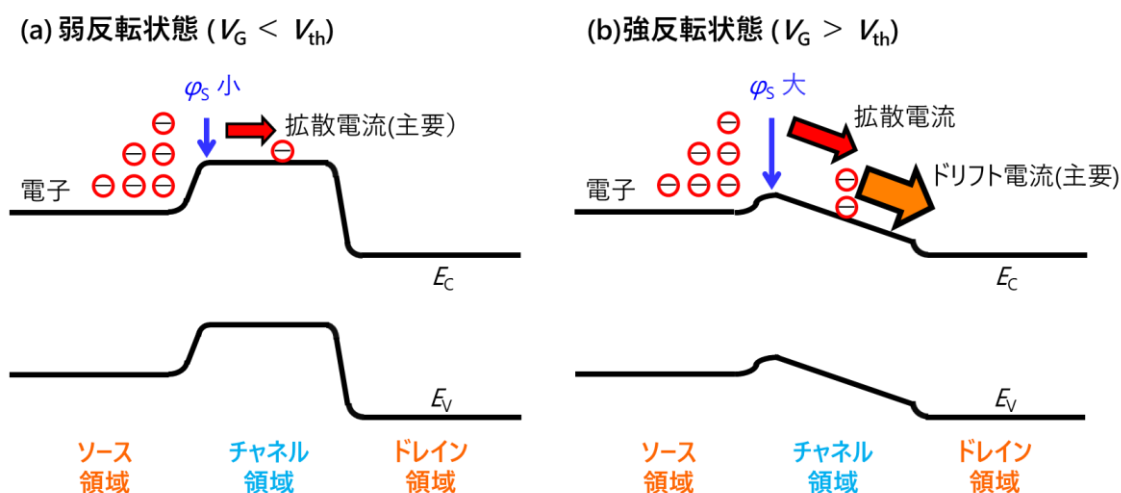


図 2.5 (a)弱反転状態および(b)強反転状態におけるチャネル領域のバンド図とキャリアの伝導機構の概念図。

## 2.1.3. ボディー電圧印加時の MOS 反転層

前節 2.1.1 および 2.1.2 では、ボディー電圧( $V_B$ )が 0 V の場合について紹介してきた。本節では  $V_B$  に負電圧を印加する効果について説明する。図 2.6(a)、(b)に  $V_B$  が 0 V の場合と  $V_B$  が負電圧の場合のバンド図を示す。ここでは、表面キャリア密度( $N_S$ )が同一となる場合を示した。

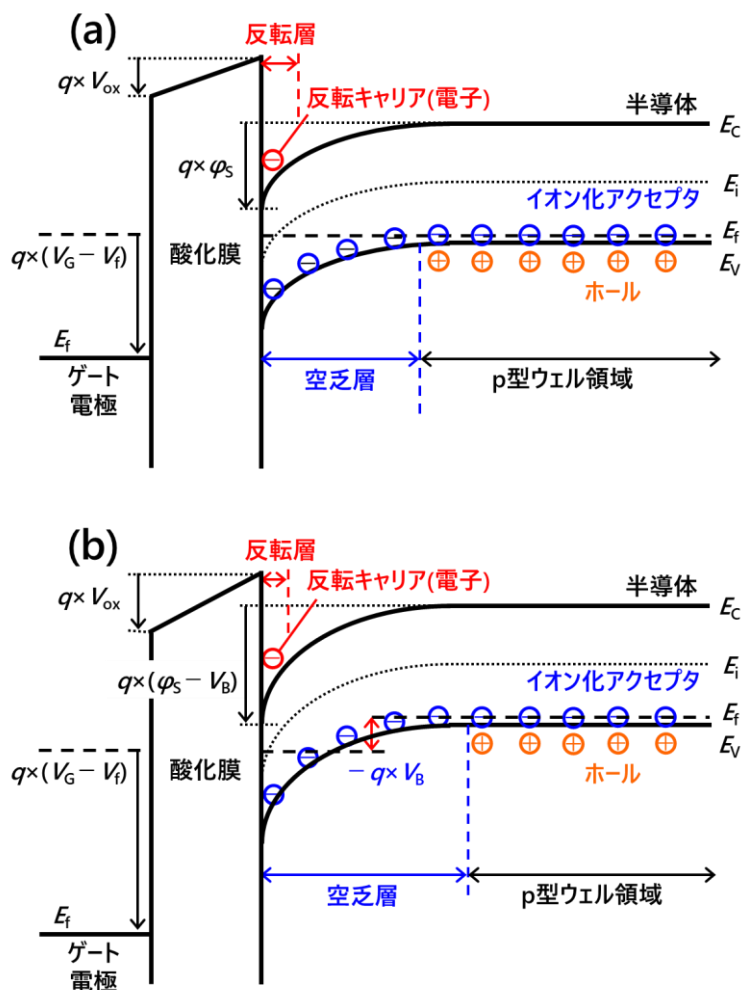


図 2.6 ボディー電圧印加時のバンド図の概略図。(a)  $V_B$  が 0 V、(b)  $V_B$  が負電圧の場合。

負のボディー電圧を印加することで p 型ウェル領域の伝導帯端部が持ち上がるため、半導体内の電界が 0 となる空乏層端部から見ると半導体に  $q \times (\phi_s - V_B)$  のポテンシャル曲がりが生じる。そのため、空乏層が p 型ウェル領域の奥行方向に広がり、空乏層内の電荷密度が増加する。この時、 $\phi_s = 2\phi_B$  における空乏層内の電荷密度( $N_{dep}$ )と最大空乏層幅( $W_{d,max}$ )は式(59)において、 $2\phi_B$ を $2\phi_B - V_B$ とすればよく、式(63)と式(64)で表される。

$$N_{\text{dep}} = \frac{\sqrt{2\varepsilon_s q N_A \times (2\varphi_B - V_B)}}{q} \quad (63)$$

$$W_{\text{d,max}} = \frac{N_{\text{dep}}}{N_A} = \frac{\sqrt{\frac{2\varepsilon_s q N_A \times (2\varphi_B - V_B)}{N_A}}}{q} \quad (64)$$

MOSFET のしきい値電圧( $V_{\text{th}}$ )を $\varphi_S = 2\varphi_B$ となるゲート電圧で定義すると、チャージシートモデルに基づくと  $V_{\text{th}}$  は式(65)で表される[227]。チャージシートモデルでは、反転キャリアはすべて半導体表面に存在し、チャンネル横方向の電圧降下やバンド曲がりはないと仮定している。

$$V_{\text{th}} = V_f + 2\varphi_B + \frac{N_{\text{dep}}}{C_{\text{ox}}} \quad (65)$$

ここで、 $C_{\text{ox}}$  は酸化膜容量を表す。式(65)より  $N_{\text{dep}}$  が増加するとしきい値電圧が増加することより、負のボディー電圧印加により  $N_{\text{dep}}$  が増加するとしきい値電圧が増加する。これを基板バイアス効果と呼ぶ。そのため、反転層に同一の表面キャリア密度( $N_S$ )の電子を誘起するには、 $V_B = 0 \text{ V}$  の場合よりもゲート電圧を増加させる必要がある。そのため、図 2.6(b)では図 2.6(a)よりもゲート電圧が増加するとともに、酸化膜電界が大きくなり、酸化膜で生じる電圧降下が大きくなる。ここで、酸化膜/半導体界面の直下における半導体側の電界( $E_S$ )は式(66)で与えられる。

$$E_S = \frac{q \times (N_S + N_{\text{dep}})}{\varepsilon_S} \quad (66)$$

これより、ボディー電圧印加により  $N_{\text{dep}}$  が増加すると、同一の  $N_S$  における半導体表面の電界が増加する。これは、負のボディー電圧を印加すると反転層が狭くなることを意味する。

## 2.1.4. MOS 反転層における電子分布の定性的理解

本節では、MOS 反転層における電子分布について詳細に検討する。すでに、前節 2.1.1 および 2.1.3 にて反転層は酸化膜/半導体界面の半導体表面のみ生じること述べた。実際、反転キャリアは、ゲート絶縁膜/半導体直下の数十 nm 以下の狭い領域のみに分布する。ゲート電圧が増加し、表面キャリア密度が増加すると式(66)より、半導体側の最表面にかかる電界が増加するため、反転キャリアはより狭い領域に閉じ込められる。このため、反転キャリアは酸化膜/半導体界面の垂直方向に量子閉じ込めを受け、2次元電子として振る舞う。

この様子を図 2.7(a)に示した。酸化膜/半導体界面ではその界面のバンドオフセットと半導体表面に一樣にかかる実効的な電界( $E_{\text{eff}}$ )により電子が閉じ込められ、半導体側の伝導帯端部( $E_c$ )は近似的には式(67)に示すように半導体側の電界が一定値となる三角ポテンシャルで近似できる。ここで、酸化膜/半導体界面に垂直方向を  $z$  方向、水平方向を  $xy$  平面とし、電子が存在するバレーはすべて等価的であるとして議論する。

$$E_c(z) = q \times E_{\text{eff}} \times z \quad (67)$$

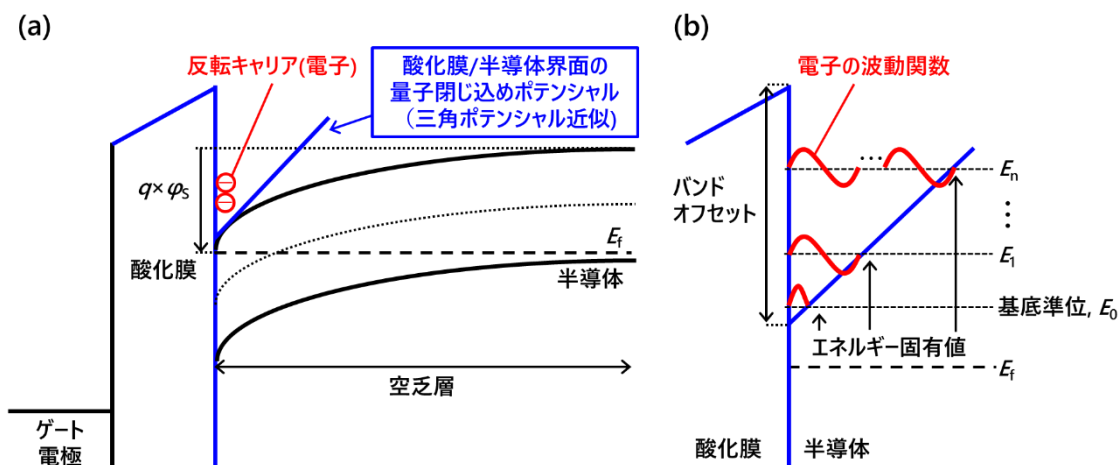


図 2.7 (a)酸化膜/半導体界面における量子閉じ込めの三角ポテンシャル近似および(b)三角ポテンシャルによる反転層の量子化。

この時、反転キャリアである電子は図 2.7(b)のように酸化膜/半導体界面のエネルギー位置が量子化され、各々の量子化準位に応じた波動関数として存在する。基底準位のエネルギー固有値を  $E_0$  とし、その 1 つ上の準位のエネルギー固有値を  $E_1$  とし、基底準位から  $n$  番目の準位のエネルギー固有値を  $E_n$  とした。なお、ここでは、半導体内のバレー構造はすべて



等価的であるとした。各エネルギー準位の状態密度( $D_{2d}(E)$ )は反転キャリアが2次元電子であるためエネルギーによらず式(68)で表される。

$$D_{2d}(E) = \frac{m_d}{\pi \hbar^2} \quad (68)$$

ここで、xy 平面における2次元状態密度有効質量を  $m_d$  とした。i 番目のエネルギー固有値 ( $E_i$ ) をもつエネルギー準位における電子密度 ( $N_i$ ) は式(69)で表される。なお、 $i = 0$  が基底準位である。

$$N_i = \frac{n_v m_d k_B T}{\pi \hbar^2} \ln \left[ 1 + \exp \left( \frac{E_f - E_i}{k_B T} \right) \right] \quad (69)$$

ここで、 $n_v$  はバレーの縮重度であり、 $E_f$  はフェルミ準位を表す。反転キャリアの総密度を表す表面キャリア密度( $N_s$ )は各エネルギー準位に存在する電子密度の合計で表されるため、式(70)で表される。

$$N_s = \sum_i N_i \quad (70)$$

式(67)の三角ポテンシャルにより反転キャリアが閉じ込められる場合はシュレディンガー方程式を解析的に解くことができ、i 番目のエネルギー準位におけるエネルギー固有値 ( $E_i$ ) および反転層における酸化膜/半導体界面からの電子分布の平均距離( $Z_{AV,i}$ )の近似式は各々、式(71)と式(72)で表される。

$$E_i \sim \left( \frac{\hbar^2}{2 m_z} \right)^{\frac{1}{3}} \left[ \frac{3\pi}{2} \left( i + \frac{3}{4} \right) \times q \times E_{\text{eff}} \right]^{\frac{2}{3}} \quad (71)$$

$$Z_{AV,i} = \frac{\int_0^\infty z \times \xi_i^2(z) dz}{\int_0^\infty \xi_i^2(z) dz} \sim \frac{2}{3} \left[ \frac{3\pi}{2} \left( i + \frac{3}{4} \right) \right]^{\frac{2}{3}} \left( \frac{\hbar^2}{2 m_z \times q \times E_{\text{eff}}} \right)^{\frac{1}{3}} \quad (72)$$

ここで、 $i$  は0以上の整数であり、 $\xi_i(z)$  は  $i$  番目のエネルギー準位における波動関数を表し、 $\xi_i^2(z)$  は位置  $z$  における電子の存在確率を表す。式(71)は三角ポテンシャルを形成する半導体表面の電界が増加すると、固有エネルギーの間隔が広がることを示している。また、式(72)より半導体表面の電界が増加すると反転層における酸化膜/半導体界面からの電子分布の平均距離が小さくなる。これは、半導体表面の電界が増加することで反転層内の電子が

酸化膜/半導体界面に近づくことを意味している。

ここで、反転層における実効的な電場 ( $E_{\text{eff}}$ ) は式(73)で表される。 $\eta$  はパラメータであり 0 から 1 の間の値を有すると考えられる。ガウスの法則を、空乏層端部から反転層内のある位置  $z$  で考えると、空乏層端部では電界が 0 のため、 $E_{\text{eff}}$  は位置  $z$  から反転層の端部までに存在する反転キャリアと空乏層内のイオン化アクセプタにより生じる電界を表す。 $\eta$  は位置  $z$  から反転層の端部に存在する反転キャリアの密度の表面キャリア密度に対する割合に相当する。従って、 $\eta=1$  は、酸化膜/半導体界面における半導体側の電界に対応し、 $\eta=1/2$  では反転層内の平均電界を表す。 $\eta=0$  は空乏層内の電荷によって生じる反転層の端部における半導体内の電界を表す。ここでは、反転層の広がり空乏層よりも十分に狭いとして解釈した。

$$E_{\text{eff}} = \frac{q(N_{\text{dep}} + \eta \times N_{\text{S}})}{\epsilon_{\text{S}}} \quad (73)$$

式(73)より、空乏層内の電荷密度の増加により  $E_{\text{eff}}$  が増加するため、アクセプタ濃度( $N_{\text{A}}$ )の増加、もしくは負のボディー電圧印加により  $N_{\text{dep}}$  が増加すると  $E_{\text{eff}}$  が増加する。もしくは表面キャリア密度の増加により  $E_{\text{eff}}$  が増加する。これらは、アクセプタ濃度の増加、負のボディー電圧の印加、または表面キャリア密度の増加により反転層の幅が狭まることを意味する。反転層の幅が狭まると、量子化準位のエネルギー間隔が広がるため、全ての表面キャリア密度に占める基底準位に存在する電子密度の割合が増加する。また、低温では Fermi-Dirac 分布関数のエネルギー的な広がりが狭まるため、同様に全ての表面キャリア密度に占める基底準位に存在する電子密度の割合が増加する。

なお、本節では電子が存在するバレーはすべて等価的であるとして議論したが、実際には複数のバレーが存在する。その場合は、各々のバレーのエネルギー位置と酸化膜/半導体界面に垂直方向の有効質量( $m_z$ )を反映して量子化準位が決まる。 $N_{\text{S}}$  を評価するにはバレーごとの  $m_z$  を用いてエネルギー固有値を計算し、各バレーの  $n_v$  と  $m_d$  を考慮して電子密度を計算したうえで、全てのエネルギー準位に存在する電子密度を足し合わせる必要がある。

### 2.1.5. MOS 反転層における電子分布の定量的理解

前節 2.1.4 では反転層内の電界を三角ポテンシャルで近似して議論した。本節では反転層内の電界形状を反映して、MOS 反転層における量子閉じ込め効果を考慮した場合について反転層内の電子分布を定量的に検討する。そのため、反転層内の電子分布を代表する値として、酸化膜/半導体界面からの反転キャリアの平均距離( $Z_{AV}$ )を計算した。

反転層内の電子分布は式(74)、(75) に示すポアソン方程式と、式(76)に示すシュレディンガー方程式を自己無撞着に解くことで求められる。これは、反転層内の波動関数と固有エネルギーを解き、各エネルギー固有値に対応する準位の占有確率および、空間位置ごとの電子の存在確率を計算することに対応する。

$$\frac{d^2\varphi(z)}{dz^2} = -\frac{\rho(z)}{\epsilon_s} \quad (74)$$

$$\rho(z) = \rho_{dep}(z) - q \times \sum_i N_i \times |\xi_i(z)|^2 \quad (75)$$

$$\frac{\hbar^2}{2m_z} \frac{d^2\xi_i(z)}{dz^2} + (E_i - \varphi(z)) \times \xi_i(z) = 0 \quad (76)$$

$\varphi(z)$ 、 $\rho(z)$ 、 $\rho_{dep}(z)$ は各々、位置  $z$  における静電ポテンシャル、電荷密度、イオン化不純物の電荷密度を表し、 $\rho_{dep}(z)$ は空乏層端部を除いて $-q \times N_A$ である。ここで、電子の波動関数は式(77)で表されるとしている。

$$\varphi_i(x, y, z) = \xi_i(z) \times e^{ik \cdot r} \quad (77)$$

ここで、 $k$  と  $r$  は酸化膜/半導体界面に平行な面内の波数ベクトルと位置ベクトルである。

ウェル領域の奥行方向に分布を持つ反転キャリアの位置を代表する値として、酸化膜/半導体界面からの反転キャリアの平均距離( $Z_{AV}$ )が知られており、式(78)で表される。

$$Z_{AV} = \frac{\int_0^{T_{INV}} z \times N_{INV}(z) dz}{\int_0^{T_{INV}} N_{INV}(z) dz} = \frac{\int_0^{T_{INV}} z \times N_{INV}(z) dz}{N_s} \quad (78)$$

ここで、 $z$ 、 $T_{INV}$ 、 $N_{INV}(z)$  は各々、MOS 界面からの距離、反転層の厚み、距離  $z$  における反転キャリアの濃度を表し、式(78)の分母は表面キャリア密度( $N_s$ )に対応する。

すでに SiC MOSFET における反転キャリアは波数空間の M 点において、基底準位とその一つ上のエネルギー準位を主に占有することが報告されている[229]。そのため、本研究ではこれらの2準位のみを考慮して反転キャリア分布を計算し、式(78)より酸化膜/SiC 界面からの反転キャリアの平均距離を計算した。ここで、酸化膜界面に垂直および並行方向の電子の有効質量は  $0.33 m_0$ 、 $0.41 m_0$  とした。 $m_0$  は自由電子の有効質量である。図 2.8 に計算した表面キャリア密度と酸化膜/SiC 界面からの反転キャリアの平均距離の関係を示す。アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  とし、ボディ電圧を  $V_B = 0$ 、 $-2$ 、 $-4$ 、 $-8 \text{ V}$  と変化させた。

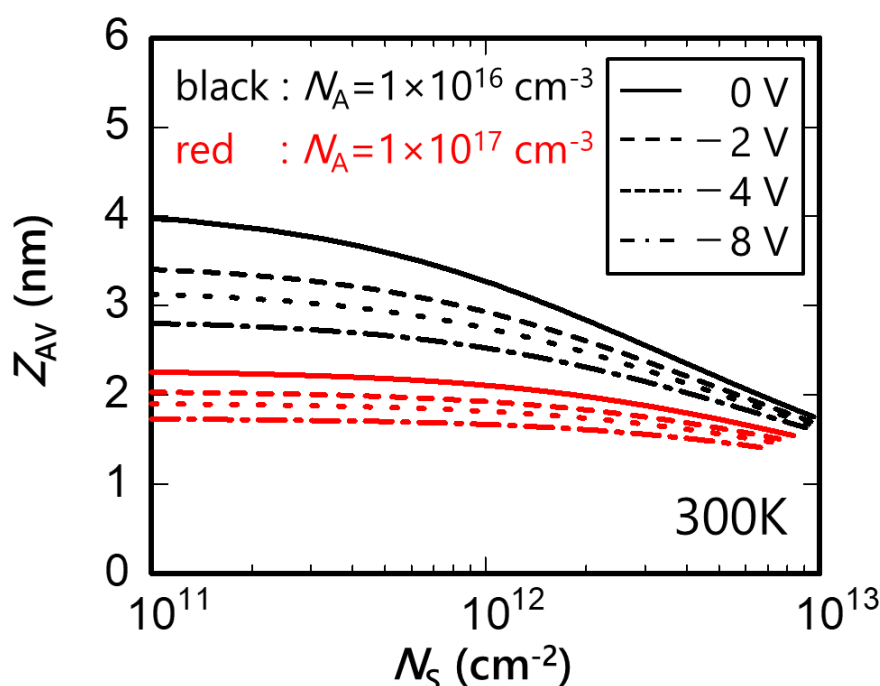


図 2.8 表面キャリア密度と酸化膜/SiC 界面からの反転キャリアの平均距離の関係

$V_B = 0 \text{ V}$  において、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  を比較すると、アクセプタ濃度が増加することで  $Z_{AV}$  が減少した。アクセプタ濃度が高いほど反転キャリア分布が MOS 界面に近づくことが分かる。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  に着目すると、 $V_B = 0 \text{ V}$  では表面キャリア密度が増加すると  $Z_{AV}$  が減少した。 $V_B = -2$ 、 $-4$ 、 $-8 \text{ V}$  の場合も同様であり、表面キャリア密度が増加すると反転キャリア分布が MOS 界面に近づくことを示している。また、同じ表面キャリア密度で比べると、印加する負のボディ電圧の絶対値が大きくなると、 $Z_{AV}$  が単調に減少した。これらより、負のボディ電圧を印加すると、表面キャリア密度を増加するのと同様に、反転キャリア分布が MOS 界面に近づくことが分かる。一方で、 $V_B = 0 \text{ V}$  における  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  に着目すると、表面キャリア密度が増加すると  $Z_{AV}$  が減少する

ものの、その変化量は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の場合に比べて小さかった。これは、アクセプタ濃度が高いほど酸化膜/SiC 界面からの反転キャリアの平均距離があまり変化しないことを意味する。本傾向は、負のボディー電圧を印加した場合も同様であった。また、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の場合でも、同じ表面キャリア密度では印加する負のボディー電圧の絶対値が大きくなることで  $Z_{AV}$  が単調に減少した。

$Z_{AV}$  は酸化膜/SiC 界面からの反転キャリアの平均距離であり、これは反転層における波動関数の広がり の指標である。図 2.9 に  $N_A$  および負  $V_B$  印加による反転層における波動関数の広がり の変化を図示する。図 2.9(a) は低  $N_A$  素子に  $V_B = 0 \text{ V}$  を印加した場合を示し、図 2.9(b) は  $V_B = 0 \text{ V}$  において  $N_A$  を高濃度化した場合、もしくは  $N_A$  は変えずに負  $V_B$  を印加した場合を示している。図 2.9(b) では図 2.9(a) よりも波動関数が狭い領域に閉じ込められ、反転層の幅が減少している。

(a) 低  $N_A$ ,  $V_B = 0 \text{ V}$     (b) 高  $N_A$  or 負  $V_B$

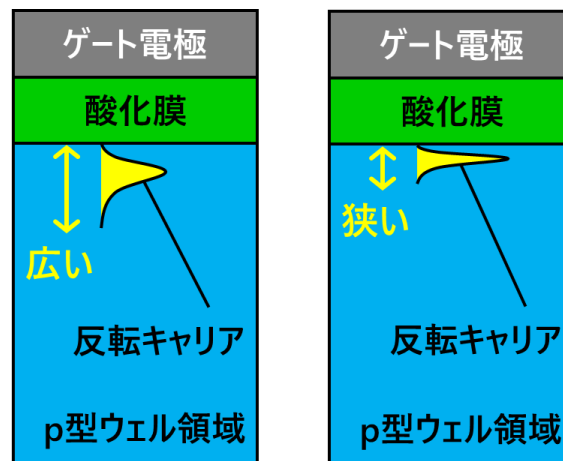


図 2.9  $N_A$  および負  $V_B$  印加による反転層における波動関数の広がり の変化。(a) 低  $N_A$  素子に  $V_B = 0 \text{ V}$  を印加した場合、(b)  $V_B = 0 \text{ V}$  において  $N_A$  を高濃度化した場合、もしくは  $N_A$  は変えずに負  $V_B$  を印加した場合。

## 2.2. MOSFET における反転層移動度の評価

反転層移動度評価に用いる素子構造は主に図 2.10 (a)に示す横型 MOSFET であり、これは図 1.5 に示した横型 MOSFET 構造の p 型ウェル領域上に p<sup>+</sup>領域を形成し、その上にボディー電極を設けている。p<sup>+</sup>領域上とボディー電極はオーミック接触しており、ボディー電極に電圧を印加することで p 型ウェル領域の電位を一定に保つことができる。ボディー電圧に印加する電圧をボディー電圧( $V_B$ )と呼び、 $V_B$ を印加することで反転層内のキャリア分布を制御するために用いることができる。MOSFET の特性は p 型ウェル領域の電位により変化することが知られ、基板バイアス効果と呼ばれる。本研究では  $V_B$ を記載しない場合は原則として  $V_B = 0\text{ V}$  とする。

反転層移動度の評価には、実効移動度、ホール移動度、電界効果移動度が用いられ、各々の評価手法ごとの特徴を理解したうえで、材料ごとの MOS 界面特性に応じて使い分けられる。本節では各々を順に説明する。Si MOSFET では主に実効移動度またはホール移動度が評価されているが、SiC MOSFET ではゲート絶縁膜/SiC 界面の電荷捕獲準位密度が非常に高いため実効移動度を正確に評価することができず、主に電界効果移動度が反転層移動度の目安として用いられてきた。ホール移動度を評価する場合のみ、外部磁場の印加で生じるホール電圧を評価するためのホール端子を設ける必要があり、図 2.10 (b)に示すような評価素子構造が用いられる。

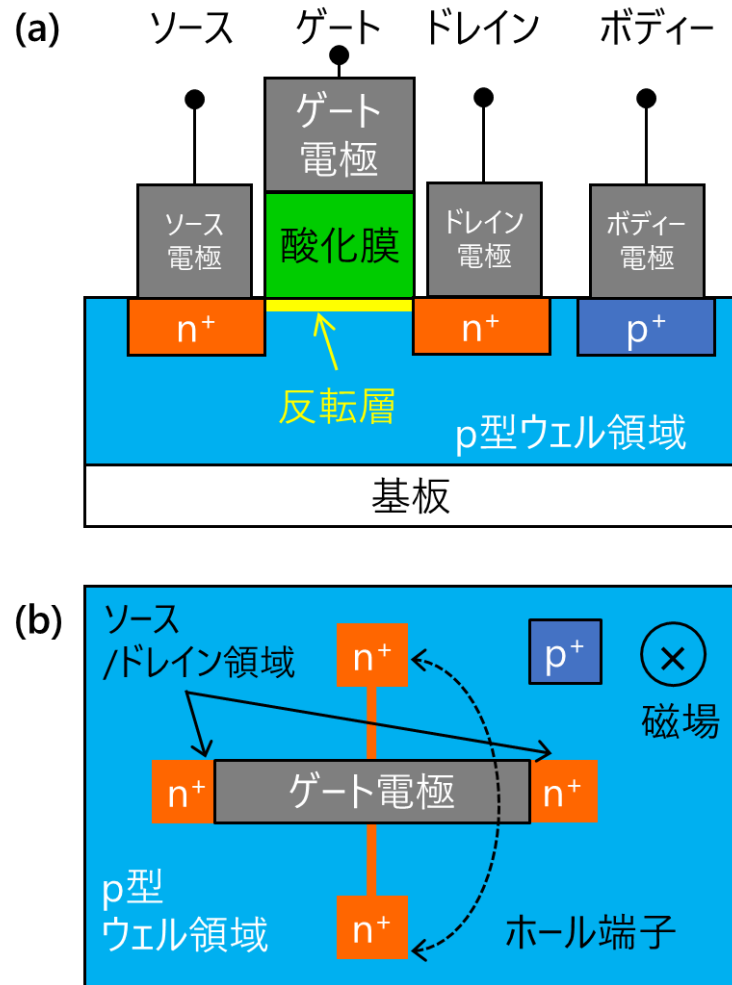


図 2.10 MOSFET における反転層移動度の評価素子構造. (a)断面図 (b)平面図

### 2.2.1. 実効移動度

実効移動度( $\mu_{\text{eff}}$ ; effective mobility)は式(79)と(80)で評価される[230]。

$$\mu_{\text{eff}} = \left(\frac{L}{W}\right) \cdot \left(\frac{1}{qN_S}\right) \cdot \left(\frac{I_D}{V_D}\right) \quad (79)$$

$$N_S = \left(\frac{1}{q}\right) \cdot C_{\text{ox}} \cdot (V_G - V_{\text{th}}) \quad (80)$$

ここで、 $L$ と $W$ は各々MOSFETのチャネル長とチャネル幅、 $N_S$ は表面キャリア密度、 $I_D$ と $V_D$ は各々ドレイン電流とドレイン電圧を表す。 $V_G$ はゲート電圧、 $V_{\text{th}}$ はしきい値電圧、 $C_{\text{ox}}$ はゲート酸化膜の容量である。

式(80)では、表面キャリア密度を強反転状態のみで近似しているため、 $V_G$ が $V_{\text{th}}$ に近い範囲における表面キャリア密度をより正確に反映するためには p 型ウェル領域を接地してソース/ドレイン電極とゲート電極間の容量測定を行って  $V_G$  に対する反転キャリアの応答のみを評価する split-CV 法[231]を用いることもあり、 $N_S$ は式(81)で評価する。

$$N_S = \left(\frac{1}{q}\right) \cdot \int_{-\infty}^{V_G} C_{\text{gc}} dV_G \quad (81)$$

ここで、 $C_{\text{gc}}$ はMOSFETのゲート電極とチャネル領域間の容量を表しており、 $C_{\text{gc}}$ にはチャネル領域に誘起される電荷の容量  $C_{\text{ch}}$  だけでなく、ゲート電極とソース/ドレイン領域とのオーバーラップ容量  $C_{\text{ov}}$  が加わっている。そのため、 $C_{\text{gc}}$  に対する  $C_{\text{ov}}$  の影響が無視できない場合は補正が必要である。また、 $C_{\text{gc}}$  として応答する電荷はソース/ドレイン領域から供給され、チャネル抵抗( $R_{\text{ch}}$ )やチャネル長( $L$ )等の影響が周波数応答に現れるため[231]、評価条件を適切に設定する必要がある。

また、MOS 界面の電荷捕獲準位の影響に注意が必要であり、式(80)または(81)で評価した  $N_S$  は電気伝導に寄与する可動キャリアと電気伝導に寄与しない捕獲電荷の総和に対応する。そのため、酸窒化膜/SiC 界面や熱酸化膜/ SiC 界面などの MOS 界面に電荷捕獲準位が高密度で存在する材料系では、実際にチャネル領域を流れる可動キャリアの密度と乖離が生じる。



### 2.2.2. ホール移動度

ホール移動度( $\mu_{\text{Hall}}$ ; Hall mobility)は MOSFET を用いたホール効果測定により評価される [221], [232]. ホール効果とは、電流に垂直な方向に磁場をかけると可動キャリアが受けるローレンツ力に起因して磁場と電流に垂直な方向にホール電圧が発生する現象である [2], [231]。図 2.10(b)の構造にて磁場を紙面垂直方向に印加すると、ホール端子の両端にホール電圧( $V_{\text{Hall}}$ )が生じ、本構造ではホール端子を素子の中央部に配置した。 $\mu_{\text{Hall}}$  および  $N_s$  は式 (82)と(83)で評価される[221], [230]。ここで、磁場の大きさは  $B_z$  をした。

$$\mu_{\text{Hall}} = \left(\frac{L}{W}\right) \cdot \left(\frac{1}{B_z}\right) \cdot \left(\frac{V_{\text{Hall}}}{V_D}\right) \quad (82)$$

$$N_s = \left(\frac{1}{q}\right) \cdot \left(\frac{B_z I_D}{V_{\text{Hall}}}\right) \quad (83)$$

$V_{\text{Hall}}$  はチャネル中の可動キャリアの速度を反映しているため、MOS 界面における電荷捕獲の影響を受けずにチャネル移動度を評価することができる。そのため、酸化窒化膜/SiC 界面や熱酸化膜/ SiC 界面などの MOS 界面に電荷捕獲準位が高密度で存在する材料系でも、実際にチャネル領域を流れる可動キャリアの反転層移動度を評価することができる。

ホール効果測定では、残留磁場と熱起電力の影響を除くために、電流反転および磁場反転して  $V_{\text{Hall}}$  を評価し、平均をとることでより正確な測定になる[231]。また、反転層移動度が低い場合、印加するゲート電圧のステップを小さくし、近接するゲート電圧における反転層移動度の平均をとることでノイズが抑制される。また、 $V_{\text{Hall}}$  は評価に用いる素子形状に依存し、実測されるホール端子間の電圧( $V_{\text{Hall,m}}$ )を素子形状による補正係数( $G$ )に応じて式(84)で補正する必要がある。

$$V_{\text{Hall}} = \frac{V_{\text{Hall,m}}}{G} \quad (84)$$

補正係数  $G$  は  $\mu_{\text{Hall}}$  と  $B_z$  の積に依存し、 $L/W$  が大きくなるにつれて 0 から 1 へと近づき、 $L/W$  が 3 以上では  $\mu_{\text{Hall}}$  と  $B_z$  の積によらず凡そ 0.95 となる[231]。そのため、 $L$  は  $W$  の 3 倍以上となるように素子構造を設計する。また、 $V_{\text{Hall,m}}$  はホール端子とチャネル領域が接触する幅  $H$  の影響も受け[233]、その影響は  $H/W$  が小さくなるにつれて抑制される。そのため、 $H/W$  がおよそ 0.05 以下となるように  $H$  を短くする。式(44)より、反転層移動度の低い材料系では  $V_D$ 、 $B_z$ 、 $W$  を調整することで  $V_{\text{Hall}}$  を大きくする。本研究では、 $L$  および  $W$  は各々約 500  $\mu\text{m}$  および 150  $\mu\text{m}$  とし、チャネル長とチャネル幅の比率が 3 以上であることから  $G$

$=0.95$  を用いた。ホール端子とチャネル領域の重なりがある場合、その長さを  $\Delta W$  とすると、式 (82)において  $W$  を  $W - \Delta W$  として補正される[221]。これはホール端子とチャネル領域の重なりがなく、チャネル幅が  $W - \Delta W$  の素子とみなすことに相当する。本研究では、 $\mu_{\text{Hall}}$  の評価において、式(82)の形状因子である  $L/W$  による評価誤差の範囲は、6.2 節を除き 4%以内であり、6.2 節では 15%以内である。ここでは、ホール端子とチャネル領域の重なりがない場合を基準とした。

なお、 $\mu_{\text{Hall}}$  と  $\mu_{\text{eff}}$  には物理的な違いが本質的に存在し、それらの比はホール散乱因子 ( $\gamma_{\text{H}}$ ) と呼ばれ、有効質量の異方性に起因するキャリア輸送特性の異方性とキャリア散乱確率のエネルギー依存性を反映する[2], [231], [233]。弱磁場下では、異方性が無視できる場合、後者の影響のみを反映して  $\gamma_{\text{H}}$  は式(85)で近似できる[234]。異方性が無視できない場合、有効質量の異方性を表す係数( $\gamma_{\text{A}}$ )が掛け合わされる[199]。

$$\gamma_{\text{H}} = \frac{\mu_{\text{Hall}}}{\mu_{\text{eff}}} = \frac{\langle \tau^2 \rangle}{\langle \tau \rangle^2} \quad (85)$$

式(85)は、仮に  $\tau$  のエネルギー依存性がない場合は 1 となるが、一般に  $\tau$  がエネルギー依存性を有するため、1 とは限らない[199]。

### 2.2.3. 電界効果移動度

電界効果移動度( $\mu_{FE}$ : field-effect mobility)は相互コンダクタンス  $g_m$  を用いて式(86)と(87)で評価される[230]。 $\mu_{FE}$  は一般的に、Si 等の MOS 界面の電荷捕獲準位が少ない材料では用いられないが、SiC ではそれが多く  $V_G$  を掃引した際の  $I_D$  の増加が緩やかなため、 $V_{th}$  を明確に定めることが困難である。そのため、簡易的に  $\mu_{FE}$  で反転層移動度を評価することがある。

$$\mu_{FE} = \left( \frac{L}{W} \right) \cdot \left( \frac{g_m}{C_{ox} V_D} \right) \quad (86)$$

$$g_m = \left( \frac{dI_D}{dV_G} \right) \quad (87)$$

### 2.3. 本研究におけるキャリア散乱機構の解析手法

本節では、本研究における反転層移動度を決めるキャリア散乱機構の解析手法を述べる。先行研究と同様に、SiC MOSFET の反転層移動度を決定するキャリア散乱機構は、従来の Si MOSFET の枠組みと同様に(1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱であると仮定した。クーロン散乱の要因はイオン化不純物散乱だけでなく、酸化膜/SiC 界面近傍の電荷も想定した。

既に前節 1.7 で述べた通り、Si MOSFET において反転層移動度と実効垂直電界( $E_{\text{eff}}$ )の関係[196], [197]およびクーロン散乱移動度( $\mu_{\text{Coulomb}}$ )と表面キャリア密度( $N_s$ )の関係[209], [210]が検討されている。フォノン散乱移動度および界面ラフネス散乱移動度は実効垂直電界の累乗に比例して減少し、クーロン散乱移動度は表面キャリア密度の累乗に比例して増加することが判明している。まず、Si MOSFET の知見を基にこれらの散乱の特徴を紹介した後に、本研究のアプローチを述べる。本研究では、これらの特徴を利用することで、SiC MOSFET の反転層移動度のキャリア散乱機構を分離評価した。

SiC MOSFET における、反転層形成時の全表面キャリア密度に対する基底準位のキャリア密度の割合を基に、基底準位の占有率が計算されている[229]。ここで、アクセプタ濃度( $N_A$ )は標準的な値である  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  として検討されており、反転キャリアは波数空間において M 点に存在している。基底準位の占有率は計算に用いる有効質量モデルによりわずかに異なるものの、表面キャリア密度が  $1 \times 10^{11} \text{ cm}^{-2}$ 、 $5 \times 10^{11} \text{ cm}^{-2}$ 、 $5 \times 10^{12} \text{ cm}^{-2}$  において各々約 75%、約 80%、約 85%から 90%である。このことから、表面キャリア密度が低い領域でも前述の全ての反転キャリアが基底準位を占有する状態(シングルサブバンド占有状態)に近いことが指摘されている[229]。また、垂直実効電界は表面キャリア密度が増加することで大きくなるため、フォノン散乱の影響が大きくなる表面キャリア密度が高い領域では、全ての反転キャリアが基底準位を占有する状態により近づくことが分かる。そのため、本研究では主に  $\eta$  として  $11/32$  に近い値である  $1/3$  を用いることにした。

反転層移動度のキャリア散乱機構を実験的に分離評価するには、素子や測定条件を変化させることで、競合するキャリア散乱機構の相対的な影響度を大きく変えて、ある特定の散乱機構が支配的とみなせる状況を設定したうえで解析する必要がある[2]。本研究では、SiC MOSFET における反転層移動度のキャリア散乱機構を分離評価するため、クーロン散乱の影響度に着目し、これを素子や測定条件で変化させた。これは、SiC MOSFET におけるクーロン散乱が Si MOSFET とは異なる特徴を有するためである。

Si MOSFET の反転層移動度において、クーロン散乱の影響は表面キャリア密度の低い領

域（低  $N_S$  領域）でのみ現れる。そのため、反転層移動度は低  $N_S$  領域ではフォノン散乱と界面ラフネス散乱の影響で決まる移動度よりも低下するが、高  $N_S$  領域ではフォノン散乱と界面ラフネス散乱の影響で決まる移動度に一致する。一方で、SiC MOSFET における反転層移動度はクーロン散乱の影響を大きく受けることが指摘されており[220]、このことは SiC MOSFET では反転層移動度に対するクーロン散乱の影響は低  $N_S$  領域のみに限らず、高  $N_S$  領域でも現れることを意味する。そのため、SiC MOSFET においても Si MOSFET のようにフォノン散乱移動度と界面ラフネス散乱移動度を実験的に評価するには、高  $N_S$  領域のクーロン散乱の影響を抑制する必要があると考えた。

すでに、SiC MOSFET の反転層移動度のアクセプタ濃度依存性が調べられており、 $N_A = 1 \times 10^{15} \text{ cm}^{-3}$  から  $N_A = 5 \times 10^{17} \text{ cm}^{-3}$  の素子における反転層移動度が評価されている[220]。ここでは、ゲート絶縁膜は  $\text{N}_2\text{O}$  雰囲気下で熱酸化を行った後、 $\text{N}_2$  雰囲気下でアニール処理を施して形成している。反転層移動度を定めるキャリア散乱機構のモデル式を仮定し、それを基に実験結果をフィッティングすることで支配的なキャリア散乱機構が解析されている。本手法に基づく、 $N_A = 1 \times 10^{15} \text{ cm}^{-3}$  および  $N_A = 5 \times 10^{17} \text{ cm}^{-3}$  の素子では、いずれも室温における反転層移動度は酸化膜/SiC 界面における界面電荷によるクーロン散乱の影響が最も支配的であり、酸化膜/SiC 界面におけるフォノン散乱の寄与はそれに及ばないと結論付けている。さらに、高  $N_A$  素子では、低  $N_A$  素子よりもクーロン散乱の影響が大きいことが指摘されている[220]。本研究では、このクーロン散乱が反転層移動度に及ぼす影響がアクセプタ濃度により異なる点に着目し、SiC MOSFET の反転層移動度を決定するキャリア散乱機構を分離評価する手法を考案した。

図 2.11 に本研究で想定する様々なアクセプタ濃度における反転層移動度とキャリア散乱機構の概略図を示す。アクセプタ濃度は低濃度、中濃度、高濃度の場合を図示している。ここでは、反転層移動度は実効垂直電界に対してプロットしており、フォノン散乱と界面ラフネス散乱は実効垂直電界の累乗に比例して減少するとし、各々の累乗係数を  $-1/3$  および  $-2$  として記述した。クーロン散乱はアクセプタ濃度より異なり、アクセプタ濃度が高いほどクーロン散乱移動度が低下するとした。表面キャリア密度の増加によりクーロン散乱移動度が増加することを反映して、垂直実効電界の増加によりクーロン散乱移動度が増加している。

我々は先行研究[220]の実験結果を、図 2.11 に示すキャリア散乱機構のモデルに基づいて考察した。アクセプタ濃度を  $N_A = 1 \times 10^{15} \text{ cm}^{-3}$  よりもさらに低減すればさらにクーロン散乱移動度が増加すると期待され、フォノン散乱移動度が実験的に評価可能となる可能性が示唆されることが考えた。そこで本想定の下、アクセプタ濃度を制御下限の  $1 \times 10^{14} \text{ cm}^{-3}$  台まで低減し、クーロン散乱の影響を可能な限り抑制することを試みた。クーロン散乱の影響を可

能な限り抑制した本素子の反転層移動度を用いて、フォノン散乱移動度を実効垂直電界の関数として定式化した。定式化したフォノン散乱移動度と Matthiessen 則を用いることで、その他の散乱機構の分離評価を行った。この際、実効垂直電界が高い領域では界面ラフネス散乱の影響が顕在化する可能性があるため、フォノン散乱移動度は実効垂直電界が中程度の領域で評価した。

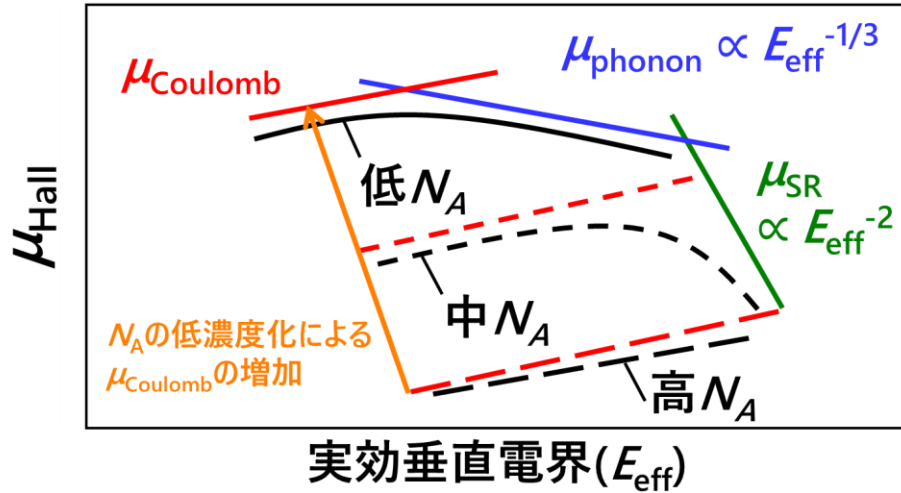


図 2.11 本研究で想定する様々なアクセプタ濃度における反転層移動度とキャリア散乱機構の概略図。アクセプタ濃度は低濃度、中濃度、高濃度の場合を図示しており、反転層移動度は実効垂直電界に対してプロットしている。

次に、式(28)において、反転層移動度の実測値と定式化した  $\mu_{\text{phonon}}$  を用いることで、反転層移動度からフォノン散乱の影響を除き、クーロン散乱と界面ラフネス散乱により決まる移動度を評価した。このように評価した移動度を  $\mu_{\text{w/o effect of phonons}}$  と表し、 $\mu_{\text{w/o effect of phonons}}$  と表面キャリア密度の関係を検討した。図 2.12 にその概念図を示す。ここで、表面キャリア密度との関係に着目したのは、表面キャリア密度の増加によりクーロン散乱源がスクリーニングされるため、クーロン散乱移動度が表面キャリア密度の累乗に比例して増加するという特徴を用いるためである。解析に用いる素子のアクセプタ濃度は、高濃度ではなく中程度の濃度を想定している。これは、高  $N_A$  素子では空乏層内の電荷量( $N_{\text{dep}}$ )が高密度のため実効垂直電界が大きくなり、表面キャリア密度が小さい領域においても界面ラフネス散乱の影響が無視できない可能性があるためである。アクセプタ濃度が中程度の素子を用いることで、表面キャリア密度が小さい領域では、実効垂直電界が大きくなり、界面ラフネス散乱の影響が無視でき、クーロン散乱の影響のみが支配的とみなせると考えた。

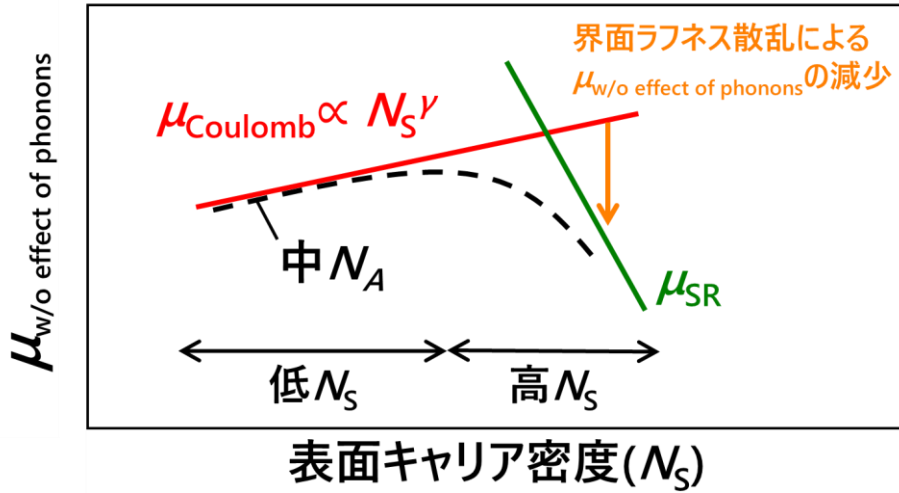


図 2.12 様々なアクセプタ濃度における  $\mu_{w/o \text{ effect of phonons}}$  とキャリア散乱機構の概略図。アクセプタ濃度は中濃度と高濃度の場合を図示しており、 $\mu_{w/o \text{ effect of phonons}}$  は表面キャリア密度に対してプロットしている。

図 2.12 に示すように、表面キャリア密度が小さい領域では界面ラフネス散乱の影響なく、クーロン散乱によって  $\mu_{w/o \text{ effect of phonons}}$  が決まる。アクセプタ濃度は中濃度の場合を図示している。この領域においてクーロン散乱移動度が表面キャリア密度の累乗で増加するという特徴を用いることで、クーロン散乱移動度( $\mu_{\text{Coulomb}}$ )を定式化した。一方で、表面キャリア密度が大きい領域では界面ラフネス散乱の影響が表れ、 $\mu_{w/o \text{ effect of phonons}}$  は定式化した  $\mu_{\text{Coulomb}}$  よりも減少すると考えられる。ここで再び Matthiessen 則に基づいて、反転層移動度の実測値と定式化した  $\mu_{\text{phonon}}$  および  $\mu_{\text{Coulomb}}$  を用いることで、界面ラフネス散乱移動度( $\mu_{\text{SR}}$ )を評価した。このように評価した界面ラフネス散乱移動度を実効垂直電界の関数として定式化することで、 $\mu_{\text{SR}}$  を定式化した。

前述の通り、高  $N_A$  素子では表面キャリア密度が小さい領域においても実効垂直電界が大きくなり、 $\mu_{w/o \text{ effect of phonons}}$  はクーロン散乱と界面ラフネス散乱のいずれの影響も受ける可能性があるため、アクセプタ濃度が中程度の素子と同様の手法ではクーロン散乱と界面ラフネス散乱の影響を分離評価できない可能性がある。そこで、高  $N_A$  素子のキャリア散乱機構の分離評価は、 $N_A$  が中程度の素子で  $\mu_{\text{SR}}$  を定式化した後に行った。Matthiessen 則に基づいて、反転層移動度の実測値と定式化した  $\mu_{\text{phonon}}$  および  $\mu_{\text{SR}}$  を用いることで、高  $N_A$  素子の  $\mu_{\text{Coulomb}}$  を評価した。

## 2.4. デバイス作製

評価に用いるデバイス作製プロセスについて述べる。ここでは、MOSFET の反転層移動度評価に用いる横型 MOSFET の作製プロセスを示し、ゲート絶縁膜に用いる酸化窒化膜の酸化膜/SiC 界面の電荷捕獲準位を紹介する。

### 2.4.1. デバイス作製プロセス

ホール効果測定により反転層移動度を評価するため、ホール端子付きの横型 MOSFET を作製した。ウェル領域を p 型エピタキシャル層で形成した場合を例に示す。n 型 Si 面 4H-SiC 基板上に p 型エピタキシャル層を形成し、n<sup>+</sup>領域であるソースおよびドレイン領域およびホール電圧端子を形成するため、高濃度の窒素 (N) をイオン注入した。さらに、p 型エピタキシャル層上の一部へ p<sup>+</sup>領域を形成するために、高濃度のアルミニウム (Al) をイオン注入した。これにより、p ウェル領域のボディ電圧 ( $V_B$ ) が制御できる。イオン注入した不純物の活性化アニール処理を行った後に、ゲート絶縁膜を形成したのち、ゲート電極として n<sup>+</sup>型 poly-Si を成膜する。ソース/ドレイン領域とその上の電極間にニッケルシリサイドを形成することでオーミック接触を形成した。

また、ウェル領域をイオン注入で形成する際は、ソース/ドレイン領域の形成前にアルミニウム (Al) と窒素 (N) をイオン注入することで形成し、活性化アニール処理は後続のイオン注入とまとめて同時に実施した。ウェル領域は Al をイオン注入して p 型領域を形成した後に、ゲート電極の直下に相当するチャンネル領域に窒素 (N) をイオン注入することで形成した。この時、N のドーズ量を増やすことでチャンネル構造を表面チャンネル構造から埋め込みチャンネル構造へと変化させることが可能である。窒素を注入しない、もしくは窒素の注入量が低ドーズ量の場合は表面チャンネル構造となる一方で、窒素の注入量が高ドーズ量の場合は埋め込みチャンネル構造となる。図 2.13 に計算に用いたウェル領域の Al と N の不純物プロファイルを示す。N のドーズ量は  $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$ 、 $8 \times 10^{12} \text{ cm}^{-2}$ 、 $2.4 \times 10^{13} \text{ cm}^{-2}$  とした。ここで、窒素注入時のエネルギーは 40 keV で固定した。図 2.13 に示すように、窒素は Al のイオン注入で形成した p 型領域の表面付近に存在する。



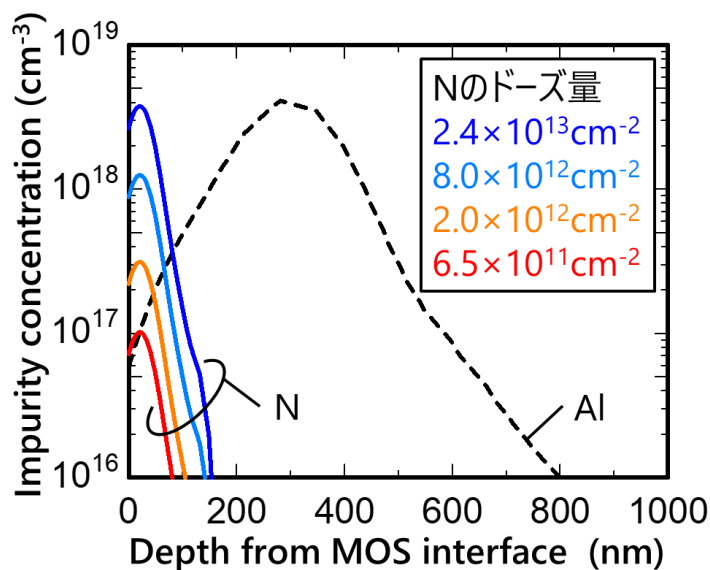


図 2.13 計算に用いたウェル領域の Al と N の不純物プロファイル。N のドーズ量は  $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$ 、 $8 \times 10^{12} \text{ cm}^{-2}$ 、 $2.4 \times 10^{13} \text{ cm}^{-2}$  とした。

本研究で用いるゲート絶縁膜は、熱酸化膜、酸窒化膜、リン処理した熱酸化膜である。ゲート絶縁膜を熱酸化膜で形成する場合は、 $\text{O}_2$  ガス中でドライ酸化により熱酸化膜を形成した。その膜厚は処理温度および処理時間を変えることで調整した。酸窒化膜は熱酸化膜を形成した後、 $1250^\circ\text{C}$  にて希釈した NO ガス中で窒化処理を行い形成した。希釈は、 $\text{N}_2$  ガスで行い、NO ガスの割合は 10% である。リン処理した熱酸化膜は熱酸化膜を形成した後、 $\text{POCl}_3$  ガス中で  $1000^\circ\text{C}$  にて 30 分間のアニール処理を行った[235]。

図 2.14 に酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍の透過電子顕微鏡 (TEM : Transmission Electron Microscopy) 像を示す。倍率は 400 万倍で撮像した。酸化膜と SiC の界面に遷移層は存在せず、急峻な界面が形成されていることが分かる。図 2.15 と図 2.16 に酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍における Bright-Field STEM 像および HAADF STEM 像を示す。いずれも倍率は 800 万倍で撮像した。より高い倍率において酸化膜/SiC 界面が急峻であることが確認された。また、SiC 側には基板のオフ角に起因した 4 度のオフ角がついていることが確認される。以上の検討より、酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍の構造は TEM 像および STEM 像では大きな違いがないことが判明した。

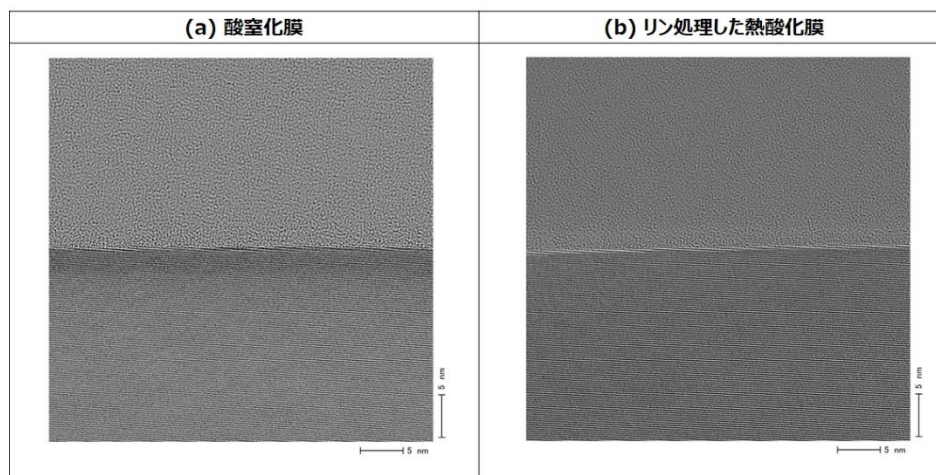


図 2.14 (a)酸窒化膜と(b)リン処理した熱酸化膜の TEM 像。倍率は 400 万倍とした。

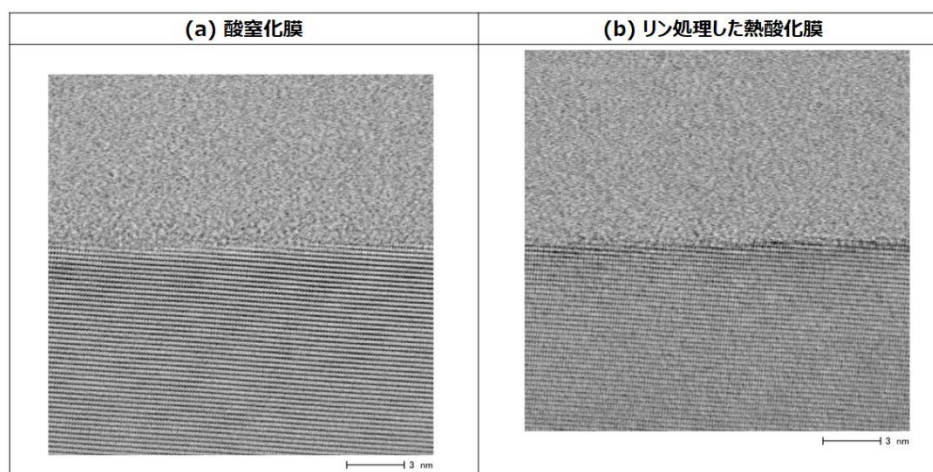


図 2.15 (a)酸窒化膜と(b)リン処理した熱酸化膜の Bright-Field STEM 像。倍率は 800 万倍とした。

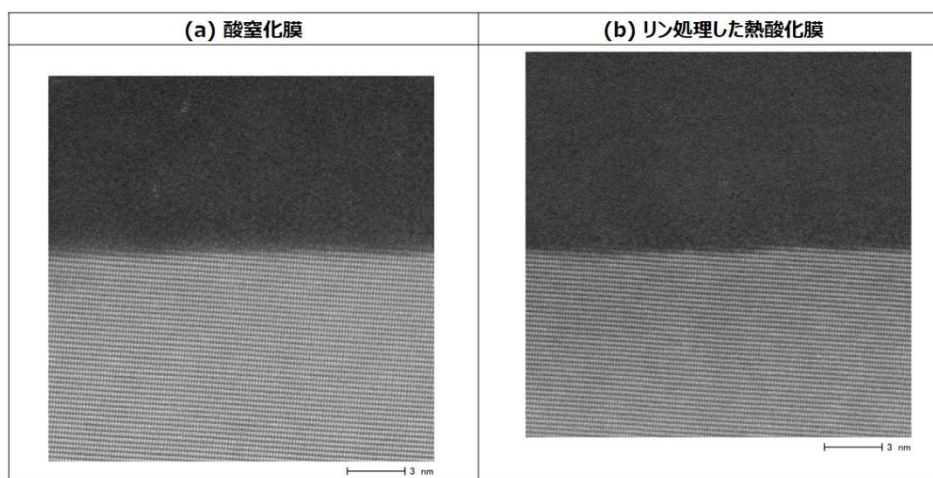


図 2.16 (a)酸窒化膜と(b)リン処理した熱酸化膜の HAADF STEM 像。倍率は 800 万倍とした。

図 2.17 に酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍のエネルギー分散型 X 線分光法(EDX : Energy Dispersive X-ray Spectroscopy)による元素分析を示す。本手法の分析結果には空間的な奥行方向の情報が含まれる。倍率を 200 万倍で撮像した時の、HAADF-STEM 像および酸素(O)、窒素(N)、リン(P)の分布を合わせて示す。酸素は酸化膜/SiC 界面を確認するために示している。SIMS 分析より窒化膜では酸化膜/SiC 界面に N が高濃度で存在し、酸化膜中では低濃度であることが判明しているが、酸窒化膜の EDX 分析では酸化膜/SiC 界面で N 濃度が高いことは確認されなかった。なお、酸窒化膜の酸化膜中に着色がみられるが、N を導入していないリン処理した熱酸化膜でもみられることから、これらはバックグラウンドのノイズである。一方で、リンが導入されていない酸窒化膜では見られないコントラスト差が明瞭に確認できたことから、リン処理した熱酸化膜では酸化膜中に P が均一に分布していることが確認された。

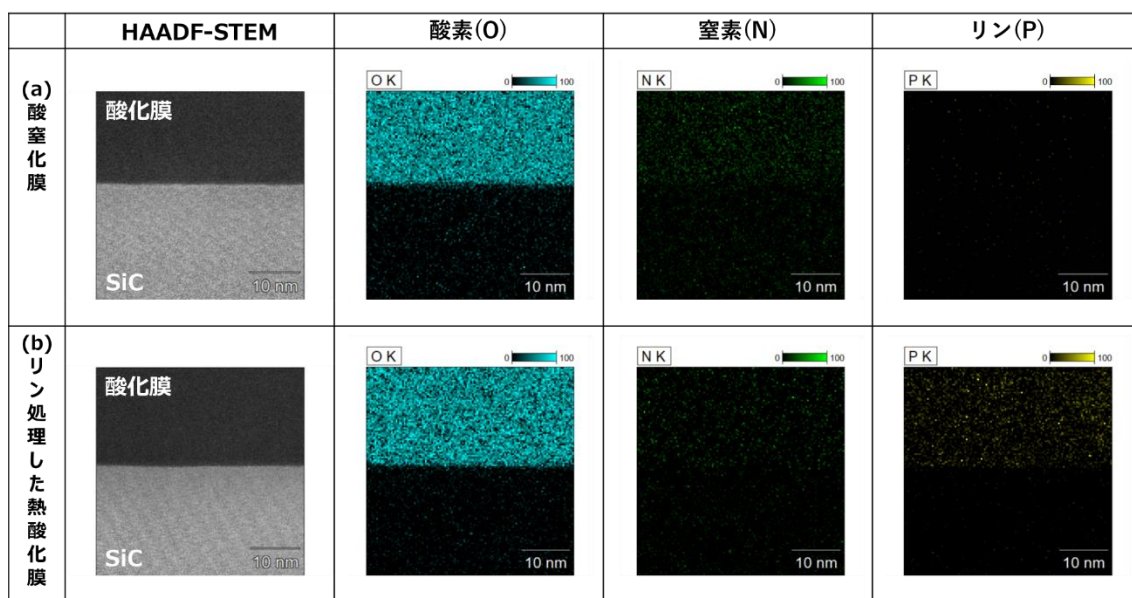


図 2.17 酸窒化膜とリン処理した熱酸化膜におけるゲート絶縁膜/SiC 界面近傍の EDX による元素分析。倍率は 200 万倍とした。

### 2.4.2. 酸窒化膜/SiC 界面における界面準位密度のエネルギー分布

本研究では、MOSFET のゲート絶縁膜として前節 2.4.1 において述べた手法で形成した酸窒化膜を用いている。本節では、本研究に用いた酸窒化膜の形成プロセスが標準的な酸窒化膜/SiC 界面を形成するものであるかについて検討する。

図 2.18 に本研究で用いた酸窒化膜/SiC 界面における界面準位密度のエネルギー分布を示す。ここで、界面準位密度のエネルギー分布は既に前節 2.2.2 において述べた MOSFET のホール効果測定に基づいて評価し[236]、本評価に用いた試料はアクセプタ濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  の p 型エピ膜をウェル層とする。図 2.18 には、他機関より報告された界面準位密度のエネルギー分布[112], [164], [219]を合わせて示す。ここで、文献[164]の評価手法は MOS キャパシタの容量特性を用いる  $C-\psi_s$  法であり、文献[112], [219]では本研究と同様に MOSFET のホール効果測定を基に評価している。

本研究で用いた酸窒化膜/SiC 界面における界面準位密度を文献値と比較する。エネルギーが伝導帯下端 ( $E_c - E = 0 \text{ eV}$  となるエネルギー位置) の近傍に着目すると、文献値[112], [219]よりもわずかに低密度であることが分かる。しかし、依存として伝導帯下端において  $3 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  ほどの高密度の界面準位を有している。このことから、本研究に用いた酸窒化膜の形成プロセスは標準的な酸窒化膜/SiC 界面を形成するものであると言える。なお、本研究では MOSFET のホール効果測定を利用して界面準位密度のエネルギー分布を評価しているため、評価しているエネルギー領域は伝導帯下端の近傍であり、MOS キャパシタの容量特性を利用する  $C-\psi_s$  法[164]で評価できるエネルギー領域よりも高エネルギー側の評価である。

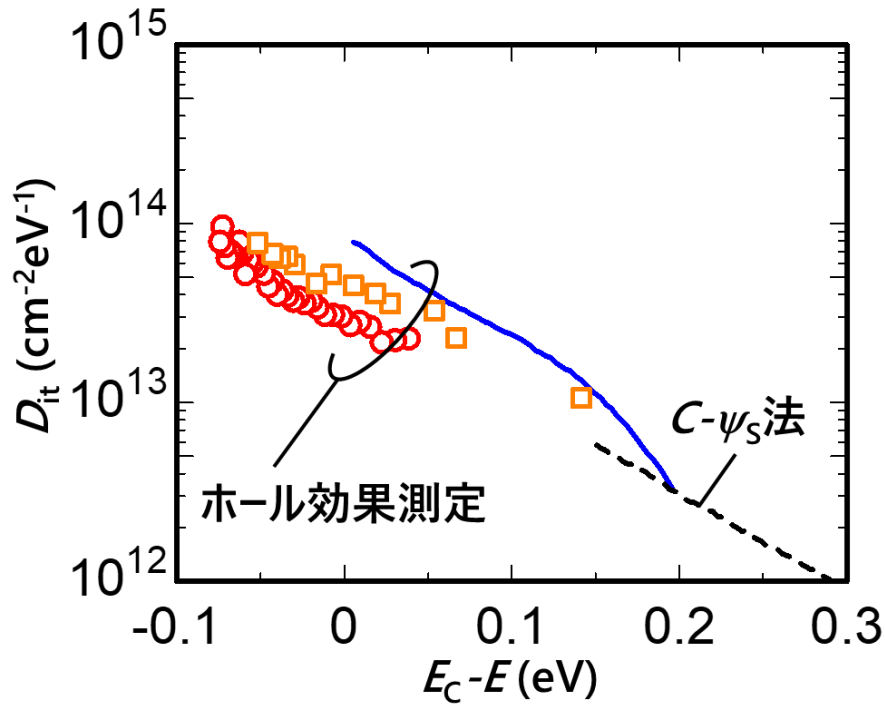


図 2.18 酸化膜/SiC 界面における界面準位密度のエネルギー分布. 赤○は本研究で用いた素子の値であり、橙□および青実線は各々、文献値[219]および[112]を示す. これらはいずれもホール効果測定による評価値である. 黒破線は文献値[164]であり C- $\psi_s$  法による評価値である.

図 2.19 に本研究で用いた酸化膜/SiC 界面と熱酸化膜/SiC 界面における界面準位密度のエネルギー分布の比較を示す。熱酸化膜の厚みは約 5 nm および約 50 nm であり、窒化処理により各々、約 1 nm と 0.5 nm ほど酸化膜厚が増加する。熱酸化膜と酸化膜の  $D_{it}$  を比較すると、 $D_{it}$  は酸化膜厚によりほぼ変わらず、熱酸化膜は酸化膜より高い  $D_{it}$  を有しており、窒化処理により  $D_{it}$  が低減できる。伝導帯端( $E_C$ )近傍では酸化膜の  $D_{it}$  は熱酸化膜の  $D_{it}$  より約 1/6 に低減している。

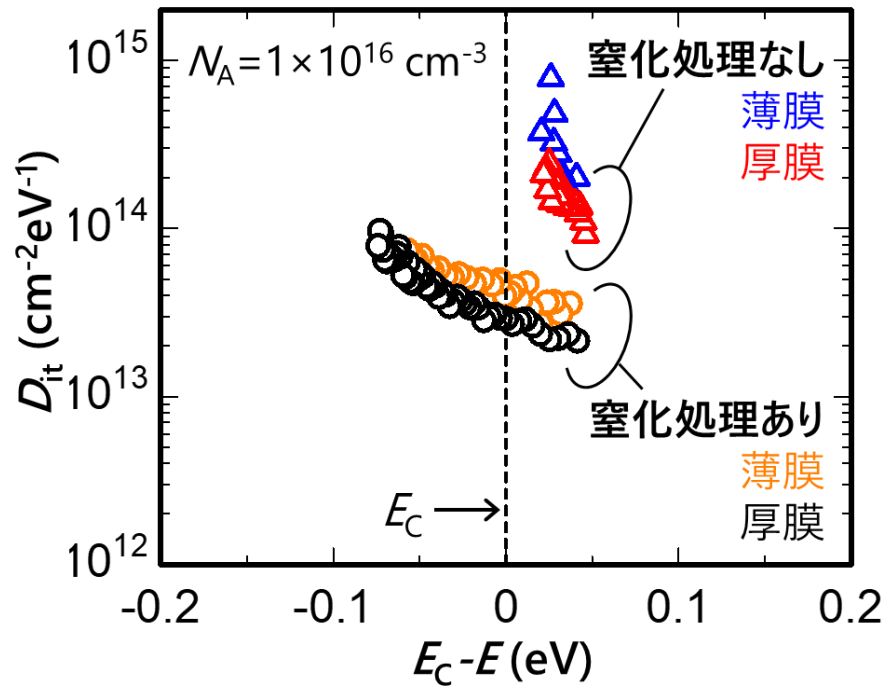


図 2.19 酸窒化膜/SiC 界面と熱酸化膜/SiC 界面における界面準位密度のエネルギー分布.

## 第3章 SiC MOSFET の反転層移動度に影響を与える因子の抽出

本章では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET における反転層移動度の振る舞いについて全体像を把握するため、反転層移動度に影響を与える因子を抽出する。反転層移動度に影響を与えうる因子として、(1) ウェル領域におけるアクセプタ濃度、(2) ボディー電圧、(3) 温度、(4) MOSFET のチャネル構造の 4 つの因子に着目し、各因子を変化させて反転層移動度を評価する。それら全てに共通する現象を基に、本章以降で詳細に述べる反転層移動度のモデル構築において着目すべきキャリア散乱機構について議論する。



### 3.1. 反転層移動度のウェル領域におけるアクセプタ濃度依存性

本節では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度に、MOSFET のウェル領域におけるアクセプタ濃度( $N_A$ )が及ぼす影響を室温で検討した。本節以降では主に表面チャネル構造に着目し、反転層移動度について議論する。

反転層移動度とアクセプタ濃度の関係を明確に議論するためには、p 型不純物濃度プロファイルはウェル領域で一様であることが望ましい。しかし、イオン注入で p 型ウェル領域を形成した素子では、酸化膜/SiC 界面から p 型ウェルの奥行方向にかけて p 型不純物濃度プロファイルが一様ではなく、反転層移動度とアクセプタ濃度の議論が難しい。そこで、p 型エピタキシャル層を用いてウェル領域を形成することで、p 型ウェル領域における p 型不純物濃度プロファイルが一様な素子を作製し、反転層移動度とアクセプタ濃度の関係を検討した。

すでに酸化窒化膜をゲート絶縁膜に用いた素子において反転層移動度の p 型ウェル濃度依存性が検討されている[219], [220]。本研究とは異なり、窒化処理は  $N_2O$  雰囲気中で行っており、p 型ウェル領域は p 型エピタキシャル層もしくは、p 型エピタキシャル層へ追加のアルミニウムのイオン注入を行うことで形成している。p 型ウェル領域のアクセプタ濃度は  $1 \times 10^{15} \text{ cm}^{-2}$  から  $5 \times 10^{17} \text{ cm}^{-2}$  の範囲であり、これらは p 型エピタキシャル層の濃度とアルミニウムのイオン注入量で制御している。反転層移動度はゲート電圧もしくは実効垂直電界の関数として議論されており、同一のゲート電圧もしくは実効垂直電界ではアクセプタ濃度が増加すると反転層移動度が減少することが判明している。しかしながら、反転層移動度と表面キャリア密度( $N_S$ )の関係は議論されていない。

本節では、反転層移動度と表面キャリア密度の関係という視点に基づき、反転層移動度のアクセプタ濃度依存性を検討した。図 3.1 に異なるアクセプタ濃度における反転層移動度と表面キャリア密度の関係を示す。ここで、ウェル領域のアクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  であり、評価は室温で実施した。同一の表面キャリア密度で比較すると、反転層移動度は  $N_A$  の増加に伴い減少した。以降では、各アクセプタ濃度における反転層移動度の特徴を議論する。



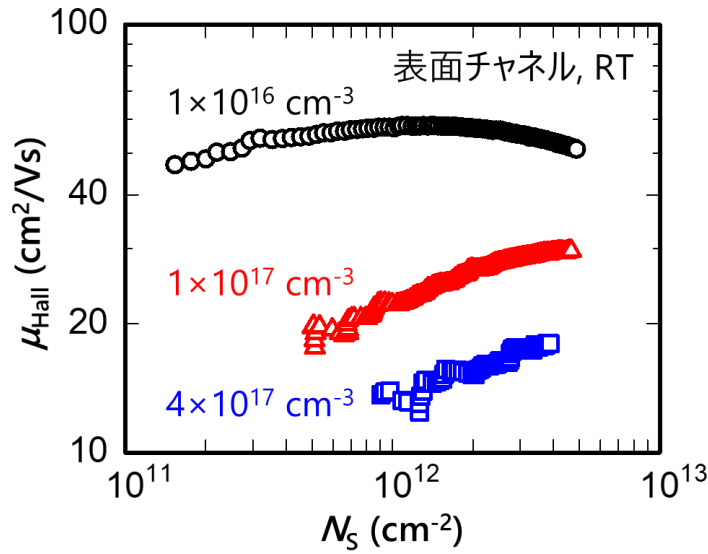


図 3.1 異なるアクセプタ濃度における反転層移動度と表面キャリア密度の関係。ここで、ウェル領域のアクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  であり、評価は室温で実施した。

まず、比較的アクセプタ濃度の高い  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子に着目した。いずれの素子においても、反転層移動度が表面キャリア密度の累乗におおよそ比例して増加した。これより、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では酸化膜/SiC 界面近傍におけるクーロン散乱が反転層移動度に大きく影響している可能性が示唆される。

次に、標準的に用いられる中程度のアクセプタ濃度である  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子に着目した。反転層移動度は表面キャリア密度の増加に伴い増加した後に、減少に転じた。表面キャリア密度がおおよそ  $1 \times 10^{12} \text{ cm}^{-2}$  以下の領域では反転層移動度が表面キャリア密度の累乗におおよそ比例して増加した。この領域では先に議論した  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子と同様に酸化膜/SiC 界面近傍におけるクーロン散乱が反転層移動度に大きく影響するものと考えられる。一方で、表面キャリア密度がおおよそ  $1 \times 10^{12} \text{ cm}^{-2}$  以上の領域では反転層移動度が減少した。この振る舞いは、クーロン散乱の影響のみでは説明できず、この領域ではその他の電子散乱機構が寄与している可能性を示唆している。

次に、ウェル領域の形成法が反転層移動度に及ぼす影響を検討するため、ウェル領域を p 型エピタキシャル層で形成した素子とイオン注入で形成した素子の反転層移動度を比較した。チャンネル構造は表面チャンネル構造とした。図 3.2 にウェル領域を p 型エピタキシャル層および前節 2.4.1 に示したイオン注入で形成した場合の、反転層移動度と表面キャリア密度の関係を示す。p 型エピタキシャル層のアクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、

$4 \times 10^{17} \text{ cm}^{-3}$  とした。窒素注入時のドーズ量は  $0 \text{ cm}^{-2}$ 、 $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$  とし、図中に示した。

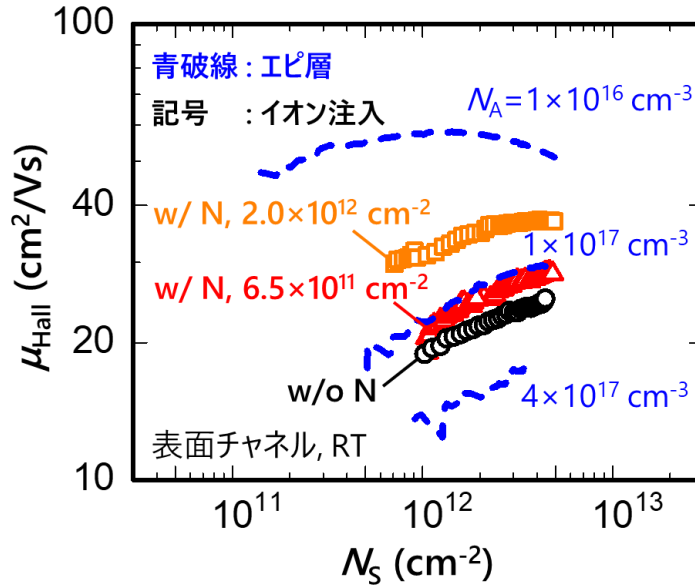


図 3.2 ウェル領域を p 型エピタキシャル層およびイオン注入で形成した場合の、反転層移動度と表面キャリア密度の関係。p 型エピタキシャル層のアクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  であり、青破線で示した。イオン注入を用いてウェル領域を形成した素子は記号で示した。

イオン注入を用いてウェル領域を形成した素子の反転層移動度は、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子よりも小さく、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子よりも大きいことが示された。イオン注入を用いてウェル領域を形成した素子のうち、窒素注入時のドーズ量が  $6.5 \times 10^{11} \text{ cm}^{-2}$  の素子に着目すると、その反転層移動度は  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子と同程度の値を示しており、反転層移動度が表面キャリア密度の累乗におおよそ比例して増加する様子がよく一致した。これより、ウェル領域が p 型エピタキシャル層であるか、もしくはイオン注入で形成されたものであるかは、反転層移動度にとって本質的な違いではないと推測される。

### 3.2. 反転層移動度のボディー電圧依存性

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度に、MOSFET のウェル領域におけるボディー電圧( $V_B$ )が及ぼす影響を室温で検討した。すでに前節 2.1.3 および 2.1.5 で述べた通り、負のボディー電圧を印加すると反転キャリアが MOS 界面へと近づき、負のボディー電圧の絶対値が大きくなるほどその効果は大きい。その様子を図 2.9 に図示した。

すでに、 $N_A = 2 \times 10^{17} \text{ cm}^{-3}$  の素子において負のボディー電圧を印加した際の反転層移動度が検討されている[237]。負のボディー電圧を印加することで  $V_B = 0 \text{ V}$  の場合と比較して、反転層移動度が減少し、印加する負のボディー電圧の絶対値が増加すると反転層移動度が減少することが報告されている。なお、反転層移動度の比較は同一のゲート電圧もしくは実効垂直電界において行われている。反転層移動度のモデル式を仮定したうえで、クーロン散乱と界面ラフネス散乱の寄与で決まる電子移動度を評価しており、表面キャリア密度が一定という条件下において実効垂直電界との関係が検討されている[237]。クーロン散乱と界面ラフネス散乱の寄与で決まる電子移動度が実効垂直電界の増加に伴って減少することが示されている。しかし、表面キャリア密度は  $1.5 \times 10^{12} \text{ cm}^{-2}$  から  $2.75 \times 10^{12} \text{ cm}^{-2}$  の範囲における離散的な値に対して検討されており、表面キャリア密度を連続的に変化させた際の、反転層移動度と表面キャリア密度の関係は議論されていない。

本節では、反転層移動度と表面キャリア密度の関係という視点に基づき、ウェル領域への負のボディー電圧印加が反転層移動度に及ぼす影響を検討した。まず、ウェル領域を p 型エピタキシャル層で形成した素子を用いて、負のボディー電圧が表面チャネル構造の素子へ及ぼす影響を検討した。次に、イオン注入でウェル領域を形成した素子を用いて、負のボディー電圧が埋め込みチャネル構造の素子へ及ぼす影響を検討した。

#### 3.2.1. 表面チャネル構造における反転層移動度のボディー電圧依存性

本節ではウェル領域を p 型エピタキシャル層で形成した素子に印加するボディー電圧を変化させ、それが反転層移動度に及ぼす影響を検討した。図 3.3 に p 型エピタキシャル層をウェル領域とする素子におけるボディー電圧印加時の反転層移動度と表面キャリア密度の関係を示す。アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  であり、評価は室温で実施した。印加するボディー電圧は 0、-2、-4、-8、-16、-24、-40 V とした。

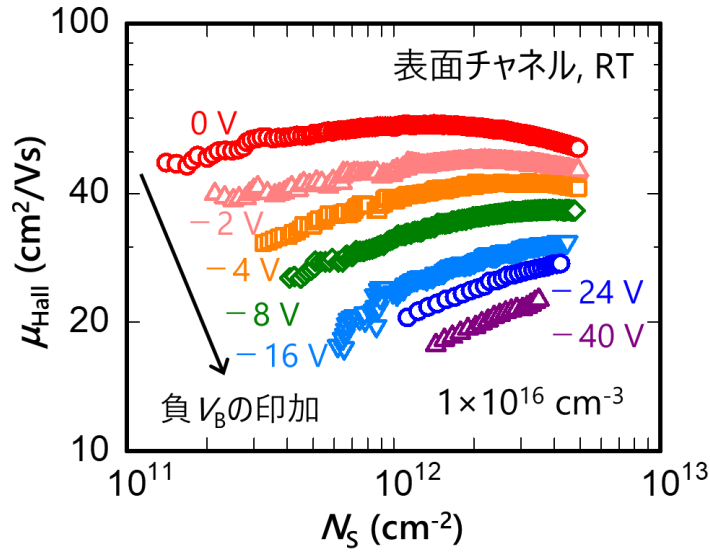


図 3.3  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子におけるボディー電圧印加時の反転層移動度と表面キャリア密度の関係。評価は室温で実施し、印加したボディー電圧は 0、-2、-4、-8、-16、-24、-40 V である。

負のボディー電圧印加により反転層移動度が減少し、その絶対値が大きくなるにつれて反転層移動度が単調に減少した。 $V_B = 0 \text{ V}$  では表面キャリア密度の増加に伴って反転層移動度が増加した後減少に転じており、 $V_B = -2, -4 \text{ V}$  でも同様の振る舞いがみられた。一方で、 $V_B = -8 \text{ V}$  では挙動が異なり、評価した表面キャリア密度の範囲では表面キャリア密度の増加に伴って反転層移動度が増加した後、ほぼ一定の値を保った。また、 $V_B = -16 \text{ V}$  以下では、評価した表面キャリア密度の範囲では、表面キャリア密度の増加に伴って反転層移動度が表面キャリア密度の増加に伴って単調に増加した。このように表面キャリア密度の増加に伴って単調に反転層移動度が増加するのは、図 3.1 で示すように  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $4 \times 10^{17} \text{ cm}^{-3}$  の素子における特徴と類似している。なお、図 3.1 においてこれらの素子は  $V_B = 0 \text{ V}$  で評価した。

反転層移動度に寄与する電子散乱機構について議論するため、負のボディー電圧印加による反転層移動度の変化に着目した。既に前節 3.1 で述べた通り、 $V_B = 0 \text{ V}$  では表面キャリア密度がおおよそ  $1 \times 10^{12} \text{ cm}^{-2}$  以上の領域では反転層移動度が減少したことより、この領域ではクーロン散乱だけでなく、その他の電子散乱機構が寄与する可能性が示唆されている。一方で、 $V_B = -40 \text{ V}$  では評価した表面キャリア密度の全域で、反転層移動度が表面キャリア密度のおおよそ累乗に比例して増加しており、反転層移動度は主に酸化膜/SiC 界面近傍におけるクーロン散乱の影響を強く受けていることが示唆される。このことは、 $V_B = -40 \text{ V}$  を印加すると  $V_B = 0 \text{ V}$  の場合と比べて、酸化膜/SiC 界面近傍におけるクーロン散乱が強ま

り、反転層移動度に対するクーロン散乱の影響度がその他の電子散乱機構の寄与よりも大きくなったことを示している。よって、酸化膜/SiC 界面近傍におけるクーロン散乱の影響度が負のボディー電圧印加により強まる可能性が示唆される。

一方で、クーロン散乱を生じる要因として他にも、ウェル領域の空乏層内においてイオン化したアクセプタによるイオン化不純物散乱がある。まず、負のボディー電圧印加が空乏層内のイオン化不純物分布に及ぼす影響に着目した。負のボディー電圧印加により、ウェル領域において空乏層が広がり、空乏層端部におけるイオン化したアクセプタ濃度が増加する。例えば、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子において  $V_B = 0 \text{ V}$  の時の空乏層幅は  $550 \text{ nm}$  であるが、反転キャリアは酸化膜/SiC 界面からおおよそ  $4 \text{ nm}$  以内にその分布の中心がある。空乏層端部は反転キャリアに対して十分に遠方であり、点電荷によるクーロンポテンシャルは距離が遠ざかると減少することを考慮すると、空乏層端部におけるイオン化したアクセプタ濃度が増加しても反転層移動度への影響は小さいと予想される。次に、反転層が形成される酸化膜/SiC 界面直下のイオン化したアクセプタに着目した。ボディー電圧印加によりその濃度は変化せず、反転層移動度に及ぼす影響は変化しない。これらの考察より、クーロン散乱を生じる主要因はイオン化不純物散乱ではなく、酸化膜/SiC 界面近傍におけるクーロン散乱と考えるのが妥当である。

$N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子においても同様の検討を行い、前述の議論を検証した。評価は室温で実施し、印加するボディー電圧は  $0, -2, -4, -8 \text{ V}$  とした。図 3.4 にボディー電圧印加時の反転層移動度と表面キャリア密度の関係を示す。 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子においても、負のボディー電圧印加により反転層移動度が減少するとともに、反転層移動度は表面キャリア密度のおおよそ累乗に比例して増加した。このことから、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における議論はウェル領域のアクセプタ濃度が  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の場合も成立すると考えられる。

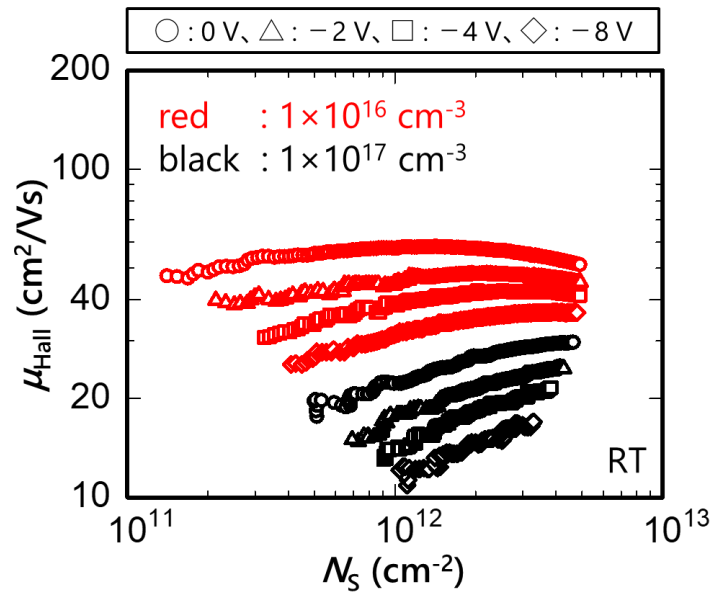


図 3.4  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子におけるボディー電圧印加時の反転層移動度と表面キャリア密度の関係。評価は室温で実施し、印加したボディー電圧は 0、-2、-4、-8 V である。

### 3.2.2. 埋め込みチャネル構造における反転層移動度のボディー電圧依存性

本節ではイオン注入でウェル領域を形成した埋め込みチャネル構造の素子に印加するボディー電圧を変化させ、それがチャネル移動に及ぼす影響を検討した。前節 2.4.1 で述べた手法で評価素子を作成し、ここでは窒素注入のドーズ量は  $8 \times 10^{12} \text{ cm}^{-2}$  とした。負のボディー電圧を印加してチャネル移動度を評価した。本素子のチャネル構造は負のボディー電圧印加により、埋め込みチャネル構造から表面チャネル構造へと連続的に変化する。TCAD を用いた計算より、表面キャリア密度が  $1 \times 10^{12} \text{ cm}^{-2}$  では  $V_B = 0 \text{ V}$  では埋め込みチャネル構造であるが、 $V_B = -9 \text{ V}$  では表面チャネル構造となることが判明している。図 3.5 に計算により評価したボディー電圧印加時の電子濃度分布の変化を示す。 $V_B = 0 \text{ V}$  および、 $V_B = -9 \text{ V}$  の場合を示し、計算には図 2.13 に示した不純物プロファイルを用いた。表面キャリア密度は  $1 \times 10^{12} \text{ cm}^{-2}$  であり、ここでは酸化膜/SiC 界面における電子の量子閉じ込め効果は考慮していない。

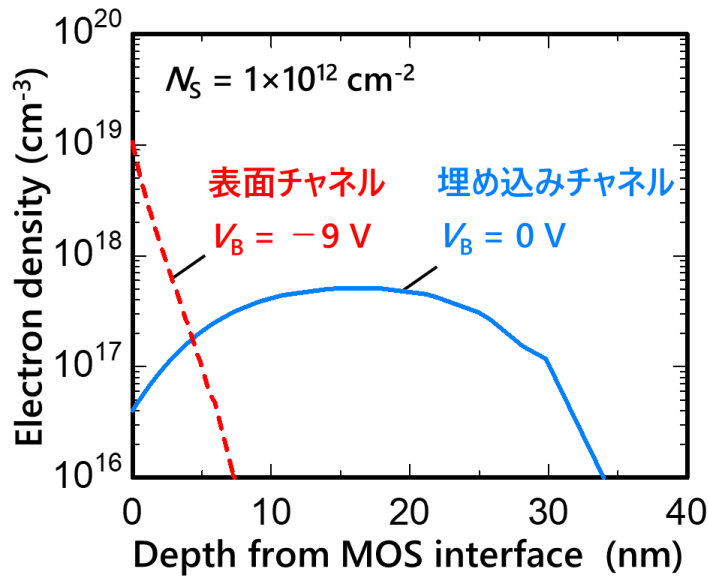


図 3.5 計算により評価したボディー電圧印加時の電子濃度分布の変化。 $V_B = 0 \text{ V}$  および、 $V_B = -9 \text{ V}$  の場合を示し、計算には図 2.13 に示した不純物プロファイルを用いた。

図 3.6 に埋め込みチャネル構造の素子におけるボディー電圧印加時のチャネル移動度と表面キャリア密度の関係を示す。評価は室温で実施し、印加するボディー電圧は 0、-3、

-5、-6.5、-9 V とした。負のボディー電圧の絶対値が増加すると、チャネル移動度は単調に減少した。特に、 $V_B = -9$  V ではチャネル移動度が表面キャリア密度のおおよそ累乗に比例して増加した。これは既に前節 3.1 で議論した表面チャネル構造における反転層移動度の特徴と一致しており、印加するボディー電圧を 0 V から -9 V へと変化させることで、チャネル構造が埋め込みチャネル構造から表面チャネル構造へと変化したことを実験的に示唆する。

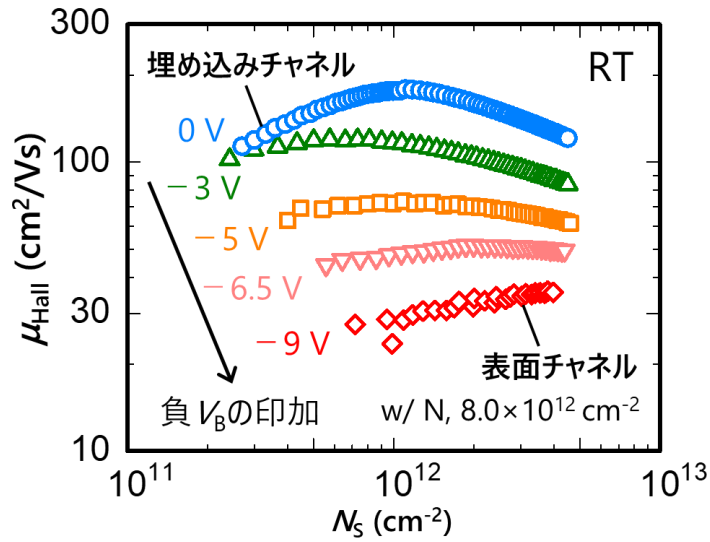


図 3.6 埋め込みチャネル構造の素子におけるボディー電圧印加時のチャネル移動度と表面キャリア密度の関係。評価は室温で実施し、印加したボディー電圧は 0、-3、-5、-6.5、-9 V である。前節 3.4.3 で議論した埋め込みチャネル構造のうち、窒素注入のドーズ量が  $8 \times 10^{12} \text{ cm}^{-2}$  の素子を用いた。



### 3.3. 反転層移動度の温度依存性

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度に、評価時の温度が及ぼす影響を検討するため、ウェル領域を p 型エピタキシャル層で形成した素子を用いて反転層移動度の温度依存性を評価した。

すでに、ウェル領域を  $N_A = 5.5 \times 10^{15} \text{ cm}^{-3}$  の p 型エピタキシャル層で形成した素子において、反転層移動度の温度依存性が検討されている[222]。ここでは反転層移動度と表面キャリア密度の関係を評価しており、300K から 102K へと測定温度を低温化することで反転層移動度が単調に減少することが報告されている。300K では反転層移動度は表面キャリア密度の増加に伴って増加した後に減少するが、102K では反転層移動度は表面キャリア密度の増加に伴って単調に増加している。この時、表面キャリア密度が  $1 \times 10^{12} \text{ cm}^{-2}$  における反転層移動度の温度依存性は  $T^{0.7}$  である。そこで、本研究で用いる素子が同様の傾向を示すかを検討するため、ウェル領域を p 型エピタキシャル層で形成した素子に対して反転層移動度の温度依存性を検討した。

図 3.7 に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係を示す。評価は 133K、177K、250K、300K、348K で実施した。評価温度が低下すると反転層移動度が減少した。これは先行研究の傾向と一致している[222]。表面キャリア密度がおおよそ  $1 \times 10^{12} \text{ cm}^{-2}$  以下の領域に着目すると、反転層移動度は表面キャリア密度のおおよそ累乗に比例して増加した。既に前節 3.1 で述べた議論に基づくと、評価した温度範囲において、表面キャリア密度が低い領域では反転層移動度は酸化膜/SiC 界面近傍におけるクーロン散乱に大きく影響されている。低温化により反転層移動度が低下することより、低温においてクーロン散乱の影響度が強まることが示唆される。この傾向はクーロン散乱の定性的な理解と矛盾しない。また、既に前節 3.1 で述べた議論と同様に、表面キャリア密度がおおよそ  $1 \times 10^{12} \text{ cm}^{-2}$  以上の領域では表面キャリア密度の増加により反転層移動度が減少した。この領域では、反転層移動度はクーロン散乱に加えて、その他の電子散乱機構が寄与している可能性が示唆される。

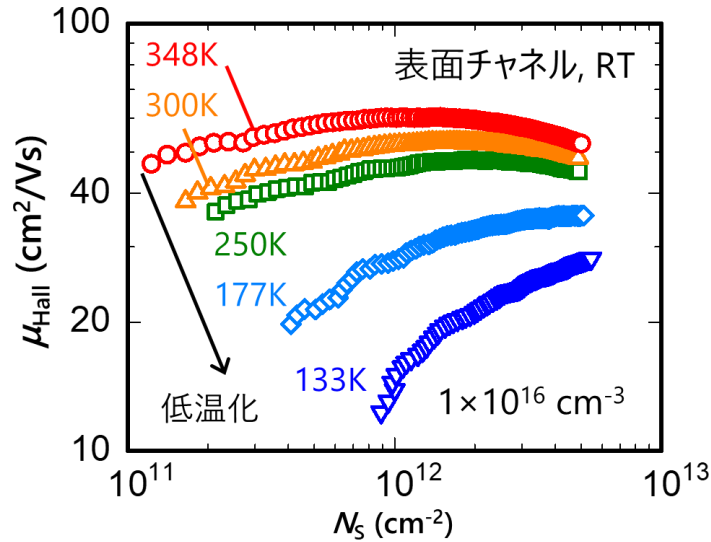


図 3.7  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係。評価は 133K、177K、250K、300K、348K で実施した。

図 3.8 に  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係を示す。評価は 225K、250K、300K、348K で実施した。評価温度が低下すると反転層移動度が減少しており、いずれの温度においても反転層移動度が表面キャリア密度のおおよそ累乗に比例して増加した。これは前述の議論と同様に、反転層移動度は酸化膜/SiC 界面近傍におけるクーロン散乱に大きく影響されており、低温においてクーロン散乱の影響度が強まることが示唆される。

図 3.9 に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度の温度依存性を示す。ここで、表面キャリア密度は  $N_A = 3 \times 10^{12} \text{ cm}^{-2}$  とした。各々の温度係数は順に 0.88 と 0.82 であり、1 に近い正の値を示した。すでに前節 1.7.5 で述べた通り、クーロン散乱の温度係数の理論値は約 1 であることを考慮すると、これらの素子では室温以下の領域において反転層移動度は酸化膜/SiC 界面近傍におけるクーロン散乱に大きく影響されていることを示唆している。

本節で評価した素子の反転層移動度は低温ほど反転層移動度が低下した。特に、表面キャリア密度の増加に伴って反転層移動度が増加する領域では、反転層移動度は酸化膜/SiC 界面近傍におけるクーロン散乱に大きく強く影響されており、低温ではその影響度が強まることが示唆される。これは評価温度が低温化するとクーロン散乱の影響度が強まるという定性的な理解と矛盾しない。

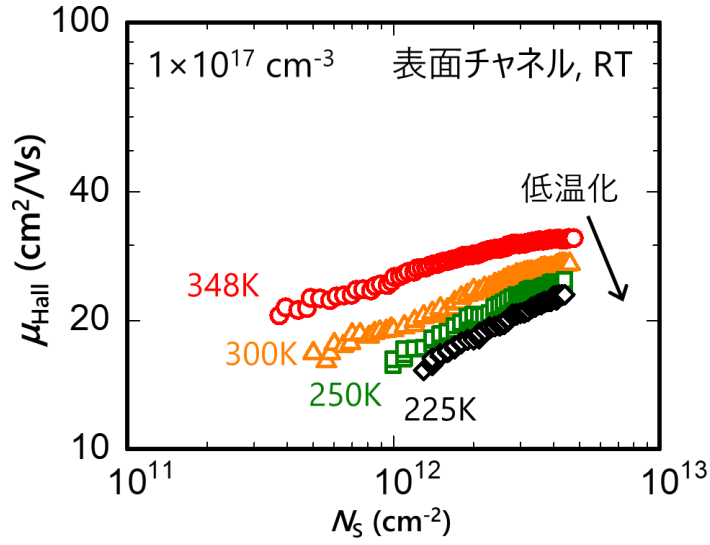


図 3.8  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度と表面キャリア密度の関係。評価は 225K、250K、300K、348K で実施した。

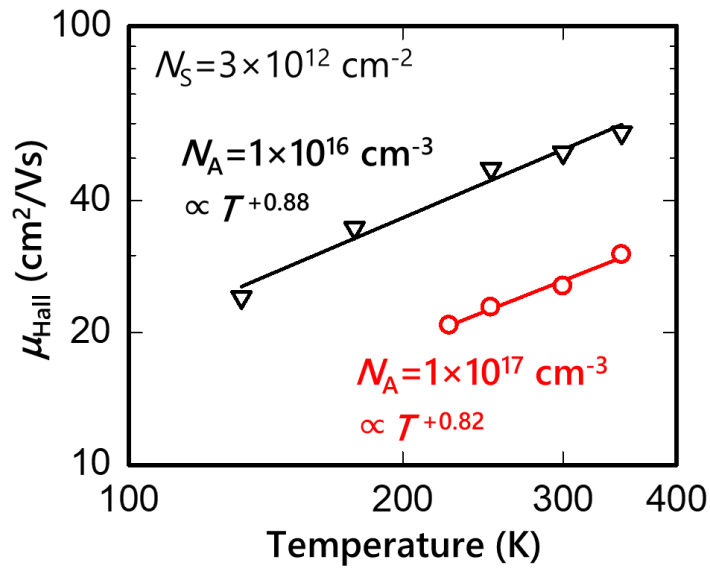


図 3.9  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の p 型エピタキシャル層をウェル領域とする素子における反転層移動度の温度依存性。  
ここで、表面キャリア密度は  $N_s = 3 \times 10^{12} \text{ cm}^{-2}$  とした。

### 3.4. 反転層移動度のチャネル構造依存性

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET のチャネル移動度に、MOSFET のチャネル構造が及ぼす影響を検討するため、表面チャネル構造および埋め込みチャネル構造におけるチャネル移動度を室温で評価した。チャネル領域において、通電時に電子が主に分布する位置はチャネル構造により異なる。表面チャネル構造では酸化膜/SiC 界面直下の反転層に電子が分布するが、一方で埋め込みチャネル構造では酸化膜/SiC 界面から離れたバルク領域中に電子が分布する。このようにチャネル構造によっては電子が酸化膜/SiC 界面直下の反転層を流れるとは限らないため、本節では表面チャネル構造および埋め込みチャネル構造を問わず、評価した移動度をチャネル移動度と表記する。

MOSFET のチャネル構造を表面チャネル構造から埋め込みチャネル構造へと連続的に変化させるため、イオン注入を用いてウェル領域を形成した。すでに第 2.4.1 で述べた通り、p 型ウェル領域にイオン注入する窒素(N)のドーズ量を増やすことでチャネル構造を表面チャネル構造から埋め込みチャネル構造へと変化させた。窒素を注入しない、もしくは窒素の注入量が低ドーズ量の場合は表面チャネル構造となる。一方で、窒素の注入量が高ドーズ量の場合は埋め込みチャネル構造となる。通電時のチャネル構造は温度により変化するため、本節では室温にて議論する。

すでにウェル領域に窒素を注入した素子において、ホール効果測定を用いてチャネル移動度を評価した報告がある[238], [239]。窒素注入時のドーズ量を徐々に増加することでチャネル移動度が増加するという報告[239]があり、ドーズ量は  $1 \times 10^{13} \text{ cm}^{-2}$  まで増加させている。一方で、酸化膜/SiC 界面における窒素濃度が異なる 2 つの素子を比較した場合、窒素濃度が高い素子ではチャネル移動度が低下するとの報告[238]もある。ここで、酸化膜/SiC 界面の窒素濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  と  $6 \times 10^{19} \text{ cm}^{-3}$  である。そのため、酸化膜/SiC 界面における窒素濃度が増加することによるチャネル移動度への影響は十分には理解されていないと言える。

本研究では、これらの傾向が酸化膜/SiC 界面における窒素濃度だけでなく、チャネル構造の変化にも起因すると考えた。そこで、p 型ウェル領域への窒素注入時のドーズ量を変えることで、それらの影響を系統的に評価することを試みた。窒素注入時のエネルギーは 40 keV で固定した。

### 3.4.1. 表面チャネル構造と埋め込みチャネル構造の電気的な特徴

本節では、表面チャネル構造と埋め込みチャネル構造の電気的な特徴を把握するため、これらの構造におけるドレイン電流( $I_D$ )、表面キャリア密度( $N_S$ )、チャネル移動度( $\mu_{Hall}$ )のゲート電圧( $V_G$ )依存性を比較した。各々を順に、図 3.10(a)、(b)、(c)に示す。ここで、表面チャネル構造では窒素を注入せず、埋め込みチャネル構造では窒素注入時のドーズ量を  $8 \times 10^{12} \text{ cm}^{-2}$  とした。

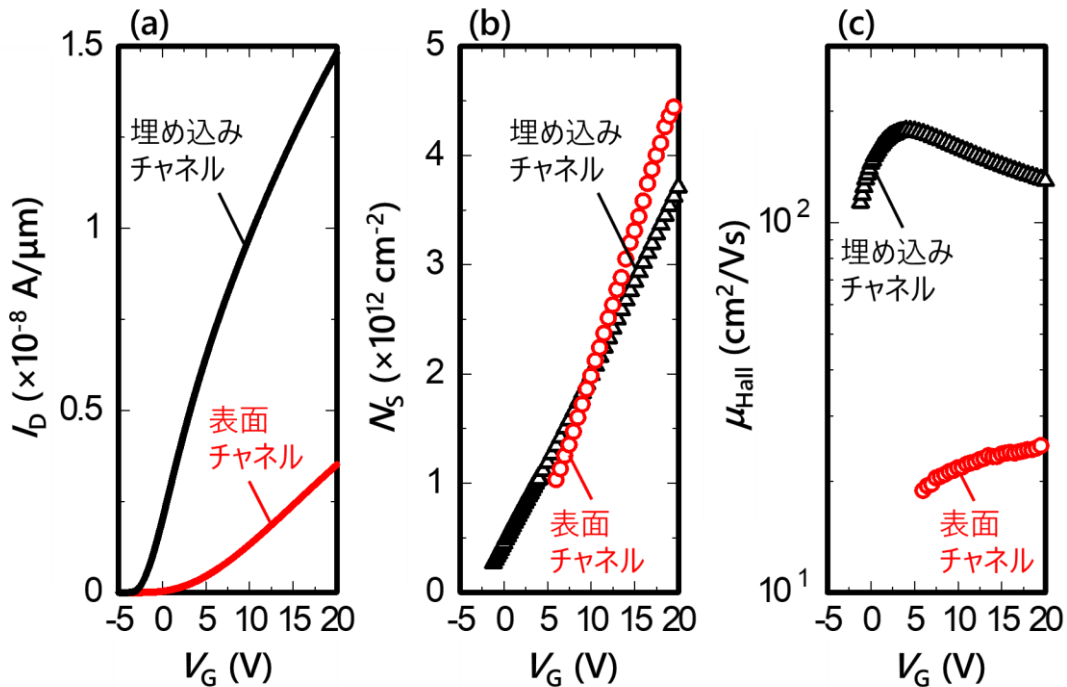


図 3.10 表面チャネル構造および埋め込みチャネル構造における(a)ドレイン電流( $I_D$ )、(b)表面キャリア密度( $N_S$ )、(c)チャネル移動度( $\mu_{Hall}$ )のゲート電圧( $V_G$ )依存性。

図 3.10(a)においてドレイン電流の大きさに着目すると、いずれの構造でもゲート電圧の増加に伴いドレイン電流が増加した。 $V_G = 15 \text{ V}$ でのドレイン電流を比較すると、埋め込みチャネル構造の方が反転チャネル構造よりも高いドレイン電流を示した。しかし、埋め込みチャネル構造では  $V_G = 0 \text{ V}$ において既にドレイン電流が大きく、ノーマリーオン特性を示した。一方で、表面チャネル構造では  $V_G = 0 \text{ V}$ におけるドレイン電流は十分に小さく、ノーマリーオフ特性を示した。パワーデバイス用途の MOSFET にはノーマリーオフ特性が要求されることを考慮すると、チャネル構造が表面チャネル構造となるようにチャネル領域を設計する必要があると示唆される。

図 3.10(b)において、ゲート電圧が増加する際の表面キャリア密度の変化率に着目した。

いずれの構造でもゲート電圧の増加に伴い表面キャリア密度が増加したが、表面キャリア密度がおおよそ  $2 \times 10^{12} \text{ cm}^{-2}$  以上となる領域において比較すると、 $N_s - V_G$  特性の傾きに相当するゲート電圧の変化に対する表面キャリア密度の変化率は、表面チャネル構造の方が埋め込みチャネル構造よりも大きかった。これは、表面チャネル構造の方がゲート電圧を印加することで効果的に表面キャリア密度を増加できることを意味する。

図 3.10(c)において、ゲート電圧の増加に対するチャネル移動度の変化に着目した。埋め込みチャネル構造ではゲート電圧の増加に伴い、チャネル移動度が増加した後に減少に転じたが、表面チャネル構造ではチャネル移動度が単調に増加した。また、評価したゲート電圧の範囲では埋め込みチャネル構造は表面チャネル構造よりも高いチャネル移動度を示した。

### 3.4.2. 表面チャネル構造におけるチャネル移動度

本節では、表面チャネル構造におけるチャネル移動度の変化を系統的に評価するため、窒素の注入量を変化させた素子における反転層移動度を検討した。p 型ウェル領域をアルミニウムのイオン注入で形成し、そこへ注入する窒素のドーズ量を  $0\text{ cm}^{-2}$ 、 $6.5\times 10^{11}\text{ cm}^{-2}$ 、 $2\times 10^{12}\text{ cm}^{-2}$  と増加させた。シミュレーションに基づく、窒素のドーズ量が  $2\times 10^{12}\text{ cm}^{-2}$  以下では、室温においてデバイス動作時のチャネル構造は表面チャネル構造となる。よって、これらの素子ではチャネル移動度は反転層移動度に対応している。図 3.11 にこれらの素子におけるチャネル移動度と表面キャリア密度の関係を示す。

同一の表面キャリア密度で比較すると、窒素注入時のドーズ量が増加することでチャネル移動度が増加した。先行研究[239]では、チャネル移動度をゲート電圧に対してプロットすることで、窒素注入時のドーズ量が増加するとチャネル移動度が増加することが示されており、同様の傾向である。いずれのドーズ量においても、チャネル移動度が表面キャリア密度の累乗におおおよそ比例した。表面キャリア密度が  $3\times 10^{12}\text{ cm}^{-2}$  以下の領域において、その累乗係数は窒素のドーズ量が  $0\text{ cm}^{-2}$ 、 $6.5\times 10^{11}\text{ cm}^{-2}$ 、 $2\times 10^{12}\text{ cm}^{-2}$  の順に各々 0.19、0.23、0.15 であり約 0.2 程度であった。

累乗係数は異なるものの、同様の傾向が p 型ウェル領域をアルミニウムのイオン注入で形成した素子において確認されており、チャネル移動度が酸化膜/SiC 界面近傍におけるクーロン散乱によって主に制限されている可能性が指摘されている[221]。ここで、p 型ウェル領域の表面濃度は  $4\times 10^{16}\text{ cm}^{-3}$  である。同様に解釈すると、本試作の表面チャネル構造ではチャネル移動度が酸化膜/SiC 界面近傍におけるクーロン散乱によって主に制限されている可能性が示唆される。

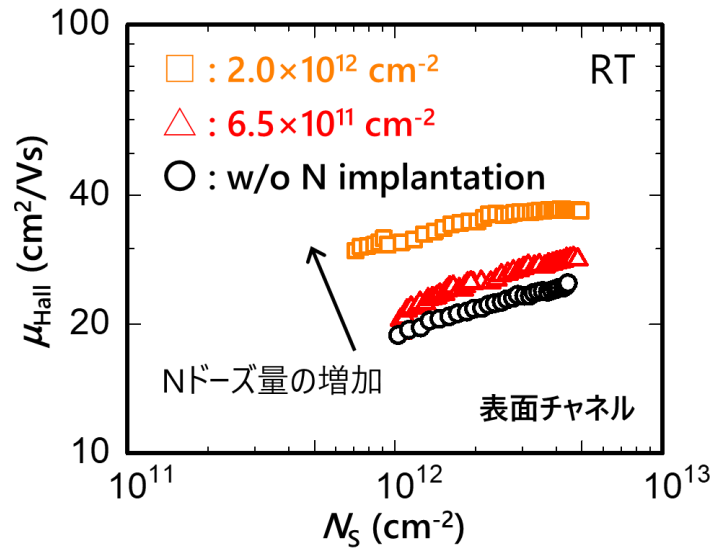


図 3.11 表面チャネル構造におけるチャネル移動度と表面キャリア密度の関係。評価は室温で行い、窒素注入時のドーズ量は  $0 \text{ cm}^{-2}$ 、 $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$  である。



### 3.4.3. 埋め込みチャネル構造におけるチャネル移動度

本節では、埋め込みチャネル構造におけるチャネル移動度の変化を系統的に評価するため、既に前節 3.4.2 で述べた素子よりも窒素注入時のドーズ量を増やすことで酸化膜/SiC 界面における窒素濃度を増やした素子におけるチャネル移動度について検討した。窒素注入時のドーズ量は  $8 \times 10^{12} \text{ cm}^{-2}$  および  $2.4 \times 10^{13} \text{ cm}^{-2}$  とし、p 型ウェル領域はアルミニウムのイオン注入により前節 3.4.2 と同様に形成した。シミュレーションに基づくと、窒素注入のドーズ量が  $8 \times 10^{12} \text{ cm}^{-2}$  以上では、室温におけるチャネル構造は埋め込みチャネル構造となり酸化膜/SiC 界面に反転層は形成されず、通電時のチャネル領域は窒素注入により形成されたバルク中の n 型領域に対応している。

まず、埋め込みチャネル構造と表面チャネル構造のチャネル移動度を比較した。図 3.12 にそれぞれのチャネル移動度と表面キャリア密度の関係を示す。窒素注入時のドーズ量は  $0 \text{ cm}^{-2}$ 、 $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$ 、 $8 \times 10^{12} \text{ cm}^{-2}$  とした。各々のチャネル構造は、ドーズ量が  $8 \times 10^{12} \text{ cm}^{-2}$  では埋め込みチャネル構造であり、他のドーズ量では表面チャネル構造である。埋め込みチャネル構造と表面チャネル構造のチャネル移動度を、同一の表面キャリア密度で比較すると、埋め込みチャネル構造の方が高いチャネル移動度を示した。これは、窒素注入で形成したバルク中の n 型領域の電子移動度が酸化膜/SiC 界面直下に形成される反転層内の電子移動度よりも高いことを示している。埋め込みチャネル構造のチャネル移動度に着目すると、それは表面キャリア密度の増加に伴って増加した後に減少に転じた。表面キャリア密度が  $7 \times 10^{11} \text{ cm}^{-2}$  以下の領域では、埋め込みチャネル構造においても表面チャネル構造と同様にチャネル移動度が表面キャリア密度の累乗におおよそ比例して増加した。その累乗係数は 0.40 であり、表面チャネル構造の約 0.2 と異なることが判明した。

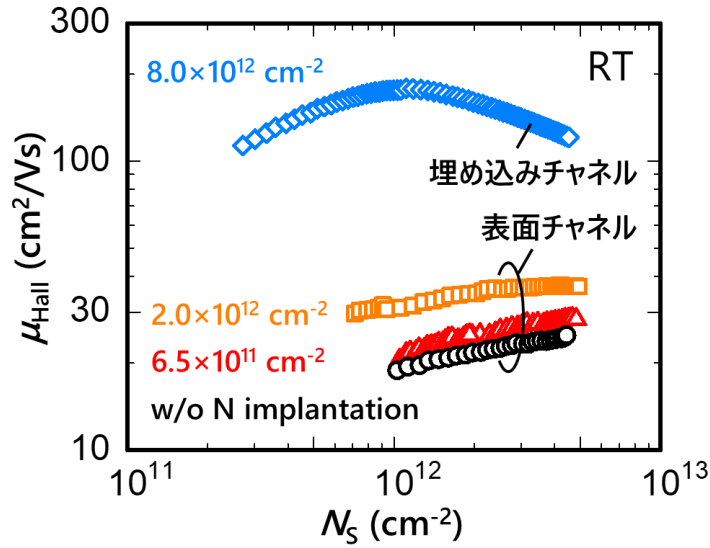


図 3.12 埋め込みチャネル構造と表面チャネル構造におけるチャネル移動度と表面キャリア密度の関係。窒素注入時のドーズ量は  $0 \text{ cm}^{-2}$ 、 $6.5 \times 10^{11} \text{ cm}^{-2}$ 、 $2 \times 10^{12} \text{ cm}^{-2}$ 、 $8 \times 10^{12} \text{ cm}^{-2}$  である。ドーズ量が  $8 \times 10^{12} \text{ cm}^{-2}$  では埋め込みチャネル構造であり、他のドーズ量では表面チャネル構造である。

次に、埋め込みチャネル構造において、さらに窒素注入時のドーズ量を増やす効果を検討するため、窒素注入時のドーズ量が  $8 \times 10^{12} \text{ cm}^{-2}$  と  $2.4 \times 10^{13} \text{ cm}^{-2}$  の素子を比較した。図 3.13 に各々のチャネル移動度と表面キャリア密度の関係を示す。同一の表面キャリア密度で比較すると窒素注入時のドーズ量を増加すると、チャネル移動度が減少した。これは埋め込みチャネル構造において窒素注入時のドーズ量を増やしすぎるとチャネル移動度が低下することを示している。この要因として、バルク中の  $n$  型不純物濃度が増加することでチャネル領域となる  $n$  型領域の電子移動度が低下した可能性が考えられる。また、表面キャリア密度が  $1.8 \times 10^{12} \text{ cm}^{-2}$  以下の領域ではチャネル移動度はその 0.46 乗に比例して増加した。

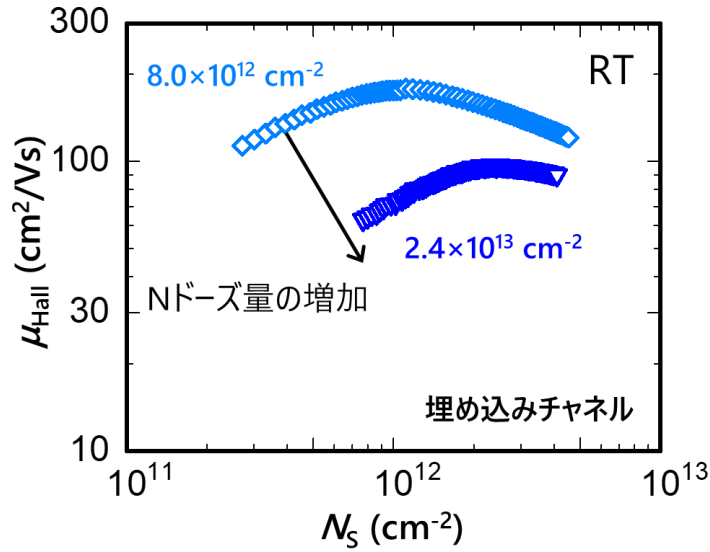


図 3.13 埋め込みチャネル構造におけるチャネル移動度と表面キャリア密度の関係。  
窒素のドーズ量は  $8 \times 10^{12} \text{ cm}^{-2}$ 、および  $2.4 \times 10^{13} \text{ cm}^{-2}$  である。

埋め込みチャネル構造のチャネル移動度について、その実測値と n 型領域のバルク移動度から予測される移動度の比較を行った。後者は図 2.13 に示す不純物プロファイルを基に TCAD を用いて計算した。n 型領域のバルク移動度は n 型エピタキシャル層のバルク移動度のモデル[240]に基づき、表面キャリア密度( $N_s$ )は酸化膜/SiC 界面に垂直方向の電子濃度分布を積算して評価した。図 3.14 に埋め込みチャネル構造におけるチャネル移動度の実測値と計算値の比較を示す。いずれも表面キャリア密度に対してプロットしており、窒素注入のドーズ量は  $2.4 \times 10^{13} \text{ cm}^{-2}$  とした。実測値は計算値よりも低く、表面キャリア密度が  $1 \times 10^{12} \text{ cm}^{-2}$  および  $4 \times 10^{12} \text{ cm}^{-2}$  において、実測値は計算値の各々 0.41 倍と 0.58 倍であった。表面キャリア密度が低い領域ほど実測値と計算値の乖離度が大きいことが分かった。

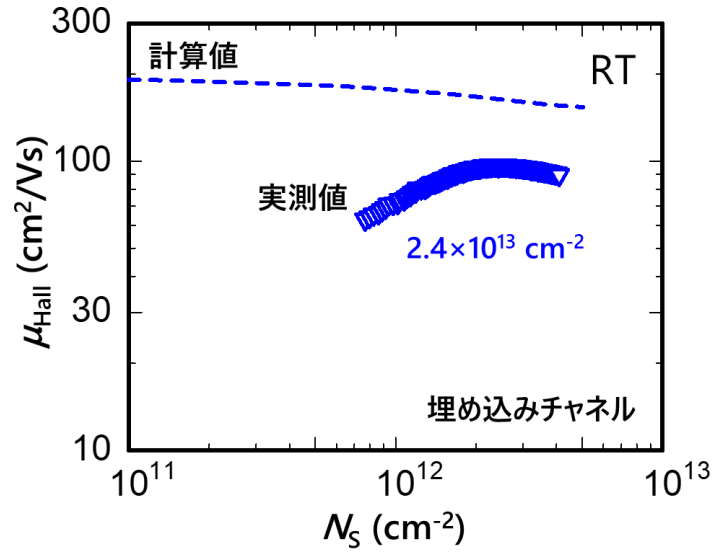


図 3.14 埋め込みチャネル構造におけるチャネル移動度の実測値と計算値の比較。いずれも表面キャリア密度に対してプロットし、窒素注入のドーズ量は  $2.4 \times 10^{13} \text{ cm}^{-2}$  である。

p 型ウェル領域への窒素注入時のドーズ量がチャネル移動度へ及ぼす影響を系統的に評価した結果、チャネル構造が表面チャネル構造から埋め込みチャネル構造へと変化することに伴って、チャネル移動度の振る舞いに変化することが判明した。窒素の注入量が少量の時はチャネル構造が表面チャネル構造であり、ドーズ量の増加に伴ってチャネル移動度が増加した。一方で、窒素の注入量が多量の時は、チャネル構造が埋め込みチャネル構造となり表面チャネル構造よりも高いチャネル移動度を示したが、ある程度ドーズ量を増加するとチャネル移動度は減少に転じた。窒素注入時のドーズ量の増加は、酸化膜/SiC 界面における窒素濃度の増加に対応しており、これらの結果は先行研究[238], [239]におけるチャネル移動度の増減がチャネル構造と酸化膜/SiC 界面における窒素濃度により説明できることを示している。

### 3.5. 本章のまとめ

本章では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET における反転層移動度に影響を与える因子を抽出するため、影響を与えうる因子として (1) ウェル領域におけるアクセプタ濃度、(2) ボディー電圧、(3) 温度、(4) MOSFET のチャネル構造に着目し、反転層移動度の各因子に対する依存性を系統的に評価した。各因子が反転層移動度に及ぼす影響を基に、SiC MOSFET の反転層移動度の特徴的なキャリア散乱機構を議論し、酸化膜/SiC 界面近傍におけるクーロン散乱の影響が大きいことを示した。

表面チャネル構造に着目し、MOSFET のウェル領域のアクセプタ濃度と反転層移動度の関係を検討した。評価したアクセプタ濃度の範囲では先行研究と同様に、反転層移動度がアクセプタ濃度の増加により減少した。本研究では、反転層移動度と表面キャリア密度の関係に着目することで、アクセプタ濃度が増加することで酸化膜/SiC 界面近傍におけるクーロン散乱が反転層移動度に及ぼす影響が強まる可能性を示した。ウェル領域を p 型エピタキシャル層およびイオン注入で形成した素子の反転層移動度を比較することで、反転層移動度にとってウェル領域の形成方法は本質的な違いではないと推測した。

ウェル領域におけるボディー電圧に着目し、MOSFET のウェル領域に印加するボディー電圧と反転層移動度の関係を検討した。表面チャネル構造では先行研究と同様に、負のボディー電圧印加により反転層移動度が減少した。本研究では、反転層移動度と表面キャリア密度の関係に着目することで、クーロン散乱の主要因はイオン化不純物散乱ではなく、酸化膜/SiC 界面近傍におけるクーロン散乱と考えるのが妥当であると結論付けた。

評価時の温度に着目し、表面チャネル構造における MOSFET の反転層移動度の温度依存性を検討した。p 型エピタキシャル層をウェル領域とする素子において、評価したアクセプタ濃度では先行研究と同様に低温で反転層移動度が低下することを示した。この傾向は、クーロン散乱が低温において影響度が強まるという定性的な理解と整合しており、前述の酸化膜/SiC 界面近傍におけるクーロン散乱が反転層移動度に大きく影響しているという理解と矛盾しない。

MOSFET のチャネル構造を表面チャネル構造から埋め込みチャネル構造へと連続的に変化させて、チャネル構造とチャネル移動度の関係を検討した。チャネル構造はウェル領域へ注入する窒素の注入エネルギーを固定したうえで、ドーズ量を変化させて制御した。表面チャネル構造では窒素の注入量の増加によりチャネル移動度が増加するが、埋め込みチャネル構造では窒素の注入量がある量を超えるとチャネル移動が減少することを示した。

これらの因子による反転層移動度の振る舞いは、通常範囲のアクセプタ濃度の素子では SiC MOSFET の反転層移動度は主にクーロン散乱で決まり、その散乱源は酸化膜/SiC 界面近傍に存在すると考えることで統一的に理解できると判明した。従って、反転層移動度を決めるキャリア散乱機構の分離評価のためはクーロン散乱を抑制した素子が必要であることが明らかとなった。そこで、次章では反転層移動度がアクセプタ濃度に依存し、アクセプタ濃度が低減することでクーロン散乱の影響が抑制されることを基に、アクセプタ濃度を制御下限まで低減することでクーロン散乱の影響を抑制した素子を用いて室温におけるキャリア散乱機構を議論する。

## 第4章 SiC MOSFET の室温における反転層移動度のキャリア散乱機構モデル

本章では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度のキャリア散乱機構モデルの枠組みを室温において構築する。ここでは、反転層移動度を決定する主要なキャリア散乱機構として、従来の Si MOSFET の枠組みである (1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱を想定して議論する。標準的なアクセプタ濃度ではクーロン散乱の影響が大きいため、アクセプタ濃度を制御下限まで低減することでクーロン散乱の影響を抑制することでフォノン散乱の影響を明らかにすることを試みる。キャリア散乱機構の全体像をとらえ、室温においてキャリア散乱機構モデルの枠組みを議論するため、広範囲のアクセプタ濃度における反転層移動度を評価し、第 2 章で述べた手法を用いてキャリア散乱機構の分離評価を行う。ここでは、最も低アクセプタ濃度の素子における反転層移動度がフォノン散乱移動度と一致するとみなして解析し、その精度を次章第 5 章で再び議論する。さらに、アクセプタ濃度やボディー電圧により変化するクーロン散乱の影響は、酸化膜/SiC 界面と反転キャリア分布の平均距離という視点で統一的にモデル化できることを実証する。

#### 4.1. 室温における反転層移動度の実効垂直電界依存性

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度と実効垂直電界の関係を室温で検討した。反転層移動度の濃度依存性を検討するため、p 型エピタキシャル層を用いてウェル領域を形成し、アクセプタ濃度は  $3.0 \times 10^{14} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  の広範囲で評価した。ここで、実効垂直電界の計算に用いるパラメータ  $\eta$  は、すでに 2.3 節に述べた理由を基に 1/3 とした。

図 4.1 に様々なアクセプタ濃度における反転層移動度と実効垂直電界の関係を示す。アクセプタ濃度は  $3.0 \times 10^{14} \text{ cm}^{-3}$ 、 $6.6 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。ここで、アクセプタ濃度が  $10^{14} \text{ cm}^{-3}$  台の低アクセプタ濃度の素子はアルミニウムの不純物プロファイル SIMS 分析し、深さ方向への平均値を用いている。反転層移動度は前章 2.2 で述べた通りホール効果測定で評価しているため、本節以降では  $\mu_{\text{Hall}}$  と表す。先行研究[220]では  $N_A$  が  $5 \times 10^{17} \text{ cm}^{-3}$  から  $1 \times 10^{15} \text{ cm}^{-3}$  へ減少すると反転層移動度が増加することが報告されている。本研究でも同様に、 $N_A$  を  $4 \times 10^{17} \text{ cm}^{-3}$  から  $2 \times 10^{15} \text{ cm}^{-3}$  へ低減すると  $\mu_{\text{Hall}}$  が増加した。さらに、 $N_A = 6.6 \times 10^{14} \text{ cm}^{-3}$  へ低減しても  $\mu_{\text{Hall}}$  は増加し続けたが、 $N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$  においては反転層移動度の増加が飽和し始め、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の 2 素子では反転層移動度は図 4.1 の破線で示す同一曲線上にほぼ乗った。

これは、 $N_A$  を  $4 \times 10^{17} \text{ cm}^{-3}$  から  $6.6 \times 10^{14} \text{ cm}^{-3}$  へと低減すると、反転層移動度に及ぼすクーロン散乱の影響が小さくなりクーロン散乱移動度が増加し、反転層移動度が増加したと考えられる。一方で、 $N_A$  を  $6.6 \times 10^{14} \text{ cm}^{-3}$  から  $3.0 \times 10^{14} \text{ cm}^{-3}$  へと低減しても、クーロン散乱の影響は他の散乱機構の影響と比較して小さくなっており、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の低  $N_A$  素子では主に他の散乱機構が支配的になっていることを示唆する。 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の 2 素子で評価した実効垂直電界は  $0.3 \text{ MV/cm}$  よりも低電界領域であり、実効垂直電界は大きくなく、界面ラフネス散乱の影響は小さいと考えられる。これより、反転層移動度が図 4.1 の破線で示す同一曲線上にほぼ乗ることは、これらの素子の反転層移動度はフォノン散乱の影響を大きく受けており、フォノン散乱移動度( $\mu_{\text{phonon}}$ )に近い値であることを示唆すると考えた。

図 4.1 の破線で示す直線を  $\mu_{\text{Hall,lowNA}}$  と名付けると、これは式(88)で定式化され、実効垂直電界に対する累乗係数は  $-0.39$  であった。この値はフォノン散乱移動度の実効垂直電界依存性を理論的に検討した値 ( $-1/3$ ) [196]に近いことから、 $\mu_{\text{Hall,lowNA}}$  が  $\mu_{\text{phonon}}$  に近い値とみなすことは妥当であると考えた。なお、このような理解に基づくと、 $N_A$  が大きい素子では反転層移動度が図 4.1 の破線で示す曲線よりも低下することは、 $N_A$  の増加によりクーロン散乱および界面ラフネス散乱の影響が増加していることを示唆している。



$$\mu_{\text{Hall,lowNA}} = 66.5 \times E_{\text{eff}}^{-0.39} \quad (88)$$

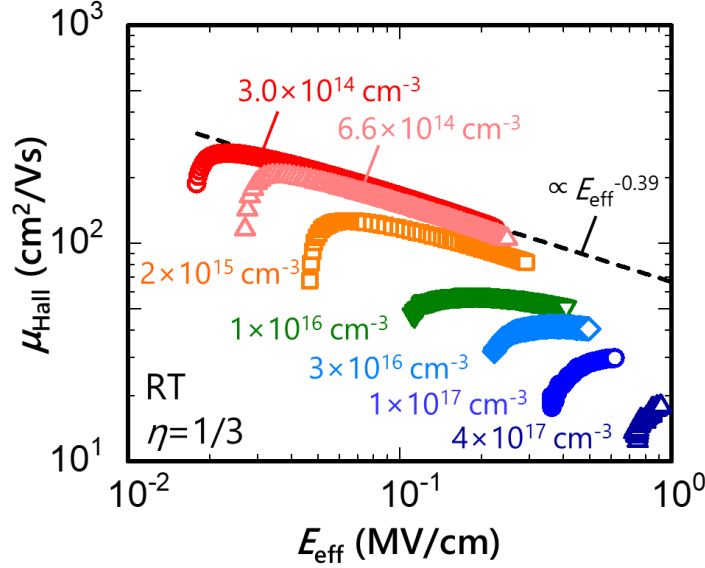


図 4.1 様々なアクセプタ濃度における反転層移動度と実効垂直電界の関係。評価は室温で行い、アクセプタ濃度は  $3.0 \times 10^{14} \text{ cm}^{-3}$ 、 $6.6 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。

実効垂直電界の計算に用いるパラメータ  $\eta$  は  $1/3$  である。

キャリア散乱機構に応じて移動度の温度依存性が異なるため、あるアクセプタ濃度の素子における反転層移動度の温度依存性を評価することで、その素子で最も支配的なキャリア散乱機構が推定できる。そこで、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の素子で評価した反転層移動度が  $\mu_{\text{phonon}}$  に近い値であると推定することの妥当性を反転層移動度の温度依存性を評価して検証した。一般的に、反転層移動度へのフォノン散乱とクーロン散乱の影響は温度によって異なり、温度が高まるとフォノン散乱の影響が強まる一方で、クーロン散乱の影響は減少する。つまり、評価時の温度が高まると、フォノン散乱移動度は減少し、クーロン散乱移動度は増加する。

図 4.2 に  $N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$  の素子における反転層移動度の温度依存性を示す。評価温度は室温近傍の 250K、300K、348K とした。評価温度の高温化により、 $\mu_{\text{Hall}}$  が減少した。このことは、室温近傍において  $N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$  の素子において最も支配的なキャリア散乱機構がフォノン散乱であることを示唆する。いずれの温度においても、反転層移動度はおよそ実効垂直電界の  $-1/3$  乗に比例して減少しており、室温と同様の傾向を示した。一方

で、実効垂直電界が 0.2 MV/cm における  $\mu_{\text{Hall}}$  の温度依存性は評価した温度範囲で  $T^{-0.4}$  であり、温度への依存性を表す累乗係数は  $-0.4$  であった。これは、音響フォノン散乱により決まるフォノン散乱移動度が  $T^{-1}$  に依存し、温度への依存性を表す累乗係数が  $-1$  であることを考慮すると、 $N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$  の室温近傍にけるキャリア散乱機構は必ずしもフォノン散乱のみではない可能性を示しており、詳細については後述の第5章にて議論する。

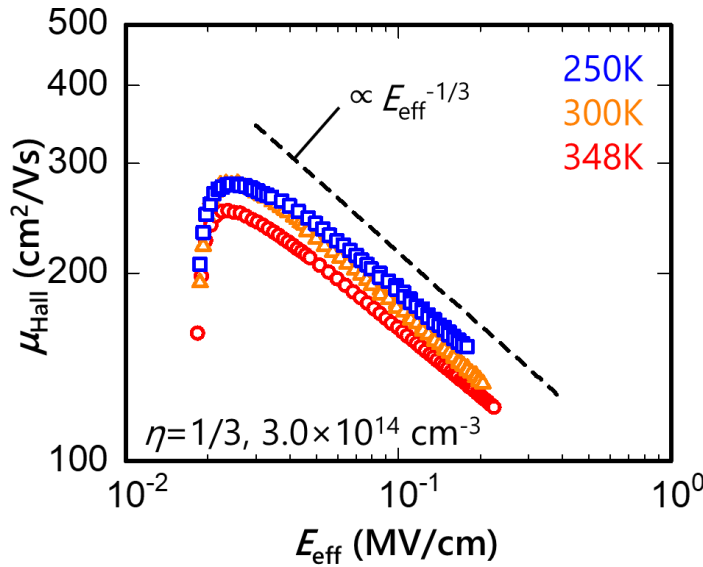


図 4.2  $N_A = 3.0 \times 10^{14} \text{ cm}^{-3}$  の素子における反転層移動度の温度依存性。  
評価温度は室温近傍の 250K、300K、348K とした。

図 4.3 に  $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の素子を用いて、反転層移動度の温度依存性をより高温まで評価した結果を示す。ここでは、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子を用いており、評価温度は室温、373K、423K、473K とした。評価温度の高温化により、 $\mu_{\text{Hall}}$  が減少した。ここで、実効垂直電界が 0.2 MV/cm における  $\mu_{\text{Hall}}$  の温度依存性は室温から 473K の範囲で  $T^{-0.92}$  であった。温度への依存性を表す累乗係数は  $-0.92$  であり、図 4.2 よりも高温領域を評価するとフォノン散乱の影響がより顕在化することが示唆される。これらの結果は、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の素子では室温近傍における最も支配的な散乱機構はフォノン散乱であり、その影響度は高温になるほど増加することを示唆する。詳細については後述の第5章にて議論する。なお、これらは Si 面上の SiC MOSFET について行ったものであるが、対向面である C 面上の SiC MOSFET のフォノン散乱移動度の温度依存性が 223K から 423K の範囲で検討されており、温度への依存性を表す累乗係数が  $-0.85$  であると報告されている[189]。この温度依存性は、Si 面上に形成した低  $N_A$  素子の温度依存性と概ねよい一致を示している。なお、実効垂直電界の計算に用いるパラメータ  $\eta$  は本研究と同じく  $1/3$  としている。

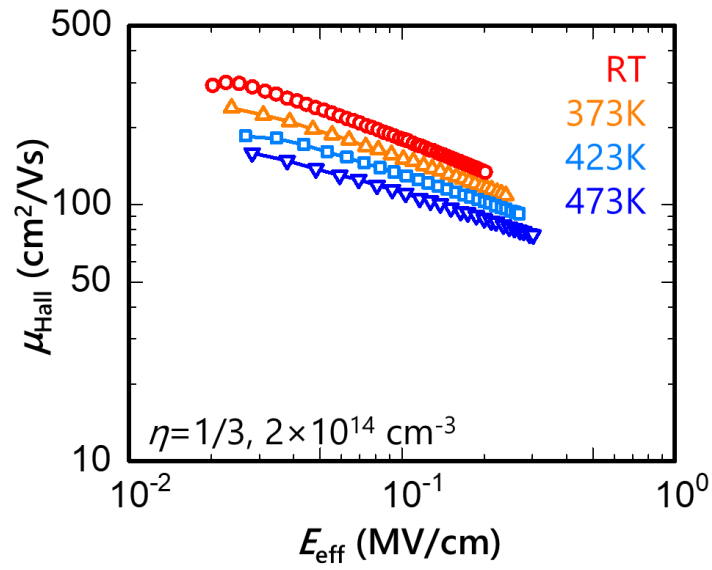


図 4.3  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子における反転層移動度の温度依存性。  
評価温度は室温、373K、423K、473K とした。

## 4.2. 室温におけるキャリア散乱機構モデルの解析

本節では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度と実効垂直電界の関係を基に、室温におけるキャリア散乱機構のモデル化を検討した。既に前節 2.3 で述べた SiC MOSFET におけるキャリア散乱機構の解析手法を、前節 4.1 の実験結果へ適用した。本節以降では、実効垂直電界に対するフォノン散乱移動度は式(88)で定式化した  $\mu_{\text{Hall, lowNA}}$  と一致するとみなして、クーロン散乱移動度および界面ラフネス散乱移動度の評価を行った。このようにフォノン散乱移動度を一旦決めて議論し、その精度を次章第 5 章で再び議論する。

### 4.2.1. 界面ラフネス散乱移動度の評価

本節ではアクセプタ濃度が中程度の素子におけるキャリア散乱機構の評価により、界面ラフネス散乱移動度の定式化を行った。図 4.4 に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における反転層移動度からフォノン散乱の影響を除いた移動度( $\mu_{\text{w/o effect of phonons}}$ )と表面キャリア密度の関係を示す。表面キャリア密度が低い領域(低  $N_S$  領域)では  $N_S$  の増加に伴って、 $\mu_{\text{w/o effect of phonons}}$  が  $N_S$  のおよそ累乗に比例して増加した。これは、 $N_S$  がおよそ  $6 \times 10^{11} \text{ cm}^{-2}$  以下領域で成り立っていた。この関係を基に、この領域よりクーロン散乱移動度が評価できる。一方で、 $N_S$  が増加すると  $\mu_{\text{w/o effect of phonons}}$  は低下し、表面キャリア密度が高い領域では前述した  $\mu_{\text{w/o effect of phonons}}$  の  $N_S$  に対する関係より予想される外挿値よりも  $\mu_{\text{w/o effect of phonons}}$  が低かった。これは、この領域において界面ラフネス散乱の影響が表れることを示唆しており、前節 2.3 で述べた解析手法を適用すると、界面ラフネス散乱移動度が評価できる。このように評価した界面ラフネス散乱移動度は式(89)で表され、実効垂直電界の $-2$ 乗に従って減少した。図 4.5 に本手法で評価した界面ラフネス散乱移動度と実効垂直電界の関係を示す。評価は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子で行い、反転層移動度、フォノン散乱移動度、クーロン散乱移動度を合わせて示す。ここでは、 $\eta = 1/3$  とし実効垂直電界を計算した場合の依存性を表していることに注意が必要である。 $\eta = 1/2$  とした実効垂直電界に対して、本手法で評価した界面ラフネス散乱移動度をプロットすると、界面ラフネス散乱移動度は実効垂直電界の $-1.7$ 乗に従って減少した。既に前述した理論的な界面ラフネス散乱移動度の実効垂直電界依存性である $-2$ 乗[213]に近い値を示すものの、一致はしていない。

$$\mu_{\text{SR}} = 76.7 \times E_{\text{eff}}^{-2} \quad (89)$$

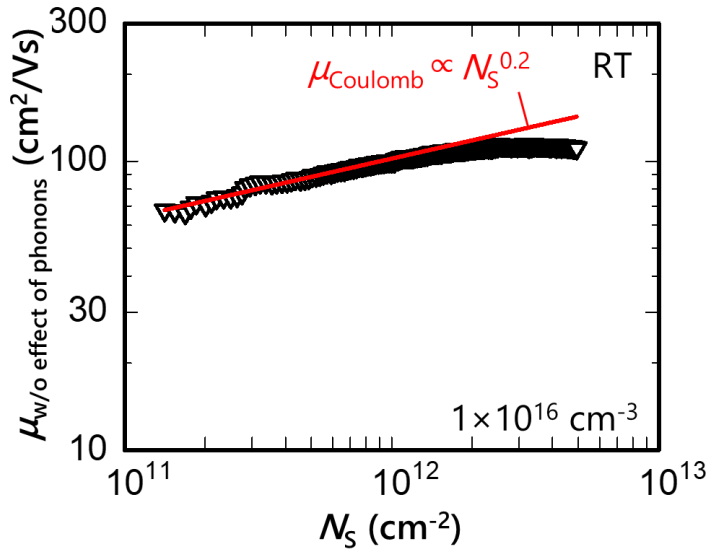


図 4.4  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における反転層移動度からフォノン散乱の影響を除いた移動度( $\mu_{w/o \text{ effect of phonons}}$ )と表面キャリア密度の関係。評価は室温で行い、評価したクーロン散乱移動度を合わせて示す。

図 4.5 において、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における各キャリア散乱機構による移動度を比較することで、反転層移動度を定める主要なキャリア散乱機構を検討した。クーロン散乱移動度は実効垂直電界が低い領域では他の散乱機構で決まる移動度よりも低いが、実効垂直電界の増加に伴って増加した。一方で、フォノン散乱移動度は実効垂直電界が低い領域ではクーロン散乱移動度よりも高いが、実効垂直電界の増加に伴って減少し、 $E_{\text{eff}}$  がおよそ  $0.25 \text{ MV/cm}$  において、クーロン散乱移動度と同程度になり、それよりも実効垂直電界が高い領域ではクーロン散乱移動度よりも低かった。界面ラフネス散乱移動度は評価した実効垂直電界の範囲で、フォノン散乱移動度とクーロン散乱のいずれよりも高かった。これらより、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における最も支配的な散乱機構は、垂直電界が低い領域ではクーロン散乱であり、実効垂直電界が高い領域ではフォノン散乱へと変わることが判明し、最も主要なキャリア散乱機構が垂直実効電界により異なることが示された。しかし、実効垂直電界が高い領域においてはフォノン散乱の影響がクーロン散乱よりも大きくなるものの、クーロン散乱の影響が無視できるほど、クーロン散乱移動度がフォノン散乱移動度と比べて大きくはなかった。

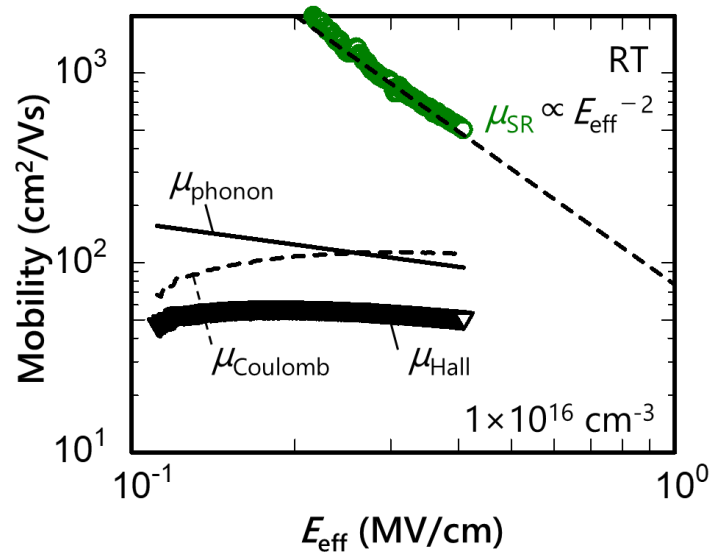


図 4.5  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における反転層移動度および各キャリア散乱機構による移動度と実効垂直電界の関係。評価は室温で行った。

図 4.6 に 250K、300K、348K における各キャリア散乱機構による移動度を示す。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子を用いて解析しており、実効垂直電界に対してプロットした。ここで、フォノン散乱移動度は図 4.2 を基に定式化した。温度の増加により、クーロン散乱移動度は増加し、フォノン散乱移動度は減少した。一方で、界面ラフネス散乱移動度は温度によらず同程度であり、実効垂直電界のおおよそ 2 乗に比例して減少した。温度を増加した際の、これらの傾向は定性的な各散乱機構の温度依存性と矛盾しない。

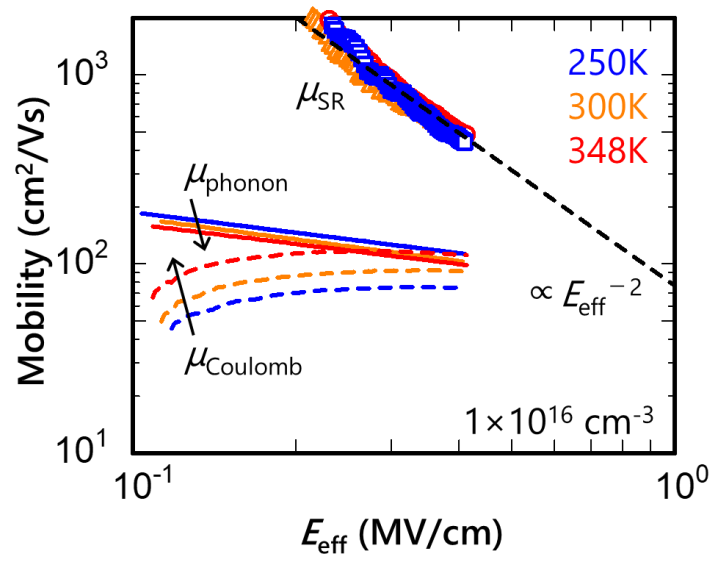


図 4.6 各キャリア散乱機構による移動度と実効垂直電界の関係。  
評価は 250K、300K、348K で行った。

#### 4.2.2. クーロン散乱移動度の評価

本節ではアクセプタ濃度が中程度から高濃度の素子においてキャリア散乱機構を評価し、クーロン散乱移動度のアクセプタ濃度依存性を調べた。式(88)および式(89)で定式化したフォノン散乱移動度および界面ラズネス散乱移動度に Matthiessen 則を用いることで、異なるアクセプタ濃度の素子におけるクーロン散乱移動度を評価した。

図 4.7 に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$  および  $4 \times 10^{17} \text{ cm}^{-3}$  の素子におけるクーロン散乱移動度と表面キャリア密度の関係を示す。アクセプタ濃度が増加するとクーロン散乱移動度が減少した。いずれの素子においてもクーロン散乱移動度は表面キャリア密度のおおよそ累乗に比例して増加し、その累乗係数は各々 0.2、0.36、0.45、0.54 であった。累乗係数( $\gamma$ )はアクセプタ濃度により異なるが、アクセプタ濃度の増加によって  $\gamma$  は単調に増加する傾向があった。

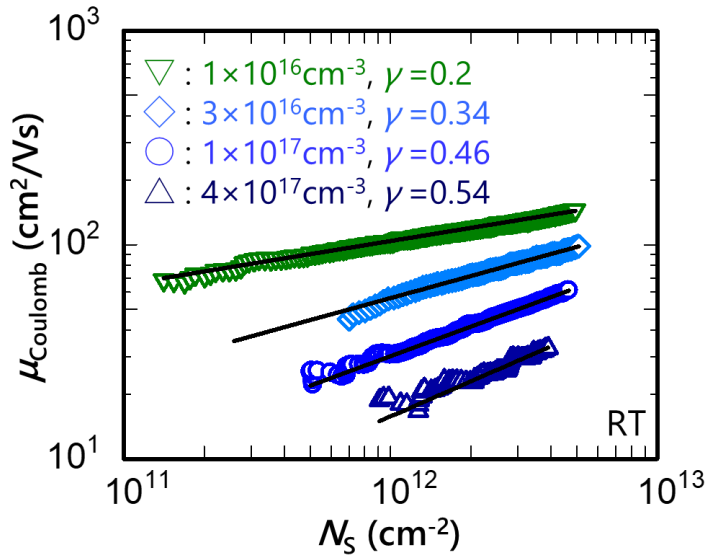


図 4.7  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$  および  $4 \times 10^{17} \text{ cm}^{-3}$  の素子におけるクーロン散乱移動度と表面キャリア密度の関係。評価は室温で行った。

クーロン散乱移動度の要因を検討するために、同一の表面キャリア密度( $N_s$ )におけるクーロン散乱移動度のアクセプタ濃度依存性を検討した。すでに、Si MOSFET で反転層におけるクーロン散乱移動度とアクセプタ濃度の関係が検討されており、イオン化不純物が主要なクーロン散乱源のとき、クーロン散乱移動度はアクセプタ濃度の $-1$ 乗に比例して減少することが報告されている[197]。このような関係は、表面キャリア密度が低い  $N_s = 2 \times 10^{11} \text{ cm}^{-2}$  においては  $N_A = 7.2 \times 10^{16} \text{ cm}^{-3}$  から  $N_A = 2.4 \times 10^{18} \text{ cm}^{-3}$  の範囲で成立することが室



温と 77K で示されている。また、表面キャリア密度が高い  $N_S = 1 \times 10^{12} \text{ cm}^{-2}$  においては  $N_A = 3.0 \times 10^{17} \text{ cm}^{-3}$  から  $N_A = 2.4 \times 10^{18} \text{ cm}^{-3}$  の範囲で成立することが 77K で示されている。

図 4.8 に SiC MOSFET におけるクーロン散乱移動度とアクセプタ濃度の関係を示す。評価は室温で行い、表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  および  $3.5 \times 10^{12} \text{ cm}^{-2}$  とした。ここで、同一の表面キャリア密度にて比較を行うのは、反転キャリアによるクーロン散乱源のスクリーニング効果を同程度にするためである。ただし、アクセプタ濃度が高いほど反転キャリアの分布は酸化膜/SiC 界面に近づくため、反転キャリア分布が全く同じではない。反転キャリア分布は酸化膜/SiC 界面に印加される電界に強く影響され、その大きさは空乏層中のイオン化アクセプタの総量に相当する空乏層電荷密度と表面キャリア密度により定まる。そのため、表面キャリア密度が高いほど、酸化膜/SiC 界面に印加される電界のアクセプタ濃度依存性が相対的に弱まり、異なるアクセプタ濃度における反転キャリア分布が近づくと予想される。

図 4.8 において、クーロン散乱移動度はアクセプタ濃度の累乗で減少した。その累乗係数は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  および  $3.5 \times 10^{12} \text{ cm}^{-2}$  に対して、各々  $-0.46$  と  $-0.39$  であった。この累乗係数は Si MOSFET で報告される  $-1$  とは異なることから、SiC MOSFET におけるクーロン散乱の主要因はイオン化不純物散乱ではないことが示唆される。このことは、既に前節 3.2.1 で  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子において議論した通り、クーロン散乱を生じる主要因はイオン化不純物散乱ではなく、酸化膜/SiC 界面近傍におけるクーロン散乱と考えられることと整合している。

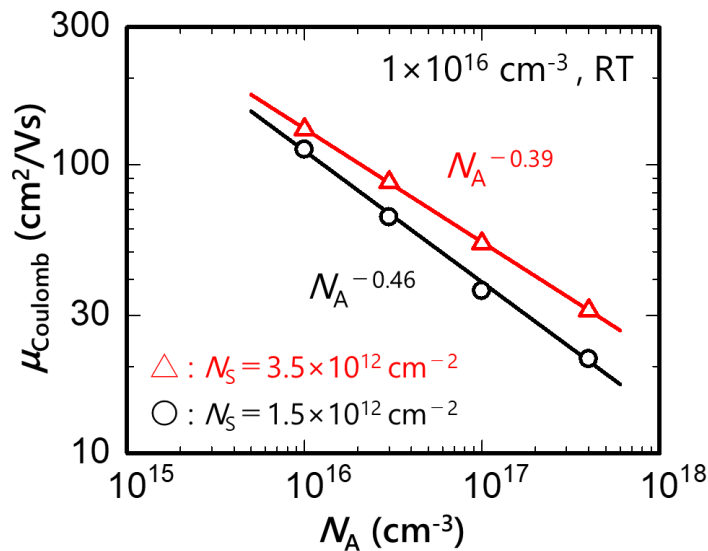


図 4.8 クーロン散乱移動度とアクセプタ濃度の関係。評価は室温で行い、表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  および  $3.5 \times 10^{12} \text{ cm}^{-2}$  とした。

### 4.3. 室温における支配的なキャリア散乱機構のアクセプタ濃度依存性

本節では前節 4.2 で述べた室温におけるキャリア散乱機構モデルの解析結果を基に、SiC MOSFET における支配的なキャリア散乱機構のアクセプタ濃度依存性を検討した。反転層移動度はフォノン散乱、クーロン散乱、界面ラフネス散乱の影響が競合するが、Matthiessen 則に基づき、各散乱で決まる移動度のなかで最も低い値を示すものが反転層移動度を制限する最も支配的な散乱機構と言える。

図 4.9 に前節 4.1 と 4.2.1 において評価したフォノン散乱移動度、界面ラフネス散乱移動度、および広範囲のアクセプタ濃度における反転層移動度の実測値を示す。アクセプタ濃度は  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。ここで、これらの移動度は実効垂直電界に対してプロットしており、フォノン散乱と界面ラフネス散乱により定まる移動度を  $\mu_{\text{phonon+SR}}$  と表し、Matthiessen 則より式(90)で定めて図 4.9 にあわせて示す。

$$\frac{1}{\mu_{\text{phonon+SR}}} = \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{SR}}} \quad (90)$$

クーロン散乱の影響を除けば、反転層移動度は主にフォノン散乱と界面ラフネス散乱の影響により定まる。特に、Si MOSFET ではクーロン散乱の影響は表面キャリア密度の低い領域でのみ顕在するため、広範囲のアクセプタ濃度における反転層移動度を実効垂直電界に対してプロットすると反転層移動度と実効垂直電界の関係には  $\mu_{\text{phonon+SR}}$  に相当する包絡線が表れ、これは反転層移動度のユニバーサリティーと呼ばれる。一方で、本節で検討している酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET においては、室温において  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  から  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の範囲において反転層移動度は  $\mu_{\text{phonon+SR}}$  よりも低い値を示し、反転層移動度のユニバーサリティーは観測されなかった。このことは、これらの素子では実効垂直電界が高い領域でも反転層移動度に対するクーロン散乱の影響度が大きいことを示している。

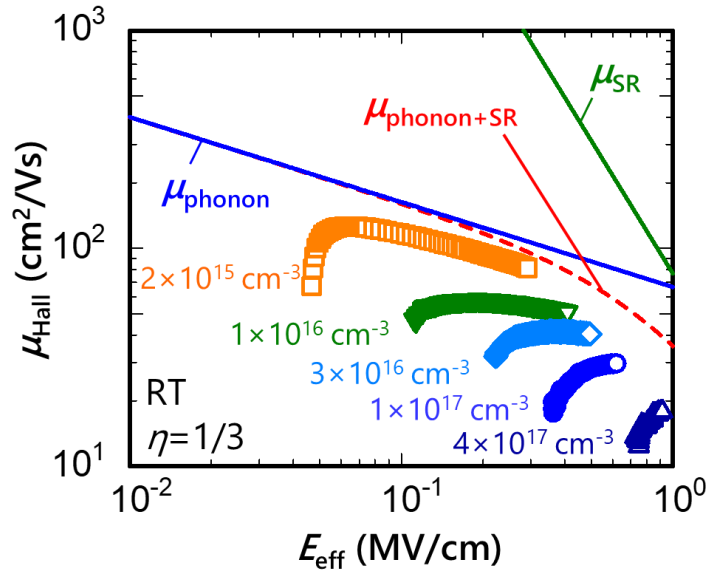


図 4.9 フォノン散乱移動度、界面ラフネス散乱移動度、および広範囲のアクセプタ濃度における反転層移動度と実効垂直電界の関係。アクセプタ濃度は  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。

図 4.10 に反転層移動度およびクーロン散乱移動度を含めた各散乱移動度と実効垂直電界の関係を示す。アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。すでに前節 4.2.1 で述べたように、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では実効垂直電界が低い領域ではフォノン散乱よりもクーロン散乱の影響が大きいことが判明しており、実効垂直電界が高い領域ではフォノン散乱の影響がクーロン散乱よりも大きくなるものの、クーロン散乱の影響が無視できるほど、クーロン散乱移動度がフォノン散乱移動度と比べて大きくはなかった。一方で、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では、各々で評価した実効垂直電界の範囲でクーロン散乱の影響が最も大きいことが分かった。

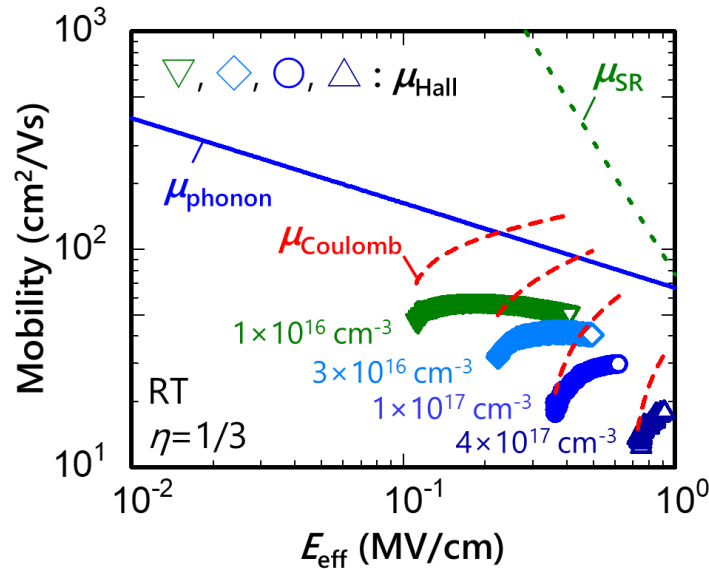


図 4.10 反転層移動度およびクーロン散乱移動度を含めた各散乱移動度と実効垂直電界の関係。アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。

クーロン散乱の影響に着目して、SiC MOSFET における支配的なキャリア散乱機構のアクセプタ濃度依存性を検討するために、反転層移動度と表面キャリア密度( $N_s$ )の関係を検討した。図 4.11(a)、(b)、(c)にアクセプタ濃度ごとの反転層移動度の実測値と、評価したフォノン散乱移動度、クーロン散乱移動度、界面ラフネス散乱移動度を示す。各散乱機構により定まる移動度は前節 4.1 および 4.2 の解析結果であり、アクセプタ濃度は各々、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。各図の記号は反転層移動度を表し、破線(青)、実線(赤)、点線(緑)は各々、フォノン散乱移動度、クーロン散乱移動度、界面ラフネス散乱移動度を表す。ここで、アクセプタ濃度が増加すると実効垂直電界が増加するため、同一の表面キャリア密度において、フォノン散乱移動度と界面ラフネス散乱移動度はアクセプタ濃度の増加に伴って減少している。

まず、図 4.11(a)に示すアクセプタ濃度が中程度の  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子に着目した。ここで述べる内容は前述の 4.2.1 にて反転層移動度と実効垂直電界の関係より述べた議論と同様であるが、反転層移動度を表面キャリア密度に対してプロットしているため、表面キャリア密度の増加に伴うスクリーニング効果を増加を反映したクーロン散乱移動度の増加が理解しやすくなっている。クーロン散乱移動度は表面キャリア密度が低い領域では他の散乱機構で決まる移動度よりも低いですが、表面キャリア密度の増加に伴って増加した。一方で、フォノン散乱移動度は表面キャリア密度が低い領域ではクーロン散乱移動度よりも高いが、

表面キャリア密度の増加に伴って減少し、 $N_s$  がおよそ  $1.6 \times 10^{12} \text{ cm}^{-2}$  において、クーロン散乱移動度と同程度になり、それよりも表面キャリア密度が高い領域ではクーロン散乱移動度よりも低かった。界面ラフネス散乱移動度は評価した表面キャリア密度の範囲で、フォノン散乱移動度とクーロン散乱のいずれよりも高かった。これらより、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における最も支配的な散乱機構は、表面キャリア密度が低い領域ではクーロン散乱であり、表面キャリア密度が高い領域ではフォノン散乱へと変わることが判明し、最も主要なキャリア散乱機構が表面キャリア密度により異なることが示された。

次に、図 4.11(b)に示すアクセプタ濃度が高い  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子に着目した。本素子では、クーロン散乱移動度が他の散乱機構で決まる移動度よりも低く、その値が評価した表面キャリア密度の全範囲においてフォノン散乱移動度よりも低かった。このとは、クーロン散乱が最も支配的な散乱機構であることを示す。また、図 4.11(c)に示すアクセプタ濃度がさらに高い  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子でも、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子と同様に、クーロン散乱移動度が他の散乱機構で決まる移動度よりも低く、クーロン散乱が最も支配的な散乱機構であった。これらより、アクセプタ濃度が増加することで、他の散乱機構に対してクーロン散乱の影響度が大きくなることが判明した。

また、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  および  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子においても、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子と同様に界面ラフネス散乱移動度は評価した表面キャリア密度の範囲で、フォノン散乱移動度とクーロン散乱のいずれよりも高かった。これより、界面ラフネス散乱の影響度はフォノン散乱とクーロン散乱に比べて相対的に小さく、酸化窒化膜を用いた Si 面 4H-SiC MOSFET の反転層移動度を制限する主要な散乱機構は主にフォノン散乱とクーロン散乱であることが判明した。ただし、界面ラフネス散乱移動度は実効垂直電界の増加により減少する特徴を有しており、アクセプタ濃度が増加すると実効垂直電界は増加することから、アクセプタ濃度が増加することで界面ラフネス散乱移動度は減少する。そのため、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では界面ラフネス散乱移動度がフォノン散乱移動度に近づいており、その影響が無視できなくなっている。従って、よりアクセプタ濃度の高い素子では反転層移動度に対する界面ラフネス散乱の寄与が大きくなることが示唆される。

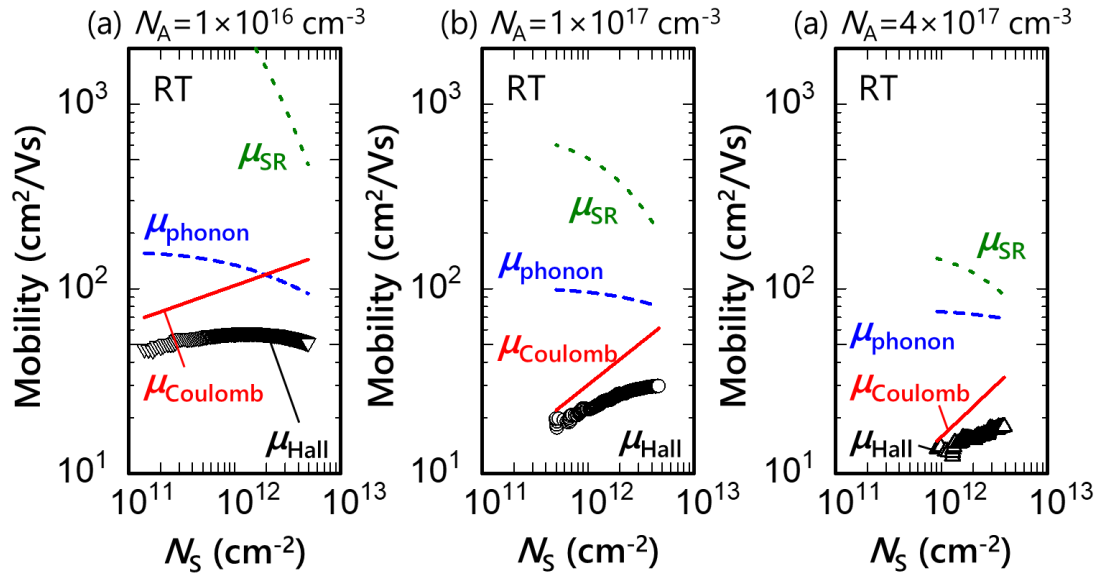


図 4.11 反転層移動度および各散乱機構により定まる移動度と表面キャリア密度の関係。評価は室温で行い、アクセプタ濃度は各々、(a)  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、(b)  $1 \times 10^{17} \text{ cm}^{-3}$ 、(c)  $4 \times 10^{17} \text{ cm}^{-3}$  とした。各図の記号は反転層移動度を表し、破線(青)、実線(赤)、点線(緑)は各々、フォノン散乱移動度、クーロン散乱移動度、界面ラフネス散乱移動度を表す。

図 4.12(a)、(b)に SiC MOSFET におけるフォノン散乱移動度と界面ラフネス散乱移動度について、前節 4.1 および 4.2 で議論した室温におけるキャリア散乱機構モデルの解析結果と先行研究の比較を示す。ここでは先行研究の検討にあわせて、実効垂直電界を計算するパラメータ  $\eta$  を 1/2 とした。本研究の値は、前節 4.2 における解析では  $\eta = 1/3$  として評価した後に、図 4.12(a)、(b)では  $\eta = 1/2$  としてプロットし直している。図 4.12(a)において、前節 2.3 で提案した手法を用いて実験的に評価したフォノン散乱移動度( $\mu_{\text{phonon}}$ )は先行研究で報告されている値[224], [225]と比べて 1/4 以下であった。先行研究では反転層移動度に対するフォノン散乱の影響を過小評価していたことが示唆される。また図 4.12(b)において、界面ラフネス散乱移動度はほとんどの報告例[223], [224], [226], [237]よりも高く、参考文献[220]と同程度であった。これより、従来の多くのモデルでは界面ラフネス散乱の影響を過大評価していたことが示唆される。これらの結果は、本章で評価したキャリア散乱機構モデルでは従来モデルと比較して、SiC MOSFET の反転層移動度に及ぼすフォノン散乱移動度の影響が大きく、界面ラフネス散乱の影響が小さいことを意味する。フォノン散乱移動度が酸化窒化膜/SiC 界面における材料物性を反映して決まっていると考えると、反転層移動度の向上にはクーロン散乱の抑制が重要と分かる。

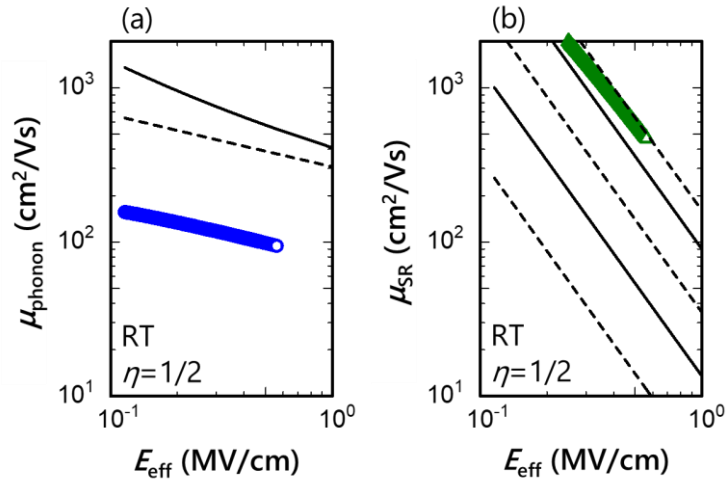


図 4.12 本研究と先行研究における(a)フォノン散乱移動度および(b)界面ラフネス散乱移動度と実効垂直電界の関係。評価は室温で行い、先行研究の検討にあわせて実効垂直電界を計算するパラメータ  $\eta$  を 1/2 とした。

図中の黒実線および破線は先行研究の報告値を表す。フォノン散乱移動度は先行研究[224], [225]の値をプロットしており、値の大きい順に[224]、[225]である。界面ラフネス散乱移動度は先行研究[220], [223], [224], [226], [237]の値をプロットしており、値の大きい順に[220]、[223]、[226]、[237]、[224]である。

#### 4.4. 室温におけるクーロン散乱移動度のモデル化

本節では前節 4.3 で示した通りアクセプタ濃度が  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  から  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子において反転層移動度に大きく影響するクーロン散乱の影響に着目し、室温におけるクーロン散乱移動度のモデル化を検討した。すでに前節 3.1 および 3.2 で述べた通り、SiC MOSFET の反転層移動度はアクセプタ濃度の高濃度化および負のボディー電圧印加により変化することが判明している。これらの特徴の共通点に着目し、クーロン散乱移動度のモデル化を検討した。なお、キャリア散乱機構の分離評価は前節 2.3 で提案した手法を用いた。

##### 4.4.1. ボディー電圧印加時のクーロン散乱移動度

本節では  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子にボディー電圧を印加した時のキャリア散乱機構を前節 2.3 で提案した手法を用いて前節 4.1 および 4.2 と同様に実験的に分離評価し、その際のクーロン散乱移動度の変化を検討した。図 4.13 にボディー電圧として  $V_B = 0 \text{ V}$  および  $V_B = -8 \text{ V}$  を印加した際の反転層移動度および評価した各散乱移動度と表面キャリア密度の関係を示す。ここで、評価は室温にて行った。クーロン散乱移動度に着目すると、 $V_B = 0 \text{ V}$  に比べて  $V_B = -8 \text{ V}$  ではクーロン散乱移動度が低下した。これは、負のボディー電圧印加によりクーロン散乱移動度が低下してことを示している。また、フォノン散乱移動度および界面ラフネス散乱移動度も同様に  $V_B = 0 \text{ V}$  に比べて  $V_B = -8 \text{ V}$  では低下しているが、これは負のボディー電圧印加により実効垂直電界が増加したために生じるものである。

最も支配的なキャリア散乱機構に着目するため、各散乱移動度を比較すると、 $V_B = 0 \text{ V}$  においては表面キャリア密度が低い領域ではクーロン散乱移動度が最も低く、表面キャリア密度が高い領域ではフォノン散乱移動度が最も低かった。これはすでに前節 4.3 で述べた通り、表面キャリア密度が低い領域ではクーロン散乱が最も支配的であるが、表面キャリア密度が増加するとクーロン散乱の影響が弱まるため、表面キャリア密度が高い領域ではフォノン散乱の影響が最も支配的となる。一方で、 $V_B = -8 \text{ V}$  では評価した表面キャリア密度の全領域でクーロン散乱移動度が最も低く、 $V_B = -8 \text{ V}$  では表面キャリア密度が低い領域だけでなく、高い領域でもクーロン散乱が最も支配的であった。これは、 $V_B = 0 \text{ V}$  と比べて  $V_B = -8 \text{ V}$  を印加することで、フォノン散乱移動度はわずかに減少するものの、クーロン散乱移動度はさらに減少するために生じる。これは前節 3.2.1 で述べた通り、負のボディー電圧印加により酸化膜/SiC 界面近傍におけるクーロン散乱が強まり、反転層移動度に対するクーロン散乱の影響度がフォノン散乱の影響度よりも大きくなったことを示している。なお、いずれの場合も、界面ラフネス散乱移動度は最も高く、 $V_B = -8 \text{ V}$  を印加しても界面ラフネス散乱の影響は相対的に小さいままであった。このように、負のボディー電



圧印加により各散乱移動度が減少するが、特にクーロン散乱移動度の減少が顕著であるため、素子のアクセプタ濃度が同じであっても負のボディー電圧を印加することで主要なキャリア散乱機構が変化すること判明した。

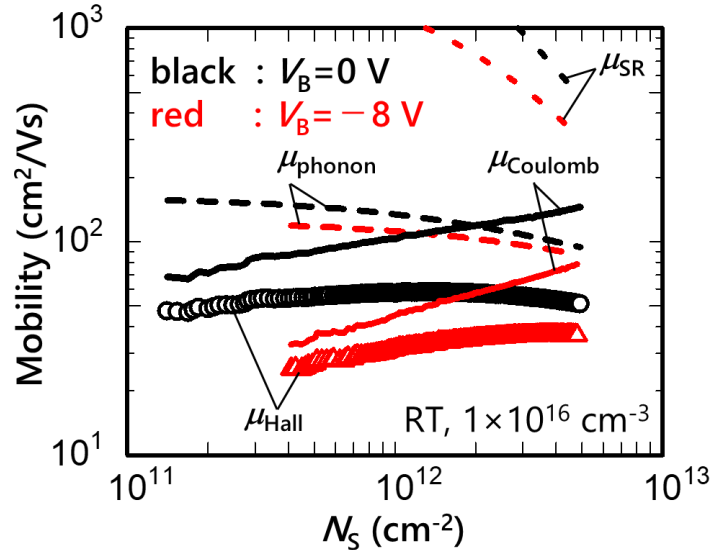


図 4.13 ボディー電圧として  $V_B = 0 \text{ V}$  および  $V_B = -8 \text{ V}$  を印加した際の反転層移動度および評価した各散乱移動度と表面キャリア密度の関係。評価は室温で行った。

負のボディー電圧印加によるクーロン散乱移動度の減少を詳細に検討するため、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子にボディー電圧を印加した時のクーロン散乱移動度の変化を評価した。図 4.14(a)、(b)に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子に  $V_B = 0, -2, -4, -8, -16, -24, -40 \text{ V}$  を印加した場合の反転層移動度および評価したクーロン散乱移動度と表面キャリア密度の関係を示す。図 4.14(a)では負のボディー電圧印加により反転層移動度が低下しており、これは前節 3.2.1 で述べた通り、負のボディー電圧印加により酸化膜/SiC 界面近傍におけるクーロン散乱が強まり、反転層移動度に対するクーロン散乱の影響度が大きくなったことを示している。図 4.14(b)では負のボディー電圧印加によりクーロン散乱移動度が低下しており、図 4.14(a)に対する考察と整合している。

図 4.14(b)においてクーロン散乱移動度は表面キャリア密度の累乗に比例して増加するが、その累乗係数( $\gamma$ )に着目すると、それは  $V_B = 0, -2, -4, -8, -16, -24, -40 \text{ V}$  に対して各々、0.2、0.25、0.31、0.35、0.41、0.45、0.48 であり、負のボディー電圧の絶対値が増加すると累乗係数も増加する傾向があった。このような  $\gamma$  の増加は、すでに前節 4.2.2 で述べた通り、 $V_B = 0 \text{ V}$  とした場合にアクセプタ濃度が増加しても生じる。

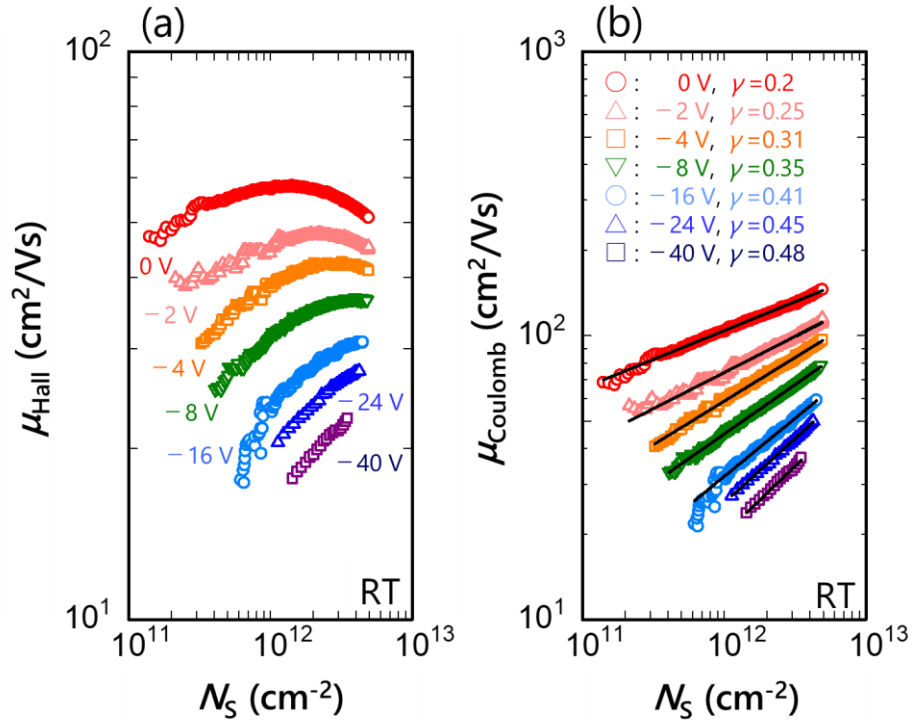


図 4.14  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子に  $V_B = 0, -2, -4, -8, -16, -24, -40$  V を印加した場合の(a)反転層移動度および(b)評価したクーロン散乱移動度と表面キャリア密度の関係。評価は室温で行った。

#### 4.4.2. クーロン散乱移動度と空乏層電荷密度の関係

本節では SiC MOSFET においてクーロン散乱移動度がアクセプタ濃度およびボディー電圧印加により変化するという特徴を統一的に記述することを試みた。アクセプタ濃度の増加、および負のボディー電圧印加はいずれも、空乏層内のイオン化アクセプタ密度を増加させるため、空乏層電荷密度を増加させる。この共通点に着目し、クーロン散乱移動度と反転層電荷密度の関係を検討した。

図 4.15 に様々なアクセプタ濃度の素子における反転層移動度およびクーロン散乱移動度と空乏層電荷密度の関係を示す。表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  とした。アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とし、評価は室温で行った。ここで、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $1 \times 10^{17} \text{ cm}^{-3}$  の素子においては  $V_B = 0 \text{ V}$  だけでなく、負のボディー電圧を印加した。中塗りの記号は  $V_B = 0 \text{ V}$  の場合を示し、中抜きの記号は負のボディー電圧を印加した場合を示す。印加する負のボディー電圧の絶対値が増加すると、空乏層電荷密度は増加し、すでに前節 4.4.1 で述べたように反転層移動度およびクーロン散乱移動度は減少した。反転層移動度およびクーロン散乱移動度は空乏層電荷密度に対してプロットすることでアクセプタ濃度およびボディー電圧の値によらずほぼ同一の曲線上に乗ることが判明した。これは、反転層移動度およびクーロン散乱移動度は表面キャリア密度が一定値のもとでは空乏層電荷密度により定まることを示している。空乏層電荷密度が低い領域ではクーロン散乱移動度は反転層移動度よりも高く、その他の散乱機構の寄与が無視できない。しかし、空乏層電荷密度が高くなるにつれてクーロン散乱移動度が反転層移動度に近づくことより、空乏層電荷密度が高くなるにつれて反転層移動度に対するクーロン散乱の影響度が増加していることが分かる。

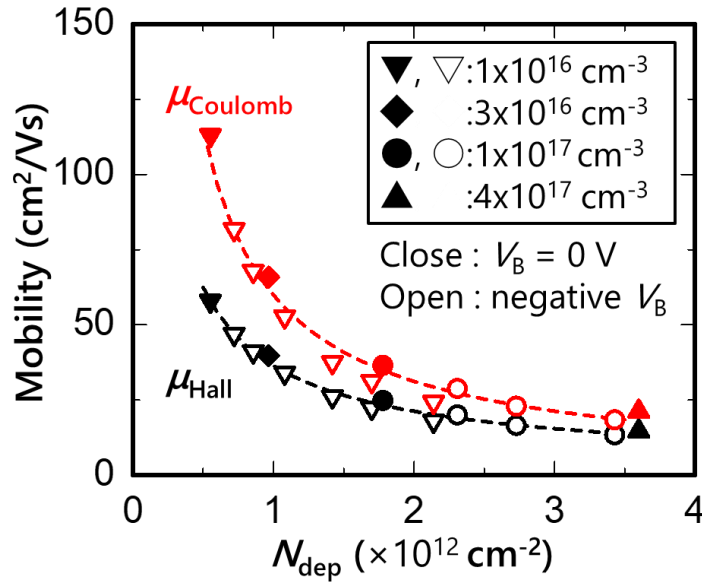


図 4.15 様々なアクセプタ濃度の素子における反転層移動度およびクーロン散乱移動度と空乏層電荷密度の関係。評価は室温で行い、表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  とした。アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $1 \times 10^{17} \text{ cm}^{-3}$  の素子においては  $V_B = 0 \text{ V}$  だけでなく、負のボディー電圧を印加した。中塗りの記号は  $V_B = 0 \text{ V}$  の場合を示し、中抜きの記号は負のボディー電圧を印加した場合を示す。

すでに前節 4.4.1 で述べた通り、クーロン散乱移動度は表面キャリア密度の累乗に比例して増加し、その累乗係数 ( $\gamma$ ) は印加するボディー電圧に依存して変化する。このことは、クーロン散乱移動度を定式化するには、ある表面キャリア密度におけるクーロン散乱移動度とその時の  $\gamma$  が定まればよいことを意味している。つまり、クーロン散乱移動度は式(91)のように表される。

$$\mu_{\text{Coulomb}} = \mu_{\text{Coulomb},0} \times \left( \frac{N_S}{1.5 \times 10^{12}} \right)^\gamma \quad (91)$$

ここで、 $\mu_{\text{Coulomb},0}$  は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  におけるクーロン散乱移動度を表し、単位は  $\text{cm}^2/\text{Vs}$  である。従って図 4.15 より、様々なアクセプタ濃度の素子において  $\mu_{\text{Coulomb},0}$  が空乏層電荷密度に対して定式化できることが分かる。図 4.16 に様々なアクセプタ濃度の素子における  $\mu_{\text{Coulomb},0}$  および  $\gamma$  と空乏層電荷密度の関係を示す。評価した素子および条件は図 4.15 と同じである。

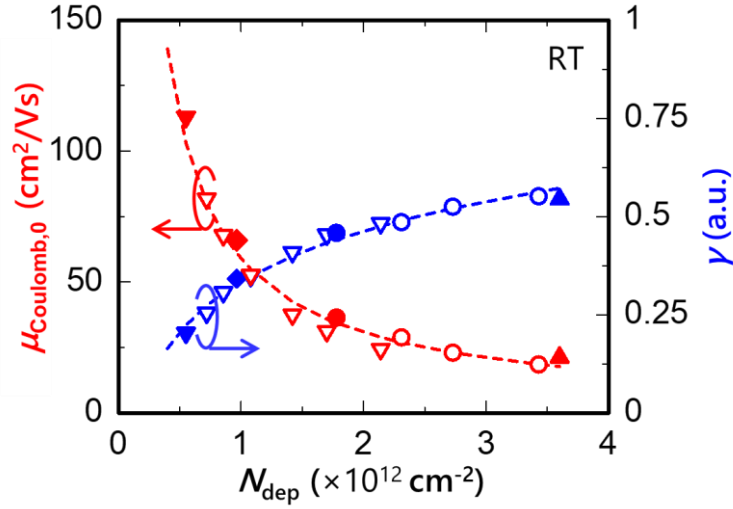


図 4.16 様々なアクセプタ濃度の素子における  $\mu_{\text{Coulomb},0}$  および  $\gamma$  と空乏層電荷密度の関係。評価した素子および条件は図 4.15 と同じであり、図中の記号も同じとした。

図 4.16 より、 $\mu_{\text{Coulomb},0}$  だけでなく、 $\gamma$  も空乏層電荷密度に対してプロットすることでアクセプタ濃度およびボディー電圧の値によらずほぼ同一の曲線上に乗ることが判明した。これより、クーロン散乱移動度は空乏層電荷密度と表面キャリア密度を用いて定式化できることが判明した。ここで、 $\mu_{\text{Coulomb},0}$  および  $\gamma$  は各々、式(92)および式(93)で表される。

$$\mu_{\text{Coulomb},0} = A \times \left( \frac{N_{\text{dep}}}{1 \times 10^{12}} \right)^B \quad (92)$$

$$\gamma = C \times \log \left( \frac{N_{\text{dep}}}{1 \times 10^{12}} \right) + D \quad (93)$$

室温における A、B、C、D は各々、 $5.9 \times 10^1 \text{ cm}^2/\text{Vs}$ 、 $-9.39 \times 10^{-1}$ 、 $4.28 \times 10^{-1}$ 、 $3.34 \times 10^{-1}$  であり、対数  $\log$  の底は 10 である。

#### 4.4.3. クーロン散乱移動度と酸化膜/SiC 界面からの反転キャリアの

##### 平均距離の関係

本節ではすでに前節 4.4.2 にて述べた通り、SiC MOSFET においてクーロン散乱移動度が空乏層電荷密度により定まるという特徴的な振る舞いを詳細に理解するために、その物理的な意味を検討した。そこで、空乏層電荷密度により変化するパラメータとして、既に前節 2.1.5 で述べた酸化膜/SiC 界面からの反転キャリアの平均距離( $Z_{\text{AV}}$ )に着目した。 $Z_{\text{AV}}$  は表

面キャリア密度が一定値のもとではアクセプタ濃度の増加および、負のボディー電圧印加により減少し、 $Z_{AV}$  の減少は反転キャリアが酸化膜/SiC 界面のより狭い領域に閉じ込められて、反転キャリア分布が酸化膜/SiC 界面に近づくことを意味する。

図 4.17 に反転層移動度および評価した各散乱移動度と  $Z_{AV}$  の関係を示す。評価は室温で行い、表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  とした。評価した素子および条件は図 4.15 と同じであり、アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  から  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の範囲とした。ここで、 $Z_{AV}$  は 1.6 から 3.0 nm の範囲で変化しており、この範囲において反転層移動度およびクーロン散乱移動度は  $Z_{AV}$  に対してプロットすることでアクセプタ濃度およびボディー電圧の値によらずほぼ同一の曲線上に乗ることが判明した。いずれも  $Z_{AV}$  の減少に伴って単調に減少した。

$Z_{AV}$  が 1.6 nm から 3.0 nm の範囲において各散乱の移動度を比較すると、低い順にクーロン散乱移動度、フォノン散乱移動度、界面ラフネス散乱移動度であった。これより、 $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  ではクーロン散乱が最も支配的と分かる。この時、フォノン散乱移動度も  $Z_{AV}$  の減少によりわずかに減少したが、その変化率はクーロン散乱移動度と比べて小さく、 $Z_{AV}$  が減少するにつれて反転層移動度に対するクーロン散乱の影響が大きくなることが分かる。一方で、界面ラフネス散乱移動度も  $Z_{AV}$  の減少により減少したが、 $Z_{AV}$  の減少に伴う変化率は大きいものの、 $Z_{AV} = 1.6 \text{ nm}$  においても他の散乱機構により定まる移動度より大きい値を示した。界面ラフネス散乱の影響はクーロン散乱およびフォノン散乱よりも小さいことが分かる。

クーロン散乱移動度に着目して、その物理的な意味を検討した。クーロン散乱移動度はアクセプタ濃度およびボディー電圧の値によらず  $Z_{AV}$  の減少に伴って単調に減少した。 $Z_{AV}$  の減少は、反転キャリア分布が酸化膜/SiC 界面に近づくことを意味することを考慮すると、クーロン散乱移動度は反転キャリア分布が酸化膜/SiC 界面に近づくことと減少することが定量的に示された。これは、すでに前節 3.1 および 3.2.1 で議論した通り、SiC MOSFET のクーロン散乱が主に酸化膜/SiC 界面近傍で生じており、アクセプタ濃度の増加または負のボディー電圧印加により酸化膜/SiC 界面近傍におけるクーロン散乱が強まるとの考察と整合している。これらの検討より、SiC MOSFET の反転層移動度に大きく影響するクーロン散乱の要因となるクーロン散乱源は酸化膜/SiC 界面近傍に存在し、アクセプタ濃度の増加または負のボディー電圧印加によりクーロン散乱移動度が減少するのは、本質的には反転キャリアと酸化膜/SiC 界面近傍のクーロン散乱源との距離が減少する効果を反映していることを明らかにした。

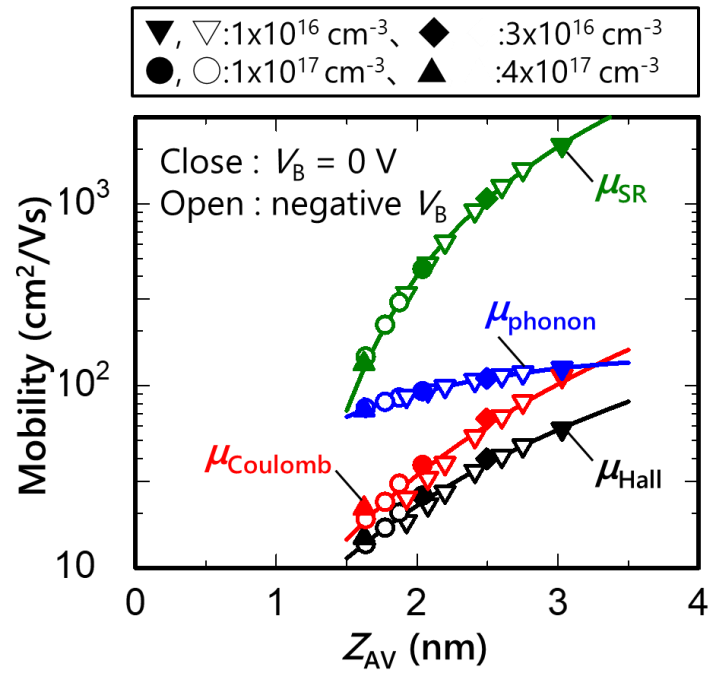


図 4.17 反転層移動度および評価した各散乱移動度と  $Z_{AV}$  の関係。評価は室温で行い、表面キャリア密度は  $N_S = 1.5 \times 10^{12} \text{ cm}^{-2}$  とした。

#### 4.5. 本章のまとめ

本章では酸化窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度のキャリア散乱機構モデルの枠組みを室温において構築し、キャリア散乱機構の全体像を議論した。広範囲のアクセプタ濃度における反転層移動度を評価し、反転層移動度を決定する主要なキャリア散乱機構として (1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱を想定したうえで、提案手法に基づいてキャリア散乱機構の分離評価を行った。クーロン散乱移動度がアクセプタ濃度やボディー電圧により変化する効果を空乏層電荷密度への依存性という視点で統一的に記述できることを見出し、その物理的な意味を検討した。

広範囲のアクセプタ濃度( $N_A$ )において反転層移動度と実効垂直電界の関係を検討した。アクセプタ濃度を  $3.0 \times 10^{14} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  まで変化させることで、 $N_A$  が低減することで反転層移動度が増加し、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台まで低減するとその増加が飽和し始めることを示した。最も  $N_A$  を低減した素子における反転層移動度( $\mu_{\text{Hall, low } N_A}$ )を定式化し、 $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の素子で評価した反転層移動度が  $\mu_{\text{phonon}}$  に近い値であると推定することの妥当性を反転層移動度の温度依存性より検証した。

前節で提案したキャリア散乱機構の解析手法を基に、室温におけるキャリア散乱機構のモデル化を検討した。ここではフォノン散乱移動度( $\mu_{\text{phonon}}$ )は定式化した  $\mu_{\text{Hall, low } N_A}$  と一致するとみなして解析し、クーロン散乱の表面キャリア密度依存性および、界面ラフネス散乱の実効垂直電界依存性を用いて、クーロン散乱移動度( $\mu_{\text{Coulomb}}$ )および界面ラフネス散乱移動度の評価を行った。 $\mu_{\text{Coulomb}}$  は  $N_A$  が増加すると減少することを示し、 $\mu_{\text{Coulomb}}$  の  $N_A$  への依存性を検討することでクーロン散乱を生じる主要因はイオン化不純物散乱ではないと結論付けた。

キャリア散乱機構の解析結果を基に、SiC MOSFET における支配的なキャリア散乱機構を検討した。SiC MOSFET の反転層移動度を制限する主要な散乱機構は主にフォノン散乱とクーロン散乱であり、本評価の範囲では界面ラフネス散乱の影響は小さいことを明らかにした。従来モデルよりもフォノン散乱の影響が大きく、界面ラフネス散乱の影響が小さいことを示している。最も支配的な散乱機構はアクセプタ濃度と表面キャリア密度( $N_S$ )により変化し、 $N_A$  が高い場合または  $N_S$  が低い領域ではクーロン散乱が最も支配的な散乱機構となることを示した。

SiC MOSFET の反転層移動度に大きく影響するクーロン散乱の影響に着目し、室温におけるクーロン散乱移動度のモデル化を検討した。クーロン散乱移動度がアクセプタ濃度の増加だけでなく、負のボディー電圧印加によっても減少することを示した。これらの特徴



を統一的に理解することを試み、アクセプタ濃度およびボディー電圧の値によらず、クーロン散乱移動度は空乏層電荷密度( $N_{\text{dep}}$ )により定まることを見出した。この知見を基に、室温におけるクーロン散乱移動度を  $N_{\text{dep}}$  と  $N_S$  を用いて定式化した。

この特徴的な振る舞いの物理的な意味を検討した。 $N_{\text{dep}}$  により変化するパラメータとして、酸化膜/SiC 界面からの反転キャリアの平均距離( $Z_{\text{AV}}$ )に着目した。クーロン散乱移動度はアクセプタ濃度およびボディー電圧の値によらず  $Z_{\text{AV}}$  の減少に伴って単調に減少した。これは、クーロン散乱源は酸化膜/SiC 界面近傍に存在し、アクセプタ濃度の増加または負のボディー電圧印加によりクーロン散乱移動度が減少するのは、本質的には反転キャリアと酸化膜/SiC 界面近傍のクーロン散乱源との距離が減少する効果を反映していることを明らかにした。

以上より、本節では従来の Si MOSFET のキャリア散乱機構の枠組みを SiC MOSFET へ適用することで、室温において SiC MOSFET の反転層移動度を決めるキャリア散乱機構モデルの枠組みを構築することに成功した。SiC MOSFET では反転層移動度に対するフォノン散乱の影響が従来の推定よりも大きい可能性を指摘するとともに、クーロン散乱の影響は酸化膜/SiC 界面近傍に存在するクーロン散乱源との距離および表面キャリアによる遮蔽効果を考慮することで、従来のクーロン散乱のモデルを拡張することができることが明らかとなった。

これらの議論を精緻化するためには、反転層移動度の温度依存性を考慮しても本モデルの枠組みで説明可能であることを示す必要がある。そこで、次章では、本章で構築した室温におけるキャリア散乱機構モデルを高精度化するため、高温において反転層移動度を決めるキャリア散乱機構を議論する。また、本章で一旦決めて議論したフォノン散乱移動度について、その精度を再検討する。



## 第5章 反転層移動度の温度依存性に基づくモデルの高精度化

本章では反転層移動度の温度依存性を考慮することで、前章第 4 章において室温で構築した反転層移動度のキャリア散乱機構モデルの枠組みを基に、モデルを高精度化する。まず、反転層移動度の温度依存性を評価し、第 4 章で構築したモデルの枠組みについて、その妥当性を検討する。次にフォノン散乱移動度について定式化の精度を高めるために、フォノン散乱の影響が強まる一方で、クーロン散乱の影響が弱まる高温で反転層移動度のキャリア散乱機構をモデル化する。さらに、フォノン散乱移動度の定式化に用いるアクセプタ濃度が極めて低い素子の温度依存性を詳細に検討することで、室温におけるフォノン散乱移動度の評価精度を議論する。その結果を基に、第 4 章で構築した室温におけるキャリア散乱機構モデルへの影響を評価する。

## 5.1. 反転層移動度の温度依存性

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度の温度依存性を系統的に調べるために、反転層移動度と表面キャリア密度の関係について温度を変えて評価し、前章第 4 章で構築したモデルの妥当性を検討した。ここで、温度は室温から 473K の範囲で評価した。

### 5.1.1. 高温における反転層移動度と表面キャリア密度の関係

本節では酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度の温度依存性を系統的に調べるために、反転層移動度と表面キャリア密度の関係について温度を変えて評価し、温度は室温から 473K の範囲で評価した。ここで、アクセプタ濃度は  $2 \times 10^{14} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  の広範囲で変化させた。すでに前節 4.1 および 4.3 で述べた通り、室温における反転層移動度はアクセプタ濃度が低い素子ではフォノン散乱の影響が最も支配的であり、アクセプタ濃度が高い素子ではクーロン散乱の影響が最も支配的である。すでに前節 1.7 で述べた通り、反転層移動度に及ぼすフォノン散乱とクーロン散乱の影響は異なる温度依存性を示し、温度が高くなるとフォノン散乱移動度が低下する一方で、クーロン散乱移動度は増加する。そのため、高温では室温よりも相対的にクーロン散乱の影響が小さくなることが予想される。

図 5.1 に(a)室温、(b)373K、(c)473K における反転層移動度と表面キャリア密度の関係を示す。アクセプタ濃度は、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。いずれの温度でも、同じ表面キャリア密度で比較すると、アクセプタ濃度が高い素子の方が低い素子よりも反転層移動度が低かった。この傾向は 373K および 473K の高温でも室温と変わらなかった。室温から温度を上げた際の反転層移動度の変化の傾向を把握するため、アクセプタ濃度が最も低い素子と最も高い素子に着目した。 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  のアクセプタ濃度が最も低い素子では、いずれの温度でも、表面キャリア密度の増加に伴って反転層移動度が減少した。一方で、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  のアクセプタ濃度が最も高い素子では、いずれの温度でも表面キャリア密度の増加に伴って、反転層移動度が増加した。このことは、これらの素子における最も支配的な散乱機構は室温と同じであり、各々フォノン散乱とクーロン散乱であることを示唆する。表面キャリア密度がおおよそ  $2.5 \times 10^{12} \text{ cm}^{-2}$  における反転層移動度に着目すると、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子では高温化に伴って単調に減少し、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では単調に増加した。前者は主に高温化によるフォノン散乱移動度の減少を、後者は主に高温化によるクーロン散乱移動度の増加を反映していると考えられる。そのため、室温より高温化するとアクセプタ濃度が低い素子と高い素子における反転層移動度の差は減少した。

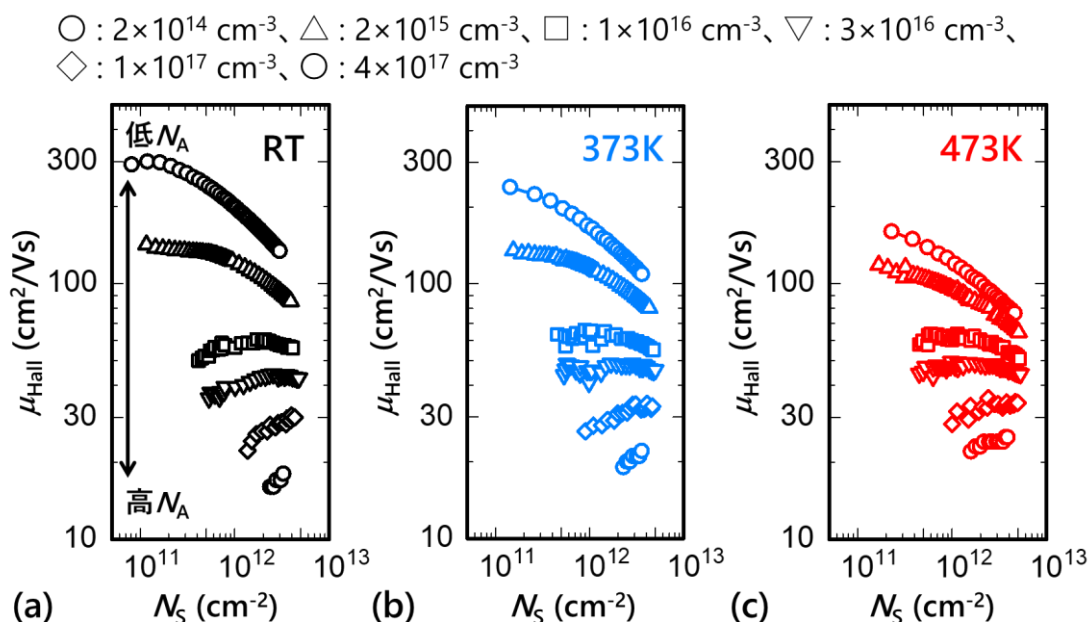


図 5.1 (a)室温、(b)373K、(c)473K における反転層移動度と表面キャリア密度の関係。  
 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$ ,  $2 \times 10^{15} \text{ cm}^{-3}$ ,  $1 \times 10^{16} \text{ cm}^{-3}$ ,  $3 \times 10^{16} \text{ cm}^{-3}$ ,  $1 \times 10^{17} \text{ cm}^{-3}$ ,  $4 \times 10^{17} \text{ cm}^{-3}$  とした。

すでに前節 4.3 で述べた通り、室温では反転層移動度が主にクーロン散乱とフォノン散乱により決まり、アクセプタ濃度によりそれらの影響度が異なる。さらに、高温化により反転層移動度に及ぼすフォノン散乱の影響は強まる一方で、クーロン散乱の影響は弱まることを考慮すると、同一のアクセプタ濃度の素子において反転層移動度を決める最も支配的なキャリア散乱機構は温度により変化すると考えられる。図 5.1 に示した反転層移動度の温度依存性において、アクセプタ濃度ごとにその変化を詳細に検討するため、図 5.2 および図 5.3 に室温から 373K、および 373K から 473K における反転層移動度の変化を検討した。各々、図 5.1 の(a)と(b)、および(b)と(c)を合わせてプロットしている。

まず、図 5.2 に着目すると、アクセプタ濃度が最も低い素子である  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子では高温化に伴って反転層移動度が減少した。 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子でも高温化に伴って、反転層移動度はわずかに減少したものの、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子と比べるとその変化はわずかであった。このことは、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子では高温化に伴うフォノン散乱移動度の影響が主に観測されたが、 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子ではフォノン散乱移動度の移動度の低下とクーロン散乱移動度の増加が拮抗した結果、その変化が小さかったと考えられる。

一方で、アクセプタ濃度が  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  以上の素子では高温化に伴って反転層移動度が増加した。ただし、その増加の仕方はアクセプタ濃度によって異なり、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では表面キャリア密度が低い領域でのみ反転層移動度が増加し、表面キャリア密度

が高い領域ではほぼ変化しなかった。一方で、 $N_A = 3 \times 10^{16} \text{ cm}^{-3}$  以上の素子では表面キャリア密度が低い領域だけでなく、高い領域でも反転層移動度が増加した。このことは、 $N_A = 3 \times 10^{16} \text{ cm}^{-3}$  以上の素子では高温化に伴うクーロン散乱移動度の増加により反転層移動度の増加が生じたが、すでに前節 4.3 で述べたように、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子の反転層移動度は表面キャリア密度が低い領域ではクーロン散乱の影響がフォノン散乱よりも大きい、表面キャリア密度が高い領域ではそれらの影響度が逆転する。そのため、高温化に伴うクーロン散乱移動度が増加する効果は表面キャリア密度が低い領域でのみ観測されたと考えられる。

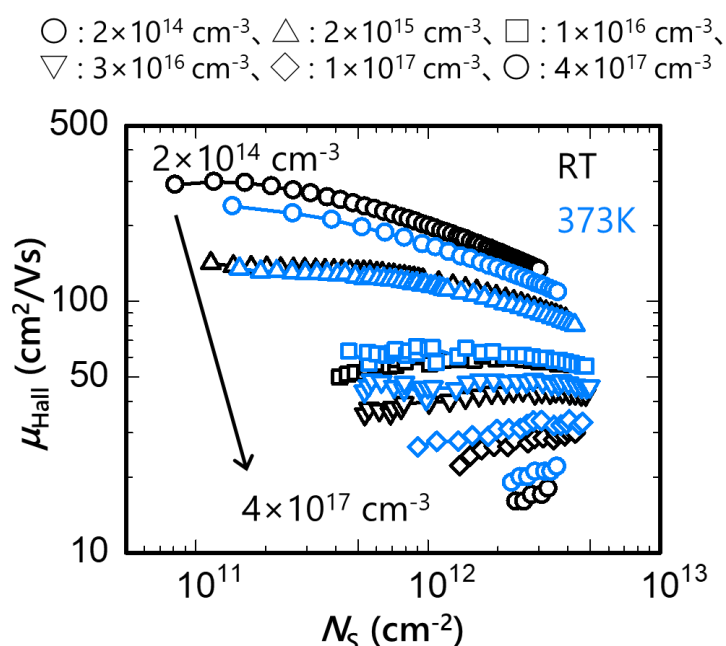


図 5.2 室温と 373K における反転層移動度と表面キャリア密度の関係。

$N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。

次に、図 5.3 に着目すると、アクセプタ濃度が低い素子である  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  および  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子では高温化に伴って反転層移動度が減少した。図 5.2 と同様に、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子では高温化に伴う主にフォノン散乱移動度の影響が主に観測されたと考えられ、さらに図 5.2 では  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子では高温化に伴う反転層移動度の減少がわずかであったことを考慮すると、373K から 473K の範囲では  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子においてもフォノン散乱移動度の低下の影響が主に観測されており、クーロン散乱移動度の変化の影響は相対的に小さくなったことが分かる。

一方で、アクセプタ濃度が  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $N_A = 3 \times 10^{16} \text{ cm}^{-3}$ 、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では高温化に伴う反転層移動度の変化は小さかった。高温化に伴って、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素

子では表面キャリア密度が低い領域ではほぼ変化がなく、表面キャリア密度が高い領域では反転層移動度が低下した。これは、表面キャリア密度が低い領域では高温化によるクーロン散乱移動度の増加とフォノン散乱移動度の減少が拮抗しているが、表面キャリア密度が高い領域ではフォノン散乱の影響の方が大きいことを示唆する。 $N_A = 3 \times 10^{16} \text{ cm}^{-3}$ の素子では高温化による反転層移動度の変化がほぼなく、表面キャリア密度が低い領域および高い領域のいずれにおいても、クーロン散乱移動度の増加とフォノン散乱移動度の減少が拮抗していることが分かる。 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の素子では高温化により反転層移動度密度がわずかに増加しており、クーロン散乱移動度の増加を反映していると考えられる。さらに、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$ の素子では、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の素子よりも明確に高温化により反転層移動度が増加した。すでに前節 4.3 で述べた通り、室温ではアクセプタ濃度が高いほど反転層移動度に及ぼすクーロン散乱の影響度が大きく、フォノン散乱の影響度が小さいことが分かっている。この傾向は高温でも同様であることが示唆される。

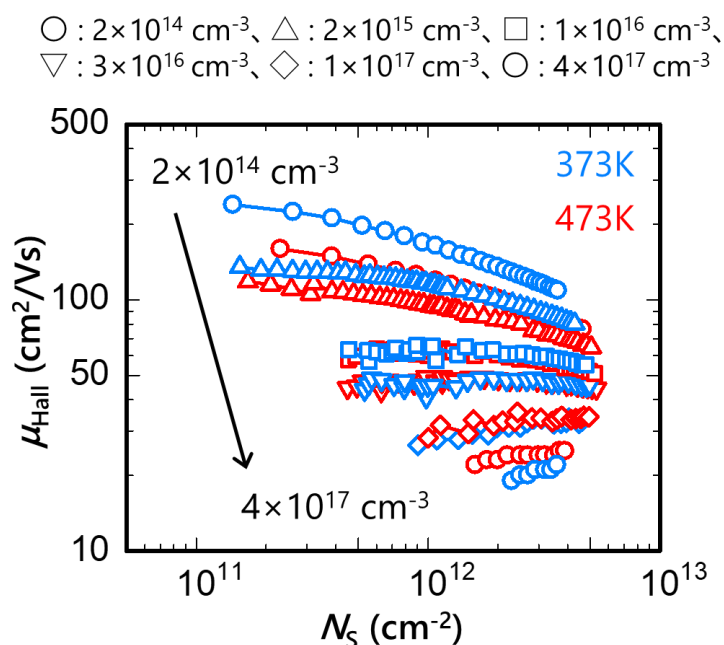


図 5.3 373K と 473K における反転層移動度と表面キャリア密度の関係。

$N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。

### 5.1.2. 反転層移動度の温度依存性係数

本節では前節 5.1.1 で議論した反転層移動度の温度依存性を温度依存性係数の観点で検討する。ここで温度依存性係数( $\beta$ )は反転層移動度が温度( $T$ )の  $\beta$  乗で変化することを表す。前節 1.7 で述べた通り、フォノン散乱およびクーロン散乱で決まる移動度は各々異なる温度依存性を示す。音響フォノン散乱では  $\beta=-1$  であり、バレー間フォノン散乱では  $-1$  よりも小さい値を示す。一方で、クーロン散乱は  $\beta=1$  であることが知られる。これより、反転層移動度に及ぼすフォノン散乱の影響がクーロン散乱の影響よりも十分に大きいとすると、 $\beta$  は  $-1$  以下となり、その逆の場合は  $\beta=1$  となる。また、これらの散乱の影響が競合する場合、 $\beta$  は  $-1$  から  $1$  の中間値を示すことが予想される。

図 5.4 に広範囲のアクセプタ濃度( $N_A$ )における反転層移動度の温度依存性を示す。アクセプタ濃度は、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。ここで、表面キャリア密度は  $3 \times 10^{12} \text{ cm}^{-2}$  とし、室温は  $300\text{K}$  とみなした。本グラフでは縦軸、横軸ともに Log スケールで表示しているため、図中において温度に対する反転層移動度の傾きが  $\beta$  に相当する。 $N_A$  が最も低い  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子では、温度が増加するにつれて反転層移動度が単調に減少する。また、 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子でも同様の傾向である。これらは、 $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  と  $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  の素子における反転層移動度を決める主要因がフォノン散乱であることを示唆する。一方で、 $N_A$  が最も高い  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では、温度が増加するにつれて反転層移動度が単調に増加する。このことは、 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子における反転層移動度を決める主要因がクーロン散乱であることを示唆する。これらの中間の  $N_A$  である、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  から  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では温度増加に伴って反転層移動度が増加した後に減少に転じる。これらの  $N_A$  ではクーロン散乱とフォノン散乱の影響が競合していることを示唆している。反転層移動度が増加の後に減少に転じるのは、室温付近ではクーロン散乱の影響がより支配的であるが、高温化することでその影響が弱まる一方で、フォノン散乱の影響が大きくなったためである。

図 5.4 を基に  $\beta$  のアクセプタ濃度依存性を検討した。 $\beta$  の評価は室温から  $373\text{K}$  の間、および室温から  $423\text{K}$  の間で評価した。図中の破線は音響フォノン散乱に対応する  $\beta=-1$  および、クーロン散乱に対応する  $\beta=1$  を示している。 $\beta$  をいずれの温度範囲で評価した場合においても、 $\beta$  はアクセプタ濃度が増加することで単調に増加した。このことは、 $N_A$  が低い素子における反転層移動度は主にフォノン散乱で決まるが、 $N_A$  が増加することでクーロン散乱の影響度が大きくなり、 $N_A$  が十分に大きい素子では主に反転層移動度がクーロン散乱で決まることを示唆する。 $\beta$  を室温から  $423\text{K}$  の範囲で評価した値は、 $\beta$  を室温から  $373\text{K}$  の範囲で評価した値よりも小さかった。これは、 $\beta$  の評価範囲に高温側を含めることで、フォノン散乱の影響度が強まったことを反映している。



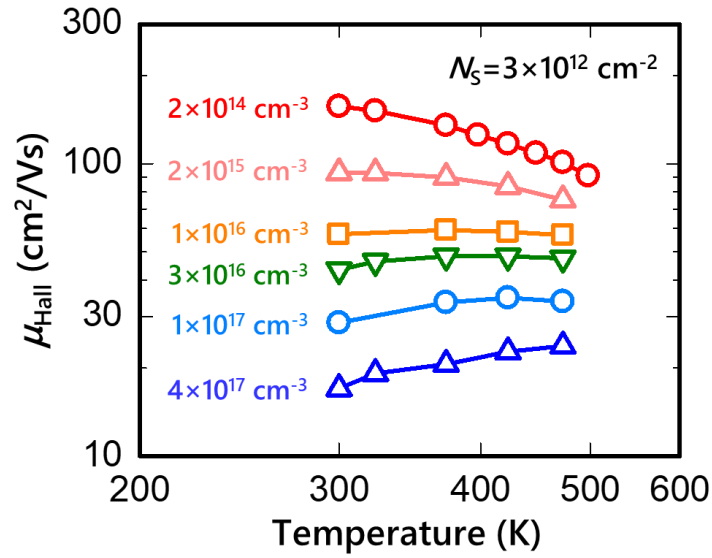


図 5.4 広範囲のアクセプタ濃度における反転層移動度の温度依存性。  
表面キャリア密度は  $3 \times 10^{12} \text{ cm}^{-2}$  とした。

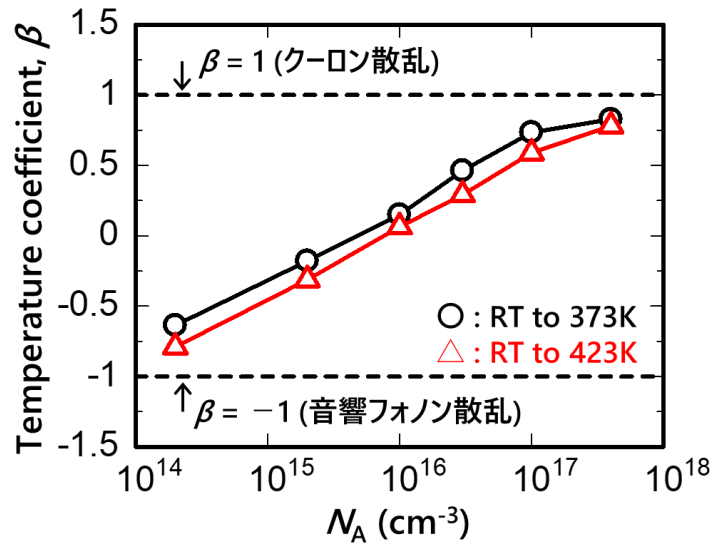


図 5.5  $\beta$  のアクセプタ濃度依存性。  
 $\beta$  の評価は室温から 373K の間、および室温から 423K の間で評価した。

## 5.2. 高温におけるキャリア散乱機構モデルの解析

本節では、フォノン散乱移動度の定式化の精度を向上して反転層移動度を決めるキャリア散乱機構を議論するため、473Kにおいてゲート絶縁膜に酸窒化膜を有する素子のキャリア散乱機構を前節 2.3 で提案した手法を基に検討した。これは、高温では反転層移動度に対するフォノン散乱の影響が大きくなる一方で、クーロン散乱の影響が小さくなるため、フォノン散乱移動度の定式化の精度が向上するためである。

### 5.2.1. 高温における酸窒化膜 MOSFET のフォノン散乱移動度

本節では高温における酸窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET のフォノン散乱移動度を検討するため、反転層移動度と実効垂直電界の関係を 473K で評価した。図 5.6 にゲート絶縁膜に酸窒化膜を有する素子の反転層移動度と実効垂直電界の関係を示す。評価は 473K 行った。ウェル領域を p 型エピタキシャル層で形成し、アクセプタ濃度は  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$ 、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  とした。すでに前節 4.1 で述べた通り、室温では  $N_A$  が  $1 \times 10^{14} \text{ cm}^{-3}$  台の素子では反転層移動度と実効垂直電界の関係はほぼ一致したが、 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  以上の素子ではそれらの反転層移動度と実効垂直電界の関係から推定されるフォノン散乱移動度よりも反転層移動度が低下した。しかし、473K では  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  および  $2 \times 10^{15} \text{ cm}^{-3}$  の素子における反転層移動度と実効垂直電界の関係がほぼ一致することが判明した。このことは、 $N_A = 2 \times 10^{15} \text{ cm}^{-3}$  以下の素子の反転層移動度がフォノン散乱移動度 ( $\mu_{\text{phonon}}$ ) に近いことを示唆している。最もアクセプタ濃度が低い素子の反転層移動度はフォノン散乱移動度 ( $\mu_{\text{phonon}}$ ) に近く、その値を基に実効垂直電界の関数として定式化した  $\mu_{\text{phonon}}$  を黒色の破線で示した。この関係を式(94)で示す。

$$\mu_{\text{phonon}} = 51.8 \times E_{\text{eff}}^{-0.33} \quad (94)$$

$N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では反転層移動度が式(94)で定式化したフォノン散乱移動度よりも低いことが判明した。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では実効垂直電界の増加に伴って、反転層移動度が単調に減少することから、クーロン散乱の影響はあるものの、フォノン散乱の方が支配的なキャリア散乱機構であることが示唆される。 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では実効垂直電界の増加に伴って、反転層移動度はわずかに増加するが、その変化は小さいことからクーロン散乱とフォノン散乱の影響が拮抗している可能性がある。

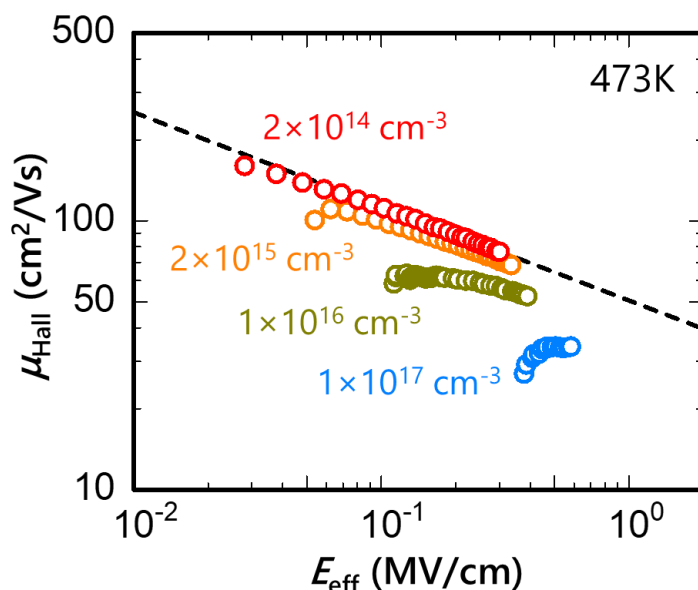


図 5.6 ゲート絶縁膜に酸化膜を有する素子の反転層移動度と実効垂直電界の関係

473K において、最もアクセプタ濃度が低い素子の反転層移動度から評価した  $\mu_{\text{phonon}}$  を、ゲート絶縁膜としてウェット酸化膜を用いた C 面 4H-SiC MOSFET にて評価したフォノン散乱移動度[189]と比較した。なお、本研究では 4H-SiC の面方位として Si 面を用いているが、他機関の報告[189]では C 面を用いている。C 面 4H-SiC ではゲート絶縁膜にウェット酸化膜を用いるとゲート絶縁膜/SiC 界面の電荷捕獲準位が低減されることが判明している[222], [229]。そのため、Si 面上に形成した酸化膜よりも、表面キャリア密度が高い領域まで評価することができる。Si 面上に形成した酸化膜ではアクセプタ濃度を変えた素子において反転層移動度と実効垂直電界の関係を評価した際に、反転層移動度のユニバーサリティーは室温および 473K で観測されない。一方で、C 面上に形成したウェット酸化膜では、423 K において反転層移動度のユニバーサリティーが観測されている[189]。ここでは、反転層移動度としてホール移動度ではなく実効移動度を評価しており、フォノン散乱移動度だけでなく界面ラフネス散乱移動度も評価している。評価は 223K から 423K の範囲で行われているため、フォノン散乱移動度を 473K で比較する際は、定式化された温度依存性を基に算出した。

図 5.7 に本研究における最もアクセプタ濃度が低い素子の反転層移動度と定式化した  $\mu_{\text{phonon}}$ 、およびウェット酸化膜を用いた C 面 4H-SiC MOSFET で定式化された  $\mu_{\text{phonon}}$ 、界面ラフネス散乱移動度( $\mu_{\text{SR}}$ )、フォノン散乱と界面ラフネス散乱により決まる移動度を示す。フォノン散乱と界面ラフネス散乱により決まる移動度( $\mu_{\text{phonon+SR}}$ )はフォノン散乱移動度と界面ラフネス散乱を基に式(90)より算出した。すでに、室温において Si 面と C 面における酸

化膜/SiC 界面におけるフォノン散乱移動度が一致する可能性が指摘されており[189]、高温でも同様の結果が得られた。なお、ウェット酸化膜を用いた C 面 4H-SiC MOSFET において界面ラフネス散乱の影響により、反転層移動度がフォノン散乱移動度より低下し始めるのは実効垂直電界が 0.3 MV/cm よりも高い領域においてであり、本研究で評価した実効垂直電界の範囲内ではフォノン散乱移動度は実効垂直電界のおおよそ累乗に比例して減少しており、界面ラフネス散乱の影響が無視できると考えるのは妥当であると考えられる。

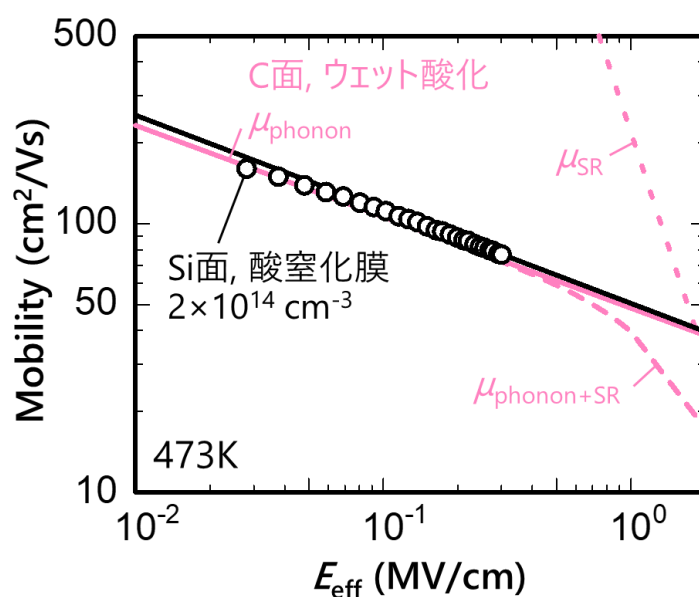


図 5.7 本研究の最もアクセプタ濃度が低い素子の反転層移動度と定式化した  $\mu_{\text{phonon}}$  およびウェット酸化膜を用いた C 面 4H-SiC MOSFET で定式化された各散乱移動度[189]。前者は黒丸印と黒線で、後者はマゼンタの実線、破線、点線で示す。

### 5.2.2. 高温における酸窒化膜のキャリア散乱機構

本節では高温における窒化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET のキャリア散乱機構を前節 2.3 で提案した手法を基に検討した。アクセプタ濃度が  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子についてキャリア散乱機構を分離評価した。評価は 473K で行い、フォノン散乱移動度の定式化は式(94)を用いた。

図 5.8 に反転層移動度、フォノン散乱移動度、および Matthiessen 則に基づいてフォノン散乱の影響を除いた移動度( $\mu_{w/o \text{ effect of phonons}}$ )と表面キャリア密度の関係を示す。評価は 473K で行い、アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  とした。すでに前節 4.1 で述べた通り、室温において反転層移動度はアクセプタ濃度が増加すると減少するのと同様に、473K においてもアクセプタ濃度が増加すると反転層移動度が減少した。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では、表面キャリア密度が低い領域では反転層移動度の変化は小さいが、表面キャリア密度が高い領域では表面キャリア密度の増加に伴って、反転層移動度が減少した。一方で、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では、表面キャリア密度の増加に伴って、反転層移動度が緩やかに増加した。フォノン散乱移動度はアクセプタ濃度が増加することで減少しており、これは空乏層電荷密度が増加して実効垂直電界が大きくなるためである。

$\mu_{w/o \text{ effect of phonons}}$  はいずれのアクセプタ濃度でも表面キャリア密度の増加に従っておおそ累乗に比例して増加した。これより、 $\mu_{w/o \text{ effect of phonons}}$  は主にクーロン散乱移動度に対応することが分かる。図中にこのように評価したクーロン散乱移動度を実線で示す。アクセプタ濃度が増加すると、 $\mu_{w/o \text{ effect of phonons}}$  は減少した。これは、クーロン散乱移動度がアクセプタ濃度の増加により減少したことを示唆しており、前節 4.2.2 で述べた室温での傾向と一致する。ここで、クーロン散乱移動度が表面キャリア密度のおおよそ累乗で増加する際の累乗係数( $\gamma$ )に着目すると、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では、各々  $\gamma = 0.22$  および  $\gamma = 0.27$  であり、アクセプタ濃度が増加すると  $\gamma$  が増加した。すでに前節 4.2.2 で述べた通り、室温においてアクセプタ濃度が増加すると  $\gamma$  が増加したが、高温でも同様の傾向があった。 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では  $\mu_{w/o \text{ effect of phonons}}$  は表面キャリア密度の増加に伴って増加するが、表面キャリア密度の高い領域では増加が止まっているように見え、評価したクーロン散乱移動度から乖離が生じている。このことは、この領域における界面ラフネス散乱の影響を示唆する可能性がある。その乖離量から前節 2.3 で述べた方法で評価した界面ラフネス散乱移動度はクーロン散乱移動度よりも高く、界面ラフネス散乱の影響はクーロン散乱よりも小さい。なお、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では  $\mu_{w/o \text{ effect of phonons}}$  は表面キャリア密度の増加に伴って増加した。表面キャリア密度の増加により実効垂直電界が増加すると、界面ラフネス散乱移動度は減少することを考慮すると、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子における界面ラフネス散乱の影響はクーロン散乱よりも小さいことが分かる。

反転層移動度を定める最も支配的なキャリア散乱機構を検討すると、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ の素子では評価した表面キャリア密度の全領域でフォノン散乱移動度がクーロン散乱移動度より小さいため、フォノン散乱が最も支配的である。すでに前節 4.3 で述べたように、室温では表面キャリア密度の低い領域ではクーロン散乱が最も支配的であり、表面キャリア密度が高い領域ではフォノン散乱が最も支配的であったことを踏まえると、高温ではクーロン散乱移動度が増加し、かつフォノン散乱移動度が低下するため、表面キャリア密度が低い領域でもフォノン散乱が最も支配的になったと考えられる。一方で、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ の素子では表面キャリア密度の低い領域ではクーロン散乱が最も支配的であり、表面キャリア密度が高い領域ではフォノン散乱が最も支配的であった。すでに前節 4.3 で述べたように、室温では表面キャリア密度が低い領域だけでなく、高い領域でもクーロン散乱が最も支配的であったことを踏まえると、高温ではクーロン散乱移動度が増加し、かつフォノン散乱移動度が低下するため、表面キャリア密度が高い領域ではフォノン散乱が最も支配的になったと考えられる。これらの結果は、反転層移動度を定める最も支配的なキャリア散乱機構はアクセプタ濃度と温度によって変化することを示しており、その挙動は室温において構築したキャリア散乱機構モデルを基に解釈できることから、高温においても SiC MOSFET の反転層移動度を定めるキャリア散乱機構は、従来の Si MOSFET における枠組みを大きく変更することなく理解できることが示唆された。

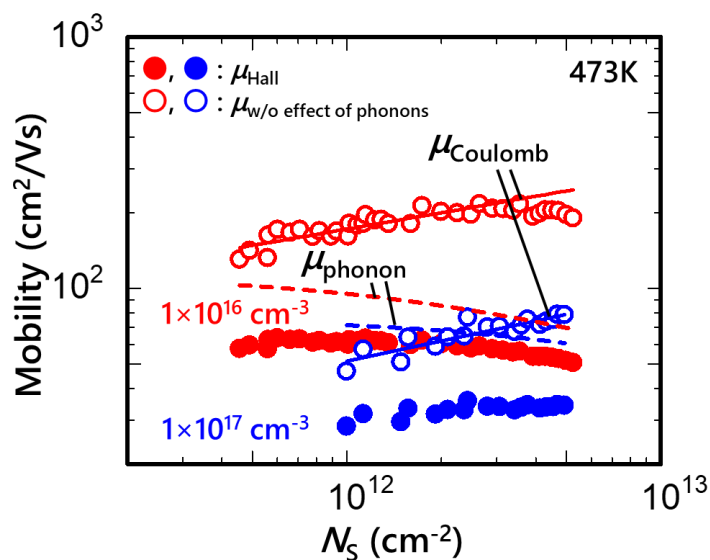


図 5.8 473K における反転層移動度、フォノン散乱移動度、および  $\mu_{w/o \text{ effect of phonons}}$  と表面キャリア密度の関係。 $N_A$  は  $1 \times 10^{16} \text{ cm}^{-3}$  および、 $1 \times 10^{17} \text{ cm}^{-3}$  とした。

### 5.3. 室温におけるキャリア散乱機構モデルの精度検討

本節では前章第4章で構築した室温におけるキャリア散乱機構モデルの精度検討を行った。すでに前節5.2.1にて述べた通り、473Kでは $N_A$ が $10^{14} \text{ cm}^{-3}$ 台の素子と $10^{15} \text{ cm}^{-3}$ 台の素子では実効垂直電界に対する反転層移動度がほぼ同じであったが、前節4.1で示すように室温ではそれらが乖離していた。このことから、 $N_A$ が極めて低濃度の素子の反転層移動度でフォノン散乱移動度を定式化することによる誤差評価を検討した。

#### 5.3.1. $N_A$ が極めて低濃度の素子における反転層移動度とフォノン散

##### 乱移動度の乖離量

本節では、 $N_A$ が極めて低濃度の素子における反転層移動度とフォノン散乱移動度の乖離量を検討した。反転層移動度の温度依存性係数( $\beta$ )を評価することで、支配的な散乱機構を評価し、さらにボディ電圧( $V_B$ )を印加した場合の反転層移動度の変化を検討した。

図5.9に $N_A=2 \times 10^{14} \text{ cm}^{-3}$ の素子における反転層移動度の温度依存性を示す。温度は室温、323K、373K、398K、423K、448K、473K、498Kとし、反転層移動度は実効垂直電界に対してプロットした。ここで、実効垂直電界( $E_{\text{eff}}$ )を計算するパラメータ $\eta$ は、 $\eta=1/3$ とした。ここで、反転層移動度を実効垂直電界との関係で評価するのは、低 $N_A$ の素子ではフォノン散乱の影響が支配的となるためである。反転層移動度は、室温から高温化するにつれて単調に減少した。反転層移動度の実効垂直電界への依存性を表す係数を $\alpha$ 、温度依存性係数を $\beta$ とすると本素子の反転層移動度は式(95)で表される。破線で示すように $E_{\text{eff}}$ が0.06 MV/cm以上の領域では、室温と498Kのいずれにおいても反転層移動度が式(95)の形式で表現された。

$$\mu_{\text{Hall}} = \mu_{\text{Hall},0} \times E_{\text{eff}}^{\alpha} \times T^{\beta} \quad (95)$$

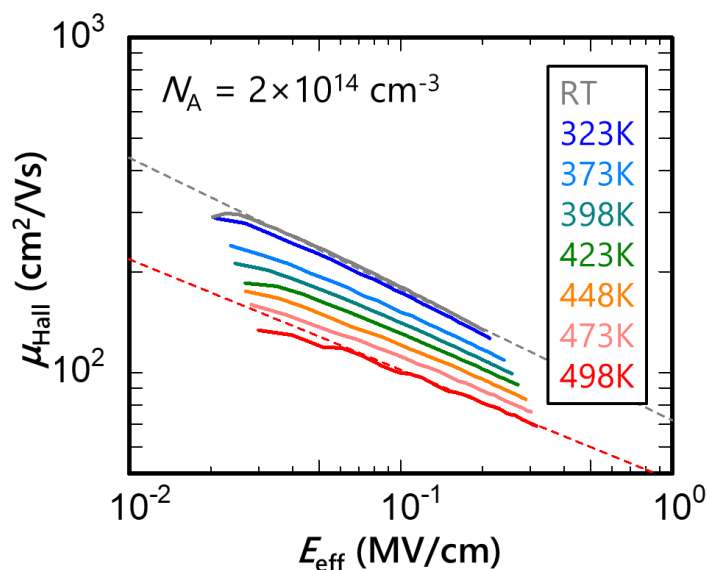


図 5.9 低アクセプタ濃度の素子における反転層移動度の温度依存性。

$N_A=2 \times 10^{14} \text{ cm}^{-3}$ であり、温度は室温から 498K で評価した。

反転層移動度は実効垂直電界に対してプロットしており、 $\eta=1/3$ とした。

図 5.10 に  $\alpha$  の温度依存性を示す。破線は前節 1.7.4 で述べた、フォノン散乱移動度の  $E_{\text{eff}}$  依存性の理論値を示す。なお、この理論値は反転層内のキャリアが1つのエネルギー準位のみに存在することを仮定している。 $\alpha$  は室温では  $-0.4$  であり、高温化することで増加し、498K では  $-0.33$  となり、理論値である  $-1/3$  に近い値を示した。

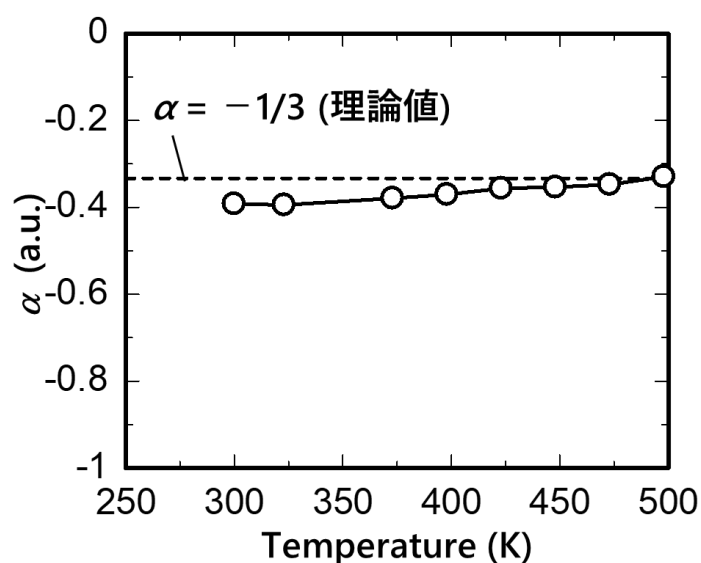


図 5.10 反転層移動度の実効垂直電界への依存性を表す係数と温度の関係



図 5.11 に  $\beta$  の温度依存性を示す。白丸印(○)は図 5.9 より評価した値であり、RT は 300K として評価した。また、黒丸印(●)は前節 4.1 で述べた  $N_A=3\times 10^{14} \text{ cm}^{-3}$  の素子における室温付近の値であり、温度 ( $T$ ) は  $T=300\text{K}$  としてプロットした。図中の灰、赤および青の破線は各々、クーロン散乱、音響フォノン散乱、バレー間フォノン散乱の  $\beta$  の値を示す。ここで、 $E_{\text{eff}}$  は  $0.2 \text{ MV/cm}$  とし、クーロン散乱と音響フォノン散乱の  $\beta$  は各々 1 と  $-1$  であり、前節 1.7.4 および 1.7.5 にて述べた理論値を用いた。また、バレー間フォノン散乱の  $\beta$  は、反転層内のキャリアが 1 つのエネルギー準位のみに存在することを仮定して、バレー間フォノンのエネルギーを  $85 \text{ meV}$ [241]として計算した。 $\beta$  は高温化に伴って単調に減少することが判明した。ここで、音響フォノン散乱により決まる反転層移動度では  $\beta=-1$  であるが、398K 近傍で  $\beta=-1$  となり、それより高温領域では  $\beta$  は  $-1$  よりも小さいことが判明した。これは高温において、 $N_A$  が極めて低濃度の素子におけるフォノン散乱は音響フォノン散乱だけではなく、より温度係数の小さい散乱過程が寄与していることを示唆する。図に示すようにバレー間フォノン散乱の  $\beta$  は  $-1$  より小さいことを考慮すると、バレー間フォノン散乱が寄与している可能性がある。

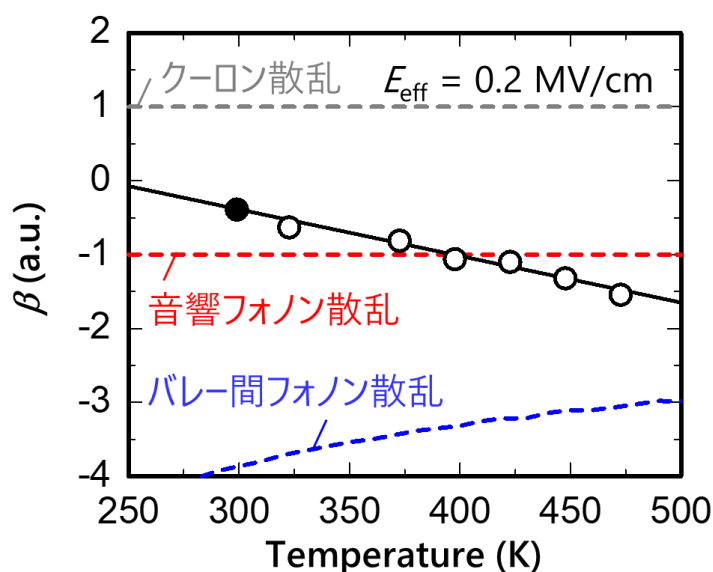


図 5.11 反転層移動度の温度依存性係数と温度の関係。

○印は図 5.9 より評価した値であり、●印は前節 4.1 で述べた室温付近の値である。

また、 $\beta$  の評価値を直線近似すると、前節 4.1 で述べた室温付近の  $\beta$  がその直線上にプロットされた。このことから、 $\beta$  は室温より高温になるにつれて減少することが判明した。室温から 373K の範囲では  $\beta$  は  $-0.4$  から  $-1$  の中間値を示した。これは、これらの温度範囲では  $N_A$  が極めて小さい素子の反転層移動度がフォノン散乱の影響のみで決まらず、クー

ロン散乱の影響が無視できないことを示唆する。このことを検証するために、ウェル領域にボディ電圧( $V_B$ )を印加して反転層移動度を評価した。その結果を図 5.12 に示す。ここでは  $V_B$  は 0 V および -4 V とし、実線が  $V_B=0$  V であり破線が  $V_B=-4$  V を示す。温度は室温、373K、423K、473K とした。負電圧の  $V_B$  を印加すると反転キャリアが MOS 界面に近づくためクーロン散乱の影響が強くなり、クーロン散乱移動度が低下する。もし仮に、フォノン散乱の影響度がクーロン散乱の影響度よりも十分に大きければ、クーロン散乱移動度の低下の影響は無視できるため、反転層移動度と実効垂直電界の関係は同一曲線上にプロットされると考えた。

図 5.12 に示すように、室温では負の  $V_B$  を印加することで反転層移動度が低下した。一方で、473K では負の  $V_B$  を印加しても反転層移動度はほぼ変化しなかった。高温化することによって負  $V_B$  を印加することによる反転層移動度の低下量は減少した。これらより、473K では  $N_A$  が極めて低い素子の反転層移動度はフォノン散乱移動とほぼ一致するが、それより低温では反転層移動度はフォノン散乱だけでなくクーロン散乱の影響を受けており、フォノン散乱移動度よりも低い値を示すことが示唆された。高温化によりクーロン散乱の影響が低減した結果、473K ではクーロン散乱の影響度が無視できるほど小さくなったと考えられる。

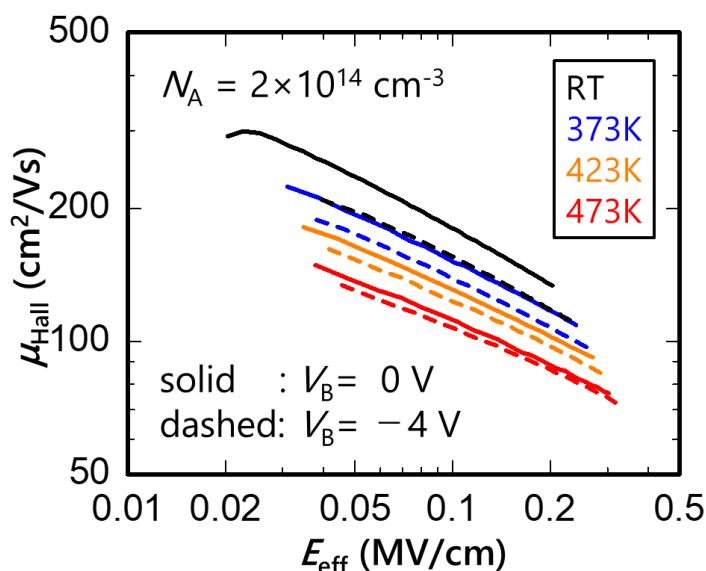


図 5.12 反転層移動度のボディ電圧依存性。 $V_B$  は 0 V および -4 V とし、実線が  $V_B=0$  V であり破線が  $V_B=-4$  V を示す。温度は室温、373K、423K、473K とした。

なお、473K において  $V_B=0$  V と  $V_B=-4$  V における反転層移動度の変化率を同一の  $E_{\text{eff}}$  で比較すると、 $V_B=0$  V において  $N_S=3\times 10^{12}$  cm<sup>-2</sup> および  $N_S=6\times 10^{11}$  cm<sup>-2</sup> の  $E_{\text{eff}}$  を基準にすると、

$\eta=1/3$  の場合は各々  $-1.9\%$  および  $-4.5\%$  である一方で、 $\eta=1/2$  の場合は各々  $-2.6\%$  および  $-6.1\%$  であることより、 $\eta$  の値の設定が及ぼす影響は小さいと考えられる。 $V_B=0$  V において  $N_S = 3 \times 10^{12} \text{ cm}^{-2}$  の  $E_{\text{eff}}$  を基準に  $\eta$  を 0.1 から 1 へと連続的に増加させると、反転層移動度の変化率は  $+1.5\%$  から  $-3.4\%$  へと減少し、 $\eta$  が大きくなるにつれて変化が小さくなった。

室温付近では反転層移動度がクーロン散乱の影響を受けてフォノン散乱移動度よりも低下することが示唆されたため、 $N_A$  が極めて低い素子における反転層移動度とフォノン散乱移動度の乖離量をその温度依存性より見積もった。高温における反転層移動度はフォノン散乱移動度とほぼ一致することより、高温領域における  $\beta$  を基にそれよりも低温領域における反転層移動度を推定した。なお、473K における  $\beta$  は  $-1.52$  であり、前述の考察よりこれは音響フォノン散乱にバレー間フォノン散乱が加わっていると考えられる。低温領域ではバレー間フォノン散乱の影響は小さくなり、温度依存性の係数は音響フォノン散乱の  $\beta = -1$  に近づくことを考慮すると、室温から 473K におけるフォノン散乱移動度の  $\beta$  は  $-1$  から  $-1.52$  の間の値を示すはずである。従って、473K における反転層移動度と  $\beta$  より低温領域のフォノン散乱移動度を推定することは、フォノン散乱移動度を過大評価している可能性があることに注意が必要である。

図 5.13 に  $N_A$  が極めて低い素子の反転層移動度の温度依存性を示す。破線で高温領域より推定したフォノン散乱移動度を示し、点線で C 面のウェット酸化膜で評価されたフォノン散乱移動度[189]を示す。ここで、 $E_{\text{eff}}$  は  $0.2 \text{ MV/cm}$  とした。 $N_A$  が極めて低い素子の反転層移動度の温度依存性係数は室温から 498K の範囲では実線で示すように  $\beta = -1.0$  である。これは図 5.11 で示すように  $\beta$  は温度依存性があるため、それを室温から高温領域で平均化した結果である。 $N_A$  が極めて低い素子の反転層移動度は、C 面のウェット酸化膜で評価されたフォノン散乱移動よりも少し高いものの、概ねよく一致することが分かる。高温領域より推定したフォノン散乱移動度と反転層移動度の実測値を比較すると、室温における実測値は推定値よりも 23% 低かった。これは、室温におけるフォノン散乱移動度は極めて  $N_A$  が低い素子の反転層移動度の 1.3 倍以内であることを示唆している。

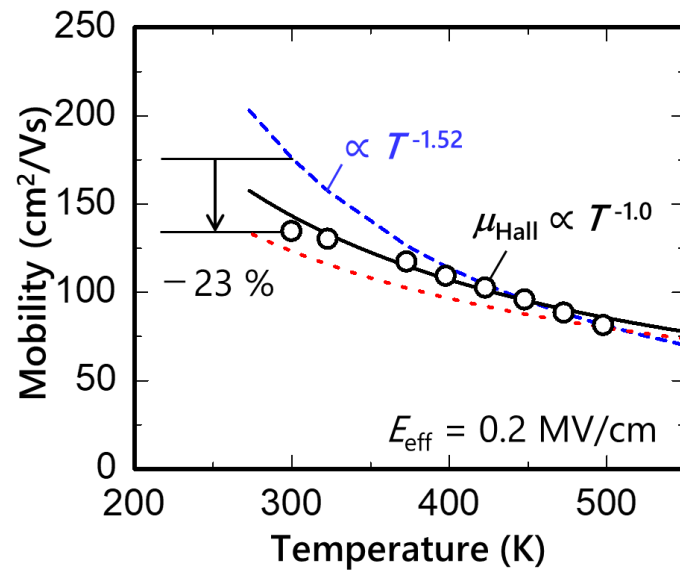


図 5.13  $N_A$  が極めて低い素子の反転層移動度の温度依存性。丸印および実線(黒)は各々、室温から 498K における  $\mu_{\text{Hall}}$  の実測値と近似曲線を示す。破線(青)は高温領域より推定したフォノン散乱移動度を示し、点線(赤)は C 面のウェット酸化膜で評価されたフォノン散乱移動度[189]を示す。

### 5.3.2. 室温における酸窒化膜のフォノン散乱移動度の推定とキャリア

#### ア散乱機構の評価への影響

図 5.14 に室温における極めて  $N_A$  が低い素子の反転層移動度と高温領域より推定したフォノン散乱移動度の比較を示す。これらを実効垂直電界に対してプロットしており、 $\eta=1/3$  とした。ここで室温は 300K とし、室温におけるフォノン散乱移動度は 473K における反転層移動度と  $\beta$  より式(96)に基づき推定した。ここで  $\alpha$  は 498K では  $-0.33$  であり、理論値である  $-1/3$  に近い値を示すことより、フォノン散乱移動度の  $\alpha$  は  $-0.33$  であると仮定した。また、 $\beta$  は  $-1$  から  $-1.52$  の値を示すと予想されるため、図中には  $\beta=-1.0$  および  $\beta=-1.52$  とした場合を示した。各々順に、黒実線と青破線で示しており、真のフォノン散乱移動度はこれらの間の値を示すと予想される。また、赤破線は実測値の外挿線であり、前節 4.1 における  $\mu_{\text{Hall,lowNA}}$  に相当し、式(97)で定式化される。後述するように、室温におけるフォノン散乱移動度が式(97)で与えられる  $\mu_{\text{Hall,lowNA}}$  と一致するとみなしてキャリア散乱機構を評価した場合の、界面ラフネス散乱移動度は式(98)となる。

$$\mu_{\text{phonon}} = 51.8 \times E_{\text{eff}}^{-0.33} \times \left( \frac{T}{473} \right)^{\beta} \quad (96)$$

$$\mu_{\text{Hall,lowNA}} = 72 \times E_{\text{eff}}^{-0.39} \quad (97)$$

$$\mu_{\text{SR}} = 66.6 \times E_{\text{eff}}^{-2.07} \quad (98)$$

図 5.15 に実測値を良く再現するように  $\beta$  を選択した場合の、極めて  $N_A$  が低い素子の反転層移動度とフォノン散乱移動度( $\mu_{\text{phonon}}$ )、界面ラフネス散乱移動( $\mu_{\text{SR}}$ )および、フォノン散乱と界面ラフネス散乱で決まる移動度( $\mu_{\text{phonon+SR}}$ )を示す。ここでは  $\mu_{\text{phonon}}$  は式(96)において  $\beta = -1.17$  とした場合に相当し、式(99)で表される。室温は 300K とした。界面ラフネス散乱移動度は、式(99)でフォノン散乱移動度を定めて、既に前節 2.3 で述べた SiC MOSFET におけるキャリア散乱機構の解析手法を用いて評価することで、式(100)と表される。この際、キャリア散乱機構の分離評価は  $N_A=1 \times 10^{16} \text{ cm}^{-3}$  の素子を用いて実施した。

$$\mu_{\text{phonon}} = 88.2 \times E_{\text{eff}}^{-0.33} \times \left( \frac{T}{300} \right)^{-1.17} \quad (99)$$

$$\mu_{\text{SR}} = 51.1 \times E_{\text{eff}}^{-2.04} \quad (100)$$

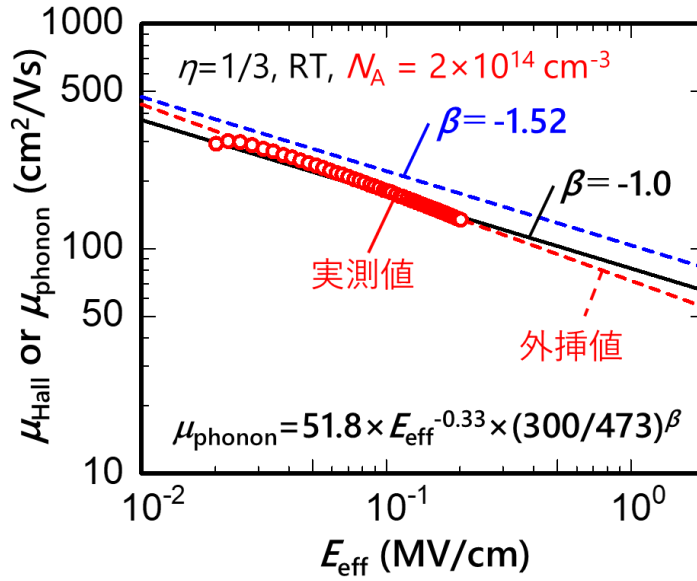


図 5.14 室温における極めて  $N_A$  が低い素子の反転層移動度と高温領域より推定したフォノン散乱移動度の比較。

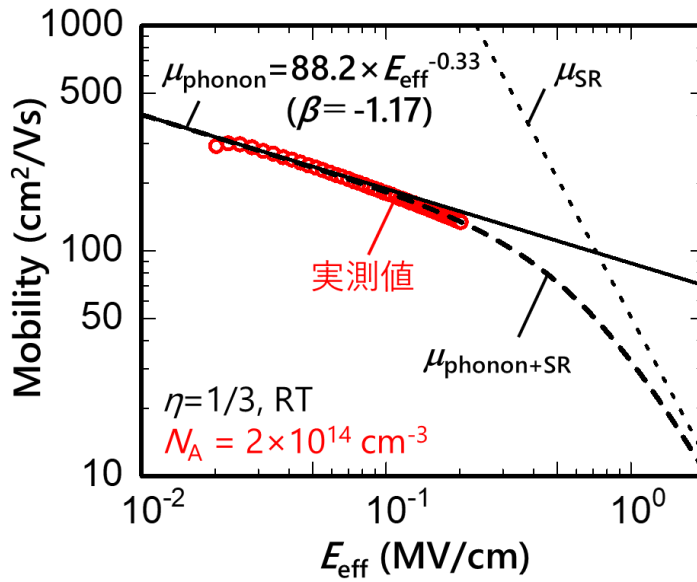


図 5.15 実測値を良く再現するように  $\beta$  を選択した場合の、極めて  $N_A$  が低い素子の反転層移動度とフォノン散乱移動度( $\mu_{\text{phonon}}$ )、界面ラフネス散乱移動( $\mu_{\text{SR}}$ )および、フォノン散乱と界面ラフネス散乱で決まる移動度( $\mu_{\text{phonon+SR}}$ )。ここでは、 $\beta = -1.17$  とした。

図 5.16 に  $\mu_{\text{phonon}}$  の推定値がキャリア散乱機構の評価に及ぼす影響を示す。ここでは、反転層移動度およびクーロン散乱移動度を含めた各散乱移動度と実効垂直電界の関係を示しており、アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。実効垂直電界が比較的高い領域において  $\mu_{\text{phonon}}$  の推定値がキャリア散乱機構へ及ぼす影響を評価するため、 $\mu_{\text{phonon}}$  の推定値を式(96)において  $\beta = -1.52$  とした場合または式(97)とした場合について、既に前節 2.3 で述べた手法によりキャリア散乱機構を評価し、各々順に青色と赤色で示した。これは、前者では  $\mu_{\text{phonon}}$  の推定値が最大となり、後者では  $\mu_{\text{phonon}}$  の推定値が最小となるためである。なお、前者は室温におけるフォノン散乱移動度を、高温領域における極めて  $N_A$  が低い素子の反転層移動度から  $\beta = -1.52$  として高温領域をもとに推定する場合であり、後者はそれを室温における実測値の外挿線である  $\mu_{\text{Hall, low } N_A}$  と一致するとみなす場合である。実測した反転層移動度は記号で示し、フォノン散乱移動度( $\mu_{\text{phonon}}$ )、クーロン散乱移動度( $\mu_{\text{phonon}}$ )、界面ラフネス散乱移動( $\mu_{\text{SR}}$ )は各々、実線、破線、点線で示した。

青色で示すようにフォノン散乱移動度を高く推定する場合、赤色と比べて界面ラフネス散乱移動度が減少するが、その実効垂直電界( $E_{\text{eff}}$ )依存性は同程度であった。アクセプタ濃度ごとの主要なキャリア散乱機構に着目すると、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子では  $\mu_{\text{phonon}}$  の推定値によらず、フォノン散乱移動度とクーロン散乱移動度は界面ラフネス散乱移動度よりも低かった。 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子では  $\mu_{\text{phonon}}$  の推定値によらず、クーロン散乱移動度が最も低く、フォノン散乱移動度、界面ラフネス散乱移動度の順に移動度が増加した。 $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子では  $\mu_{\text{phonon}}$  の推定値によらず、クーロン散乱移動度が最も低い値を示した。一方で、フォノン散乱移動度と界面ラフネス散乱移動度は  $\mu_{\text{phonon}}$  の推定値により大小が逆転した。前節 4.3 の評価では、評価した範囲ではフォノン散乱移動度は界面ラフネス散乱移動度よりも常に低かったことを考慮すると、青色で示すようにフォノン散乱移動度を高く推定する場合ではフォノン散乱移動度が増加し、界面ラフネス散乱移動度が低下しているため、 $N_A$  が高い素子では界面ラフネス散乱の影響が示唆された。これらの結果は、フォノン散乱移動度を高く推定する場合、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  の範囲では、クーロン散乱が最も支配的な散乱機構であり、その次に影響度が大きい散乱機構は  $N_A$  が低い領域ではフォノン散乱であるが、 $N_A$  が高い領域ではフォノン散乱と界面ラフネス散乱の影響度の大小が逆転しうることを示している。

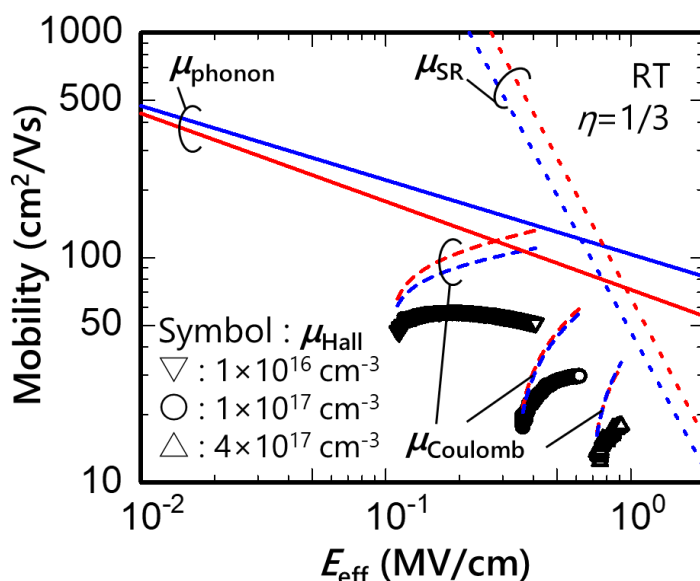


図 5.16  $\mu_{\text{phonon}}$  の推定値がキャリア散乱機構の評価に及ぼす影響。反転層移動度およびクーロン散乱移動度を含めた各散乱移動度と実効垂直電界の関係を示しており、アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。 $\mu_{\text{phonon}}$  の推定値を式(96)において  $\beta = -1.52$  とした場合または式(97)とした場合を各々、青色と赤色で示す。

図 5.17 に  $\mu_{\text{phonon}}$  の推定値がフォノン散乱と界面ラフネス散乱で決まる移動度( $\mu_{\text{phonon+SR}}$ )に及ぼす影響を示す。ここでは、反転層移動度および各散乱移動度と実効垂直電界の関係を示しており、アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。図 5.16 と同様に  $\mu_{\text{phonon}}$  を推定し、各々順に青色と赤色で示した。また、前節 4.2 での評価と比較のため、 $\mu_{\text{phonon}}$  および  $\mu_{\text{R}}$  を式(88)と式(89)とした場合を灰色で示した。フォノン散乱移動度( $\mu_{\text{phonon}}$ )、界面ラフネス散乱移動度( $\mu_{\text{SR}}$ )、フォノン散乱と界面ラフネス散乱で決まる移動度( $\mu_{\text{phonon+SR}}$ )は各々、実線、点線、破線で示した。赤色で示ように  $\mu_{\text{phonon}}$  を  $\mu_{\text{Hall,lowNA}}$  と一致するとみなす場合と比較して、青色ではフォノン散乱移動度を高く推定しているため、 $E_{\text{eff}}$  が約 0.7 MV/cm 以下の領域において、フォノン散乱と界面ラフネス散乱で決まる移動度は青色の方が赤色よりも高い値を示す。これは、フォノン散乱移動度を高く推定した場合、フォノン散乱と界面ラフネス散乱で決まる移動度と実測値との差が拡大することを示しており、クーロン散乱移動度が低く評価されることを意味する。一方で、 $E_{\text{eff}}$  が約 0.7 MV/cm から 1 MV/cm の領域では青色の方が赤色よりも低い値を示した。また、赤色と灰色を比較すると、本節で用いた  $\mu_{\text{Hall,lowNA}}$  は前節 4.2 で用いた値より高いため、界面ラフネス散乱移動度はわずかに減少するが、その実効垂直電界( $E_{\text{eff}}$ )依存性は同程度であった。両者のフォノン散乱と界面ラフネス散乱で決まる移動度はわずかに異なるものの、大きな違いはないことが確認された。



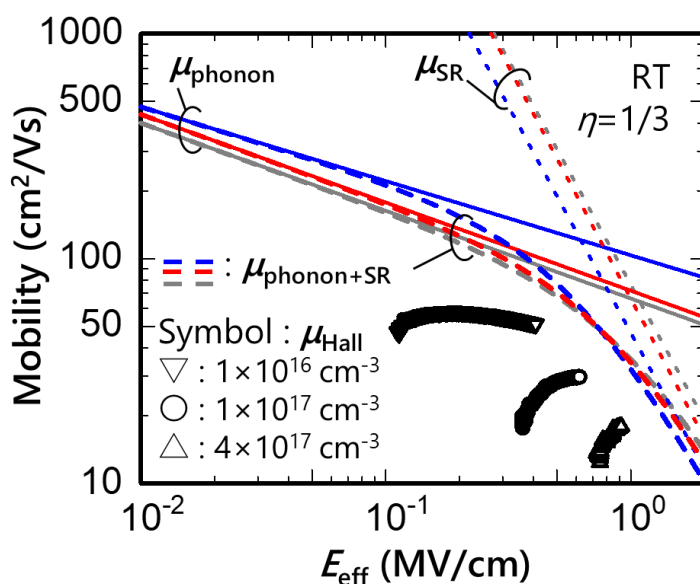


図 5.17  $\mu_{\text{phonon}}$  の推定値がフォノン散乱と界面ラフネス散乱で決まる移動度に及ぼす影響。反転層移動度および各散乱移動度と実効垂直電界の関係を示しており、アクセプタ濃度は  $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。 $\mu_{\text{phonon}}$  の推定値を式(96)において  $\beta = -1.52$  とした場合または式(97)とした場合を各々、青色と赤色で示す。また、 $\mu_{\text{phonon}}$  と  $\mu_{\text{SR}}$  を順に式(88)と式(89)とした場合を、灰色で示す。

$\mu_{\text{phonon}}$  の推定値によるキャリア散乱機構の変化を詳細に検討するため、図 5.18 に室温におけるキャリア散乱機構の分離評価の比較を行った。記号は実測した反転層移動度を表し、アクセプタ濃度は(a)  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、(b)  $1 \times 10^{17} \text{ cm}^{-3}$ 、(c)  $4 \times 10^{17} \text{ cm}^{-3}$  とした。記号と線の定義は図 5.16 と同様である。青色は室温におけるフォノン散乱移動度を、高温領域における極めて  $N_A$  が低い素子の反転層移動度から  $\beta = -1.52$  として高温領域をもとに推定する場合であり、赤色はそれを室温における実測値の外挿線である  $\mu_{\text{Hall, lowNA}}$  と一致するとみなす場合である。まず、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子に着目すると、赤色で示すように  $\mu_{\text{phonon}}$  が  $\mu_{\text{Hall, lowNA}}$  と一致するとみなす場合、前節 4.3 で述べた通り、表面キャリア密度が増加するに従って最も支配的な散乱機構がクーロン散乱からフォノン散乱に変化した。一方で、青色で示すようにフォノン散乱移動度を高く推定する場合、クーロン散乱の影響が常にフォノン散乱の影響よりも大きかった。これは、フォノン散乱の影響が低下したため、クーロン散乱の影響が増加したことを意味する。しかし、いずれの場合でも、界面ラフネス散乱の影響はこれらの散乱よりも小さかった。

次に、 $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子に着目すると、いずれの場合もクーロン散乱が最も支配的な

散乱要因であり、クーロン散乱移動度の評価値はほぼ同程度であった。反転層移動度への影響度は大きい順にクーロン散乱、フォノン散乱、界面ラフネス散乱であり、フォノン散乱移動度と界面ラフネス散乱移動度の評価値は異なるものの、この順番は前節 4.3 で述べたものと一致した。

最後に、 $N_A=4\times 10^{17}\text{ cm}^{-3}$ の素子に着目すると、いずれの場合もクーロン散乱が最も支配的な散乱要因であった。これは、 $N_A=1\times 10^{17}\text{ cm}^{-3}$ の素子と同様である。クーロン散乱移動度の評価値はほぼ同程度であった。赤色で示すように  $\mu_{\text{phonon}}$  が  $\mu_{\text{Hall,lowNA}}$  と一致するとみなす場合、前節 4.3 での議論と同様に、フォノン散乱の影響が界面ラフネス散乱よりも常に大きかった。一方で、青色で示すようにフォノン散乱移動度を高く推定する場合、その大小は逆転しており、前節 4.3 での議論とは異なる結果である。これは、フォノン散乱の影響が低下し、界面ラフネス散乱の影響が増加したことを意味する。これは室温において、実効垂直電界が高い領域におけるフォノン散乱移動度が式(97)よりも高いとすると、アクセプタ濃度が  $4\times 10^{17}\text{ cm}^{-3}$  以上の素子では界面ラフネス散乱の影響が顕在化する可能性を示唆する。

Red : RTの実測値からの外挿値,  $\mu_{\text{Hall,lowNA}}=72\times E_{\text{eff}}^{-0.39}$   
 Blue :  $\beta=-1.52$ ,  $\mu_{\text{phonon}}=51.8\times E_{\text{eff}}^{-0.33}\times (300/473)^\beta$

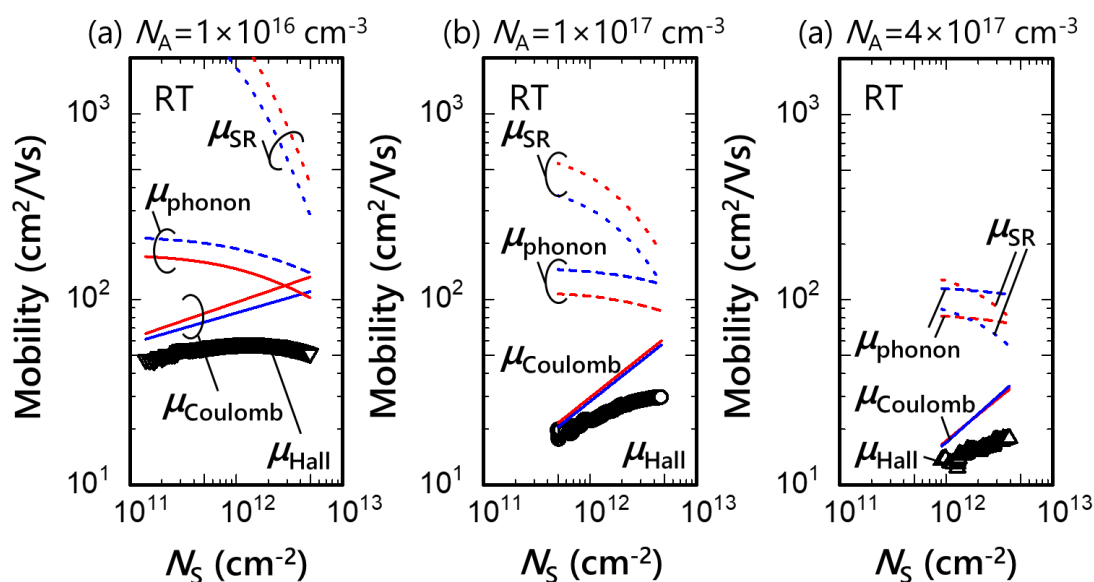


図 5.18 室温におけるキャリア散乱機構の分離評価の比較。記号は実測した反転層移動度を表し、アクセプタ濃度は(a) $N_A=1\times 10^{16}\text{ cm}^{-3}$ 、(b) $1\times 10^{17}\text{ cm}^{-3}$ 、(c) $4\times 10^{17}\text{ cm}^{-3}$ とした。記号と線の定義は図 5.16 と同様である。

これらの結果は、フォノン散乱移動度の推定値によりクーロン散乱、フォノン散乱、界

面ラフネス散乱の影響度が変化する可能性を示唆しているが、いずれの場合もキャリア散乱機構はこれらの 3 つでモデル化できることを示している。また、フォノン散乱移動度を高く推定する場合でも、SiC MOSFET の反転層移動度が主にクーロン散乱により律速され、本評価の範囲ではその影響を受けてアクセプタ濃度が高い領域において反転層移動度が低下するという結論は変わらない。

## 5.4. 本章のまとめ

本章では酸化窒化膜をゲート絶縁膜に用いた素子における反転層移動度の温度依存性を検討し、前章第4章において室温で構築した反転層移動度のキャリア散乱機構モデルを高温で検証した。フォノン散乱移動度に対する定式化の精度を高めるため、フォノン散乱の影響が強まる一方で、クーロン散乱の影響が弱まる高温で反転層移動度のキャリア散乱機構をモデル化した。

Si 面上に形成した酸化窒化膜では、室温より高温化した際の反転層移動度の振る舞いはアクセプタ濃度( $N_A$ )に応じて変化した。室温から 473K へと高温化すると、 $N_A=2\times 10^{14}\text{cm}^{-3}$  の低  $N_A$  素子では反転層移動度は単調に減少したが、 $N_A=4\times 10^{17}\text{cm}^{-3}$  の高  $N_A$  素子では単調に増加した。反転層移動度の温度依存性係数( $\beta$ )を評価すると、 $\beta$  は  $N_A$  が増加することで単調に増加したことから、 $N_A$  が低い領域ではフォノン散乱が最も支配的であるが、 $N_A$  が増加するにつれてクーロン散乱の影響度が大きくなり、 $N_A$  が高い領域ではクーロン散乱が最も支配的であることが分かる。これは、前章第4章で構築したモデルの枠組みの妥当性を支持するものといえる。

Si 面上に形成した酸化窒化膜では、473K の高温でも反転層移動度のユニバーサリティーは観測されないが、 $N_A=2\times 10^{14}\text{cm}^{-3}$  および  $2\times 10^{15}\text{cm}^{-3}$  の素子における反転層移動度と実効垂直電界の関係がほぼ一致することが判明した。これより、アクセプタ濃度が低い素子の反転層移動度はフォノン散乱移動度に近いことが示唆された。この値は C 面上に形成したウェット酸化膜で推定されるフォノン散乱移動度とよく一致した。

473K にて定式化したフォノン散乱移動度を基に、高温におけるキャリア散乱機構を提案した手法を基に検討した。高温でも室温と同様に、支配的なキャリア散乱機構はフォノン散乱とクーロン散乱であり、その振る舞いは室温で構築したキャリア散乱機構モデルを基に理解できることを示した。これより、高温においても SiC MOSFET の反転層移動度を決めるキャリア散乱機構は、従来の Si MOSFET における枠組みを大きく変更することなく理解できることが示唆された。

室温におけるフォノン散乱移動度の定式化の精度を検討するために、アクセプタ濃度が極めて低い素子の温度依存性を詳細に検討した。室温より 498K へと高温化すると、反転層移動度が単調に減少し、反転層移動度の実効垂直電界依存性を表す累乗係数( $\alpha$ )は  $-0.4$  から  $-0.33$  へと単調に増加した。一方で、反転層移動度の温度依存性を表す累乗係数( $\beta$ )は単調に減少し、室温では  $-1$  よりも大きかったが、398K 近傍でおよそ  $-1$  となり、それより高温では  $-1$  よりも小さかった。これは、本素子におけるフォノン散乱は  $\beta = -1$  である音

響フォノン散乱だけではなく、 $\beta$ が $-1$ よりも小さい散乱過程が寄与していることを示唆しており、バレー間フォノン散乱が寄与する可能性がある。

室温付近では反転層移動度がクーロン散乱の影響を受けてフォノン散乱移動度よりも低下することが示唆されたため、室温における反転層移動度とフォノン散乱移動度の乖離量を、473Kにおける反転層移動度の温度依存性より評価した結果、その乖離は23%以下であると見積もられた。室温における真のフォノン散乱移動度は、極めて $N_A$ が低い素子の反転層移動度を基に、その温度依存性係数を $\beta = -1.0$ から $\beta = -1.52$ の値として、高温領域より推定される範囲の値を示すと予想される。また、 $\beta = -1.17$ とすると、良く実験値を再現した。

フォノン散乱移動度を $\beta = -1.52$ として高温領域から推定する場合および、フォノン散乱移動度が $\mu_{\text{Hall, low } N_A}$ と一致するとみなす場合について、室温におけるキャリア散乱機構を分離評価した。その結果、フォノン散乱移動度の推定値によりクーロン散乱、フォノン散乱、界面ラフネス散乱の影響度が変化する可能性はあるものの、いずれの場合もキャリア散乱機構はこれらの3つの散乱機構が競合するというモデルで説明できると判明した。これは、フォノン散乱移動度の推定値によらず、SiC MOSFETの反転層移動度は第4章で構築したモデルの枠組みが適用できることを示している。また、フォノン散乱移動度を高く推定する場合でも、SiC MOSFETの反転層移動度は主にクーロン散乱により律速され、本評価の範囲ではその影響を受けてアクセプタ濃度が高い領域において反転層移動度が低下するという結論は変わらないことを示した。



## 第6章 酸窒化膜と他のゲート絶縁膜における SiC MOSFET の反転層移動度の比較

本章では前章第4章および第5章で構築した酸窒化膜をゲート絶縁膜に用いた素子における反転層移動度のキャリア散乱機構モデルの拡張性を検討するため、ゲート絶縁膜に酸窒化膜を用いた場合と、他のゲート絶縁膜を用いた場合で反転層移動度を比較する。他のゲート絶縁膜は (1)熱酸化膜と(2)リン処理した熱酸化膜とし、前章で検討したように、それぞれのゲート絶縁膜における反転層移動度のキャリア散乱機構モデルを検討する。酸窒化膜の場合との共通点と相違点を基に、酸窒化膜では反転層移動度に大きく影響するクーロン散乱の要因について考察する。

## 6.1. 熱酸化膜をゲート絶縁膜に有する SiC MOSFET の反転層移動度の比較

本節では熱酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度を室温で評価し、酸窒化膜をゲート絶縁膜に用いた場合と比較した。p 型エピタキシャル層を用いてウェル領域を形成し、アクセプタ濃度は約  $3 \times 10^{14} \text{ cm}^{-3}$  および  $1 \times 10^{16} \text{ cm}^{-3}$  とした。前者はフォノン散乱移動度を評価するために用い、後者はキャリア散乱機構の分離評価に用いた。

この際、ゲート絶縁膜の厚さが反転層移動度に及ぼす影響を検討するため、ゲート絶縁膜厚( $T_{\text{ox}}$ )を厚膜と薄膜の 2 素子を作製した。厚膜は通常用いる約 50 nm とし、薄膜は約 5 nm とした。これは熱酸化初期では SiC の酸化速度が異なるため[242]、反転層移動度が異なる可能性を検討するためである。酸窒化膜を形成する際は、これらの熱酸化膜を形成した後に、希釈 NO ガス中で窒化処理を行った。なお、窒化処理によりゲート絶縁膜の厚みがわずかに増加し、窒化処理前の酸化膜厚が薄い方がその増加量が多かった。熱酸化膜厚が約 5 nm の素子では、熱酸化直後は 5 nm よりもわずかに薄い、窒化処理後は 6 nm となった。表 6.1 に本節で検討したパラメータの一覧を示す。

すでに前節 2.4.2 に述べた通り、熱酸化膜には酸窒化膜と比較して高密度の電荷捕獲準位が存在し、伝導帯端部の直下で比較するとおよそ 6 倍の高密度で存在する。これはゲート絶縁膜厚が約 50 nm または約 5 nm によらず、熱酸化膜を窒化処理することで電荷捕獲準位の密度が低減することを示している。

表 6.1 6.1 節で検討したパラメータの一覧。

パラメータ	値
アクセプタ濃度( $N_A$ )	約 $3 \times 10^{14} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$
ゲート酸化膜厚( $T_{\text{ox}}$ )	約 5 nm、約 50 nm
窒化処理	あり、なし



### 6.1.1. 熱酸化膜と酸窒化膜における反転層移動度の比較

本節では中程度のアクセプタ濃度である  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子を用いて、熱酸化膜と酸窒化における反転層移動度を評価し、窒化処理が反転層移動度に及ぼす影響を検討した。図 6.1 に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における反転層移動度と表面キャリア密度の関係を示す。ゲート絶縁膜は熱酸化膜および酸窒化膜とし、ゲート絶縁膜厚は厚膜および薄膜とした。評価は室温で行った。

まず、ゲート酸化膜が厚膜の場合について比較した。ゲート絶縁膜に熱酸化膜を用いた素子では表面キャリア密度が約  $N_S = 4 \times 10^{11} \text{ cm}^{-2}$  以下の領域のみ反転層移動度が評価できた。一方で、ゲート絶縁膜に酸窒化膜を用いた素子では表面キャリア密度が約  $N_S = 5 \times 10^{12} \text{ cm}^{-2}$  以下まで評価でき、熱酸化膜を用いた素子では評価できる表面キャリア密度の領域が低密度領域に限られた。これは熱酸化膜/SiC 界面には酸窒化膜/SiC 界面よりも多くの電荷捕獲準位が存在し、ゲート電圧を印加しても表面キャリア密度が増加しづらいことに起因する。熱酸化膜を用いた素子で評価できる表面キャリア密度が約  $N_S = 4 \times 10^{11} \text{ cm}^{-2}$  以下の領域で、熱酸化膜と酸窒化膜の反転層移動度を比較するとほぼ同じであることを見出した。

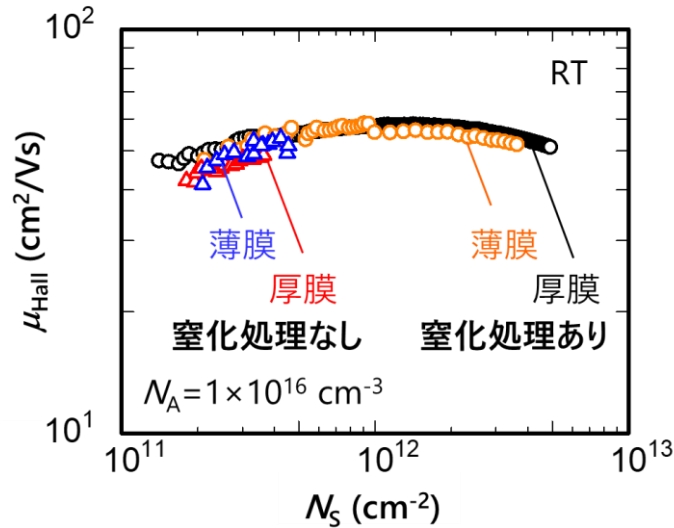


図 6.1  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における反転層移動度と表面キャリア密度の関係。

都合により、測定の一部が  $V_B = 0.1 \text{ V}$  となっているが、その影響は十分に小さい。

このことを検証するため、ゲート絶縁膜厚を薄膜とした場合でも同様の検討を行った。熱酸化膜をゲート絶縁膜に用いた素子において、ゲート絶縁膜厚が厚膜および薄膜の素子を比較すると、ほぼ同じ特性であった。酸窒化膜をゲート絶縁膜に用いた素子でも同様に、

ゲート絶縁膜厚が厚膜および薄膜の素子を比較すると、ほぼ同じ特性であった。そのため、熱酸化膜を用いた素子で評価できる表面キャリア密度が低い領域では、ゲート絶縁膜厚が薄膜の場合も、熱酸化膜と酸窒化膜の反転層移動度はほぼ同じであった。これらの結果は、窒化処理は反転層移動度に影響せず、酸窒化膜/SiC 界面の反転層移動度は熱酸化膜/SiC 界面における反転層移動度の特性を反映している可能性を示唆する。また、熱酸化膜厚が約 5 nm から約 50 nm の範囲では反転層移動度は変化しないと考えられる。

### 6.1.2. 熱酸化膜と酸窒化膜におけるフォノン散乱移動度の比較

本節ではアクセプタ濃度が  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の低濃度の素子を用いて、熱酸化膜と酸窒化における反転層移動度の評価を行い、窒化処理が反転層移動度およびフォノン散乱に及ぼす影響を検討した。ここでは、前節 4.2 と同様に、アクセプタ濃度が  $1 \times 10^{14} \text{ cm}^{-3}$  台の低アクセプタ濃度の素子における反転層移動度がフォノン散乱移動度と一致するとみなして議論する。

図 6.2 に  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度と表面キャリア密度の関係を示す。ゲート絶縁膜は熱酸化膜および酸窒化膜とし、各々のアクセプタ濃度を SIMS 分析したところ  $N_A = 2.5 \times 10^{14} \text{ cm}^{-3}$  および  $N_A = 2.9 \times 10^{14} \text{ cm}^{-3}$  でありほぼ同じであった。ゲート絶縁膜厚は厚膜とし、評価は室温で行った。ゲート絶縁膜に熱酸化膜を用いた素子では、酸窒化膜を用いた素子に比べて表面キャリア密度が低い領域のみ評価可能であり、約  $N_S = 5 \times 10^{11} \text{ cm}^{-2}$  以下の領域にて反転層移動度が評価できた。そのため、前節 6.1.1 で述べた  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子の場合と同様に、熱酸化膜と酸窒化膜におけるフォノン散乱移動度の比較は、表面キャリア密度が低い領域でのみ可能である。表面キャリア密度が低い領域において熱酸化膜と酸窒化膜の反転層移動度がよく一致した。

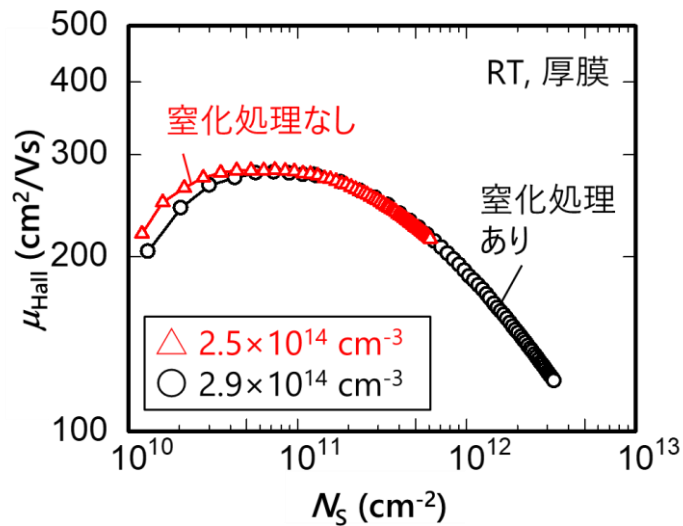


図 6.2  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度と表面キャリア密度の関係

すでに前節 4.1 で述べた通り、室温において  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  の素子における反転層移動度はフォノン散乱移動度( $\mu_{\text{phonon}}$ )に近い値であると推定される。そこで、これらの素子の反転層移動度を実効垂直電界に対してプロットし直した。図 6.3 に  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素

子における反転層移動度と実効垂直電界の関係の関係を示す。ここで、実効垂直電界を計算するためのパラメータとして  $\eta = 1/3$  とした。実効垂直電界( $E_{\text{eff}}$ )が  $E_{\text{eff}} = 0.03 \text{ MV/cm}$  から  $0.05 \text{ MV/cm}$  の低電界領域で熱酸化膜と酸窒化膜の反転層移動度がよく一致し、いずれも図中に破線で示す直線上にのった。これは、窒化処理はフォノン散乱移動度に影響せず、酸窒化膜/SiC 界面のフォノン散乱移動度は熱酸化膜/SiC 界面におけるフォノン散乱移動度の特性を反映している可能性を示唆する。

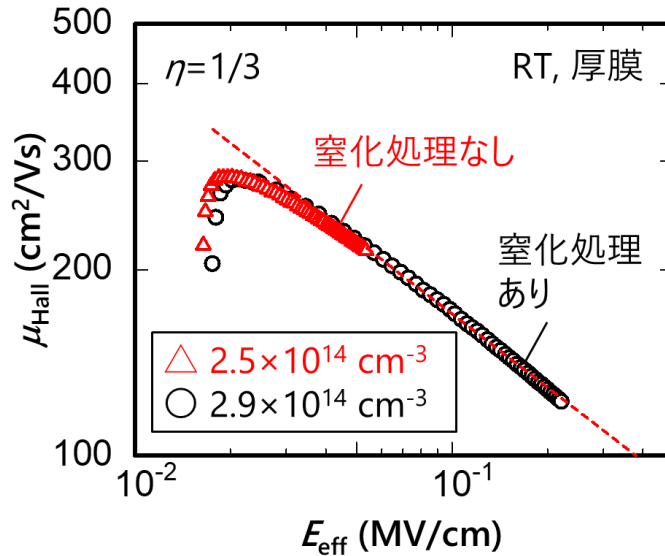


図 6.3  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度と実効垂直電界の関係。  
 ゲート絶縁膜は熱酸化膜および酸窒化膜とし、ゲート絶縁膜厚は厚膜とした。

このことを検証するため、ゲート絶縁膜厚を薄膜とした場合でも同様の検討を行った。図 6.4 に  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度と実効垂直電界の関係を示す。ゲート絶縁膜は熱酸化膜および酸窒化膜とし、ゲート絶縁膜厚は厚膜と薄膜とした。評価は室温で行った。ゲート絶縁膜が薄膜の素子でも、ゲート絶縁膜が厚膜の素子と同様に熱酸化膜および酸窒化膜のいずれの反転層移動度も図中に破線で示す直線上にのった。これらの結果は、窒化処理はフォノン散乱移動度に影響せず、熱酸化膜厚が約 5 nm から約 50 nm の範囲ではフォノン散乱移動度が変化しないことを示唆する。

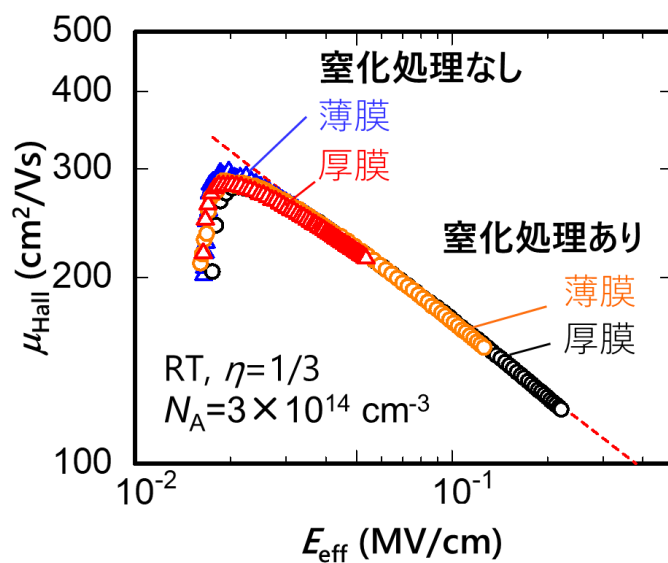


図 6.4  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度と実効垂直電界の関係。  
ゲート絶縁膜は熱酸化膜および酸窒化膜とし、ゲート絶縁膜厚は厚膜と薄膜とした。

### 6.1.3. 熱酸化膜におけるキャリア散乱機構

本節ではゲート酸化膜が熱酸化膜および酸窒化膜におけるキャリア散乱機構を前節2.3で提案した手法を基に検討した。すでに前節6.1.2で述べたように熱酸化膜と酸窒化膜において、アクセプタ濃度が  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子におけるフォノン散乱移動度は同じと推定される。さらに、前節6.1.1で述べたようにアクセプタ濃度が  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子において、熱酸化膜で評価できる表面キャリア密度が低い領域では、熱酸化膜と酸窒化膜の反転層移動度はほぼ同じである。これらより、熱酸化膜と酸窒化膜のクーロン散乱移動度はほぼ変わらないと考えられる。ここでは、前節4.2と同様に、アクセプタ濃度が  $N_A = 3 \times 10^{14} \text{ cm}^{-3}$  程度の素子における反転層移動度がフォノン散乱移動度と一致するとみなしてキャリア散乱機構を解析する。なお、熱酸化膜と酸窒化膜のクーロン散乱移動度がほぼ変わらないことは、前節2.4.2で述べた通り、熱酸化膜の方が酸窒化膜よりも高密度の電荷捕獲準位が存在することを考慮すると、単純に電荷捕獲準位密度だけでは反転層移動度の大小を説明できないことを示している。後述する6.3節では、電荷捕獲準位密度と反転層移動度の関係を説明するモデルを定性的に検討する。

図6.5に  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子において Matthiessen 則によりフォノン散乱の影響を除いた移動度 ( $\mu_{w/o \text{ effect of phonons}}$ ) と表面キャリア密度の関係を示す。ゲート絶縁膜は熱酸化膜および酸窒化膜とし、ゲート酸化膜厚は厚膜と薄膜を用いた。ここで、フォノン散乱移動度は図6.4の破線で定式化しており、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子の反転層移動度は図6.1を用いた。いずれの素子の  $\mu_{w/o \text{ effect of phonons}}$  も表面キャリア密度が低い領域では、おおよそ図中に赤線で示すクーロン散乱移動度 ( $\mu_{\text{Coulomb}}$ ) で表される。酸窒化膜では表面キャリア密度が増加するにつれて  $\mu_{w/o \text{ effect of phonons}}$  と  $\mu_{\text{Coulomb}}$  が乖離する。酸窒化膜において、この乖離量を基に界面ラフネス散乱移動度を評価したところ、ゲート絶縁膜が厚膜の方が薄膜よりわずかに大きかった。しかし、界面ラフネス散乱移動度はフォノン散乱移動度およびクーロン散乱移動度よりも大きく、反転層移動度へ与える影響は小さいことが分かる。

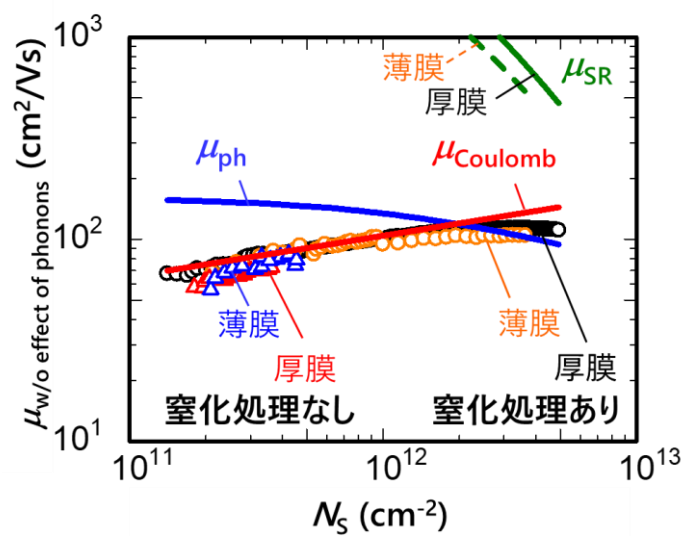


図 6.5  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子における  $\mu_{w/o \text{ effect of phonons}}$  と表面キャリア密度の関係。

## 6.2. リン処理した熱酸化膜をゲート絶縁膜に有する SiC MOSFET の反転層移動度との比較

本節ではリン処理した熱酸化膜をゲート絶縁膜に用いた Si 面 4H-SiC MOSFET の反転層移動度を評価し、酸窒化膜を用いた素子と比較した。すでに前節 1.6.3 で述べた通り、リン処理した熱酸化膜は酸窒化膜と比較して高い電界効果移動度を示すことが知られているが、電界効果移動度はゲート絶縁膜/SiC 界面の電荷捕獲の影響を受けるため、反転層移動度を直接的に比較できない。そこで、ホール効果測定を用いることで、電荷捕獲の影響なく反転層移動度を評価し、リン処理が反転層移動度に及ぼす影響を検討した。

### 6.2.1. リン処理した熱酸化膜と酸窒化膜における反転層移動度の室温での比較

本節ではリン処理した熱酸化膜を有する素子の反転層移動度を評価し、酸窒化膜との比較を基にその特徴を検討した。図 6.6 にリン処理した熱酸化膜および酸窒化膜における反転層移動度と表面キャリア密度の関係を示す。評価は室温で行った。ゲート絶縁膜に酸窒化膜を用いた素子はウェル領域を p 型エピタキシャル層またはイオン注入で形成した。ここで p 型エピタキシャル層のアクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $4 \times 10^{17} \text{ cm}^{-3}$  とした。ウェル領域を低ドーズ量のアルミニウムイオン注入で形成した場合、空乏層電荷密度はおよそ  $1.3 \times 10^{12} \text{ cm}^{-2}$  であり、これは  $N_A = 6 \times 10^{16} \text{ cm}^{-3}$  程度の p 型エピタキシャル層と同程度の値である。ここで空乏層電荷密度は、前節 2.1.1 に述べた通り TCAD を用いて式 (62) より評価した。アルミニウムの不純物プロファイルは SIMS で評価した不純物プロファイルを基に、総ドーズ量がイオン注入したドーズ量と一致するように補正し、アルミニウムの活性化率は 100% を仮定した。ゲート絶縁膜にリン処理した熱酸化膜を用いた素子はウェル領域をイオン注入で形成した。酸窒化膜の場合と同じく、低ドーズ量のアルミニウムイオン注入もしくは高ドーズ量のアルミニウムイオン注入で形成した。ここで、低ドーズ量の場合は、酸窒化膜と同じく、空乏層電荷密度は  $N_A = 6 \times 10^{16} \text{ cm}^{-3}$  程度の p 型エピタキシャル層と同程度である。

低ドーズ量のアルミニウムイオン注入でウェル領域を形成した素子における反転層移動度をリン処理した熱酸化膜と酸窒化膜で比較すると、リン処理した熱酸化膜の方が反転層移動度が高かった。さらに、表面キャリア密度がより高い領域まで評価可能であった。これは、リン処理した熱酸化膜は酸窒化膜よりもゲート絶縁膜/SiC 界面の電荷捕獲準位が低



密度であることを示している。なお、酸窒化膜では低ドーズ量のアルミニウムイオン注入でウェル領域を形成した素子の反転層移動度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  の素子と  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  の素子の間の値を示しており、 $N_A = 6 \times 10^{16} \text{ cm}^{-3}$  程度の p 型エピタキシャル層で予想される値と同程度である。

リン処理した熱酸化膜に着目すると、アルミニウムイオンのドーズ量が増加すると反転層移動度が低下した。酸窒化膜でも同様の傾向があり、既に前節 4.4.2 で述べた通り、酸窒化膜の反転層移動度は空乏層電荷密度が増加すると減少する。これは、空乏層内の電界強度が増加することで酸化膜/SiC 界面近傍のクーロン散乱の影響が強まり、クーロン散乱移動度が低下することに起因することが判明している。リン処理した熱酸化膜においても、同様の解釈が可能とすると、リン処理した熱酸化膜においても反転層移動度はクーロン散乱の影響を受けていることを示唆する。実際、高ドーズ量の素子では反転層移動度が表面キャリア密度の累乗にほぼ比例して増加していることから、高ドーズ量の素子ではクーロン散乱が支配的であることが示唆される。この時、 $N_S$  が  $2 \times 10^{12} \text{ cm}^{-2}$  よりも高い領域において、反転層移動度の表面キャリア密度依存性を表す累乗係数( $\gamma$ )は 0.54 であり、酸窒化膜でクーロン散乱の影響を強く受けている  $N_A = 4 \times 10^{17} \text{ cm}^{-3}$  の素子における  $\gamma = 0.24$  よりも大きな値であった。これは、リン処理した熱酸化膜では酸窒化膜と比較して、表面キャリア密度の増加に伴って、クーロン散乱移動度が増加しやすい可能性を示唆する。

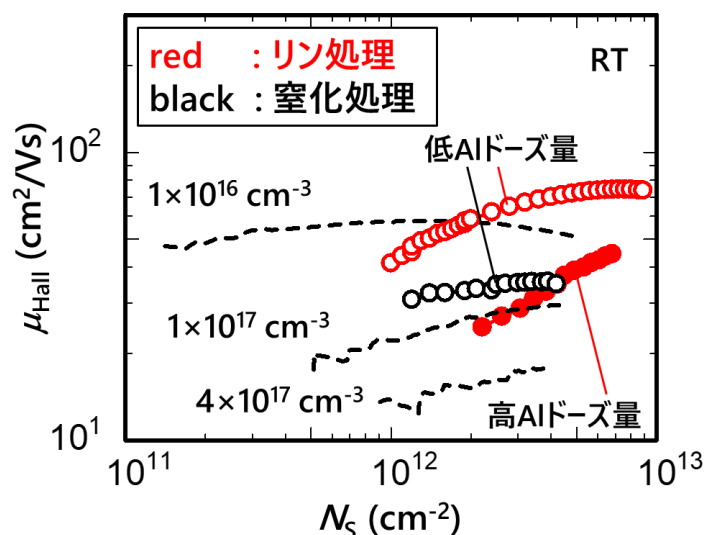


図 6.6 リン処理した熱酸化膜および酸窒化膜における反転層移動度と表面キャリア密度の関係

リン処理した熱酸化膜においても、酸窒化膜と同様に反転層移動度がクーロン散乱の影響を受けていることを検証するために、ボディ電圧を印加して反転層移動度を評価した。図 6.7 にリン処理した熱酸化および酸窒化膜における反転層移動度と表面キャリア密度の関係を示す。評価は室温で行い、ボディ電圧は  $V_B = 0\text{ V}$ 、 $-2\text{ V}$ 、 $-4\text{ V}$ 、 $-8\text{ V}$  とした。リン処理した熱酸化では、ウェル領域を低ドーズ量のアルミニウムイオン注入で形成した。 $V_B = 0\text{ V}$  では、その空乏層電荷密度は  $N_A = 6 \times 10^{16}\text{ cm}^{-3}$  程度の p 型エピタキシャル層と同程度である。一方で、窒化膜ではウェル領域を  $N_A = 1 \times 10^{16}\text{ cm}^{-3}$  程度の p 型エピタキシャル層で形成した。すでに前節 4.4.1 で述べた通り、酸窒化膜では負のボディ電圧印加により反転層移動度が減少し、負のボディ電圧の絶対値が増加するにつれて反転層移動度は単調に減少した。リン処理した熱酸化でも同様の傾向が観察された。これは酸窒化膜と同様に、負のボディ電圧を印加すると反転層移動度に及ぼすクーロン散乱の影響が大きくなることを示唆する。ここで、負のボディ電圧を変えると、同一の表面キャリア密度における反転層移動度が単調に減少することから、リン処理した熱酸化におけるクーロン散乱の主要因は、酸窒化膜と同様にイオン化不純物散乱ではなく、酸化膜/SiC 界面近傍で生じるクーロン散乱であることが判明した。

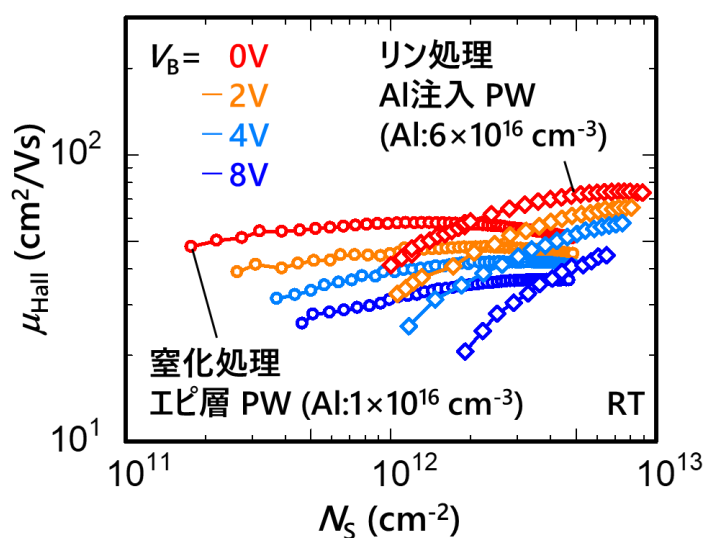


図 6.7 ボディ電圧を印加した時の、リン処理した熱酸化および酸窒化膜における反転層移動度と表面キャリア密度の関係

### 6.2.2. リン処理した熱酸化膜と酸窒化膜における反転層移動度の温度依存性

本節ではリン処理した熱酸化膜における主要な散乱機構を検討するために、これらの素子における反転層移動度の温度依存性を評価した。図 6.8 にリン処理した熱酸化および酸窒化膜における反転層移動度と表面キャリア密度の関係を示す。評価は室温、373K、423K、473K とし、ウェル領域は低ドーズ量のアルミニウムイオン注入で形成した。いずれの温度においても、リン処理した熱酸化膜の方が酸窒化膜よりも反転層移動度が高いことが分かった。また、酸窒化膜と比べてリン処理した熱酸化膜では高温化による反転層移動度の変化が異なり、酸窒化膜を用いた素子では高温化により反転層移動度が増加する。一方で、リン処理した熱酸化を用いた素子では高温化により反転層移動度が減少した。これは473Kにおける反転層移動度を決める最も主要な散乱機構がリン処理した熱酸化と酸窒化膜で異なることを示しており、それは各々フォノン散乱とクーロン散乱であることを示唆する。

酸窒化膜では、室温では表面キャリア密度の増加に伴って反転層移動度が単調に増加した。一方で、473K では、表面キャリア密度の増加に伴って反転層移動度が増加するもののその変化は室温よりも小さく、ほぼ一定値であった。これは反転層移動度を決める最も支配的なキャリア散乱機構が室温ではクーロン散乱であるが、高温化によりその影響度が弱まった結果、フォノン散乱と影響度が拮抗している可能性を示唆する。リン処理した熱酸化膜でも、室温では表面キャリア密度の増加に伴って反転層移動度が単調に増加した。しかし、473K は表面キャリア密度の増加に伴って反転層移動度が増加した後に、減少に転じた。これは反転層移動度を決める最も支配的なキャリア散乱機構が室温ではクーロン散乱であるが、高温化によりその影響度が弱まった結果、クーロン散乱の影響度が小さくなると予想される表面キャリア密度が高い領域において、フォノン散乱の影響がクーロン散乱の影響よりも大きい可能性を示唆する。

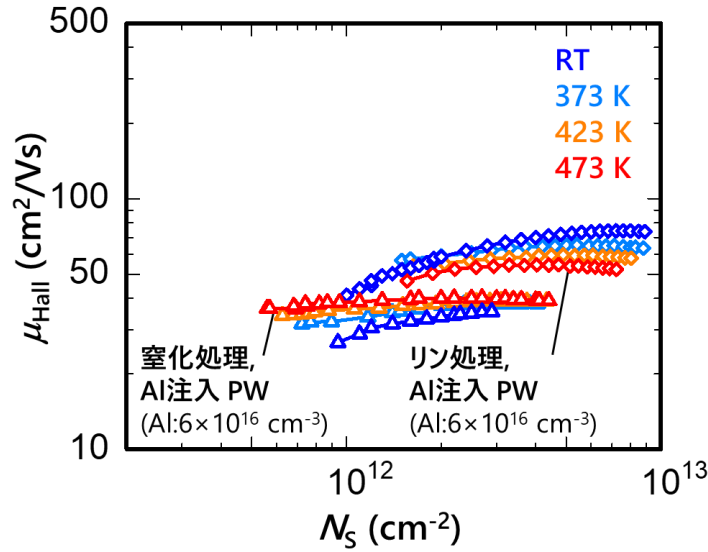


図 6.8 リン処理した熱酸化および酸窒化膜における反転層移動度の温度依存性。  
反転層移動度は表面キャリア密度に対してプロットした。各々、リン処理および窒化处理と記した。

ここで、リン処理した熱酸化膜の電界効果移動度が酸窒化膜よりも高い理由を検討する。電界効果移動度は反転層移動度および表面キャリア密度の大きさに影響される。例えば 473K においてリン処理した熱酸化膜と酸窒化膜の反転層移動度を比べると、図 6.8 よりリン処理した熱酸化膜の方が酸窒化膜よりも高いことが判明しており、これがリン処理した熱酸化膜の電界効果移動度が酸窒化膜よりも高い一因である。さらに、図 6.9 に各々のゲート絶縁膜における表面キャリア密度( $N_s$ )とゲート電圧－しきい値電圧( $V_G - V_{th}$ )の関係を示す。評価は 473K で行った。ここで、しきい値電圧は  $N_s$  と  $V_G - V_{th}$  の関係を直線で結んだ際に  $N_s = 0 \text{ cm}^{-2}$  となるゲート電圧で定義した。記号は評価値を示し、実線は各々のゲート絶縁膜におけるゲート酸化膜容量( $C_{ox}$ )から期待される総電荷密度である  $C_{ox} \times (V_G - V_{th})$  に対応する。 $C_{ox} \times (V_G - V_{th})$  と  $N_s$  の差分は、ゲート電圧印加時に酸化膜/SiC 界面近傍に捕獲される電荷量を表す。リン処理した熱酸化膜と酸窒化膜において  $C_{ox} \times (V_G - V_{th})$  は同程度であるが、リン処理した熱酸化膜の方が酸窒化膜よりも低い値を示すのは、ゲート絶縁膜の厚さがわずかに異なることに起因している。図 6.9 により、リン処理した熱酸化膜の方が酸窒化膜よりも表面キャリア密度が大きいことがわかる。これもリン処理した熱酸化膜の電界効果移動度が酸窒化膜よりも高い一因である。リン処理した熱酸化膜では、 $C_{ox}$  から期待される総電荷密度と評価した表面キャリア密度がよく一致しており、式(101)で定義される比率はおおよそ 1 であった。

$$\gamma = \frac{C_{ox} \times (V_G - V_{th})}{N_S} \quad (101)$$

これは、今回評価した  $N_S = 2 \times 10^{12} \text{ cm}^{-2}$  以上の領域においては酸化膜/SiC 界面近傍での電荷捕獲の影響はわずかであることを示している。一方で、酸窒化膜ではそれらの乖離が大きく、酸化膜/SiC 界面近傍での電荷捕獲の影響が大きいことが分かる。これらの検討より、リン処理した熱酸化膜の電界効果移動度が酸窒化膜よりも高い要因は、反転層移動度が高いこと、かつ表面キャリア密度が高いことの 2 点に起因すると判明した。

さらに、リン処理した熱酸化膜の特徴を明らかにするために、その他のゲート絶縁膜との比較を行った。ここでは、ゲート絶縁膜に Ba を添加した酸化膜を有する Si 面 4H-SiC MOSFET[182]との比較を行った。Ba を添加した熱酸化膜と酸窒化膜の反転層移動度を比較すると、それらはほぼ変わらないことが判明している。一方で、split-CV 法で評価した総電荷密度に対するホール効果測定で評価した表面キャリア密度の比率は Ba を添加した熱酸化膜の方が酸窒化膜よりも高いことが判明している。これは、Ba を添加した熱酸化膜の方が酸窒化膜よりも表面キャリア密度が高いことに対応する。このことから、Ba を添加した熱酸化膜では酸窒化膜と比較して、反転層移動度はほぼ変わらないが、表面キャリア密度が増加している。リン処理した熱酸化膜では酸窒化膜と比較して、反転層移動度と表面キャリア密度がともに増加した点に特徴があることが分かる。

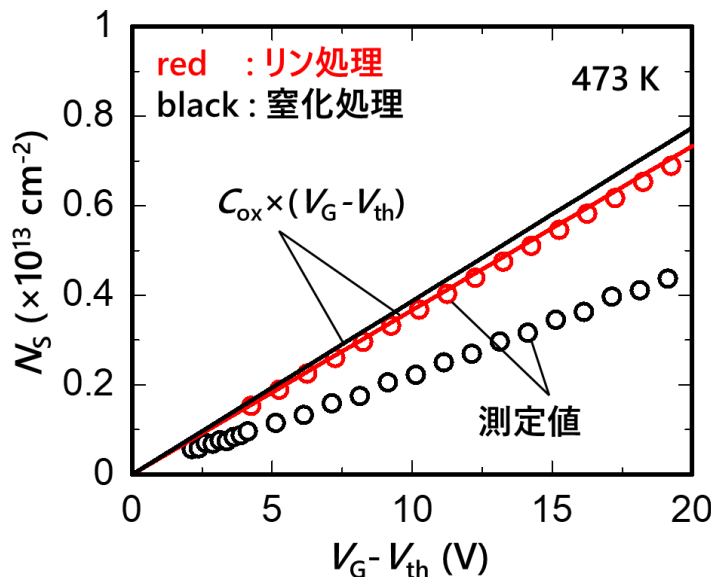


図 6.9 リン処理した熱酸化膜および酸窒化膜における  $N_S$  と  $V_G - V_{th}$  の関係。  
各々、リン処理および窒化处理と記した。

### 6.2.3. リン処理した熱酸化膜のフォノン散乱移動度

本節ではリン処理した熱酸化膜を有する素子のフォノン散乱移動度を検討するため、高温における反転層移動度と実効垂直電界の関係を評価し、酸窒化膜の場合と比較した。反転層移動度に対するフォノン散乱の影響は高温で大きくなり、クーロン散乱の影響は高温で小さくなることを考慮すると、高温ではフォノン散乱移動度を検討しやすい。そこで、評価は 473K で行った。図 6.10 にリン処理した熱酸化膜および酸窒化膜における反転層移動度と実効垂直電界の関係を示す。ゲート絶縁膜に酸窒化膜を用いた素子はウェル領域を p 型エピタキシャル層で形成し、p 型エピタキシャル層のアクセプタ濃度は  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$ 、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$  とした。ゲート絶縁膜にリン処理した熱酸化膜を用いた素子は前節 6.2.1 で述べたように、ウェル領域を低ドーズ量のアルミニウムイオン注入で形成した。ここで、空乏層電荷密度は  $N_A = 6 \times 10^{16} \text{ cm}^{-3}$  程度の p 型エピタキシャル層と同程度である。すでに前節 5.2.1 で述べた通り、ゲート絶縁膜に酸窒化膜を用いた素子において  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  および  $2 \times 10^{15} \text{ cm}^{-3}$  の素子における反転層移動度と実効垂直電界の関係がほぼ一致することから、最もアクセプタ濃度が低い素子の反転層移動度はフォノン散乱移動度 ( $\mu_{\text{phonon}}$ ) に近く、その値を基に実効垂直電界の関数として定式化した  $\mu_{\text{phonon}}$  を黒色の破線で示した。この関係を式(102)で示す。

$$\mu_{\text{phonon}} = 51.8 \times E_{\text{eff}}^{-0.33} \quad (102)$$

リン処理した熱酸化膜を用いた素子では実効垂直電界の増加に伴って、増加した後に減少に転じた。このことは、実効垂直電界の増加は表面キャリア密度の増加で生じることを考慮すると、実効垂直電界が増加することでクーロン散乱の影響が小さくなり、フォノン散乱の影響がクーロン散乱の影響よりも大きくなった可能性を示唆している。ゲート絶縁膜に酸窒化膜を用いた素子の反転層移動度で定式化した  $\mu_{\text{phonon}}$  とゲート絶縁膜にリン処理した熱酸化膜を用いた素子の反転層移動度を比較すると、実効垂直電界がおおよそ 0.5 MV/cm 以上の高電界領域において、ゲート絶縁膜にリン処理した熱酸化膜を用いた素子の反転層移動度が定式化した  $\mu_{\text{phonon}}$  へと漸近した。このことは、リン処理した熱酸化膜を用いた素子でフォノン散乱の影響が大きくなる領域における反転層移動度が酸窒化膜の  $\mu_{\text{phonon}}$  と近いことを示しており、リン処理した熱酸化膜/SiC 界面のフォノン散乱移動度が酸窒化膜/SiC 界面のものと一致する可能性を示唆する。すでに前節 6.1.2 で述べた通り、窒化処理はフォノン散乱移動度に影響せず、酸窒化膜/SiC 界面と熱酸化膜/SiC 界面のフォノン散乱移動度は一致することから、熱酸化膜へのリン処理もフォノン散乱移動度に影響しないと推定される。

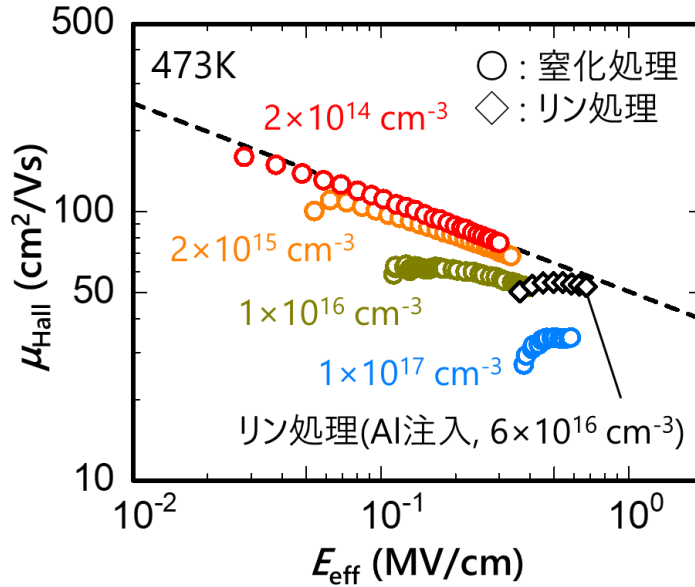


図 6.10 リン処理した熱酸化膜および酸窒化膜における反転層移動度と実効垂直電界の関係

本推定の妥当性を検証するために、他機関より報告されているリン処理した熱酸化膜を用いた Si 面 4H-SiC MOSFET における実効移動度[243]との比較を行った。比較にはアクセプタ濃度が低い  $N_A = 3 \times 10^{15} \text{ cm}^{-3}$  の素子を用いた。すでに前節 6.2.1 で述べた通り、リン処理した熱酸化膜を用いた場合でも酸窒化膜と同様にクーロン散乱の影響が残っており、クーロン散乱の要因は酸化膜/SiC 界面近傍に存在することが示唆されている。そのため、リン処理した熱酸化膜を用いた場合でも酸窒化膜と同様にアクセプタ濃度を低減することでクーロン散乱の影響が抑制され、フォノン散乱の影響が顕在化しやすいと予想したためである。図 6.11 に本研究と文献[243]におけるリン処理した熱酸化膜の反転層移動度の比較を示す。本研究のボディ電圧は  $V_B = 0 \text{ V}$ 、 $-1 \text{ V}$ 、 $-2 \text{ V}$ 、 $-4 \text{ V}$ 、 $-8 \text{ V}$  とした。ここで、本研究の反転層移動度はホール移動度であり、文献値は実効移動度である。この際、図 6.10 で示した  $N_A = 2 \times 10^{14} \text{ cm}^{-3}$  の素子における反転層移動度と、それより評価したフォノン散乱移動度も黒丸印と黒線で合わせて示す。さらに、前節 5.2.1 で紹介したゲート絶縁膜としてウェット酸化膜を用いた C 面 4H-SiC MOSFET での定式化を基に計算したフォノン散乱移動度( $\mu_{\text{phonon}}$ )、界面ラフネス散乱移動( $\mu_{\text{SR}}$ )および、フォノン散乱と界面ラフネス散乱で決まる移動度( $\mu_{\text{phonon+SR}}$ )を合わせて示した。なお、 $\mu_{\text{phonon+SR}}$  は式(90)で定義される。

すでに前節 5.2.1 で述べた通り、Si 面上の酸窒化膜より評価した  $\mu_{\text{phonon}}$  と C 面上のウェット酸化膜より評価した  $\mu_{\text{phonon}}$  はよく一致している。ここで、 $V_B = 0 \text{ V}$  のデータに着目すると、本研究で用いたウェル領域を低ドーズ量のアルミニウムイオン注入で形成した素



子の反転層移動度は実効垂直電界が約 0.5 MV/cm において、 $N_A = 3 \times 10^{15} \text{ cm}^{-3}$  の素子における実効移動度と近い値を示した。これらより、リン処理が熱酸化膜/SiC 界面のフォノン散乱移動度に影響しないという推定は妥当であると結論づけた。

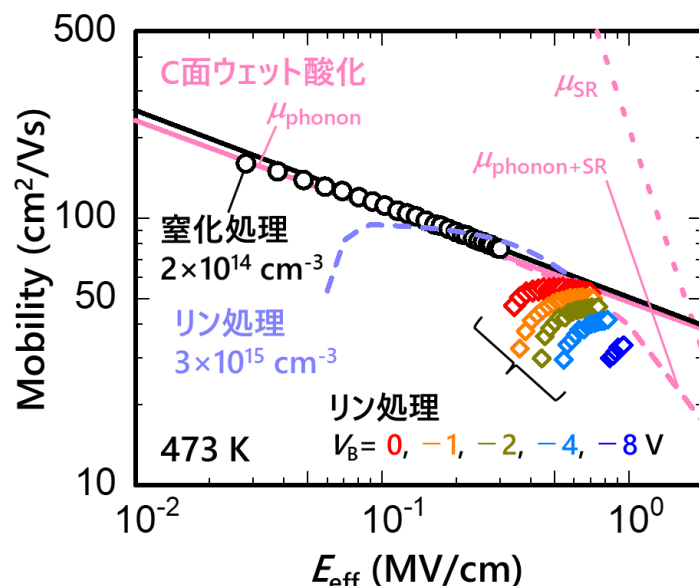


図 6.11 本研究と文献値におけるリン処理した熱酸化膜の反転層移動度の比較。C 面上のウェット酸化膜[96]およびリン処理した熱酸化膜[243]の実効移動度を合わせて示した。本研究の評価値とそれより評価したフォノン散乱移動度は各々黒丸印と黒線で示し、C 面上のウェット酸化膜およびリン処理した熱酸化膜の文献値は各々、マゼンタおよび水色の線で示した。

リン処理した熱酸化膜を有する素子の反転層移動度をより実効垂直電界が高い領域で検討するために、図 6.11 においてボディ電圧を印加して実効垂直電界を増加させて反転層移動度を評価したデータに着目した。これは、リン処理した熱酸化膜を有する素子では表面キャリア密度が高い領域まで評価可能であるため、負のボディ電圧を印加することで実効垂直電界が約 1 MV/cm の高電界領域まで評価可能であり、界面ラフネス散乱移動度の影響が顕在化する可能性があるためである。

リン処理した熱酸化膜を有する素子では、すでに本節で述べたように  $V_B = 0 \text{ V}$  では実効垂直電界の増加に伴って、反転層移動度は増加した後に減少に転じた。一方で、 $V_B = -2 \text{ V}$ 、 $-4 \text{ V}$ 、 $-8 \text{ V}$  では、実効垂直電界の増加に伴って、反転層移動度は単調に増加した。これは、前節 6.2.1 において室温で議論した通り、負のボディ電圧を印加すると反転層移動度に及ぼすクーロン散乱の影響が大きくなり、反転層移動度が低下することを示唆している。



ここで、負のボディー電圧を印加することは、空乏層電荷密度を増加させることに対応している。その結果、 $V_B = 0\text{ V}$ 、 $-1\text{ V}$ 、 $-2\text{ V}$ 、 $-4\text{ V}$ における反転層移動度を、実効垂直電界がおおよそ  $0.6\text{ MV/cm}$  で比べると、ボディー電圧が減少するにつれて反転層移動度が減少した。このため、負のボディー電圧を印加して実効垂直電界の最大値を大きくした場合の反転層移動度はフォノン散乱移動度よりも低かった。リン処理した熱酸化膜を有する素子において、アクセプタ濃度を増加させて素子について実効移動度の実効垂直電界依存性が検討されており[243]、負のボディー電圧を印加した際のホール移動度の挙動と同様の傾向を示している。このことから、リン処理した熱酸化膜におけるクーロン散乱の影響も空乏層電荷密度と関係している可能性がある。

また、実効垂直電界が大きくなると界面ラフネス散乱移動度が低下するため、反転層移動度に界面ラフネス散乱の影響が表れる可能性があるが、実効垂直電界が  $0.96\text{ MV/cm}$  の高電界領域まで達する  $V_B = -8\text{ V}$  の場合でも、反転層移動度は実効垂直電界の増加に伴って増加した。これより、実効垂直電界が  $0.96\text{ MV/cm}$  以下の領域では、界面ラフネス散乱の影響は他の散乱機構よりも小さいことが示唆される。

#### 6.2.4. リン処理した熱酸化膜におけるキャリア散乱機構

本節ではリン処理した熱酸化膜を有する素子のキャリア散乱機構を前節 2.3 で提案した手法を基に検討した。リン処理した熱酸化膜を有する素子にボディー電圧を印加した場合の反転層移動度を基に、キャリア散乱機構を分離評価した。評価は 473K で行った。これは、すでに前節 6.2.3 で述べた通り、高温では反転層移動度に対するフォノン散乱の影響が大きくなり、リン処理した熱酸化膜/SiC 界面のフォノン散乱移動度は酸窒素化膜のものと一致することが推定されているためである。フォノン散乱移動度の定式化には式(102)を用いた。

図 6.12 にリン処理した熱酸化膜を有する素子の反転層移動度、フォノン散乱移動度、および Matthiessen 則に基づいてフォノン散乱の影響を除いた移動度( $\mu_{w/o \text{ effect of phonons}}$ )と表面キャリア密度の関係を示す。評価は 473K で行い、ボディー電圧は  $V_B = 0 \text{ V}$  および  $-4 \text{ V}$  とした。式(102)で定式化した、フォノン散乱移動度は実効垂直電界の関数である。すでに前節 6.2.1 で述べた通り、室温においてボディー電圧の減少に伴って反転層移動度が減少するのと同様に、473K においてもボディー電圧の減少に伴って反転層移動度が減少した。 $V_B = 0 \text{ V}$  では表面キャリア密度の増加に伴って、反転層移動度が増加した後に減少に転じており、すでに前節 6.2.2 で述べた通り、反転層移動度を定める最も支配的な散乱機構は表面キャリア密度が低い領域ではクーロン散乱であるが、表面キャリア密度が高い領域ではクーロン散乱の影響度が小さくなり、フォノン散乱の影響が最も支配的となることを示唆する。一方で、 $V_B = -4 \text{ V}$  では表面キャリア密度の増加に伴って、反転層移動度が単調に増加し、評価した範囲では減少に転じなかった。これは、すでに前節 6.2.1 で述べた室温の場合と同様に、負のボディー電圧を印加すると反転層移動度に及ぼすクーロン散乱の影響が大きくなることを示唆する。

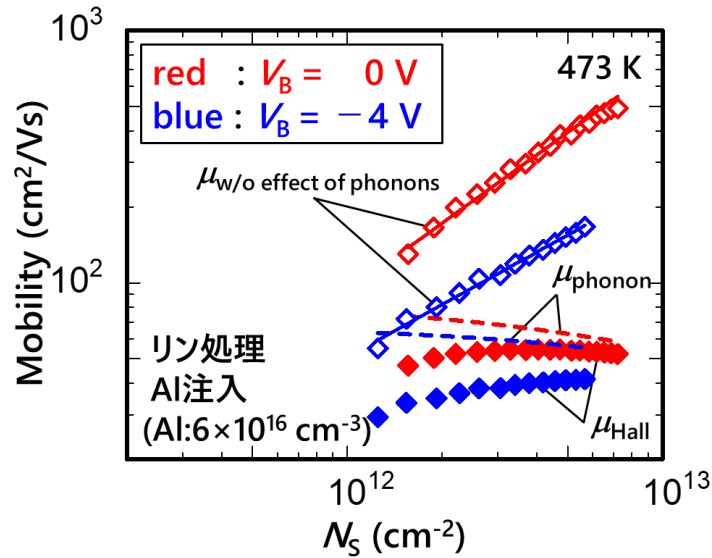


図 6.12 リン処理した熱酸化膜を有する素子の反転層移動度、フォノン散乱移動度、 $\mu_{w/o \text{ effect of phonons}}$  と表面キャリア密度の関係

フォノン散乱移動度は負のボディー電圧を印加することで低下した。これは、空乏層電荷密度が増加して実効垂直電界が大きくなるためである。また、 $\mu_{w/o \text{ effect of phonons}}$  はいずれのボディー電圧でも表面キャリア密度の増加に従っておよそ累乗に比例して増加した。これより、 $\mu_{w/o \text{ effect of phonons}}$  は主にクーロン散乱移動度に対応することが分かる。図中にこのように評価したクーロン散乱移動度を実線で示す。ボディー電圧が  $V_B = 0 \text{ V}$  から  $V_B = -4 \text{ V}$  へと減少することで、 $\mu_{w/o \text{ effect of phonons}}$  は減少した。これは、クーロン散乱移動度が負のボディー電圧印加により減少したことを示唆しており、前述の議論と整合している。ここで、クーロン散乱移動度が表面キャリア密度のおおよそ累乗で増加する際の累乗係数( $\gamma$ )に着目すると、ボディー電圧が  $V_B = 0 \text{ V}$  と  $V_B = -4 \text{ V}$  では、各々  $\gamma = 0.9$  および  $\gamma = 0.69$  であり、ボディー電圧を負側へ印加すると  $\gamma$  が低減する傾向があった。いずれの場合も、すでに前節 5.2.2 で述べた酸窒化膜の値よりも大きく、リン処理した熱酸化膜では酸窒化膜よりも表面キャリア密度の増加に伴ってクーロン散乱移動度が増加しやすいことが判明した。このような違いを生じる物理的な要因については、次節 6.2.5 で想定されるモデルを定性的に議論する。なお、前節 5.2.25.2.2 で検討した酸窒化膜を用いた素子のウェル領域は p 型エピタキシャル層で形成しており、アクセプタ濃度は  $N_A = 1 \times 10^{16} \text{ cm}^{-3}$  および  $N_A = 1 \times 10^{17} \text{ cm}^{-3}$  である。

なお、いずれのボディー電圧においても  $\mu_{w/o \text{ effect of phonons}}$  は表面キャリア密度の増加に伴って単調に増加しており、減少していない。表面キャリア密度が増加すると実効垂直電界が増加するため、界面ラフネス散乱移動度が減少することを考慮すると、リン処理した熱酸

化膜においても、すでに前節 5.2.2 で述べた酸窒化膜と同様に界面ラフネス散乱の影響はフォノン散乱およびクーロン散乱よりも小さいことが分かる。 $V_B = 0 \text{ V}$  において、実線で示すクーロン散乱移動度と  $\mu_{w/o \text{ effect of phonons}}$  を比較すると、表面キャリア密度が大きい領域で  $\mu_{w/o \text{ effect of phonons}}$  がわずかにクーロン散乱移動度よりも小さいことから、界面ラフネス散乱の影響は全くないとは言えず、反転層移動度に及ぼす影響はわずかながらも存在する可能性はある。

反転層移動度を定める最も支配的なキャリア散乱機構を検討すると、 $V_B = 0 \text{ V}$  では評価した表面キャリア密度の全領域でフォノン散乱移動度がクーロン散乱移動度より小さいため、フォノン散乱が最も支配的である。 $V_B = -4 \text{ V}$  では表面キャリア密度が低い領域では  $V_B = 0 \text{ V}$  よりもクーロン散乱移動度が低減したため、クーロン散乱移動度とフォノン散乱移動度が同程度であった。しかし、表面キャリア密度の増加に伴って、クーロン散乱移動度が増加するため、表面キャリア密度が高い領域ではフォノン散乱移動度がクーロン散乱移動度より小さかった。このことは、表面キャリア密度が低い領域ではフォノン散乱とクーロン散乱の影響が同程度であるが、表面キャリア密度が増加するとフォノン散乱が最も支配的となることを示す。

### 6.2.5. リン処理した熱酸化膜と酸窒化膜におけるキャリア散乱機構の比較

本節では前節 6.2.4 と同様の手法でリン処理した熱酸化膜および酸窒化膜を有する素子のキャリア散乱機構を評価し、それらを比較した。ウェル領域は低ドーズ量のアルミニウムイオン注入で形成した。リン処理した熱酸化膜と酸窒化膜の酸化膜厚の差に起因してウェル領域の最表面の位置がわずかに異なるが、その違いは約 2 nm 程度と見積もられ、それが空乏層電荷密度に及ぼす影響は限定的である。そのため、実効垂直電界の計算に必要な空乏層電荷密度は同じとみなした。

図 6.13 にリン処理した熱酸化膜および酸窒化膜を有する素子の反転層移動度、フォノン散乱移動度、および Matthiessen 則に基づいてフォノン散乱の影響を除いた移動度( $\mu_{w/o \text{ effect of phonons}}$ )と表面キャリア密度の関係を示す。評価は 473K で行い、ボディー電圧は  $V_B = 0 \text{ V}$  とした。 $\mu_{w/o \text{ effect of phonons}}$  はいずれの素子でも表面キャリア密度の増加に従っておおそ累乗に比例して増加するため、この関係より評価したクーロン散乱移動度を図中に実線で示す。ここでは、いずれの素子においても表面キャリア密度の増加に伴って  $\mu_{w/o \text{ effect of phonons}}$  が単調に増加することから、界面ラフネス散乱の影響は小さく、その影響を無視できるものとして扱った。

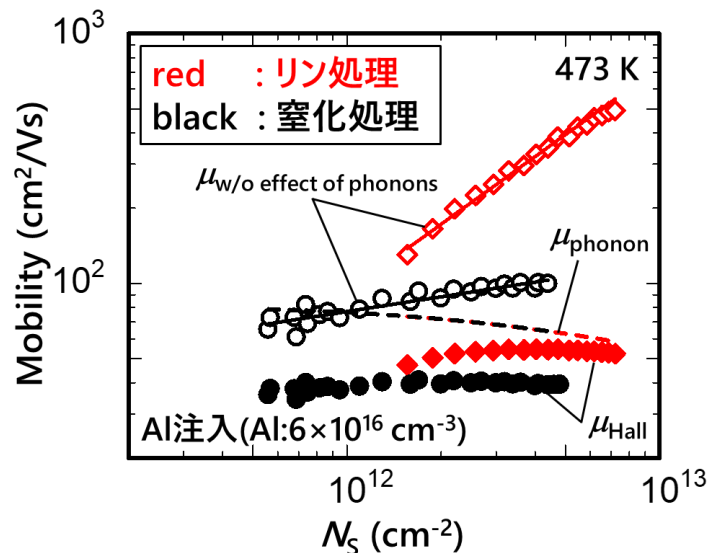


図 6.13 リン処理した熱酸化膜および酸窒化膜を有する素子の反転層移動度、フォノン散乱移動度、 $\mu_{w/o \text{ effect of phonons}}$  と表面キャリア密度の関係。  
p 型ウェル領域はイオン注入で形成した。

リン処理した熱酸化膜および酸窒化膜を比較すると、反転層移動度および  $\mu_{w/o \text{ effect of phonons}}$  はリン処理した熱酸化膜の方が酸窒化膜よりも高かった。これはクーロン散乱移動度がリン処理した熱酸化膜の方が酸窒化膜よりも高いことに起因する。ここで、クーロン散乱移動度が表面キャリア密度のおおよそ累乗で増加する際の累乗係数( $\gamma$ )に着目すると、リン処理した熱酸化膜では  $\gamma = 0.9$  で、酸窒化膜では  $\gamma = 0.2$  であり、リン処理した熱酸化膜では酸窒化膜よりも  $\gamma$  が大きかった。これは、すでに前節 6.2.4 で酸窒化膜を用いた素子のウェル領域を p 型エピタキシャル層で形成した素子で議論したのと同じ傾向であり、リン処理した熱酸化膜では酸窒化膜よりも表面キャリア密度の増加に伴ってクーロン散乱移動度が増加しやすいことを示している。

リン処理した熱酸化膜では酸窒化膜よりも、表面キャリア密度の増加に伴って、クーロン散乱移動度が増加しやすいという特徴を基に、リン処理した熱酸化膜と酸窒化膜のクーロン散乱源のエネルギー分布を検討した。図 6.14(a)、(b)に酸窒化膜とリン処理した熱酸化膜のクーロン散乱源のエネルギー分布、および表面キャリア密度に対するクーロン散乱源の総数の概念図を示す。クーロン散乱移動度が表面キャリア密度の増加に伴って増加する累乗係数がリン処理した熱酸化膜では酸窒化膜よりも大きいことから、リン処理した熱酸化膜ではクーロン散乱源は表面キャリア密度の増加に応じて緩やかにしか増加しないため、反転キャリアによるクーロン散乱源の遮蔽によりクーロン散乱移動度が増加しやすいと考えられる。一方で、酸窒化膜では表面キャリア密度の増加に対してクーロン散乱源の増加が大きいため、リン処理した熱酸化膜ほどクーロン散乱移動度が増加しないと考えられる。表面キャリア密度の増加はフェルミエネルギーの増加に相当することを考慮すると、リン処理した熱酸化膜と酸窒化膜ではクーロン散乱源のエネルギー分布が異なり、リン処理した熱酸化膜は酸窒化膜よりもクーロン散乱源のエネルギー分布が低エネルギー側に集中していることを示唆する。次節 6.3 では、リン処理した熱酸化膜と酸窒化膜だけでなく、熱酸化膜を含めて電荷捕獲準位密度と反転層移動度の関係を説明するモデルを定性的に検討する。

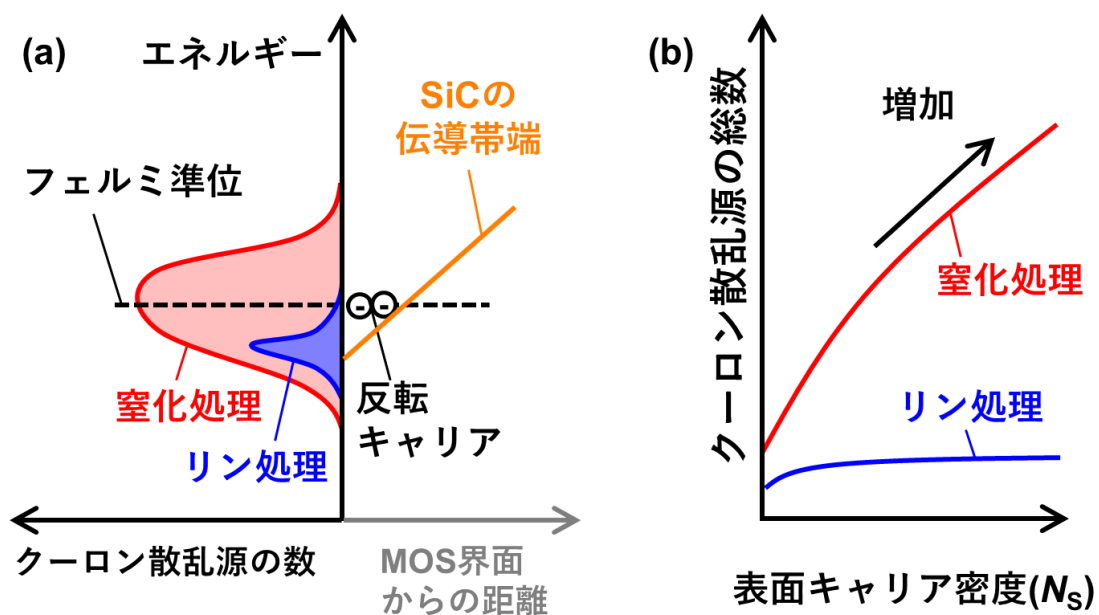


図 6.14 酸窒化膜とリン処理した酸化膜における、(a)クーロン散乱源のエネルギー分布、および(b)表面キャリア密度に対するクーロン散乱源の総数の概念図。

### 6.3. 熱酸化膜、酸窒化膜、リン処理した熱酸化膜におけるクーロン散乱源の検討

すでに前節 6.1 にて熱酸化膜と酸窒化膜では電荷捕獲準位の密度が異なり、熱酸化膜の方が酸窒化膜よりも高密度の電荷捕獲準位が存在するが、反転層移動度はほぼ同等であることが判明している。一方で、前節 6.2 にて酸窒化膜とリン処理した熱酸化膜では電荷捕獲準位の密度が異なり、リン処理した熱酸化膜の方が酸窒化膜よりも電荷捕獲準位が少なく、リン処理した熱酸化膜の方が高い反転層移動度を示すことが判明している。これらの結果は、単純に電荷捕獲準位密度だけでは反転層移動度の大小を説明できないことを示している。これは、反転キャリアを捕獲する電荷捕獲準位には反転層移動度への影響が小さい準位と、反転層移動度への影響が大きい準位に大別できることを示唆する。そこで、熱酸化膜に対して窒化処理を行うと前者は低減するものの、後者は低減しないが、リン処理を行うと両者が低減すると考えることで、電荷捕獲準位密度と反転層移動度の関係を説明するモデルを定性的に検討する。

熱酸化膜と SiC の界面には高密度の欠陥が存在し、それらは酸化膜中、界面層、SiC 中に存在しうる。これらの欠陥がクーロン散乱源として反転キャリアに及ぼす影響は、欠陥構造と反転キャリアの距離に応じて変化する。界面層に存在する欠陥は、酸化膜中の欠陥よりも反転キャリアとの距離が近く、反転層移動度を低減する効果が大きい。また、酸化膜中の欠陥と酸化膜/SiC 界面からの距離は空間的な分布があると考えられ、その距離が短いほど反転層移動度を低減するが、遠方の欠陥は反転層移動への影響は小さい。SiC 中の欠陥は界面層と同様に反転層移動度を大きく低減すると考えられるが、SiC 中といえども界面層の近傍であると考ええると、界面層と区別することは難しい。そこで、本研究では、界面層と SiC 中の欠陥をまとめて、界面近傍の欠陥と表現し、酸化膜中の欠陥と区別することにする。本定義に基づくと、同密度の界面近傍の欠陥と酸化膜中の欠陥が存在する場合、前者の方がクーロン散乱移動度を低下させると言える。

このように考えると、熱酸化膜と比較して酸窒化膜では、主に酸化膜中の欠陥が減少するが、界面近傍の欠陥は減少していないため反転層移動度がほぼ同等になると推測される。一方で、リン処理した熱酸化膜では酸窒化膜と比較して界面近傍の欠陥が減少していると考えられる。さらに、リン処理した熱酸化膜では電荷捕獲準位が低減することを考慮すると、酸化膜中の欠陥も同時に低減している。図 6.15 に熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位の密度について、その内訳の概念図を示す。



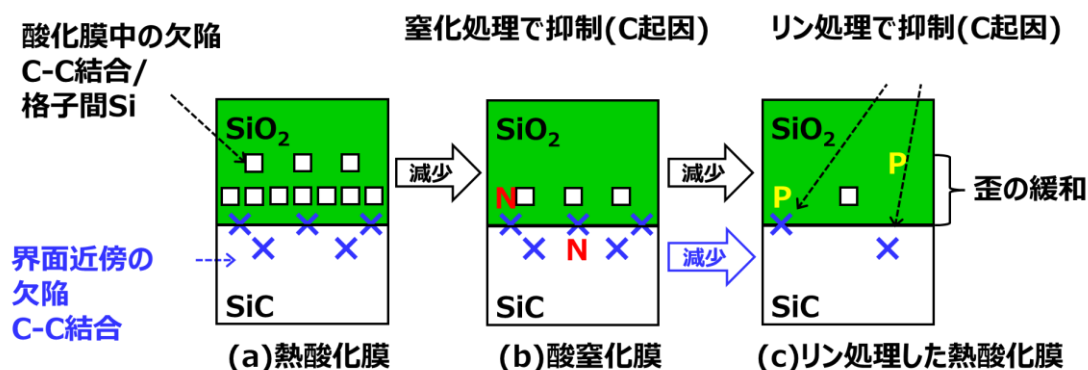


図 6.15 熱酸化膜、酸窒化膜、リン処理した熱酸化膜における電荷捕獲準位の密度の概念図.

本モデルを基に、さらに検討を進める。前節 1.6.1 で述べたように、窒化処理により酸化膜中もしくは界面層において C-C 結合が減少するため、酸窒化膜は熱酸化膜と比較して酸化膜中および界面層の C-C 結合の密度が低減していると考えられる。前節 6.1.3 で議論した通り、熱酸化膜と酸窒化膜ではクーロン散乱の影響が同等であることに加え、界面近傍の欠陥と酸化膜中の欠陥ではクーロン散乱移動度の低減効果が異なることを考慮すると、窒化処理では酸化膜中の欠陥密度が低減されており、界面近傍の欠陥密度は変化しないと推測される。界面近傍の C-C 結合の密度が低減している可能性を考慮すると、その低減量が十分ではない、もしくは十分に低減していてもそれらがクーロン散乱の主要因として機能していないと推測される。

一方で、前節 6.2.5 で述べたように、酸窒化膜とリン処理した熱酸化膜ではクーロン散乱の影響が異なり、リン処理した熱酸化膜の方がクーロン散乱の影響を受けにくいことが判明している。これらのゲート絶縁膜では表面キャリア密度が増加した際の、クーロン散乱移動度の増加率が異なり、リン処理した熱酸化膜は酸窒化膜よりもクーロン散乱移動度が増加しやすい。これより、リン処理した熱酸化膜は酸窒化膜と異なり、フェルミエネルギーの増加に伴って、電荷捕獲が増加しにくいことが示唆されている。前節 1.6.2 で述べたように、リン処理した熱酸化膜では酸化膜/SiC 界面近傍の C 原子に起因する欠陥密度を低減する可能性がある。もし窒化処理により C-C 結合の密度が十分に低減されているとすると、リン処理では C-C 結合とは異なる C 原子に起因する欠陥密度を低減していると予想される。これらは、クーロン散乱への寄与が大きい界面近傍の欠陥に相当するであろう。しかしながら、その具体的な起源は特定できていない。

また、酸窒化膜とリン処理した熱酸化膜では酸化膜/SiC 界面近傍にて C 原子に起因した欠陥が減少することは指摘されているが、Si 原子に起因する欠陥への影響は明らかではな

い。Si-Si 結合が伝導帯端よりも低いエネルギー位置に準位を形成するという指摘[143]を考慮すると、Si-Si 結合の形成が抑制されることが望ましい。窒化処理により導入される N 原子は C 原子を置換するが、これは C 原子と N 原子の大きさが同程度であることから自然である。窒化処理で導入される N と同様に、 $\text{POCl}_3$  処理により SiC 最表面に P が導入されることが指摘されている[244]。リン処理が SiC の最表面構造へ及ぼす影響は明らかではないが、Si 原子と P 原子の大きさが同程度であることより、Si 原子位置を置換する可能性が考えられる。そうだとすると、リン処理により Si-Si 結合が切断される、または  $(\text{C}_2)_{\text{Si}}$  などの Si 原子位置にある欠陥を P が置き換えるなどの効果が想定される。このような場合、リン処理は酸化膜/SiC 界面近傍で C 原子に起因した欠陥を減少させることに加えて、Si 原子に起因した欠陥の密度を低減させると推定される。

一方で、熱酸化膜/SiC 界面の  $\text{SiO}_2$  は SiC に近づくにつれて、 $\text{SiO}_2$  の化学量論的な組成変化( $\text{SiO}_{2-x}$ )、Si-O-Si の結合角の減少などの構造変化を伴うことが報告されている[145]。また、Si 上のリン処理した熱酸化膜の報告を基に、リン処理した熱酸化膜では酸化膜/SiC 界面に近づくについて  $\text{SiO}_2$  の構造変化が緩和され、酸化膜/SiC 界面の歪が緩むとの指摘がある[147]。例えば、酸化膜中で Si-O-Si 結合角が変化し、酸化膜/SiC 界面近傍の原子配列が局所的に変化すると、SiC 界面および SiC 最表面の欠陥構造が影響を受ける可能性がある。そう考えると、熱酸化膜にリン処理を行うことで、酸化膜の構造変化が生じて、SiC 界面および SiC 最表面の欠陥構造が変化することで、クーロン散乱の主要因となる欠陥構造の生成が抑制された可能性もある。

## 6.4. 本章のまとめ

本章では第4章および第5章で構築した酸窒化膜をゲート絶縁膜に用いた素子における反転層移動度のキャリア散乱機構モデルの拡張性を検討するため、ホール効果測定を用いて熱酸化膜およびリン処理した熱酸化膜の反転層移動度およびキャリア散乱機構を評価し、酸窒化膜の場合と比較した。

熱酸化膜は酸窒化膜と比較して電荷捕獲準位が高密度で存在し、伝導帯端部の直下と比較するとおよそ6倍の高密度である。そのため、熱酸化膜で反転層移動度が評価できるのは表面キャリア密度が低い領域に限られるが、その領域における反転層移動度は酸窒化膜とほぼ同等であることを見出した。これは、窒化処理は反転層移動度に影響せず、酸窒化膜/SiC 界面の反転層移動度は熱酸化膜/SiC 界面における反転層移動度の特性を反映している可能性を示唆する。

上記の関係は  $N_A=1 \times 10^{16} \text{ cm}^{-3}$  の素子だけでなく、 $N_A=3 \times 10^{14} \text{ cm}^{-3}$  程度の素子においても成立する。これは酸窒化膜/SiC 界面のフォノン散乱移動度は熱酸化膜/SiC 界面におけるフォノン散乱移動度の特性を反映している可能性を示唆する。従って、熱酸化膜におけるキャリア散乱機構は酸窒化膜とほぼ変わらないと考えられる。

室温において、酸窒化膜とリン処理した熱酸化膜の反転層移動度と表面キャリア密度の関係を比較すると、リン処理した熱酸化膜の方が高い反転層移動度を示すことが明らかとなった。リン処理した熱酸化膜でも、表面キャリア密度の増加に伴って反転層移動度が増加し、反転層移動度はクーロン散乱の影響を強く受けていることが示唆された。

リン処理した熱酸化膜において反転層移動度とアクセプタ濃度またはボディー電圧との関係を検討した結果、ウェル領域のアクセプタ濃度が増加すると反転層移動度が減少し、また負のボディー電圧を印加するとその絶対値が増加するにつれて反転層移動度が減少した。リン処理した熱酸化におけるクーロン散乱の主要因は、酸窒化膜と同様にイオン化不純物散乱ではなく、酸化膜/SiC 界面近傍で生じるクーロン散乱であることが判明した。

473K の高温において、酸窒化膜とリン処理した熱酸化膜の反転層移動度と実効垂直電界の関係を比較すると、ゲート絶縁膜にリン処理した熱酸化膜を用いた素子の反転層移動度は酸窒化膜で定式化した  $\mu_{\text{phonon}}$  へと漸近した。これは、リン処理した熱酸化膜/SiC 界面のフォノン散乱移動度が酸窒化膜/SiC 界面のものと一致する可能性を示唆する。酸窒化膜で定式化した  $\mu_{\text{phonon}}$  と他機関より報告されている低  $N_A$  素子におけるリン処理した熱酸化膜の実効移動度が近い値を示すことを考慮し、リン処理が熱酸化膜/SiC 界面のフォノン散乱移

動度に影響しないという推定は妥当であると結論づけた。

473K において、リン処理した熱酸化膜を有する素子のキャリア散乱機構を提案した手法を基に検討した。酸窒化膜と同様に、反転層移動度を決めるのはフォノン散乱とクーロン散乱が主要因であることが判明した。リン処理した熱酸化膜では酸窒化膜よりも表面キャリア密度の増加に伴ってクーロン散乱移動度が増加しやすく、表面キャリア密度が高い領域ではクーロン散乱の影響が小さくなるため、反転層移動度がフォノン散乱移動度に近づくことが明らかとなった。これが、リン処理した熱酸化膜が酸窒化膜よりも反転層移動度が高くなる要因である。また、リン処理した熱酸化膜と酸窒化膜では表面キャリア密度の増加に対するクーロン散乱移動度の増加率が異なることは、これらの酸化膜/SiC 界面近傍におけるクーロン散乱源のエネルギー分布が異なることを示唆している。

以上より、熱酸化膜における反転層移動度は酸窒化膜における反転層移動度とほぼ同じため、酸窒化膜と同じキャリア散乱機構の枠組みが適用できると判明した。さらに、リン処理した熱酸化膜は、酸窒化膜と比較して表面キャリア密度の増加に対するクーロン散乱移動度の増加率が異なることを考慮すれば、酸窒化膜と同じキャリア散乱機構の枠組みが適用できることを明らかにした。従って、ゲート絶縁膜ごとにクーロン散乱の影響が異なることを考慮することで、第4章と第5章で構築した SiC MOSFET における反転層移動度のキャリア散乱機構の枠組みはこれらのゲート絶縁膜へも拡張できることを示した。

## 第7章 総括

### 7.1. 総括

本研究では、パワーエレクトロニクス機器の省エネ化の鍵である SiC MOSFET の更なる低損失化のためゲート酸化膜/SiC 直下の反転層における電子輸送に着目した。SiC MOSFET における反転層移動度の向上もしくは劣化を議論するための基準を与えるため、アクセプタ濃度や温度などを系統的に変化させて反転層移動度の評価を行うとともに、それらに基づいて反転層移動度を決めるキャリア散乱機構モデルを実験的に構築することを目的として議論を進めた。

第1章では、本研究の背景とパワーエレクトロニクス機器の省エネ化の鍵である SiC を用いたスイッチング素子である MOSFET について説明するとともに、本研究の目的を述べた。地球温暖化の抑止には、温室効果ガス排出量の削減に向けたエネルギー供給の低炭素化に加えて、エネルギー消費効率および電化率の向上が欠かせず、電力の効率利用を担うパワーエレクトロニクス機器の省エネ化の鍵として、SiC を用いたパワーデバイスが電力変換効率を高めるための開発と応用機器への適用が拡大している。SiC MOSFET の低損失化には素子の低抵抗化が求められ、ゲート酸化膜/SiC 界面直下の反転層における電子移動度(反転層移動度)の向上が有効である。一般的に SiC MOSFET のゲート酸化膜には酸窒化膜が用いられるが、その反転層移動度は十分に高いとは言えず、SiC MOSFET の性能向上を阻害している。電子の反転層移動度を制限するキャリア散乱機構を検討するため、これまでに解析式やシミュレーションモデルへのフィッティングを用いた解析が行われてきた。しかし、SiC 特有のクーロン散乱の影響が大きいことに起因して、キャリア散乱機構は実験的には明らかになっていない。そこで本研究では、SiC MOSFET の反転層移動度を定める要因を解明するため、反転層移動度の系統的な評価を行い、実験的にキャリア散乱機構モデルを構築することを目的として議論を進めた。SiC は結晶多型が存在し、複数の面方位をもつ材料である。本研究ではパワーデバイスに用いられる 4H-SiC の Si 面における反転層移動度を詳細に検討した。

第2章では、本研究における評価手法とデバイス作製プロセスをまとめた。SiC MOSFET の反転層移動度の評価にはホール効果測定が有効であることを述べ、さらにそのキャリア散乱機構を実験的に評価する手法を提案した。標準的なアクセプタ濃度のウェル領域上に形成された SiC MOSFET では、クーロン散乱が反転層移動度に及ぼす影響が大きく、従来の Si MOSFET と同様の手法ではキャリア散乱機構を実験的に分離評価できない。そこでクーロン散乱の影響度がアクセプタ濃度に依存することに着目し、クーロン散乱の影響を抑制するためにアクセプタ濃度を制御下限まで低減し、フォノン散乱の影響度を相対的に大

きくすることで、キャリア散乱機構を分離評価する解析手法を提案した。

第3章では、SiC MOSFET における反転層移動度に影響を与える因子を抽出した。反転層移動度に影響を与えうる因子として、(1)アクセプタ濃度、(2)ボディー電圧、(3)温度、(4)チャネル構造に着目した。ゲート酸化膜に酸窒化膜を用いた SiC MOSFET の反転層移動度について、各因子が反転層移動度に及ぼす影響を系統的に評価し、SiC MOSFET の反転層移動度にはクーロン散乱の影響が支配的であることを検証した。確かに標準的なアクセプタ濃度ではクーロン散乱の影響が大きく、ボディー電圧の影響に基づき、主要なクーロン散乱源はイオン化不純物ではなく、酸化膜/SiC 界面近傍におけるクーロン散乱源であると結論付けた。室温近傍より低温領域における反転層移動度の低下はクーロン散乱の温度依存性と矛盾せず、チャネル構造に着目した評価もクーロン散乱源が酸化膜/SiC 界面近傍に存在することを支持した。

第4章では、ゲート酸化膜に酸窒化膜を用いた SiC MOSFET における反転層移動度のキャリア散乱機構モデルの枠組みを室温において構築した。広範囲のアクセプタ濃度における反転層移動度を評価し、反転層移動度を決定する主要なキャリア散乱機構として、(1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱を想定し、提案手法に基づいてキャリア散乱機構の分離評価を行った。アクセプタ濃度の低減により反転層移動度が増加し、アクセプタ濃度が  $1 \times 10^{14} \text{ cm}^{-3}$  台まで低減するとその増加が飽和し始めること、および最もアクセプタ濃度を低減した素子の反転層移動度はフォノン散乱移動度の理論的な特徴と整合することより、この素子の反転層移動度がフォノン散乱移動度と一致するとみなしてフォノン散乱移動度を定式化した。そして、その値がフォノン散乱移動度に近い値であると推定することの妥当性を反転層移動度の温度依存性で検証した。アクセプタ濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  から  $4 \times 10^{17} \text{ cm}^{-3}$  では主要なキャリア散乱機構はフォノン散乱とクーロン散乱であり、今回評価した実効垂直電界の範囲では界面ラフネス散乱の影響は限定的と判明した。さらに、クーロン散乱移動度のアクセプタ濃度依存性およびボディー電圧依存性は、空乏層電荷密度をパラメータとして統一的に記述できることを初めて実証した。SiC MOSFET においてクーロン散乱移動度が減少する主要因は、アクセプタ濃度およびボディー電圧によらず、反転キャリアと酸化膜/SiC 界面近傍のクーロン散乱源との平均的な距離の減少であるという物理描像に対応する。

第5章では、第4章において室温で構築した反転層移動度のキャリア散乱機構モデルの枠組みを高温で検証した。高温では室温と比較して、フォノン散乱の影響が強まる一方で、クーロン散乱の影響が弱まるため、フォノン散乱移動度に対する定式化の精度が高まることに着目した。酸窒化膜をゲート絶縁膜に用いた SiC MOSFET では、473K の高温でも実効垂直電界が高い領域まで含めた反転層移動度のユニバーサリティーは観測されないが、ア

アクセプタ濃度が  $2 \times 10^{15} \text{ cm}^{-3}$  以下の素子では反転層移動度と実効垂直電界の関係がほぼ一致することが判明した。従って、アクセプタ濃度を低減し、かつ高温で評価することで、ゲート絶縁膜に酸窒化膜を用いてフォノン散乱移動度を評価可能であることを初めて実証した。提案手法を用いた解析より、高温でも室温と同様に支配的なキャリア散乱機構はフォノン散乱とクーロン散乱であり、高温でも室温で構築したキャリア散乱機構モデルが成立することを示した。これより、SiC MOSFET の反転層移動度を決めるキャリア散乱機構は、従来の Si MOSFET における枠組みを大きく変更することなく理解できると結論付けた。

第6章では、第4章および第5章で構築した反転層移動度のキャリア散乱機構モデルを基に、その拡張性を検討するため、他のゲート酸化膜として熱酸化膜およびリン処理した熱酸化膜における反転層移動度をホール効果測定で評価し、酸窒化膜の反転層移動度と比較した。熱酸化膜と酸窒化膜の比較より、窒化処理は熱酸化膜/SiC 界面の電荷捕獲準位密度を大幅に低減するものの、いずれのゲート酸化膜でも評価できる領域(表面キャリア密度が低い領域、または実効垂直電界が低い領域)において、反転層移動度にはほぼ影響しないことが判明した。一方で、リン処理した熱酸化膜と酸窒化膜の比較より、室温と 473K の高温のいずれもリン処理による反転層移動度の向上が判明した。高温にて反転層移動度と実効垂直電界の関係を検討することで、これらのゲート酸化膜ではゲート酸化膜/SiC 界面におけるフォノン散乱移動度が一致する可能性を見出した。提案手法を用いた解析より、高温におけるリン処理した熱酸化膜を有する素子の主要なキャリア散乱機構はフォノン散乱とクーロン散乱であると判明した。さらに、リン処理による移動度向上は酸窒化膜と比較して、表面キャリア密度の増加に伴ってクーロン散乱移動度が増加しやすいことに起因すると初めて実証し、これらのゲート酸化膜/SiC 界面近傍におけるクーロン散乱源のエネルギー分布が異なることが示唆された。これらより、酸窒化膜で構築したキャリア散乱機構モデルの枠組みは、ゲート酸化膜ごとのクーロン散乱移動度の振る舞いを考慮することで、その他のゲート酸化膜へも拡張できると明らかにした。

以上より、本研究では SiC MOSFET の反転層移動度を決めるキャリア散乱機構を解明するため、ホール効果測定により Si 面 4H-SiC MOSFET の反転層移動度を評価し、SiC MOSFET ではクーロン散乱が反転層移動度に大きく影響するという特徴を基に、SiC MOSFET に適したキャリア散乱機構の実験的な解析手法を提案することで、キャリア散乱機構モデルを実験的に構築した。まず、反転層移動度に影響を与えうる各因子への依存性を評価し、SiC MOSFET ではクーロン散乱が反転層移動度に大きく影響することを検証した。そのうえで、クーロン散乱の影響を抑制した素子を作製し、フォノン散乱の影響度を相対的に大きくすることでキャリア散乱機構を評価した。そして、酸窒化膜をゲート絶縁膜に有する SiC MOSFET の反転層移動度を広範囲のアクセプタ濃度と温度に対して系統的に評価した。提案手法を用いた解析より、反転層移動度を決定する主要なキャリア散乱機

構として、(1)フォノン散乱、(2)クーロン散乱、(3)界面ラフネス散乱を想定することで、実験的にキャリア散乱機構モデルの枠組みを構築することに成功した。さらに、ゲート酸化膜の形成法が反転層移動度に及ぼす影響を検討し、ゲート酸化膜ごとのクーロン散乱移動度の振る舞いを考慮することで、酸化窒化膜で構築したキャリア散乱機構モデルの枠組みはその他のゲート酸化膜へも拡張できることを明らかにした。

つまり、SiC MOSFET の反転層移動度を理解するうえで重要なのは、表面キャリア密度が低い領域ではその増加による遮蔽効果に基づいて反転層移動度が増加し、表面キャリア密度が高い領域では反転キャリアの閉じ込め効果によって反転層移動度が低下するという描像である。これらのバランスはアクセプタ濃度と温度に依存し、低アクセプタ濃度もしくは高温ではクーロン散乱の影響度が小さいため前者の影響は小さく、高アクセプタ濃度もしくは低温でその影響が顕著に現れる。さらに、SiC MOSFET ではクーロン散乱の主要因がイオン化不純物散乱ではなく、反転キャリアが酸化膜/SiC 界面に近づくことでクーロン散乱移動度が低下することが特徴であり、その振る舞いがゲート絶縁膜に依存することを明らかにした。本研究での検討より、SiC MOSFET の反転層移動度を決める要因は従来の Si における枠組みを大きく変更せずに、SiC 特有のクーロン散乱の影響を取り入れることでモデル化できる可能性を示した。



## 7.2. 展望

本研究では、最も標準的なゲート酸化膜である酸窒化膜における反転層移動度のアクセプタ濃度依存性および温度依存性を系統的に評価し、SiC MOSFET の反転層移動度の値を議論する基準を与えると同時に、キャリア散乱機構の全体像をとらえ、その枠組みを構築した。現時点の SiC MOSFET の標準的な反転層移動度の水準とその制限因子が明らかとなったことで、今後はこれらの評価結果を基に、異なるゲート絶縁膜や成膜プロセスによる反転層移動度の向上または劣化を議論でき、本研究で提案した解析手法を用いることでその要因の検討が可能となることが期待される。

本研究で構築したキャリア散乱機構の枠組みと、その解明に向けたアプローチは、本モデルの是非を含む議論を呼び起こしただけでなく、最先端のデバイスで用いられる Si 面以外の結晶面における反転層移動度の評価へと応用が始まっており[245]、SiC MOSFET の反転層移動度の理解を深める重要な足がかりとなった。今後、より精緻なモデルの確立が期待される。本研究で提案したキャリア散乱機構の評価手法は、Si 面に限らず、C 面、a 面、m 面などの異なる面方位における反転層移動度のキャリア散乱機構の分離評価にも適用可能であり、今後は Si 面のみならず異なる面方位を用いた SiC MOSFET の反転層移動度のキャリア散乱機構の評価へと繋がると期待される。Si 面と SiO<sub>2</sub> をベースとしたゲート絶縁膜の組み合わせに留まらず、その他の面方位と SiO<sub>2</sub> をベースとしたゲート絶縁膜の組み合わせにより、SiC MOSFET の反転層移動度がどのように変化するかを比較検討することで、SiC MOSFET の反転層移動度についてより本質的な議論が可能となり、その理解が深まることを期待したい。また、キャリア散乱機構を明確にすることは、反転層移動度の上限値を議論することを可能とし、SiC MOSFET の低抵抗化の指針を与える。Si 面に留まらず、他の面方位についても、面方位事の更なる議論の発展が望まれる。さらに、標準的なゲート絶縁膜は SiO<sub>2</sub> であるが、それ以外の絶縁膜と SiC の界面における反転層移動度を評価することで、SiO<sub>2</sub>/SiC 界面の特徴がより一層明らかになるであろう。

また、SiC デバイスの性能を十分に引き出すには、その性能極限を十分に理解することが欠かせない。そのためには、電子物性の正確な評価とその物理的な制限要因の理解が不可欠である。本研究は SiC MOSFET の反転層移動度が既に物理的起源を明確に想定して定式化された物理モデルのみで表現できることを意味しており、SiC MOSFET などの MOS 構造を有するデバイスについて、物理的な根拠に立脚した精緻なデバイス設計を可能にする期待される。また、性能極限を理解するためにも、酸化膜/SiC 界面近傍の電荷捕獲準位密度を極めて低減するゲート絶縁膜の形成プロセスの発見と、それを適用した反転層移動度の評価が望まれる。

最後になるが、本研究の成果が SiC MOSFET の反転層移動度の向上指針の確立のみならず、今後現れる新材料の反転層移動度の評価およびキャリア散乱機構の理解の発展に僅かながらでも一助となれば幸いである。

## 参考文献

- [1] 令和3年10月22日閣議決定, “パリ協定に基づく成長戦略としての長期戦略,” 2021.  
[Online]. Available: <https://www.env.go.jp/content/900440767.pdf>
- [2] 岩室憲幸監修, 次世代パワー半導体の開発・評価と実用化. 株式会社エヌ・ティー・エス, 2022.
- [3] W. E. Newell, “Power Electronics-Emerging from Limbo [Conference Keynote Address],” in *1973 IEEE Power Electronics Specialists Conference*, Jun. 1973, pp. 6–12. DOI: 10.1109/PESC.1973.7065162.
- [4] 大橋弘通・葛原正明編著, パワーデバイス. 丸善出版株式会社, 2011.
- [5] 山川聡, “SiC パワーデバイスの実用化展開,” 応用物理, vol. 85 巻, no. 11 号, pp. 941–946, 2016. DOI: 10.11470/oubutsu.85.11\_941.
- [6] 田中保宣監修, 次世代パワー半導体デバイス・実装技術の基礎. 科学情報出版株式会社, 2021.
- [7] T. Kimoto, “Material science and device physics in SiC technology for high-voltage power devices,” *Jpn. J. Appl. Phys.*, vol. 54, no. 4, p. 40103, 2015, DOI: 10.7567/JJAP.54.040103.
- [8] 岩室憲幸監修, 次世代パワー半導体の高性能化とその産業展開. 株式会社シーエムシー出版, 2015.
- [9] 眞田享 and 佐藤克己, “パワーデバイス技術の現状と展望,” 三菱電機技報, vol. 88, no. 5, pp. 2(276)-6(280), 2014, [Online]. Available: <https://www.giho.mitsubishielectric.co.jp/giho/pdf/2014/1405102.pdf>
- [10] B. J. Baliga, M. S. Adler, P. V. Gray, R. P. Love, and N. Zommer, “The insulated gate rectifier (IGR): A new power switching device,” in *1982 International Electron Devices Meeting*, 1982, pp. 264–267. DOI: 10.1109/IEDM.1982.190269.
- [11] I. Comfets, S. Speed, and H. Canabiltv, “Inlproved COMFETs with Fast Switchincl Speed and Hinh-Current Canabiltv,” *Structure*, pp. 79–83, 1983.
- [12] A. Nakagawa, Y. Yamaguchi, K. Watanabe, H. Ohashi, and M. Kurata, “Experimental and Numerical Study of Non-Latch-Up Bipolar-Mode Mosfet Characteristics,” *Tech. Dig. - Int. Electron Devices Meet.*, pp. 150–153, 1985, DOI: 10.1109/iedm.1985.190916.
- [13] H. R. Chang, B. J. Baliga, J. W. Kretchmer, and P. A. Piacente, “Insulated Gate Bipolar Transistor (Igbt) With a Trench Gate Structure,” *Tech. Dig. - Int. Electron Devices Meet.*, vol. 12301, pp. 674–677, 1987, DOI: 10.1109/iedm.1987.191518.
- [14] G. Miller and J. Sack, “A new concept for a non punch through IGBT with MOSFET like switching characteristics,” in *20th Annual IEEE Power Electronics Specialists Conference*, 1989, pp. 21–25. DOI: 10.1109/PESC.1989.48468.

- [15] M. Sumitomo, H. Sakane, K. Arakawa, Y. Higuchi, and M. Matsui, "Injection control technique for high speed switching with a double gate PNM-IGBT," *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 33–36, 2013, DOI: 10.1109/ISPSD.2013.6694392.
- [16] H. Takahashi, H. Haruguchi, H. Hagino, and T. Yamada, "Carrier stored trench-gate bipolar transistor (CSTBT)-a novel power device for high voltage application-," in *8th International Symposium on Power Semiconductor Devices and ICs. ISPSD '96. Proceedings*, 1996, pp. 349–352. DOI: 10.1109/ISPSD.1996.509513.
- [17] F. Bauer, W. Fichtner, H. Dettmer, R. Bayerer, E. Herr, T. Stockmeier, and U. Thiemann, "Comparison of emitter concepts for high voltage IGBTs," *IEEE Int. Symp. Power Semicond. Devices ICs*, pp. 230–235, 1995, DOI: 10.1109/ispsd.1995.515040.
- [18] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and T. Schmidt, "The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement potential," in *12th International Symposium on Power Semiconductor Devices & ICs. Proceedings*, 2000, pp. 355–358. DOI: 10.1109/ISPSD.2000.856842.
- [19] N. Iwamuro and T. Laska, "IGBT History, State-of-the-Art, and Future Prospects," *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 741–752, 2017, DOI: 10.1109/TED.2017.2654599.
- [20] A. Nakagawa, "Theoretical Investigation of Silicon Limit Characteristics of IGBT," in *2006 IEEE International Symposium on Power Semiconductor Devices & IC's*, 2006, pp. 1–4. DOI: 10.1109/ISPSD.2006.1666057.
- [21] K. Eikyu, A. Sakai, H. Matsuura, Y. Nakazawa, Y. Akiyama, Y. Yamaguchi, and M. Inuishi, "On the scaling limit of the Si-IGBTs with very narrow mesa structure," *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 211–214, 2016, DOI: 10.1109/ISPSD.2016.7520815.
- [22] H. Takahashi, A. Yamamoto, S. Aono, and T. Minato, "1200V Reverse Conducting IGBT," *IEEE Int. Symp. Power Semicond. Devices ICs*, vol. 16, pp. 133–136, 2004, DOI: 10.1109/wct.2004.239844.
- [23] K. Nishi and A. Narazaki, "CSTBT<sup>TM</sup> based Split-Gate RC-IGBT with Low Loss and EMI Noise," *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 138–141, 2020, DOI: 10.1109/ISPSD46842.2020.9170055.
- [24] T. Miyoshi, Y. Takeuchi, T. Furukawa, M. Shiraishi, and M. Mori, "Dual side-gate HiGT breaking through the limitation of IGBT loss reduction," *PCIM Eur. 2017 - Int. Exhib. Conf. Power Electron. Intell. Motion, Renew. Energy Energy Manag.*, pp. 16–18, 2017, DOI: 10.1109/SBMicro.2017.7990705.
- [25] Y. Takeuchi, T. Miyoshi, T. Furukawa, M. Shiraishi, and M. Mori, "A Novel Hybrid Power Module with Dual Side-Gate HiGT and SiC-SBD," in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 57–60. DOI: 10.23919/ISPSD.2017.7988892.

- [26] T. Sakano, K. Takao, Y. Iwakaji, H. Itokazu, and T. Matsudai, “Ultra-Low Switching Loss Triple-Gate controlled IGBT,” in *2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2021, pp. 363–366. DOI: 10.23919/ISPSD50666.2021.9452246.
- [27] T. Saraya *et al.*, “3.3 kV Back-Gate-Controlled IGBT (BC-IGBT) Using Manufacturable Double-Side Process Technology,” in *2020 IEEE International Electron Devices Meeting (IEDM)*, 2020, pp. 5.3.1-5.3.4. DOI: 10.1109/IEDM13553.2020.9371909.
- [28] D. Werber, F. Pfirsch, and T. Gutt, “6.5 kV RCDC For Increased Power Density in IGBT-Modules,” pp. 35–38, 2014.
- [29] K. Miyazaki, M. Takamiya, and T. Sakurai, “Automatic optimization of IGBT gate driving waveform using simulated annealing for programmable gate driver IC,” in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016, pp. 1–6. DOI: 10.1109/ECCE.2016.7854892.
- [30] K. Kakushima *et al.*, “Experimental verification of a 3D scaling principle for low  $V_{ce(sat)}$  IGBT,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 10.6.1-10.6.4, 2017, DOI: 10.1109/IEDM.2016.7838390.
- [31] T. Saraya *et al.*, “Demonstration of 1200V Scaled IGBTs Driven by 5V Gate Voltage with Superiorly Low Switching Loss,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 8.4.1-8.4.4, 2019, DOI: 10.1109/IEDM.2018.8614491.
- [32] H. Minamitake, T. Yoshida, K. Suzuki, Y. Haraguchi, T. Hoshi, H. Koketsu, Y. Miyata, and A. Narazaki, “Study about FZ/MCZ Si Wafer (Mother) Material Carbon and Oxygen density for RC-IGBT with Electron Beam Irradiation Based on Electrical and Physical Analysis,” *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 351–354, 2021, DOI: 10.23919/ISPSD50666.2021.9452244.
- [33] 松波弘之・大谷昇・木本恒暢・中村孝編著, *半導体SiC技術と応用*, 第2版. 日刊工業新聞社, 2011.
- [34] 東脇正高, “ベータ酸化ガリウムデバイス,” *応用物理*, 90巻, 5号, pp. 283–289, 2021.
- [35] “イオン注入による p 型 GaN の作製に世界で初めて成功 縦型および横型 GaN on GaN デバイス試作ライン稼働スタート,” 2019. [https://www.nagoya-u.ac.jp/about-nu/public-relations/researchinfo/upload\\_images/20190528\\_imass001.pdf](https://www.nagoya-u.ac.jp/about-nu/public-relations/researchinfo/upload_images/20190528_imass001.pdf)
- [36] K. Hamada, S. Hino, N. Miura, H. Watanabe, S. Nakata, E. Suekawa, Y. Ebiike, M. Imaizumi, I. Umezaki, and S. Yamakawa, “3.3 kV/1500 A power modules for the world’s first all-SiC traction inverter,” *Jpn. J. Appl. Phys.*, vol. 54, no. 4S, p. 04DP07, 2015, DOI: 10.7567/JJAP.54.04DP07.
- [37] T. Kimoto and H. Watanabe, “Defect engineering in SiC technology for high-voltage power devices,” *Appl. Phys. Express*, vol. 13, no. 12, p. 120101, 2020, DOI: 10.35848/1882-0786/abc787.
- [38] T. Kimoto, M. Kaneko, K. Tachiki, K. Ito, R. Ishikawa, X. Chi, D. Stefanakis, T. Kobayashi, and

- H. Tanaka, “Physics and Innovative Technologies in SiC Power Devices,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 36.1.1–36.1.4, 2021, DOI: 10.1109/IEDM19574.2021.9720696.
- [39] R. Kosugi, S. Ji, K. Mochizuki, K. Adachi, S. Segawa, Y. Kawada, Y. Yonezawa, and H. Okumura, “Breaking the Theoretical Limit of 6.5 kV-Class 4H-SiC Super-Junction (SJ) MOSFETs by Trench-Filling Epitaxial Growth,” in *2019 31st International Symposium on Power Semiconductor Devices & ICs (ISPSD)*, 2019, pp. 39–42. DOI: 10.1109/ISPSD.2019.8757632.
- [40] R. Kosugi, Y. Sakuma, K. Kojima, S. Itoh, A. Nagata, T. Yatsuo, Y. Tanaka, and H. Okumura, “First experimental demonstration of SiC super-junction (SJ) structure by multi-epitaxial growth method,” in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2014, pp. 346–349. DOI: 10.1109/ISPSD.2014.6856047.
- [41] S. Harada, Y. Kobayashi, S. Kyogoku, T. Morimoto, T. Tanaka, M. Takei, and H. Okumura, “First Demonstration of Dynamic Characteristics for SiC Superjunction MOSFET Realized using Multi-epitaxial Growth Method,” in *2018 IEEE International Electron Devices Meeting (IEDM)*, 2018, pp. 8.2.1--8.2.4. DOI: 10.1109/IEDM.2018.8614670.
- [42] M. Baba, T. Tawara, T. Morimoto, S. Harada, M. Takei, and H. Kimura, “Ultra-Low Specific on-Resistance Achieved in 3.3 kV-Class SiC Superjunction MOSFET,” in *2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2021, pp. 83–86. DOI: 10.23919/ISPSD50666.2021.9452273.
- [43] T. Masuda, Y. Saito, T. Kumazawa, T. Hatayama, and S. Harada, “Super Junction V-Groove Trench MOSFET,” pp. 177–180, 2018.
- [44] K. Fukuda *et al.*, “Development of ultrahigh-voltage sic devices,” *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 396–404, 2015, DOI: 10.1109/TED.2014.2357812.
- [45] Y. Yonezawa *et al.*, “Low  $V_f$  and highly reliable 16 kV ultrahigh voltage SiC flip-type n-channel implantation and epitaxial IGBT,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 164–167, 2013, DOI: 10.1109/IEDM.2013.6724576.
- [46] H. Miyake, T. Kimoto, and J. Suda, “4H-SiC BJTs with record current gains of 257 on (0001) and 335 on (0001),” *IEEE Electron Device Lett.*, vol. 32, no. 7, pp. 841–843, 2011, DOI: 10.1109/LED.2011.2142291.
- [47] H. Miyake, T. Okuda, H. Niwa, T. Kimoto, and J. Suda, “21-kV SiC BJTs with space-modulated junction termination extension,” *IEEE Electron Device Lett.*, vol. 33, no. 11, pp. 1598–1600, 2012, DOI: 10.1109/LED.2012.2215004.
- [48] R. Singh, J. A. Cooper, M. R. Melloch, T. P. Chow, and J. W. Palmour, “SiC power Schottky and PiN diodes,” *IEEE Trans. Electron Devices*, vol. 49, no. 4, pp. 665–672, 2002, DOI: 10.1109/16.992877.
- [49] H. Niwa, J. Suda, and T. Kimoto, “Ultrahigh-Voltage SiC MPS Diodes with Hybrid

- Unipolar/Bipolar Operation,” *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 874–881, 2017, DOI: 10.1109/TED.2016.2636573.
- [50] T. Kimoto, “Bulk and epitaxial growth of silicon carbide,” *Prog. Cryst. Growth Charact. Mater.*, vol. 62, no. 2, pp. 329–351, 2016, DOI: 10.1016/j.pcrysgrow.2016.04.018.
- [51] 宇治原徹, 原田俊太, 山本祐治, 関和明, “超高品質 SiC 溶液成長,” *応用物理第82 巻第4 号*, pp. 326–329, 2013.
- [52] 土田秀一, 鎌田功穂, 星乃紀博, 村田晃一, “大容量 SiC パワーデバイスに向けた 結晶成長技術の開発,” *応用物理第90 巻第11 号*, pp. 675–678, 2021.
- [53] H. Matsunami and T. Kimoto, “Step-controlled epitaxial growth of SiC: High quality homoepitaxy,” *Mater. Sci. Eng. R Reports*, vol. 20, no. 3, pp. 125–166, 1997, DOI: 10.1016/S0927-796X(97)00005-3.
- [54] N. Kuroda, K. Shibahara, W. Yoo, S. Nishino, and H. Matsunami, “Step-Controlled VPE Growth of SiC Single Crystals at Low Temperatures,” in *Extended Abstracts of the 1987 Conference on Solid State Devices and Materials*, 1987, pp. 227–230. DOI: 10.7567/SSDM.1987.C-4-2.
- [55] H. Pedersen, S. Leone, A. Henry, F. C. Beyer, V. Darakchieva, and E. Janzén, “Very high growth rate of 4H-SiC epilayers using the chlorinated precursor methyltrichlorosilane (MTS),” *J. Cryst. Growth*, vol. 307, no. 2, pp. 334–340, 2007, DOI: 10.1016/j.jcrysgro.2007.07.002.
- [56] Y. Ishida, “Recent developments in the high-rate growth of SiC epitaxial layers by the chemical vapor deposition method,” *J. Vac. Soc. Japan*, vol. 54, no. 6, pp. 346–352, 2011, DOI: 10.3131/jvsj2.54.346.
- [57] M. Ito, L. Storasta, and H. Tsuchida, “Development of 4H-SiC epitaxial growth technique achieving high growth rate and large-area uniformity,” *Appl. Phys. Express*, vol. 1, no. 015001, pp. 015001-1-015001-3, 2008, DOI: 10.1143/APEX.1.015001.
- [58] F. La Via, G. Izzo, M. Mauceri, G. Pistone, G. Condorelli, L. Perdicaro, G. Abbondanza, L. Calcagno, G. Foti, and D. Crippa, “4H-SiC epitaxial layer growth by trichlorosilane (TCS),” *J. Cryst. Growth*, vol. 311, no. 1, pp. 107–113, 2008, DOI: 10.1016/j.jcrysgro.2008.10.041.
- [59] D. J. Larkin, P. G. Neudeck, J. A. Powell, and L. G. Matus, “Site-competition epitaxy for superior silicon carbide electronics,” *Appl. Phys. Lett.*, vol. 65, no. 13, pp. 1659–1661, 1994, DOI: 10.1063/1.112947.
- [60] K. Maeda, K. Suzuki, and M. Ichihara, “Recombination enhanced dislocation glide in silicon carbide observed in-situ by transmission electron microscopy,” *Microsc. Microanal. Microstruct.*, vol. 4, no. 2–3, pp. 211–220, 1993.
- [61] M. Skowronski and S. Ha, “Degradation of hexagonal silicon-carbide-based bipolar devices,” *J. Appl. Phys.*, vol. 99, no. 1, p. 011101, 2006, DOI: 10.1063/1.2159578.
- [62] J. Q. Liu, M. Skowronski, C. Hallin, R. Söderholm, and H. Lendenmann, “Structure of recombination-induced stacking faults in high-voltage SiC p-n junctions,” *Appl. Phys. Lett.*, vol.

- 80, no. 5, pp. 749–751, 2002, DOI: 10.1063/1.1446212.
- [63] S. G. Sridhara, F. H. C. Carlsson, J. P. Bergman, and E. Janzén, “Luminescence from stacking faults in 4H SiC,” *Appl. Phys. Lett.*, vol. 79, no. 24, pp. 3944–3946, 2001, DOI: 10.1063/1.1425084.
- [64] M. Kato, S. Katahira, Y. Ichikawa, S. Harada, and T. Kimoto, “Observation of carrier recombination in single Shockley stacking faults and at partial dislocations in 4H-SiC,” *J. Appl. Phys.*, vol. 124, no. 9, p. 095702, 2018, DOI: 10.1063/1.5042561.
- [65] J. Q. Liu, H. J. Chung, T. Kuhr, Q. Li, and M. Skowronski, “Structural instability of 4H-SiC polytype induced by n-type doping,” *Appl. Phys. Lett.*, vol. 80, no. 12, pp. 2111–2113, 2002, DOI: 10.1063/1.1463203.
- [66] T. A. Kuhr, J. Liu, H. J. Chung, M. Skowronski, and F. Szmulowicz, “Spontaneous formation of stacking faults in highly doped 4H-SiC during annealing,” *J. Appl. Phys.*, vol. 92, no. 10, pp. 5863–5871, 2002, DOI: 10.1063/1.1516250.
- [67] M. S. Miao, S. Limpijumnong, and W. R. L. Lambrecht, “Stacking fault band structure in 4H-SiC and its impact on electronic devices,” *Appl. Phys. Lett.*, vol. 79, no. 26, pp. 4360–4362, 2001, DOI: 10.1063/1.1427749.
- [68] A. Agarwal, H. Fatima, S. Haney, and S.-H. Ryu, “A New Degradation Mechanism in High-Voltage SiC Power MOSFETs,” *IEEE Electron Device Lett.*, vol. 28, no. 7, pp. 587–589, 2007, DOI: 10.1109/LED.2007.897861.
- [69] K. Danno, D. Nakamura, and T. Kimoto, “Investigation of carrier lifetime in 4H-SiC epilayers and lifetime control by electron irradiation,” *Appl. Phys. Lett.*, vol. 90, no. 20, p. 202109, 2007, DOI: 10.1063/1.2740580.
- [70] P. B. Klein, B. V. Shanabrook, S. W. Huh, A. Y. Polyakov, M. Skowronski, J. J. Sumakeris, and M. J. O’Loughlin, “Lifetime-limiting defects in n- 4H-SiC epilayers,” *Appl. Phys. Lett.*, vol. 88, no. 5, p. 052110, 2006, DOI: 10.1063/1.2170144.
- [71] R. Ishikawa, M. Hara, H. Tanaka, M. Kaneko, and T. Kimoto, “Electron mobility along  $\langle 0001 \rangle$  and  $\langle 1-100 \rangle$  directions in 4H-SiC over a wide range of donor concentration and temperature,” *Appl. Phys. Express*, vol. 14, no. 6, p. 061005, 2021, DOI: 10.35848/1882-0786/abfeb5.
- [72] H. Niwa, J. Suda, and T. Kimoto, “Impact ionization coefficients in 4H-SiC toward ultrahigh-voltage power devices,” *IEEE Trans. Electron Devices*, vol. 62, no. 10, pp. 3326–3333, 2015, DOI: 10.1109/TED.2015.2466445.
- [73] D. Stefanakis, X. Chi, T. Maeda, M. Kaneko, and T. Kimoto, “Experimental Determination of Impact Ionization Coefficients along  $\langle 11-20 \rangle$  in 4H-SiC,” *IEEE Trans. Electron Devices*, vol. 67, no. 9, pp. 3740–3744, 2020, DOI: 10.1109/TED.2020.3012118.
- [74] T. Kimoto, H. Niwa, T. Okuda, E. Saito, Y. Zhao, S. Asada, and J. Suda, “Carrier lifetime and



- breakdown phenomena in SiC power device material,” *J. Phys. D. Appl. Phys.*, vol. 51, no. 36, p. 363001, 2018, DOI: 10.1088/1361-6463/aad26a.
- [75] K. A. Jones, P. B. Shah, K. W. Kirchner, R. T. Lareau, M. C. Wood, M. H. Ervin, R. D. Vispute, R. P. Sharma, T. Venkatesan, and O. W. Holland, “Annealing ion implanted SiC with an AlN cap,” *Mater. Sci. Eng. B*, vol. 61–62, pp. 281–286, 1999, DOI: 10.1016/S0921-5107(98)00518-2.
- [76] Y. Negoro, K. Katsumoto, T. Kimoto, and H. Matsunami, “Electronic behaviors of high-dose phosphorus-ion implanted 4H–SiC (0001),” *J. Appl. Phys.*, vol. 96, no. 1, pp. 224–228, 2004, DOI: 10.1063/1.1756213.
- [77] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology*. Singapore: John Wiley & Sons, 2014.
- [78] Y. Negoro, T. Kimoto, and H. Matsunami, “Carrier compensation near tail region in aluminum- or boron-implanted 4H–SiC (0001),” *J. Appl. Phys.*, vol. 98, no. 4, p. 043709, 2005, DOI: 10.1063/1.2030411.
- [79] Y. Song, S. Dhar, L. C. Feldman, G. Chung, and J. R. Williams, “Modified Deal Grove model for the thermal oxidation of silicon carbide,” *J. Appl. Phys.*, vol. 95, no. 9, pp. 4953–4957, 2004, DOI: 10.1063/1.1690097.
- [80] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, R. A. Weller, S. T. Pantelides, L. C. Feldman, O. W. Holland, M. K. Das, and J. W. Palmour, “Improved Inversion Channel Mobility for 4H–SiC MOSFETs Following High Temperature Anneals in Nitric Oxide,” *IEEE Electron Device Lett.*, vol. 22, no. 4, pp. 176–178, 2001, DOI: 10.1109/55.915604.
- [81] K. Fujihira, Y. Tarui, M. Imaizumi, K. I. Ohtsuka, T. Takami, T. Shiramizu, K. Kawase, J. Tanimura, and T. Ozeki, “Characteristics of 4H–SiC MOS interface annealed in N<sub>2</sub>O,” *Solid. State. Electron.*, vol. 49, no. 6, pp. 896–901, 2005, DOI: 10.1016/j.sse.2004.10.016.
- [82] K. McDonald, L. C. Feldman, R. A. Weller, G. Y. Chung, C. C. Tin, and J. R. Williams, “Kinetics of NO nitridation in SiO<sub>2</sub>/4H–SiC,” *J. Appl. Phys.*, vol. 93, no. 4, pp. 2257–2261, 2003, DOI: 10.1063/1.1539541.
- [83] D. J. Lichtenwalner, V. Misra, S. Dhar, S.-H. Ryu, and A. Agarwal, “High-mobility enhancement-mode 4H–SiC lateral field-effect transistors utilizing atomic layer deposited Al<sub>2</sub>O<sub>3</sub> gate dielectric,” *Appl. Phys. Lett.*, vol. 95, no. 15, p. 152113, 2009, DOI: 10.1063/1.3251076.
- [84] T. Hosoi, S. Azumo, Y. Kashiwagi, S. Hosaka, R. Nakamura, S. Mitani, Y. Nakano, H. Asahara, T. Nakamura, T. Kimoto, T. Shimura, and H. Watanabe, “Performance and reliability improvement in SiC power MOSFETs by implementing AlON high-k gate dielectrics,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 7.4.1-7.4.4, 2012, DOI: 10.1109/IEDM.2012.6478998.
- [85] T. Hosoi, S. Azumo, Y. Kashiwagi, S. Hosaka, K. Yamamoto, M. Aketa, H. Asahara, T. Nakamura, T. Kimoto, T. Shimura, and H. Watanabe, “Comprehensive and systematic design of

- metal/high-k gate stack for high-performance and highly reliable SiC power MOSFET,” *Jpn. J. Appl. Phys.*, vol. 59, no. 2, p. 021001, 2020, DOI: 10.7567/1347-4065/ab65a3.
- [86] X. Yang, B. Lee, and V. Misra, “High Mobility 4H-SiC Lateral MOSFETs Using Lanthanum Silicate and Atomic Layer Deposited SiO<sub>2</sub>,” *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 312–314, 2015, DOI: 10.1109/LED.2015.2399891.
- [87] S. Tanimoto, H. Okushi, and K. Arai, “Ohmic Contacts for Power Devices on SiC,” in *Silicon Carbide: Recent Major Advances*, W. J. Choyke, H. Matsunami, and G. Pensl, Eds. Berlin Heidelberg: Springer-Verlag, 2004, pp. 651–669. DOI: 10.1002/0471238961.1909120904092201.a01.
- [88] L. Storasta, H. Tsuchida, T. Miyazawa, and T. Ohshima, “Enhanced annealing of the Z<sub>1/2</sub> defect in 4H-SiC epilayers,” *J. Appl. Phys.*, vol. 103, no. 1, p. 013705, 2008, DOI: 10.1063/1.2829776.
- [89] L. Storasta and H. Tsuchida, “Reduction of traps and improvement of carrier lifetime in 4H-SiC epilayers by ion implantation,” *Appl. Phys. Lett.*, vol. 90, no. 6, p. 062116, 2007, DOI: 10.1063/1.2472530.
- [90] T. Hiyoshi and T. Kimoto, “Elimination of the Major Deep Levels in n- and p-Type 4H-SiC by Two-Step Thermal Treatment,” *Appl. Phys. Express*, vol. 2, no. 9, p. 091101, 2009, DOI: 10.1143/APEX.2.091101.
- [91] T. Hiyoshi and T. Kimoto, “Reduction of deep levels and improvement of carrier lifetime in n-type 4H-SiC by thermal oxidation,” *Appl. Phys. Express*, vol. 2, no. 4, pp. 0411011–0411013, 2009, DOI: 10.1143/APEX.2.041101.
- [92] T. Tawara, T. Miyazawa, M. Ryo, M. Miyazato, T. Fujimoto, K. Takenaka, S. Matsunaga, M. Miyajima, A. Otsuki, Y. Yonezawa, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchida, “Short minority carrier lifetimes in highly nitrogen-doped 4H-SiC epilayers for suppression of the stacking fault formation in PiN diodes,” *J. Appl. Phys.*, vol. 120, no. 11, p. 115101, 2016, DOI: 10.1063/1.4962717.
- [93] T. Miyazawa, T. Tawara, R. Takanashi, and H. Tsuchida, “Vanadium doping in 4H-SiC epitaxial growth for carrier lifetime control,” *Appl. Phys. Express*, vol. 9, no. 11, p. 111301, 2016, DOI: 10.7567/APEX.9.111301.
- [94] A. Yang, K. Murata, T. Miyazawa, T. Tawara, and H. Tsuchida, “Analysis of carrier lifetimes in N+B-doped n-type 4H-SiC epilayers,” *J. Appl. Phys.*, vol. 126, no. 5, p. 055103, 2019, DOI: 10.1063/1.5097718.
- [95] S. Hino, N. Miura, A. Furukawa, S. Watanabe, Y. Nakao, S. Nakata, M. Imaizumi, H. Sumitani, and T. Oomori, “SiC-MOSFET Structure Enabling Fast Turn-On and -Off Switching,” *Mater. Sci. Forum*, vol. 717–720, pp. 1097–1100, 2012, DOI: 10.4028/www.scientific.net/MSF.717-720.1097.
- [96] Y. Ebihara, A. Ichimura, S. Mitani, M. Noborio, Y. Takeuchi, S. Mizuno, T. Yamamoto, and K.

- Tsuruta, “Deep-P encapsulated 4H-SiC trench MOSFETs with ultra low RonQgd,” *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 44–47, 2018, DOI: 10.1109/ISPSD.2018.8393598.
- [97] S. Harada, M. Kato, T. Kojima, K. Ariyoshi, Y. Tanaka, and H. Okumura, “Determination of optimum structure of 4H-SiC trench MOSFET,” *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 253–256, 2012, DOI: 10.1109/ISPSD.2012.6229071.
- [98] R. Tanaka, Y. Kagawa, N. Fujiwara, K. Sugawara, Y. Fukui, N. Miura, M. Imaizumi, and S. Yamakawa, “Impact of grounding the bottom oxide protection layer on the short-circuit ruggedness of 4H-SiC trench MOSFETs,” in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2014, pp. 75–78. DOI: 10.1109/ISPSD.2014.6855979.
- [99] D. Peters, R. Siemienieć, T. Aichinger, T. Basler, R. Esteve, W. Bergner, and D. Kueck, “Performance and ruggedness of 1200V SiC — Trench — MOSFET,” in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 239–242. DOI: 10.23919/ISPSD.2017.7988904.
- [100] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, and Y. Yokotsuji, “High performance SiC trench devices with ultra-low ron,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 075, pp. 599–601, 2011, DOI: 10.1109/IEDM.2011.6131619.
- [101] K. Uchida, Y. Saitoh, T. Hiyoshi, T. Masuda, K. Wada, H. Tamaso, T. Hatayama, K. Hiratsuka, T. Tsuno, M. Furumai, and Y. Mikamura, “The Optimised Design and Characterization of 1200 V / 2.0 mΩ cm<sup>2</sup> 4H-SiC V-groove Trench MOSFETs,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2015, pp. 85–88. DOI: 10.1109/ISPSD.2015.7123395.
- [102] K. Wada, T. Masuda, Y. Saitoh, H. Tamaso, M. Furumai, K. Hiratsuka, Y. Mikamura, T. Hatayama, and H. Yano, “Fast Switching 4H-SiC V-groove Trench MOSFETs with Buried P+ structure,” in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2014, pp. 225–228. DOI: 10.1109/ISPSD.2014.6856017.
- [103] Y. Fukui, K. Sugawara, R. Tanaka, H. Koketsu, H. Hatta, Y. Miyata, H. Suzuki, K. Taguchi, Y. Kagawa, S. Tomohisa, and N. Miura, “Effects of Grounding Bottom Oxide Protection Layer in Trench-Gate SiC-MOSFET by Tilted Al Implantation,” *Mater. Sci. Forum*, vol. 1004, pp. 764–769, 2020, DOI: 10.4028/www.scientific.net/MSF.1004.764.
- [104] K. Sugawara, Y. Fukui, R. Tanaka, K. Adachi, Y. Kagawa, S. Tomohisa, N. Miura, E. Suekawa, and Y. Terasaki, “A Novel Trench SiC-MOSFETs Fabricated by Multiple-Ion-Implantation into Tilted Trench Side Walls (MIT<sup>2</sup>-MOS),” in *PCIM Europe Conference Proceedings*, 2021, pp. 504–508.
- [105] R. Tanaka, K. Sugawara, Y. Fukui, H. Hatta, H. Koketsu, H. Suzuki, Y. Miyata, K. Taguchi, Y. Kagawa, S. Tomohisa, and N. Miura, “Performance Improvement of Trench-Gate SiC MOSFETs by Localized High-Concentration N-Type Ion Implantation,” *Mater. Sci. Forum*, vol. 1004, pp.

- 770–775, 2020, DOI: 10.4028/www.scientific.net/MSF.1004.770.
- [106] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, “6.5 kV schottky-barrier-diode-embedded SiC-MOSFET for compact full-unipolar module,” in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 41–44. DOI: 10.23919/ISPSD.2017.7988888.
  - [107] Y. Kobayashi, N. Ohse, T. Morimoto, M. Kato, T. Kojima, M. Miyazato, M. Takei, H. Kimura, and S. Harada, “Body PiN diode inactivation with low on-resistance achieved by a 1.2 kV-class 4H-SiC SWITCH-MOS,” in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, pp. 9.1.1-9.1.4. DOI: 10.1109/IEDM.2017.8268356.
  - [108] Y. Nagahisa, S. Hino, H. Hatta, K. Kawahara, S. Tomohisa, and N. Miura, “Novel Termination Structure Eliminating Bipolar Degradation of SBD-embedded SiC-MOSFET,” in *2020 32nd Int. Symp. Power Semicond. Devices ICs (ISPSD)*, 2020, pp. 114–117. DOI: 10.1109/ISPSD46842.2020.9170088.
  - [109] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, “Impact of Embedding Schottky Barrier Diodes into 3.3 kV and 6.5 kV SiC MOSFETs,” *Mater. Sci. Forum*, vol. 924, pp. 663–666, 2018, DOI: 10.4028/www.scientific.net/MSF.924.663.
  - [110] M. Uchida, N. Horikawa, K. Tanaka, K. Takahashi, T. Kiyosawa, M. Hayashi, M. Niwayama, O. Kusumoto, K. Adachi, C. Kudou, and M. Kitabatake, “Novel SiC power MOSFET with integrated unipolar internal inverse MOS-channel diode,” in *2011 IEEE International Electron Devices Meeting (IEDM)*, 2011, pp. 26.6.1--26.6.4. DOI: 10.1109/IEDM.2011.6131620.
  - [111] M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Channel engineering of 4H-SiC MOSFETs using sulphur as a deep level donor,” in *2018 IEEE International Electron Devices Meeting (IEDM)*, 2018, pp. 8.3.1-8.3.4. DOI: 10.1109/IEDM.2018.8614598.
  - [112] T. Hatakeyama, Y. Kiuchi, M. Sometani, S. Harada, D. Okamoto, H. Yano, Y. Yonezawa, and H. Okumura, “Characterization of traps at nitrided SiO<sub>2</sub>/SiC interfaces near the conduction band edge by using Hall effect measurements,” *Appl. Phys. Express*, vol. 10, no. 4, p. 046601, 2017, DOI: 10.7567/APEX.10.046601.
  - [113] T. Aichinger, G. Rescher, and G. Pobegen, “Threshold voltage peculiarities and bias temperature instabilities of SiC MOSFETs,” *Microelectron. Reliab.*, vol. 80, pp. 68–78, 2018, DOI: 10.1016/j.microrel.2017.11.020.
  - [114] K. Puschkarsky, T. Grasser, T. Aichinger, W. Gustin, and H. Reisinger, “Review on SiC MOSFETs High-Voltage Device Reliability Focusing on Threshold Voltage Instability,” *IEEE Trans. Electron Devices*, vol. 66, no. 11, pp. 4604–4616, 2019, DOI:

- 10.1109/TED.2019.2938262.
- [115] M. Sometani, D. Okamoto, S. Harada, H. Ishimori, S. Takasu, T. Hatakeyama, M. Takei, Y. Yonezawa, K. Fukuda, and H. Okumura, “Threshold-voltage instability in 4H-SiC MOSFETs with nitrided gate oxide revealed by non-relaxation method,” *Jpn. J. Appl. Phys.*, vol. 55, no. 4S, p. 04ER11, 2016, DOI: 10.7567/JJAP.55.04ER11.
  - [116] R. Green, A. Lelis, and D. Habersat, “Threshold-voltage bias-temperature instability in commercially-available SiC MOSFETs,” *Jpn. J. Appl. Phys.*, vol. 55, no. 4S, p. 04EA03, 2016, DOI: 10.7567/JJAP.55.04EA03.
  - [117] M. Noguchi, A. Koyama, T. Iwamatsu, H. Watanabe, and N. Miura, “Gate Oxide Instability against a Wide Range of Negative Electric Field Stress of SiC MOSFETs,” in *2021 IEEE International Electron Devices Meeting (IEDM)*, 2021, pp. 36.3.1-36.3.4. DOI: 10.1109/IEDM19574.2021.9720679.
  - [118] M. Noguchi, A. Koyama, T. Iwamatsu, H. Amishiro, H. Watanabe, and N. Miura, “Gate Oxide Instability and Lifetime in SiC MOSFETs under a Wide Range of Positive Electric Field Stress,” in *2020 IEEE International Electron Devices Meeting (IEDM)*, 2020, pp. 23.4.1-23.4.4. DOI: 10.1109/IEDM13553.2020.9371992.
  - [119] C. Schleich, J. Berens, G. Rzepa, G. Pobegen, G. Rescher, S. Tyaginov, T. Grasser, and M. Waltl, “Physical Modeling of Bias Temperature Instabilities in SiC MOSFETs,” in *2019 IEEE International Electron Devices Meeting (IEDM)*, 2019, pp. 20.5.1-20.5.4. DOI: 10.1109/IEDM19573.2019.8993446.
  - [120] T. Watanabe, Y. Fukui, S. Hino, S. Tomohisa, N. Miura, and K. Nishikawa, “Categorization of PBTI Mechanisms on 4H-SiC MOSFETs by the Stress Gate Voltage and Channel Plane Orientation,” *IEEE Trans. Device Mater. Reliab.*, vol. 23, no. 1, pp. 99–108, 2023, DOI: 10.1109/TDMR.2023.3234979.
  - [121] P. Salmen, M. W. Feil, K. Waschneck, H. Reisinger, G. Rescher, and T. Aichinger, “A new test procedure to realistically estimate end-of-life electrical parameter stability of SiC MOSFETs in switching operation,” in *2021 IEEE International Reliability Physics Symposium (IRPS)*, 2021, pp. 1–7. DOI: 10.1109/IRPS46558.2021.9405207.
  - [122] H. Jiang, X. Zhong, G. Qiu, L. Tang, X. Qi, and L. Ran, “Dynamic Gate Stress Induced Threshold Voltage Drift of Silicon Carbide MOSFET,” *IEEE Electron Device Lett.*, vol. 41, no. 9, pp. 1284–1287, 2020, DOI: 10.1109/LED.2020.3007626.
  - [123] D. J. Lichtenwalner, B. Hull, E. Van Brunt, S. Sabri, D. A. Gajewski, D. Grider, S. Allen, J. W. Palmour, A. Akturk, and J. McGarrity, “Reliability studies of SiC vertical power MOSFETs,” in *2018 IEEE International Reliability Physics Symposium (IRPS)*, 2018, pp. 2B.2-1-2B.2-6. DOI: 10.1109/IRPS.2018.8353544.
  - [124] A. F. Witulski, D. R. Ball, K. F. Galloway, A. Javanainen, J. M. Lauenstein, A. L. Sternberg, and

- R. D. Schrimpf, "Single-Event Burnout Mechanisms in SiC Power MOSFETs," *IEEE Trans. Nucl. Sci.*, vol. 65, no. 8, pp. 1951–1955, 2018, DOI: 10.1109/TNS.2018.2849405.
- [125] H. Yoshioka, T. Nakamura, and T. Kimoto, "Accurate evaluation of interface state density in SiC metal-oxide-semiconductor structures using surface potential based on depletion capacitance," *J. Appl. Phys.*, vol. 111, no. 1, p. 014502, 2012, DOI: 10.1063/1.3673572.
- [126] T. Hosoi, Y. Katsu, K. Moges, D. Nagai, M. Sometani, H. Tsuji, T. Shimura, and H. Watanabe, "Passive-active oxidation boundary for thermal oxidation of 4H-SiC(0001) surface in O<sub>2</sub>/Ar gas mixture and its impact on SiO<sub>2</sub>/SiC interface quality," *Appl. Phys. Express*, vol. 11, no. 9, p. 091301, 2018, DOI: 10.7567/APEX.11.091301.
- [127] T. Hosoi, D. Nagai, M. Sometani, Y. Katsu, H. Takeda, T. Shimura, M. Takei, and H. Watanabe, "Ultrahigh-temperature rapid thermal oxidation of 4H-SiC(0001) surfaces and oxidation temperature dependence of SiO<sub>2</sub>/SiC interface properties," *Appl. Phys. Lett.*, vol. 109, no. 18, p. 182114, 2016, DOI: 10.1063/1.4967002.
- [128] R. Heihachiro Kikuchi and K. Kita, "Interface-reaction-limited growth of thermal oxides on 4H-SiC (0001) in nanometer-thick region," *Appl. Phys. Lett.*, vol. 104, no. 5, p. 052106, 2014, DOI: 10.1063/1.4864284.
- [129] J. M. Knaup, P. Deák, T. Frauenheim, A. Gali, Z. Hajnal, and W. J. Choyke, "Theoretical study of the mechanism of dry oxidation of 4H-SiC," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 71, no. 23, pp. 1–9, 2005, DOI: 10.1103/PhysRevB.71.235321.
- [130] F. Devynck, A. Alkauskas, P. Broqvist, and A. Pasquarello, "Defect levels of carbon-related defects at the SiC/SiO<sub>2</sub> interface from hybrid functionals," *Phys. Rev. B*, vol. 83, no. 19, p. 195319, 2011, DOI: 10.1103/PhysRevB.83.195319.
- [131] Y. Matsushita and A. Oshiyama, "Structural stability and energy levels of carbon-related defects in amorphous SiO<sub>2</sub> and its interface with SiC," *Jpn. J. Appl. Phys.*, vol. 57, no. 12, p. 125701, 2018, DOI: 10.7567/JJAP.57.125701.
- [132] X. Shen and S. T. Pantelides, "Identification of a major cause of endemically poor mobilities in SiC/SiO<sub>2</sub> structures," *Appl. Phys. Lett.*, vol. 98, no. 5, p. 053507, 2011, DOI: 10.1063/1.3553786.
- [133] T. Kobayashi and Y. Matsushita, "Structure and energetics of carbon defects in SiC (0001)/SiO<sub>2</sub> systems at realistic temperatures: Defects in SiC, SiO<sub>2</sub>, and at their interface," *J. Appl. Phys.*, vol. 126, no. 14, p. 145302, 2019, DOI: 10.1063/1.5100754.
- [134] J. M. Knaup, P. Deák, T. Frauenheim, A. Gali, Z. Hajnal, and W. J. Choyke, "Defects in SiO<sub>2</sub> as the possible origin of near interface traps in the SiC/SiO<sub>2</sub> system: A systematic theoretical study," *Phys. Rev. B*, vol. 72, no. 11, p. 115323, 2005, DOI: 10.1103/PhysRevB.72.115323.
- [135] F. Devynck, A. Alkauskas, P. Broqvist, and A. Pasquarello, "Charge transition levels of carbon-, oxygen-, and hydrogen-related defects at the SiC/SiO<sub>2</sub> interface through hybrid functionals," *Phys. Rev. B*, vol. 84, no. 23, p. 235320, 2011, DOI: 10.1103/PhysRevB.84.235320.

- [136] S. Wang, S. Dhar, S. Wang, A. C. Ahyi, A. Franceschetti, J. R. Williams, L. C. Feldman, and S. T. Pantelides, “Bonding at the SiC-SiO<sub>2</sub> Interface and the Effects of Nitrogen and Hydrogen,” *Phys. Rev. Lett.*, vol. 98, no. 2, p. 026101, 2007, DOI: 10.1103/PhysRevLett.98.026101.
- [137] T. Kaneko, N. Tajima, T. Yamasaki, J. Nara, T. Schimizu, K. Kato, and T. Ohno, “Hybrid density functional analysis of distribution of carbon-related defect levels at 4H-SiC(0001)/SiO<sub>2</sub> interface,” *Appl. Phys. Express*, vol. 11, no. 1, p. 011302, 2018, DOI: 10.7567/APEX.11.011302.
- [138] Z. Zhang, Z. Wang, Y. Guo, and J. Robertson, “Carbon cluster formation and mobility degradation in 4H-SiC MOSFETs,” *Appl. Phys. Lett.*, vol. 118, no. 3, p. 031601, 2021, DOI: 10.1063/5.0037241.
- [139] T. Kobayashi, K. Harada, Y. Kumagai, F. Oba, and Y. Matsushita, “Native point defects and carbon clusters in 4H-SiC: A hybrid functional study,” *J. Appl. Phys.*, vol. 125, no. 12, p. 125701, 2019, DOI: 10.1063/1.5089174.
- [140] P. De’ak, J. M. Knaup, T. Hornos, C. Thill, A. Gali, and T. Frauenheim, “The mechanism of defect creation and passivation at the SiC/SiO<sub>2</sub> interface,” *J. Phys. D: Appl. Phys.*, vol. 40, pp. 6242–6253, 2007.
- [141] Y. Matsushita, S. Furuya, and A. Oshiyama, “Floating Electron States in Covalent Semiconductors,” *Phys. Rev. Lett.*, vol. 108, no. 24, p. 246404, 2012, DOI: 10.1103/PhysRevLett.108.246404.
- [142] Y. Matsushita and A. Oshiyama, “Interstitial Channels that Control Band Gaps and Effective Masses in Tetrahedrally Bonded Semiconductors,” *Phys. Rev. Lett.*, vol. 112, no. 13, p. 136403, 2014, DOI: 10.1103/PhysRevLett.112.136403.
- [143] K. Shiraishi, K. Chokawa, H. Shirakawa, K. Endo, M. Araidai, K. Kamiya, and H. Watanabe, “First principles study of SiC/SiO<sub>2</sub> interfaces towards future power devices,” in *2014 IEEE International Electron Devices Meeting*, 2014, vol. 4, pp. 21.3.1–21.3.4. DOI: 10.1109/IEDM.2014.7047095.
- [144] Y. I. Matsushita and A. Oshiyama, “A Novel Intrinsic Interface State Controlled by Atomic Stacking Sequence at Interfaces of SiC/SiO<sub>2</sub>,” *Nano Lett.*, vol. 17, no. 10, pp. 6458–6463, 2017, DOI: 10.1021/acs.nanolett.7b03490.
- [145] H. Hirai and K. Kita, “Structural difference between near interface oxides grown on Si and C faces of 4H-SiC characterized by infrared spectroscopy,” *Appl. Phys. Lett.*, vol. 103, no. 13, p. 132106, 2013, DOI: 10.1063/1.4823468.
- [146] H. Hirai and K. Kita, “Difference of near-interface strain in SiO<sub>2</sub> between thermal oxides grown on 4H-SiC by dry-O<sub>2</sub> oxidation and H<sub>2</sub>O oxidation characterized by infrared spectroscopy,” *Appl. Phys. Lett.*, vol. 110, no. 15, p. 152104, 2017, DOI: 10.1063/1.4980093.
- [147] K. Morino, S. Miyazaki, and M. Hirose, “Phosphorous Incorporation in Ultrathin Gate Oxides and Its Impact to the Network Structure,” in *Extended Abstracts of the 1997 International*

- Conference on Solid State Devices and Materials*, 1997, pp. 18–19. DOI: 10.7567/SSDM.1997.A-2-3.
- [148] T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano, and H. Matsunami, “Interface properties of metal-oxide-semiconductor structures on 4H-SiC{0001} and (11-20) formed by N<sub>2</sub>O oxidation,” *Japanese J. Appl. Physics, Part 1 Regul. Pap. Short Notes Rev. Pap.*, vol. 44, no. 3, pp. 1213–1218, 2005, DOI: 10.1143/JJAP.44.1213.
- [149] V. V. Afanas’ev, A. Stesmans, F. Ciobanu, G. Pensl, K. Y. Cheong, and S. Dimitrijević, “Mechanisms responsible for improvement of 4H-SiC/SiO<sub>2</sub> interface properties by nitridation,” *Appl. Phys. Lett.*, vol. 82, no. 4, pp. 568–570, 2003, DOI: 10.1063/1.1532103.
- [150] N. Soejima, T. Kimura, T. Ishikawa, and T. Sugiyama, “Effect of NH<sub>3</sub> post-oxidation annealing on flatness of SiO<sub>2</sub>/SiC interface,” *Mater. Sci. Forum*, vol. 740–742, pp. 723–726, 2013, DOI: 10.4028/www.scientific.net/MSF.740-742.723.
- [151] G. Chung, C. C. Tin, J. R. Williams, K. McDonald, M. Di Ventura, R. K. Chanana, S. T. Pantelides, L. C. Feldman, and R. A. Weller, “Effects of anneals in ammonia on the interface trap density near the band edges in 4H-silicon carbide metal-oxide-semiconductor capacitors,” *Appl. Phys. Lett.*, vol. 77, no. 22, pp. 3601–3603, 2000, DOI: 10.1063/1.1328370.
- [152] S. Asaba, T. Ito, S. Fukatsu, Y. Nakabayashi, T. Shimizu, M. Furukawa, T. Suzuki, and R. Iijima, “Breakthrough in Channel Mobility Limit of Nitrided Gate Insulator for SiC DMOSFET with Novel High-temperature N<sub>2</sub> Annealing,” in *2019 31st International Symposium on Power Semiconductor Devices & ICs (ISPSD)*, 2019, pp. 139–142. DOI: 10.1109/ISPSD.2019.8757649.
- [153] T. Shirasawa, K. Hayashi, S. Mizuno, S. Tanaka, K. Nakatsuji, F. Komori, and H. Tochihara, “Epitaxial Silicon Oxynitride Layer on a 6H-SiC(0001) Surface,” *Phys. Rev. Lett.*, vol. 98, no. 13, p. 136105, 2007, DOI: 10.1103/PhysRevLett.98.136105.
- [154] K. Murata, D. Mori, H. Tsuji, T. Fujii, A. Takigawa, and H. Tsuchida, “Direct nitridation of 4H-SiC(0001) surface by H<sub>2</sub>/N<sub>2</sub> treatment,” *Appl. Phys. Express*, vol. 13, no. 9, p. 095506, 2020, DOI: 10.35848/1882-0786/abb181.
- [155] R. Kosugi, T. Umeda, and Y. Sakuma, “Fixed nitrogen atoms in the SiO<sub>2</sub>/SiC interface region and their direct relationship to interface trap density,” *Appl. Phys. Lett.*, vol. 99, no. 18, pp. 2009–2012, 2011, DOI: 10.1063/1.3659689.
- [156] S. Dhar, L. C. Feldman, K.-C. Chang, Y. Cao, L. M. Porter, J. Bentley, and J. R. Williams, “Nitridation anisotropy in SiO<sub>2</sub>/4H-SiC,” *J. Appl. Phys.*, vol. 97, no. 7, p. 074902, 2005, DOI: 10.1063/1.1863423.
- [157] K. Moges, M. Sometani, T. Hosoi, T. Shimura, S. Harada, and H. Watanabe, “Sub-nanometer-scale depth profiling of nitrogen atoms in SiO<sub>2</sub>/4H-SiC structures treated with NO annealing,” *Appl. Phys. Express*, vol. 11, no. 10, p. 101303, 2018, DOI: 10.7567/APEX.11.101303.
- [158] J. Rozen, S. Dhar, M. E. Zvanut, J. R. Williams, and L. C. Feldman, “Density of interface states,



- electron traps, and hole traps as a function of the nitrogen density in SiO<sub>2</sub> on SiC,” *J. Appl. Phys.*, vol. 105, no. 12, p. 124506, 2009, DOI: 10.1063/1.3131845.
- [159] K. Tachiki, M. Kaneko, T. Kobayashi, and T. Kimoto, “Formation of high-quality SiC(0001)/SiO<sub>2</sub> structures by excluding oxidation process with H<sub>2</sub> etching before SiO<sub>2</sub> deposition and high-temperature N<sub>2</sub> annealing,” *Appl. Phys. Express*, vol. 13, no. 12, p. 121002, 2020, DOI: 10.35848/1882-0786/abc6ed.
- [160] J. Houston Dycus, W. Xu, D. J. Lichtenwalner, B. Hull, J. W. Palmour, and J. M. LeBeau, “Structure and chemistry of passivated SiC/SiO<sub>2</sub> interfaces,” *Appl. Phys. Lett.*, vol. 108, no. 20, p. 201607, 2016, DOI: 10.1063/1.4951677.
- [161] A. Gavrikov, A. Knizhnik, A. Safonov, A. Scherbinin, A. Bagatur’yants, B. Potapkin, A. Chatterjee, and K. Matocha, “First-principles-based investigation of kinetic mechanism of SiC(0001) dry oxidation including defect generation and passivation,” *J. Appl. Phys.*, vol. 104, no. 9, p. 093508, 2008, DOI: 10.1063/1.3006004.
- [162] T. Shimizu, T. Akiyama, K. Nakamura, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, “Reaction of NO molecule at 4H-SiC/SiO<sub>2</sub> interface: an ab initio study for the effect of NO annealing after dry oxidation,” *Jpn. J. Appl. Phys.*, vol. 60, no. SB, p. SBBD10, 2021, DOI: 10.35848/1347-4065/abdcbl.
- [163] H. Yoshioka, T. Nakamura, and T. Kimoto, “Characterization of very fast states in the vicinity of the conduction band edge at the SiO<sub>2</sub>/SiC interface by low temperature conductance measurements,” *J. Appl. Phys.*, vol. 115, no. 1, p. 014502, 2014, DOI: 10.1063/1.4858435.
- [164] H. Yoshioka, T. Nakamura, and T. Kimoto, “Generation of very fast states by nitridation of the SiO<sub>2</sub>/SiC interface,” *J. Appl. Phys.*, vol. 112, no. 2, p. 024520, 2012, DOI: 10.1063/1.4740068.
- [165] S. Nakazawa, T. Okuda, J. Suda, T. Nakamura, and T. Kimoto, “Interface Properties of 4H-SiC (11-20) and (1-100) MOS Structures Annealed in NO,” *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 309–315, 2015, DOI: 10.1109/TED.2014.2352117.
- [166] T. Hiyoshi, T. Masuda, K. Wada, S. Harada, T. Tsuno, and Y. Namikawa, “SiC high channel mobility MOSFET,” *SEI Tech. Rev.*, no. 77, pp. 122–126, 2013.
- [167] D. Okamoto, H. Yano, K. Hirata, T. Hatayama, and T. Fuyuki, “Improved inversion channel mobility in 4H-SiC MOSFETs on Si face utilizing phosphorus-doped gate oxide,” *IEEE Electron Device Lett.*, vol. 31, no. 7, pp. 710–712, 2010, DOI: 10.1109/LED.2010.2047239.
- [168] Y. K. Sharma, A. C. Ahyi, T. Issacs-Smith, X. Shen, S. T. Pantelides, X. Zhu, L. C. Feldman, J. Rozen, and J. R. Williams, “Phosphorous passivation of the SiO<sub>2</sub>/4H-SiC interface,” *Solid. State. Electron.*, vol. 68, pp. 103–107, 2012, DOI: 10.1016/j.sse.2011.10.030.
- [169] 矢野裕司, 畑山智亮, and 冬木隆, “Reduction of SiC-MOS Interface Traps and Improved MOSFET Performance by Phosphorus Incorporation into Gate Oxides,” *表面科学*, vol. 35, no. 2, pp. 90–95, 2014, DOI: 10.1380/jsssj.35.90.

- [170] T. Okuda, T. Kobayashi, T. Kimoto, and J. Suda, “Surface passivation on 4H-SiC epitaxial layers by SiO<sub>2</sub> with POCl<sub>3</sub> annealing,” *Appl. Phys. Express*, vol. 9, no. 5, p. 051301, 2016, DOI: 10.7567/APEX.9.051301.
- [171] H. Yano, T. Hatayama, and T. Fuyuki, “POCl<sub>3</sub> Annealing as a New Method for Improving 4H-SiC MOS Device Performance,” *ECS Trans.*, vol. 50, no. 3, pp. 257–265, 2012, DOI: 10.1149/05003.0257ecst.
- [172] Y. K. Sharma, A. C. Ahyi, T. Isaacs-Smith, A. Modic, M. Park, Y. Xu, E. L. Garfunkel, S. Dhar, L. C. Feldman, and J. R. Williams, “High-mobility stable 4H-SiC MOSFETs using a thin PSG interfacial passivation layer,” *IEEE Electron Device Lett.*, vol. 34, no. 2, pp. 175–177, 2013, DOI: 10.1109/LED.2012.2232900.
- [173] G. Liu, A. C. Ahyi, Y. Xu, T. Isaacs-Smith, Y. K. Sharma, J. R. Williams, L. C. Feldman, and S. Dhar, “Enhanced Inversion Mobility on 4H-SiC (11-20) Using Phosphorus and Nitrogen Interface Passivation,” *IEEE Electron Device Lett.*, vol. 34, no. 2, pp. 181–183, 2013, DOI: 10.1109/LED.2012.2233458.
- [174] D. Okamoto, H. Yano, T. Hatayama, and T. Fuyuki, “Removal of near-interface traps at SiO<sub>2</sub>/4H-SiC (0001) interfaces by phosphorus incorporation,” *Appl. Phys. Lett.*, vol. 96, no. 20, p. 203508, 2010, DOI: 10.1063/1.3432404.
- [175] D. Okamoto, M. Sometani, S. Harada, R. Kosugi, Y. Yonezawa, and H. Yano, “Improved channel mobility in 4H-SiC MOSFETs by boron passivation,” *IEEE Electron Device Lett.*, vol. 35, no. 12, pp. 1176–1178, 2014, DOI: 10.1109/LED.2014.2362768.
- [176] M. Cabello, V. Soler, J. Montserrat, J. Rebollo, J. M. Rafi, and P. Godignon, “Impact of boron diffusion on oxynitrided gate oxides in 4H-SiC metal-oxide-semiconductor field-effect transistors,” *Appl. Phys. Lett.*, vol. 111, no. 4, p. 042104, 2017, DOI: 10.1063/1.4996365.
- [177] T. Kobayashi and T. Kimoto, “Carbon ejection from a SiO<sub>2</sub>/SiC(0001) interface by annealing in high-purity Ar,” *Appl. Phys. Lett.*, vol. 111, no. 6, p. 062101, 2017, DOI: 10.1063/1.4997599.
- [178] T. Kobayashi, Y. Matsushita, T. Okuda, T. Kimoto, and A. Oshiyama, “Microscopic mechanism of carbon annihilation upon SiC oxidation due to phosphorus treatment: Density functional calculations combined with ion mass spectrometry,” *Appl. Phys. Express*, vol. 11, no. 12, p. 121301, 2018, DOI: 10.7567/APEX.11.121301.
- [179] F. Allerstam, H. Ö. Ólafsson, G. Gudjónsson, D. Dochev, E. Ö. Sveinbjörnsson, T. Rödle, and R. Jos, “A strong reduction in the density of near-interface traps at the SiO<sub>2</sub>/4H-SiC interface by sodium enhanced oxidation,” *J. Appl. Phys.*, vol. 101, no. 12, p. 124502, 2007, DOI: 10.1063/1.2745321.
- [180] D. J. Lichtenwalner, L. Cheng, S. Dhar, A. Agarwal, and J. W. Palmour, “High mobility 4H-SiC (0001) transistors using alkali and alkaline earth interface layers,” *Appl. Phys. Lett.*, vol. 105, no. 18, p. 182107, 2014, DOI: 10.1063/1.4901259.

- [181] A. Chanthaphan, Y. Katsu, T. Hosoi, T. Shimura, and H. Watanabe, “Insight into metal-enhanced oxidation using barium on 4H-SiC surfaces,” *Jpn. J. Appl. Phys.*, vol. 55, no. 12, p. 120303, 2016, DOI: 10.7567/JJAP.55.120303.
- [182] E. Fujita, M. Sometani, T. Hatakeyama, S. Harada, H. Yano, T. Hosoi, T. Shimura, and H. Watanabe, “Insight into enhanced field-effect mobility of 4H-SiC MOSFET with Ba incorporation studied by Hall effect measurements,” *AIP Adv.*, vol. 8, no. 8, p. 085305, 2018, DOI: 10.1063/1.5034048.
- [183] K. Tachiki, M. Kaneko, T. Kobayashi, and T. Kimoto, “Formation of high-quality SiC(0001)/SiO<sub>2</sub> structures by excluding oxidation process with H<sub>2</sub> etching before SiO<sub>2</sub> deposition and high-temperature N<sub>2</sub> annealing,” *Appl. Phys. Express*, vol. 13, no. 12, p. 121002, 2020, DOI: 10.35848/1882-0786/abc6ed.
- [184] K. Tachiki, M. Kaneko, and T. Kimoto, “Mobility improvement of 4H-SiC (0001) MOSFETs by a three-step process of H<sub>2</sub> etching, SiO<sub>2</sub> deposition, and interface nitridation,” *Appl. Phys. Express*, vol. 14, no. 3, p. 031001, 2021, DOI: 10.35848/1882-0786/abdc9.
- [185] T. Kobayashi, T. Okuda, K. Tachiki, K. Ito, Y. Matsushita, and T. Kimoto, “Design and formation of SiC (0001)/SiO<sub>2</sub> interfaces via Si deposition followed by low-temperature oxidation and high-temperature nitridation,” *Appl. Phys. Express*, vol. 13, no. 9, p. 091003, 2020, DOI: 10.35848/1882-0786/ababed.
- [186] K. Fukuda, M. Kato, K. Kojima, and J. Senzaki, “Effect of gate oxidation method on electrical properties of metal-oxide-semiconductor field-effect transistors fabricated on 4H-SiC C(000-1) face,” *Appl. Phys. Lett.*, vol. 84, no. 12, pp. 2088–2090, 2004, DOI: 10.1063/1.1682680.
- [187] H. Shiomi, H. Kitai, M. Tsujimura, Y. Kiuchi, D. Nakata, S. Ono, K. Kojima, K. Fukuda, K. Sakamoto, K. Yamasaki, and H. Okumura, “Electrical and physical characterizations of the effects of oxynitridation and wet oxidation at the interface of SiO<sub>2</sub>/4H-SiC(0001) and (000-1),” *Jpn. J. Appl. Phys.*, vol. 55, no. 4S, p. 04ER19, 2016, DOI: 10.7567/JJAP.55.04ER19.
- [188] T. Suzuki, J. Senzaki, T. Hatakeyama, K. Fukuda, T. Shinohe, and K. Arai, “Effect of Gate Wet Reoxidation on Reliability and Channel Mobility of Metal-oxide-semiconductor Field-effect Transistors Fabricated on 4H-SiC (000-1),” *Mater. Sci. Forum*, vol. 600–603, pp. 791–794, 2009, DOI: 10.4028/www.scientific.net/msf.600-603.791.
- [189] T. Ohashi, Y. Nakabayashi, and R. Iijima, “Investigation of the Universal Mobility of SiC MOSFETs Using Wet Oxide Insulators on Carbon Face with Low Interface State Density,” *IEEE Trans. Electron Devices*, vol. 65, no. 7, pp. 2707–2713, 2018, DOI: 10.1109/TED.2018.2836347.
- [190] K. Tachiki, K. Mikami, K. Ito, M. Kaneko, and T. Kimoto, “Mobility enhancement in heavily doped 4H-SiC (0001), (11-20), and (1-100) MOSFETs via an oxidation-minimizing process,” *Appl. Phys. Express*, vol. 15, no. 7, p. 071001, 2022, DOI: 10.35848/1882-0786/ac7197.
- [191] S. Takagi, J. L. Hoyt, J. J. Welser, and J. F. Gibbons, “Comparative study of phonon-limited

- mobility of two-dimensional electrons in strained and unstrained Si metal–oxide–semiconductor field-effect transistors,” *J. Appl. Phys.*, vol. 80, no. 3, pp. 1567–1577, 1996, DOI: 10.1063/1.362953.
- [192] T. Ohashi, R. Iijima, and H. Yano, “Dominant scattering mechanism in SiC MOSFET: Comparative study of the universal mobility and the theoretically calculated channel mobility,” *Jpn. J. Appl. Phys.*, vol. 59, no. 3, 2020, DOI: 10.35848/1347-4065/ab755a.
- [193] H. Tanaka and N. Mori, “Modeling of carrier scattering in MOS inversion layers with large density of interface states and simulation of electron Hall mobility in 4H-SiC MOSFETs,” *Jpn. J. Appl. Phys.*, vol. 59, no. 3, p. 31006, 2020, DOI: 10.35848/1347-4065/ab7271.
- [194] 浜口智尋, 半導体物理. 朝倉書店, 2001.
- [195] 野口 宗隆, “MOSFETチャネル移動度評価,” *応用物理 第91巻 第6号*, pp. 362–366, 2022.
- [196] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, “On the universality of inversion layer mobility in Si MOSFET’s: Part II-effects of surface orientation,” *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2363–2368, 1994, DOI: 10.1109/16.337450.
- [197] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, “On the universality of inversion layer mobility in Si MOSFET’s: Part I-effects of substrate impurity concentration,” *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2357–2362, 1994, DOI: 10.1109/16.337449.
- [198] K. Masaki, K. Taniguchi, C. Hamaguchi, and M. Iwase, “Temperature dependence of electron mobility in Si inversion layers,” *Jpn. J. Appl. Phys.*, vol. 30, no. 11A, pp. 2734–2739, 1991, DOI: 10.1143/JJAP.30.2734.
- [199] A. Toriumi, K. Kita, and H. Irie, “Novel Approach to MOS Inversion Layer Mobility Characterization with Advanced Split C-V and Hall Factor Analyses,” in *2006 International Electron Devices Meeting*, 2006, pp. 1–4. DOI: 10.1109/IEDM.2006.346874.
- [200] K. Kita, H. Irie, and A. Toriumi, “Experimental Evidence for Invalidity of Matthiessen’s Rule for MOS Inversion Layer Mobility Analysis through Hall Factor Measurement,” pp. 1060–1061, 2015, DOI: 10.7567/ssdm.2006.h-9-3.
- [201] D. S. Jeon and D. E. Burk, “MOSFET Electron Inversion Layer Mobilities-A Physically Based Semi-empirical Model for a Wide Temperature Range,” *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1456–1463, 1989, DOI: 10.1109/16.30959.
- [202] O. Weber and S. Takagi, “Experimental examination and physical understanding of the Coulomb scattering mobility in strained-Si nMOSFETs,” *IEEE Trans. Electron Devices*, vol. 55, no. 9, pp. 2386–2396, 2008, DOI: 10.1109/TED.2008.927388.
- [203] F. Stern, “Calculated temperature dependence of mobility in silicon inversion layers,” *Phys. Rev. Lett.*, vol. 44, no. 22, pp. 1469–1472, 1980, DOI: 10.1103/PhysRevLett.44.1469.
- [204] T. Ishihara and N. Sano, “Coulomb and phonon scattering processes in metal-oxide-semiconductor inversion layers: Beyond Matthiessen’s rule,” *Japanese J. Appl. Physics, Part 1*

- Regul. Pap. Short Notes Rev. Pap.*, vol. 44, no. 4 A, pp. 1682–1686, 2005, DOI: 10.1143/JJAP.44.1682.
- [205] F. Stern and W. E. Howard, “Properties of semiconductor surface inversion layers in the electric quantum limit,” *Phys. Rev.*, vol. 163, no. 3, pp. 816–835, 1967, DOI: 10.1103/PhysRev.163.816.
- [206] J. H. デイ ヴ ィ ス[著]、樺沢宇紀[訳], 低次元半導体の物理. シュプリンガー・ジャパン株式会社, 2004.
- [207] T. Hatakeyama, H. Hirai, M. Sometani, D. Okamoto, M. Okamoto, and S. Harada, “Dipole scattering at the interface: The origin of low mobility observed in SiC MOSFETs,” *J. Appl. Phys.*, vol. 131, no. 14, p. 145701, 2022, DOI: 10.1063/5.0086172.
- [208] L. S. David Esseni, Pierpaolo Palestri, *Nanoscale MOS Transistors*. CAMBRIDGE UNIVERSITY PRESS, 2011.
- [209] Y. Nakabayashi, J. Koga, T. Ishihara, and S. Takagi, “Physical Origins of Surface Carrier Density Dependences of Interface- and Remote-Coulomb Scattering Mobility in Si MOS Inversion Layer,” *Ext. Abstr. 2005 Int. Conf. Solid State Devices Mater. Kobe, 2005*, pp.44-45 *Phys.*, DOI: 10.7567/ssdm.2005.b-2-4.
- [210] Y. Nakabayashi, T. Ishihara, J. Koga, M. Takayanagi, and S. Takagi, “New findings on inversion-layer mobility in highly doped channel Si MOSFETs,” in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, 2005, pp. 133–136. DOI: 10.1109/IEDM.2005.1609287.
- [211] H. Oka, T. Inaba, S. Iizuka, H. Asai, K. Kato, and T. Mori, “Effect of Conduction Band Edge States on Coulomb-Limiting Electron Mobility in Cryogenic MOSFET Operation,” *Dig. Tech. Pap. - Symp. VLSI Technol.*, pp. 334–335, 2022, DOI: 10.1109/VLSITechnologyandCir46769.2022.9830505.
- [212] C. T. Sah, T. H. Ning, and L. L. Tschopp, “The scattering of electrons by surface oxide charges and by lattice vibrations at the silicon-silicon dioxide interface,” *Surf. Sci.*, vol. 32, no. 3, pp. 561–575, 1972, DOI: 10.1016/0039-6028(72)90183-5.
- [213] Y. Matsumoto and Y. Uemura, “Scattering mechanism and low temperature mobility of mos inversion layers,” *Jpn. J. Appl. Phys.*, vol. 13, pp. 367–370, 1974, DOI: 10.7567/JJAPS.2S2.367.
- [214] S. M. Goodnick, D. K. Ferry, C. W. Wilmsen, Z. Liliental, D. Fathy, and O. L. Krivanek, “Surface roughness at the Si(100)-SiO<sub>2</sub> interface,” *Phys. Rev. B*, vol. 32, no. 12, pp. 8171–8186, 1985, DOI: 10.1103/PhysRevB.32.8171.
- [215] K. Sumita, C. T. Chen, K. Toprasertpong, M. Takenaka, and S. Takagi, “Optimum Channel Design of Extremely-Thin-Body nMOSFETs Utilizing Anisotropic Valley-Robust to Surface Roughness Scattering,” *IEEE Trans. Electron Devices*, vol. 69, no. 4, pp. 2115–2121, 2022, DOI: 10.1109/TED.2022.3143484.
- [216] H. Sakaki, T. Noda, K. Hirakawa, M. Tanaka, and T. Matsusue, “Interface roughness scattering in GaAs/AlAs quantum wells,” *Appl. Phys. Lett.*, vol. 51, no. 23, pp. 1934–1936, 1987, DOI:

- 10.1063/1.98305.
- [217] K. Uchida and S. Takagi, “Carrier scattering induced by thickness fluctuation of silicon-on-insulator film in ultrathin-body metal–oxide–semiconductor field-effect transistors,” *Appl. Phys. Lett.*, vol. 82, no. 17, pp. 2916–2918, 2003, DOI: 10.1063/1.1571227.
  - [218] N. S. Saks and A. K. Agarwal, “Hall mobility and free electron density at the SiC/SiO<sub>2</sub> interface in 4H–SiC,” *Appl. Phys. Lett.*, vol. 77, no. 20, pp. 3281–3283, 2000, DOI: 10.1063/1.1326046.
  - [219] G. Ortiz, C. Strenger, V. Uhnevionak, A. Burenkov, A. J. Bauer, P. Pichler, F. Cristiano, E. Bedel-Pereira, and V. Mortet, “Impact of acceptor concentration on electrical properties and density of interface states of 4H–SiC n-metal-oxide-semiconductor field effect transistors studied by Hall effect,” *Appl. Phys. Lett.*, vol. 106, no. 6, p. 062104, 2015, DOI: 10.1063/1.4908123.
  - [220] V. Uhnevionak, A. Burenkov, C. Strenger, G. Ortiz, E. Bedel-Pereira, V. Mortet, F. Cristiano, A. J. Bauer, and P. Pichler, “Comprehensive Study of the Electron Scattering Mechanisms in 4H–SiC MOSFETs,” *IEEE Trans. Electron Devices*, vol. 62, no. 8, pp. 2562–2570, 2015, DOI: 10.1109/TED.2015.2447216.
  - [221] S. Ono, E. Waki, M. Arai, K. Yamasaki, and S. Takagi, “MOS Interfacial Studies Using Hall Measurement and Split C–V Measurement in n-Channel Carbon-Face 4H–SiC MOSFET,” *Mater. Sci. Forum*, vol. 778–780, pp. 571–574, 2014, DOI: 10.4028/www.scientific.net/MSF.778-780.571.
  - [222] M. Tsujimura, H. Kitai, H. Shiomi, K. Kojima, K. Fukuda, K. Sakamoto, K. Yamasaki, S. Takagi, and H. Okumura, “Analysis of Gate Oxide Nitridation Effect on SiC MOSFETs by Using Hall Measurement and Split C–V Measurement,” *Mater. Sci. Forum*, vol. 858, pp. 441–444, 2016, DOI: 10.4028/www.scientific.net/MSF.858.441.
  - [223] H. Naik and T. P. Chow, “Study of Mobility Limiting Mechanisms in (0001) 4H and 6H–SiC MOSFETs,” *Mater. Sci. Forum*, vol. 679–680, pp. 595–598, 2011, DOI: 10.4028/www.scientific.net/MSF.679-680.595.
  - [224] S. Potbhare, N. Goldsman, G. Pennington, A. Lelis, and J. M. McGarrity, “Numerical and experimental characterization of 4H-silicon carbide lateral metal-oxide-semiconductor field-effect transistor,” *J. Appl. Phys.*, vol. 100, no. 4, p. 044515, 2006, DOI: 10.1063/1.2335967.
  - [225] A. Pérez-Tomás, P. Brosselard, P. Godignon, J. Millán, N. Mestres, M. R. Jennings, J. A. Covington, and P. A. Mawby, “Field-effect mobility temperature modeling of 4H–SiC metal-oxide-semiconductor transistors,” *J. Appl. Phys.*, vol. 100, no. 11, p. 114508, 2006, DOI: 10.1063/1.2395597.
  - [226] S. Dhar, S. Haney, L. Cheng, S.-R. Ryu, A. K. Agarwal, L. C. Yu, and K. P. Cheung, “Inversion layer carrier concentration and mobility in 4H–SiC metal-oxide-semiconductor field-effect transistors,” *J. Appl. Phys.*, vol. 108, no. 5, p. 054509, 2010, DOI: 10.1063/1.3484043.
  - [227] Y. Taur and T. H. Ning, *最新VLSIの基礎*, 初版. 丸善株式会社, 2002.

- [228] 川路紳治, 二次元電子と磁場. 朝倉書店, 2007.
- [229] S. Takagi and M. Takenaka, “An Extraction Method of Interface State Density near Conduction Band Edge at SiC MOS Interfaces,” *Ext. Abstr. 2016 Int. Conf. Solid State Devices Mater. Tsukuba, 2016*, pp.241-242, pp. 241–242, 2016, DOI: 10.7567/ssdm.2016.e-3-04.
- [230] 谷口研二編, シリコン熱酸化膜とその界面-基礎物性から超LSIへの応用まで. リアライズ理工センター, 1991.
- [231] デイター・K・シュロウダー, 半導体材料・デバイスの評価. シーエムシー出版, 2012.
- [232] M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Coulomb-limited mobility in 4H-SiC MOS inversion layer as a function of inversion-carrier average distance from MOS interface,” *Jpn. J. Appl. Phys.*, vol. 59, no. 5, pp. 051006-1-051006–5, 2020, DOI: 10.35848/1347-4065/ab8b3c.
- [233] J. Haeusler and H. J. Lippmann, “Hallgeneratoren mit kleinem linearisierungsfehler,” *Solid State Electron.*, vol. 11, no. 1, pp. 173–182, 1968, DOI: 10.1016/0038-1101(68)90149-4.
- [234] H. Sakaki and T. Sugano, “Galvanomagnetic Effects in Silicon Surface Inversion Layers,” *Jpn. J. Appl. Phys.*, vol. 10, no. 8, pp. 1016–1027, 1971, DOI: 10.1143/JJAP.10.1016.
- [235] T. Watanabe, M. Noguchi, S. Tomohisa, and N. Miura, “Compatibility of POCl<sub>3</sub> gate process with the fabrication of vertical 4H-SiC MOSFETs,” *Materials Science Forum*, vol. 1004, pp. 565–570, 2020. DOI: 10.4028/www.scientific.net/MSF.1004.565.
- [236] N. S. Saks, M. G. Ancona, and R. W. Rendell, “Using the Hall effect to measure interface trap densities in silicon carbide and silicon metal-oxide-semiconductor devices,” *Appl. Phys. Lett.*, vol. 80, no. 17, pp. 3219–3221, 2002, DOI: 10.1063/1.1473867.
- [237] V. Tilak, K. Matocha, and G. Dunne, “Electron-scattering mechanisms in heavily doped silicon carbide MOSFET inversion layers,” *IEEE Trans. Electron Devices*, vol. 54, no. 11, pp. 2823–2829, 2007, DOI: 10.1109/TED.2007.906929.
- [238] F. Moscatelli, A. Poggi, S. Solmi, R. Nipoti, A. Armigliato, and L. Belsito, “Nitridation of the SiO<sub>2</sub>/SiC interface by N<sup>+</sup> implantation: Hall versus field effect mobility in n-channel planar 4H-SiC MOSFETs,” *Mater. Sci. Forum*, vol. 645–648, pp. 491–494, 2010, DOI: 10.4028/www.scientific.net/MSF.645-648.491.
- [239] V. Mortet, E. Bedel-Pereira, J. F. Bobo, F. Cristiano, C. Strenger, V. Uhnevionak, A. Burenkov, and A. J. Bauer, “Hall effect characterization of 4H-SiC MOSFETs: Influence of nitrogen channel implantation,” *Mater. Sci. Forum*, vol. 740–742, pp. 525–528, 2013, DOI: 10.4028/www.scientific.net/MSF.740-742.525.
- [240] S. Kagamihara, H. Matsuura, T. Hatakeyama, T. Watanabe, M. Kushibe, T. Shinohe, and K. Arai, “Parameters required to simulate electric characteristics of SiC devices for n-type 4H-SiC,” *J. Appl. Phys.*, vol. 96, no. 10, pp. 5601–5606, 2004, DOI: 10.1063/1.1798399.
- [241] H. Iwata, K. M. Itoh, and G. Pensl, “Theory of the anisotropy of the electron Hall mobility in n-

- type 4H- and 6H-SiC,” *J. Appl. Phys.*, vol. 88, no. 4, pp. 1956–1961, 2000, DOI: 10.1063/1.1305556.
- [242] Y. Hijikata, H. Yaguchi, and S. Yoshida, “A Kinetic Model of Silicon Carbide Oxidation Based on the Interfacial Silicon and Carbon Emission Phenomenon,” *Appl. Phys. Express*, vol. 2, no. 2, p. 021203, 2009, DOI: 10.1143/APEX.2.021203.
- [243] 伊藤滉二, 堀田昌宏, 須田淳, 木本恒暢, “リン処理を施したSiC(0001)/SiO<sub>2</sub>界面における反転層電子のユニバーサル移動度の評価,” in 第67回応用物理学会春季学術講演会 講演予稿集, 2020, pp. 12–252.
- [244] P. Fiorenza, F. Giannazzo, M. Vivona, A. La Magna, and F. Roccaforte, “SiO<sub>2</sub>/4H-SiC interface doping during post-deposition-annealing of the oxide in N<sub>2</sub>O or POCl<sub>3</sub>,” *Appl. Phys. Lett.*, vol. 103, no. 15, p. 153508, 2013, DOI: 10.1063/1.4824980.
- [245] 伊藤滉二, 田中一, 堀田昌宏, 須田淳, and 木本恒暢, “SiC (0001), (11-20), (1-100) MOSFET におけるHall移動度のボディ層濃度依存性,” in 第83回応用物理学会秋季学術講演会 講演予稿集, 2022, pp. 12–125.



## 業績リスト

## (1) 論文(筆頭著者) 7件

1. M. Noguchi, T. Watanabe, H. Watanabe, K. Kita, and N. Miura, “Comparative Study of Hall Effect Mobility in Inversion Layer of 4H-SiC MOSFETs with Nitrided and Phosphorus-Doped Gate Oxides,” IEEE Trans. Electron Devices, vol. 68, no. 12, pp. 6321–6329, 2021, DOI: 10.1109/TED.2021.3125284.
2. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Coulomb-limited mobility in 4H-SiC MOS inversion layer as a function of inversion-carrier average distance from MOS interface,” Jpn. J. Appl. Phys., vol. 59, no. 5, pp. 051006-1-051006-5, 2020, DOI: 10.35848/1347-4065/ab8b3c.  
(Highlights of 2020 collection for APEX and JJAP)
3. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, N. Miura, K. Kita, and S. Yamakawa, “Carrier transport properties in inversion layer of Si-face 4H-SiC MOSFET with nitrided oxide,” Jpn. J. Appl. Phys., vol. 58, no. 3, pp. 031004-1-031004-6, 2019, DOI: 10.7567/1347-4065/aafc51.  
(第43回(2021年度)応用物理学会論文奨励賞)
4. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Hall effect mobility in inversion layer of 4H-SiC MOSFETs with a thermally grown gate oxide,” Jpn. J. Appl. Phys., vol. 58, no. SB, pp. SBBD14-1-SBBD14-5, 2019, DOI: 10.7567/1347-4065/aafd95.
5. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and S. Yamakawa, “Hall effect mobility for SiC MOSFETs with increasing dose of nitrogen implantation into channel region,” Jpn. J. Appl. Phys., vol. 57, no. 4S, pp. 04FR13-1-04FR13-4, 2018, DOI: 10.7567/JJAP.57.04FR13.
6. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, S. Nakata, T. Kuroiwa, and S. Yamakawa, “Accuracy of the energy distribution of the interface states at the SiO<sub>2</sub>/SiC interface by conductance method,” Materials Science Forum, vol. 858, pp. 437–440, 2016, DOI:10.4028/www.scientific.net/MSF.858.437.
7. M. Noguchi, S. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “High  $I_{on}/I_{off}$  and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions,” J. Appl. Phys., vol. 118, no. 4, pp. 045712-1-045712-15, 2015, DOI: 10.1063/1.4927265.

## (2) 論文(共著) 5 件

1. T. -H. Kil, M. Noguchi, H. Watanabe, and K. Kita, “Impacts of  $\text{Al}_2\text{O}_3/\text{SiO}_2$  Interface Dipole Layer Formation on the Electrical Characteristics of 4H-SiC MOSFET,” IEEE Electron Device Lett., vol. 43, no. 1, pp. 92–95, 2022, DOI: 10.1109/LED.2021.3125945.
2. T. H. Kil, M. Noguchi, H. Watanabe, and K. Kita, “Flat-band voltage shift of 4H-SiC MOS capacitors induced by interface dipole layer formation at the oxide-semiconductor and oxide-oxide interfaces,” Solid. State. Electron., vol. 183, p. 108115, 2021, DOI: 10.1016/j.sse.2021.108115.
3. T. Watanabe, M. Noguchi, S. Tomohisa, and N. Miura, “Compatibility of  $\text{POCl}_3$  gate process with the fabrication of vertical 4H-SiC MOSFETs,” Materials Science Forum, vol. 1004, pp. 565–570, 2020. DOI: 10.4028/www.scientific.net/MSF.1004.565
4. J. Hasegawa, M. Noguchi, M. Furuhashi, S. Nakata, T. Iwasaki, T. Kodera, T. Nishimura, and M. Hatano, “Analysis of effect of gate oxidation at SiC MOS interface on threshold-voltage shift using deep-level transient spectroscopy,” Jpn. J. Appl. Phys., vol. 54, no. 4S, pp. 04DP05-1-04DP05-6, 2015, DOI: 10.7567/JJAP.54.04DP05.
5. S. Takagi, M. Noguchi, M. Kim, S. H. Kim, C. Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke, and M. Takenaka, “III-V/Ge MOS device technologies for low power integrated systems,” Solid. State. Electron., vol. 125, pp. 82–102, 2016, DOI: 10.1016/j.sse.2016.07.002.

## (3) 国際学会(筆頭著者) 13 件 (招待講演 4 件)

1. M. Noguchi, A. Koyama, T. Iwamatsu, H. Watanabe, and N. Miura, “Gate Oxide Instability against a Wide Range of Negative Electric Field Stress of SiC MOSFETs,” in Technical Digest of 2021 IEEE International Electron Devices Meeting (IEDM), pp. 36.3.1-36.3.4, 2021. DOI: 10.1109/IEDM19574.2021.9720679.
2. M. Noguchi, A. Koyama, T. Iwamatsu, H. Amishiro, H. Watanabe, and N. Miura, “Gate Oxide Instability and Lifetime in SiC MOSFETs under a Wide Range of Positive Electric Field Stress,” in Technical Digest of 2020 IEEE International Electron Devices Meeting (IEDM), pp. 23.4.1-23.4.4, 2020. DOI: 10.1109/IEDM19574.2021.9720679.
3. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Improvement in the Channel Performance and NBTI of SiC-MOSFETs by Oxygen Doping,” in Technical Digest of 2019 IEEE International Electron Devices Meeting (IEDM), pp. 20.4.1-20.4.1, 2019, DOI: 10.1109/IEDM19573.2019.8993479.
4. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, N. Miura, and K. Kita, “Invited: Limiting factors of inversion layer mobility in Si-face 4H-SiC MOSFETs,” in The 2019 International Meeting for Future of Electron Devices, Kansai, pp. 57–62, 2019, DOI: 10.1109/IMFEDK48381.2019.8950716. (Invited)
5. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Improvement of channel characteristics of SiC MOSFETs by sulfur doping based on newly-developed carrier transport model,” in Abstract of International Conference on Silicon Carbide and Related Materials (ICSCRM) 2019, pp. We-2A-01, 2019. (Invited)
6. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, Koji Kita, and N. Miura “Improved Channel Characteristics of 4H-SiC MOSFETs by Sulfur Doping Based on the Understanding of Carrier Transport in Inversion Layer,” in 8th International symposium on Control of Semiconductor Interfaces (ISCSI), Sendai, 2019. (Invited)
7. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Inversion Layer Mobility of SiC MOSFETs with Thermally Grown Oxide: Effect of Post-Oxidation

- Nitridation and Gate Oxide Thickness,” in Extended Abstracts of the 2018 International Conference on Solid State Devices and Materials, Tokyo, pp. 245–246, 2018, DOI: 10.7567/ssdm.2018.d-2-01. (*Invited*)
8. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Channel engineering of 4H-SiC MOSFETs using sulphur as a deep level donor,” in Technical Digest of 2018 IEEE International Electron Devices Meeting (IEDM), pp. 8.3.1-8.3.4, 2018, DOI: 10.1109/IEDM.2018.8614598.
  9. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and S. Yamakawa, “Determination of intrinsic phonon-limited mobility and carrier transport property extraction of 4H-SiC MOSFETs,” in Technical Digest of 2017 IEEE International Electron Devices Meeting (IEDM), pp. 9.3.1-9.3.4, 2017. DOI: 10.1109/IEDM.2017.8268358. (*Technical Highlights*)
  10. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and S. Yamakawa, “Hall Effect Mobility for SiC MOSFETs with Increasing Nitrogen implantation into Channel Region,” in Extended Abstracts of the 2017 International Conference on Solid State Devices and Materials (SSDM), Sendai, pp. 1073–1074, 2017. DOI: 10.7567/JJAP.57.04FR13. (*Late news*)
  11. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, S. Nakata, T. Kuroiwa, and S. Yamakawa, “Accuracy of the energy distribution of the interface states at the SiO<sub>2</sub>/SiC interface by conductance method,” in Abstract of International Conference on Silicon Carbide and Related Materials (ICSCRM) 2015, pp. Tu-P-23, 2015.
  12. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, S. Nakata, T. Kuroiwa, K. Kita, and S. Yamakawa, “Surface Carrier Density Dependence of Hall Mobility in SiC MOS Inversion Layer,” in 47th IEEE Semiconductor Interface Specialists Conference (SISC), pp. 4.5, 2015.
  13. M. Noguchi, S. Kim, M. Yokoyama, S. Ji, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “High  $I_{on}/I_{off}$  and low subthreshold slope planar-type InGaAs tunnel FETs with Zn-diffused source junctions,” in Technical Digest of 2013 IEEE International Electron Devices Meeting (IEDM), pp. 683–686, 2013, DOI: 10.1109/IEDM.2013.6724707.

(4) 国際学会(共著) 12 件

1. R. Wang, M. Noguchi, H. Watanabe, K. Kita, “Improvement of SiO<sub>2</sub>/4H-SiC MOS Interface Characteristics via a Concentration-Tunable Boron Incorporation Process,” in Extended Abstracts of the 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, pp. 693–694, 2022. (*Late news*)
2. T. -H. Kil, M. Noguchi, H. Watanabe, and K. Kita, “Positive threshold voltage shift of 4H-SiC MOSFET induced by Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> interface dipole layer formation,” in Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials (SSDM), virtual conference, pp. 227–228, 2021.
3. T. -H. Kil, M. Noguchi, H. Watanabe, and K. Kita, “Flat-band voltage shift of 4H-SiC MOS capacitors induced by interface dipole layer formation at the oxide-semiconductor and oxide-oxide interfaces,” 22th Conference on Insulating Films on Semiconductors (INFOS2021), virtual conference, 2021.
4. T. Watanabe, M. Noguchi, S. Tomohisa, and N. Miura, “Compatibility of POCl<sub>3</sub> gate process with the fabrication of vertical 4H-SiC MOSFETs,” in Abstract of International Conference on Silicon Carbide and Related Materials (ICSCRM) 2019, pp. We-P-36, 2019.
5. K. Fukumoto, S. Koshihara, M. Noguchi, H. Watanabe, and M. Hatano, “Influence of carbon-implantation on carrier density and carrier lifetimes using time, space, and spectral resolutions,” in Abstract of International Conference on Silicon Carbide and Related Materials (ICSCRM) 2019, pp. We-3B-02, 2019.
6. S. Takagi, D. H. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim, and M. Takenaka, “Tunneling MOSFET technologies using III-V/Ge materials,” in Technical Digest of 2017

- IEEE International Electron Devices Meeting (IEDM), pp. 19.5.1-19.5.4, 2016, DOI: 10.1109/IEDM.2016.7838454. (*Invited*)
7. S. Takagi, D.-H. Ahn, M. Noguchi, S. -H. Yoon, T. Gotow, K. Nishi, M. Kim, T.-E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, and M. Takenaka, “Low Power Tunneling FET Technologies Using Ge/III-V Materials,” in ECS Transactions, vol. 80, no. 4, pp. 115–124, 2017, DOI: 10.1149/08004.0115ecst. (*Invited*)
  8. S. Takagi, D. H. Ahn, T. Gotow, M. Noguchi, K. Nishi, S. H. Kim, M. Yokoyama, C. -Y. Chang, S. -H. Yoon, C. Yokoyama, and M. Takenaka, “III-V-based low power CMOS devices on Si platform,” 2017 IEEE International Conference on IC Design and Technology (ICICDT), pp. 1–4, 2017, DOI: 10.1109/ICICDT.2017.7993497. (*Invited*)
  9. S. Takagi, M. Kim, M. Noguchi, S. -M. Ji, K. Nishi, and M. Takenaka, “III-V and Ge/strained SOI tunneling FET technologies for low power LSIs,” in Digest of Technical Papers of 2015 Symposium on VLSI Technology (VLSI Technology), pp. T22–T23, 2015. DOI: 10.1109/VLSIT.2015.7223687. (*Invited*)
  10. S. Takagi, M. S. Kim, M. Noguchi, K. Nishi, and M. Takenaka, “Tunneling FET device technologies using III-V and Ge materials,” in 2015 Fourth Berkeley Symposium on Energy Efficient Electronic Systems (E3S), pp. 1–2, 2015, doi: 10.1109/E3S.2015.7336800. (*Invited*)
  11. J. Hasegawa, M. Noguchi, M. Furuhashi, S. Nakata, T. Iwasaki, T. Kadera, T. Nishimura, and M. Hatano, “Effect of gate oxide process at SiC-MOS interface on threshold voltage shift analyzed by DLTS,” in Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials (SSDM), Tsukuba, pp. 386–387, 2014, DOI: 10.7567/ssdm.2014.ps-14-131.
  12. Y. Ikku, M. Yokoyama, M. Noguchi, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “Low-crosstalk  $2 \times 2$  InGaAsP photonic-wire optical switches using III-V CMOS photonics platform,” in 39th European Conference and Exhibition on Optical Communication (ECOC) 2013, no. 622 CP, pp. 942–944, 2013, DOI: 10.1049/cp.2013.1587.

(5) 国内学会 31 件（招待講演 5 件）

1. 野口宗隆, 渡邊寛, 喜多浩之, 西川和康, “酸窒化膜を用いた SiC MOSFET の反転層における主要なキャリア散乱機構の検証”, in 第 70 回応用物理学会春季学術講演会 講演予稿集, pp. 12-087, 2023.
2. 野口宗隆, 渡邊寛, 喜多浩之, 西川和康, “MOS 界面近傍および酸化膜中の欠陥による SiC MOSFET 特性への影響”, ワイドバンドギャップ半導体学会第 9 回研究会, 2022.
3. 野口宗隆, 渡邊 寛, 喜多浩之, 西川和康, “酸窒化膜をゲート絶縁膜に有する Si 面 4H-SiC MOSFET における反転層移動度の評価とモデル化”, 電子情報通信学会 シリコン材料・デバイス研究会 (SDM) 11 月研究会, 2022. (招待講演)
4. M. Noguchi, A. Koyama, T. Iwamatsu, H. Watanabe, and N. Miura, “Gate Oxide Instability against a Wide Range of Negative Electric Field Stress of SiC MOSFETs,” 第 22 回関西コロキウム・電子デバイスワークショップ, 2022.
5. 野口宗隆, 小山皓洋, 岩松俊明, 網城啓之, 渡邊寛, 三浦成久, “高いゲート酸化膜電界ストレス印加が SiC MOSFET の PBTI/NBTI 特性へ及ぼす影響,” 第 73 回電力用 SiC 半導体研究会, 2022.

6. 野口宗隆, 小山皓洋, 岩松俊明, 渡邊寛, 三浦成久, “SiC MOSFET への負バイアス下の高い酸化膜電界印加による  $V_{th}$  の挙動,” in 第 69 回応用物理学会春季学術講演会 講演予稿集, pp. 100000000-149, 2022.
7. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 三浦成久, 喜多浩之, 山川聡 “酸窒化膜を有する Si 面 4H-SiC MOSFET の反転層内での電荷輸送特性,” in 第 69 回応用物理学会春季学術講演会 講演予稿集, pp. 100000000-143, 2022.  
(招待講演・第 43 回論文奨励賞受賞記念講演)
8. M. Noguchi, A. Koyama, T. Iwamatsu, H. Amishiro, H. Watanabe, and N. Miura, “Gate Oxide Instability and Lifetime in SiC MOSFETs under a Wide Range of Positive Electric Field Stress,” 第 21 回関西コロキウム・電子デバイスワークショップ, 2021.
9. 野口宗隆, 小山皓洋, 岩松俊明, 網城啓之, 渡邊寛, 三浦成久, “高ゲート酸化膜電界印加時の電子捕獲が SiC MOSFET の  $V_{th}$  に及ぼす影響,” in 第 68 回応用物理学会春季学術講演会 講演予稿集, pp. 100000001-079, 2021.
10. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, and N. Miura, K. Kita, “Improvement in the Channel Performance and NBTI of SiC MOSFETs by Oxygen Doping,” 第 20 回関西コロキウム・電子デバイスワークショップ, 2020.
11. 野口宗隆, “酸窒化膜をゲート絶縁膜に用いた n 型 SiC-MOSFET の反転層移動度評価,” 先進パワー半導体分科会 第 6 回個別討論会, 2020.
12. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 三浦成久, “低アクセプタ濃度の p 型ウェル領域における Si 面 SiC MOS 反転層移動度の温度依存性,” in 第 67 回応用物理学会春季学術講演会 講演予稿集, pp. 12-253, 2020.
13. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 三浦成久, “反転層内のキャリア散乱機構評価および硫黄添加による SiC MOSFET のチャネル特性改善,” 第 67 回電力用 SiC 半導体研究会, 2019.
14. M. Noguchi, T. Iwamatsu, H. Amishiro, H. Watanabe, K. Kita, and N. Miura, “Channel Engineering of 4H-SiC MOSFETs Using Sulphur as a Deep Level Donor,” 第 19 回関西コロキウム・電子デバイスワークショップ, 2019.
15. 野口宗隆, “4H-SiC MOS 反転層におけるホール効果移動度と電子散乱機構の実験的評価,” 電気学会 パワーデバイス・パワーIC 高性能化技術調査専門委員会, 2019.
16. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 三浦成久, 喜多浩之, “4H-SiC MOSFET における反転層内の平均的な電子位置とキャリア散乱機構の関係,” in 2019 年電気学会電子・情報・システム部門大会, pp. 555-558, 2019.
17. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 三浦成久, “SiC MOS 反転層内のキャリア散乱機構評価および硫黄添加による SiC MOSFET のチャネル特性改善,” 日本学術振興会第 145 委員会第 165 回研究会, 2019.
18. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 三浦成久, 喜多浩之, “4H-SiC MOSFET チャネル特性へ深い準位を有するドナー添加が及ぼす効果,” 電気学会 次世代化合物半導体デバイスの機能と応用調査専門委員会 電子デバイス研究会, 2019.

19. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 三浦成久, “深い準位を有するドナー添加が SiC MOSFET チャネル特性へ及ぼす効果,” in 第 66 回応用物理学会春季学術講演会 講演予稿集, pp. 12–089, 2019.
20. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 三浦成久, “ゲート酸化膜厚および窒化処理が SiC MOS 反転層移動度へ及ぼす影響,” in 第 79 回応用物理学会秋季学術講演会 講演予稿集, pp. 13–170, 2018. (招待講演・講演奨励賞受賞記念講演)
21. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 山川聡, “SiC MOSFET における反転層移動度と電子散乱機構の評価,” ナノテスト学会 第 22 回 P&A 解析研究会, 2018.
22. 野口宗隆, “SiC パワーデバイス研究開発の最新動向,” in 第 65 回応用物理学会春季学術講演会 講演予稿集, pp. 100000001-273, 2018. (招待講演)
23. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 山川聡, “SiC MOS 反転層における電子散乱機構の実験的評価,” in 第 65 回応用物理学会春季学術講演会 講演予稿集, pp. 13–275, 2018.
24. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 山川聡, 喜多浩之, “4H-SiC MOS 反転層におけるキャリア散乱機構の評価,” 電気学会 次世代化合物半導体デバイスの機能と応用調査専門委員会 電子デバイス研究会, 2018.
25. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 喜多浩之, 山川聡, “Si 面 SiC MOSFET における反転層移動度の低下機構,” 先進パワー半導体分科会第 4 回講演会, 2017. (招待講演)
26. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 中田修平, 黒岩丈晴, 喜多浩之, 山川聡, “SiC MOS 反転層におけるホール効果移動度の低下機構,” in 第 64 回応用物理学会春季学術講演会 講演予稿集, pp. 13–337, 2017.
27. 野口宗隆, 岩松俊明, 網城啓之, 渡邊寛, 中田修平, 黒岩丈晴, 喜多浩之, 山川聡, “SiC MOS 反転層におけるホール移動度の p 型アクセプタ濃度依存性,” in 第 63 回応用物理学会春季学術講演会 講演予稿集, pp. 12–118, 2016.
28. 野口宗隆, 岩松俊明, 三浦成久, 中田修平, 山川聡, “3C/4H 異種ポリタイプ接合を有する SiC MOSFET に対する検討,” 電子情報通信学会 シリコン材料・デバイス研究会 (SDM) 6 月研究会, 2015.
29. 野口宗隆, 岩松俊明, 三浦成久, 中田修平, 山川聡, “3C/4H 異種ポリタイプ接合を有する SiC MOSFET に対する検討,” in 第 62 回応用物理学会春季学術講演会 講演予稿集, pp. 13–287, 2015.
30. 野口宗隆, 金相賢, 横山正史, 市川磨, 長田剛規, 秦雅彦, 竹中充, 高木信一, “スピノングラス法による Zn 拡散を用いた プレーナ型 InGaAs TFET の動作実証,” in 第 60 回応用物理学会春季学術講演会 講演予稿集, pp. 13–184, 2013.
31. 野口宗隆, 竹中 充, 高木信一, “薄膜ボディ InGaAs-OI TFET におけるサブスレッショルド特性の改善手法の検討,” in 第 73 回応用物理学会学術講演会 講演予稿集, pp. 14p-F7-1, 2012.

## (6) 寄稿 3件

1. 野口宗隆, “MOSFET チャネル移動度評価,” 応用物理 第 91 巻 第 6 号, pp. 362–366, 2022.
2. 野口宗隆, “SiC-MOSFET のチャネル領域における 電子散乱モデルと特性改善,” 応用物理 第 89 巻 第 5 号, pp. 265–268, 2020.
3. 野口宗隆, “電磁ノイズの影響を受けにくい SiC パワー半導体素子の新たな動作原理の実証,” OHM 2019 年 4 月号, 2019.

## (7) 書籍 1件

1. 喜多浩之, 野口宗隆, “SiC パワー半導体素子における抵抗要因の影響度の解明,” in 次世代パワー半導体の開発・評価と実用化, (株)エヌ・ティー・エス, 1 編 第 1 章 第 5 節, 2022.

## (8) 表彰 8件

1. 応用物理学会 第 43 回(2021 年度) 応用物理学会論文奨励賞,  
"Carrier transport properties in inversion layer of Si-face 4H-SiC MOSFET with nitrated oxide," 2022.
2. 電気学会 2019 年 電子・情報・システム部門大会 奨励賞,  
"4H-SiC MOSFET における反転層内の平均的な電子位置とキャリア散乱機構の関係," 2020.
3. 電気学会 2019 年電子・情報・システム部門 技術委員会奨励賞,  
"4H-SiC MOSFET チャネル特性へ深い準位を有するドナー添加が及ぼす効果," 2020.
4. IEEE EDS Kansai Chapter, IEEE EDS Kansai Chapter of the Year Award, "Channel engineering of 4H-SiC MOSFETs using sulphur as a deep level donor," 2019.
5. 電気学会 電気学会優秀論文発表賞,  
"4H-SiC MOS 反転層におけるキャリア散乱機構の評価," 2019.
6. 応用物理学会, 第 44 回 (2018 年春季) 応用物理学会 講演奨励賞,  
"SiC MOS 反転層における電子散乱機構の実験的評価," 2018.
7. IEEE EDS Japan Joint Chapter, IEEE EDS Japan Chapter Student Award (IEDM), "High  $I_{on}/I_{off}$  and Low Subthreshold Slope Planar-Type InGaAs Tunnel FETs with Zn-Diffused Source Junctions," 2014.
8. 東京大学大学院工学系研究科 電気系工学専攻 平成 24 年度優秀修士論文賞 (学内),  
"Zn 拡散により形成した p 型ソース領域をもつプレーナ型 InGaAs TFET," 2013.





## 謝辞

本論文を執筆するにあたり、終始懇切なるご指導とご助言を賜りました東京大学大学院新領域創成科学研究科物質系専攻 喜多浩之 教授に謹んで感謝の意を表します。博士論文の執筆にあたり、幾度となく長時間の議論に徹底的にお付き合いいただき、「研究の本質的な意義は何か?」、「そのように考える必然性はあるか?」という根本に立ち返る問いを投げかけていただきました。これまでに自身の行ってきた研究について全体像を把握するだけでなく、その位置づけを広い学理の視点で再考する機会となり、博士論文執筆の機会なくしては得難い経験でした。本質に立ち返る姿勢を忘れずに持ちたいと思います。

本論文の作成に当たり副査をお引き受けいただきました、東京大学大学院新領域創成科学研究科物質系専攻 寺嶋 和夫 教授、竹谷 純一 教授、東京大学大学院工学系研究科電気系工学専攻 高木 信一 教授、東京大学大学院新領域創成科学研究科物質系専攻 加藤和明 准教授、筑波大学数理物質系物理工学域 矢野 裕司 准教授には、貴重なご助言、丁寧なご指導を賜りましたこと、深く感謝いたします。電気工学の視点だけでなく、その基となる物質科学の視点からの洞察を学ぶ機会を頂きました。また、実験結果を説明する物理モデルの根拠と、個々の実験から導かれるモデルごとの整合性を常に吟味すべきとご教授いただきました。今後は、物質科学とデバイス物理の視点を両輪として参ります。

本研究は、筆者が 2014 年から 2023 年にかけて三菱電機株式会社先端技術総合研究所において行った SiC MOSFET の反転層移動度に関する研究をまとめたものです。研究の遂行と論文執筆の機会を与えていただき、終始有益なるご指導、ご助言、ご支援をいただいた、先端技術総合研究所 SiC デバイス開発センター 山川聡 元センター長、パワーデバイス製作所 三浦成久 主管技師長、先端技術総合研究所パワーデバイス技術部 渡邊寛 主席技師長、岩松俊明 主席研究員、網城啓之 主席研究員、渡辺友勝 主席研究員に心より感謝いたします。研究計画に始まり、実験と解析を繰り返し、論文執筆を通じて成果をまとめて、それが世に出るまで、多大な協力を賜りました。基礎研究を通じた社会貢献にもご理解と励ましをいただき、アイデアを存分に検証できる環境に身を置かせていただき、感謝に尽きません。

先端技術総合研究所パワーデバイス技術部 西川和康 部長、古橋壮之 グループマネージャー、パワーデバイス製作所開発部 綿引 達郎 主席技師長には、博士論文執筆へのご支援を賜りましたこと、心より感謝申し上げます。執筆を通して、学び直すことも多く、研究者としての土台を一回り大きくする機会をいただきました。

金沢工業大学工学部電気電子工学科 中田修平 教授には、先端技術総合研究所 SiC デバイス開発センター在籍時に、本研究の端緒となった喜多浩之 教授との共同研究の開始をご支援いただき、厚く感謝いたします。

本研究は、以上に挙げきれなかった先端技術総合研究所パワーデバイス技術部および、パワーデバイス製作所開発部の同僚の皆様のご協力、ご指導をなくしては成しえないもので、多くの方からのご支援により達成されたものであり、心より感謝いたします。

大阪大学大学院工学研究科物理学系専攻 渡部平司 教授、関西学院大学工学部先進エネルギーナノ工学科 細井卓治 准教授、愛知工業大学工学部電気学科電気工学専攻 田岡紀之 教授には、学会や研究会などの場において活発に議論させていただき、厚く感謝いたします。議論を通して、理解が明瞭となるとともに、様々な気づきにつながる学会活動は研究の原動力となりました。鳥海明 東京大学名誉教授には、快く実験装置を使用させていただくとともに、実験方法についてもご助言をいただきましたこと、厚く感謝いたします。他にも、多くの先生、研究者の方々には学会や研究会などの場において、本研究について議論していただき、また多くのご助言をいただきましたこと感謝申し上げます。

東京大学大学院工学系研究科電気系工学専攻 竹中充 教授には、高木・竹中研究室に在籍した当時、卒業間近にも「次はどうしたら良いと思う？」とお声がけを頂きました。その時の、1 つの発見は次の発見への手がかりであるとの学びは、本研究を展開していくうえで、指針のひとつとなりましたこと、心より感謝いたします。

最後に本研究を修めるにあたり、著者を終始支援いただいた家族に心より感謝し、謝辞の結びとさせていただきます。

2023 年 5 月 野口 宗隆