



修士論文

電子1227

近距離非接触通信方式の 動画表示システムへの応用

平成18年2月3日提出

指導教官 池田 誠 助教授

東京大学大学院 工学系研究科 電子工学専攻

学籍番号 46396

田島貴明

目次

第1章	はじめに	1
1.1	背景	1
1.2	システム設計	3
1.2.1	非接触データ伝送系と画像展開回路を備えた動画表示システム	4
1.2.2	非接触データ伝送系と画像展開回路の性能モデルとシステム設計	4
第2章	非接触伝送系モデルの紹介	8
2.1	伝送環境	8
2.2	電磁誘導結合のモデル	9
2.3	モデルの解析	10
2.4	解析的な解に対する具体値の評価	13
第3章	伝送レートの測定	15
3.1	測定環境	15
3.2	設計回路	16
3.3	コイルの自己共振周波数と立ち上がり時間	22
3.3.1	コイルの自己共振周波数による立ち上がり時間の制限	22
3.3.2	立ち上がり時間による受信側の振幅の減少	28
3.4	測定結果	28
3.4.1	二次側のコイルの両端の電圧	29
3.4.2	伝送レート	33
第4章	考察とスケーリングによる見積もり	36
4.1	コイルの不整合に対する考察	36
4.1.1	位置のずれに対する考察	36
4.1.2	角度のずれに対する考察	39
4.2	解析結果と実測結果の違い	39
4.3	スケーリング	41

第5章	最適動画表示システムの設計	48
5.1	画像展開回路と非接触データ伝送系の両者を考慮した最適化	48
5.1.1	最適化方法	48
5.1.2	要求仕様	49
5.2	非接触データ伝送系のハードウェアコスト	49
5.3	画像展開回路のハードウェアコスト	50
5.3.1	MPEG 圧縮方式の画質と圧縮率の評価	51
5.3.2	画像展開回路の面積	52
5.4	MPEG 復号回路と非接触伝送系による動画表示システムの最適化 . . .	54
第6章	結論	58
	謝辞	63

目次

1.1 システムオンパネル技術を用いた液晶ディスプレイ [19]	3
1.2 非接触データ伝送系を備えた動画表示システムの利用場面	4
1.3 想定するアプリケーション	5
1.4 動画表示システムの設計の際の要求仕様と実装手段	7
2.1 想定伝送環境	9
2.2 想定伝送システム	9
2.3 電磁誘導結合における伝送環境	10
2.4 電磁誘導結合のモデル回路	10
2.5 簡略化した電磁誘導結合のモデル回路	12
2.6 電磁誘導結合における最大伝送レート [21]	14
3.1 素子サイズごとの自己インダクタンス	15
3.2 各素子サイズにおける伝送距離と結合定数の関係	16
3.3 測定回路	17
3.4 測定写真	17
3.5 チップ写真	18
3.6 $0.35\mu\text{m}$ プロセスで設計した回路	18
3.7 $0.35\mu\text{m}$ プロセスで設計した回路のレイアウト	19
3.8 サンプルアンドホールドの波形	19
3.9 V_{id} がホールドされていない様子	20
3.10 ゲート電圧とゲート容量の関係	20
3.11 パッケージとそのモデル	22
3.12 パッケージに関連した箇所の電圧, di/dt [27]	23
3.13 インダクタンスと寄生容量	23
3.14 自己共振周波数でのインピーダンスの低下	24
3.15 立ち上がり時間と正弦波	24
3.16 S パラメータを求めるインピーダンス	25
3.17 $70\text{mm}\times 70\text{mm}$ のコイルをつけたときのスミスチャート	26

3.18 140mm×140mm のコイルをつけたときのスミスチャート	27
3.19 立ち上がり時間のあるステップ波形	29
3.20 立ち上がり時間による振幅の減衰	29
3.21 コイルの両端の電圧測定時の回路	31
3.22 コイルの両端の電圧のシミュレーション波形	31
3.23 コイルの両端の電圧の観測波形	32
3.24 70mm×70mm のコイルの両端の電圧の最大値の計算式と実測値の比較	32
3.25 140mm×140mm のコイルの両端の電圧の最大値の計算式と実測値の 比較	33
3.26 送信波形と受信波形	34
3.27 伝送距離と伝送レートの関係	35
3.28 コイルの直径と伝送距離の比と伝送レートの関係	35
4.1 70mm 角コイルの不整合による結合定数の変化	37
4.2 140mm 角コイルの不整合による結合定数の変化	37
4.3 70mm 角コイルの不整合の伝送レート	38
4.4 140mm 角コイルの不整合の伝送レート	38
4.5 コイルの傾きの様子	39
4.6 70mm 角コイルの傾き時の結合定数の変化	40
4.7 140mm 角コイルの傾き時の結合定数の変化	40
4.8 結合定数が5%変化するときの角度	41
4.9 伝送レートが10Mbps のときのコンパレータの出力波形	42
4.10 伝送レートが50Mbps のときのコンパレータの出力波形	42
4.11 解析式における $0.35\mu\text{m}$ で設計したチップと TFT プロセスの伝送レ ートの比較	44
4.12 τ_1 と τ_{total} の比	45
4.13 コイルの幅が変わったときの自己インダクタンスの変化	45
4.14 コイルの幅が変わったときの結合定数の変化	46
4.15 コイルの厚さが変わったときの自己インダクタンスの変化	46
4.16 コイルの厚さが変わったときの結合定数の変化	47
5.1 QVGA, 24bpp, 15fps 時の場合の画像圧縮率と伝送系の実装面積との 関係	50

5.2 QVGA, 24bpp, 30fps 時の場合の画像圧縮率と伝送系の実装面積との関係	51
5.3 VGA, 24bpp, 15fps 時の場合の画像圧縮率と伝送系の実装面積との関係	51
5.4 MPEG 圧縮の圧縮率と画質の関係 (GOP=16frames)[21]	53
5.5 GOP を変化させた際の MPEG 動画の圧縮率と画質 (Qfactor = 8)[21] . .	54
5.6 GOP を変化させた際の MPEG 動画の画質 [21]	55
5.7 画像圧縮率と画像展開回路面積の関係	55
5.8 A_C と A_D の最適点の探索	56
5.9 QVGA の仕様に対する伝送距離ごとの最適システム構成	56
5.10 VGA の仕様に対する伝送距離ごとの最適システム構成	57
5.11 XGA の仕様に対する伝送距離ごとの最適システム構成	57

表目次

1.1 シリコン上とガラス基板上のトランジスタの違い [15][16][17][18] . . .	2
2.1 想定伝送距離, 素子寸法及び製造技術, バイアス点	14
4.1 測定結果の伝送点における V_{ROOM} と r_T	43
4.2 解析式に用いる $0.35\mu\text{m}$ で設計したチップのパラメータと TFT プロセ スのパラメータ	43
5.1 想定要求仕様	50
5.2 JPEG 復号回路の性能モデル (PSNR=34dB)	53

第1章

はじめに

1.1 背景

近年の無線技術はユビキタスネットワークを担う上で急速な発展を見せている。遠距離通信としては、TV放送や携帯電話など、電波を用いて行うものが広く使われている。これはRF(Radio Frequency)通信と呼ばれ、ある周波数帯を持つ搬送波に信号を乗せ送信する。この変調により、より高い周波数への周波数変換と、多数の搬送波による信号の多重化が可能となる。この変調は、AM(Amplitude Modulation)、FM(Frequency Modulation)、PM(Phase Modulation)とあるアナログ変調と、デジタル変調に分けられ、目的・用途に応じて使い分けられる。受信部はフロントエンドと呼ばれ、受け取った波形から信号を取り出し、元のデータを再構築する。RF通信は遠距離まで伝送可能な一方で、搬送波に信号を乗せ送信波形をつくり出したり、目的の信号を取り出すミキサや、受信波形を増幅するLNAなど高速動作が要求される高性能な回路が必要である [1][2]。中距離の通信として現在バーコードに代わる新たな技術としてRFID(Radio Frequency Identification)が注目され始めている。バーコードと比較して、読み取り範囲が広く、一度に多くのタグ情報を読み取れるという利点があり、流通や履歴管理に利用されている [3]。代表的なもので、日立製作所が2.45GHz帯を用いて通信を行う μ チップという世界最小のRFタグについての研究を進めている [4][5][6]。近距離通信では、Suica[7]などで知られているISO/IEC14443標準に基づく非接触型ICカードが実現されており、電磁誘導で供給された電力を用いて信号を伝送する回路の例がある [8][9][10]。これは2枚のコイルを対向させ、その電磁誘導結合(インダクティブカップリング)によって信号のやり取りを行う。超近距離通信においても、このインダクティブカップリングが用いられているものがある。処理能力の向上とパスの長さを縮小することでチップ間のデータ損失の減少を目的としたSiP(System in a Package)技術がある。これをさらに3次元的に拡張して半導体チップを複数枚重ね合わせてまとめる技術が提案されている [11]。このチップ間の通信において、配線を使わずにコイルを用いて通信する方式が提案されてい

る [12][13][14]. これにより, 接触の整合性や微細なゴミの付着の問題を考えなくてよいというメリットがある.

一方で, 送受信するデータも多様化してきている. 文字などデータ量の小さいものから, 文書, 音声, 画像, 音楽とより大きなデータをやり取りするようになっていった. そして今ではストリーミング技術を用いたリアルタイムでの動画の伝送が広く行われている.

文書や画像, 動画の表示装置としては, テレビやパソコンのモニタに使われるブラウン管によるものが主流であった. しかし省スペース化を実現し, 携帯可能なコンピュータへも適用できる液晶ディスプレイ (LCD:Liquid Crystal Display) が, 必須となり広く用いられるようになった. LCDでは目的の画素のオンオフにおいてTFT(Thin Film Transistor)がスイッチとして使われている. 初期のTFTの半導体材料はa-Si(アモルファス-シリコン)という非結晶シリコンであった. しかし通常の回路に用いるシリコンウエハなどの単結晶シリコンと比べると, 電子の移動度が小さく, CPUのような速度を要求される回路を形成できなかった. 2002年あたりからは低温ポリシリコンが注目され研究が進められた. 結晶体のポリシリコンは結晶が整然と並んでいるため, 非結晶シリコンよりもキャリア移動度が大きく電流が流れやすい. さらにポリシリコンは高温でしかTFTを形成できなかったため高価な石英基板しか使えなかったが, 低温でTFTを形成できる技術が開発されてガラス基板が利用できるようになった. TFTは現在最小ゲート幅が $1.5\mu\text{m}$, キャリア移動度が $300\text{cm}^2/\text{V}\cdot\text{s}$ 程度 [16] [17][18]と性能が高くなってきたことにより, 高速回路を表示画面部分とともに同一ガラス基板上に形成できるようになった. 単結晶シリコン基板上とガラス基板上でのトランジスタの性能の違いを表 1.1 に挙げる. 通常のCMOSプロセスに比べ, ガラス基板上の低温ポリシリコンプロセスの方が, トランジスタの最小ゲート長が大きく, 移動度も低いため, その分回路性能が劣る.

表 1.1 シリコン上とガラス基板上のトランジスタの違い [15][16][17][18]

	最小ゲート幅	移動度
通常のCMOSプロセス	65~90nm	$800\text{cm}^2/\text{V}\cdot\text{s}$
ガラス基板上の低温ポリシリコンプロセス	$1.5\sim 2.0\mu\text{m}$	$300\text{cm}^2/\text{V}\cdot\text{s}$

この画像表示装置である液晶基板上に, TFTプロセスを用いて, ドライバやコントローラといった周辺回路を一緒に実装してしまおうという「システムオンパネル」という考えがある (図 1.1). ガラス基板上の広大な面積を利用でき, 部品点数の削減によるサイズ縮小と, 同一のプロセスを用いることでのコスト削減が可能となる.

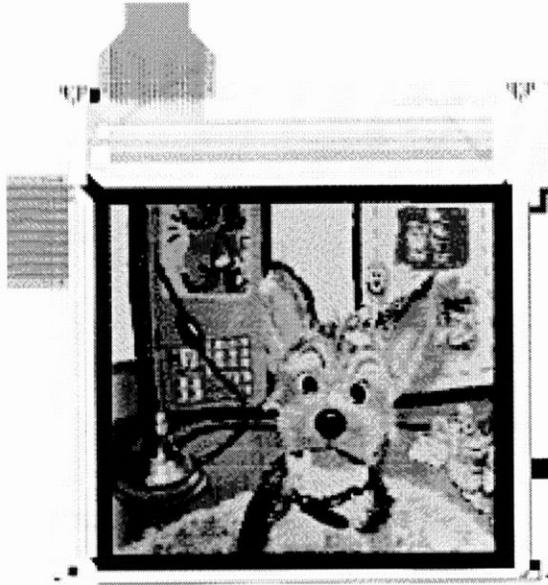


図 1.1 システムオンパネル技術を用いた液晶ディスプレイ [19]

本研究ではこのシステムオンパネル技術における，非接触通信方式での動画表示システムを構築することを考える．TFT プロセスを用いて，ガラス基板上に非接触通信受信回路と，画像の復号回路を実装することを想定する．このとき，ある伝送距離と伝送レートにおいてどの程度のハードウェアコストが必要なのかを知る必要がある．このときのハードウェアコストを調べ，それが最小となるような最適システム設計を目的とする．

1.2 システム設計

液晶表示装置を始めとする現在の画像表示装置では，接点のある配線を接続して非圧縮の画像信号を伝送している．しかし今後の高集積・高機能な画像表示システムには，液晶基板上に非接触のデータ受信系を備えることが期待される．これによりワイヤレスによる伝送が可能となり，ガラス基板一枚で表示装置としての機能を果たすことができる．さらに，画素内メモリに代表されるフレームメモリ搭載技術と組み合わせることによって，携帯可能で即座に内容を確認できるコンパクトな画像格納装置としての応用も期待できる．これらのアプリケーション例を図 1.2 に示す．

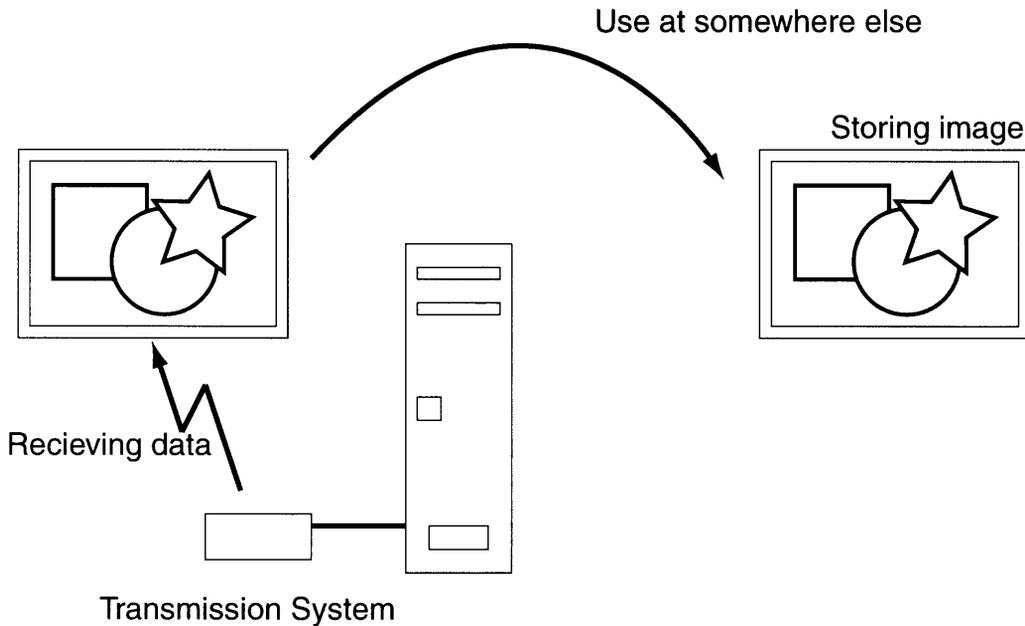


図 1.2 非接触データ伝送系を備えた動画表示システムの利用場面

1.2.1 非接触データ伝送系と画像展開回路を備えた動画表示システム

本研究で対象とする画像表示システムのアーキテクチャの概要を図 1.3 に示す。動画表示システムの実現に際しては、フレームメモリは画像格納装置としての価値を付加するにすぎないため、本研究では非接触データ伝送系と画像展開回路の組み合わせについてのみ考察することにした。

1.2.2 非接触データ伝送系と画像展開回路の性能モデルとシステム設計

図 1.2 のような場面に適用可能な動画表示システムを設計するためには、その構成要素である図 1.3 の非接触データ伝送系と画像展開回路の両者の性能をモデル化する必要がある。

システム設計は、与えられた仕様を満たすように各構成要素を組み合わせることによって実現される。

動画表示システムの要求仕様 S を、次に示す各パラメータで定義する。

$$S = \{N, c, f, d\} \quad (1.1)$$

N : 表示画素数 QVGA(320pixel×240pixel), VGA(640×480), SVGA(800×600), XGA(1024×768) など

c : 色数 18bpp, 24bpp など

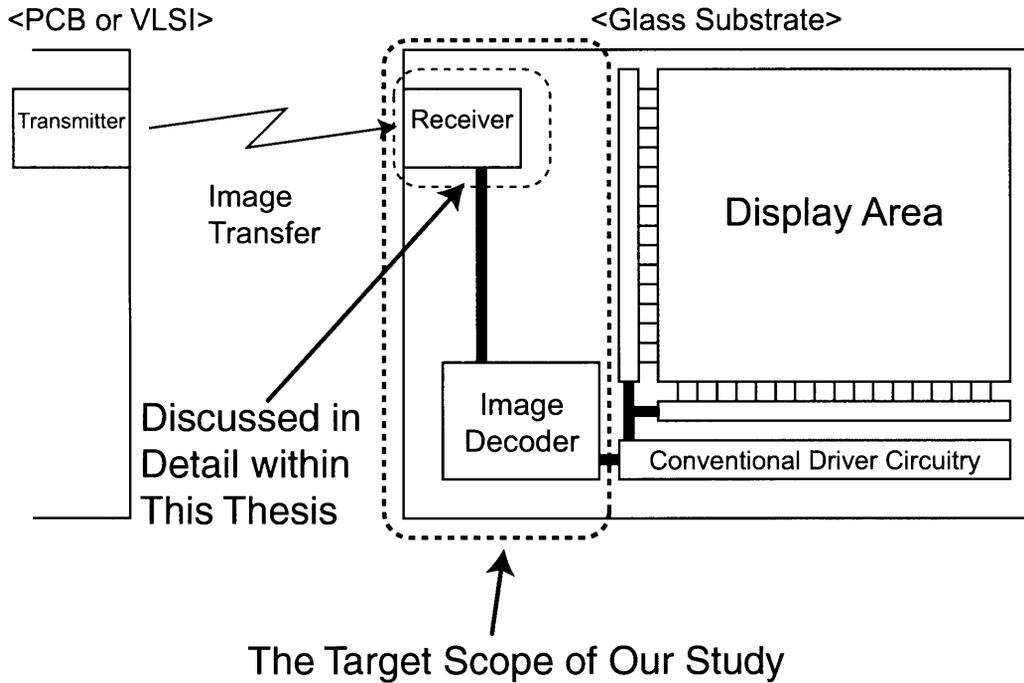


図 1.3 想定するアプリケーション

f : フレームレート 5fps, 15fps, 30fps など

d : 伝送距離 1mm, 10mm, 100mm など

である。

また、画像展開回路 D は以下のパラメータで特徴づけられるものとする。

$$D = \{Z, A_D, P_D, t\} \quad (1.2)$$

Z : その画像展開回路が展開できる画像圧縮方式の平均画像圧縮率 (圧縮後のデータ量/元画像のデータ量)

A_D : 展開回路面積

P_D : 消費電力

t : 1画素あたりの平均展開時間

とする。

非接触伝送システムの特徴は以下のパラメータで表されるものとする。

$$C = \{B, A_C, P_C, d\} \quad (1.3)$$

B : 伝送レート

A_C : 素子面積と回路面積

P_C : 消費電力

d : 伝送距離

である。

以上の定義に基づけば、ある仕様 S を満たす画像展開回路 D と伝送システム C との組み合わせのうち、所望のものを選ぶことが最適システム設計の目的と再定義できる (図 1.4)。

このとき以下の制約条件を満たす必要がある。

- $Nct < 1/f$: 画像展開時間に関する条件。画像展開回路が1枚の画像を展開する時間が、1フレームの表示時間よりも短いこと。
- $NcfZ < B$: 伝送レートに関する条件。圧縮後のデータ量が、伝送システム C の伝送レートで伝送可能な量であること。

この範囲で自由に C, D を選択することができる。ただし、自由な選択を実現するためには、 C, D の各パラメータの相互関係、トレードオフについての解析が必要となる。

また、実現性能は、面積 A_{total} 及び1フレームを表示するために要する消費エネルギー E_{total} が

$$A_{total} = A_C + A_D \quad (1.4)$$

$$E_{total} = P_C \frac{NcZ}{B} + P_D t \quad (1.5)$$

と書ける。

なお、画像展開回路 D については別にモデル化を試みている [20] が、いずれも静止画圧縮技術に対するモデル化である。本研究では動画表示システムを扱うので、その主要な圧縮技術の1つである MPEG 圧縮方式を考察対象にする。本論文では主に非接触伝送系の上記パラメータのトレードオフ関係を求め、それを利用して本節で論じたようなシステムを最適に設計することを目的とする。

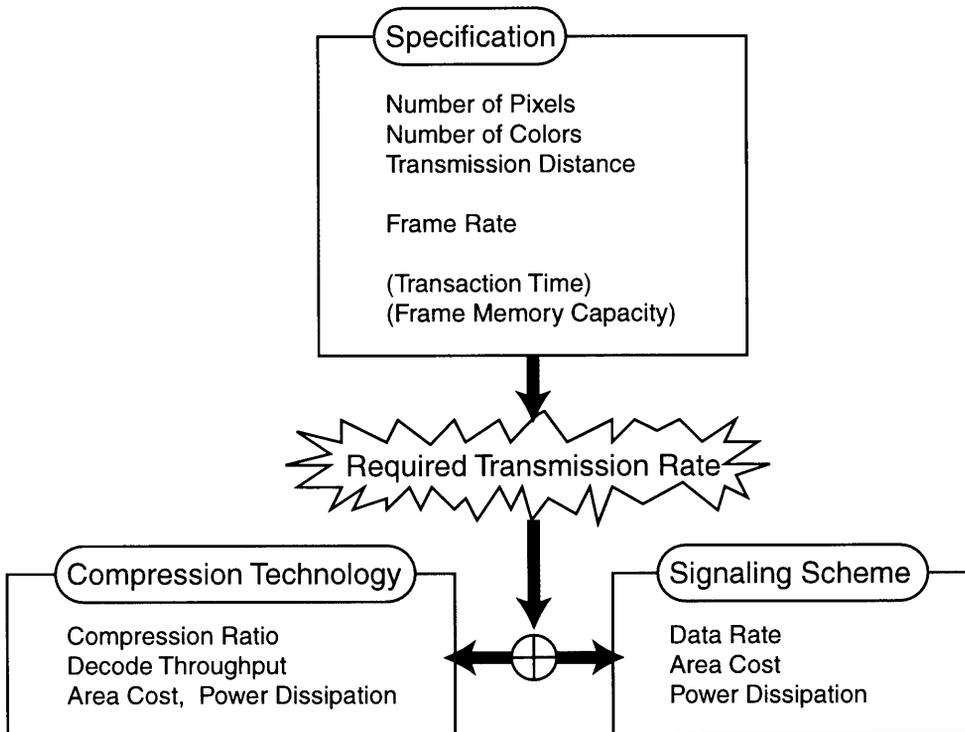


図 1.4 動画表示システムの設計の際の要求仕様と実装手段

第2章

非接触伝送系モデルの紹介

[21]によって以下のような伝送モデルが提案されている。本章ではこのモデル，およびその解析について説明する。

2.1 伝送環境

想定する伝送環境の概略を図 2.1 に示す。送信端で 2 値信号を生成し，それが伝送素子を経由して受信端に届く。送信端と受信端とは異なる製造技術であってもよい。伝送素子としてはコイルを想定する。送信端と受信端とに 1 個ずつのコイルを配置し，その 2 個が電磁誘導によって結合する (インダクティブカップリング)。

増幅は図 2.2 のように Sample and Hold で行うものとし，受信動作に要する時間を以下の 2 つから成るものとする。

- 信号を送信してからサンプリングして増幅を開始するまでの時間 τ_1
- 増幅回路が信号を増幅して負荷容量を駆動する際の立ち上がり・立ち下がり時間 τ_2

このときこれは，サンプリング周期が $2(\tau_1 + \tau_2)$ の伝送システムであると考えることができ，実現できる伝送レート B は

$$B \equiv \frac{1}{2(\tau_1 + \tau_2)} \quad (2.1)$$

と定義できる。

一般にデジタル信号を扱うシステムでは，回路の最小負荷は製造プロセスの設計規則が許す最小サイズのインバータである。そこで，負荷容量として最小サイズのインバータを置くものとする。

増幅器はゲート容量 C_G に生じた電圧を増幅する。これを一段増幅でモデル化し，トランスコンダクタンス g_m を置く。出力インピーダンスは十分に高いものとする。送信端の駆動トランジスタはその ON 抵抗 R_{ON} としてモデル化した。

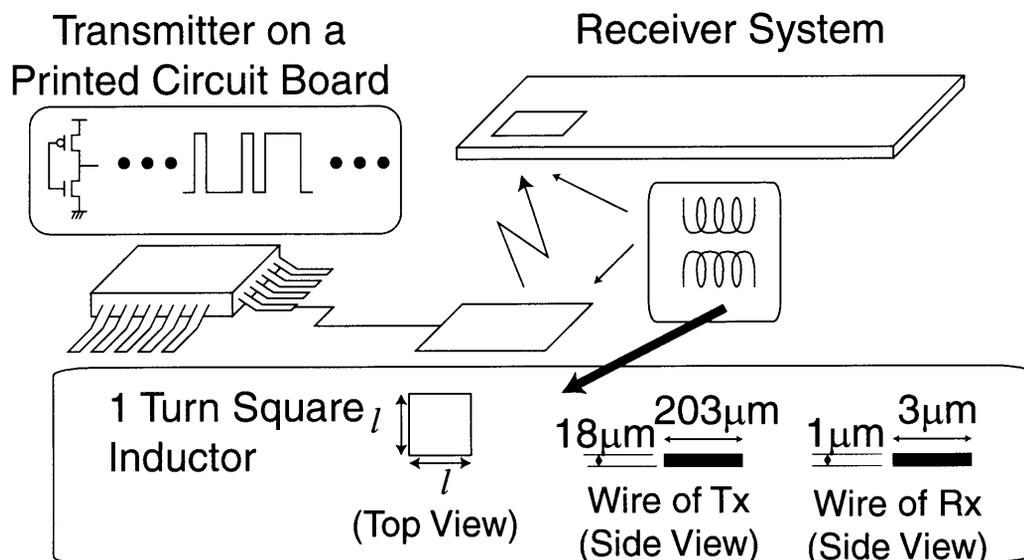


図 2.1 想定伝送環境

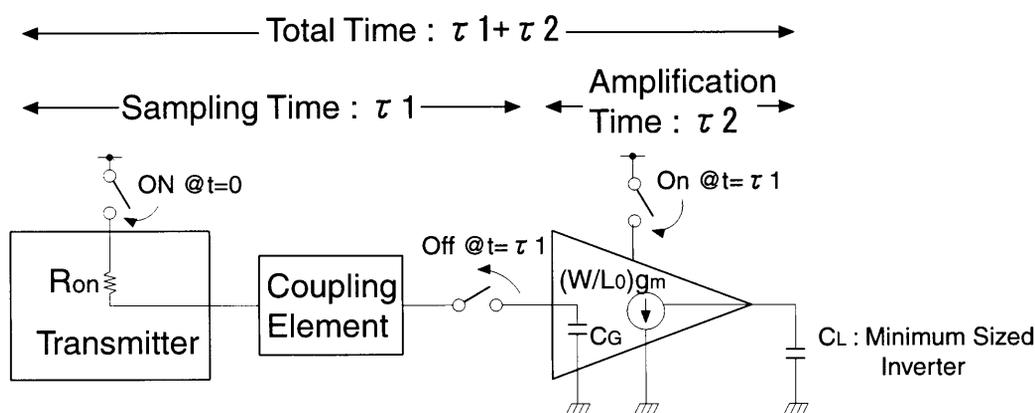


図 2.2 想定伝送システム

2.2 電磁誘導結合のモデル

図 2.1 で想定したような伝送環境下では、送信側と受信側との間でグラウンドレベルが異なるので、差動信号を伝送する必要がある。電磁誘導結合においては、対向したコイルがトランスを形成するため、1対のコイルで差動信号を伝送することができる。したがって、図 2.1 で想定したような環境を実際に実装すると、図 2.3 のようになる。外周の一辺が l の方形の 1 巻のコイルを 2 つ配置し、伝送距離を d とする。プリント基板上において、グラウンド面は配線とコイルの下を通らないように配置した。

受信側である 2 次側で得られる電流を負荷 R_{CONV} で電圧に変換する。その電圧を図 2.2 に基づいて、Sample and Hold 回路でサンプリングする。ここではそのための

スイッチのモデルとして抵抗 R_{sw} を導入した。またコイルの寄生抵抗は無視できるほど小さいものとした。

以上より、最終的な解析用モデル回路は図 2.4 とした。

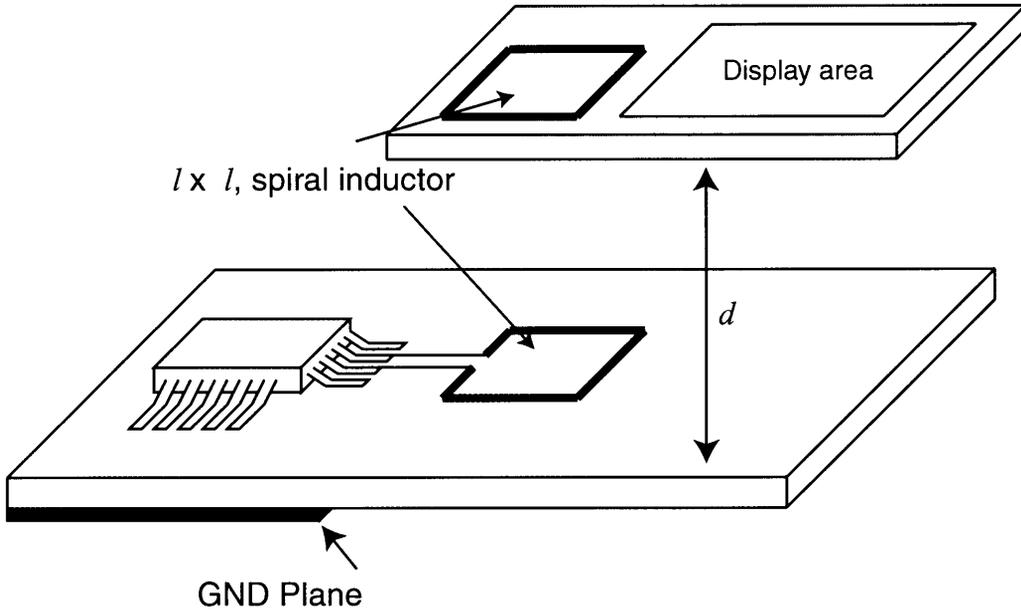


図 2.3 電磁誘導結合における伝送環境

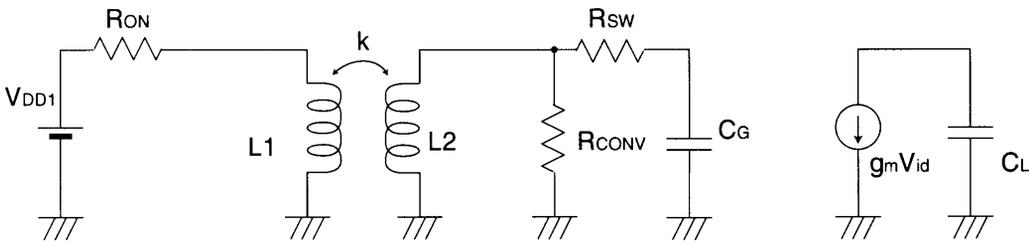


図 2.4 電磁誘導結合のモデル回路

2.3 モデルの解析

前節で求めた回路モデルに対して、式 (2.1) で定義された伝送レートを最大にするような条件を求め、伝送レートの最大値を解析的に求める。

まず、以下の前提を置く。

- V_{DD1} , V_{DD2} 及び R_{ON} はプロセス技術で決まる一定の値とする。
- MOSFET のゲート長 L は最小値 L_{min} であるものとし、また最小ゲート幅を $W_{min}=L_{min}$ とする。ここからトランジスタサイズ S を次のように定義する。

$$S = W/W_{min} \tag{2.2}$$

- MOSFETのバイアス点は固定であるものとし、単位ゲート幅あたりのトランスコンダクタンスを g_{m0} とする。つまり、

$$g_m = S g_{m0} \quad (2.3)$$

とする。

- MOSFETの単位ゲート幅あたりゲート容量を C_{G0} とする。つまり、

$$C_G = S C_{G0} \quad (2.4)$$

とする。

そして、図 2.2 で想定した伝送システムに対して、サンプリングのタイミングとトランジスタサイズの最適点を見つけることによって、伝送レートの最大値を求める。これは以下の方法で行う。

1. $\tau_{total} = \tau_1 + \tau_2$ の解析式を立式する。
2. τ_1 の最適値 $\tau_{1(opt)}$ を導出する。つまり、 $\partial\tau_{total}/\partial\tau_1 = 0$ を解くことによって、伝送レートを最大化するようなサンプリングのタイミングを決定する。
3. $\tau_1 = \tau_{1(opt)}$ のときの S の最適値 $S_{(opt)}$ を導出する。つまり、 $\partial\tau_{total}/\partial S = 0$ を解くことによって、伝送レートを最大化するようなトランジスタの大きさを決定する。

図 2.4 の回路を解析する。送信端は時刻 $t=0$ でステップ波形を送出すると仮定している。ここで、簡単のため、結合係数 k は小さいと仮定する。

このとき、 L_1 の両端に生じる電圧過渡応答波形は 2 次側とは独立に求めることができ、

$$V_1 = \frac{V_{DD1}}{s + \frac{R_{ON}}{L_1}} \quad (2.5)$$

となる。 k が十分小さいため、このとき 2 次側に発生する電圧は

$$\begin{aligned} V_2 &= k \sqrt{\frac{L_2}{L_1}} \cdot V_1 \\ &= k \sqrt{\frac{L_2}{L_1}} \cdot \frac{V_{DD1}}{s + \frac{L_1}{R_{ON}}} \end{aligned} \quad (2.6)$$

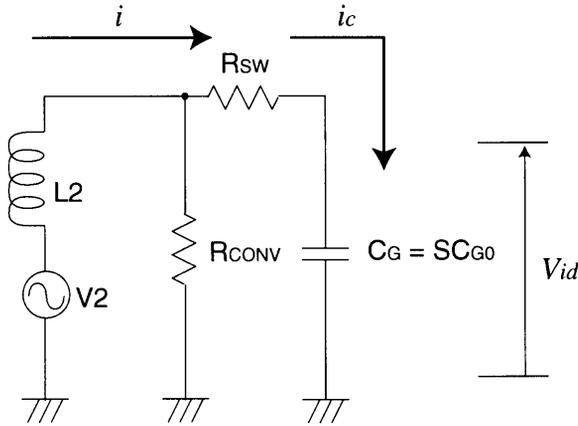


図 2.5 簡略化した電磁誘導結合のモデル回路

となる。これが、 L_2 に直列に電圧源として接続されている回路を考えればよいこととなる。これを図 2.5 に示す。

図 2.5 に関して回路方程式を立てると、次のようになる。

$$\begin{cases} sL_2i + R_{CONV}(i - i_c) = V_2 \\ R_{CONV}(i - i_c) = R_{SW}i_c + \frac{i_c}{sC_G} \\ V_{id} = \frac{1}{sC_G}i_c \end{cases} \quad (2.7)$$

式 (2.6), (2.7) を解くと、

$$\begin{aligned} V_{id} = & R_{CONV}V_{DD1}k\sqrt{L_1L_2}/(C_GL_1L_2(R_{SW} + R_{CONV})s^3 + \\ & ((L_1R_{CONV} + L_2R_{ON})C_GR_{SW} + L_2R_{ON}C_GR_{CONV} + L_1L_2)s^2 + \\ & (R_{CONV}R_{ON}C_GR_{SW} + L_1R_{CONV} + L_2R_{ON})s + \\ & R_{ON}R_{CONV}) \end{aligned} \quad (2.8)$$

ここで、 $R_{SW} \gg R_{CONV}$ と仮定すれば、

$$\begin{aligned} V_{id} = & R_{CONV}V_{DD1}k\sqrt{L_1L_2}/(C_GL_1L_2R_{SW}s^3 + \\ & ((L_1R_{CONV} + L_2R_{ON})C_GR_{SW} + L_1L_2)s^2 + \\ & (R_{CONV}R_{ON}C_GR_{SW} + L_1R_{CONV} + L_2R_{ON})s + \\ & R_{ON}R_{CONV}) \\ = & \frac{R_{CONV}V_{DD1}k\sqrt{L_1L_2}}{R_{ON}R_{CONV}} \cdot \frac{1}{\left(\frac{L_1}{R_{ON}}s + 1\right)\left(\frac{L_2}{R_{CONV}}s + 1\right)(C_GR_{SW}s + 1)} \end{aligned} \quad (2.9)$$

となり、ラプラス逆変換により以下のように過渡応答波形が求まる。

$$V_{id} = \frac{V_{DD1}k\sqrt{L_1L_2}}{R_{ON}} \cdot \left\{ \frac{\tau_{RC} \exp\left(-\frac{t}{\tau_{RC}}\right)}{(\tau_{RC} - \tau_{TX})(\tau_{RC} - \tau_{RX})} + \frac{\tau_{RX} \exp\left(-\frac{t}{\tau_{RX}}\right)}{(\tau_{RX} - \tau_{TX})(\tau_{RX} - \tau_{RC})} + \frac{\tau_{TX} \exp\left(-\frac{t}{\tau_{TX}}\right)}{(\tau_{TX} - \tau_{RX})(\tau_{TX} - \tau_{RC})} \right\} \quad (2.10)$$

$$\text{ただし } \tau_{RC} = R_{SW}C_G \quad (2.11)$$

$$\tau_{TX} = \frac{L_1}{R_{ON}} \quad (2.12)$$

$$\tau_{RX} = \frac{L_2}{R_{CONV}} \quad (2.13)$$

ある時間 $t = \tau_1$ で増幅動さを開始したときに、負荷容量 C_L を駆動するのにかかる時間は、

$$\tau_2 = \frac{C_L V_{DD2}}{g_m V_{id}} \quad (2.14)$$

負荷容量 C_L は最小サイズのインバータをとしたので、 $W_P/L_P : W_N/L_N = 2 : 1$ であり、単位ゲート幅あたりのドレイン接合容量 C_{j0} を加味して考えると、

$$C_L = 5C_{j0} + 3C_{G0} \quad (2.15)$$

となる。

以上より、信号の伝搬時間 τ_{total} は、

$$\begin{aligned} \tau_{total} &= \tau_1 + \tau_2 \\ &= \tau_1 + \frac{C_L V_{DD2}}{g_m V_{id}|_{t=\tau_1}} \end{aligned} \quad (2.16)$$

ところが、 V_{id} を表す式(2.10)をここで代入すると、これは3次の系になってしまうので、解析的に解を求めるのは困難である。各時定数の大小の条件で場合分けすることによって、1次の系に近似すれば解析解を求めることができるのであるが、ここでは上記の表式を数値的に解析して最適値を算出することとした。

2.4 解析的な解に対する具体値の評価

図 2.1 の想定環境において、今回与えた伝送距離や素子寸法の範囲を表 2.1 に示す。この範囲内において、具体的な素子外形における、各インダクタンスを、FastHenry[22]によって求めた。ただし、周波数 $f = 1\text{GHz}$ の値を用いた。

表 2.1 想定伝送距離，素子寸法及び製造技術，バイアス点

想定項目	想定値
想定伝送距離 (d)	0.01mm – 1000mm
想定素子寸法 (ℓ)	5mm – 300mm
受信側製造技術	1.2 μ m CMOS 技術
R_{ON}	100 Ω
V_{DD1}	3.3V
V_{DD2}	5V
受信端増幅入力段 V_{GS}	1.5V, ただし飽和状態とする

また，抵抗値を次のように設計するものと仮定した．

$$R_{CONV} = R_{ON} \cdot \frac{L_2}{L_1} \tag{2.17}$$

$$R_{SW} = 10R_{CONV} \tag{2.18}$$

探索によって求めた最大伝送レートの値は図 2.6 のようになった．

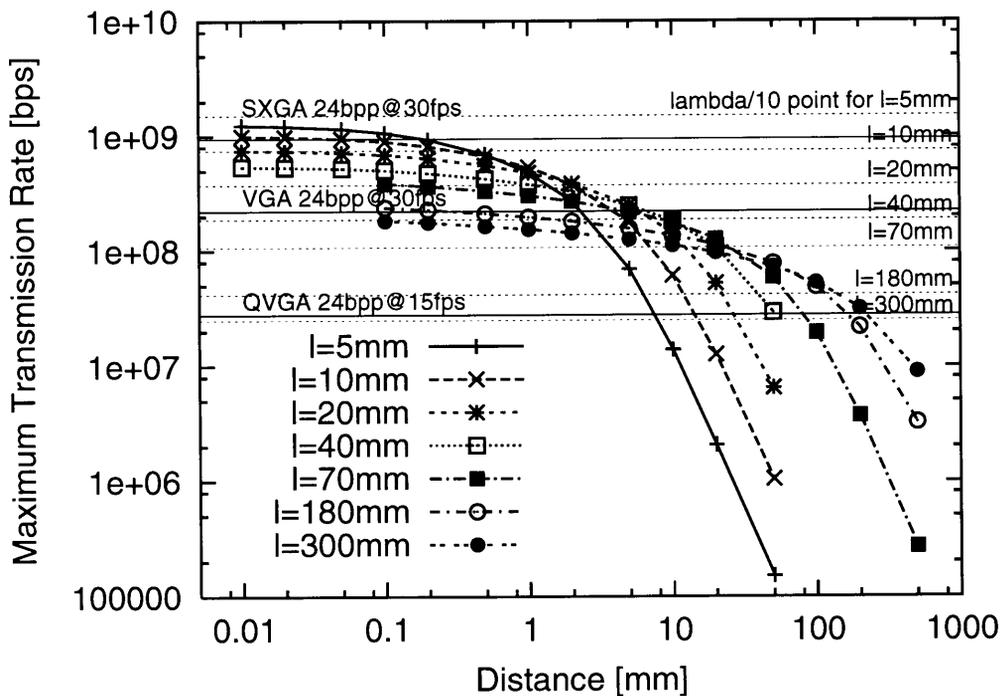


図 2.6 電磁誘導結合における最大伝送レート [21]

第3章

伝送レートの測定

[21]で提案されたモデル，およびその解析の伝送レートが妥当なものであるかどうかを実測によって調べる．

3.1 測定環境

測定環境は図 2.1 における送信側，受信側のコイルをともに幅 $1000\mu\text{m}$ ，厚さ $70\mu\text{m}$ に変更したものとする．この1巻のコイルを PCB 上に作成した．このときのコイルの直径と自己インダクタンスの関係を FastHenry[22] より求め，図 3.1 に示す．また各サイズのコイルの伝送距離と結合定数 k の関係を図 3.2 に示す．コイルが大きいものほど自己インダクタンスが大きく，伝送距離が大きくなったときに結合定数が小さくならない．

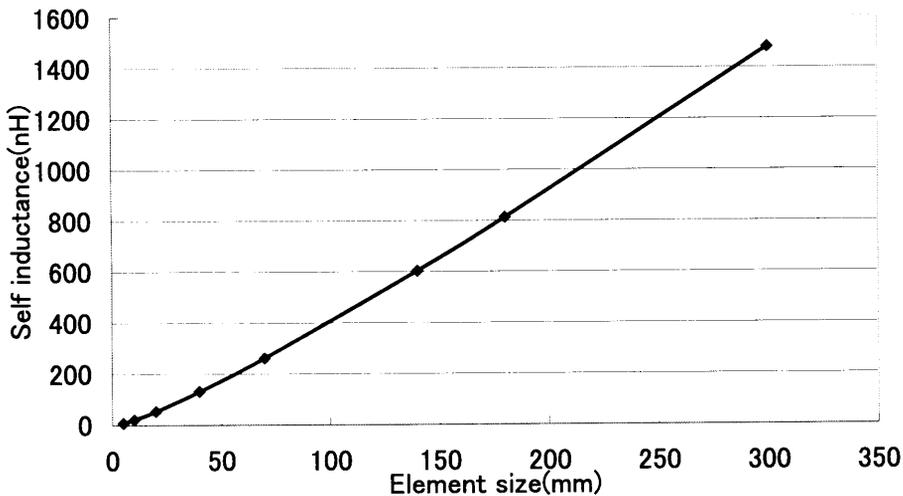


図 3.1 素子サイズごとの自己インダクタンス

続いて，図 2.2 に示した，サンプルアンドホールドを行う回路，増幅器であるコンパレータ，出力段であるインバータを $0.35\mu\text{m}$ プロセスを用いて設計した．これは次節で説明する．

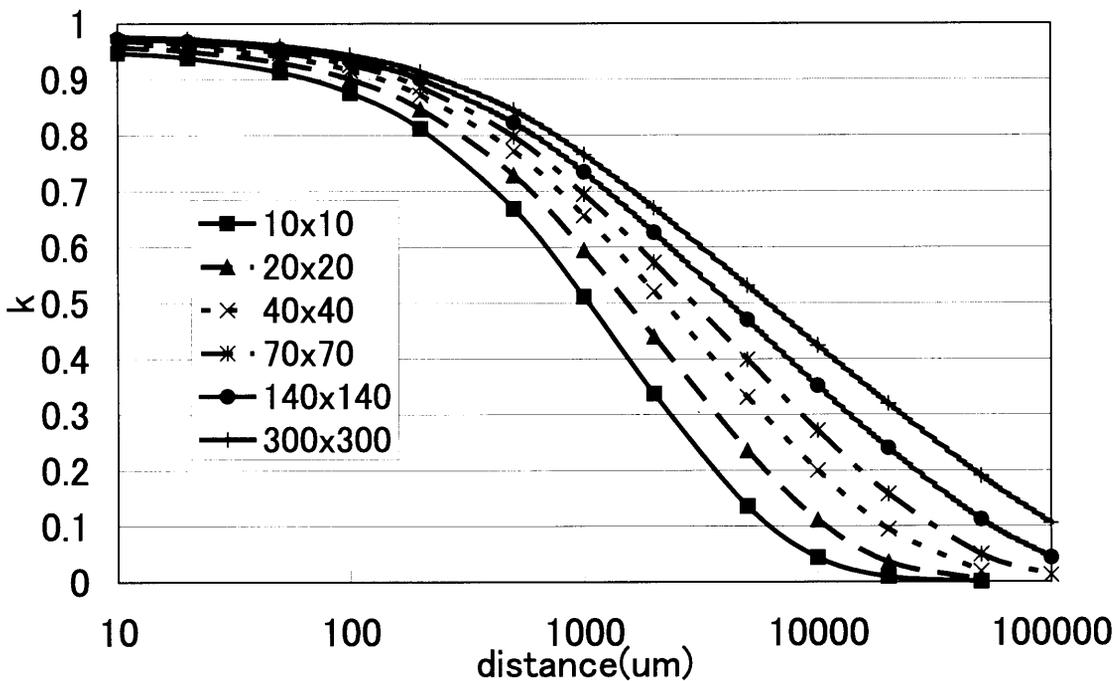


図 3.2 各素子サイズにおける伝送距離と結合定数の関係

信号源は Hewlett-Packard 社の HP83000 テスタを利用した。1GHz までの矩形波を作成することができる。それぞれの箇所での信号波形はオシロスコープを用いて計測した。高速な信号を観測するので、オシロスコープのプロブとして 50Ω の同軸ケーブルを用い、オシロスコープの入力抵抗を 50Ω とした。

測定回路を図 3.3 に、全体の写真を図 3.4 に示す。コイルは $70\text{mm}\times 70\text{mm}$ 、 $140\text{mm}\times 140\text{mm}$ のものを作成した。送信端の信号源を V_{drive} とし、内部抵抗は 50Ω である。そこから同軸ケーブルで PCB につなぎ、 $R_{in} = 50\Omega$ を介してコイルに送信信号を入力する。チップへの入力信号もテストで生成し、各ピンに入力する。信号源からの減衰、雑音の侵入ができるだけ少なくなるようにした。

3.2 設計回路

図 2.4 に示すモデル回路を図 3.3 のように構築したが、その中の受信回路として、サンプルアンドホールドを行う回路、増幅器であるコンパレータ、出力段であるインバータを $0.35\mu\text{m}$ プロセスを用いて設計した。チップは 4.9mm 角のものを使用した。チップ全体の写真を図 3.5 に、設計した回路を図 3.6 に、そのレイアウトを図 3.7 に示す。

回路の動作について波形を示して説明する。図 3.8 にサンプルアンドホールドま

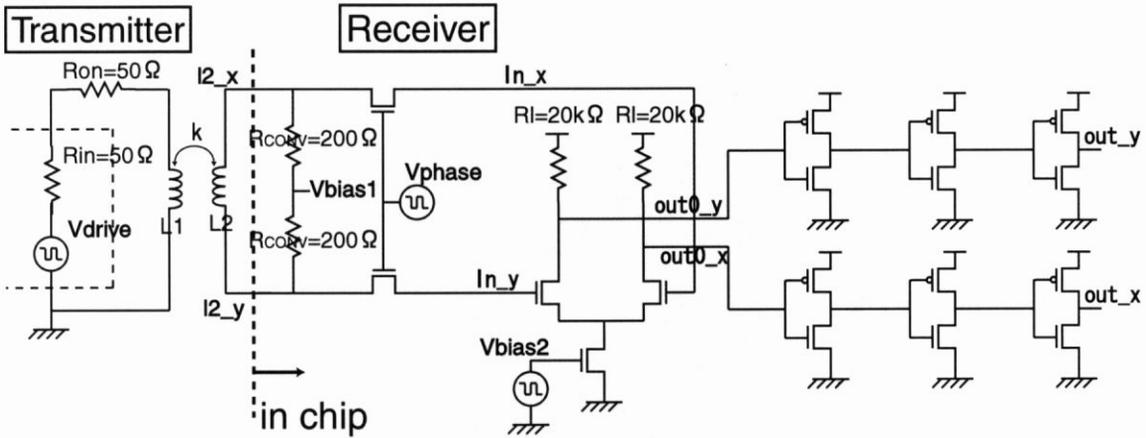


図 3.3 測定回路

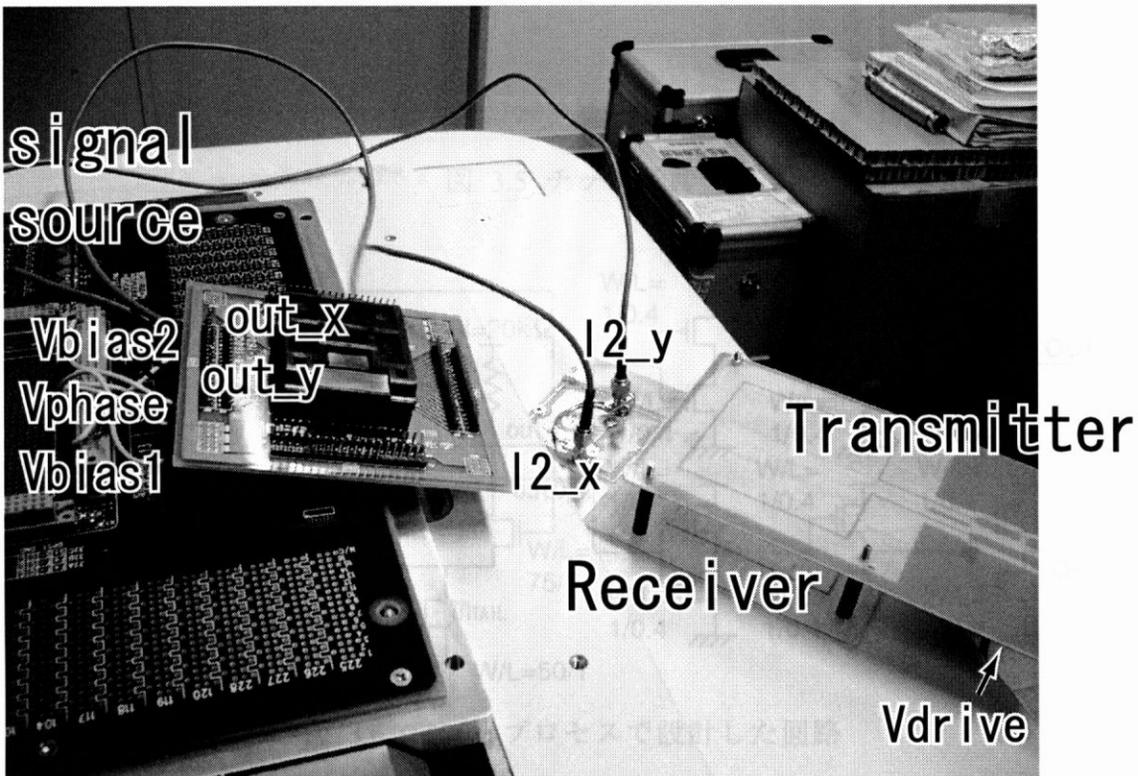


図 3.4 測定写真

での波形を示す。信号源 $Vdrive$ より信号が立ち上がると、電磁誘導によって2次側のコイルに誘導起電力が発生する。これにより、電圧 $Vbias1$ を中心に $I2_x$ と $I2_y$ に差動電圧が生じる。一定時間で差動電圧は0になるので、これを $Vphase$ を1から0にすることで、サンプリングし、ゲート容量にホールドする。これが Vid であり、 $Vphase$ がオフになった時点の電圧として以降保たれる。

続いて $Vphase$ をオフにすると同時に $Vbias2$ をオンにして、コンパレータを動作

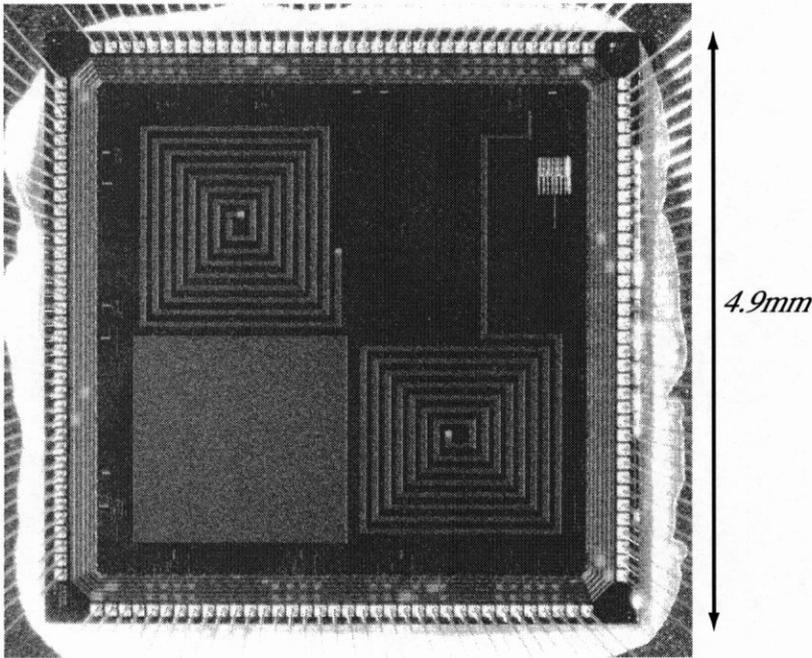


図 3.5 チップ写真

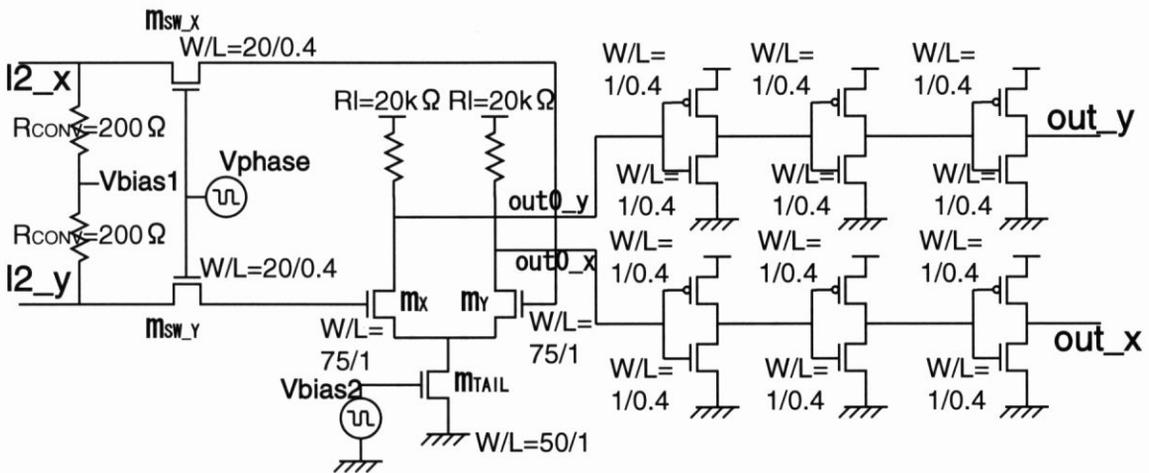


図 3.6 0.35μm プロセスで設計した回路

させる。このときの波形を図 3.9 に示す。 In_x と In_y を見てわかるように、コンパレータを駆動させると先ほどホールドされた電圧 V_{id} が保たれずに差が低下していってしまう。

これは次のことが原因と考えられる。ゲート容量はゲートソース間、ゲートドレイン間、ゲート基板間に分けられるが、動作領域が同じならば、近似的な容量はそれぞれ等しいとされる [23]。 V_{bias2} がオフのとき、トランジスタ m_x 、 m_y の動作領域はともにカットオフである。 V_{bias2} をオンにすると、ノード $tail$ の電圧が下がり、ト

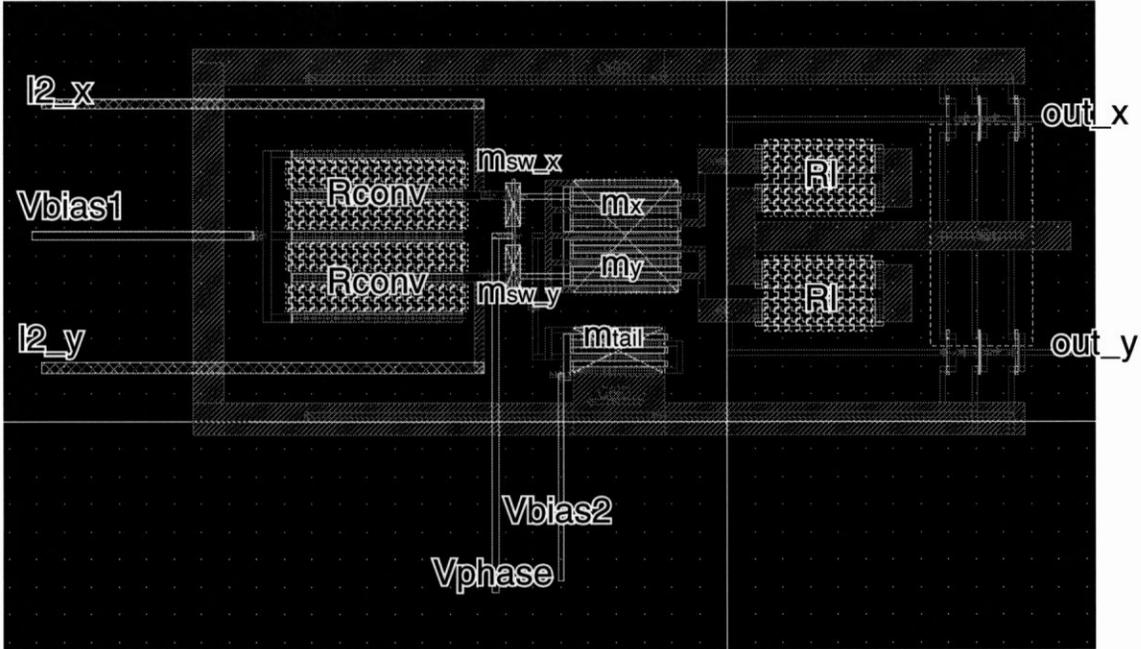


図 3.7 0.35 μm プロセスで設計した回路のレイアウト

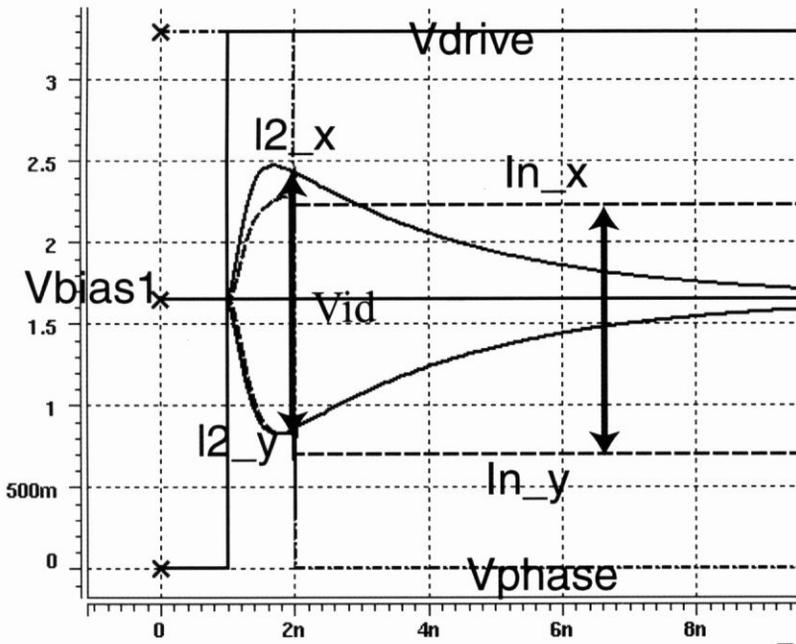


図 3.8 サンプルアンドホールドの波形

ランジスタ m_x , m_y の動作領域がカットオフから飽和領域に変化する．このとき，近似容量では一緒とされているが，実際は V_{GS} の影響を受けて， C_{GS} が変化する [24]. $L = 1\mu\text{m}$ のときの各ゲート幅におけるゲート電圧を変化させたときのゲート容量の変化を図 3.10 に示す．動作領域が変わる閾値付近においては，ゲート電圧の少しの

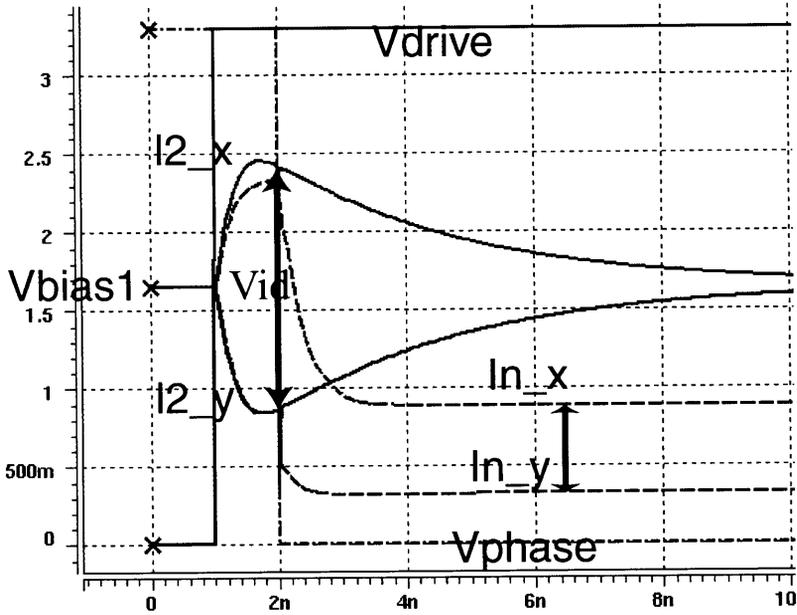


図 3.9 Vidがホールドされていない様子

変化で、ゲート容量が変化してしまうことがわかる。サンプルアンドホールド時の In_x , In_y のゲート入力電圧が異なっているので、 C_{GS} も同一にならない。

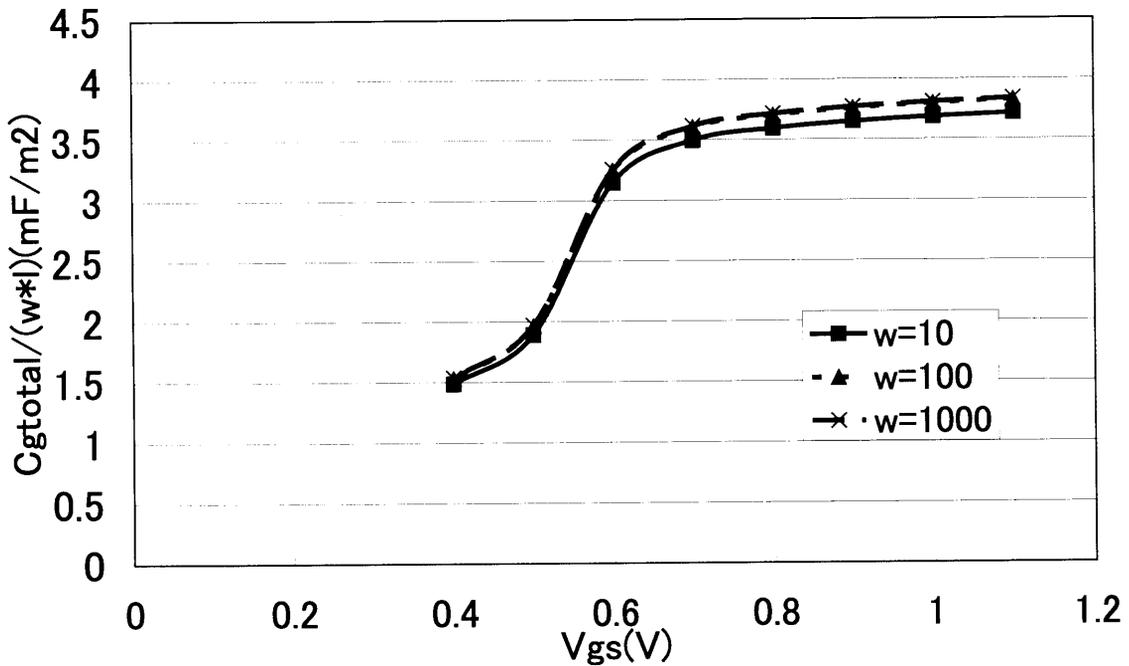


図 3.10 ゲート電圧とゲート容量の関係

カットオフ時のゲート容量を C として、ゲート容量に貯まった電荷を

$$Q_X = C \cdot V_{0X} \quad (3.1)$$

$$Q_Y = C \cdot V_{0Y} \quad (3.2)$$

$$V_{0X} > V_{0Y}$$

と表す。

サンプルアンドホールド後に V_{bias2} をオンにするとゲート容量，ゲート電圧が変わる。これを

$$Q_X = C_X \cdot V_{1X} \quad (3.3)$$

$$Q_Y = C_Y \cdot V_{1Y} \quad (3.4)$$

これより V_{bias2} をオンした後の電位差は

$$V_{1X} - V_{1Y} = \frac{C(C_Y \cdot V_{0X} - C_X \cdot V_{0Y})}{C_X \cdot C_Y} \quad (3.5)$$

この式に適当な値を代入すると， $V_{1X} - V_{1Y}$ が $V_{0X} - V_{0Y}$ より小さくなることもある。下に適当な例を載せる。

$$V_{0X} = 0.875V$$

$$V_{0Y} = -0.604V$$

$$C = 93fF$$

$$C_X = 323fF$$

$$C_Y = 115fF$$

のとき， $V_{0X} - V_{0Y} = 1.48V$ に対して， $V_{1X} - V_{1Y} = 0.74V$ となる。

この現象を起こさないためには，サンプルアンドホールド後にゲート容量が変化しないことが必要である。そこでサンプルアンドホールドを行うよりも少し前のタイミングで V_{bias2} をオンにする。これにより変化後のゲート容量にそのゲート電圧が保たれるだけの電荷が貯まり，以降ゲート容量が変化しないので，電位差も保たれる。タイミングはシミュレーションからの解析の結果今回設計した回路において $2ns$ とする。

ゲートに入力された電圧値で m_x と m_y にドレイン電流が流れ，電源から R_I での電圧降下を引いたものが，一段目の出力 out_{0_x} と out_{0_y} になる。またドレイン電流に

よりインバータが駆動され、これによって伝送レートが決まる。インバータをさらに2段経由し、最終的な出力 out_x と out_y になり、ピンから取り出される。

またコイルとチップをつなぐ際に、パッケージのピンを経由するが、このパッケージ部のインピーダンスについて以下のように考察した。[27]において、図3.11のような回路のときの、 V_{s1} と、 di/dt が、図3.12のように求められている。パッケージのインピーダンスを、インダクタンスと仮定すると、このインダクタンスは

$$L = \frac{VDD - V_{s1}}{di/dt} = 5nH \quad (3.6)$$

のようになる。これは70mm×70mmのコイルのインダクタンス260nHのおよそ2%に当たる。ゆえにモデル回路において、コイルのインダクタンスをそれほど左右しない値と言える。

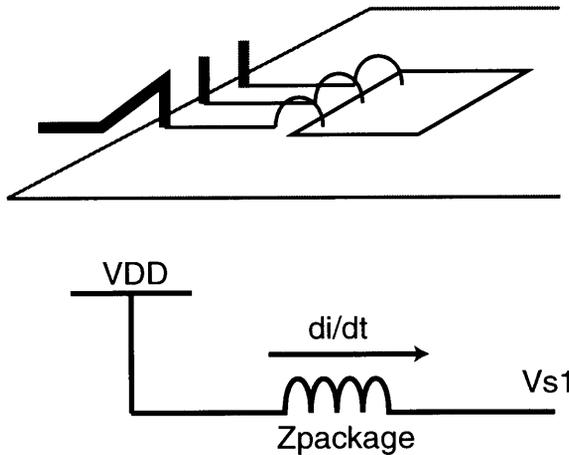


図 3.11 パッケージとそのモデル

3.3 コイルの自己共振周波数と立ち上がり時間

3.3.1 コイルの自己共振周波数による立ち上がり時間の制限

PCB上に作成したコイルは図3.13に示すように自己インダクタンスと寄生容量を持つ。コイルのインピーダンス $Z = 2\pi fL$ は周波数が高くなるにつれて大きくなる。しかし、ある周波数 f_0 において、コイル本来のインダクタンス L と寄生容量 C が共振現象を起こし始める。そして更に高い周波数においては、寄生容量 C が支配的となり、インピーダンスが低下してしまう。この様子を図3.14に示す。インダクタンスとキャパシタンスにより、コイルの自己共振周波数が決まる。この自己共振周波数を越えた周波数に対してはコイルはインダクタとしてよりも、キャパシタとして機能し始めるので、実験系に不備が生じる。

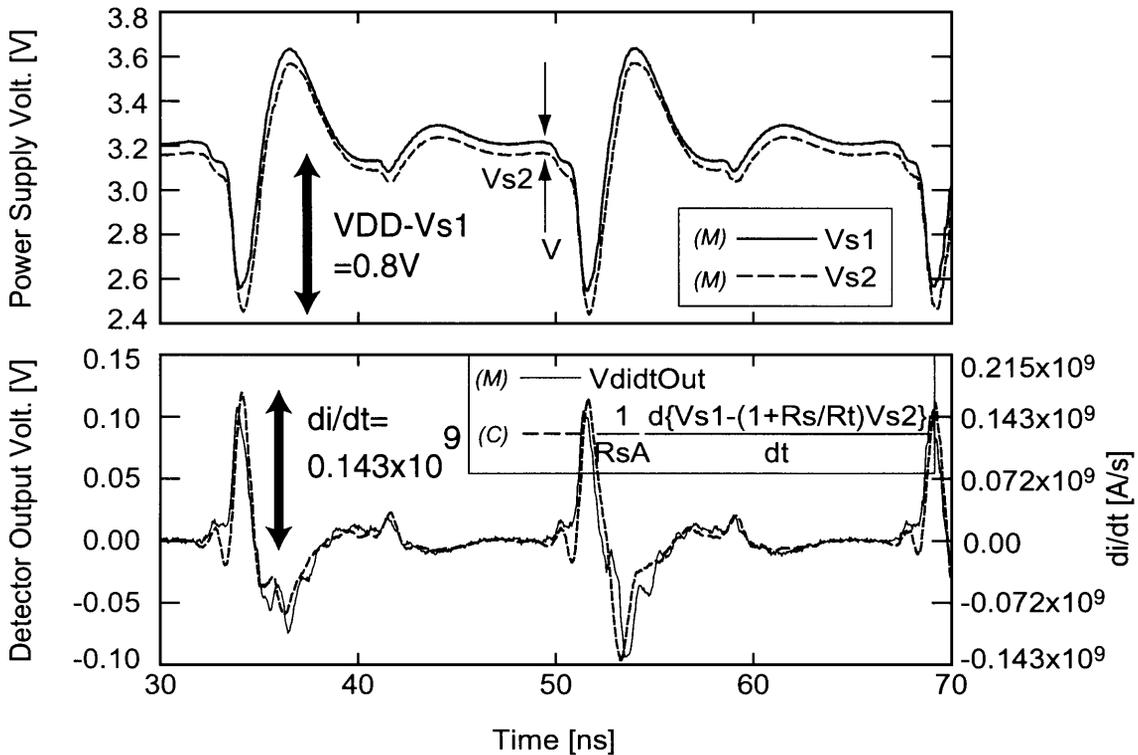


図 3.12 パッケージに関連した箇所の電圧, di/dt [27]

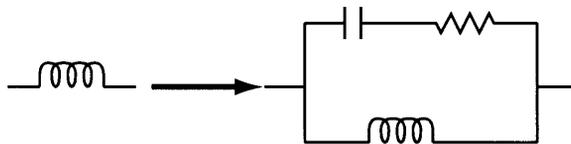


図 3.13 インダクタンスと寄生容量

図 3.15 に示すように、立ち上がり時間 t_{rise} の方形波を入力することは、周期 $2t_{rise}$ の正弦波を入力することに酷似している。コイルの自己共振周波数を f_0 とすると、

$$\frac{1}{2t_{rise}} \leq f_0 \tag{3.7}$$

つまり

$$t_{rise} \geq \frac{1}{2} \cdot \frac{1}{f_0} \tag{3.8}$$

のときにコイルはインダクタとして正常に機能し、これより早い立ち上がり時間においては正常に機能しないと考えられる。

コイルの自己共振周波数を求めるために、Hewlett-Packard 社の network analyzer 8510C と、S parameter test set を用いて、一次側の回路である R_{ON} とコイルの S パラメータを測定した。1 ポートでの測定を行い、図 3.16 のような負荷のインピーダン

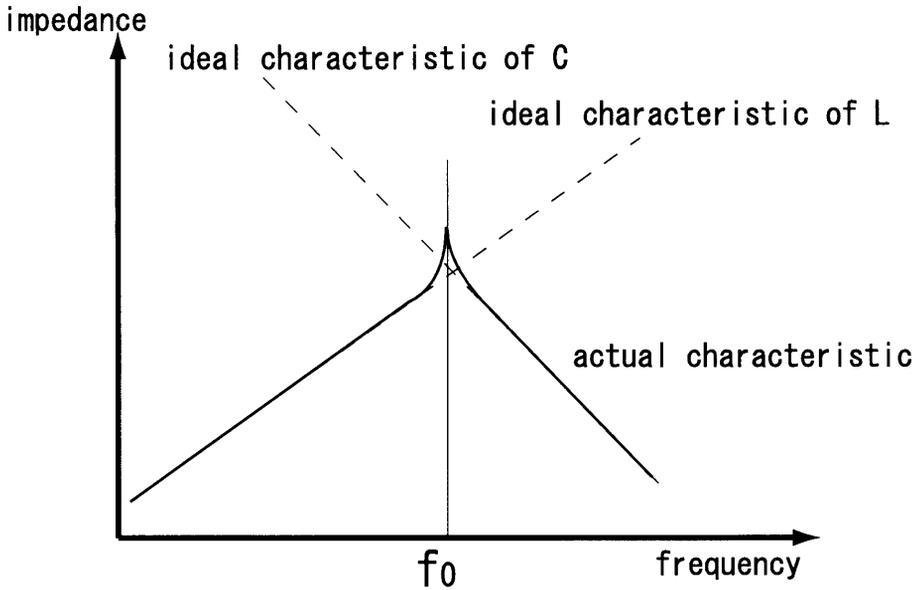


図 3.14 自己共振周波数でのインピーダンスの低下

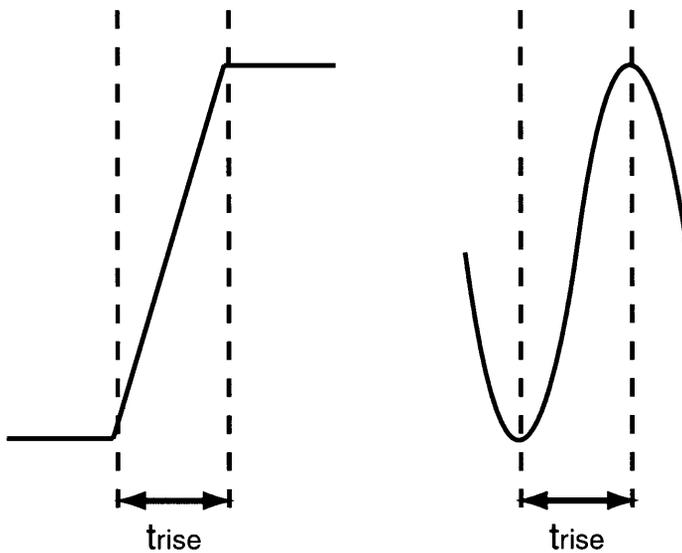


図 3.15 立ち上がり時間と正弦波

スから,

$$S_{11} = \frac{Z - Z_0}{Z + Z_0} \tag{3.9}$$

のように S_{11} が求まる. この S_{11} が各周波数ごとに極座標上に表され, その図をスミスチャートに置き換えることによって, インピーダンス Z が求まる. 70mm×70mm, 140mm×140mm のコイルをつけたときのスミスチャートを図 3.17, 図 3.18 に示す. 周波数が大きくなっていくとき, 50Ω の円に沿って点が動いていることがわかる. 共振点においては, 点が円上を動きながら, 円の内側で一回転する. 図 3.17 では

195MHz, 図 3.18 では 106MHz とわかる. 自己共振周波数は

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \tag{3.10}$$

で求められ, コイルの大きさが2倍になると, インダクタンス L とその寄生容量 C も2倍になり, 結果自己共振周波数は $\frac{1}{2}$ になる. 今回の結果はこれに則していると言える. これより, 70mm×70mm のコイルに関しては,

$$\begin{aligned} t_{rise} &\geq \frac{1}{2} \cdot \frac{1}{195M} \\ t_{rise} &\geq 2.6ns \end{aligned} \tag{3.11}$$

140mm×140mm のコイルに関しては,

$$\begin{aligned} t_{rise} &\geq \frac{1}{2} \cdot \frac{1}{106M} \\ t_{rise} &\geq 4.7ns \end{aligned} \tag{3.12}$$

と制限される. これは伝送レートを低くする要因となる.

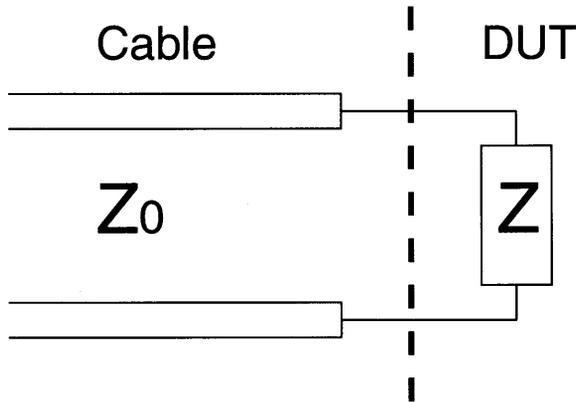


図 3.16 Sパラメータを求めるインピーダンス



図 3.17 70mm×70mm のコイルをつけたときのスミスチャート



図 3.18 140mm×140mm のコイルをつけたときのスミスチャート

3.3.2 立ち上がり時間による受信側の振幅の減少

第2章のモデル回路においては V_1 を求める際に式(2.5)を用いたが、この式は立ち上がり時間を0としている。信号の入力の際には有限の立ち上がり時間 t_{rise} が生じるのでこれを考慮しなくてはならない。ここでは立ち上がり時間と立ち下がり時間を等しいとして t_{rise} で同等に扱うものとする。図3.19のような周期 T 、立ち上がり時間、立ち下がり時間 t_{rise} を持つ波形を、図2.4の一次側の回路に入力すると、

$$V_0 = \frac{V_{DD1}}{t_{rise}}t + K_1 \quad (0 \leq t \leq t_{rise}) \quad (3.13)$$

$$= V_{DD1} \quad (t_{rise} \leq t \leq \frac{T}{2}) \quad (3.14)$$

$$= -\frac{V_{DD1}}{t_{rise}}t + K_2 \quad (\frac{T}{2} \leq t \leq \frac{T}{2} + t_{rise}) \quad (3.15)$$

$$= 0 \quad (\frac{T}{2} + t_{rise} \leq t \leq T) \quad (3.16)$$

$$(3.17)$$

これをラプラス変換すると、 $(0 \leq t \leq t_{rise})$ のとき、 V_1 は、

$$V_1 = \frac{V_{DD1}}{t_{rise}} \cdot \frac{L_1}{R_{ON}} \left(\frac{1}{s} - \frac{1}{s + \frac{R_{ON}}{L_1}} \right) \quad (3.18)$$

これをラプラス逆変換して

$$V_1 = \frac{V_{DD1}}{t_{rise}} \cdot \frac{L_1}{R_{ON}} (1 - \exp(-\frac{R_{ON}}{L_1}t)) \quad (3.19)$$

となる。これは、 V_1 の最大最小電圧が元の式(2.5)では $\pm V_{DD1}$ としていたところを、

$$\pm \frac{V_{DD1}}{t_{rise}} \cdot \frac{L_1}{R_{ON}} (1 - \exp(-\frac{R_{ON}}{L_1}t_{rise})) \quad (3.20)$$

にしなくてはならないことを示す。

これにより立ち上がり時間が大きくなると振幅は小さくなっていく。図3.20に70mm角、140mm角のコイルのときの立ち上がり時間による振幅の V_{DD1} からの減衰の割合を示す。インダクタンスが大きくなるほど、立ち上がり時間の増加に対して、減衰の割合が小さい。

3.4 測定結果

測定は70mm×70mm、140mm×140mmのコイルを用いた。伝送距離は5mmから始め、コイルの直径を最大伝送距離とした。各伝送距離ごとに、送信信号 V_{drive} の周期を小さくしながら、伝送可能な点を電圧 V_{bias1} を変更しつつ探索した。 V_{bias2} は1.2Vで固定とした。そのとき最も小さい周期の逆数をその伝送距離での最大伝送レートとした。

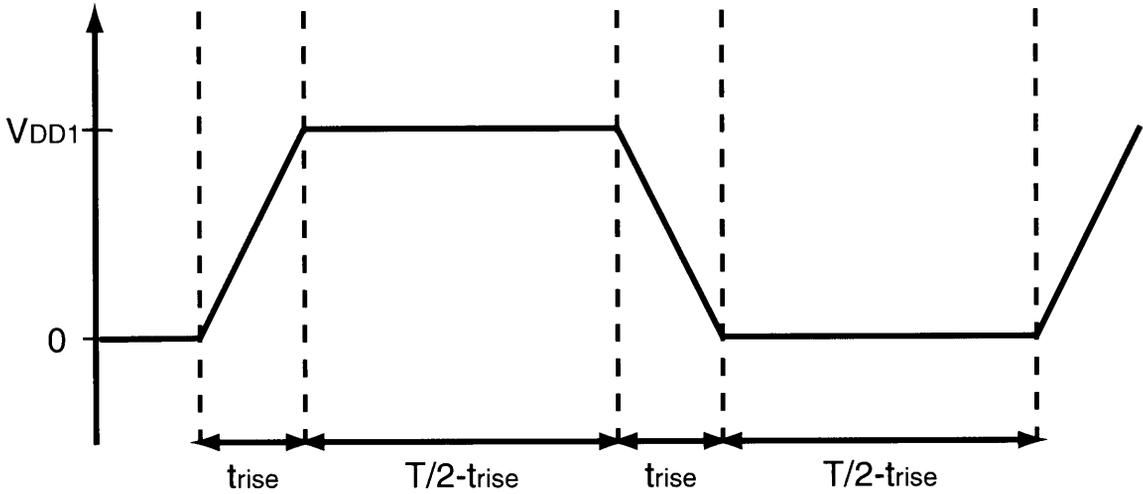


図 3.19 立ち上がり時間のあるステップ波形

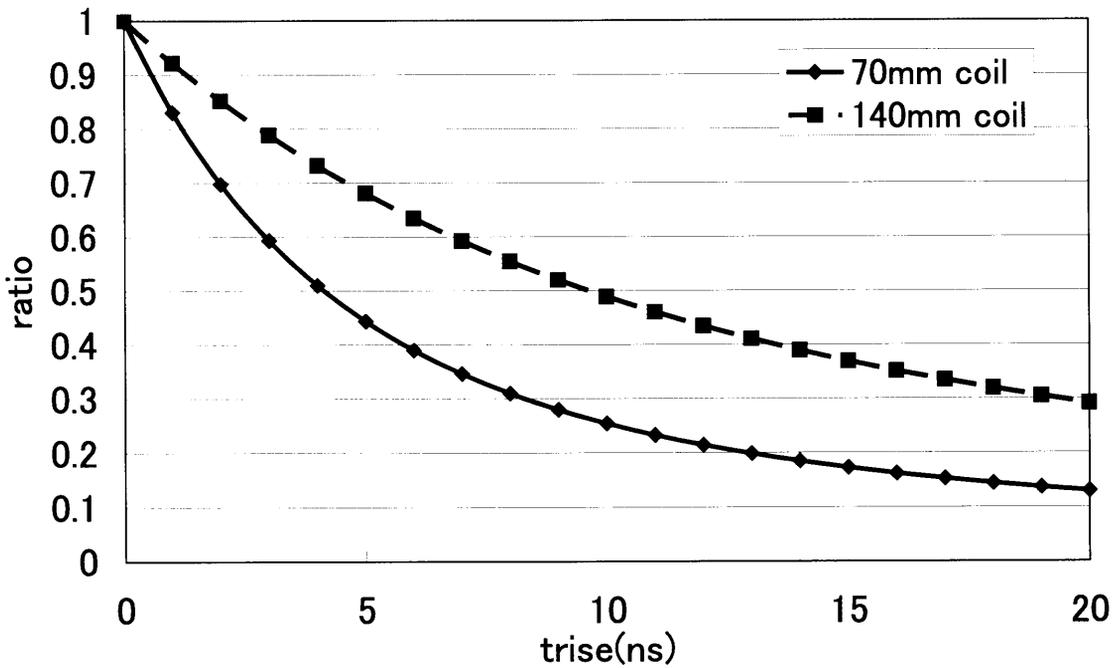


図 3.20 立ち上がり時間による振幅の減衰

3.4.1 二次側のコイルの両端の電圧

コイルの伝送距離に応じて、結合定数に変化する。これを FastHenry[22] を用いて求めたが、この結合定数から求められたコイルの両端の振幅値が実測値と合っているかどうか調べた。そのときの回路を図 3.21 に、シミュレーション波形を図 3.22 に、観測波形を図 3.23 に示す。 $R_{ON} = R_{on} + R_{in}$ 、 R_{OS} をオシロスコープの入力抵抗とする。式(2.6)と図 3.21 より、

$$R_{OS}I + k\sqrt{\frac{L_2}{L_1}} \cdot \frac{V_{DD1}}{s + \frac{L_1}{R_{ON}}} + sL_2I + R_{OS}I = 0 \quad (3.21)$$

これより,

$$I = -k\sqrt{\frac{1}{L_1L_2}} \cdot \frac{V_{DD1}}{(s + \frac{R_{ON}}{L_1})(s + \frac{2R_{OS}}{L_2})} \quad (3.22)$$

これを逆ラプラス変換して,

$$i = k\sqrt{\frac{1}{L_1L_2}} \cdot \frac{V_{DD1}}{\frac{R_{ON}}{L_1} - \frac{2R_{OS}}{L_2}} \cdot (\exp(-\frac{R_{ON}}{L_1}t) - \exp(-\frac{2R_{OS}}{L_2}t)) \quad (3.23)$$

$(\frac{R_{ON}}{L_1} \neq \frac{2R_{OS}}{L_2})$

$$i = -k\sqrt{\frac{1}{L_1L_2}} \cdot V_{DD1} \cdot t \cdot \exp(-\frac{R_{ON}}{L_1}t) \quad (3.24)$$

$(\frac{R_{ON}}{L_1} = \frac{2R_{OS}}{L_2})$

となる。これより,

$$V_{l2-x} = -R_{OS} \cdot i \quad (3.25)$$

$$V_{l2-y} = R_{OS} \cdot i \quad (3.26)$$

となる。

V_{l2-x} は $\frac{R_{ON}}{L_1} \neq \frac{2R_{OS}}{L_2}$ のとき, $t = t_1 = \frac{\ln \frac{b}{a}}{b-a}$ で, 最大となり,

$$V_{max} = R_{OS} \cdot k\sqrt{\frac{1}{L_1L_2}} \cdot \frac{V_{DD1}}{b-a} (\exp(at_1) - \exp(bt_1)) \quad (3.27)$$

となる。このとき

$$\frac{R_{ON}}{L_1} = a$$

$$\frac{2R_{OS}}{L_2} = b$$

である。また, $\frac{R_{ON}}{L_1} = \frac{2R_{OS}}{L_2}$ のとき, $t = t_1 = \frac{1}{a}$ で, 最大となり,

$$V_{max} = \frac{k}{2e} \cdot V_{DD1} \quad (3.28)$$

となる。このとき

$$\frac{R_{ON}}{L_1} = a$$

である。

以上より、測定に用いた R_{ON} , $R_{OS} = 50\Omega$, L_1 , L_2 を代入した理論式と、測定での振幅の比較をそれぞれのコイルごとに図 3.24, 図 3.25 に示す。ともにグラフがほぼ重なることから、FastHenry で求めた結合定数は信用でき、二次側のコイルの直後までにおいては雑音もそこまでないことがわかる。

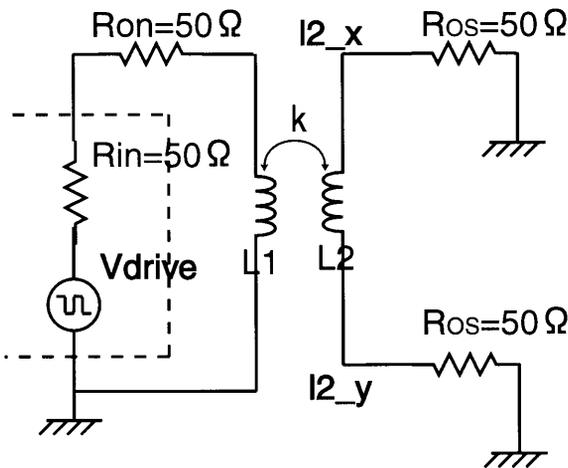


図 3.21 コイルの両端の電圧測定時の回路

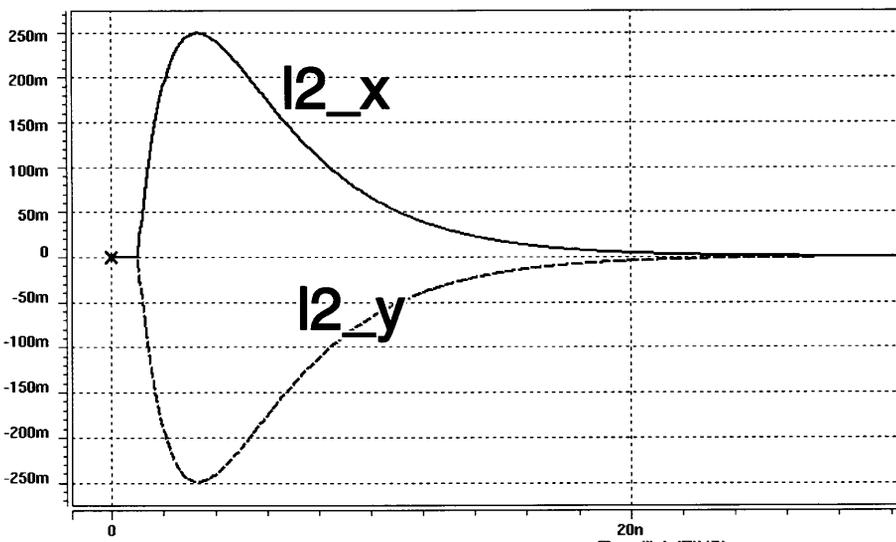


図 3.22 コイルの両端の電圧のシミュレーション波形

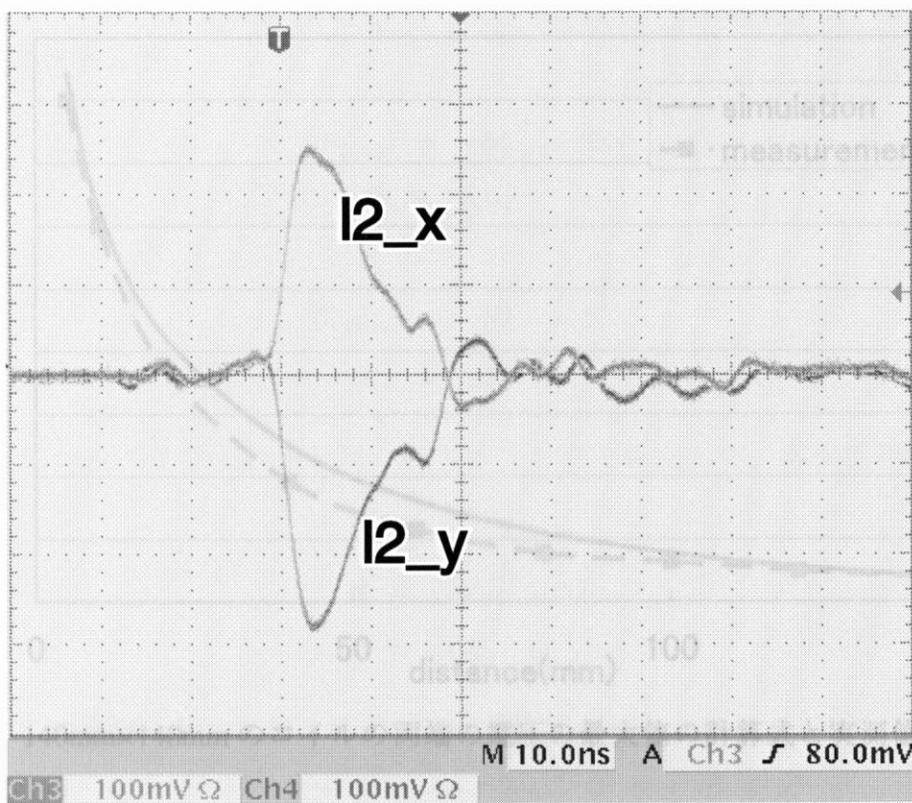


図 3.23 コイルの両端の電圧の観測波形

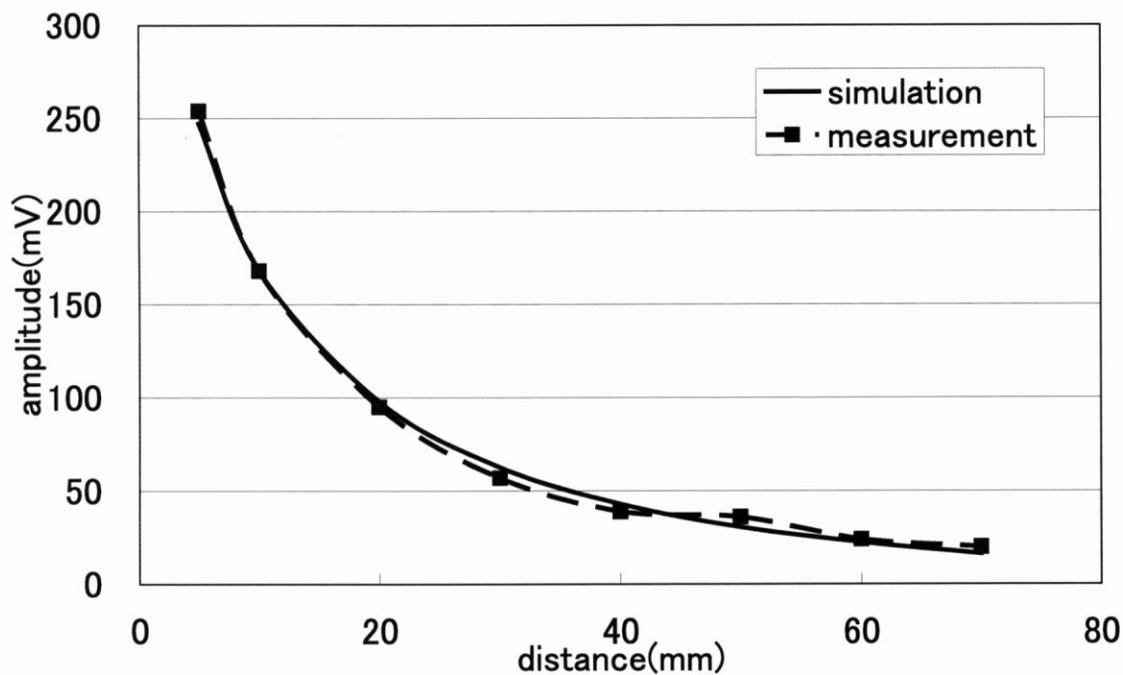


図 3.24 70mm×70mm のコイルの両端の電圧の最大値の計算式と実測値の比較

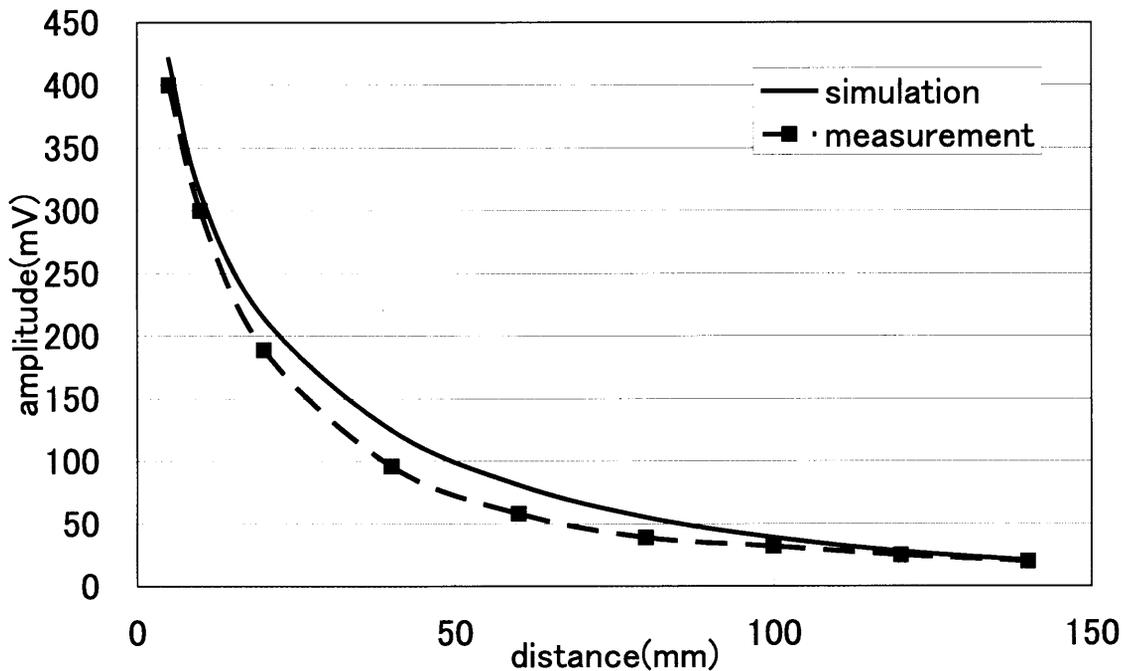


図 3.25 140mm×140mm のコイルの両端の電圧の最大値の計算式と実測値の比較

3.4.2 伝送レート

信号の伝送の様子を図 3.26 に示す。5Mbps で、1110 の信号を伝送している。送信波形が、0 から 1 に変化するとき、 out_x が 1 となり、 out_y は 0 のままであり、結果 $out = out_x - out_y$ は 1 になる。送信波形が 1 から 0 に変化するときはその逆である。送信波形が変化しないときは受信波形も変化しない。バイアス値を変えると正しい受信波形が現れない、発振する、などといった現象が現れた。

70mm 角、140mm 角のコイルを用いて伝送を行ったときの距離と伝送レートの関係を解析結果と合わせて図 3.27 に示す。解析結果と同様、距離が大きくなるにつれ伝送レートが低下する。解析結果に比べ、伝送レートの低下が顕著であるが、これはインバータの閾値との電圧余裕が関係していると考えられる。第 4 章でこれについて考察を行う。

コイルが小さいほど、距離が大きくなったときの伝送レートの低下は顕著であった。これはコイルが大きいほど同伝送距離において、結合定数が大きいためである。コイルの直径と伝送距離の比と伝送レートの関係を図 3.28 に示す。グラフはほぼ重なり、同じような関係が見られる。近距離では 55Mbps の伝送レートで飽和しており、遠くなると 5~10Mbps となり、コイルの直径の 90% 程度を越えると伝送不可になった。

図 3.28 より，グラフを直線近似してコイルの直径 l と，伝送距離 d と，伝送レート B の関係を求めると，

$$B_{70mm} = -64 \frac{d}{l} + 58 \quad (3.29)$$

$$R^2 = 0.91$$

$$B_{140mm} = -59 \frac{d}{l} + 57 \quad (3.30)$$

$$R^2 = 0.94$$

となる．二つのグラフ上の点を同一のグラフの点と仮定して，再度直線近似を行うと，

$$B = -61 \frac{d}{l} + 57 \quad (3.31)$$

$$R^2 = 0.93$$

となる．この関係を用いて第5章でシステム設計を行う．

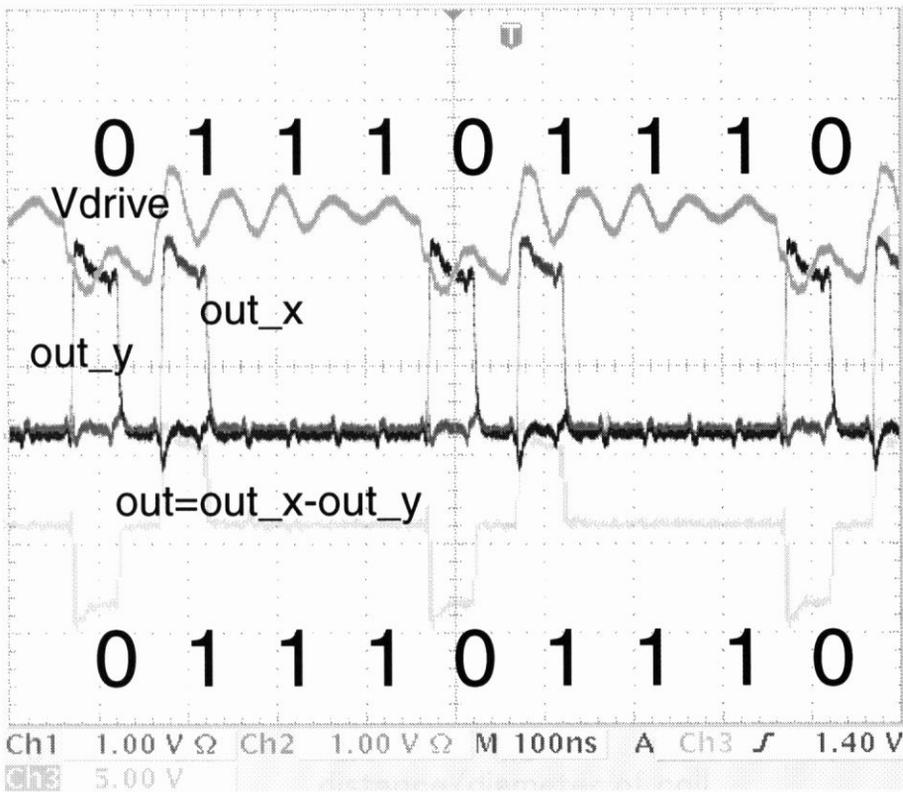


図 3.26 送信波形と受信波形

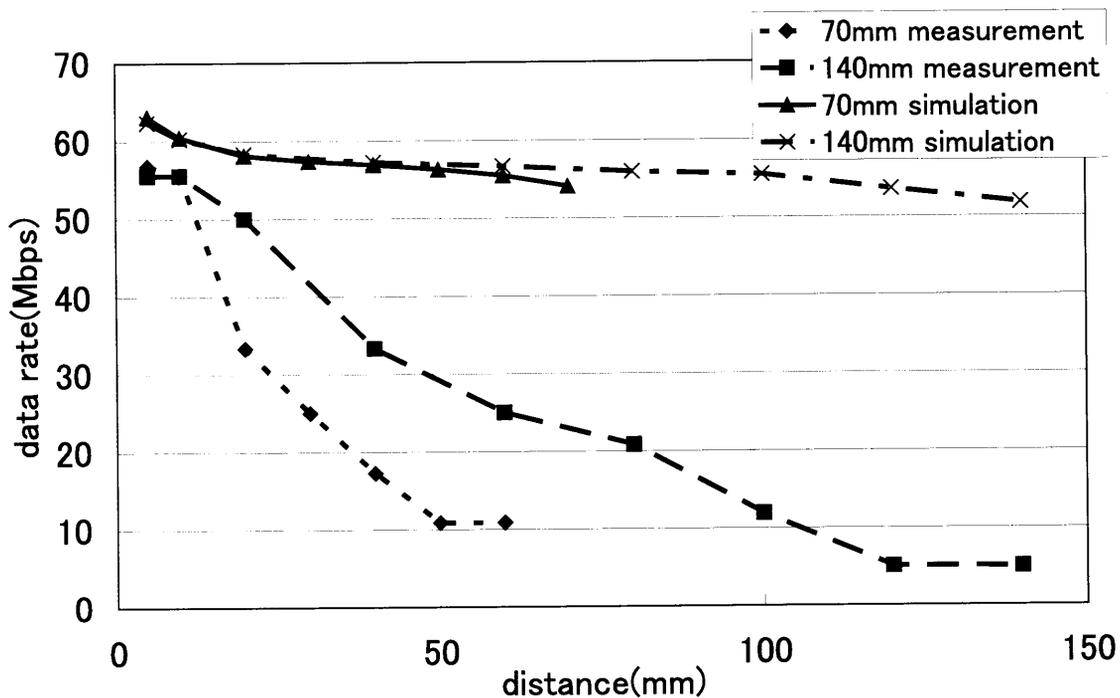


図 3.27 伝送距離と伝送レートの関係

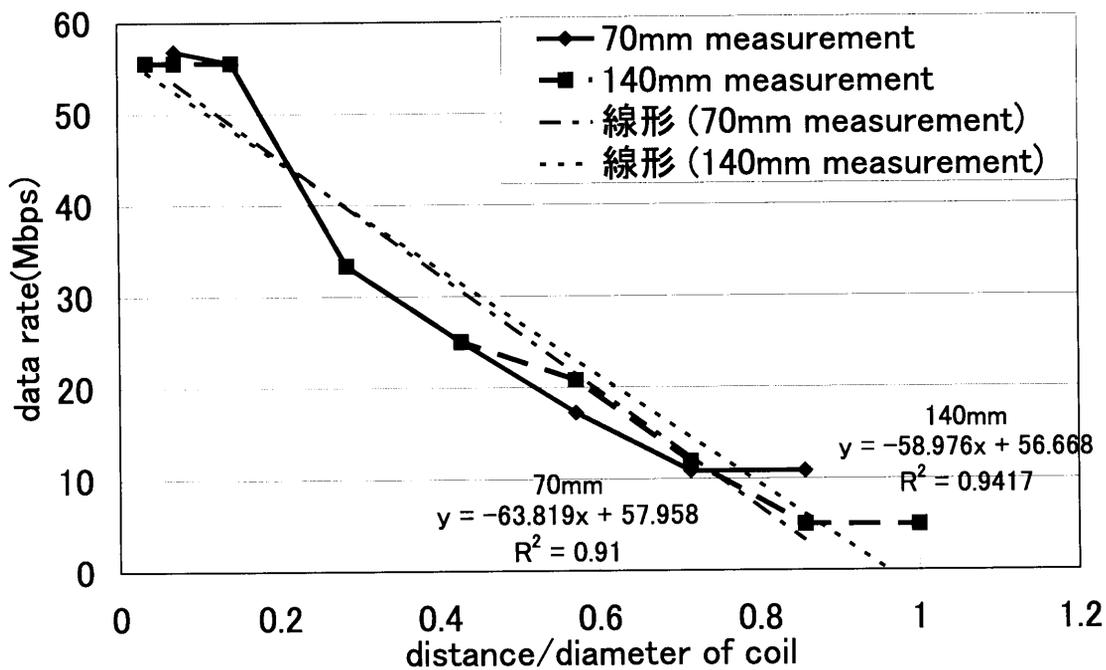


図 3.28 コイルの直径と伝送距離の比と伝送レートの関係

第4章

考察とスケージングによる見積もり

第3章の測定結果をもとに、アプリケーション想定時の不整合について、解析結果と実測結果の違い、ガラス基板上への適用について考察する。

4.1 コイルの不整合に対する考察

第2章、第3章での解析、実験では、送信側のコイルと受信側のコイルの中心がそろっていることを前提とした。しかし実際のシステムにおいては、それらが整合していない状態で使用する機会が多いと考えられる。そのときに結合定数の変化からデータレートがどのように変化するかを考察する。

4.1.1 位置のずれに対する考察

70mm角、140mm角について、受信側のコイルが送信側のコイルに対して横方向にずれた場合の各距離ごとの結合定数の変化を図4.1、図4.2にそれぞれ示す。コイルの直径の大きいものほど不整合が結合定数に影響してこない。また伝送距離が大きくなると、不整合は結合定数にそこまで影響してこない。また二つの対向するコイルの結合定数を求める式も提案されている [25]

結合定数が等しいときに同じ伝送レートになるものとして、測定結果の伝送レートを元に不整合時の伝送レートを図4.3、図4.4に示す。

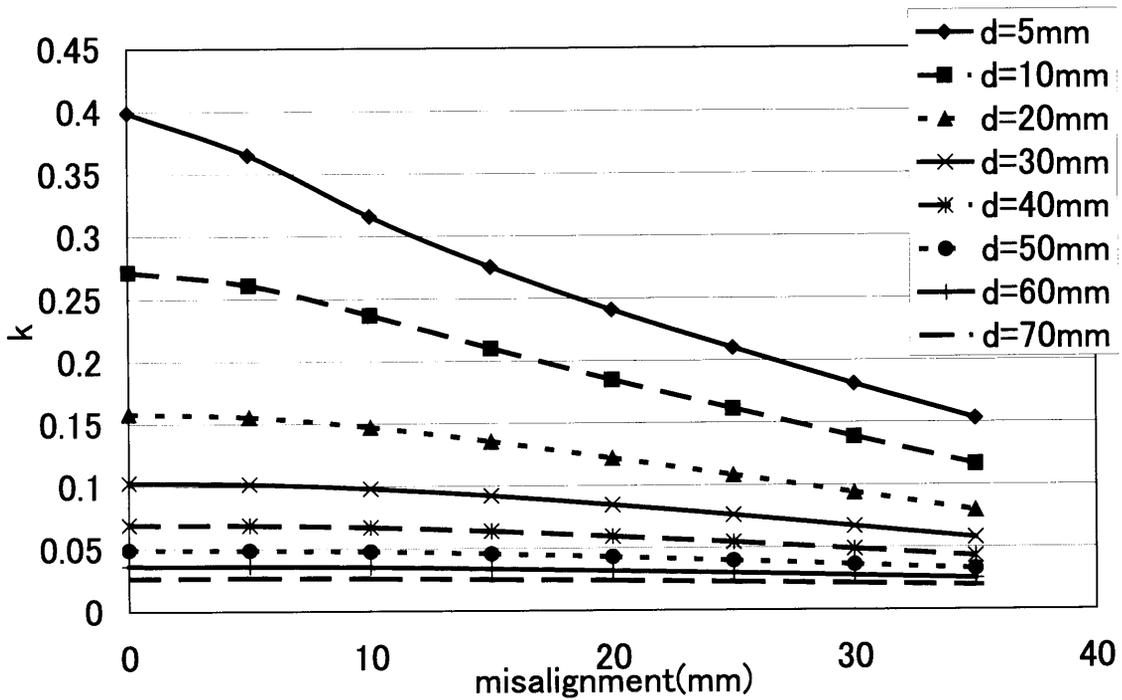


図 4.1 70mm 角コイルの不整合による結合定数の変化

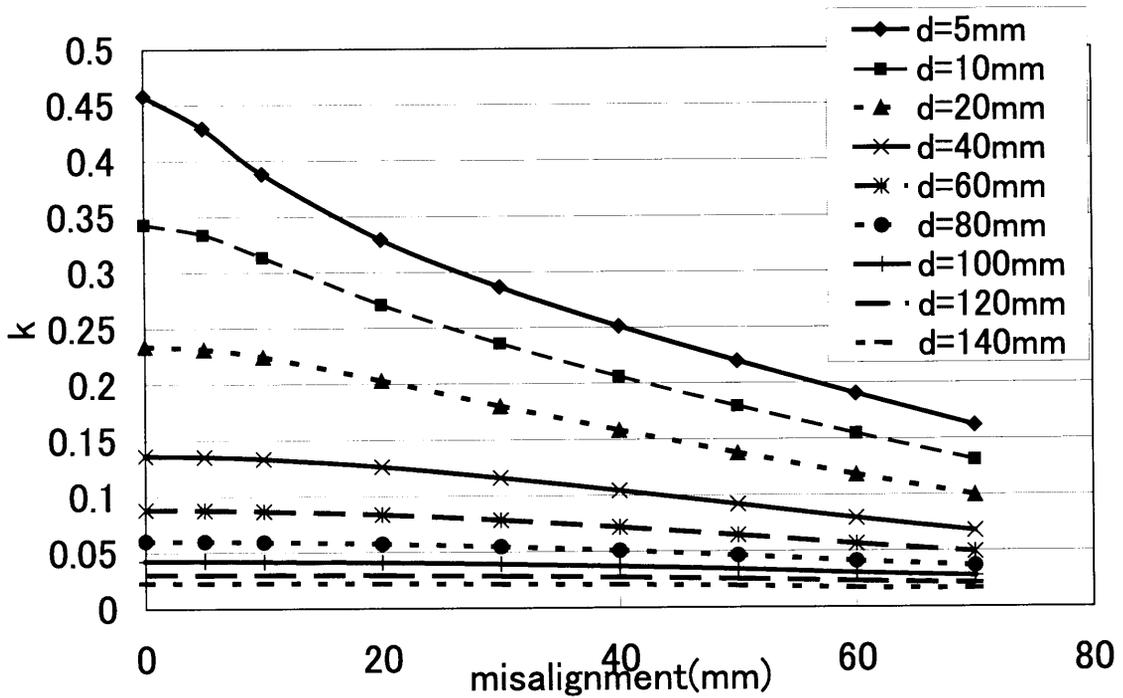


図 4.2 140mm 角コイルの不整合による結合定数の変化

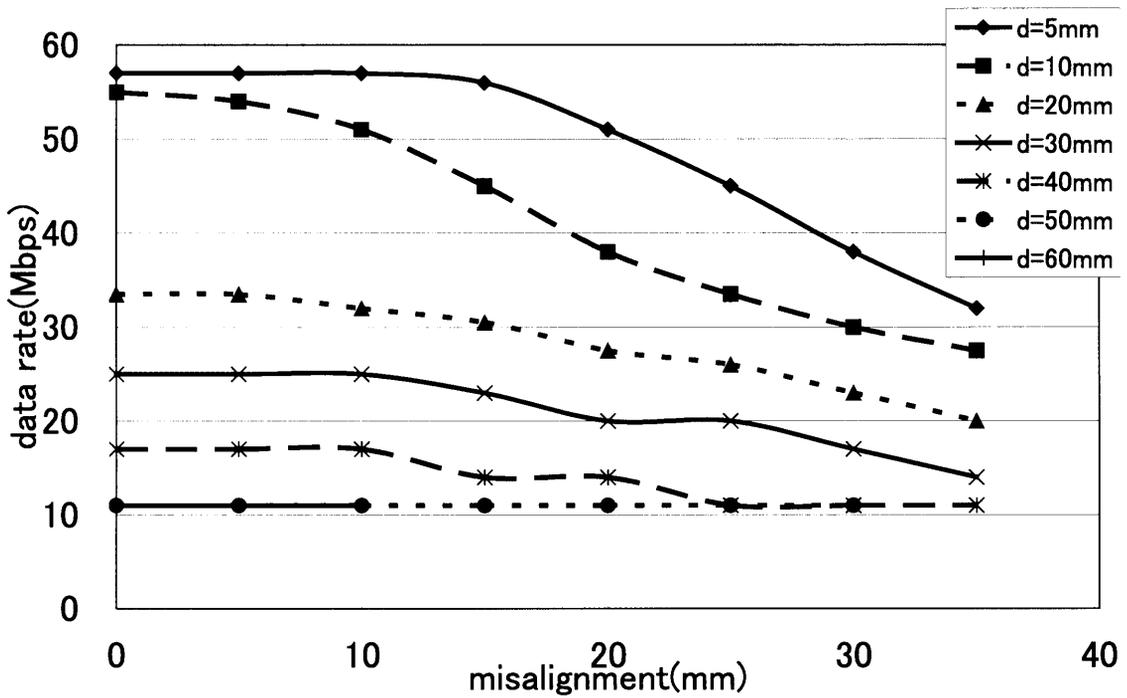


図 4.3 70mm 角コイルの不整合の伝送レート

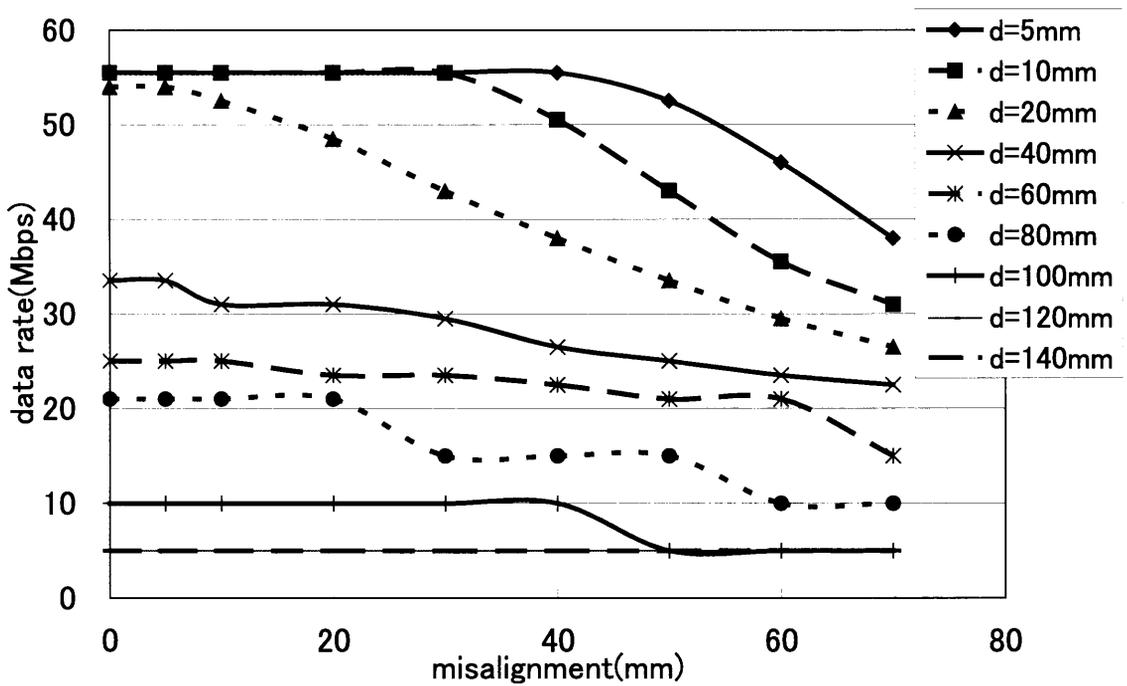


図 4.4 140mm 角コイルの不整合の伝送レート

4.1.2 角度のずれに対する考察

70mm角, 140mm角について, 図 4.5 のように, 受信側のコイルが送信側のコイルに対して傾くことによって, 角度的にずれた場合の各距離ごとの結合定数の元の値からの変化の割合を図 4.6, 図 4.7 にそれぞれ示す. コイルが大きいほど, 結合定数の低下が著しいが, これはコイルの直径が大きいほうが傾いたときにより平均伝送距離が大きくなるためだと考えられる. 5%程度までの変化を許容範囲とすると, 各伝送距離に対して図 4.8 に示す角度までとなる. これはコイルの直径を l , 伝送距離を d , 角度を θ とすると, おおよそ

$$l \cdot \theta = 30 \frac{d}{l} + 12 \quad (4.1)$$

の関係がある.

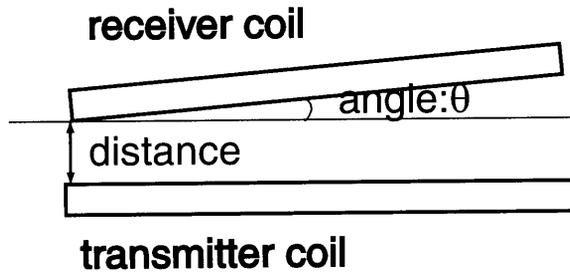


図 4.5 コイルの傾きの様子

4.2 解析結果と実測結果の違い

実測結果の伝送レートは解析結果に比べ, 小さい距離においてはそこまで変わらないが, 距離が大きくなるにつれ低くなった. これは次のような理由が考えられる.

解析においては信号に対して雑音の影響を考慮していないので, 二次側のコイルで生じた電圧がそのままコンパレータに入るとされている. 一方, 実際の測定においては雑音の影響を受けるため, 二次側のコイルで生じた電圧がそのままコンパレータに入るとは限らない. ゆえにその入力によって, コンパレータの出力が次段のインバータの閾値に対してどの程度余裕を持つかが問題となる. 図 4.9, 図 4.10 に伝送レートが 10Mbps のときと 50Mbps のときのバイアス値において, シミュレーション上でコンパレータの出力波形を送信波形の $\frac{1}{2}$ の周期で重ね合わせた波形を示す. インバータの閾値 1.25V に対してどの程度の電圧余裕 V_{ROOM} があるか, また閾値に対して高くあるべき時間と, 低くあるべき時間があるが, それらが全時間の中どれぐらいの割合 r_T なのかを調べた. 伝送距離が大きくなると, コンパレータに

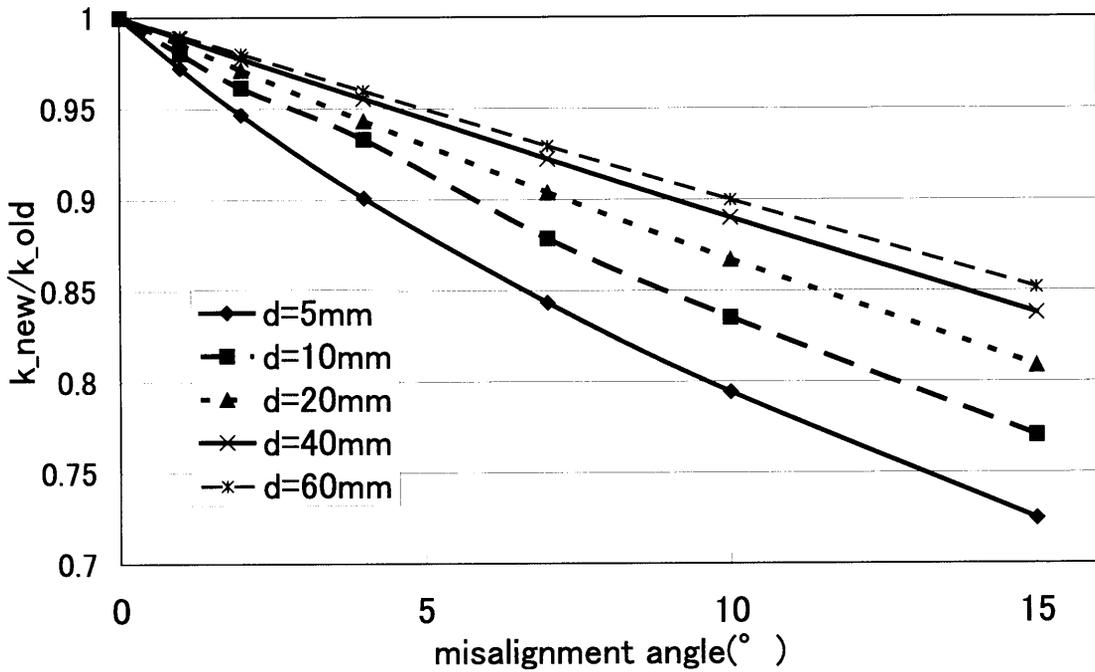


図 4.6 70mm 角コイルの傾き時の結合定数の変化

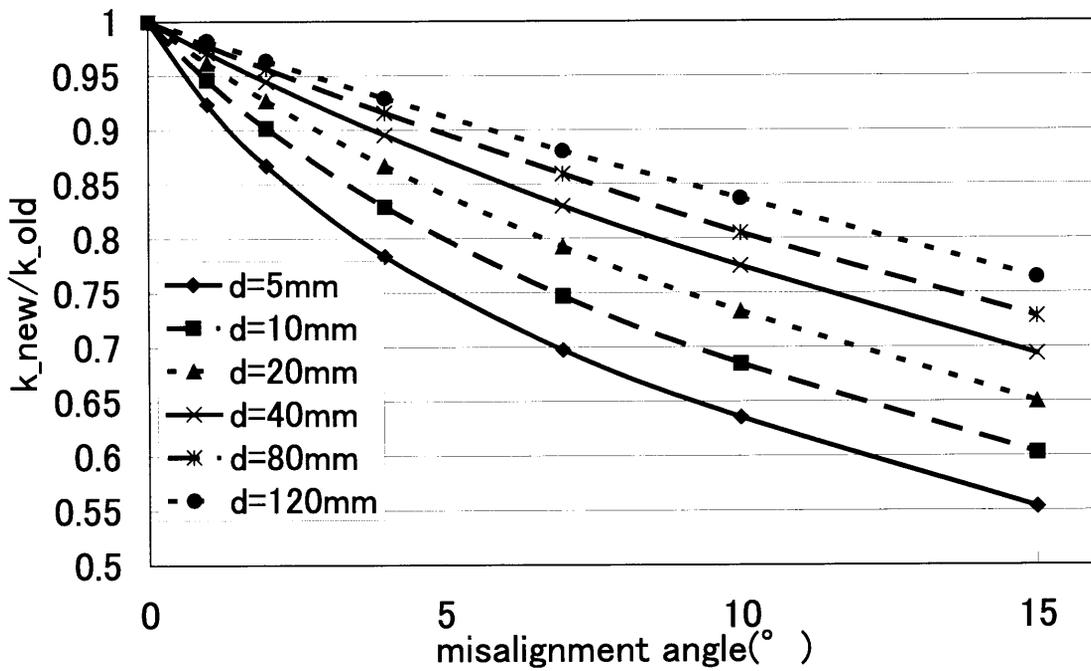


図 4.7 140mm 角コイルの傾き時の結合定数の変化

差動で入力される電圧の差が小さくなるので、コンパレータの出力電圧の差も小さくなり、インバータの閾値からの電圧余裕 V_{ROOM} が小さくなる。また伝送レートが

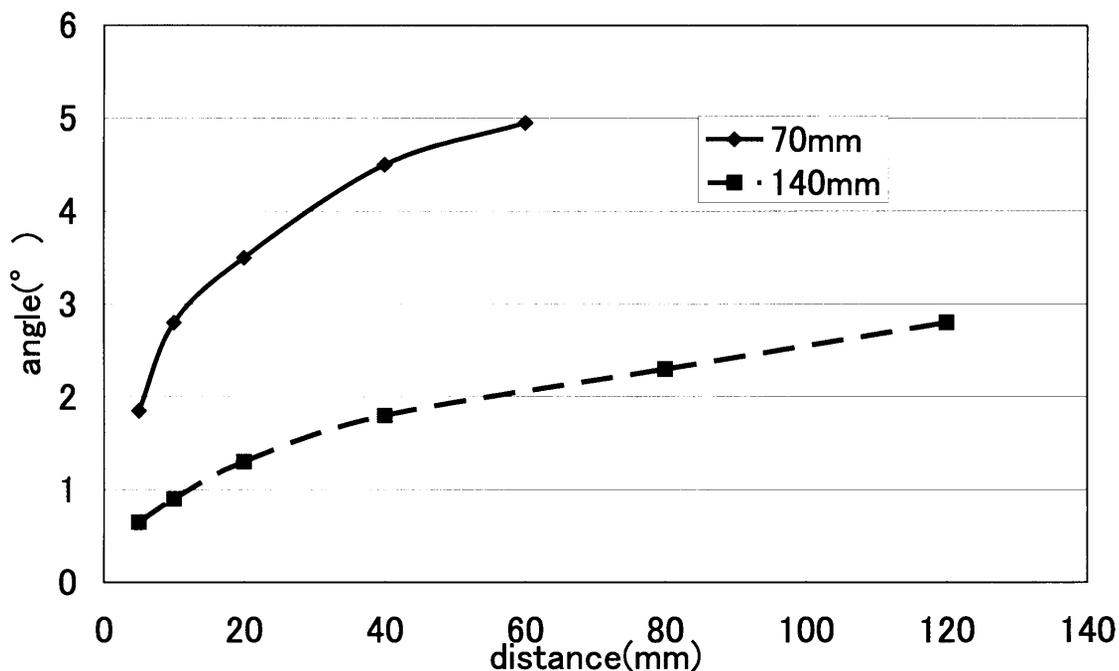


図 4.8 結合定数が5%変化するときの角度

大きくなると、上記の割合 r_T が小さくなり、正しく出力が表示されない時間が増える。このことから距離が大きくなると、伝送レートが大きいときに実測において正しい出力を得られなかったり、発振してしまうという結果が起こる。表 4.1 に測定結果の各伝送点での V_{ROOM} と r_T を示す。

4.3 スケーリング

第3章で測定を行った回路は $0.35\mu\text{m}$ プロセスで設計したものであった。システム設計においてはガラス基板上に回路を実装することを考慮するので、設計したサンプルアンドホールド回路のパラメータとは異なる。両者のパラメータを表 4.2 に示す。この新たなパラメータを用いて、解析を行ったときの伝送距離と伝送レートの関係を図 4.11 に示す。結果それほどプロセスが異なっても解析式による伝送レートに変化が見られない。これは以下のように考えられる。伝送レートは

- 信号を送信してからサンプリングして増幅を開始するまでの時間 τ_1
- 増幅回路が信号を増幅して負荷容量を駆動する際の立ち上がり・立ち下がり時間 τ_2

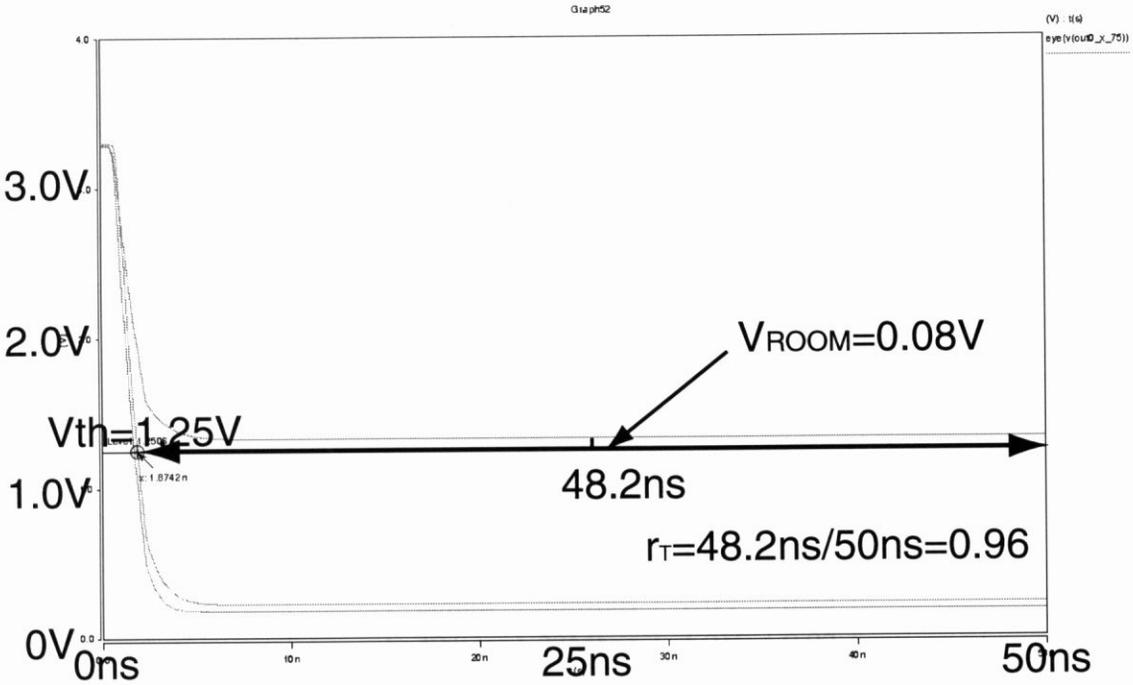


図 4.9 伝送レートが 10Mbps のときのコンパレータの出力波形

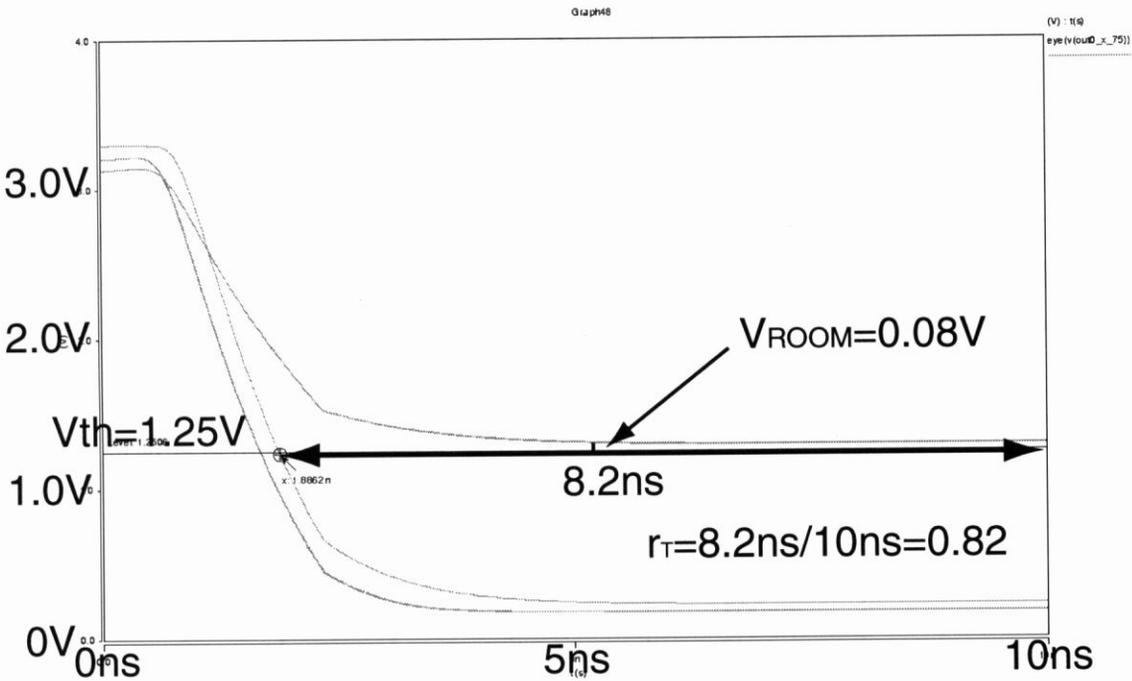


図 4.10 伝送レートが 50Mbps のときのコンパレータの出力波形

の和の逆数から求められるが、駆動する負荷が小さいため、サンプリングする信号電圧が小さくても負荷が駆動できてしまう。これによって、 τ_1 は τ_2 に比べ非常に小さくなる。この現象がプロセスが異なっても同様に起こるため、伝送レートがそれ

表 4.1 測定結果の伝送点における V_{ROOM} と r_T

7cm	distance	data rate	V_{ROOM}	r_T
	5mm	57Mbps	2.0V	0.84
	10mm	56Mbps	1.9V	0.82
	20mm	33Mbps	2.0V	0.85
	30mm	25Mbps	1.2V	0.92
	40mm	17Mbps	1.3V	0.93
	50mm	11Mbps	0.5V	0.96
	60mm	11Mbps	0.08V	0.96

14cm	distance	data rate	V_{ROOM}	r_T
	5mm	50Mbps	2.0V	0.84
	10mm	50Mbps	1.9V	0.82
	20mm	45Mbps	2.0V	0.85
	40mm	33Mbps	1.2V	0.92
	60mm	25Mbps	1.3V	0.93
	80mm	25Mbps	0.5V	0.96
	100mm	21Mbps	0.08V	0.96
	120mm	5Mbps	0.08V	0.96
	140mm	5Mbps	0.08V	0.96

ほど変わらないのである。図 4.12 に、解析時の τ_1 と $\tau_{total} = \tau_1 + \tau_2$ の比を示す。プロセスが変わっても結果にあまり違いがなく、割合は 20%以下と τ_2 に比べて τ_1 の比率が小さいことがわかる。ここから前節で考察した内容を踏まえて、実測における伝送距離と伝送レートの関係はプロセスではそこまで変わらず、コイルの大きさに支配されると言える。

表 4.2 解析式に用いる $0.35\mu\text{m}$ で設計したチップのパラメータと TFT プロセスのパラメータ

	$0.35\mu\text{m}$ プロセス	TFT プロセス
VDD2	3.3V	5.0V
t_{ox}	800nm	2500nm
CG0	0.68fF	3.06fF
CJ0	0.46fF	0.46fF

またガラス基板上にコイルを作成したときにコイルの幅と厚さが変わることがある。今回の測定では、幅 $w = 1000\mu\text{m}$ 、厚さ $t = 70\mu\text{m}$ のものを用いたがこれを変えたときの自己インダクタンス、結合定数の変化について FastHenry[22] を用いて調べ

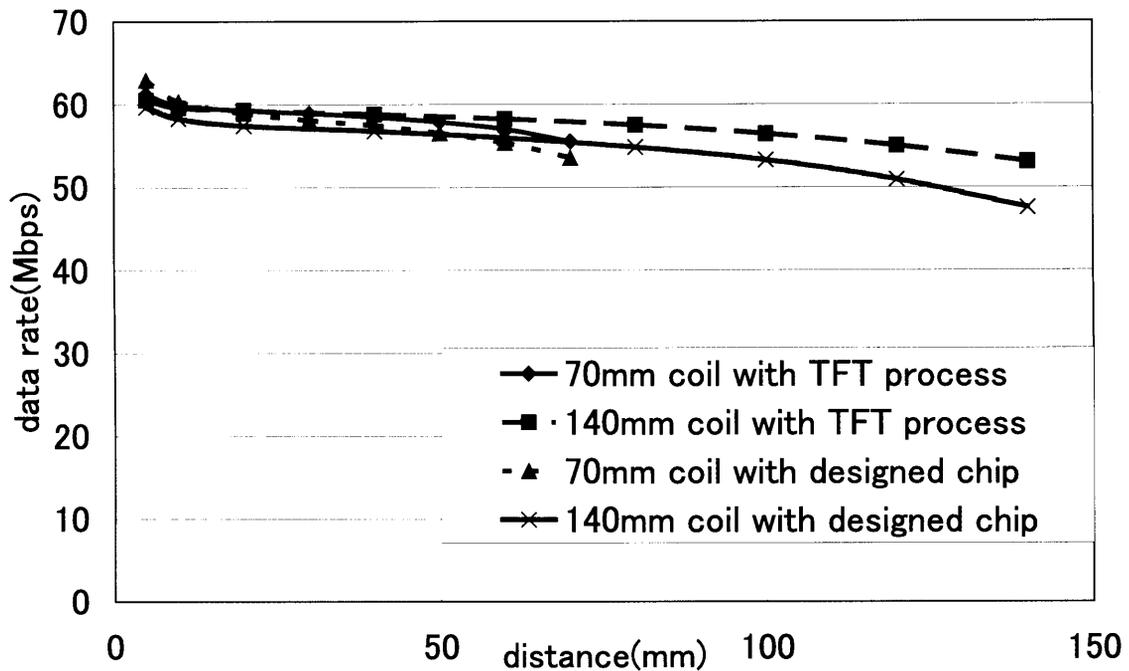


図 4.11 解析式における $0.35\mu\text{m}$ で設計したチップと TFT プロセスの伝送レートの比較

た. 図 4.13 にコイル幅が変わったときの自己インダクタンスの変化を, 図 4.14 に 70mm 角のコイルにおける結合定数の変化を示す. 図 4.15 にコイルの厚さが変わったときの自己インダクタンスの変化を, 図 4.16 に結合定数の変化を示す. 幅が大きいほど自己インダクタンスが小さくなり, この変化は無視できないと考えられる. また結合定数に関しても同様に変化が見られた. 幅が大きいほど, 伝送距離が大きくなったときに結合定数が低下しづらい. 一方厚さが変わった場合は, 自己インダクタンス, 結合定数ともに数%程度しか変わらない. ガラス基板上にコイルを作成する際には, 幅は設計できるが, 厚さはガラス基板に依存する. しかし, 厚さが変わっても自己インダクタンス, 結合定数がそれほど変わらないことから今回の実測結果を適用することが可能である.

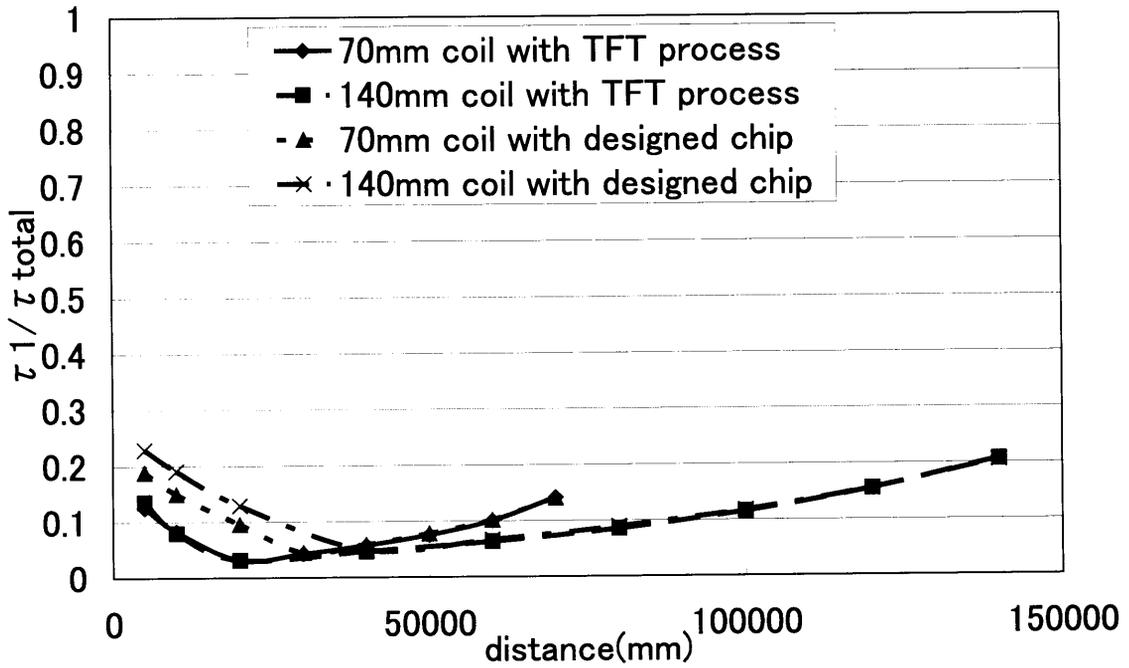


図 4.12 τ_1 と τ_{total} の比

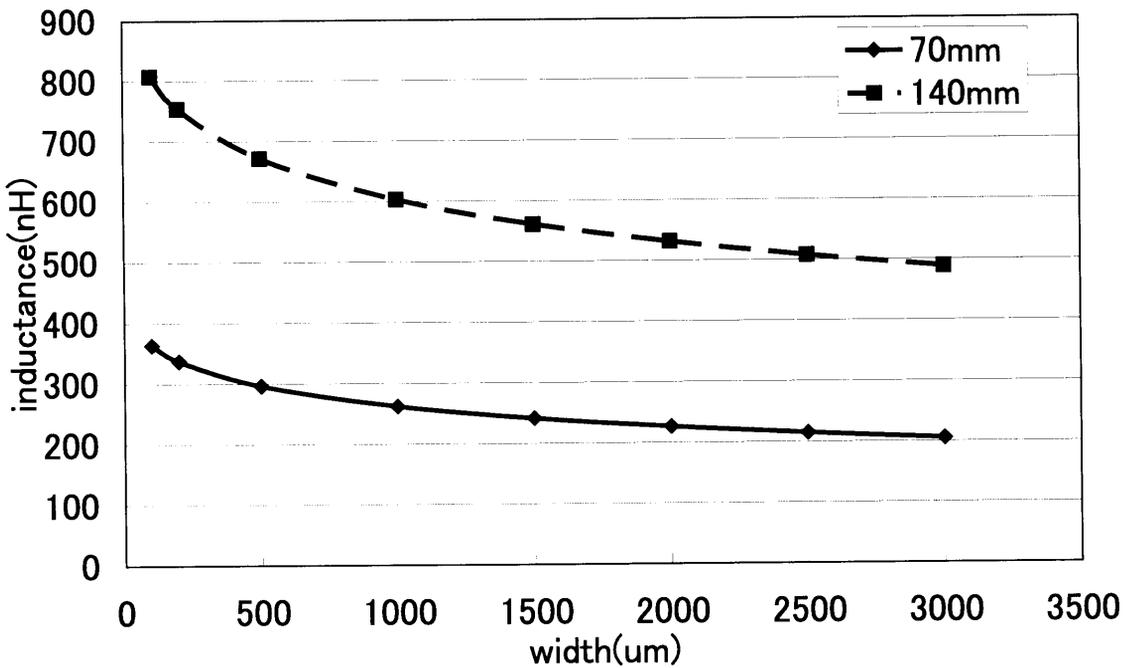


図 4.13 コイルの幅が変わったときの自己インダクタンスの変化

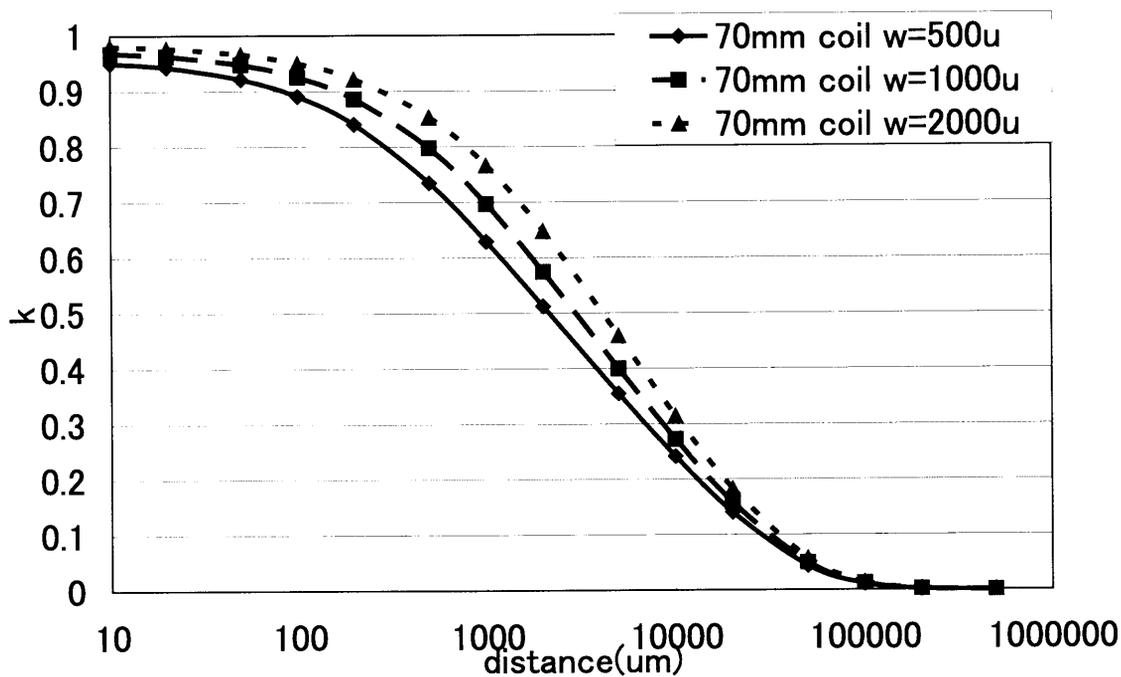


図 4.14 コイルの幅が変わったときの結合定数の変化

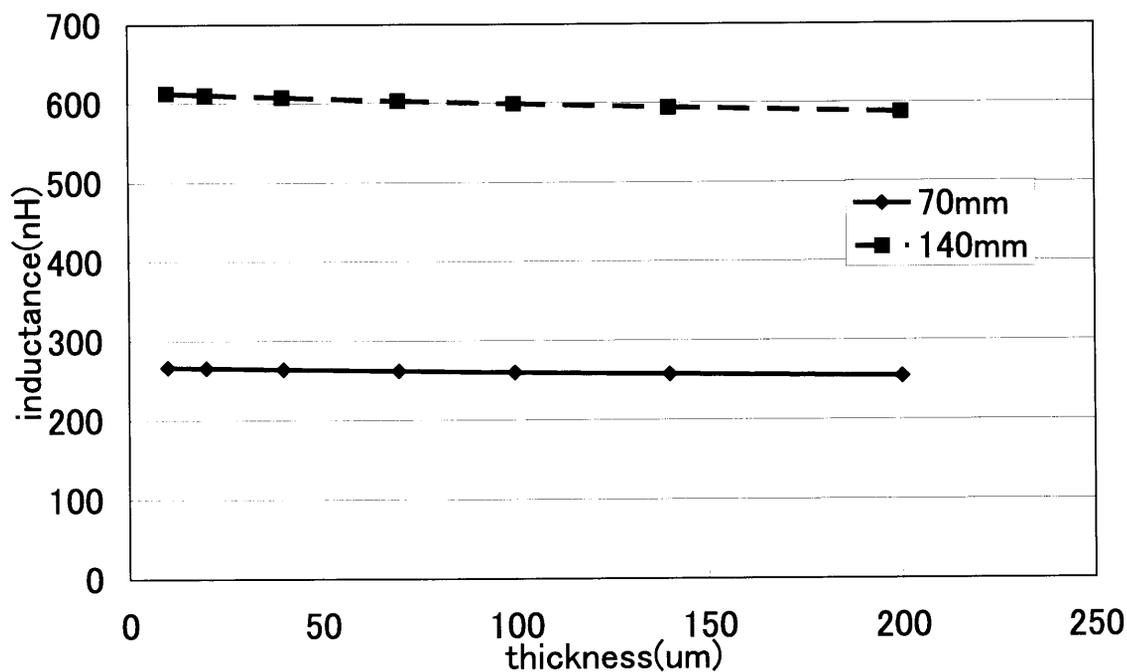


図 4.15 コイルの厚さが変わったときの自己インダクタンスの変化

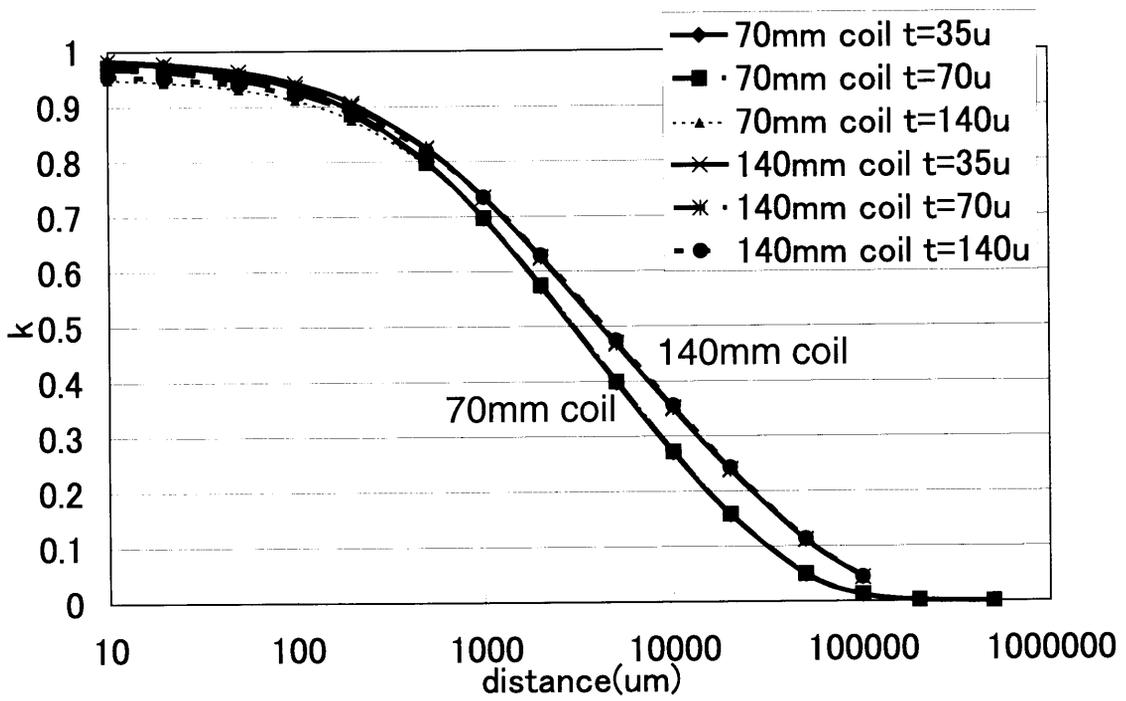


図 4.16 コイルの厚さが変わったときの結合定数の変化

第5章

最適動画表示システムの設計

本章では、1.2節で述べたシステムを、第3章で得られた測定結果を基に、別途定義する画像展開回路の性能モデルを用いて最適システムを設計する技術について述べる。さらにいくつか実際の仕様を想定し、そのときの最適システムを構成を算出する。そのためまず動画圧縮の際の品質と圧縮率との関係を調べ、次に展開回路の実装に要するハードウェアの規模について、展開部の論理回路とメモリ容量とから見積もる。

5.1 画像展開回路と非接触データ伝送系の両者を考慮した最適化

5.1.1 最適化方法

1.2.2節で定義した性能モデルに関して、非接触データ伝送系 $C = \{B, A_C, P_C, d\}$ のうち B, A_C, d の関係を第3章において、測定結果より導出した。ここではこの結果を用いた最適設計技術について論じる。

システムの最適化は、非接触伝送系と画像展開回路との組み合わせで定義可能な任意のコスト関数を与えて行う。

$$W = W(C, D) \quad (5.1)$$

$$W_{(opt)} = \min_{\text{All } \{C, D\} \text{ meets constraints}} \{W(C, D)\} \quad (5.2)$$

以降、実装面積をコスト関数と考えて議論を進める。このとき、コスト関数は

$$\begin{aligned} W &= A_C + A_D \\ &= A_C(B, d) + A_D(Z, t) \end{aligned} \quad (5.3)$$

となる。今、要求仕様 $S = \{N, c, f, d\}$ に対して、1.2.2節で与えた制約条件は、

$$Nct < 1/f \quad (5.4)$$

$$NcfZ < B \quad (5.5)$$

であった。ここで、次の条件を仮定する。

- 画像展開回路 D は、任意の並列度 p で並列化可能であり、その際の面積は pA_D 、展開時間は t/p とする。

面積最小化の目的と第1の仮定により式(5.4)の、また面積最小化の目的と第2の仮定より式(5.5)の、それぞれ不等号を等号に置き換えることができる。ここで並列度 p を導入すれば、これらは

$$Nct/p = 1/f \quad (5.6)$$

$$NcfZ = B \quad (5.7)$$

と置ける。これらを式(5.3)に代入すれば、

$$W = A_C(NcfZ, d) + NcftA_D(Z, t) \quad (5.8)$$

となるので、決定すべきパラメータは Z 及び t の2つに帰着できる。この2変数が独立であると仮定すれば、次の式を解くことによって最適システムの解を得ることができる。

$$\begin{aligned} \frac{\partial W}{\partial Z} &= \frac{\partial A_C(NcfZ, d)}{\partial Z} + Ncft \cdot \frac{\partial A_D(Z, t)}{\partial Z} \\ &= 0 \end{aligned} \quad (5.9)$$

$$\begin{aligned} \frac{\partial W}{\partial t} &= Ncf \cdot \left\{ A_D(Z, t) + t \cdot \frac{\partial A_D(Z, t)}{\partial t} \right\} \\ &= 0 \end{aligned} \quad (5.10)$$

Z と t が独立でなく従属関係にある場合も、 Z と t との関係を立てて同様の解法を用いればよい。

5.1.2 要求仕様

式(5.9)、(5.10)を解けば最適システムの構成を得ることができる。要求仕様 S として表5.1を想定した。この仕様に代表的な値を代入し、実際に最適システムを設計する。

5.2 非接触データ伝送系のハードウェアコスト

非接触データ伝送系のハードウェアコストについては、第3章で式(3.31)を立てた。この結果と式(5.7)の関係から、伝送距離 $d=10\text{mm}$, 30mm , 100mm , 300mm の場合の $A_C(Z, d)$ を、仕様1~3について求めた。その結果を図5.1、図5.2、図5.3に

表 5.1 想定要求仕様

	N	c	f	d	無圧縮時データレート
仕様1	QVGA (320x240)	24bpp	15fps	任意	28Mbps
仕様2	VGA (640x480)	24bpp	15fps	任意	111Mbps
仕様3	XGA (1024x768)	24bpp	15fps	任意	283Mbps
仕様4	QVGA (320x240)	24bpp	30fps	任意	55Mbps
仕様5	VGA (640x480)	24bpp	30fps	任意	221Mbps
仕様6	XGA (1024x768)	24bpp	30fps	任意	566Mbps

示す。ただし、 $A_c = l^2$ とした。圧縮率が低いと面積は大きくなる。また式(3.31)より、最大伝送レートは57Mbpsとなる。ゆえに圧縮率が低いと、伝送不可能な点も現れる。

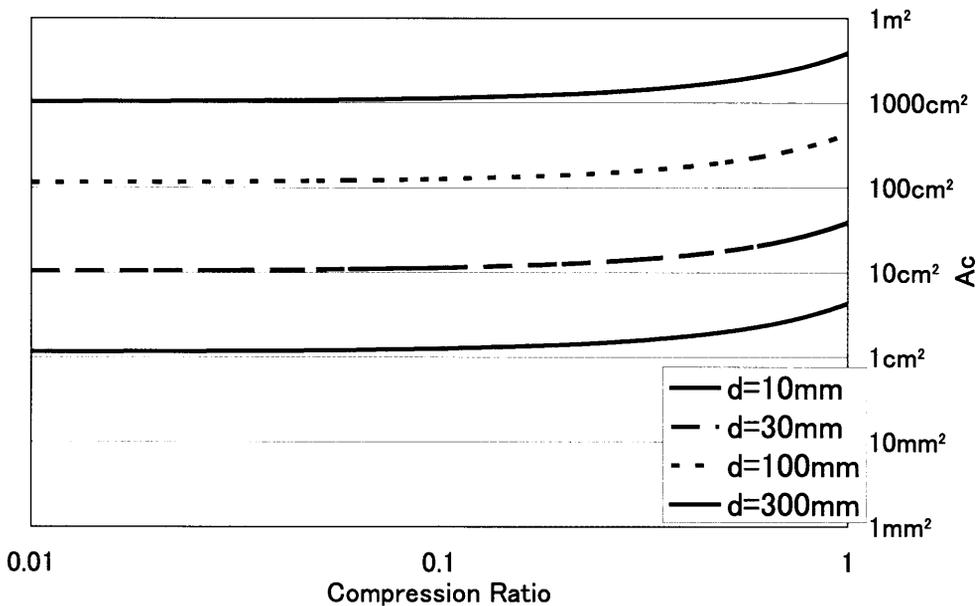


図 5.1 QVGA, 24bpp, 15fps 時の場合の画像圧縮率と伝送系の実装面積との関係

5.3 画像展開回路のハードウェアコスト

画像展開回路として、MPEGの復号回路を想定する。MPEGは空間領域と時間領域について圧縮を行う符号方式である。空間領域による符号化はjpegの符号化と同じものである。時間領域による符号化に関しての考察を行い、それを基に画質を損なわない上での圧縮率と回路面積の関係を探る。

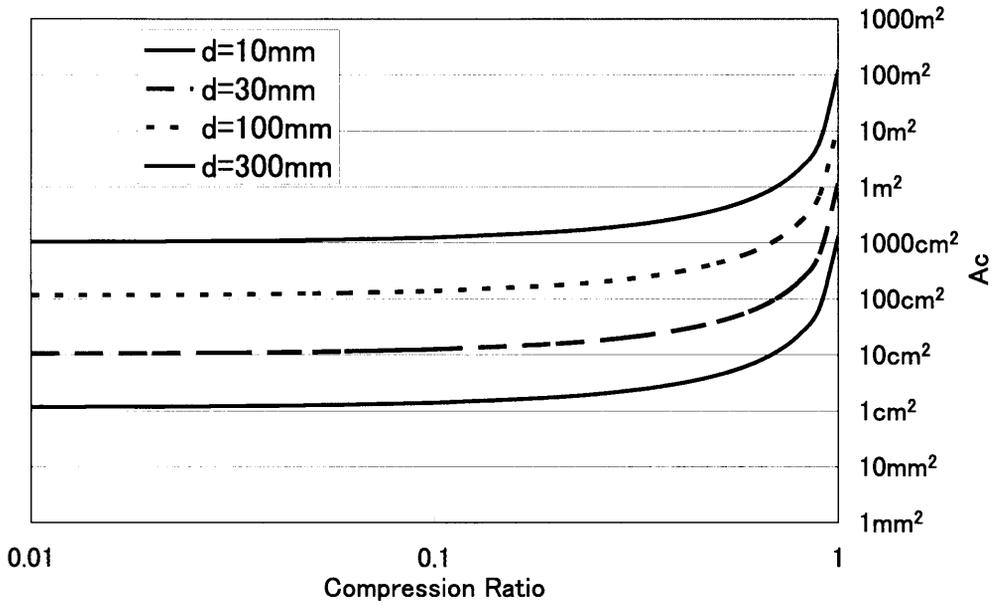


図 5.2 QVGA, 24bpp, 30fps 時の場合の画像圧縮率と伝送系の実装面積との関係

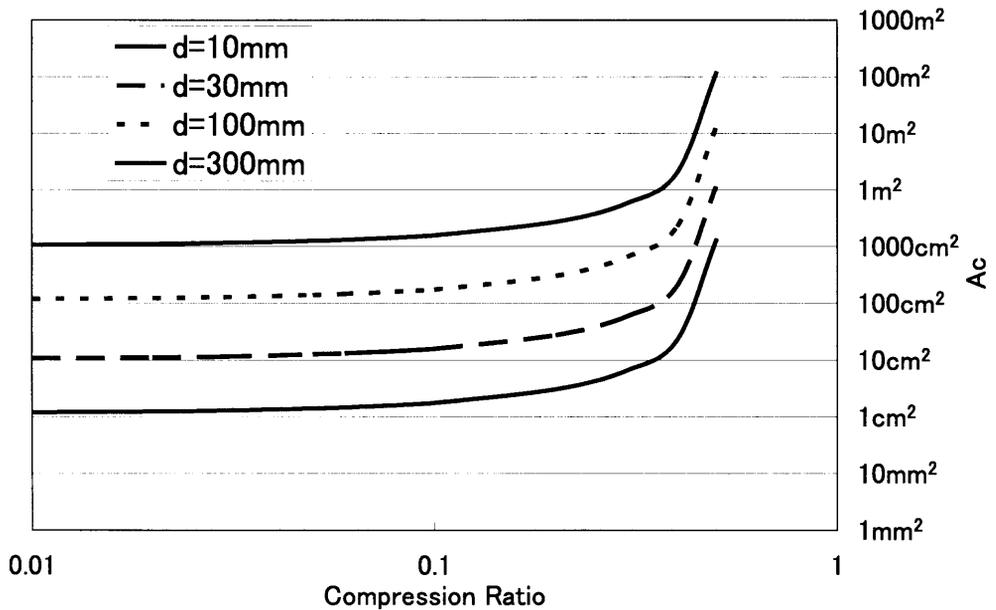


図 5.3 VGA, 24bpp, 15fps 時の場合の画像圧縮率と伝送系の実装面積との関係

5.3.1 MPEG 圧縮方式の画質と圧縮率の評価

MPEG 圧縮方式の画質と圧縮率の関係が [21] によって調査されている。以下その内容について述べる。

MPEG 符号化のソフトウェアとして Berkeley MPEG Encoder[26] を用いた。画質

評価用の動画として、よく知られている“Football”, “Flower Garden”, “Mobile and Calendar”, “Table Tennis”の4種のカラー動画を用いた。原画像はSIF解像度(352×240)で、YUV422形式の色空間情報を持つ。画質は客観基準であるPSNRで評価するものとした。PSNRの定義として、1画素がY/U/V各8bitのYUV色空間上で定義されるカラー動画であるものとして以下の定義式を用いた。

$$PSNR \equiv 20 \log_{10} \frac{255}{\sqrt{\sum_{f,N} \{((Y_e - Y_o)^2 + (Y_e - Y_o)^2 + (Y_e - Y_o)^2) / (3fN)\}}} \quad (5.11)$$

ただし、 f は動画の総フレーム数、 N は動画の画素数、 X_e (X : Y/U/V)はMPEG符号化後の X 成分の画素値、 X_o は原画像の X 成分の画素値である。画質の制御はMPEG圧縮時に用いる量子化テーブルのスケーリングによって実施した。また、展開回路の実装の際に要するメモリ量を削減するために、GOP(Group of Picture)はIピクチャとPピクチャのみ(初期画像と前方向動き補償予測)で、Bピクチャ(双方向動き補償予測予測)は含まないように圧縮するものとした。このとき、画質を低下させることによって圧縮率が向上すると予想できる。

次に、画質一定(ある一つの量子化テーブルを用いる)とした上で、GOPのフレーム数を1,2,4,8,16,32と変化させた際の圧縮率の変化を観測した。もっとも多い情報量を含むIピクチャはGOPの先頭のみに含まれるので、GOPのフレーム数を増やすことで圧縮率が向上すると考えられる。

画質を変化させた際の評価結果を図5.4に示す。高画質の限界点付近を除けば、圧縮率とPSNRとはほぼ比例関係を示した。

また、GOPのフレーム数を変化させて圧縮率を求めた結果を図5.5に示す。GOPが8フレームを超えると圧縮率の向上は非常に緩やかとなる様子が観察された。またこの図内の各動画について、量子化テーブルのスケーリングを一定としたにも関わらずGOPのフレームを変化させることによってPSNRが変動した。しかし両者の関係に特に相関はなく、かつその変動はごくわずかに収まっていた(図5.6)。

5.3.2 画像展開回路の面積

GOPが変わっても圧縮率にそこまで差がないことから、GOPの長さを1フレームとした場合の表示システムについて考察する。これは、Iピクチャのみで構成される動画であり、時間領域での圧縮がなく、空間領域のみの圧縮が行われていて、Motion JPEGに相当する。この場合の復号回路の性能[20]を表5.2に示す。また、セル面積及び回路遅延は $0.35\mu\text{m}$ プロセスの論理合成で求めてあるが、ここでは $1.2\mu\text{m}$ CMOS製造プロセス技術の値に換算して示してある。このとき、回路面積及び最大クロック

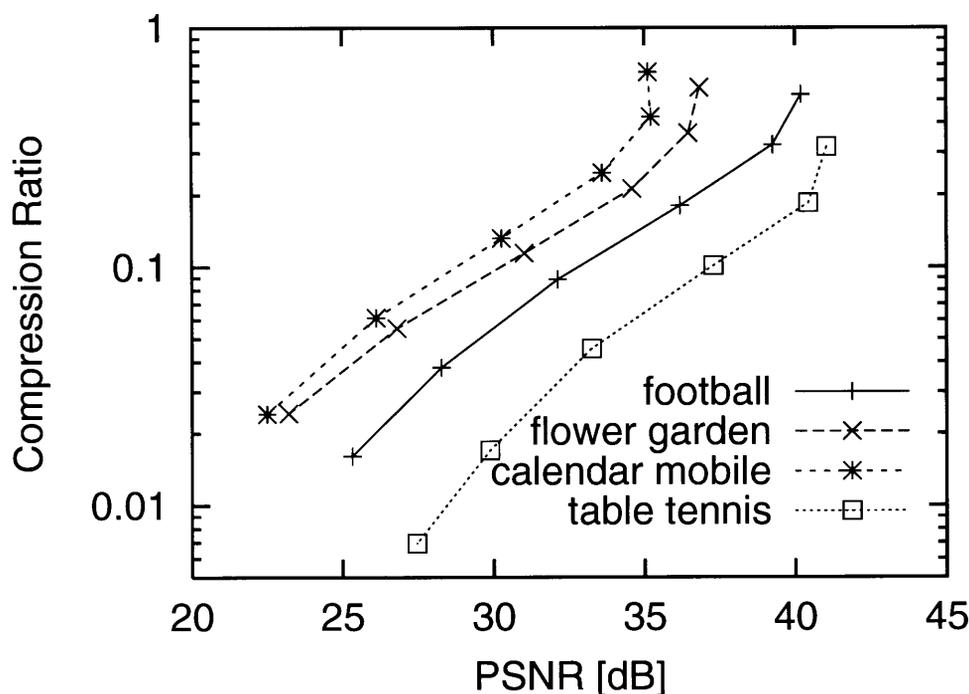


図 5.4 MPEG 圧縮の圧縮率と画質の関係 (GOP=16frames)[21]

ク周波数は標準セルライブラリ内の最小インバータの比によって換算した。

表 5.2 JPEG 復号回路の性能モデル (PSNR=34dB)

DCT ブロックサイズ	平均圧縮率 Z	セル面積 A_D	1 画素あたり処理時間 t
8×8	0.0547	18.9mm^2	$17.7\mu\text{s}$
7×7	0.0553	17.6mm^2	$13.6\mu\text{s}$
6×6	0.0566	16.6mm^2	$10.0\mu\text{s}$
5×5	0.0619	15.6mm^2	$6.92\mu\text{s}$
4×4	0.0690	14.9mm^2	$4.43\mu\text{s}$
3×3	0.0820	14.3mm^2	$2.49\mu\text{s}$
2×2	0.126	13.9mm^2	$1.11\mu\text{s}$
1×1	0.188	13.7mm^2	$0.277\mu\text{s}$
no compression	1	0	

この性能モデルでは、 $A_D(Z, t)$ の関係の中で、 Z と t は従属関係にある。従って、 Z を決めれば式 (5.10) を解くことなく t が一意に定まる。 A_D と Z の関係について図 5.7 に示す。圧縮率が高いと面積が大きくなる。

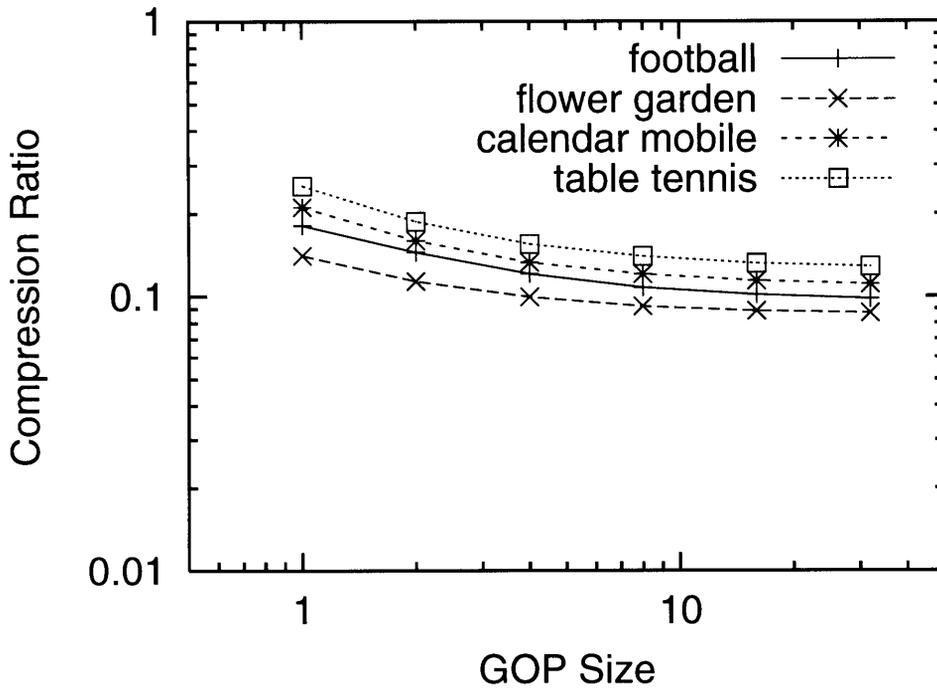


図 5.5 GOP を変化させた際の MPEG 動画の圧縮率と画質 (Qfactor = 8)[21]

5.4 MPEG復号回路と非接触伝送系による動画表示システムの最適化

図 5.1, 図 5.2, 図 5.3 と図 5.7 を合わせてコスト関数 $W = A_C + A_D$ の値を求めた. QVGA で 30fps の結果を一例として図 5.8 に示す. A_C が圧縮率の低下に対して単調に増加する一方, A_D は単調に減少する. ゆえに面積コスト W が最小となる点が存在する. この最適点を表 5.1 の仕様に対して求めた. これを図 5.9, 図 5.10, 図 5.11 に示す. 各点における DCT ブロックサイズとコイルの直径も示す. これにより, それぞれの仕様において, ある距離が決まったときの最適システム構成が示される.

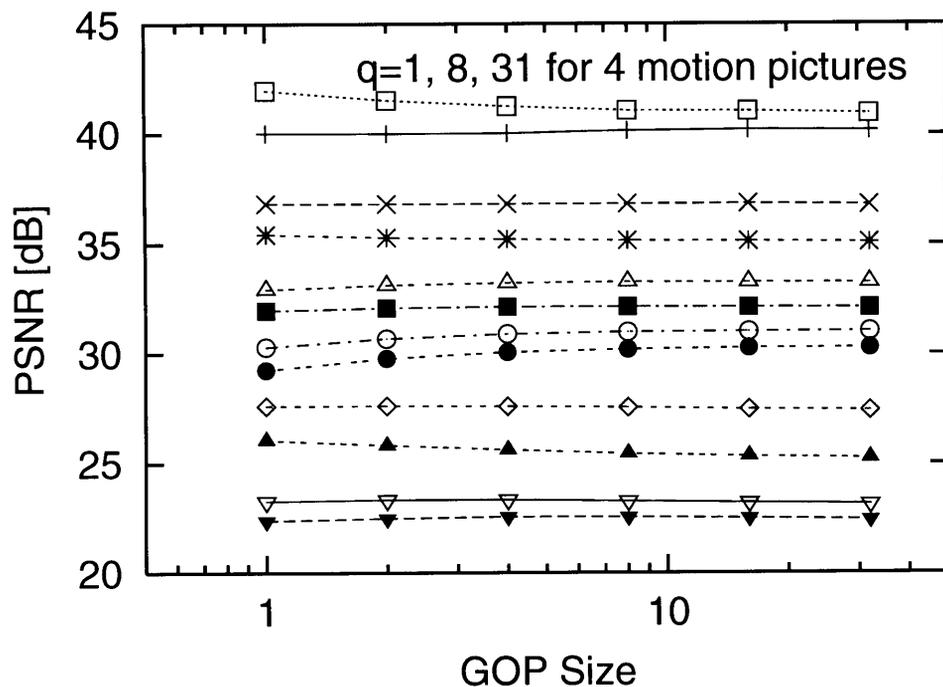


図 5.6 GOP を変化させた際の MPEG 動画の画質 [21]

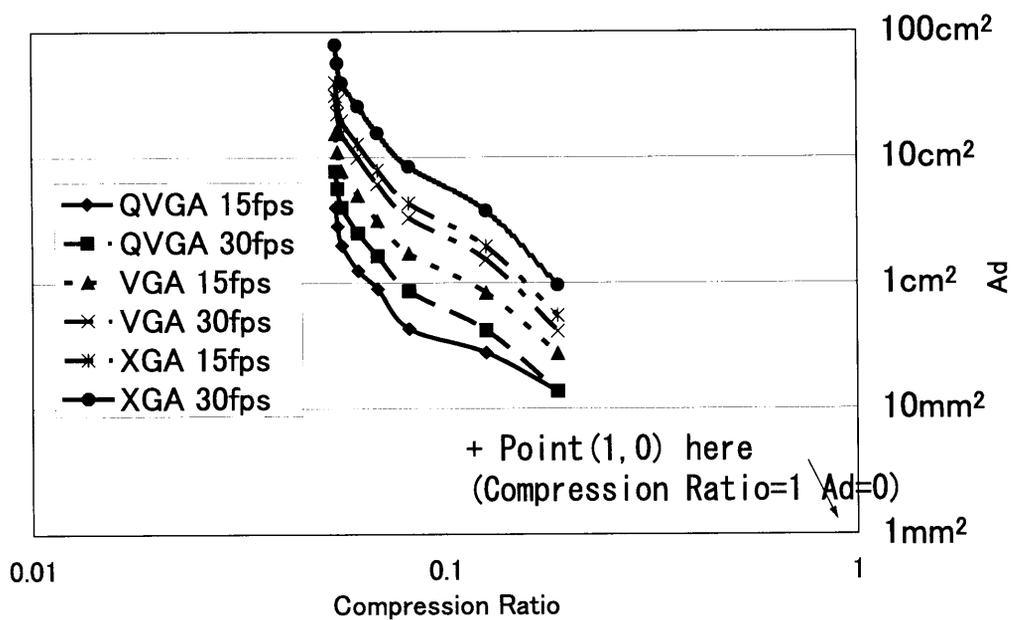


図 5.7 画像圧縮率と画像展開回路面積の関係

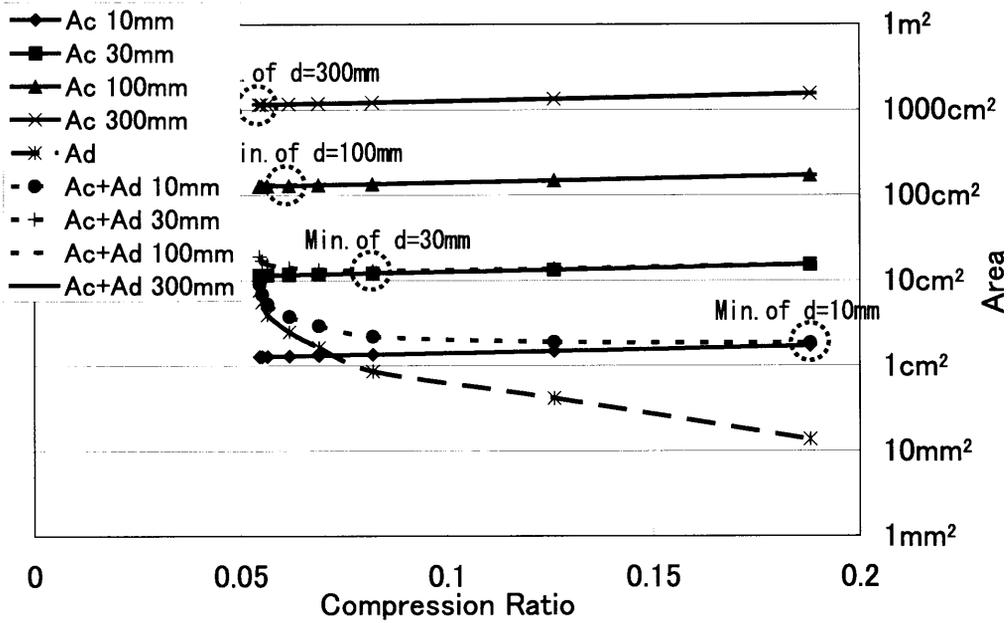


図 5.8 A_C と A_D の最適点の探索

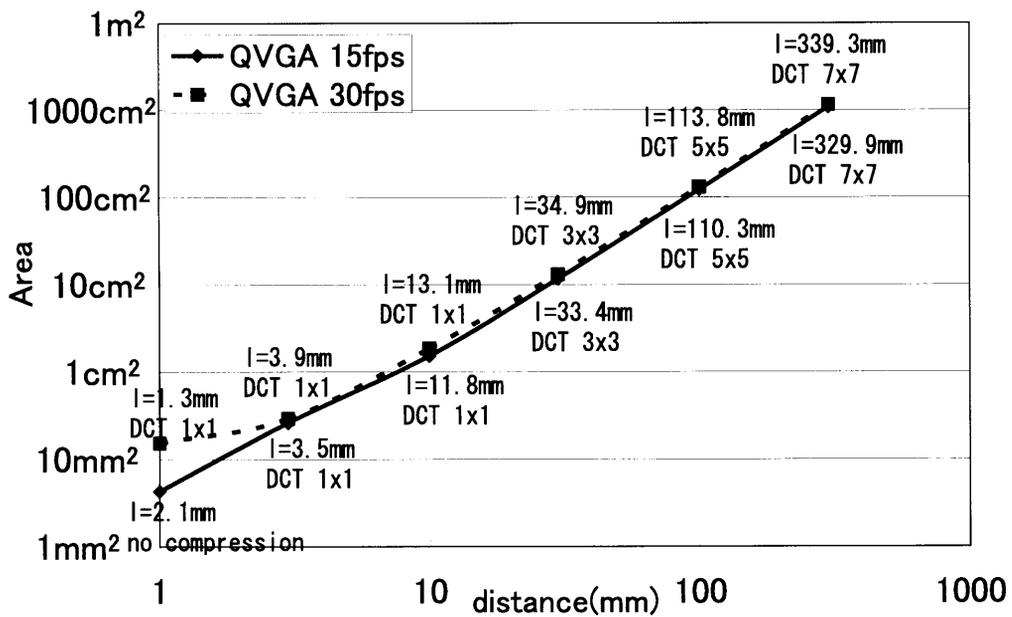


図 5.9 QVGA の仕様に対する伝送距離ごとの最適システム構成

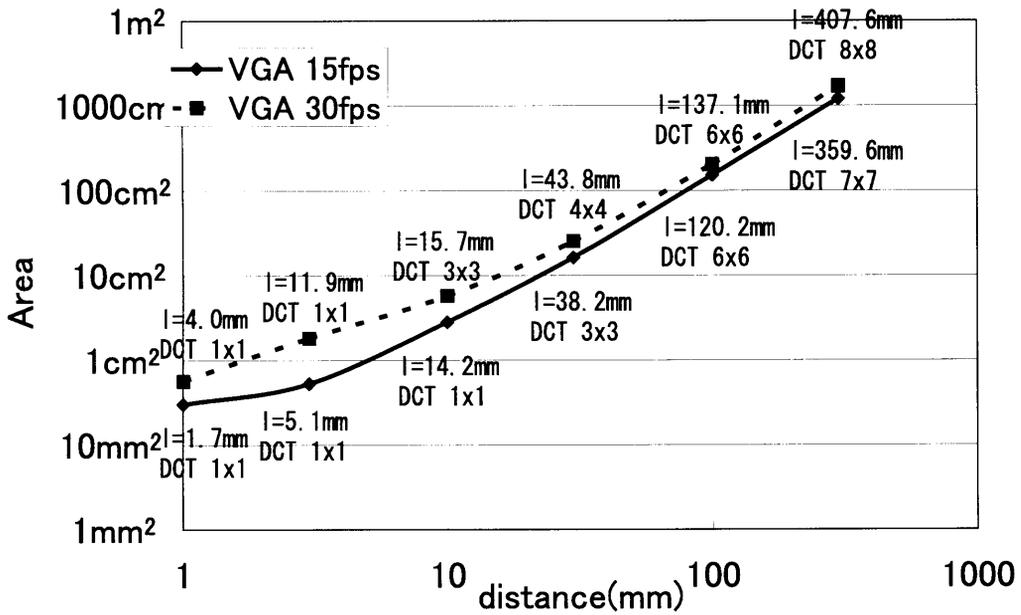


図 5.10 VGA の仕様に対する伝送距離ごとの最適システム構成

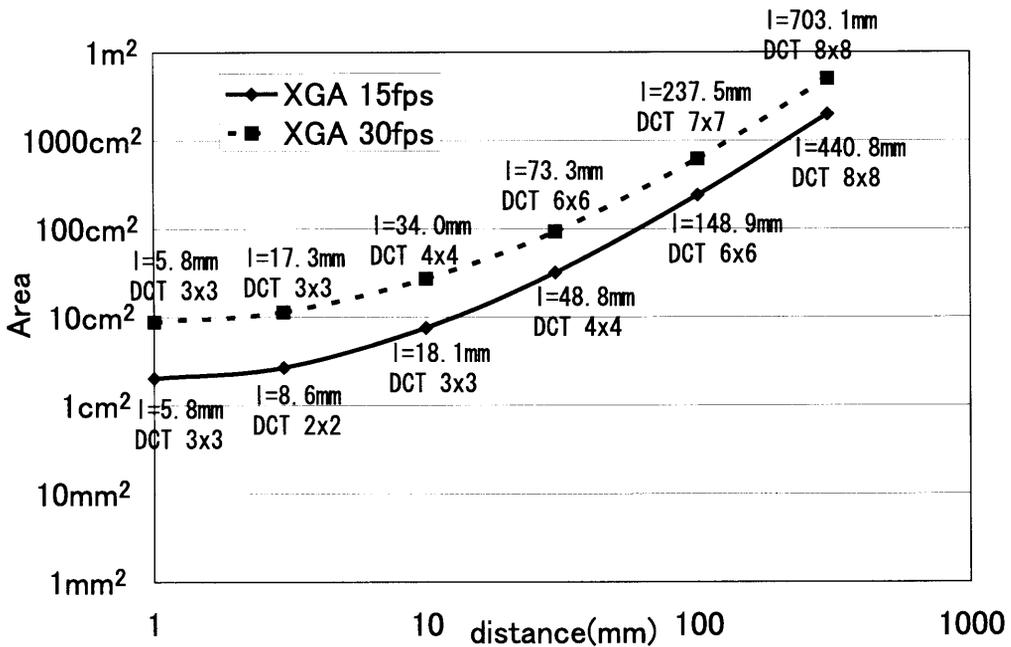


図 5.11 XGA の仕様に対する伝送距離ごとの最適システム構成

第6章

結論

本研究ではガラス基板上に回路を実装するシステムオンパネルの概念を紹介し、その対応アプリケーションとして画像を自由に持ち運べる動画表示システムを設計した。インダクティブカップリングを用いた近距離非接触通信のモデル [21] を元に環境を構築し、実測を行った。その中で、[21] で考察されていなかった自己共振周波数による伝送レートの制限、立ち上がり時間による振幅の減少、アプリケーションを想定したときのコイルの不整合時の伝送レートの変化について考察した。ガラス基板上に TFT プロセスを用いて非接触伝送系と画像展開系の回路を実装することを想定し、非接触動画表示システムの最適化を行った。

その結果以下の結論を得た。

- 素子サイズ $l(mm)$ 、伝送距離 $d(mm)$ 、伝送レート $B(Mbps)$ の関係を

$$B = -61\frac{d}{l} + 57$$

と導いた。

- 角度がずれにより結合定数が変化するが、5%変化する角度は、コイルの直径を l 、伝送距離を d 、角度を θ とすると、おおよそ

$$l \cdot \theta = 30\frac{d}{l} + 12 \quad (6.1)$$

の関係があることを導いた。

- 様々な仕様において、伝送距離に応じた最小ハードウェア面積を求め、VGA のフルカラー動画を 30fps で 10mm 伝送するには $575mm^2$ 、100mm 伝送するには $20350mm^2$ の面積を要するという結果を得た。

RFでの非接触通信では複雑で高性能な回路を必要とする一方、今回モデル化・測定を行ったベースバンドによる非接触通信は、プロセスが大きい TFT プロセスにお

いても十分可能と考えられる。今回は性能モデルやシステム設計において、消費電力などについて扱わなかったが、これを求めることでより詳細なシステム設計が可能となる。

本研究では、近距離非接触通信方式による動画表示システムの最適設計技術を提案した。非接触通信によるシステムは今後様々な分野での発展が期待され、システムオンパネルやシステムオンガラスなどでも同様の通信方式を利用したアプリケーションが検討されており、今回提案した技術は、これらのシステムの最適設計のために有効に利用されると考えられる。

参考文献

- [1] C. Kienmayer, R. Thuringer, M. Tiebout, W. Simburger, and A. L. Scholtz, "An INtegrated 17GHz Front-End for ISM/WLAN Applications in 0.13/*mum* CMOS" *2004 Symposium on VLSI Circuits Dig. of Tech. papers*, pp12-15, 2004.
- [2] Yu Su, Jau-Jr Lin, and Kenneth K O, "A 20GHz CMOS RF Down-Converter with an On-chip Antenna," *IEEE International Solid-State Circuits Conference*, pp270-272, 2005.
- [3] N. Raza, V. Bradshaw, M. Hague, and Microlise Systems Integration Limited, "APPLICATIONS OF RFID TECHNOLOGY, " *IEE*, 1/1-1/5, 1999.
- [4] K. Takaragi, M. Usami, R. Imura, R. Itsuki, and T. satoh, "An Ultra Small Individual Recognition Security Chip," *IEEE Micro*, vol.21, no.6, pp43-49, 2001.
- [5] M. Usami, A. Sato, K. Sameshima, and K. Watanabe, "Powder LSI : An Ultra RF Identification Chip for Individual Recognition Applications," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, pp.398-399, 2003.
- [6] M. Usami, "An Ultra-Small RFID Chip : μ chip," in *Proc. of 2004 IEEE Asia-Pacific Conference on ASICs*, pp2-5, Aug. 2004.
- [7] <http://www.jreast.co.jp/top.html>
- [8] L.A. Glasser, A.C. Malamy, and C.W. Selvidge, "A magnetic power and communication interface for a CMOS integrated circuit," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, vol.24, no.4, pp.1146-1149, Aug. 1989
- [9] D. Friedman, H. Heinrich, and D.W. Duan, "A low-power CMOS integrated circuit for field-powered radio frequency identification tags," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, pp.294-295, Feb. 1997.
- [10] J. Bouvier, Y. Thorigne, S.A. Hassan, M.J. Revillet, and P. Senn, "A smart card CMOS circuit with magnetic power and communications interface," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, pp.296-297, Feb. 1997.
- [11] J. Burns, L. McIlrath, C. Keast, D. P. Vu, K. Warner, and P. Wyatt, "Three-Dimensional Integrated Circuits for Low-Power, High-Bandwidth Systems on a Chip," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, pp.268-269, Feb. 2001.
- [12] D. Mizoguchi, Y. B. Yusof, N. Miura, T. Sakurai, and T. Kuroda, "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Inter-Chip Signaling (IIS)," *IEEE International Solid-State Circuits Conference Dig. of Tech. papers*, pp.142-143, Feb. 2004.
- [13] N. Miura, D. Mizoguchi, Y. B. Yosof, T. Sakurai, and T. Kuroda, "Analysis and Design of Transceiver Circuit and Inductor Layout for Inductive Inter-Chip Wireless Superconnect," *2004 Symposium on VLSI Circuits Dig. of Tech. papers*, pp246-249, 2004.

- [14] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Cross Talk Countermeasures in Inductive Inter-Chip Wireless Superconnect," in *Proc. of the IEEE Custom Integrated Circuit Conference*, pp99-102, Oct. 2004.
- [15] E. Kasper, and G. Reitemann, "Can Silicon-Based Heterodevices Compete with CMOS for System Solutions?," *Electronics customers*, published by Wiley & Sons ,pp125-132, July 1999.
- [16] Akiko Hara, Fumiyo Takeuchi, Michiko Takei, Katsuyuki Suga, Kenichi Yoshino, Mitsuru Chida, Yasuyuki Sano, and Nobuo Sasaki, "Large Grain Poly-Si TFTs by Scanning CW Laser Crystallization," *AM-LCD '02*, pp227-230, 2002.
- [17] Toshiaki Tsuchiya, "Single-Crystalline SOI CMOS Devices as an Ideal High-Quality Poly-Si TFT," *AM-LCD '04*, pp65-68, 2004.
- [18] Dae Hyun Nam, Kyoung Moon Lim, Kyung Eon Lee, Juhn S. Yoo, HoChul Kang, Soek-Woo Lee, Jinmo Yoon, and Chang-Dong Kim, "Effects of Length between Contact to Channel Distance on Mobility of short channel p-Si TFTs," *AM-LCD '04*, pp189-192, 2004.
- [19] SHARP, "液晶ディスプレイの原理と技術," <http://www.sharp.co.jp/products/lcd/tech/index2.html>.
- [20] 田島貴明, "ガラス基板上への実装を考えたJPEG復号回路のブロックサイズ最適化," 卒業論文, 東京大学電子工学科, 2004.
- [21] 小川貴也, "ガラス基板上のTFT回路を用いた動画表示システムの最適設計," 修士論文, 東京大学大学院工学系電子工学専攻, 2004.
- [22] M. Kamon, M. J. Tauk, and J. White, "FASTHENRY: a multipole-accelerated 3-D inductance extraction program" *Microwave Theory and Tech.*, 1994.
- [23] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," The McGraw-Hill Companies, 2001.
- [24] K. S. Krisch, J. D. Bude, and L. Manchanda, "Gate Capacitance Attenuation in MOS Devices with Thin Gate Dielectrics," *IEEE Electron Device Letters*, Vol. 17, No. 11, November 1996.
- [25] 宮地幸祐, "集積回路の配線インダクタンスの解析モデルとその検証," 卒業論文, 東京大学電子工学科, 2003.
- [26] K. L. Gong, and L. A. Rowe, "Parallel MPEG-1 video encoding," *1994 Picture Coding Symposium*, Sacramento, CA, September 1994.
- [27] 名倉徹, "A Study on Power Line Noise Reduction in Large Scale," 博士論文, 東京大学大学院工学系電子工学専攻, 2005.

本研究に関する発表

1. 田島 貴明, 池田 誠, 浅田 邦博. “非接触通信方式のモデル化と実測,” 電子情報通信学会総合大会, A-1-28 2006年3月（発表予定）.

謝辞

本研究を進めるに当たって、池田誠助教授、浅田邦博教授には御多忙にも関わらず、貴重な時間を割いて熱心に御指導頂きました。ここに深く感謝の意を表します。また、研究内容に関して直に丁寧な御指導を頂いた鄭若丹多氏、佐々木昌浩氏、佐々木吉田浩章氏、飯塚哲也氏、谷内出悠介氏には深く感謝の意を表します。また小川貴也氏(東芝セミコンダクター社)にはご多忙の中、卒業後も指導をいただくこともあり、深く感謝致します。他研究室の皆様方にも深く感謝の意を表します。