

第四章 $Ti_{1-x}Zr_xO_2$ 膜を有するペンタセン薄膜トランジスの作製

第一節 はじめに

有機 TFT の特性は、チャンネル層を形成する有機半導体だけでなく、成膜条件、ゲート絶縁膜の種類、電極やゲート絶縁膜の表面処理などの条件によって大きな影響を受ける。有機 TFT の特性を向上させるため、これらの条件の最適化や新規材料の報告も数多くあり、わずかに条件が異なるだけでも有機 TFT の特性が向上することが知られている。本章では有機 TFT の特性向上のため、第三章で説明した $Ti_{1-x}Zr_xO_2$ 膜をゲート絶縁膜として利用し、その優位性を示す。まず、本研究において有機 TFT を作製する際に用いられた材料と、有機 TFT 作製装置の説明、作製プロセス、最後にデバイスとしての電気特性の順に述べる。

第二節 材料の選択

第一項 チャンネル層材料の選択

チャンネル層材料については、移動度の高い有機半導体物質を選択し、なおかつ純度の高い材料を用いることが望ましい。そこで本研究では、有機 TFT のチャンネル層材料として第二章にも言及した低分子系のペンタセン($C_{22}H_{14}$)^[24,25,38,53]を選択した。選択の理由は報告されている有機 TFT の中で移動度が高い、真空蒸着で比較簡単に成膜できる、市販されているため合成する必要がない、ということが挙げられる。また、アントラセン等と比べて蒸気圧が低く、かつ身体への悪影響が少ないという利点もある。ルブレ単結晶^[4]を用いたトランジスタの移動度が $20\text{cm}^2/\text{Vs}$ である報告もあり、もはやペンタセンは最高移動度を誇る材料ではないが本研究でも引き続いてチャンネル材料としてペンタセンを選択した。これは、研究室の今までの蓄積を生かすためと、安易に多数の材料を試すより、一つの材料を深く探ることが全体を知る早道であると考えているからである。

ペンタセンはジベンゾアントラセンの一つである。ジベンゾアントラセンはアントラセンにベンゼン核 2 個がさらに縮合した 5 環式炭化水素の総称である。ペンタセン分子の結晶構造^[39,44]は図 4.1 に示したように三斜晶であり、 $a=0.790\text{nm}$,

$b=0.606\text{nm}$, $c=1.601\text{nm}$, $\alpha=101.9^\circ$, $\beta=112.6^\circ$, $\gamma=85.8^\circ$ の格子定数と角度を持っている。これを単結晶結晶相と呼ぶ。蒸着で薄膜を作製すると同じく三斜晶ではあるが若干格子定数($a=0.741\text{nm}$, $b=0.576\text{nm}$, $c=1.530\text{nm}$)と角度の異なる相である薄膜相が現れる。ペンタセン薄膜トランジスタは c 軸配向した膜の a - b 平面にホールが薄膜相に比べ、単結晶相は平面に対する角度が小さいため、 π 電子のオーバーラップが小さいと考えられる。このため、ペンタセン薄膜トランジスタを作製する際にはなるべく薄膜相のみの結晶を作製することがパフォーマンス向上の一つの指導原理になっている。図 4.2 は蒸着速度 $0.2\text{\AA}/\text{s}$ にし、膜厚 60nm まで成膜したペンタセンの AFM 像である。グレインと呼ばれる分子配列の揃った結晶の島が集まった構造が見える。また、一個のグレインではステップ像に成長していることがわかる。表 4.1 にはペンタセン分子の性質を示した。

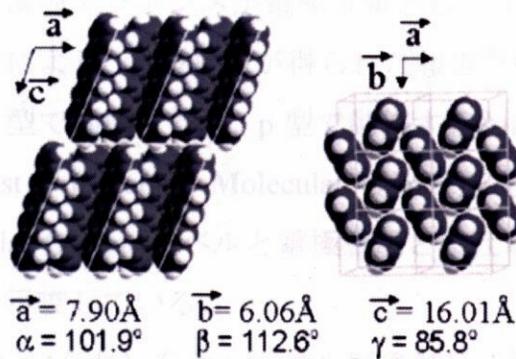


図 4.1 ペンタセンの結晶構造^[44]

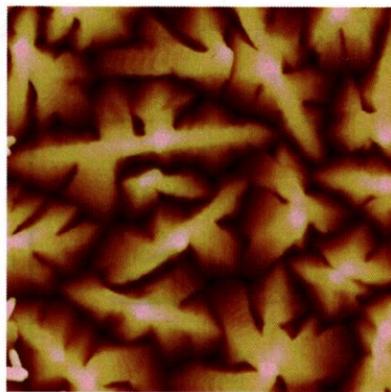


図 4.2 $0.2\text{\AA}/\text{s}$ で 60nm まで成膜したペンタセンの AFM 像

表 4.1 ペンタセン分子の性質

名前	ペンタセン (pentacene)
分子式	$C_{22}H_{14}$
分子量	278.35316
融点	300 °C

第二項 電極材料の選択^[49]

シリコン半導体の場合、チャンネルにドーピングした不純物により p 型、n 型を完全にコントロールすることができる。しかし、有機半導体の場合状況は異なる。といるのも、有機半導体は不純物による意図的なドーピングはしていないため、有機半導体自体は真性半導体であると考えられる。例えば、p 型動作しか報告されていなかったペンタセン薄膜トランジスタが電極金属として仕事関数の浅い Ca をソースドレインに使うことにより、n 型特性が得られた報告^[8]もある。この報告は有機薄膜トランジスタが n 型で動作するか、p 型で動作するかは、有機半導体の最低空 軌道(LUMO : **Lowest Unoccupied Molecular Orbital**)、最高被占軌道(HOMO : **Highest Occupied Molecular Orbital**)レベルと電極金属との仕事関数の相対的な位置関係で決定されることを示唆している。

そこで、有機 TFT にペンタセンをチャンネル層の材料に用いる際、p 型特性をより良く示すためにはペンタセンの HOMO レベルに近い仕事関数を持つ金属を選ぶことが重要である。図 4.3 に示してあるように金がこの条件を満たす材料である。ペンタセンの HOMO レベルと金の仕事関数の間にはポテンシャルバリアがほとんど存在しないため、ホールは容易にチャンネル層へ注入されると考えられる。

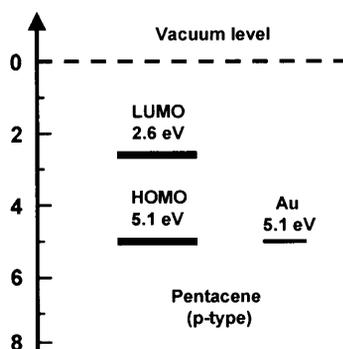


図 4.3 ペンタセンのエネルギーレベルと金の仕事関数

第三節 有機薄膜トランジスタの作製装置

有機 TFT において、有機半導体がペンタセンのような低分子の場合、真空蒸着法を用いる。基本的には、石英などの筒にニクロム線またはタングステン線を巻きつけて坩堝とする。この坩堝中に精製した粉末試料をいれ、金属線に電流を流し、抵抗加熱により試料を蒸発・昇華させる。蒸発源において筒の部分の長さに対して、十分に口径が小さい場合は昇華した分子が坩堝中で飽和状態になってから坩堝口から飛び出すことになる。したがって、加熱によって供給される熱量、すなわち蒸発源の温度によって坩堝から飛び出す分子の数を制御できるようになる。一般に、系の真空度を P (pa) とおき、残留気体を理想気体と仮定すると、平均自由行程 L (m) は、式 4.1 で示される。

$$L = \frac{1}{\sqrt{M \cdot P}} \quad \text{式 4.1}$$

ここで、気体分子の分子量を M としている。分子量が約 278 であるペンタセンの場合は、 10^{-5} Pa の真空中では平均自由行程は、19m にも及ぶことになり、お互いに衝突することなく坩堝から基板まで到達できることになる。この分子線の直進性を生かして μm オーダーの精度でのマスクの微動制御により、ディスプレイの画素 ($100\ \mu\text{m}$ 幅) ごとの色素の真空蒸着が行われている。

以下に基板表面に到達した分子の振舞いについて簡単に触れる。一般に蒸着速度が速い、すなわち単位面積・単位時間あたりに基板表面に到達する分子の数が多くなる(過飽和度が大)と分子と基板表面の相互作用よりも分子同士の自己凝集が優先される結果、非晶質になる傾向がある。一方、蒸着速度が遅い(過飽和度が小)と、基板表面に到達した分子同士が凝縮する前に安定な位置を探して基板表面を拡散することが可能になり、一定の分子配向した薄膜、あるいは結晶性の高い薄膜になる。一方、蒸着速度ばかりではなく、基板温度を制御することで、分子の凝縮・結晶化の制御も可能である。真空蒸着時に基板温度を低く保っていると、飛来した分子が基板表面で急冷・固着され、非晶質になる傾向がある。逆に基板温度が高いと、基板表面での分子の表面拡散を加速し、結晶成長は促進される。

図 4.4 と図 4.5 に当研究室の有機デバイス作製装置 (ULVAC 製、有機 EL 作製装置 SOLCIET) の写真と概要図を示す。もともとは有機 LED 作製の装置であるため、有機 LED を作製する際に、酸素の混入をできるだけ避け、さらには有機層と金属の界面が密着良く作製できるように工夫されている。また、ペンタセン成膜から測定まで一度も大気に曝すことなく測定ができるようになっている。



図 4.4 当研究室の有機デバイス作製装置

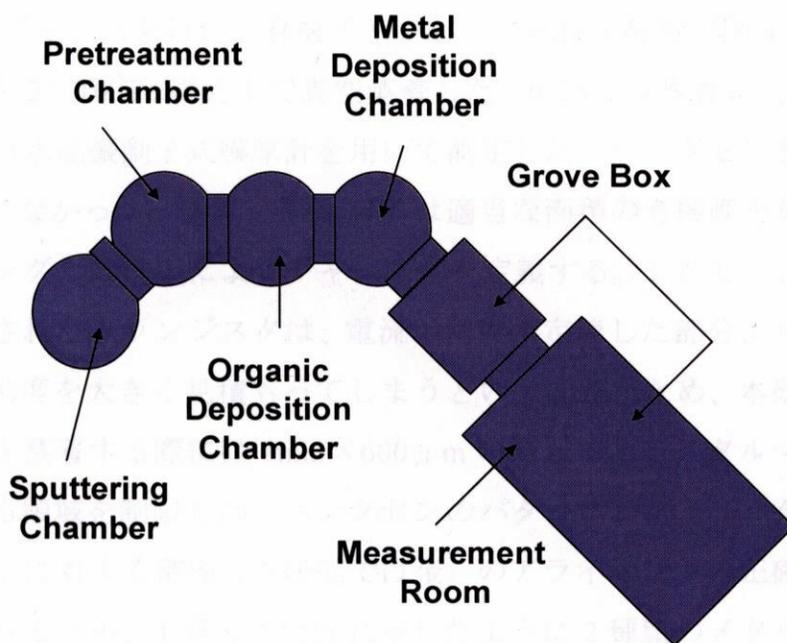


図 4.5 有機デバイス作製装置の概要図

第四節 作製プロセス

ペンタセン TFT には n 型シリコンを基板として使用した。面方位は MOSFET と同様に面密度の最も低い(100)面を用いた。また、n 型シリコンはゲート電極としても働く。まず、基板をスパッタリングホルダーにあわせ 22mm×14mm の大きさに切り取る。次に切り取った基板をアセトンと IPA(イソプロピルアルコール)の順に、両方とも 2 分間 3 回の有機洗浄し、基板表面に付着した有機物の除去を行う。続いて、超純水で 2 分間 3 回の超音波洗浄を行った後、流水で十分に基板を洗い流した。その後、BHF を使用し、基板の表面に堆積されている自然酸化膜を剥離する。洗浄する時間を 1 分間した後、流水を 1 分間洗い流した。最後に窒素ブローすることにより乾燥させる。

基板洗浄の直後、洗浄した基板をスパッタ装置にセットアップする。第三章で説明した $Ti_{1-x}Zr_xO_2$ 膜をスパッタリングにより成膜し、ゲート絶縁膜として利用する。スパッタはアルゴンを 20.0sccm、酸素を 10.0sccm にフローしたアルゴン・酸素の雰囲気中で行った。Ti のスパッタパワーは 300W、 ZrO_2 のスパッタパワーは 100W であった。スパッタリングによる成膜が終わると、基板を 16mm×14mm の大きさと 6mm×14mm の大きさで壁開し、前者はペンタセントランジスタとして後者はキャパシタとして使用する。ペンタセン TFT に用いられる 16mm×14mm 基板は In でボンディングを行い、有機チャンバーに基板を配置 (図 4.4、図 4.5) し、ペンタセンを 2×10^{-5} Pa 圧力下で真空蒸着した。0.2A/s の蒸着レートで 60nm 成膜した。膜厚は水晶振動子式膜厚計を用いて測定した。ペンタセンを成膜する際に基板加熱はしなかった。通常、有機 TFT は適当な面積の有機膜を蒸着し、その上にパターニングした電極によりチャンネルを定義する。しかし、このようなプロセスで作製されたランジスタは、電流が電極で定義した部分よりも広がっているため、移動度を大きく見積もってしまうという問題がため、本研究において、ペンタセンを蒸着する際には 1mm×600 μ m の領域であるメタルマスクを使用し、蒸着される領域を制限した。ペンタセンのパターニングと、パターニングされたペンタセンに対する電極 (本研究では金) のアライメントの正確さが重要であると考えられるため、本研究では図に示したように 2 種類のメタルマスクを用いてペンタセンと金のアライメントを行った。この成膜方法により正確な移動

度の見積もりが可能になったと考えられる。ペンタセン蒸着後、大気には暴露することなしに、窒素雰囲気グローブボックス（図 4.5）に搬送し、電極形成用のメタルマスクに交換する。再び、金属蒸着チャンバーに搬送しソース、ドレイン電極である金をペンタセンとの接着力を高めるため、蒸着レートを徐々に 1.0A/s から 2.0A/s まで徐々に上げ 60nm まで蒸着した。ペンタセンと同様に膜厚は水晶振動子式膜厚計を用いて測定した。次に、測定室に真空を破らず搬送し、ペンタセン成膜から測定まで一度も大気に曝すことなく測定を行った。

図に作製したペンタセン薄膜トランジスタの光学顕微鏡写真を示す。写真でのペンタセン TFT のチャンネル長は $80\mu\text{m}$ 、チャンネル幅は $1000\mu\text{m}$ である。光学顕微鏡でもペンタセンのグレインが見える。

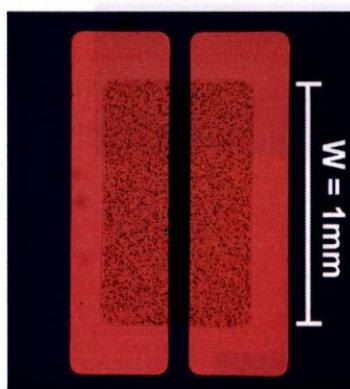


図 4.6 作製したペンタセン TFT の光学顕微鏡写真

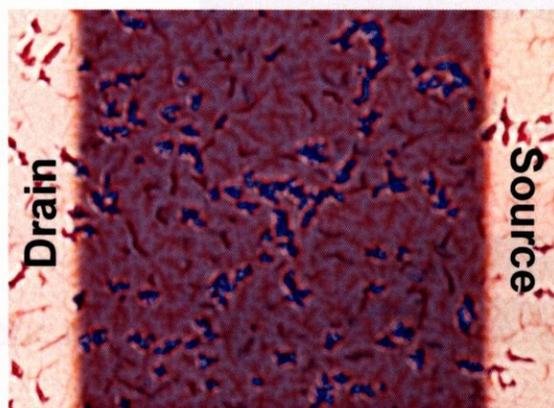
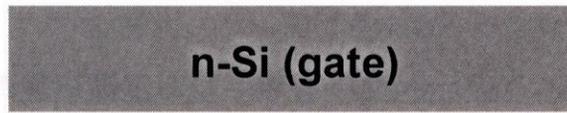
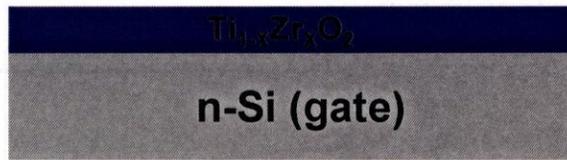


図 4.7 チャンネルの拡大図

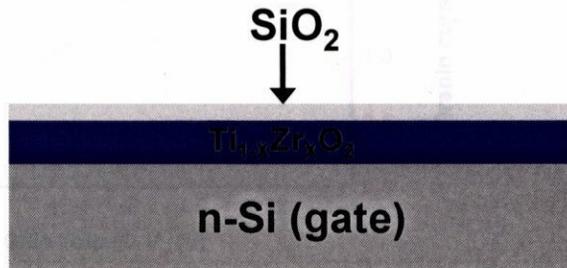
(1) n 型シリコンの壁開



(2) スパッタリングにより
 $Ti_{1-x}Zr_xO_2$ の成膜



(3) スパッタリングにより
 SiO_2 の積層



(4) 有機デバイス作製装置により
ペンタセンの成膜



(5) 有機デバイス作製装置により
電極の貼り付け

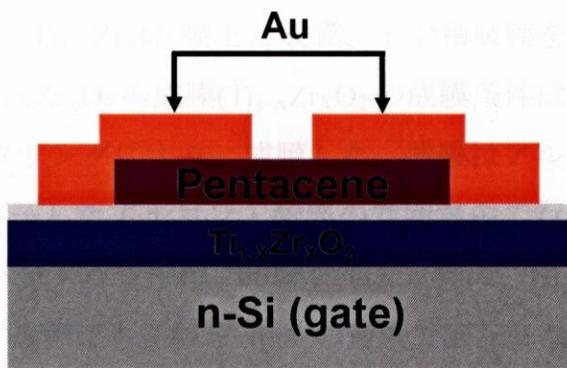


図 4.8 ペンタセン TFF の作製プロセス

第五節 電気測定評価

作製したペンタセン TFT の電流電圧測定には半導体パラメータアナライザ Keithley 4200 を使用した。最初、 $Ti_{1-x}Zr_xO_2$ ゲート絶縁膜上に直接、ペンタセンを蒸着し、トランジスタを作製したところ、図に示したように安定な動作特性が得られなかった。

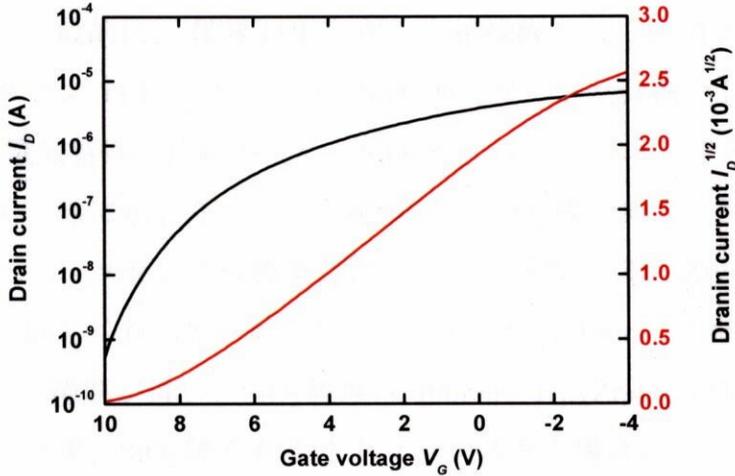


図 4.9 ゲート絶縁膜 $Ti_{1-x}Zr_xO_2$ を有するペンタセン TFT の電流電圧特性

具体的にはドレイン電流 I_D —ゲート電圧 V_G 特性においてゲート電圧を正に大きくしても十分小さい(1nA 以下の)オフ電流が得られず、ゲート電圧の測定開始電圧に依存し、電流—電圧特性の測定結果が変化した。トランジスタを安定動作させるため、(また、第五章で説明する表面処理のため) $Ti_{1-x}Zr_xO_2$ 膜の上下に 2nm 程度の SiO_2 層を積層したが、トランジスタの特性上、 $Ti_{1-x}Zr_xO_2$ 膜上だけに SiO_2 層を積層したものと比べ、その差がなかったため膜上だけに SiO_2 層を積層する方法を採用した。2nm 程度の SiO_2 層を $Ti_{1-x}Zr_xO_2$ 膜上に成膜、その積層膜をゲート絶縁膜として使用した。 SiO_2 膜は $Ti_{1-x}Zr_xO_2$ の成膜($Ti_{1-x}Zr_xO_2$ の成膜条件は上記と同一)が終わったら、すぐ、スパッタリングにより、成膜した。成膜はアルゴンアを 12.0sccm, 酸素を 3.0sccm にフローしたアルゴン・酸素の雰囲気中で行った。スパッタターゲットは SiO_2 で、スパッタパワーは 100W にした。特に、 $Ti_{1-x}Zr_xO_2$ 膜の作製と同じく、 SiO_2 膜を作製する際にも基板を rpm の速度で回転しながら 3 分間、成膜を行った。 $Ti_{1-x}Zr_xO_2/SiO_2$ 膜の作製後、キャパシタンスの測定のより、 SiO_2 膜厚は 2nm-3nm であることが確認された。

$Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜として使用したペンタセン TFT の電流電圧特性を図 4.10、図 4.11 に示す。測定は窒素雰囲気中のグローブボックス中、室温で行った。 $Ti_{1-x}Zr_xO_2$ 膜の代わりに、 $Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜として使用することによってペンタセン TFT の安定動作が確認できた。具体的にドレイン電流 I_D - ゲート電圧 V_G 特性において十分なオフ電流が得られ、ゲート電圧 V_G に依存しなかった。また、一般的に、有機 TFT のゲート絶縁膜として使用されている SiO_2 膜を有するペンタセン TFT と $Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜として使用したペンタセン TFT の電気特性の比較のため、 SiO_2 膜のみのトランジスタを作製し、その電流電圧特性も一緒に示した。ゲート絶縁膜が SiO_2 膜であるトランジスタの場合も、基板洗浄とペンタセンの成膜条件はゲート絶縁膜が $Ti_{1-x}Zr_xO_2/SiO_2$ 膜であるトランジスタと同じく行った。両方ともチャンネル長は $40\mu m$ 、チャンネル幅は $1mm$ であった。ただし、膜厚が違い、 SiO_2 膜厚は $300nm$ 、 $Ti_{1-x}Zr_xO_2/SiO_2$ 膜厚は $100nm$ であった。測定の結果、 SiO_2 膜を有するトランジスタの場合に比べ、 $Ti_{1-x}Zr_xO_2$ 膜をゲート絶縁膜として用いた場合の方が全てにおいて良い特性が得られた。 $Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜として用いたペンタセン TFT の主な特性は電界効果移動度 $0.22cm^2/Vs$ 、しきい値電圧 $-2.2V$ 、オン/オフ比 10^6 、サブスレショルド・スイング $1.00V/decade$ であり、高誘電率絶縁膜が有機 TFT の特性において有効であることを示せた。

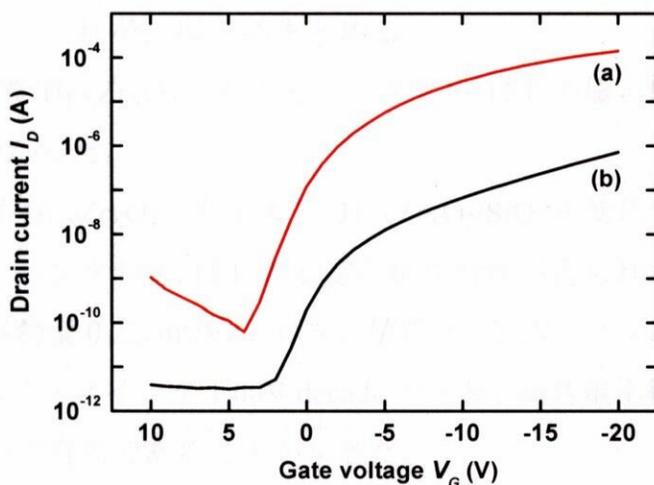


図 4.10 ゲート絶縁膜 $Ti_{1-x}Zr_xO_2/SiO_2$ を有するペンタセン TFT(a)とゲート絶縁膜 SiO_2 を有するペンタセン TFT(b)の電流電圧特性

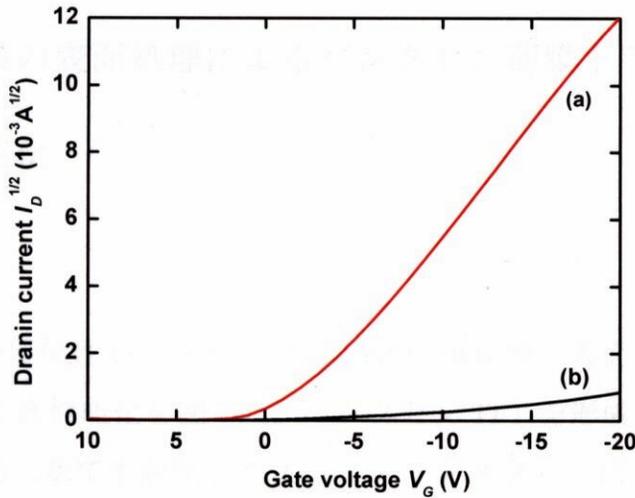


図 4.10 ゲート絶縁膜 $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2/\text{SiO}_2$ を有するペンタセン TFT(a)とゲート絶縁膜 SiO_2 を有するペンタセン TFT(b)の電流電圧特性

表 4.2 図 4.10、図 4.11 における特性比較

	μ (cm^2/Vs)	on/off ratio	V_{th} (V)	S (V/decade)
(a)	0.22	106	-2.2	1.00
(b)	0.02	105	-10.4	1.15

第六節 まとめ

本章では、 $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ 膜をペンタセンTFTのゲート絶縁膜に使用し、その電気特性の評価を行った。これを、以下にまとめる

- (1) ゲート絶縁膜 $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ を有するペンタセン TFT の場合は安定な動作特性が得られなかった。
- (2) (1)の問題は $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ の代わりに $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2/\text{SiO}_2$ を使用することにより、解決でき、ペンタセン TFT の安定な動作特性が得られた。主な特性は、電界効果移動度 $0.22\text{cm}^2/\text{Vs}$ 、しきい値電圧 -2.2V 、オン/オフ比 10^6 サブスレシヨルド・スイング 1.00V/decade であり、高誘電率絶縁膜が有機 TFT の特性において有効であることが示せた。

第五章 絶縁膜の表面処理によるペンタセン薄膜トランジスタの

高性能化

第一節 はじめに

本章では、その優位性が示された $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2/\text{SiO}_2$ 膜に表面処理を行い、ペンタセン TFT の更なる高性能化を図った。ペンタセン TFT を形成する薄膜内でのキャリアの移動は、第二章でも説明したように π - π スタックにより弱く結合した分子間のホッピング伝導に支配されるため、分子の配向状態が異なったグレインの境界は、キャリアトラップの原因となる。そのため、ペンタセン TFT の性能向上には、ペンタセン薄膜の結晶性の向上、特に大きなグレインの形成が非常に重要な課題であり、高移動度化への指針の一つとされている。真空蒸着により、基板上に大きなグレインを成長させるためには、基板の表面エネルギー（濡れ性）、基板温度、基板付近での有機分子の飽和度（蒸着速度）などを制御し最適化する必要がある^[6]。一般に薄膜成長過程における基板上の分子に拡散は式 5.1 で表される。

$$\tau_d = \tau_0 \exp\left(\frac{E_b}{kT}\right) \quad \text{式 5.1}$$

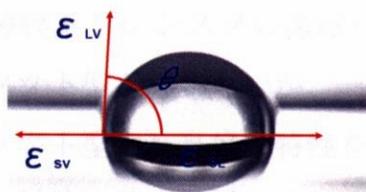
式 5.1 により、 E_b が小さい方が、 τ_d が小さい、すなわち吸着サイトでの滞在時間が短くなる。従って、有機半導体層のグレイン成長は、式 5.1 の薄膜成長における拡散モデルに従うとすれば、基板の表面エネルギーが小さいほど大きなグレインが得られることになる。その理由で、本章では表面エネルギーがペンタセン結晶成長に非常に重要な影響を与えると考え、その効果について検討した。

第二節 化学的基板処理

第一項 表面エネルギーと接触角の関係^[43,47]

本研究では水滴の接触角を測ること（接触測定器は製）により、定性的に表面エネルギーを求める方法を使った。まず、表面エネルギーと接触角の関係について説明する。水滴を平滑な固体表面上に置いたとき、図に示すように、水滴の接

接触角 θ は、水と固体（本研究では絶縁膜）の間の界面表面エネルギー γ_{SL} 、空気と水の間の界面エネルギー（すなわち水の表面エネルギー） γ_{LV} 、空気と固体の間の界面エネルギー（すなわち固体の表面エネルギー） γ_{SV} に関係しており、ヤングの式と呼ばれる次式が成り立つ。



$$\gamma_{SV} = \gamma_{SL} + \gamma_{LV} \cos \theta \quad \text{式 5.2}$$

図 5.1 表面エネルギーと接触角の関係

式により、水の表面エネルギーを一定とすると、固体の表面エネルギーが小さくなるほど、接触角は大きくなることがわかる。このため、表面エネルギーの小さな材料ほど、接触角が大きくなり、撥水性（水滴接触角 $> 80^\circ$ ）が向上する。表面での CF_3 や CH_3 其の存在が表面エネルギーの低下に寄与している。そのため、表面処理により、これらの官能基を表面に配置することで、接触角を大きくすることができる。また、逆に、表面エネルギーを大きくすることにより、接触角は低下し、親水性（水滴接触角 $< 10^\circ$ ）が向上する。このための官能基としては、OH 基が知られている。このため、表面官能基を制御した薄膜で被覆することにより、基板の接触角（表面エネルギー）を制御することができる。

第二項 絶縁膜の表面処理

絶縁膜の表面処理剤^[18,20,41,42]として、オクタデシルトリクロロシラン ($\text{CH}_3(\text{CH}_2)_{17}\text{SiCl}_3$:OTS)^[40]、ヘキサメチルジジラザン($(\text{CH}_3)_3\text{SiNH}(\text{CH}_3)_3$:HMDS)^[40,42]、フッ素置換オクタトリクロロシラン($\text{CF}_3(\text{CF}_2)_7\text{SiCl}_3$:PFOTS)、 β -フェネチルトリクロロシラン($\text{C}_6\text{H}_5(\text{CH}_2)_2\text{SiCl}_3$: β -Phe)、 γ -アミノプロピルトリエトキシシラン ($\text{NH}_2(\text{CH}_2)_3\text{Si}(\text{OC}_2\text{H}_5)_3$:APTES)などが使用されている。OTS、HMDS は一般によく知られた末端がメチル基の表面処理剤である。PFOTS は、アルキル其の水素を全てフッ素置換した処理剤であり、非常に小さな表面エネルギーが期待される。さ

らに、末端にフェニル基を持つ β -Phe は縮合環でできているペンタセンとの親和性が期待できる。最後に、APTES は末端にアミノ基、つまり不対電子を有し、大きな表面エネルギーが期待される。

第三項 電極の表面処理

有機薄膜トランジスタの微細化まで考慮するとボトムコンタクト型よりトップコンタクト型が望ましいが、一般的にトップコンタクト型の特性のほうがボトムコンタクト型より良好な特性を示す。その理由は、第一章で説明したようにコンタクト抵抗の差に起因している。これを防ぐために、自己組織単分子膜(SAMs)を電極上に処理する方法が報告されている。自己組織単分子膜を電極上に付けることにより、電極近傍のグレインサイズが増大し、コンタクト抵抗が小さくなるのである。また、自己組織単分子膜は界面の結晶性を向上させるだけでなく、電極からの注入効率やチャンネル部分に用いることでしきい値の制御が可能となるなどの報告もある。電極の表面処理^[36]の代表的な材料として、hexadecanethiol (HDT), 2-mercaptobenzimidazole (MB), 2-mercapto-5-methylbenzimidazole (MMB), 2-mercapto-5-nitrobenzimidazole (MNB), nitrobenzenethiol (NBT) などがある。

第三節 HMDS による表面処理

本研究では主にトップコンタクト型ペンタセン薄膜トランジスタを作製するため、ゲート絶縁層の表面処理のみを行った。ゲート絶縁層の表面処理材料としては比較的の表面処理方法が簡単であるヘキサメチルジジラザン(HMDS)^[40,42,46]を選択した。HMDS は末端がメチル基であり、このメチル基の存在が表面エネルギーの低下に寄与すると知られている。この官能基をゲート絶縁膜の表面に配置することで、接触角を大きくする（疎水性、表面エネルギーを小さくする）ことができる。ペンタセン薄膜の場合、疎水性であることが知られており、表面処理によってペンタセン薄膜の結晶性の向上をもたらすと考え、本研究では HMDS を用い、表面処理の効果を検証することとした。

HMDSの反応

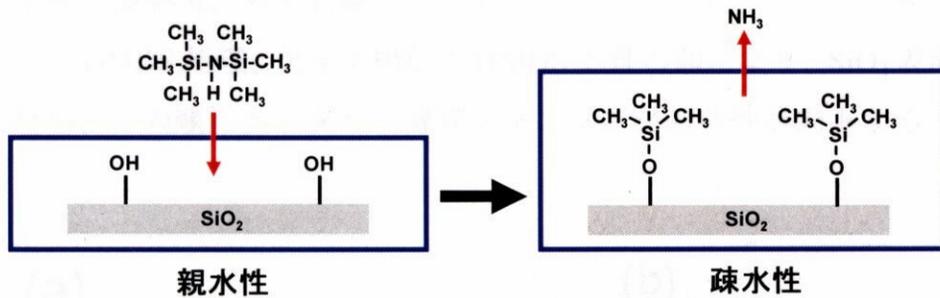


図 5.2 HMDS の反応

第一項 表面処理方法

RF スパッタリングにより、成膜した（基板洗浄、スパッタリング条件は第四章で説明したのと同じ） $\text{Ti}_{0.76}\text{Zr}_{0.24}\text{O}_2/\text{SiO}_2$ 膜を用意する。スパッタリング直後、 SiO_2 表面は、水に対する接触角は 5° 程度で、親水性である。また、大気中で保持することにより徐々に親水性が弱まることがわかった。まず、HMDS 表面処理を行う前に SiO_2 表面を活性化させるため、オゾンアッシングを行った。オゾンアッシングする際、基板加熱温度を 50°C にし、時間は 5 分間にした。その後、 $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2/\text{SiO}_2$ 膜表面を疎水性表面にするため、HMDS 表面処理を行った。本研究では HMDS 表面処理方法を二つの方法に分けて行い、方法によるペンタセン薄膜トランジスタの特性変化も調べた。

一つ目は、一般的な方法として使用されているスピナ（ミカサ製 spinner1H-DS2）を用い、HMDS 処理を行った。HMDS を容器から出すにはスポイドを用いたので、HMDS の量については滴数で数えることにした。基板に 5 滴を垂らす。まず、スピナを 500rpm で 10 秒間、そして 4000rpm で 40 秒間回転させ、HMDS の塗布を完了した。その後、ベークは基板を 120°C のオーブン中に入れ、10 分間行った。

二つ目は、スピナを用い、HMDS を基板に塗布することではなく、HMDS を加熱させ、基板に付着させる化学的蒸着法であった。

それぞれの表面処理法に対する接触角測定も行った。図に示したようにオゾンアッシング後は 5° 以下、スピンコートで HMDS 処理後は 化学気相法で HMDS 処理後は 90° 以上の値が得られた。これは非常に興味深い結果であり、同じ表面

処理剤で表面処理を行っても、その仕方によって絶縁膜質が変わることを示唆している。単純に接触角ための判断だと、未処理、オゾンアッシングのみ、スピノコチングで HMDS 処理、化学気相法で HMDS 処理の順により、SiO₂ 表面が疎水性になるため、この順にペンタセン薄膜トランジスタの特性が向上すると予測できる。

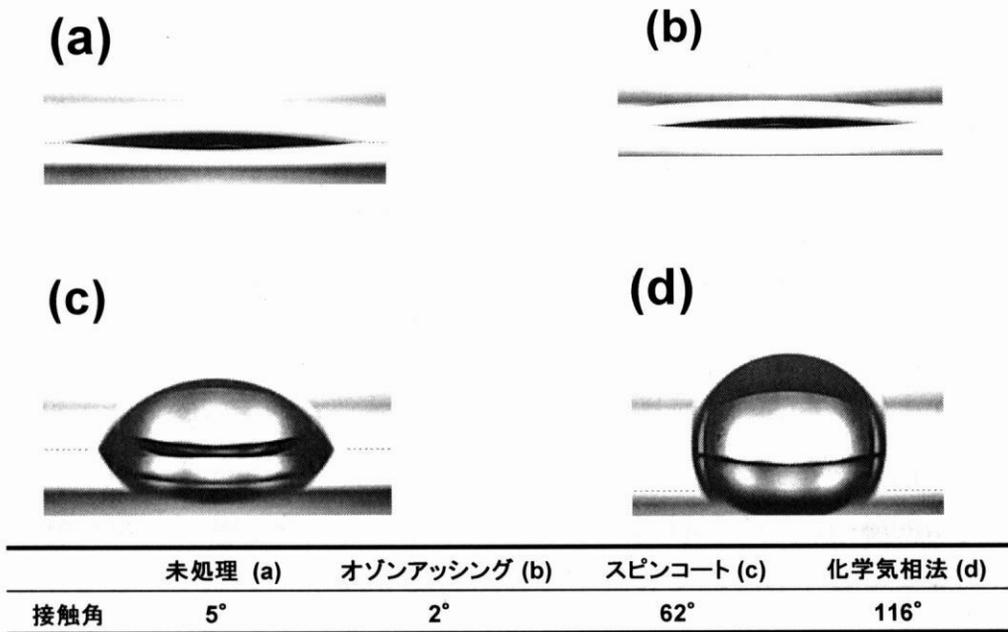


図 5.3 HMDS による表面処理後、接触角の変化

第二項 ペンタセン薄膜トランジスタの表面処理方法依存性

図 5.4、図 5.5 に未処理、オゾンアッシング、スピノコート、化学気相法により、HMDS 表面処理したペンタセン TFT の特性比較を示す。

以下、ペンタセン TFT の作製について説明する。HMDS 表面処理を行った基板（基板は未処理、オゾンアッシング、スピノコート、化学気相法の四つ）を第四章での説明と同様に 16mm×14mm の大きさと 6mm×14mm の大きさで割り、前者はペンタセン薄膜トランジスタ用として後者はキャパシタ用として使用する。ペンタセントランジスタに用いられる 16mm×14mm 基板は In でボンディングを行い、有機チャンバーに配置し、 2×10^{-5} Pa まで排気した。ペンタセンの蒸着条件は膜厚 60nm、基板温度 70°C、蒸着レート 0.05A/s–0.2A/s であった^[23]。詳しく

は、膜厚 18nm までは 0.05A/s その後、2.0A/s まで徐々に蒸着レートを早めた。蒸着レートが遅い場合、ペンタセンのグレインサイズが大きくなり、移動度が増加するが蒸着時間の節約のため途中で蒸着レートを変える手法を採った。ペンタセン蒸着後、大気に曝すことなく、窒素雰囲気グローボックスに搬送し、電極形成用のマスクに交換した。その後、金属蒸着チャンバーに再び搬送しソース、ドレイン電極である金をペンタセンとの接着力を高めるために 1.0A/s–2.0A/s のレートで 60nm 蒸着した。ペンタセンと金の膜厚は水晶振動子式膜厚計を用いて測定した。次に、測定室に搬送し、測定を行った。以下で結果を示すトランジスタのチャンネル長は 100 μ m、チャンネル幅はペンタセン薄膜の幅であり 1mm であった。

ペンタセン薄膜トランジスタの特性評価を行ったところ、ゲート電圧 V_G に対しドレイン電流値 I_D の上昇が見られる。また、電流-電圧特性で電流の急峻な立ち上がり領域から求められるサブスレッショルドスロープは減少し、ゲート電圧の変調がより効率的に効いていることを示している。電界効果移動度 (μ) も 0.20cm²/Vs から 1.06cm²/Vs へと向上を示した。移動度を算出するために求めた $(I_D)^{1/2}$ - V_G プロットでも高いゲート電圧域からしきい値電圧 (V_{th}) 付近まで広い範囲にわたって直線近似できる。これは、 I_D - V_G 特性の立ち上がりと合わせて考えると、ゲート電圧の増加と共に電界ドーピングされたキャリアは、チャンネル形成だけではなくトラップを埋めるためにも使われるため、トラップの多い未処理基板ではドレイン電流の立ち上がりが鋭くなり直線近似できる幅が狭くなると考えられる。つまり、HMDS の処理によってペンタセン層とゲート絶縁層界面のトラップ密度が減少したと推測できる。また、電流特性は HMDS 処理でもその処理方法に大きく依存することがわかった。同じ HMDS で表面処理を行ってもスピコート法での処理より、化学気相での処理の方が良い特性が得られた。その差の原因がゲート絶縁膜とペンタセンの膜質にあると考え、原子間力顕微鏡 (AFM) と走査型電子顕微鏡 (SEM) を使い、調べることにした。

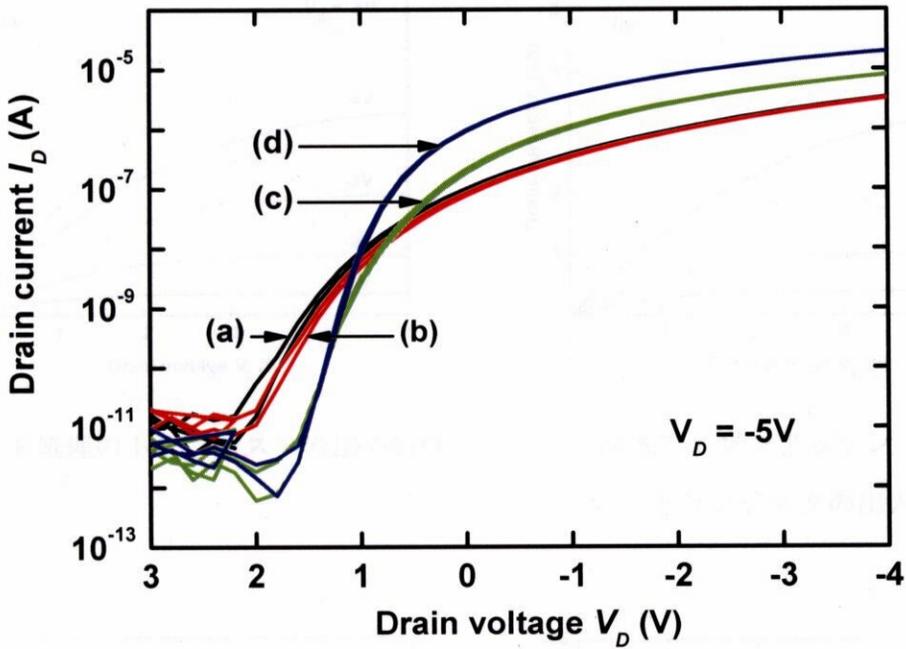


図 5.4 未処理、オゾンアッシング、スピンコート、化学気相法による HMDS 表面処理後のトランジスタの伝達特性

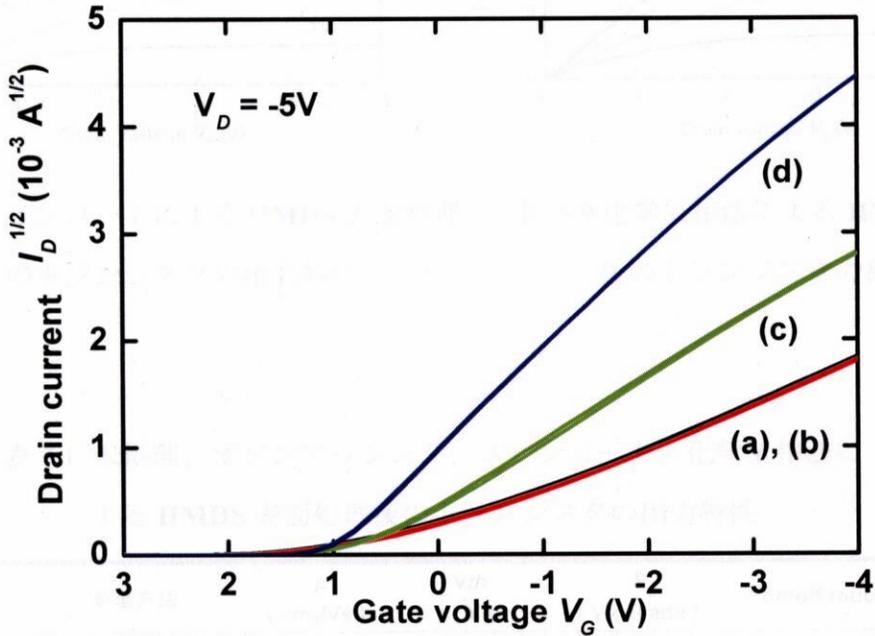


図 5.5 未処理、オゾンアッシング、スピンコート、化学気相法による HMDS 表面処理後のトランジスタの伝達特性

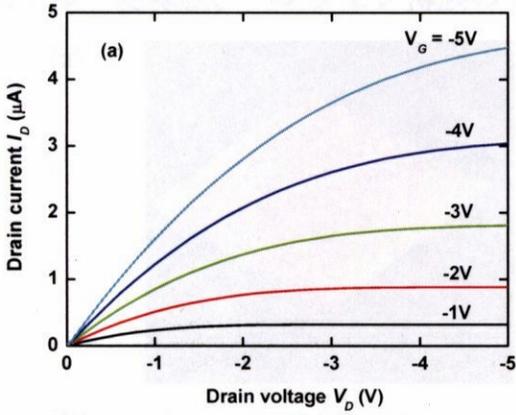


図 5.6 未処理のトランジスタの出力特性

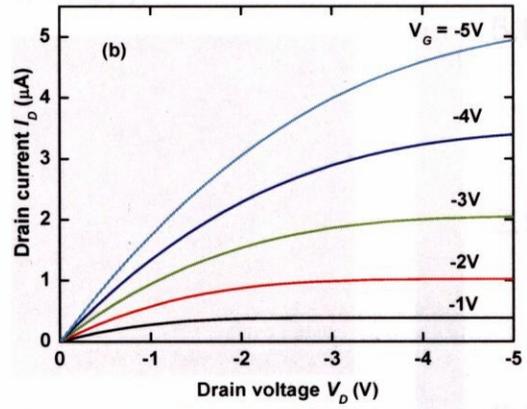


図 5.7 オゾンアッシング後のトランジスタの出力特性

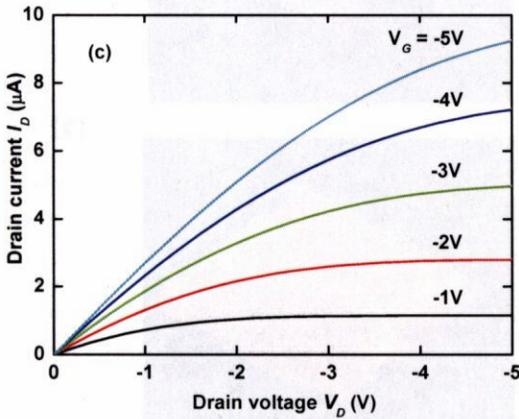


図 5.8 スピンコートによる HMDS 表面処理後のトランジスタの出力特性

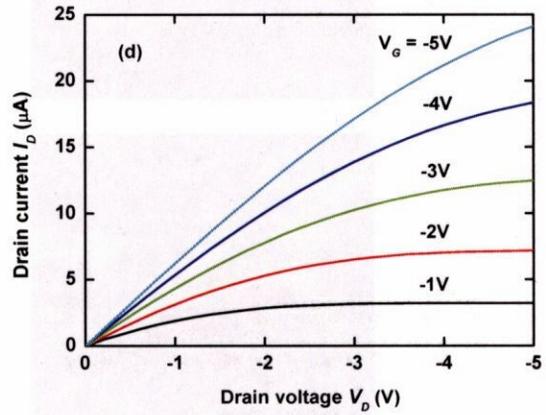


図 5.9 化学気相法による HMDS 表面処理後のトランジスタの出力特性

表 5.1 未処理、オゾンアッシング、スピンコート、化学気相法による HMDS 表面処理後のトランジスタの出力特性

処理方法	μ (cm^2/Vs)	V_{th} (V)	S (V/decade)	on/off ratio
(a) 未処理	0.20	0.7	0.29	10^6
(b) オゾンアッシング	0.20	0.6	0.33	10^6
(c) スピンコート	0.43	0.7	0.17	10^7
(d) 化学気相法	1.06	1.1	0.15	10^7