

第六章 フレキシブル基板への展開

第一節 はじめに

有機半導体デバイスシリはコンなどの無機半導体デバイスに比べ、機械的に曲げられるという大きな特徴を持っている。有機半導体デバイスの中、有機 TFT は有機半導体の特徴上、移動度が低いので既存のシリコン中心とした無機物を利用した早い速度が要求される所での応用は適合でない。そのため、既存の無機半導体では作成のできない電子デバイスを創出するためには有機物質ならではの柔軟性を生かすのは重要である。本章では、第三章で優位性が確認された $Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜に、第五章でその効果が検証された化学気相法による HMD 表面処理を施し、高性能フレキシブルペンタセン TFT を作製することにした。まず、第二節では本研究で使用したフレキシブル基板、第三節では作製プロセス、最後にデバイスとしての電気特性評価の順に説明する。

第二節 フレキシブル基板

プラスチック・エレクトロニクス概念は、とくにプリント法による有機回路とフレキシブルな有機 EL や有機 TFT において注目されている。フレキシブル基板としての要求される特性は、優れたバリア性、寸法安定性、低温湿性、良好な用媒耐性、高い透明性、そして優れた表面平坦性であり、これらがプラスチック・エレクトロニクスの開発のキーポイントである。このような条件をある程度満足している材料としてポリエチレンナフタレート(PET)、ポリエチレンテレフタレート(PET)、ポリカーボネート(PC)、ポリエーテルサルフォン(PES)^[41]、ポリイミドなどがある。特に、ポリエチレンナフタレート^[7,14,24,31] (PEN : polyethylene naphthalte) フィルムは、多くの新しい用途に使用され始め、フレキシブル基板材料として主要なもののみになっている。本研究では PEN フィルムをペンタセン TFT の基板として使用することにした。図 6.1 に PEN の化学構造式を示す。実際にトランジスタ作製の際には PEN フィルム上に透明電極として広く使われている ITO (Indium Tin Oxide)が成膜されているものを使用した。この ITO はトランジスタのゲート電極

として働く。図 6.2 は PEN 表面、図 6.3 は PEN 上の ITO 表面の AFM 像である。それぞれの rms は 7.13、2.04 であった。

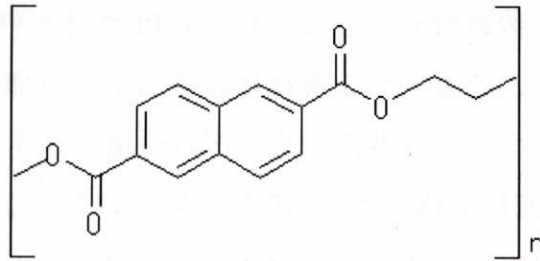


図 6.1 PEN の化学構造式

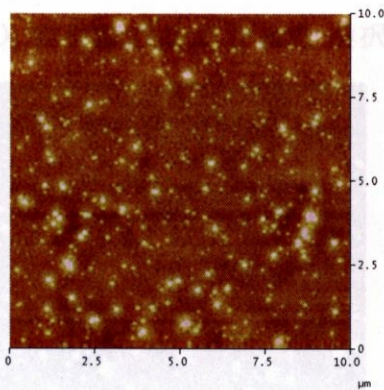


図 6.2 PEN 表面の AFM 像

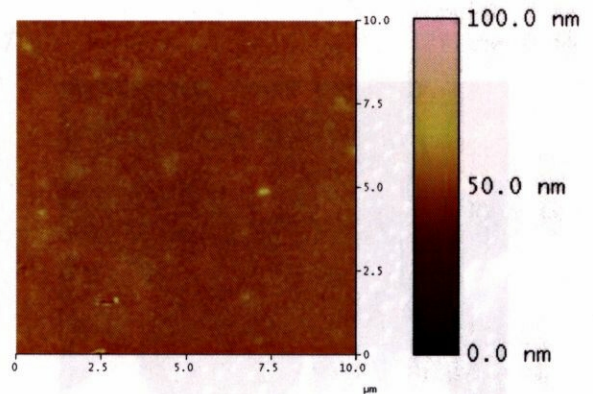


図 6.3 ITO 表面の AFM 像

第三節 作製プロセス

図 6.1 に作製したトランジスタ構造を示す。以下、ペンタセン TFT の作製について説明する。まず、トランジスタの基板となる PEN フィルムをスパッタリングホルダーにあわせ 22mm×14mm の大きさに切り取る。次に切り取った基板を PEN フィルムをアセトンと IPA(イソプロピルアルコール)の順に、両方とも 5 分間 2 回の有機洗浄し、基板表面に付着した有機物の除去を行う。続いて、超純水で 5 分間 2 回の超音波洗浄を行った後、流水で十分に基板を洗い流した。最後に窒素ブローすることにより基板表面を乾燥させる。続いて、スパッタリングする際に基板が微動しないため、シリコンジェルを用いて PEN フィルムをシリコンに固定する。固定した直後、基板をスパッタ装置にセットアップする。Ti_{1-x}Zr_xO₂/SiO₂ 膜をスパッタリングにより成膜した。スパッタリングはアルゴンを 10.0sccm、酸

素を 3.0sccm にフローしたアルゴン・酸素の雰囲気中で行った。Ti のスパッタパワーは 400W、 ZrO_2 のスパッタパワーは可変であった。スパッタリング後、 $Ti_{1-x}Zr_xO_2/SiO_2$ 膜が成膜された PEN フィルムを光学顕微鏡で観察した結果、図 6.4 表面上に無数の円状の膨らんでいるものが見えた。さらにその基板を加熱すると図 6.5 のように円状のものが剥がれることから膨らんでいるものの中には気体が入っていると推定できる。この現象は Ti または Zr が ITO と反応し、気体を発生するためだと考えられる。そこで、ITO と $Ti_{1-x}Zr_xO_2/SiO_2$ 膜との直接的な接触を避けるため、ITO 上に 20nm の SiO_2 膜をスパッタリングにより成膜し、続いて $Ti_{1-x}Zr_xO_2/SiO_2$ 膜を成膜する手法を選択した。

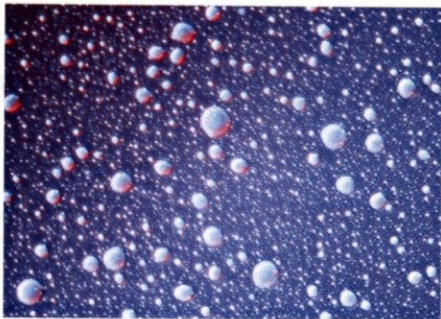


図 6.4 $Ti_{1-x}Zr_xO_2/SiO_2$ 成膜後の PEN

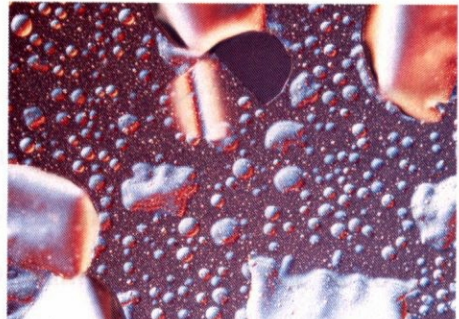


図 6.5 図 6.4 の加熱後の様子

まず、上下の SiO_2 、 $Ti_{1-x}Zr_xO_2$ のスパッタリングは基板を rpm の速度で回転させながら、アルゴン 10.0sccm、酸素 3.0sccm にフローしたアルゴン・酸素の雰囲気中で行った。ただし基板の冷却はせずに室温でスパッタリングを行った。 $SiO_2/Ti_{1-x}Zr_xO_2/SiO_2$ 膜の成膜後、化学気相法による HMD 表面処理を施し、有機チャンバーに配置した。真空度を $2 \times 10^{-5} Pa$ まで下げた後、ペンタセンを蒸着した。ペンタセンの蒸着条件は膜厚 60nm、蒸着レート 0.2A/s であった。基板加熱はしなかった。ペンタセン蒸着後、大気に曝すことなく、窒素雰囲気のグローボックスに搬送し、電極形成用のマスクに交換した。2.0A/s のレートで 60nm 蒸着した。ペンタセンと金の膜厚は水晶振動子式膜厚計を用いて測定した。次に、測定室に搬送し、測定を行った。以下、結果を示すトランジスタのチャンネル長は $100 \mu m$ 、チャンネル幅はペンタセン薄膜の幅であり 1mm である。フレキシブルペンタセン TFT のデバイス構造を図 6.6 に示す。 $SiO_2/Ti_{1-x}Zr_xO_2/SiO_2$ 膜をゲート絶縁膜に使用した結果、定常動作が確認できた。

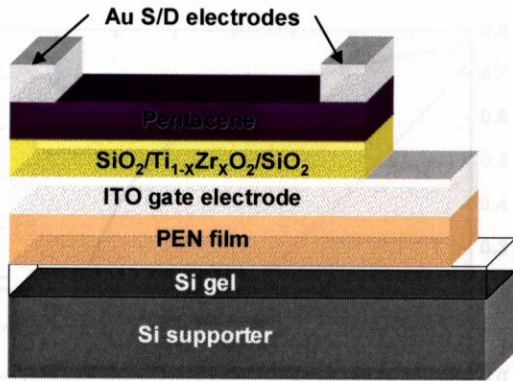


図 6.6 デバイス構造

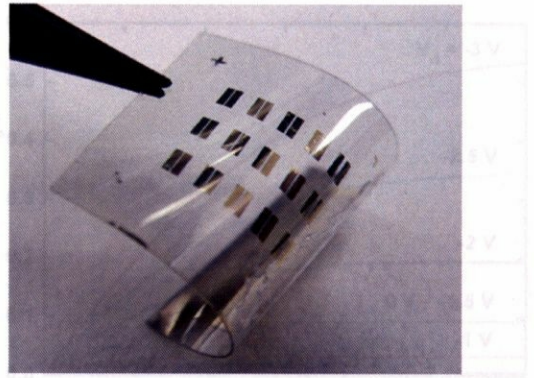
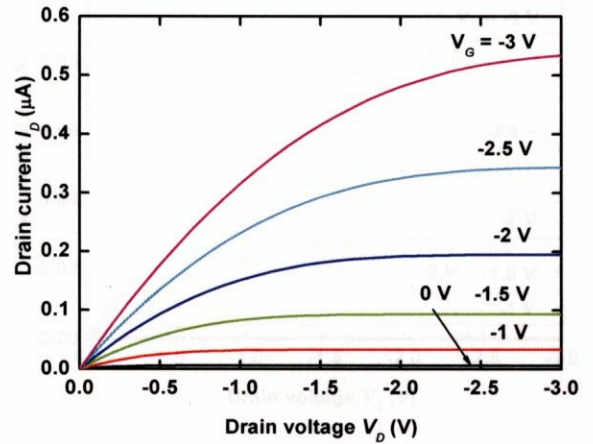
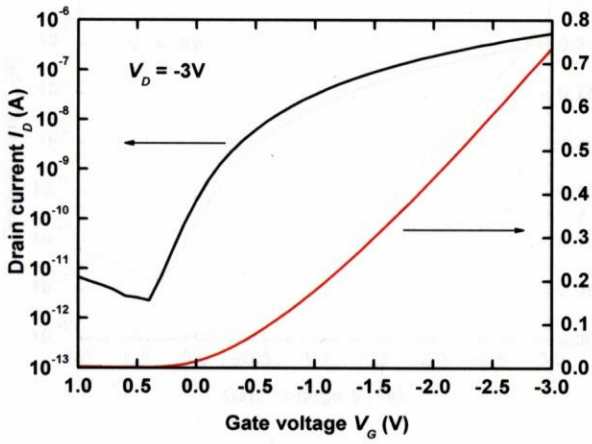


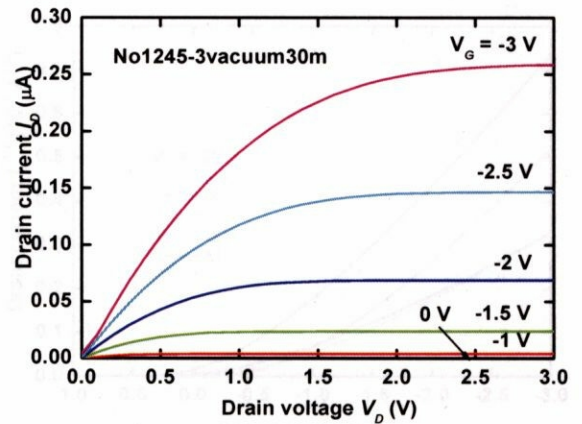
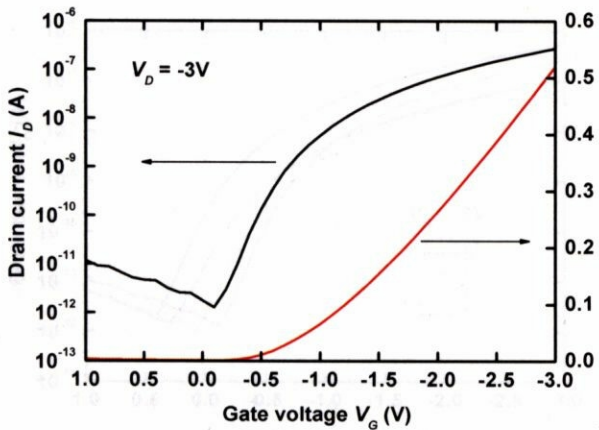
図 6.7 曲げられたデバイス

第四節 電気特性評価

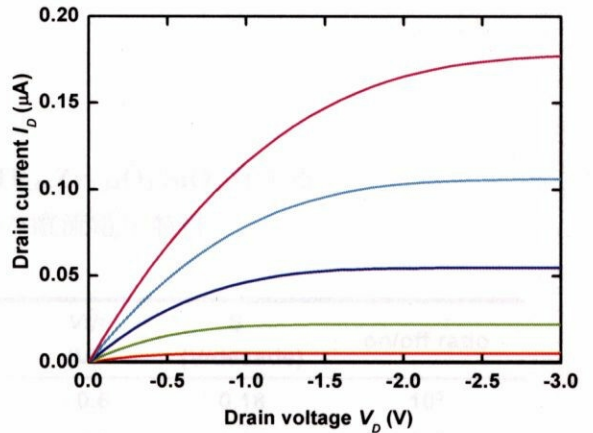
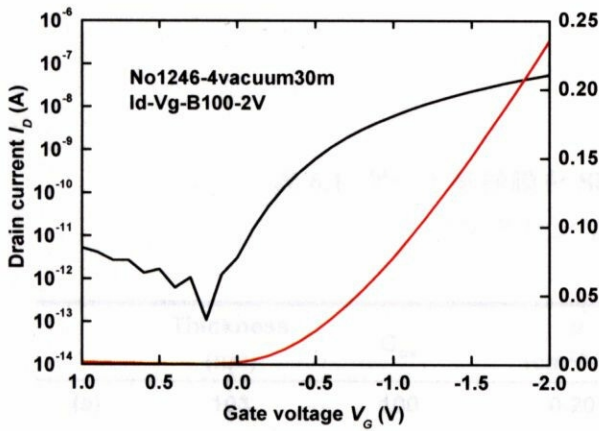
ゲート絶縁膜 $\text{SiO}_2/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2/\text{SiO}_2$ 膜を有するペンタセン TFT の電気特性を図 6.8-図 6.17 に示す。図 6.8 と図 6.9 は $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(80\text{nm})/\text{SiO}_2(3\text{nm})$ 膜、図 6.10 と図 6.11 には $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(100\text{nm})/\text{SiO}_2(3\text{nm})$ 膜、図 6.12 と図 6.13 には $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(120\text{nm})/\text{SiO}_2(3\text{nm})$ 膜、図 6.14 と図 6.15 には $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(140\text{nm})/\text{SiO}_2(3\text{nm})$ 膜を有するペンタセン TFT の電気特性を示す。駆動電圧はすべてデバイスにおいて $V_G = -5\text{V}$ 、 $V_D = -5\text{V}$ であった。すべてのトランジスタにおいて理想的な TFT と同様に電流電圧特性の立ち上がりの初期部分に電圧降下が表れなかった。また、TFT 特性の線形領域では付加抵抗の電圧降下分だけ高い VDS 側にシフトし、 V_D が高い領域で電流が飽和しにくくなる現象が見られるが、図 6.9, 6.11, 6.13, 6.15 からわかるように本研究ではきれいに飽和が確認できた。また、図 6.17 の $I_{D1/2}-V_G$ 特性は $V_{th} > V_G$ の範囲で直線上にあった。また、 V_G を 1V から -3V までスイープし、連続して -3V から 1V にスイープした場合の測定結果、ほとんどヒステリシスが見れなかった。移動度は図 6.8, 6.9 が最も大きく $0.2\text{cm}^2/\text{Vs}$ であった。サブスレシヨルドスイング S は図 6.10-6.13 において最も小さく $0.17\text{V}/\text{decade}$ であった。これはトランジスタが高いゲート容量を使用することにより、ゲート電圧の変調がより効率的に効いていることがわかった。そのほかの特性としては図 6.16, 6.17 に示したトランジスタすべてがノーマルオフであること、ゲート容量が小さくなると電流オン/オフ比が減少する結果が得られた。



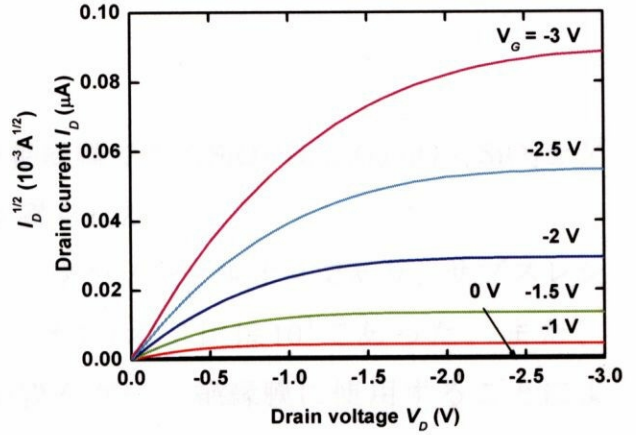
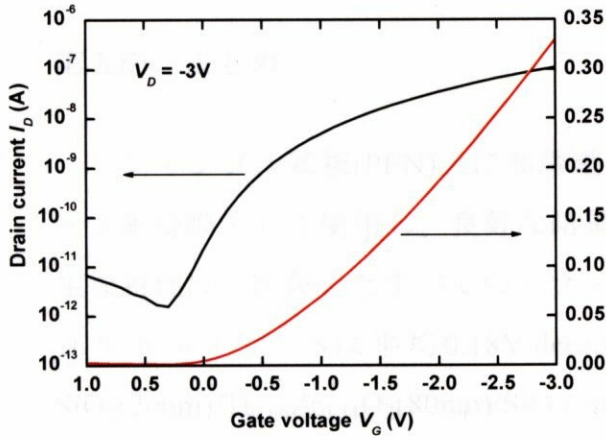
ゲート絶縁膜 $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(80\text{nm})/\text{SiO}_2(3\text{nm})$ を有するペンタセン TFT の電流電圧特性 図 6.8 伝達特性、図 6.9 出力特性



ゲート絶縁膜を $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(100\text{nm})/\text{SiO}_2(3\text{nm})$ 有するペンタセン TFT の電流電圧特性 図 6.10 伝達特性、図 6.11 出力特性



ゲート絶縁膜を $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(120\text{nm})/\text{SiO}_2(3\text{nm})$ 有するペンタセン TFT の電流電圧特性 図 6.12 伝達特性、図 6.13 出力特性



ゲート絶縁膜を $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(140\text{nm})/\text{SiO}_2(3\text{nm})$ 有するペンタセン TFT の電流電圧特性 図 6.14 伝達特性、図 6.15 出力特性

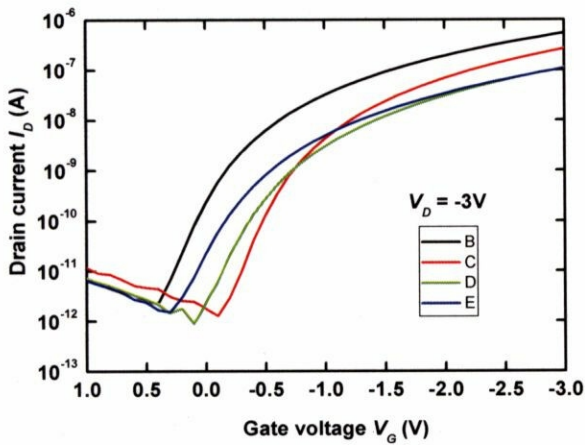


図 6.16 伝達特性

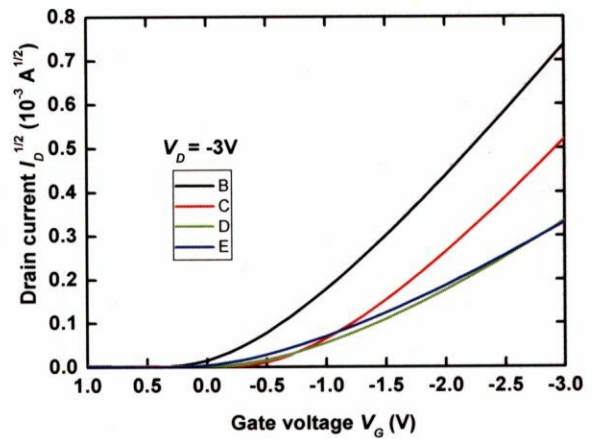


図 6.17 出力特性

表 6.1 ゲート絶縁膜を $\text{SiO}_2/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2/\text{SiO}_2$ 有するペンタセン TFT の電流電圧特性

	Thickness (nm)	C_{ox}	μ (cm^2/Vs)	V_{th} (V)	S (V/decade)	on/off ratio
(a)	103	100	0.20	-0.6	0.18	10^5
(b)	123	99	0.15	-1.0	0.17	10^5
(c)	143	98	0.09	-0.8	0.17	10^5
(d)	163	90	0.05	-0.8	0.22	10^4

第五節 まとめ

フレキシブル基板(PEN)上に高誘電率絶縁膜である $\text{SiO}_2/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2/\text{SiO}_2$ をゲート絶縁膜として使用し、良好な結果が得られた。

主な特性は、作製したすべてのトランジスタがノーマルオフであり、サブスレシヨルドスイング S は平均 0.18V/decade 、オン/オフ比は 10^5 であった。また、 $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(80\text{nm})/\text{SiO}_2(3\text{nm})$ 膜をゲート絶縁膜に使用することにより、移動度 $0.2\text{cm}^2/\text{Vs}$ が得られた。これらの結果は $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ 膜がフレキシブル基板においてもペンタセンTFTの高性能化に有効であるところを示している。

第七章 結論

本研究では、低電圧有機TFTの実現のため、高誘電率ゲート絶縁膜を使用し、その可能性を模索した。本研究では高誘電率材料としてはTiとZrO₂の混成膜を作製し、その混成膜を有機TFTのゲート絶縁膜として使用することにした。

第三章では2元同時スパッタリング方を用い、TiとZrO₂の混成膜を作製し、混成膜の表面形状や電気特性を行い、有機TFTのゲート絶縁膜としての可能性を示せた。まず、表面形状からは有機TFTのゲート絶縁膜に使用されているSiO₂より平坦性が良いことがわかり、その値はrms = 0.1nmのオーダーであった。また、混成膜Ti_{1-x}Zr_xO₂の電気特性評価も行い、比誘電率はX=0の23.9からX=1の9.3まで組成比により、線形的に変化することがわかった。比誘電率の膜厚依存性や絶縁破壊電界強度の組成比依存性、膜厚依存性を相関関係を示した。特に、絶縁破壊電界強度に関しては組成比、膜厚を変えることにより、4.2-7.9MV/cmの絶縁破壊電界強度が得られた。混成膜Ti_{1-x}Zr_xO₂の表面形状、高誘電率、絶縁破壊電界強度の値を合わせると有機TFTのゲート絶縁膜の応用が期待でき、第四章、第五章、第六章ではゲート絶縁膜Ti_{1-x}Zr_xO₂を有するペンタセンTFTを報告した。

第四章では、ゲート絶縁膜 Ti_{1-x}Zr_xO₂ を有するペンタセン TFT を作製し、その評価を行ったが安定な動作特性が得られなかったため、絶縁膜として Ti_{1-x}Zr_xO₂ の代わりに Ti_{1-x}Zr_xO₂ 膜上に 3nm 程度の SiO₂ 膜を積層し、この積層膜をペンタセン TFT のゲート絶縁膜として使用することにした。その結果、安定な動作特性が得られた。主な特性は主な特性は、電界効果移動度 0.22cm²/Vs、しきい値電圧 -2.2V、オン/オフ比 10⁶ サブスレショルド・スイング 1.00V/decade であり、高誘電率絶縁膜が有機 TFT の特性において有効であることが示せた。

第五章では、ペンタセン薄膜トランジスタの更なる高性能に向け、絶縁膜の表面処理を検討した。表面剤としてはHMDSを使用し、表面処理方法を一般的に用いられるスピコートと本研究で提案した化学気相法に分け、その効果を検討し

た。その結果、HMDSによる絶縁膜の表面処理が非常に有効であることが明らかになった。表面処理の結果、オン電流の増加、移動度の向上、サブスレシヨルドスイングの減少、電流オン/オフ比の増加、などの性能向上が得られた。また、表面処理の方法を変えることにより、ペンタセンTFTの電気特性が更に良くなることは注目したいことである。本研究ではスピコートに比べ、化学気相法がより良い特性を示した。主な結果としては移動度 $1\text{cm}^2/\text{Vs}$ 以上、サブスレシヨルドスイングは0.1オーダー、高い電流オン/オフ比が得られた。

また、表面処理方法を変えることにより、ペンタセンの形状にもその効果が表れることが確認できた。ペンタセンのグレインサイズは化学気相法で行ったものが最も大きく、逆にスピコートで行ったものは最も小さかった。この結果は今まで知られている大きなペンタセンのグレインサイズを得るのがトランジスタの性能向上一つの指針になっていることとは相反な結果であった。それにより、ペンタセンのグレインサイズとトランジスタの電気特性の関係は再考察する必要があることも示した。

第六章ではフレキシブル有機TFTへの展開を試みた。基板としてはPENを用い、その優位性が確認できた $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ を化学気相法による表面処理を施し、フレキシブルペンタセンTFTを作製、その電気特性評価を行った。その結果、良好な特性が得られた。主な特性は作製すべてのトランジスタがノーマルオフであり、サブスレシヨルドスイング S は平均 $0.18\text{V}/\text{decade}$ 、オン/オフ比は 10^5 であった。また、 $\text{SiO}_2(20\text{nm})/\text{Ti}_{0.66}\text{Zr}_{0.34}\text{O}_2(80\text{nm})/\text{SiO}_2(3\text{nm})$ 膜をゲート絶縁膜に使用することにより、移動度 $0.2\text{cm}^2/\text{Vs}$ が得られた。これらの結果は $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ 膜がフレキシブル基板においてもペンタセンTFTの高性能化に有効であるところを示している。

最後、ペンタセンTFTのゲート絶縁膜に高誘電率 $\text{Ti}_{1-x}\text{Zr}_x\text{O}_2$ 膜を使用し、更に表面処理を施すことにより高性能ペンタセンTFTは実現できた。本研究が、フレキシブルエレクトロニクスにおいて、新たなデバイスの創出への助力となれば幸いである。

参考文献

- [1] A. Tsumura, H. Koezuka, and T. Ando, “Macromolecular electronic device: Field-effect transistor with a polythiophene thin film”, *Appl. Phys. Lett.* **49** (1986) 1210.
- [2] Y.-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, “Stacked pentacene layer organic thin-film transistor with improved characteristics”, *IEEE Electron Device Lett.* **18** (1997) 606.
- [3] M. P. Hong, *et al.*, “Recent progress in large sized & high performance organic TFT array”, *Int. Sym. Society for Information Display*, 2005, Boston, USA, 3.5.
- [4] V. C. Sundar, *et al.*, “Elastomeric transistor stamps: reversible probing of charge transport in organic crystals”, *Science* **303** (2004) 1644.
- [5] L.-L. Chua, J. Zaumseil, J.-F. Chang, E. Ou, P. Ho, H. Sirringhaus, and R. H. Friend, “General observation of n-type field-effect behaviour in organic semiconductors”, *Nature* **434** (2005) 434.
- [6] 鎌田俊英, 吉田学, 小笹健二, 「有機電界効果トランジスタの特性に及ぼす界面の影響」*表面科学* **24** (2003) 69.
- [7] Y. Kato, S. Iba, R. Teramoto, T. Sekitani, and T. Someya, “High mobility of pentacene field-effect transistors with polyimide gate dielectric layers”, *Appl. Phys. Lett.* **84** (2004) 3789.
- [8] T. Yasuda, T. Goto, K. Fujita, and T. Tsutsui, “Ambipolar pentacene field-effect transistors with calcium source-drain electrodes”, *Appl. Phys. Lett.* **85** (2004) 2098.
- [9] C. Rost, D. J. Gundlach, S. Karg, and W. Rieß, “Ambipolar organic field-effect transistor based on an organic heterostructure”, *J. Appl. Phys.* **94** (2004) 5782.
- [10] M. Halik *et al.*, “Low-voltage organic transistors with an amorphous molecular gate dielectric”, *Nature* **431** (2004) 963.
- [11] S. Kobayashi *et al.*, “Control of carrier density by self-assembled monolayers in organic field-effect transistors”, *Nature Materials* **3** (2004) 317.

- [12] M. D. Austin and S. Y. Chou, "Fabrication of 70 nm channel length polymer organic thin-film transistors using nanoimprint lithography", *Appl. Phys. Lett.* **81** (2002) 4431.
- [13] H. Sirringhaus, T. Kawase, R. H. Friend, T. Shimoda, M. Inbasekaran, W. Wu, and E. P. Woo, "High-resolution inkjet printing of all-polymer transistor circuits", *Science* **290** (2000) 2123.
- [14] Y. Iino, *et al.*, "Organic Thin-Film Transistors on a Plastic Substrate with Anodically Oxidized High-Dielectric-Constant Insulators", *Jpn. J. Appl. Phys.* Vol. 42 (2003) 299.
- [15] L. A. Maiewski, *et al.*,
 "Low-Voltage, High-Performance Organic Field-Effect Transistors with an Ultra-Thin TiO₂ Layer as Gate Insulator", *Adv. Funct. Mater.* 2005, 15, 1017.
- [16] K. T. Kang, M. H. Lim, H. G. Kim
 "Mn-doped Ba_{0.6}Sr_{0.4}TiO₃ high-k gate dielectrics for low voltage organic transistor on polymer substrate", *Appl. Phys. Lett.* 87 (2005) 242908.
- [17] S. Yaginuma, J. Yamaguchi, K. Itaka, H. Koinuma
 "Pulsed laser deposition of oxide gate dielectrics for pentacene organic field-effect transistors", *Thin Solid Films* 486 (2005) 218.
- [18] B. T. Wu, Y. K. Su, M. L. Tu, A. C. *et al.*,
 "Interface Modification in Organic Thin Film Transistors", *Jpn. J. Appl. Phys.*, Vol. 44, 4B (2005)
- [19] C. K. Song, B. W. Koo, S. B. LEE, D. H. Kim
 "Characteristics of Pentacene Organic Thin Film Transistors with Gate Insulator Processed by Organic Molecules", *Jpn. J. Appl. Phys.* Vol. 41 (2002) 2730.
- [20] S. C. Lim, S. H. Kim, J. H. Lee, *et al.*, "Surface-treatment effects on organic thin-film transistors", *Synthetic Metals* 148 (2005) 75.
- [21] P. W. Peacock, J. Robertson
 "Band offsets and Schottky barrier heights of dielectric constant oxides", *J. Appl. Phys.*, Vol. 92, (2002) 4712
- [22] M. Kitamura, T. Imada, and Y. Arakawa, "Organic light-emitting diodes driven by

- pentacene-based thin-film transistors”, *Appl. Phys. Lett.* 83, p.3410, 2003
- [23] C. O. Tang, M. Kitamura, and Y. Arakawa, *Int. Conf. on Solid State Devices and Materials*, F-9-5, extended abstracts pp.868-869, Tokyo, Japan, 2004
- [24] M. Shtein, J. Mapel, J. B. Benziger, and S. R. Forrest, *Appl. Phys. Lett.* 81, p.5259, 2002
- [25] H. Klauk, M. Halik, U. Zschieschang, G. Schmid, W. Radlik, and W. Weber, *J. Appl. Phys.* 92, p.5259
- [26] Y. Fujisaki, Y. Inoue, T. Kurita, S. Tokito, H. Fujikake, and H. Kikuchi, *Jpn. J. Appl. Phys.* 43, p.372, 2004
- [27] Y. Liang, G. Dong, Y. Hu, L. Wang, and Y. Qiu, *Appl. Phys. Lett.* 86, 132101 (2005)
- [28] G. Wang, D. Moses, A. J. Heeger, H.-M. Zhang, M. Narasimahan, and R. E. Demaray, *J. Appl. Phys.* 95, p.316, 2004
- [29] Y. Jang, D. H. Kim, Y. D. Park, J. H. Cho, M. Hwang, and K. Cho, *Appl. Phys. Lett.* 88, 072101, 2006
- [30] S. Y. Yang, S. H. Kim, K. Shin, H. Jeon, and C. E. Park, *Appl. Phys. Lett.* 88, 173507, 2006.
- [31] C. D. Sheraw, L. Zhou, J. R. Huang, D. J. Gundlach, T. N. Jackson, M.G. Kane, I. G. Hill, M. S. Hammond, J. Campi, B. K. Greening, J. Francl, and J. West, *Appl. Phys. Lett.* 80, p.1088, 2002
- [32] J. A. Rogers, Z. Bao, K. Baldwin, A. Dodabalapur, B. Crone, V. R. Raju, V. Kuck, H. Katz, K. Amundson, J. Ewing, and P. Drzaic, *Proc. Natl. Acad. Sci. U. S. A.* Vol. 98, pp.4835-4840
- [33] D. Li, E.-J. Borkent, R. Nortrup, H. Moon, H. Katz, and Z. Bao, *Appl. Phys. Lett.* 86, 042105, 2005
- [34] M.-M. Ling, Z. Bao, and D. Li, *Appl. Phys. Lett.* 88, 033502 (2006)
- [35] H. S. Kim, D. C. Gilmer, S. A. Campbell, and D.L. Polla, *Appl. Phys. Lett.* 69, 3861, 1996
- [36] J. Kymiss, C. D. Dimiktrakopoulos, S. Purushothaman, *IEEE Trans. Electron Devices* 48, 1060, 2001

- [37] S. H. Kim, S. Y. Yang, K. W. Shin, H. Y. Jeon, J. W. Lee, K. P. Hong, and C. E. Park, *Appl. Phys. Lett.* **88**, 183516, 2006
- [38] D. Knipp, R. A. Street, A. Volkel, and J. Ho, *J. Appl. Phys.* **93** (2003) 347.
- [39] R. Ruiz, A. C. Mayer, and C. G. Malliaras, *Appl. Phys. Lett.* **85**, 4926, 2004
- [40] T. C. Gorjanc, I. Levesque, and M. Diorio, "Oligo-p-phenylethylene organic thin-film transistors with chemically modified dielectric surfaces", *J. Vac.Sci. Technol. A* **22** (3), 2004
- [41] J. M. Kim, J. W. Lee, J. K. Kim, B. K. Ju, J. S. Kim, Y. H. Lee, and M. H. Oh, "An organic thin-film transistor of high mobility by dielectric surface modification with organic molecule", *Appl. Phys. Lett.* **85**, p.6368, 2004
- [42] A. Salleo, M. L. Chabinyc, M. S. Yang, and R. A. Street, "Polymer thin-film transistors with chemically modified dielectric interfaces", *Appl. Phys. Lett.* **81**, p.4383, 2002
- [43] W. Y. Chou, C. W. Kuo, H. L. Cheng, Y. R. Chen, F. C. Tang, F. Y. Yang, D. Y. Shu, and C. C. Liao, "Effect of surface free energy in gate dielectric in pentacene thin-film transistors", *Appl. Phys. Lett.* **89**, p.112126, 2006
- [44] R. Ruiz, B. Nickel, N. Koch, L. C. Feldman, R. F. Haglund, A. Kahn, and G. Scoles, "Pentacene ultrathin film formation on reduced and oxidized Si surface", *Phys. Rev B* **67** (2003) 125406
- [45] S. Verlaak, V. Arkhipov, and P. Heremans, "Modeling of transport in polycrystalline organic semiconductor films", *Appl. Phys. Lett.* **82**, p.745, 2003
- [46] I. Yagi, K. Tsukagoshi, and Y. Aoyagi, "Modification of the electric conduction at pentacene/SiO₂ interface by surface termination of SiO₂", *Appl. Phys. Lett.* **86**, p.103502, 2005
- [47] W. Y. Chou, C. W. Kuo, H. L. Cheng, Y. R. Chen, and F. C. Tang, "Effect of surface free energy in gate dielectric in pentacene thin-film transistors", *Appl. Phys. Lett.* **89**, p.112126, 2006
- [48] J. H. Lee, S. H. Kim, G. H. Kim, S. C. Lim, H. Lee, J. Jang, and T. Zyung, "Pentacene thin film transistors fabricated on plastic substrates", *Synthetic Metals* **139**, p.445,

2003

- [49] T. Ohta, T. Nagano, K. Ochi, and Y. Kubozono, "Variation of output properties of perylene field-effect transistors by work function of source/drain electrodes", *Appl. Phys. Lett.* 89, p.053508, 2006
- [50] V. Mikhelashvili, G. Eisentein, and F. Edelmann, "Structural properties and electrical characteristics of electron-beam gun evaporated erbium oxide films", *Appl. Phys. Lett.* 80, p.2156, 2002
- [51] H. C. Lin, P. D. Ye, and G. D. Wilk, "Leakage current and breakdown electric-field studies on ultrathin atomic-layer-deposited Al_2O_3 on GaAs", *Appl. Phys. Lett.* 87, p.182904, 2005
- [52] R. Ruiz, A. Papadimitratos, A. C. Mayer, and G. G. Malliaras, "Thickness Dependence of Mobility in Pentacene Thin-Film Transistors", *Adv. Mater.* 2005, 17, 1795-1798
- [53] B. Stadlober, U. Haas, H. Maresch, and A. Haase, "Growth model of pentacene on inorganic and organic dielectrics based on scaling and rate-equation theory", *PHYSICAL REVIEW B* 74, 165302 (2006)
- [54] F. Forlani, and N. Minnaja, "Electrical Breakdown in Thin Dielectric Films"
- [55] A. Singh, "Dielectric breakdown study of thin La_2O_3 films", *Thin Solid Films*, 105 (1983) 163-168
- [56] A. Facchetti, M. H. Yoon, and T. J. Marks, "Gate Dielectric for Organic Field-Effect Transistors: New Opportunities for Organic Electronics", *Adv. Mater.* 2005, 17, 1705-1725
- [57] H. Birey, "Thickness dependence of the dielectric constant and resistance of Al_2O_3 films", *J. Appl. Phys.* 48 (12), 1977

本研究に関する発表

- [1] 李 大一, 北村雅季, 中西康哲, 青森 繁, 荒川泰彦 :
「高誘電率ゲート絶縁膜 $Ti_{1-x}Zr_xO_2$ を有するペンタセン薄膜トランジスタの作製」
第 66 回応用物理学学術講演会, 2005 年 8 月 29 日-9 月 1 日, 滋賀(立命館大学),
29a-ZH-6, p1211.
- [2] 北村雅季, 李 大一, 中西康哲, 青森 繁, 荒川泰彦 :
「高誘電率ゲート絶縁膜を有する C_{60} フラーレン n 型薄膜トランジスタの作製」
第 66 回応用物理学学術講演会, 2005 年 8 月 29 日-9 月 1 日, 滋賀(立命館大学),
1a-ZH-1, p1231.
- [3] 北村雅季, 李 大一, 荒川泰彦 :
「高誘電率ゲート絶縁膜を用いた高移動度有機薄膜トランジスタ」
電子情報通信学会, 有機エレクトロニクス研究会, 2006 年 12 月 18 日, 東京 (機
械振興会館), 信学技報 (IEICE Technical report) vol.106 No.439 p59-64.
- [4] 李 大一, 北村 雅季, 羅 鐘浩, 岩本 敏, 荒川 泰彦 :
「誘電率ゲート絶縁膜 $Ti_{1-x}Zr_xO_2$ を有する低電圧駆動ペンタセン薄膜トランジスタ
の作製」
第 53 応用物理学関係連合講演会 (2007 年 3 月発表予定) .
- [5] ジョンホ ナ, 北村雅季, 李 大一, 荒川泰彦 :
「ゲート絶縁膜 $Ti_{1-x}Si_xO_2$ を有する高特性フレキシブルペンタセン薄膜トランジス
タ」
第 53 応用物理学関係連合講演会 (2007 年 3 月発表予定) .

謝辞

ここでは、本研究に関して様々な形でお世話になった方々へのお礼を記したい。

指導教官である東京大学先端科学技術研究センター荒川泰彦教授には、激務の合間を縫って研究全般に関して、ご指導・ご鞭撻、時には暖かく励ましていただき、研究を進めるにあたり大きな糧をいただきました。深く感謝いたします。

研究全般に渡りまして直接ご指導いただいた北村雅季特任助教授には、実験に対するアドバイスや多くの議論をいただいた他、学会における発表、論文の書き方など多岐にわたりご指導いただきました。深く御礼申し上げます。

岩本敏講師には研究、生活の面で様々なご助言、励ましていただきました。深く御礼申し上げます。

装置のメンテナンス、使用法等では西岡政雄助手石田悟己助手、有田宗貴研究員には大変お世話になりました。深く感謝いたします。

研究室の中岡敏裕特任講師、斎藤敏夫助手、熊谷直人特任助手、青木画奈特任助手、渡邊克之特任助手、永原靖治特任助手、野村政宏特任助手には研究に対するアドバイスを頂き、お世話になりました。深く感謝いたします。

また、加古敏博士、Denis Guimard博士、David Redfern博士、羅鍾浩博士には生活の面で様々なアドバイスを頂き、お世話になりました。深く感謝いたします。

秘書の、小野美穂さん、小川雅子さん、奥村景子さん、高橋千恵さんには、様々な事務手続き等お世話になりました。深く感謝いたします。

また、行武哲太郎さん、Lim Peng Hueiさん、Christian Kindelさん、川野武志さん、Aniwat Tандаechanuratさん、M. Rajeshさん、太田泰友君、都木宏之君には生活の面で様々なアドバイスを頂き、お世話になりました。深く感謝いたします。

最後に、二年間学生生活を共に過ごし支えあった、友人として親しく頂いた、同研究室の若山雄貴君、李ヘリンさんに深く感謝いたします。

付録 MOS型トランジスタ

1. 理想的なMOS型トランジスタ

理想的なp型半導体で作製したMOS型トランジスタの、 $V_G = 0$ におけるエネルギーバンドを図a-1(A)に示す。金属電極がオーミック接触に対して正にバイアスされている場合に電圧 V_G は正で、負にバイアスされている場合に電圧 V_G は負であるとしたとき、そのバイアスの違いにより、半導体表面には三つの場合が存在する。

①：負の電圧($V < 0$)が印加された場合、半導体表面のバンドは図a-1(B)に示されるように上向きに曲がる。理想的なMOSトランジスタにおいては、電圧 V_G を印加してもデバイスには電流が流れないから、半導体中のフェルミ準位は変化しない。また、半導体中のキャリア密度は、エネルギー差 $E_i - E_F$ に指数関数的に依存するから、エネルギーバンドが上向きに曲がると、半導体界面の正孔が増加し、ここに正孔が蓄積される。このような状態を蓄積と呼ぶ。

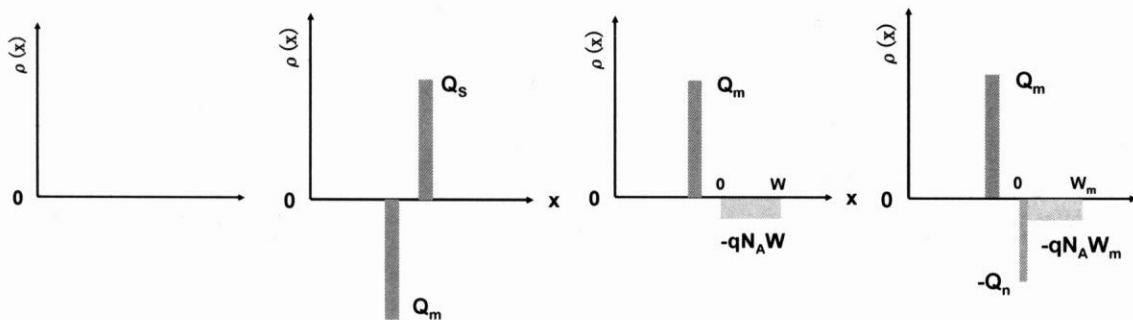
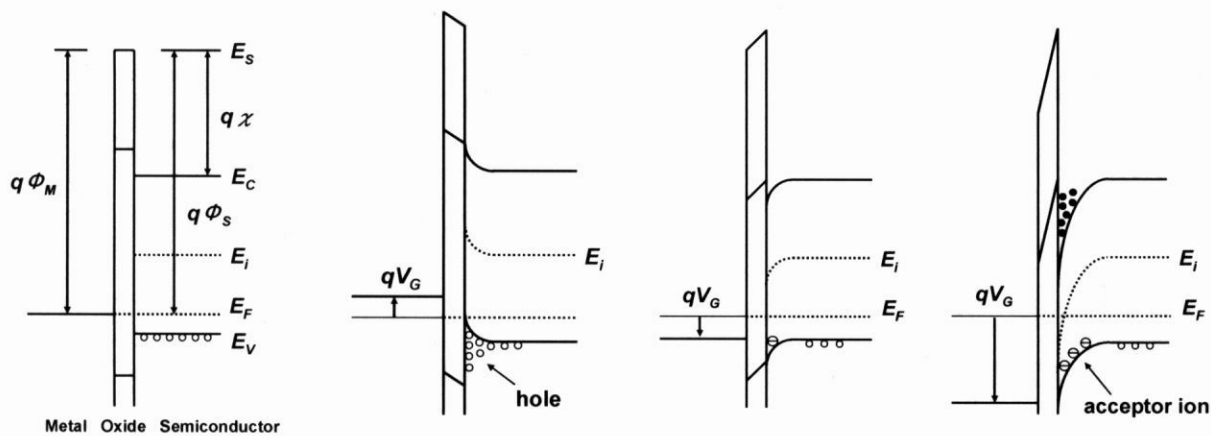
②：小さな正の場合($V > 0$)印加された場合、エネルギーバンドは下向きに曲がる。したがって多数キャリア(正孔)は内側に追いやられ、半導体表面は空乏化する。このような状況は、空乏と呼ばれる。空乏のエネルギーバンドを図a-1(C)に示す。

③さらに大きな正の電圧が印加されるとバンドはさらに下向きに曲がり、その結果図a-1(D)に示されるように表面での真性フェルミ準位がフェルミ準位と交差するようになる。電子の濃度は、エネルギー差 $E_i - E_F$ に指数関数的に依存し次のように与えられる。

$$n_p = n_i e^{(E_F - E_i)/kT} \quad \text{式(a-1)}$$

図a-1(D)に示されるような状態では $E_i - E_F < 0$ 。したがって界面での電子濃度 n_p は n_i より大きく正孔濃度は n_i より小さくなる。界面での電子(少数キャリア)の数は正孔(多数キャリア)より大きくなるから、界面は反転している。このような状態は反転と呼ばれる。いったん反転層ができると空乏層の幅はそれ以上増えない。なぜならば、バンドの曲がりが増えなくても反転層の電荷は非常に増大するか

ら、印加電圧の増加によって反転層の電荷が増加しても、空乏層幅が増加することはないからである。



- (A) フラットバンド
 $V_G = 0$
- (B) 蓄積
 $V_G < 0$
- (C) 空乏
 $V_G > 0$
- (D) 反転
 $V_G \gg 0$

図a-1 理想MOS構造のエネルギーバンド図と電荷分布

2. MOSFETの基本動作

ソースから距離 y の点の半導体表面に誘起される単位面積あたりの全電荷 Q_s は図a-2に示されている。 Q_s は、次のように与えられる。

$$Q_s(y) = -[V_G - \psi_s(y)]C_{ox} \quad (\text{a-2})$$

ここで、 $\psi_s(y)$ は点 y における表面ポテンシャルである。 $C_{ox} = \epsilon_{ox}/d$ は単位面積あたりのゲート容量である。反転層における電荷は次式で与えられる。

$$Q_n(y) = Q_s(y) - Q_{sc}(y) \quad (\text{a-3})$$

$$= -[V_G - \psi_s(y)]C_{ox} - Q_{sc}(y) \quad (\text{a-4})$$

反転層における表面ポテンシャル $\psi_s(y)$ は、 $2\psi_s + V(y)$ で近似することができる。ここで $V(y)$ は、点 y とソース電極との間の逆方向バイアスである。表面空乏領域における電荷 $Q_{sc}(y)$ は次式で与えられる。

$$Q_{sc}(y) = -qN_A W_m = -\sqrt{2\epsilon_s q N_A [V(y) + 2\psi_s]} \quad (\text{a-5})$$

式(a-5)を式(a-4)に代入して次式を得る。

$$Q_n(y) = -[V_G - V(y) - 2\psi_s]C_{ox} + \sqrt{2\epsilon_s q N_A [V(y) + 2\psi_s]} \quad (\text{a-6})$$

点 y におけるチャンネルの導電率は次式で近似することができる。

$$\sigma(y) = qn(y)\mu_n(y) \quad (\text{a-7})$$

一定移動度の場合にはチャンネルコンダクタンスは次式によって与えられる。

$$g = \frac{Z}{L} \int_0^{y_i} \sigma(y) dy = \frac{Z\mu_n}{L} \int_0^{y_i} qn(y) dy \quad (\text{a-8})$$

ここで、 L はチャンネル長、 Z はチャンネル幅である

$\int_0^y qn(y)dy$ は反転層における単位あたりの全電荷 $|Q_n|$ に相当し、次式が成り立つ。

$$g = \frac{Z\mu_n}{L}|Q_n| \quad \int_0^y qn(y)dy = |Q_n| \quad (\text{a-9})$$

微小区間 dy のチャンネル抵抗 dR は、

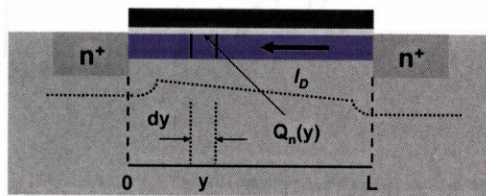
$$dR = \frac{dy}{dL} = \frac{dy}{Z\mu_n|Q_n(y)|} \quad (\text{a-10})$$

で与えられる。よって、この微小区間での電圧降下は、

$$dV = I_D dR = \frac{I_D dy}{Z\mu_n|Q_n(y)|} \quad (\text{a-11})$$

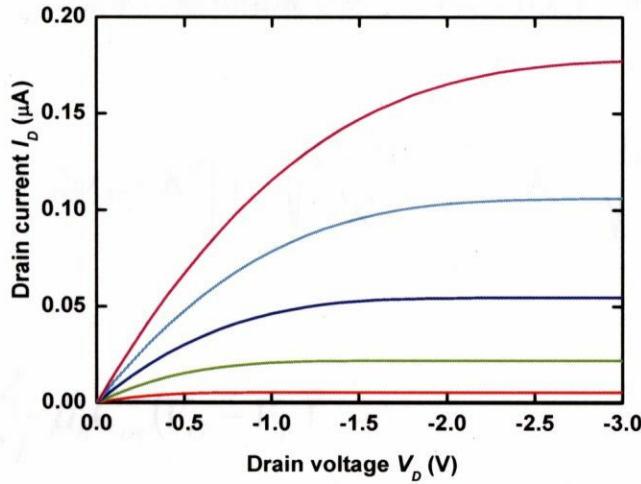
I_D はドレイン電流で y には依存しない。式(3-6)を式(3-11)に代入し、ソース($y=0, V=0$)からドレイン($y=L, V=V_D$)まで、積分すると次のようになる。

$$I_D = \frac{Z}{L} \mu_n C_{ox} \left\{ \left[V_G - 2\psi_S - \frac{V_D}{2} \right] V_D - \frac{2}{3} \frac{\sqrt{2\varepsilon_S q N_A}}{C_{ox}} \left[(V_D + 2\psi_S)^{3/2} - (2\psi_S)^{3/2} \right] \right\} \quad (\text{a-12})$$



図a-2 線形領域で動作するMOSFETのチャンネル領域の拡大図

図a-3は、式(a-12)に基づいて求められた理想的なMOSFETの I_D - V_D 特性を示したものである。ある V_G に対してドレイン電流は最初ドレイン電圧とともに直線的に増加し(直線領域)それから徐々に直線からずれ、飽和値に近づく(飽和領域)。点線は電流が最大に達するドレイン電圧(V_{Dsat})の軌跡を示したものである。



図a-3 MOSFETの I_D - V_D 特性

V_D が小さい場合、式(a-12)は次式のように近似できる

$$I_D \cong \frac{Z}{L} \mu_n C_{ox} (V_G - V_T) V_D \quad (\text{a-13})$$

ただし、 $V_D \ll (V_G - V_T)$ ここで V_T はしきい値電圧である。

よって、伝達コンダクタンス g_m は、

$$g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_G = \text{const.}} = \frac{Z}{L} \mu_n C_{ox} V_D \quad (\text{a-14})$$

で与えられる。

これを定性的に考えてみる。ゲートに電圧が印加され半導体表面に反転層ができてくるものとする。小さなドレイン電圧が加えられると電子は導電性のチャンネルを通過してソースからドレインに向かって流れる。したがって、チャンネルは、抵抗として働き、ドレイン電流は、ドレイン電圧に比例する。このように一定抵抗の直線で示されているのが、直線領域である。

ドレイン電圧が $y=L$ の点における反転層の電荷 $Q_n(y)$ がゼロになる点まで増加するとドレイン端での可動電子の数は急激に減少する。ピンチオフ点におけるドレイン電圧およびドレイン電流はそれぞれ、 V_{Dsat} および I_{Dsat} と定義される。ドレイン

電圧が V_{Dsat} より大きい領域は飽和領域である。 V_{Dsat} は $Q_n(L)=0$ の条件から求めることができる。

$$V_{Dsat} = V_G - 2\psi_B + K^2 \left[1 - \sqrt{\frac{1 + 2V_G}{K^2}} \right] \quad K \equiv \sqrt{\frac{\epsilon_s q N_A}{C_{ox}}} \quad (\text{a-15})$$

飽和電流 I_{Dsat} は

$$I_{Dsat} \cong \frac{Z}{2L} \mu_n C_{ox} (V_G - V_T)^2 \quad (\text{a-16})$$

飽和領域における理想的なMOSFETにおける伝達コンダクタンスは

$$g_m \equiv \left(\frac{\partial I_D^{1/2}}{\partial V_G} \right)_{V_D = \text{const.}} = \frac{Z}{L} \mu_n C_{ox} (V_G - V_T) \quad (\text{a-17})$$

と求められる

ドレイン電圧が増加すると反転層の厚さが0になるような点に達する。この点はピンチオフと呼ばれている。ピンチオフ点以降ではドレイン電流は本質的に同じである。本研究では、式(a-17)を用いて移動度の算出を行った。

参考文献

1. S. M. Sze, "Physics of Semiconductor Device 2nd Edition", WILEY-INTERSCIENCE.
2. 松本智、半導体デバイスの基礎、培風館