

受理 60.12.21

---

# 学位請求論文

ブリッジ型 ジョセフソン素子を用いた  
一方向化磁束量子論理回路と  
その試作に関する研究

指導教官 菅野卓雄教授

東京大学大学院工学系研究科 電子工学専門課程

8578

三宅秀治

## 目次

## 第1章 序論

1-1	本研究の背景	3
1-1-1	ジョセフソン論理回路	3
1-1-2	ブリッジ型ジョセフソン素子	5
1-2	本研究の目的	6
1-3	本論文の構成	7

## 第2章 一方向化磁束量子論理回路

2-1	序	9
2-2	ジョセフソン効果と磁束量子化	12
2-2-1	ジョセフソン効果	12
2-2-2	ジョセフソン接合のモデル	14
2-2-3	磁束量子化	19
2-3	基本ゲートおよび動作原理	21
2-4	ゲートの設計	33
2-4-1	基本ゲートの動作マージン	33
2-4-2	3接合ゲート	39
2-5	ゲートの安定性の検討	46
2-6	動作シミュレーション	67
2-7	第2章の結論	88

第3章 電子ビーム・リソグラフィによるブリッジ型  
ジョセフソン素子の製作

3-1	序	90
-----	---	----

	2
3-2   ブリッジ型 ジョセフソン接合の特性	92
3-3   ブリッジ型 素子の製作プロセス	95
3-4   ブリッジ型 素子製作のための電子ビーム リソグラフィ	99
3-5   ブリッジ型 素子の製作	121
3-6   素子の特性	128
3-6-1   I-V特性の測定結果	128
3-6-2   マイクロ波特性	132
3-6-3   素子の特性に関する検討	134
3-7   第3章の結論	137
第4章   一方向化磁束量子論理回路の設計および試作	139
4-1   序	139
4-2   回路の設計	140
4-3   ゲートのパターン設計	148
4-4   回路の試作	155
4-5   第4章の結論	163
第5章   結論	165
謝辞	170
参考文献	171

## 第1章 序論

### 1-1 本研究の背景

#### 1-1-1 ジョセフソン論理回路

1962年にJosephsonにより、理論的に予測された<sup>1)</sup> いわゆるジョセフソン効果は、1963年にBell研で実験的に検証され<sup>2)</sup>、1966年にIBMではじめてジョセフソン・スイッチング素子としてのサブナノ秒のスイッチング速度が計測された。<sup>3)</sup> 以来半導体集積回路と競合できるようなジョセフソン・デジタル回路の研究がIBMを中心に行なわれ<sup>4)-13)</sup> 現在までにゲート当りの遅延時間約5 psec<sup>14)</sup>、ゲート当りの消費電力2  $\mu$ W<sup>15)</sup>の小規模な論理回路が試作される段階にまで至っている。

従来研究されてきたジョセフソン論理回路は、加工の容易な鉛合金プロセスを用い、トンネル型ジョセフソン接合が超伝導状態にあるか、電圧状態にあるかを2つの論理状態に対応させ



る方式をとっているが、このような論理回路では鉛合金プロセスの信頼性<sup>16)</sup>(液体ヘリウム温度と室温との熱サイクルによる劣化)、トンネル型接合の絶縁膜が非常に薄い<sup>17)</sup>(数 nm)などの技術上の問題点や、電圧状態を用いることにより本質的なノイズ<sup>18), 19)</sup>などの問題点があり、IBMは1985年を目標としていたコンピュータ・システムのためのJSP (Josephson Signal Processor) を完成させる計画を断念するに至ったが、ジョセフソン素子の超高速性、低消費電力性は依然として将来の超高速コンピュータ用素子として有望である。

これに対して、ブリッジ型ジョセフソン素子はトンネル型素子のような大きな並列容量が含まれないため超高速であること、またトンネル型の非常に薄い絶縁膜のようにデリケートな部分が含まれないために信頼性の点でも優れているが、電流-電圧特性にヒステリシスがないために従来の回路とは異なる回路構成をとる必要がある。RF-SQUID中の磁束量子の有無を

2つの論理状態に対応させる磁素量子論理回路<sup>20)-23)</sup>では、接合はスイッチング時にのみ電圧状態となり定常的な電圧状態を用いないので、ブリッジ型ジョセフソン素子を用いることが可能であるが、この方式の回路の技術上の問題点は信号伝搬の一方向性すなわち入力側と出力側の十分な分離がとれないことである。

### 1-1-2 ブリッジ型ジョセフソン素子

前述したようにブリッジ型ジョセフソン素子はトンネル型素子と比べて数々の利点を有しているが、これまであまり研究の進んでいないのは特性の良いブリッジ型ジョセフソン接合を得るためには、弱結合部の材料のコヒーレンス長の数倍程度すなわち  $0.1 \mu\text{m}$  程度の微細加工を行なうことが必要であるという技術的な困難さから特性の良い素子がなかなか得られないためであり、現在のところ素子の製作プロセスの確立が主要な研究課題となっている。

ブリッジ長の短い素子を製作するために従来種々の方法が提

案されてきたが、<sup>24)-33)</sup>その中には集積化に適用困難なものもある。ジョセフソン素子の大きな利点の一つであるゲート当りの消費電力の小さいことを活用するためには、素子の製作プロセスは高密度集積化に適したものであることが必要である。またジョセフソン素子は磁界に対して敏感であるため、高密度集積化を行なうためにはインダクタに流れる超伝導電流による磁界が素子に影響を及ぼさないようにするために超伝導グランドプレーンを用いる必要があるから、ブリッジ型素子の製作プロセスは絶縁膜上に製作できるものでなければならない。

ブリッジ型ジョセフソン素子を用いた論理回路を製作するためには、以上のことを考慮に入れて最も集積化に適したブリッジ型素子の製作プロセスを確立する必要がある。

## 1-2 本研究の目的

本研究では、高速性および信頼性に優れたブリッジ型ジョセフソン素子を用いた論理回路の提案とその試作に関する研究を

行なう。前述したように、ブリッジ型ジョセフソン素子を用いることのできる磁束量子論理回路では信号伝搬の一方向性をいかにしてとるかということが問題点であるが、従来提案されている回路ではこのために3相クロックを用いる必要がある。

ジョセフソン素子の超高速性、および低消費電力であるために高密度集積化が可能であるという利点を活用するために、本研究では3相クロックを用いる必要のない一方向化磁束量子論理回路を提案し、この回路を集積化に最適なプロセスを用いて試作するために、ブリッジ型ジョセフソン素子の製作プロセスを確立し、回路を試作することを目的とする。

### 1-3 本論文の構成

本論文は5章より成る。

第2章では、最初に磁束量子論理回路と関連のある基本的な性質について論じた後、磁束量子論理回路の問題点の一つである信号伝搬の一方向性をとるのに3相クロックを用いる必要の

ない一方向化磁束量子論理回路の提案、回路パラメータの決定および動作シミュレーションによる動作確認について論じる。

第3章では、集積化に最適なプロセスでブリッジ型素子を製作するために、Nbの0.1  $\mu\text{m}$ 程度の微細加工を行なうための電子ビーム・リソグラフィ技術を確立する。また、この電子ビーム・リソグラフィ技術を用いたブリッジ型素子の製作プロセスおよび製作した素子の特性について論じる。

第4章では、第2章で提案した一方向化磁束量子論理回路を第3章で確立した電子ビーム・リソグラフィ技術を用いて試作するための回路の設計、パターン設計および試作プロセスの確立について述べる。

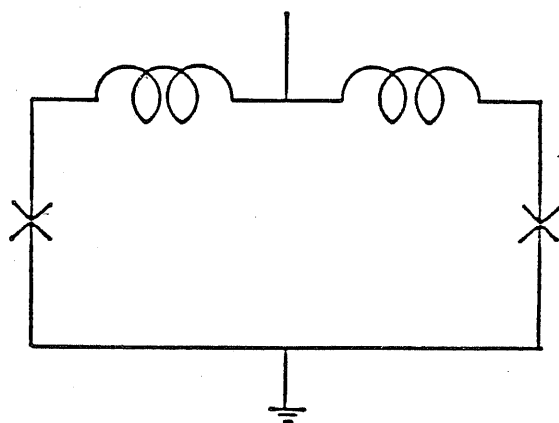
第5章では結論を述べる。

## 第2章 一方向化磁束量子論理回路

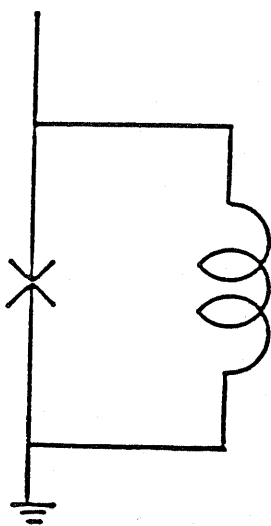
### 2-1 序

ジョセフソン素子を用いた論理回路では、ジョセフソン接合が超伝導状態にあるか、電圧状態にあるかを2つの論理状態に対応させる方式の他に、超伝導ループ中の磁束量子の有無を2つの論理状態に対応させる方式も可能である。この方式では、電流-電圧特性上のヒステリシスを論理動作に利用しないのでブリッジ型接合を用いることができる。

これらは大別して、図2-1(a)に示す等価回路で表わされるdc-SQUIDあるいはジョセフソン線路を用いるもの<sup>34)</sup>  
<sup>-40)</sup>と、図2-1(b)に示す等価回路で表わされるrf-SQUIDを用いるもの<sup>20)-23)</sup>に分類することができる。前者を用いたシフトレジスタも試作されている<sup>39)</sup>が、前者の回路の場合には含まれるすべてのジョセフソン接合が電圧状態になり磁束が自由に出入りしてしまう‘ラッチアップ’状態になりやすく



(a) dc - SQUID



(b) rf - SQUID

. 図 2-1. SQUID (量子干渉計) の等価回路

そのため動作マージンが小さいという重大な問題点がある。これに対して後者の場合にはジョセフソン接合と並列にインダクタンスが入っているのでこのような問題はないが、 $rf-SQ$   $UID$ を基本ゲートとして回路を構成すると回路全体として見ると入出力対称であるため、信号伝搬の一方向性をとるためには3相クロックが必要であり、回路全体の動作速度は高速とはならず、また3相配線が必要であるため高密度集積化も困難である。

本研究では、ジョセフソン素子の超高速性および低消費電力であるために高密度集積化が可能であるという利点を活用するために、信号伝搬の一方向性をとるために3相クロックを用いる必要のない一方向化磁束量子論理回路を提案した。<sup>41) 42)</sup>本章では、最初に磁束量子論理回路と関連のある超伝導回路の基本的な性質について簡単に述べた後、この回路の構成法、動作原理、回路パラメータの決定、安定性の検討および動作シミュレ



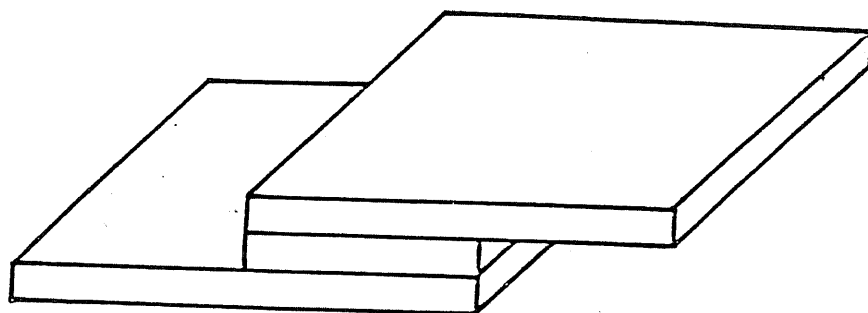
ーションによる動作確認について述べる。

## 2-2 ジョセフソン効果と磁束量子化

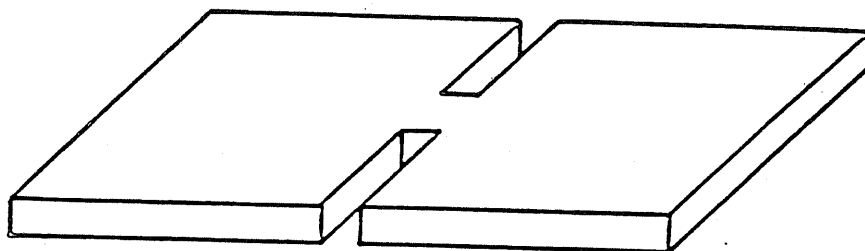
### 2-2-1 ジョセフソン効果

ジョセフソン接合は、その構造から大きくトンネル型とブリッジ（弱結合）型の2つに分類することができる。トンネル型は図2-2(a)に示すように2つの超伝導体が薄い絶縁膜で隔てられた構造になっており、これを通してクーパー対がトンネリングすることによりジョセフソン効果が現われる。これに対してブリッジ型は、図2-2(b)に示す Dayemブリッジや、図2-2(c)に示す Variable Thicknessブリッジ（以下VTBと示す）などのように2つの超伝導体が超伝導性の弱い導体によって結合しているものである。

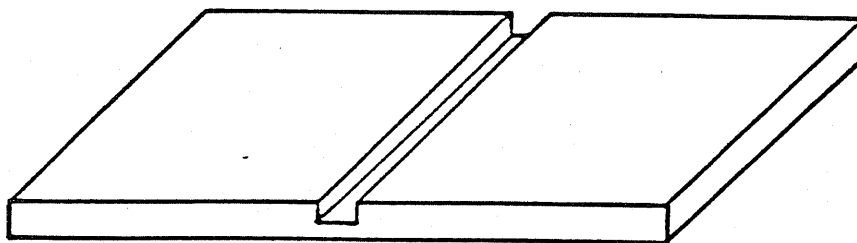
ジョセフソン接合では2つの超伝導体間の超伝導オーダーパラメータの位相差 $\varphi$ によって決まる超伝導電流が流れる。理想的な場合にはこれは次式で表わされる。



(a) トンネル型 ジョセフソン 接合



(b) Dayem ブリッジ (マイクロブリッジ)



(c) VTB ( Variable Thickness Bridge)

$$I = I_0 \sin \varphi \quad (I_0: \text{臨界電流}) \quad (2-1)$$

これを dc - ジョセフソン効果と言う。

また位相差  $\varphi$  は電極間の電圧  $V$  に比例した速度で変化する。

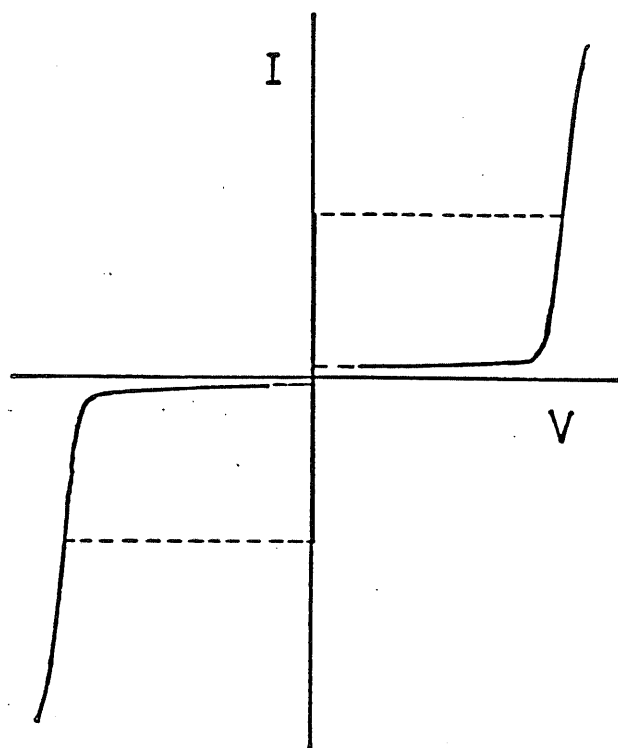
$$\frac{d\varphi}{dt} = \frac{2e}{\hbar} V = \frac{2\pi}{\Phi_0} V \quad (2-2)$$

これを ac - ジョセフソン効果と言う。

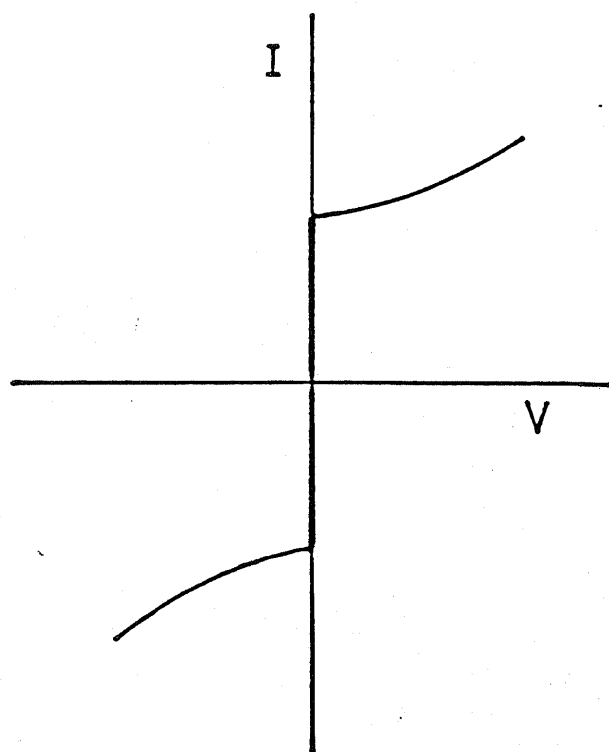
いずれの型の接合でも端子間電圧 0 で  $I_0$  までの電流を流すことができるが、その  $I-V$  特性は図 2-3 (a), (b) に示すように 2 つの型の接合で大きく異なる。これは両者で電極間の並列容量が大きく異なるためである。

## 2-2-2 ジョセフソン接合のモデル

実際のジョセフソン接合に流れる電流は式 (2-1) で表わされる クーパー対による電流のみではなく、接合が電圧状態にある場合には準粒子電流が、またこの電圧が時間的变化をしている場合には接合容量を通して変位電流がクーパー対の電流と並列に流れる。したがって、ジョセフソン接合の等価回路は図



(a) トンネル型素子



(b) ブリッジ型素子

図 2-3 ジョセフソン素子の電流-電圧特性

2-4に示すようなRSJ (Resistively Shunted Junction)

モデル<sup>43)44)</sup>で表わすことができる。

接合を流れる電流を  $I$  とすると式 (2-2) を用いると次式が成立する。

$$I = I_c \sin \varphi + \left( \frac{\Phi_0}{2\pi} \right) \frac{1}{R} \frac{d\varphi}{dt} + \left( \frac{\Phi_0}{2\pi} \right)^2 C \frac{d^2\varphi}{dt^2} \quad (2-3)$$

上式を次式のように書き直すと。

$$\left( \frac{\Phi_0}{2\pi} \right)^2 C \frac{d^2\varphi}{dt^2} + \left( \frac{\Phi_0}{2\pi} \right)^2 \frac{1}{R} \frac{d\varphi}{dt} = -\frac{dU}{d\varphi} \quad (2-4)$$

$$U(\varphi) = \frac{\Phi_0}{2\pi} I_c \left[ (1 - \cos \varphi) - \frac{I}{I_c} \varphi \right] \quad (2-5)$$

これは図2-5に示すようなポテンシャルの場合、質量

$\left( \frac{\Phi_0}{2\pi} \right)^2 C$  の質点  $\left( \frac{\Phi_0}{2\pi} \right)^2 \frac{1}{R}$  の粘性抵抗を受けながら運動して

いる場合の運動方程式と一致している。このアナロジーで考え

ると、図2-5 aのように  $I < I_c$  の場合には、質点ポテン

シャルの谷の中に静止しており、 $V = d\varphi / dt = 0$  の超伝導

状態に相当する。或は  $I > I_c$  の場合で、この場合には質点の

位置 ( $\varphi$ ) は時間と共に変化し電圧状態に相当する。

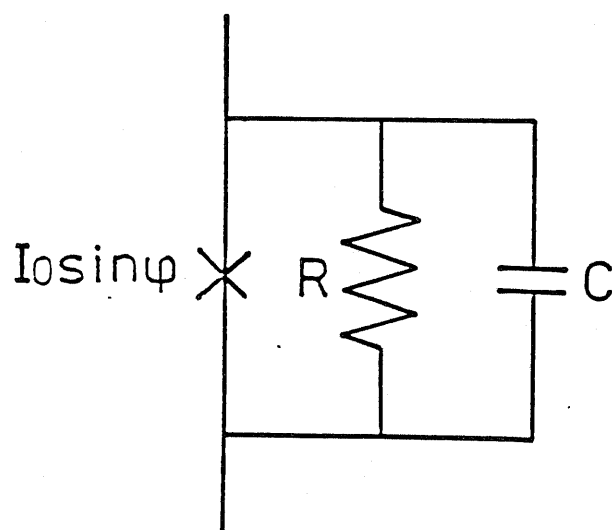


図 2-4 R S J ㊦ ㊦ IL

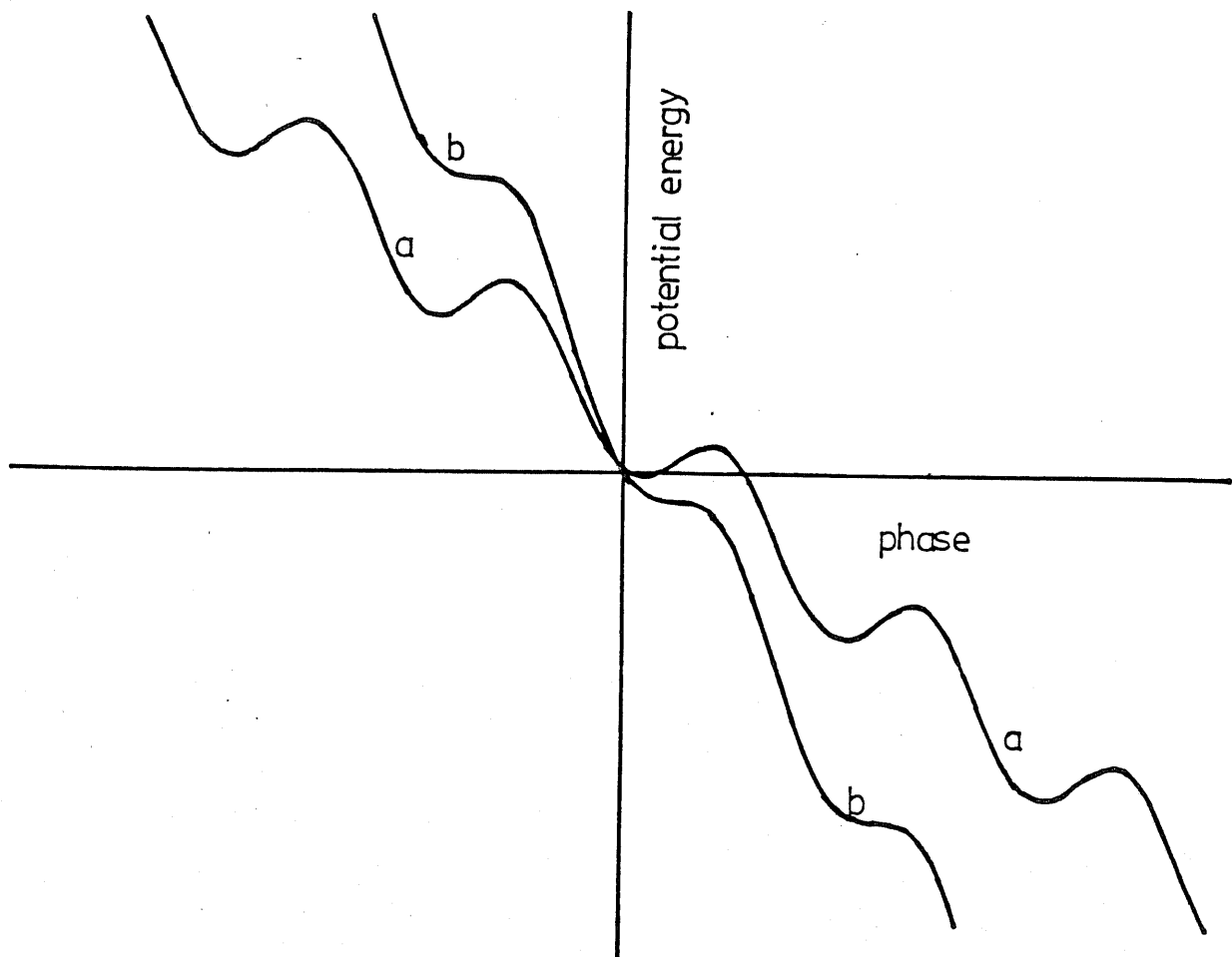


図 2 - 5 ジョセフソン素子の位相差に対する  
ポテンシャル  
a.  $I < I_c$       b.  $I > I_c$

## 2-2-3 磁束量子化

超伝導回路に特有な現象に磁束量子化がある。図2-6(a)のような超伝導リングで、表面から十分離れた積分路 $C$ 上で、超伝導電子対(クーパー対)の波動関数の位相 $\theta$ の傾きを積分すると、マイスナー効果により $\vec{E} = 0$ であるから

$$\hbar \oint_C \nabla \theta \cdot d\vec{l} = 2e \oint_C \left( A + \frac{m}{2e \rho_s} \vec{E} \right) \cdot d\vec{l} \quad (2-7)$$

$$= 2e \Phi \quad (2-8)$$

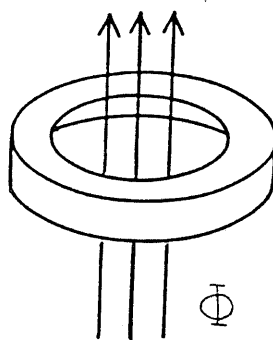
ここで、 $A$ はベクトルポテンシャル、 $m$ と $e$ は電子の質量と電荷、 $\rho_s$ はクーパー対の密度、 $\Phi$ は超伝導リングと鎖交する磁束である。

波動関数は常に一価連続でなければならぬから、上式の左辺の積分は $2n\pi$ ( $n$ は整数)でなければならぬ。したがって次式の磁束量子化条件が成立する。

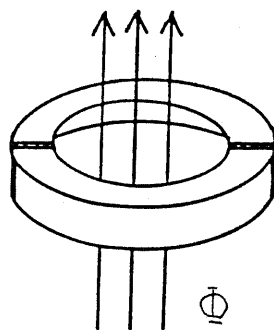
$$\Phi = \frac{\hbar}{2e} 2n\pi = n \Phi_0. \quad (2-9)$$

$\Phi_0$ は磁束量子で、 $2.07 \times 10^{-15}$  [wb]である。

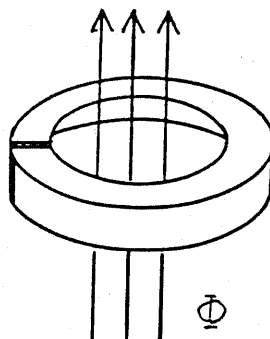




(a) 超伝導リング



(b) dc - SQUID



(c) rf - SQUID

図 2 - 6 超伝導リングの磁束量子化

また、図 2-6 (b) の dc-SQUID、(c) の rf-SQUID のようにループ中にジョセフソン接合の含まれる場合には積分路に沿った各接合の両端の位相差を  $\varphi_i$  とすれば、次式が成立する。

$$\Phi + \frac{\Phi_0}{2\pi} \sum_i \varphi_i = n \Phi_0. \quad (2-10)$$

式 (2-7) の右辺の積分をフラクソイドと呼ぶことから、上式の関係をフラクソイド量子化条件と呼ぶ。

### 2-3 基本ゲートおよび動作原理

前述したように、従来の rf-SQUID を用いた磁束量子論理回路の技術的な問題点は信号伝搬の一方向性すなわち入力側と出力側の十分な分離がとれないことである。この問題を解決するために基本ゲートとして図 2-7 に示すゲートを考える。ここで、 $I_{B1}$ ,  $I_{B2}$  はバイアス電流を、 $I_c$  は入力電流を表わし、また、 $\lambda = \frac{2\pi L I_0}{\Phi_0}$ 、 $I_0$  は  $J_1$  の臨界電流である。

一般に、ジョセフソン素子を用いた回路のポテンシャルエネ

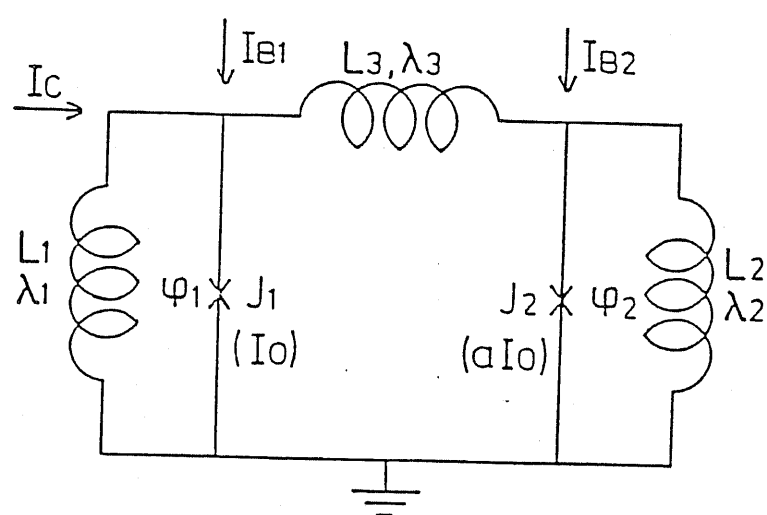


図 2-7. 基本ゲート

ルギーは次の3つの要素から成る。<sup>45)</sup>

(i) ジョセフソン接合のポテンシャルエネルギー

$$U_J = \frac{\Phi_0}{2\pi} I_0 (1 - \cos \varphi_J) \quad (2-11)$$

(ii) インダクタのポテンシャルエネルギー

$$U_L = \left(\frac{\Phi_0}{2\pi}\right)^2 \cdot \frac{\varphi_L}{2L} \quad (2-12)$$

(iii) 電流源のポテンシャルエネルギー

$$U_I = -\frac{\Phi_0}{2\pi} I \varphi_I \quad (2-13)$$

ここで、 $\varphi_J$ 、 $\varphi_L$ 、 $\varphi_I$  はそれぞれ接合の両端の位相差、インダクタの両端の位相差、電流の流入点の位相を表わし、流入する電流を正とする。

したがって、図2-7のゲートのポテンシャルエネルギーは次式で表わされる。

$$U = \frac{\Phi_0 I_0}{2\pi} \left[ 1 - \cos \varphi_1 + a(1 - \cos \varphi_2) - (i_{B1} + i_c) \varphi_1 - i_{B2} \varphi_2 + \frac{\varphi_1^2}{2\lambda_1} + \frac{\varphi_2^2}{2\lambda_3} + \frac{(\varphi_1 - \varphi_2)^2}{2\lambda_2} \right] \quad (2-14)$$

ここで、 $I_0$  は左側の接合の臨界電流、 $a I_0$  は右側の接合の

臨界電流を表わし,  $i_{c,B1,B2} = I_{c,B1,B2} / I_0$  である。

式(2-14)は図2-7の2つのジョセフソン接合の両端の位相差  $\varphi_1, \varphi_2$  の関数であり, このゲートは物理的に安定な状態すなわち  $U$  を極小とするような  $\varphi_1, \varphi_2$  で定まる状態に落ち着く。<sup>46)47)</sup>したがって, 式(2-14)の極小となる安定化条件を満足する  $\varphi_1, \varphi_2$  の領域を求め, これから対応する  $I_2 - I_1$  平面の領域を求めることにより図2-7のゲートのしきい値特性を求めることができる。

式(2-14)の安定化条件は以下の式で与えられる。

$$\frac{\partial U}{\partial \varphi_1} = \frac{\Phi_0 I_0}{2\pi} \left[ \sin \varphi_1 - (i_{B1} + i_c) + \frac{\varphi_1}{\lambda_1} + \frac{\varphi_1 - \varphi_2}{\lambda_3} \right] = 0 \quad (2-15)$$

$$\frac{\partial U}{\partial \varphi_2} = \frac{\Phi_0 I_0}{2\pi} \left[ a \sin \varphi_2 - i_{B2} + \frac{\varphi_2}{\lambda_2} - \frac{\varphi_1 - \varphi_2}{\lambda_3} \right] = 0 \quad (2-16)$$

$$\frac{\partial^2 U}{\partial \varphi_1^2} = \frac{\Phi_0 I_0}{2\pi} \left( \cos \varphi_1 + \frac{1}{\lambda_1} + \frac{1}{\lambda_3} \right) > 0 \quad (2-17)$$

$$\frac{\partial^2 U}{\partial \varphi_2^2} = \frac{\Phi_0 I_0}{2\pi} \left( a \cos \varphi_2 + \frac{1}{\lambda_2} + \frac{1}{\lambda_3} \right) > 0 \quad (2-18)$$

$$\begin{aligned} & \frac{\partial^2 U}{\partial \varphi_1^2} \cdot \frac{\partial^2 U}{\partial \varphi_2^2} - \left( \frac{\partial^2 U}{\partial \varphi_1 \partial \varphi_2} \right)^2 \\ &= \left( \frac{\Phi_0 I_0}{2\pi} \right)^2 \left[ \left( \cos \varphi_1 + \frac{1}{\lambda_1} + \frac{1}{\lambda_3} \right) \left( a \cos \varphi_2 + \frac{1}{\lambda_2} + \frac{1}{\lambda_3} \right) - \frac{1}{\lambda_3^2} \right] > 0 \end{aligned} \quad (2-19)$$

ここで、式(2-15)、(2-16)は図2-7の各ループでの  
フラクソイド量子化条件および電流に関する Kirchhoff の関  
係式に相当している。

以上の式を満足する  $\varphi_1 - \varphi_2$  平面の存在領域の例を図2-8  
に、これに対応する  $I_1 - I_2$  平面のしきい値特性の計算結果の  
例を図2-9にそれぞれ示す。ここで、かっこ内の数字( $k_1$ ,  
 $k_2, k_3$ )はそれぞれ各ループ中の磁束量子の数を表わし、+  
符号は時計方向の周回電流に伴なう向きを、-符号は反時計方  
向の周回電流に伴なう向きを表わす。この時外側のインダクタ  
ループ中の磁束量子化条件および初期条件から次式が成立しな  
ければならない。

$$k_1 + k_2 + k_3 = 0 \quad (2-20)$$

また、図2-8, 9の回路パラメータの値はそれぞれ次のよう  
な値である。

$$a = 2, \lambda_1 = \lambda_3 = \pi, \lambda_2 = \pi/2, I_{B1} = 0$$

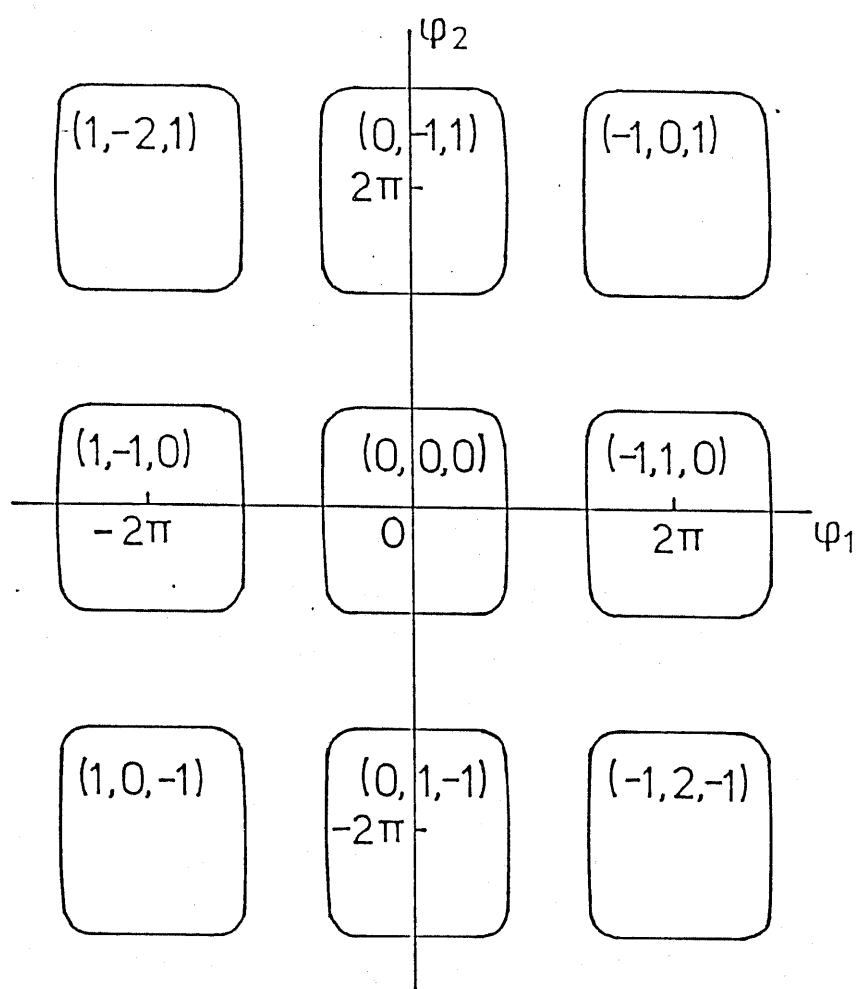


図2-8. 基本ゲート (図2-7) の位相平面におけるしきい値特性

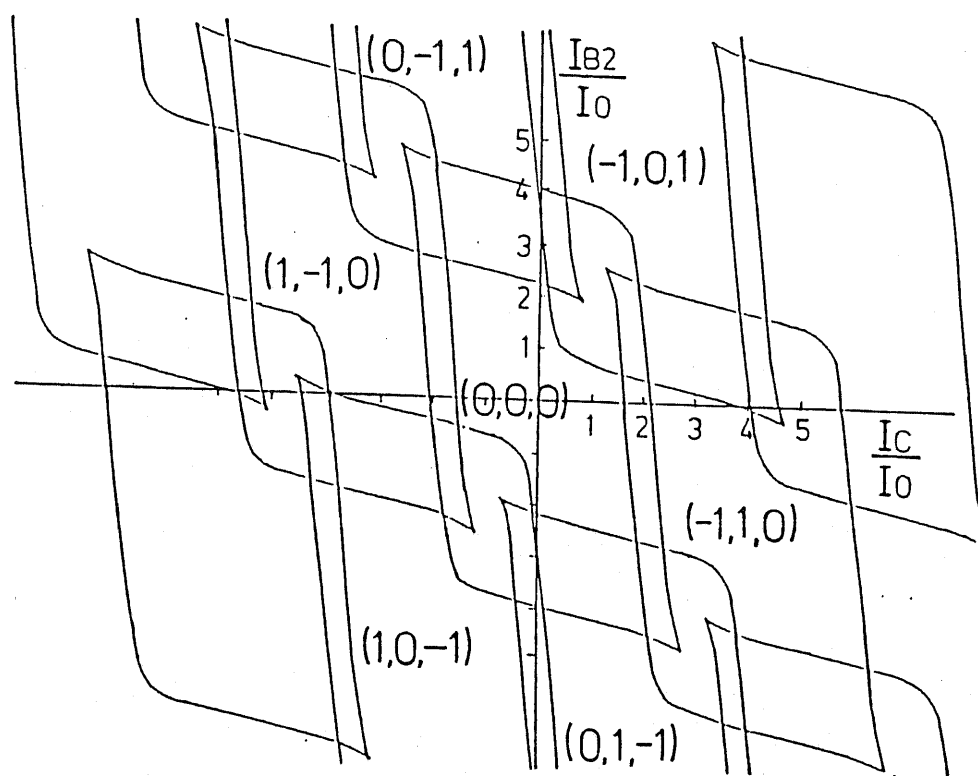


図 2-9 ゲート ( 図 2-7 ) の しきい値特性の 例



このゲートでは、 $dc-SQUID$ と異なり図2-8に示すように各モードに対応する位相平面の領域はすべて異なるから各モードにおけるポテンシャルエネルギーの最小点は位相平面内にただ一つしか存在しない。また、図2-9に示すように電流平面上には必ず少なくとも一つのモードが存在しているから、このゲートが定常的に電圧状態になることはない。

図2-7のゲートの動作原理について以下に述べる。

バイアス電流のみが加わり入力電流が加わっていない場合にはどのループ中にも磁束量子が存在せず、 $(0, 0, 0)$  モードにある。これを論理状態 '0' に対応させる。入力電流が加わると接合  $J_1$  が瞬間的に電圧状態にスイッチし、図2-10(a)に示すように磁束量子化条件を満足するような周回電流が発生して  $J_1$  は超伝導状態にもどる。この真中のループ中の時計方向の周回電流によって  $J_2$  が瞬間的に電圧状態にスイッチし、(a)の場合と同様に(b)のループの外側に示したような1組の

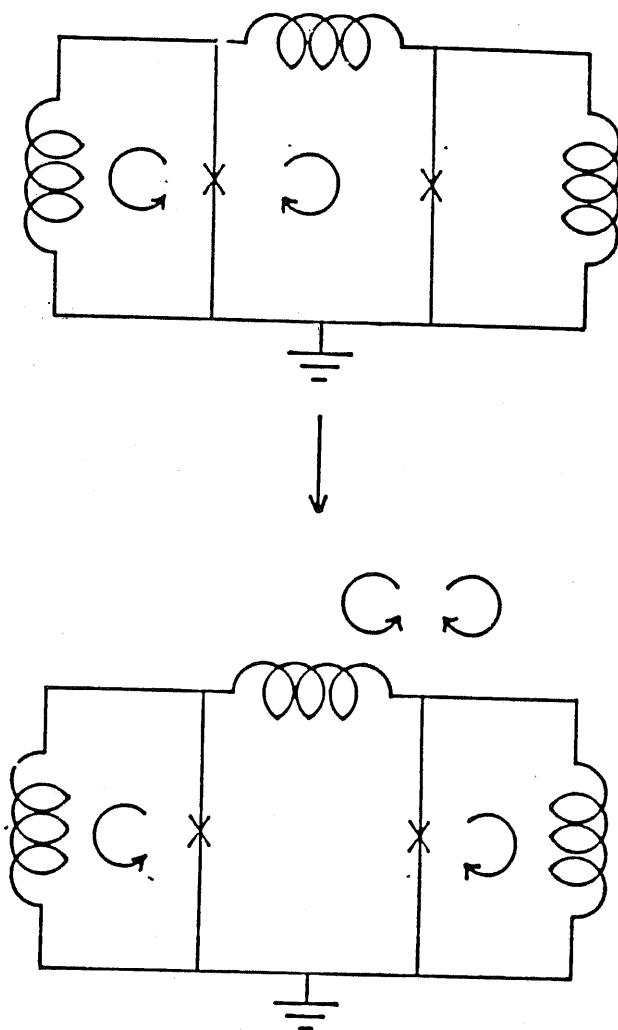
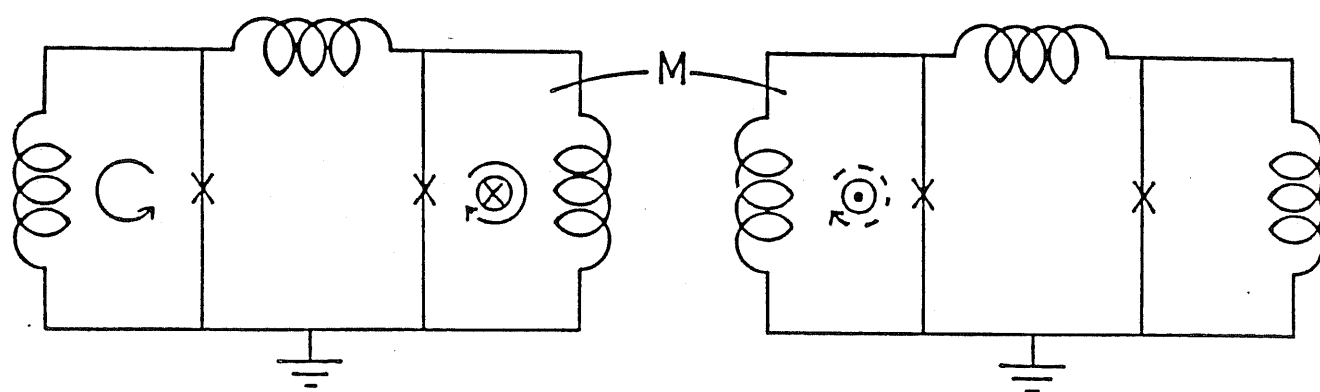


図 2-10 図 2-7 のゲートの動作原理

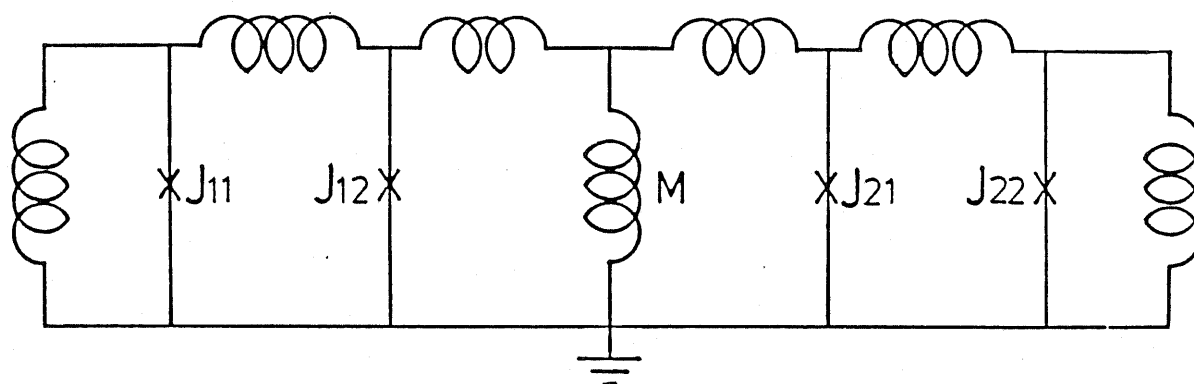
反対方向の周回電流が発生して J2 は超伝導状態にもどり、結局 (b) に示すように磁束量子が右側のループに伝搬された

$(-1, 0, 1)$  モードになる。これを論理状態 '1' に対応させる。

2つのゲート間の接続は、図 2-11 (a) に示すように2つのゲートを相互インダクタンスで結合させればよい。1段めのゲートが  $(-1, 0, 1)$  モードに遷移すると右側のループに流れる周回電流により、次段のゲートの左のループに図の向きの磁束が鎖交し、これを打ち消す電流が流れることにより、次段の接合 J21 が瞬間的に電圧状態にスイッチし、前述したように次段が  $(0, 0, 0)$  モードから  $(-1, 0, 1)$  モードに遷移する。実際に回路を構成する場合には (a) のような相互インダクタンスによる接続では多相配線が必要であるため、(b) に示すようにこれを変換した回路を考える。この時後段のゲートが  $(-1, 0, 1)$  モードに遷移し周回電流が発生しても、この接続



(a) 相互インダクタンスによる接続



(b) (a) を T 変換した接続

図 2-11 ゲート間の接続

を介して前段のゲートに加わる電流によって持ちこたれた電圧状態にスイッチしないので、逆方向には信号が伝搬されず信号伝搬の一方方向性をとることができる。

また、電流が加わっていない場合にはしきい値特性上でゲートは  $(0, 0, 0)$  モードのみの内部にあるから、ゲートのリセットは従来のトンネル型ジョセフソン素子を用いた論理回路の場合と同様に、バイアス電流を0にもどすことにより行なうことができる。これは次のような動作による。左右の  $\text{rf-SQWID}$  には電流が加わっていない時には磁束量子が安定に入ることができないようにパラメータが設定されているので、図 2-10 (b) のような周回電流が流れている状態で、2つのバイアス電流が同時に0にもどると、左右のループ中のそれぞれ反時計方向、時計方向の周回電流によって、接合  $J_1$ 、 $J_3$  が瞬間的に電圧状態にスイッチし、左右のループ中の反対方向の2つの磁束量子が真中のループで打ち消し合うことによって、

3つのどのループにも磁束量子が存在しなくなり、ゲートは  $(0, 0, 0)$  モードにもどる。

ただし、このゲートの場合にはトンネル型素子を用いた論理回路の場合とは異なり、ジョセフソン接合は定常的な電圧状態にはないから、トンネル型素子の場合に問題となっている 'パシスルー' のように、バイアス電流を0にもどすことによってゲートが安定にリセットできないという問題は発生せず、安定にゲートを  $(0, 0, 0)$  モードにリセットすることができる。

これについては、後述するポテンシャルエネルギーの等高線図のところで詳細に説明する。

## 2-4 ゲートの設計

### 2-4-1 基本ゲートの動作マージン

図2-7のゲートの2つの接合の臨界電流の比  $(\alpha)$  やインダクタンスの値  $(\kappa_1, \kappa_2, \kappa_3)$  などの回路パラメータを変化させると、これに伴って図2-9に示したしきい値特性が

変化する。したがって、これらの回路パラメータの値を最適に設計することが重要である。

ここで考慮すべきことは次の2点である。

(i) ゲートの出力側の変動の入力側に対する影響をできる限り小さくすること。

(ii) バイアス電流に対する動作領域をできるだけ大きくすること。

以上の条件としきい値特性との関係を考える上で、しきい値特性を線形化法によって求めると便利である。この場合には、図2-8の位相平面における各モード( $k_1, k_2, k_3$ )の存在領域を次のように近似する。

$$\left\{ \begin{array}{l} 2k_1\pi - \frac{\pi}{2} \leq \varphi_1 \leq 2k_1\pi + \frac{\pi}{2} \end{array} \right. \quad (2-20)$$

$$\left\{ \begin{array}{l} 2k_3\pi - \frac{\pi}{2} \leq \varphi_2 \leq 2k_3\pi + \frac{\pi}{2} \end{array} \right. \quad (2-21)$$

$$\left\{ \begin{array}{l} k_1 - k_3 = k_2 \end{array} \right. \quad (2-22)$$

また、この位相平面の領域に対応する電流平面の領域を求める

際に次式の近似を行なう。

$$\sin \varphi = \frac{2}{\pi} \varphi \quad \left( 2k\pi - \frac{\pi}{2} \leq \varphi \leq 2k\pi + \frac{\pi}{2} \right) \quad (2-23)$$

図2-12に以上の線形化法により求めたしきい値特性の例を示す。ここでは、 $(0, 0, 0)$ ,  $(-1, 0, 1)$ ,  $(-1, 1, 0)$ の3つのモードしか示していないが、考えている論理状態間の遷移は、 $(0, 0, 0) \rightarrow (-1, 0, 1)$ のモード遷移なので、前述の条件を考える上で考慮すべきなのは、図2-7で真中のループに周回電流が流れた時に、接合J2がスイッチしない場合すなわち $(-1, 1, 0)$ モードのみである。

(i) の条件は、出力側の接合の両端の位相差  $\varphi_2$  が変動した場合に入力側の接合の両端の位相差  $\varphi_1$  の変化をできるだけ小さくすることである。しきい値特性上で、 $\varphi_1 = \text{一定}$ ,  $\varphi_2 = \text{一定}$ という直線は、図2-12に示すようになるから、(i)の条件を満足するためにはしきい値特性の傾きをできるだけ急峻にすればよいことになる。この傾きを線形化法により求める



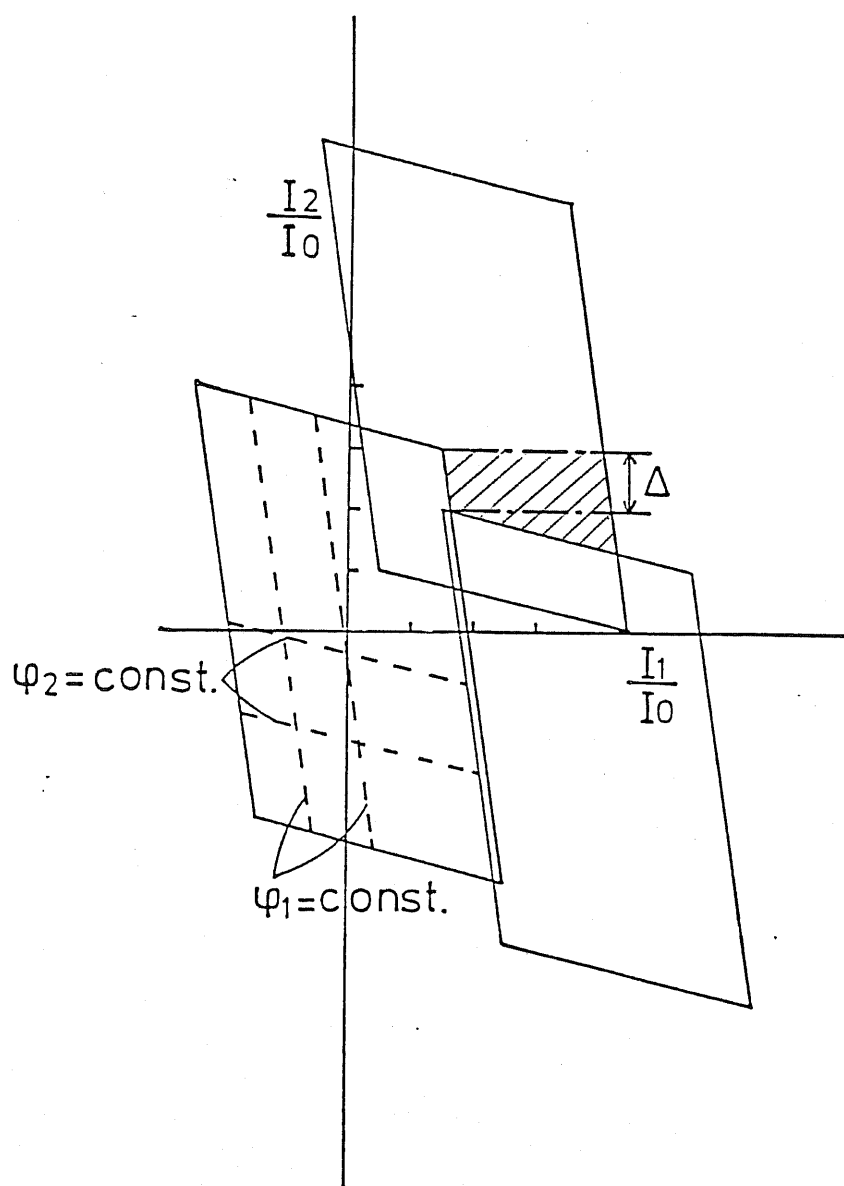


図 2 - 12 線形化法によるしきい値特性

$$I_1 = I_{B1} + I_c, \quad I_2 = I_{B2}$$

と次式のようになる。

$$\left| \frac{\Delta I_B}{\Delta I_C} \right| = \frac{2a\lambda_3}{\pi} + 1 + \frac{\lambda_3}{\lambda_2} \quad (2-24)$$

これから、 $a$ ,  $\lambda_3$  を大きくするか  $\lambda_2$  を小さくすればよいことがわかる。図2-7のゲートでは、 $I_B$ が変化した場合、その変化分  $\Delta I_B$  は真中のループおよび右側のループの磁束量子化条件を満足するように、接合J2, インダクタL2, およびL3と接合J1の直列から成る3つの枝に分割される。ところで、ジョセフソン接合が超伝導状態にある場合にはその臨界電流を  $I_c$ , 両端の位相差を  $\varphi_J$  とすると、次式のようなカイネティック・インダクタンスを持つ。

$$L_J = \frac{\Phi_0}{2\pi} \cdot \frac{1}{I_c \cos \varphi_J} \quad (2-25)$$

したがって、 $I_B$ が変化した場合にJ1の位相差  $\varphi_1$  の変化を小さくするためには、L2および  $L_{J2}$  を小さくし、L3を大きくすればよいわけである。これはdc-SQUIDの場合も同様である<sup>48)</sup>。図2-8, 9の回路パラメータで  $a=2$ ,  $\lambda_2$

$= \lambda_1 / 2$  となっているのはこのためである。

しかし、このゲートではゲート間の接続を相互インダクタン  
スによって行なうので  $\lambda_2$  を無制限に小さくすることはできな  
いので、それに伴って  $\Delta$  の値もそれほど大きくすることはで  
きない。したがって、 $\left| \frac{\Delta \dot{\lambda}_B}{\Delta \dot{\lambda}_C} \right|$  を大きくするためには  $\lambda_3$  を  
大きくしなければならない。

また、図 2-12 の斜線部分が動作領域を意味するので、この  
領域ができるだけ大きいことが望ましい。図中の  $\Delta$  の値を線形  
化法によって求めると次式のようになる。

$$\Delta = \frac{\pi}{\lambda_3} \quad (2-26)$$

これは  $\lambda_3$  が大きくなると真中のループに磁束量子が安定に入  
ることができるため、論理動作とは関係のない  $(-1, 0, 1)$   
モードが大きくなり、動作マージンが小さくなるためである。

以上から、前述の (i), (ii) の条件はトレードオフの関係に  
あるから、図 2-7 のゲートではしきい値特性の傾きを 7 程度

に大きくすると、バイアス電流に対する動作マージンは20%程度と小さくなってしまう。

## 2-4-2 3接合ゲート

前述したように、図2-7の2接合ゲートでは(i), (ii)の条件を同時に満足することはできない。そこで、このゲートと同様に信号伝搬の一方向性をとることができ、かつ以上の問題点を解決することのできるゲートとして図2-13に示すゲートを考える。

このゲートのしきい値特性も前節で説明したのと同じ方法で求めることができる。図2-13のゲートのポテンシャルエネルギーは次式で表わされる、

$$\begin{aligned}
 U = & \frac{\Phi_0 I_0}{2\pi} [1 - \cos \varphi_1 + b(1 - \cos \varphi_2) + a(1 - \cos \varphi_3) \\
 & - (i_c + i_{B1}) \varphi_1 - i_{B2} \varphi_2 \\
 & + \frac{\varphi_1^2}{2\lambda_1} + \frac{(\varphi_1 - \varphi_2)^2}{2\lambda_3} + \frac{(\varphi_2 - \varphi_3)^2}{2\lambda_4} + \frac{\varphi_3^2}{2\lambda_2} ] \quad (2-27)
 \end{aligned}$$

ここで、各ループのフラクソイド量子化条件、および電流に関

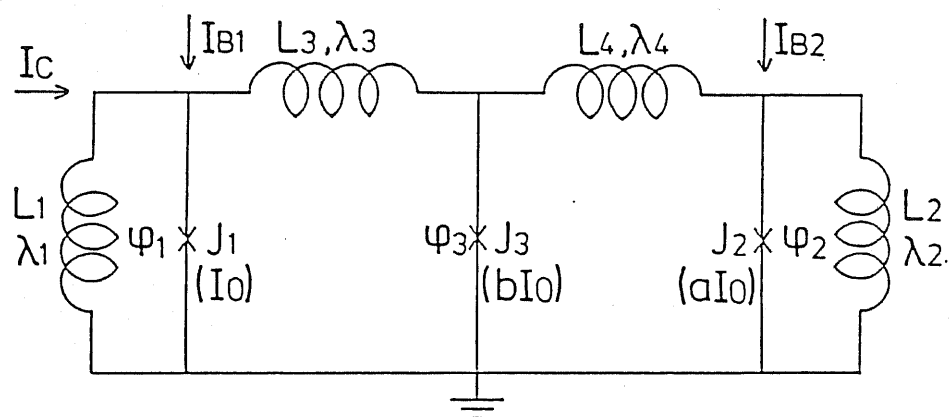


図 2-13 動作マージンを大きくするための  
3 接合ゲート

する Kirchhoff の式から以下の式が成立する。

$$\frac{\partial u}{\partial \varphi_1} = \frac{\Phi_0 I_0}{2\pi} \left[ \sin \varphi_1 - (\lambda_C + \lambda_{B1}) + \frac{\varphi_1}{\lambda_1} + \frac{\varphi_1 - \varphi_2}{\lambda_3} \right] = 0 \quad (2-28)$$

$$\frac{\partial u}{\partial \varphi_2} = \frac{\Phi_0 I_0}{2\pi} \left[ b \sin \varphi_2 - \frac{\varphi_1 - \varphi_2}{\lambda_3} + \frac{\varphi_2 - \varphi_3}{\lambda_4} \right] = 0 \quad (2-29)$$

$$\frac{\partial u}{\partial \varphi_3} = \frac{\Phi_0 I_0}{2\pi} \left[ a \sin \varphi_3 - \lambda_{B2} - \frac{\varphi_2 - \varphi_3}{\lambda_4} + \frac{\varphi_3}{\lambda_2} \right] = 0 \quad (2-30)$$

式(2-26)では変数が3つあるが、以上の3式よりこのうち独立な変数は2つのみであり、したがって独立変数を $\varphi_1, \varphi_2$ とし、前節と同様に式(2-26)の安定化条件から各モードに対応する $\varphi_1 - \varphi_2$ 平面の領域を求め、式(2-27), (2-29)から対応する $I_1 - I_2$ 平面の領域を求めることにより、図2-13のゲートのしきい値特性を求めることができる。

図2-14に以上の方法で求めた図2-13のゲートのしきい値特性の計算結果の例を示す。ここで、かゝり内の教字( $k_1, k_2, k_3, k_4$ )は前節と同様に、図2-13のゲートの4つのループ中の磁束量子の数を表わし、外側のループの磁束量子

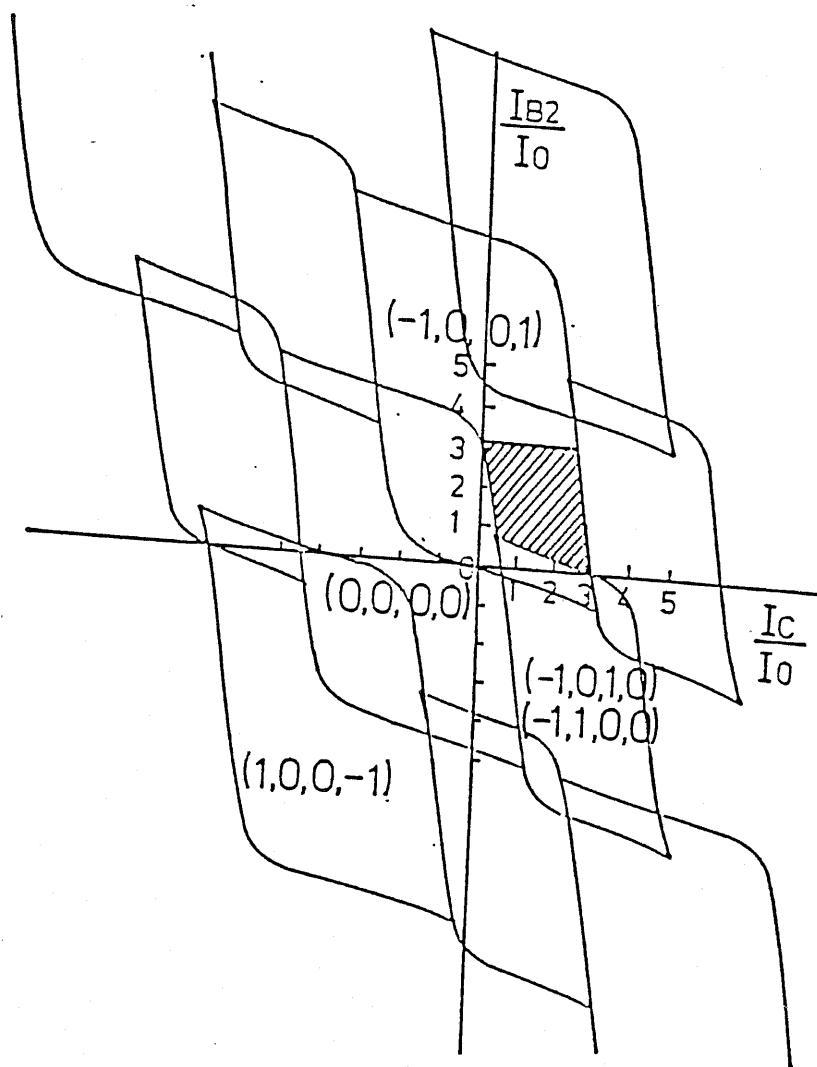


図 2-14 3 接合ゲートのしきい値特性の例

化条件より次式が成立しなければならない。

$$K_1 + K_2 + K_3 + K_4 = 0 \quad (2-30)$$

また、図 2-14 の回路パラメータの値は次のような値である。

$$\left( \begin{array}{l} a = 2, \quad b = 1, \quad \lambda_1 = \frac{9}{10}\pi, \quad \lambda_2 = \frac{9}{20}\pi \\ \lambda_3 = \lambda_4 = \frac{3}{10}\pi, \quad I_{B1} = 2I_0 \end{array} \right.$$

図 2-13 のゲートの動作原理について以下に述べる。

バイアス電流のみが加わり入力電流が加わっていない場合には

どのループにも磁束量子がなく、 $(0, 0, 0, 0)$ モードにある。

これを論理状態 '0' に対応させる。入力電流が加わると接合

J1 が瞬間的に電圧状態にスイッチし、図 2-15 (a) に示す

ような周回電流が発生して J1 は超伝導状態にもどる。この時

計方向の周回電流によって接合 J3, J2 が連続して瞬間的に

電圧状態にスイッチし、結局 (b) のように磁束量子が伝搬され

$(-1, 0, 0, 1)$  モードになる。これを論理状態 '1' に対応さ

せる。ここで、真中の接合 J3 の臨界電流値を  $I_0$  とインダク



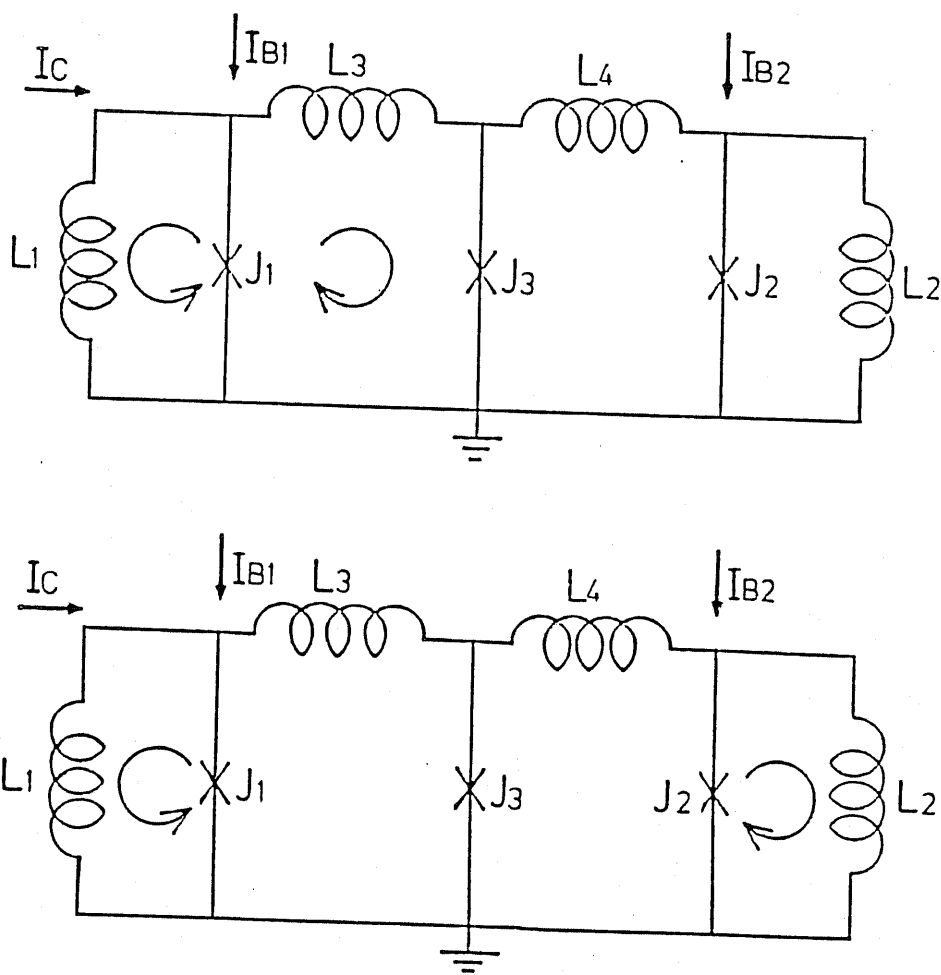


図 2-15 3 接合ゲートの動作原理

タンス L3、および L4 の積をそれぞれ十分小さくすると、甲側の 2 つのループ<sup>0</sup>には磁束量子が安定に入ることができなくなり、しきい値特性上で論理状態に関係のない  $(-1, 1, 0, 0)$  と  $(-1, 0, 1, 0)$  の 2 つのモードの領域を小さくすることができ (i), (ii) の条件を同時に満足させることができる。図 2-14 の場合にはしきい値特性の傾きを  $\gamma$  としたままで、バイアス電流に対する動作マージンを 50% 以上とすることができる。

このゲートの場合にも、ゲート間の接続は 2 接合ゲートと同様に相互インダクタンスによる接続を  $\Gamma$  変換したものにより行なうことができる。また後段のゲートに大電流が出力側から加わって周回電流が発生しても、この接続を介して前段のゲートに加わる電流によって  $J_{13}$  が電圧状態にスイッチしないので逆方向には信号が伝搬しない。信号伝搬の一方方向性をとることができる。また、バイアス電流が加わっていない場合にはこのゲートは  $(0, 0, 0, 0)$  モード内にのみあるから、このゲート

のリセットもバイアス電流を0にもどすことにより行なうことができる。

図2-9 および 2-14 に示したしきい値特性は、それぞれのゲートに対して以上のような回路パラメータの最適化を行なったゲートに対するものであり、図2-14 に示している斜線部分は図2-13 のゲートの動作領域を表わしている。

## 2-5 ゲートの安定性の検討

ジョセフソン接合を臨界電流以下にバイアスしていても熱雑音の影響で接合が電圧状態に移移してしまう場合があることが知られている<sup>49)-51)</sup>。これは図2-5 に示したジョセフソン接合のモデルで考えると次のように説明できる。接合を臨界電流以下にバイアスしている場合には位相線上にポテンシャルの谷が多数個存在している。バイアス電流が臨界電流に近づくと、これらの谷の深さがだんだん浅くなっていくが、これがある程度浅くなると熱雑音によって質点がポテンシャルの山を越えて転

がり出してしまふ。これが熱雑音による電圧状態への遷移に相当する。

前述したように、前節までに説明したゲートでは定常的な電圧状態に遷移することはないが、熱雑音によってジョセフソン接合が瞬間的に電圧状態に遷移すると、好ましくないモード間遷移が生じてしまふ。したがって、このような誤動作が起らないようにバイアス点、動作点などを設定する必要がある。

ゲートの安定性について検討するために、単一のジョセフソン接合の場合と同様にゲートのポテンシャルエネルギーの等高線図を考察する。<sup>52), 53)</sup>

前述したように、図2-7の2接合ゲートのポテンシャルエネルギーは式(2-14)で表わされる。したがって、 $i_{B1}$ ,  $i_c$  および  $i_{B2}$  を定めると、回路のポテンシャルエネルギーを  $\varphi_1$ ,  $\varphi_2$  の関数として計算することができる。

図2-16にこのゲートに電流が加わっていない場合(しきい

値特性の原点)のポテンシャルエネルギーの $\varphi_1 - \varphi_2$ 平面における等高線図を示す。しきい値特性上で原点は $(0, 0, 0)$ モードのみの内部にあるから、この場合には図2-16に示すように位相平面内にポテンシャルエネルギーの谷は一つしかない。したがって、ゲートに電流が加わっていない場合にはゲートは必ず $\varphi_1 = \varphi_2 = 0$ 、すなわち $(0, 0, 0)$ モードに落ち着く。

同様に、このゲートにバイアス電流および入力電流の両方を加えた場合(ゲートの動作点)のポテンシャルエネルギーの位相平面における等高線図を図2-17に示す。この場合にも、しきい値特性上でこの点は $(-1, 0, 1)$ モードのみの内部にあるから、ポテンシャルエネルギーの谷は図2-17に示すように一つしかない。したがって、バイアス電流の加わっている時に入力電流が加わると、ゲートは必ず $\varphi_1 \simeq 2\pi$ 、 $\varphi_2 \simeq 2\pi$ という状態に落ち着くから、 $(-1, 0, 1)$ モードになる。

次に、しきい値特性上でバイアス電流のみが加わっている場

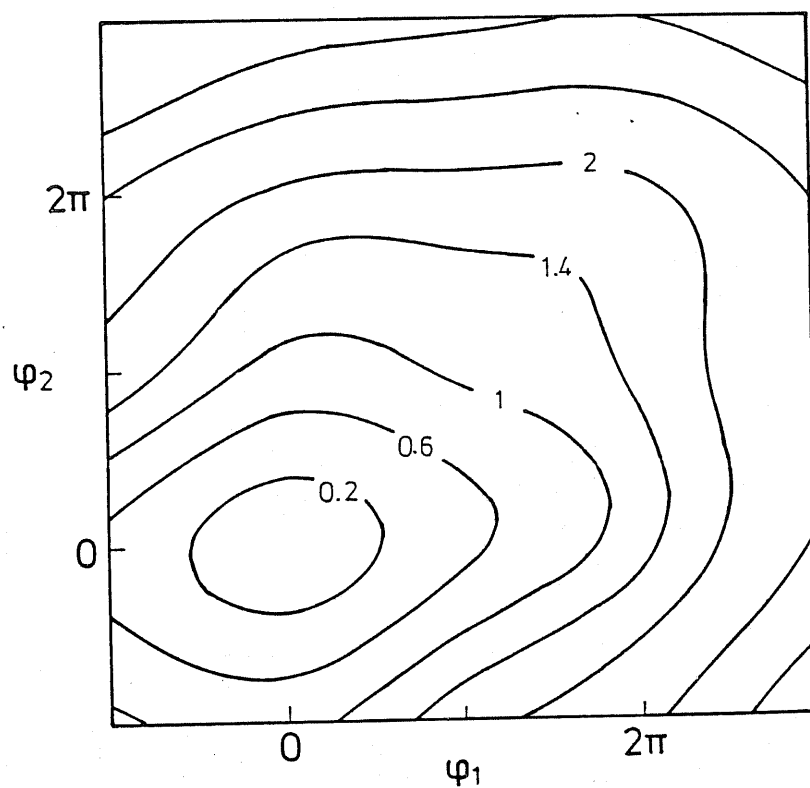


図2-16 電流が加わっていない場合の  
ポテンシャルエネルギーの等高線図

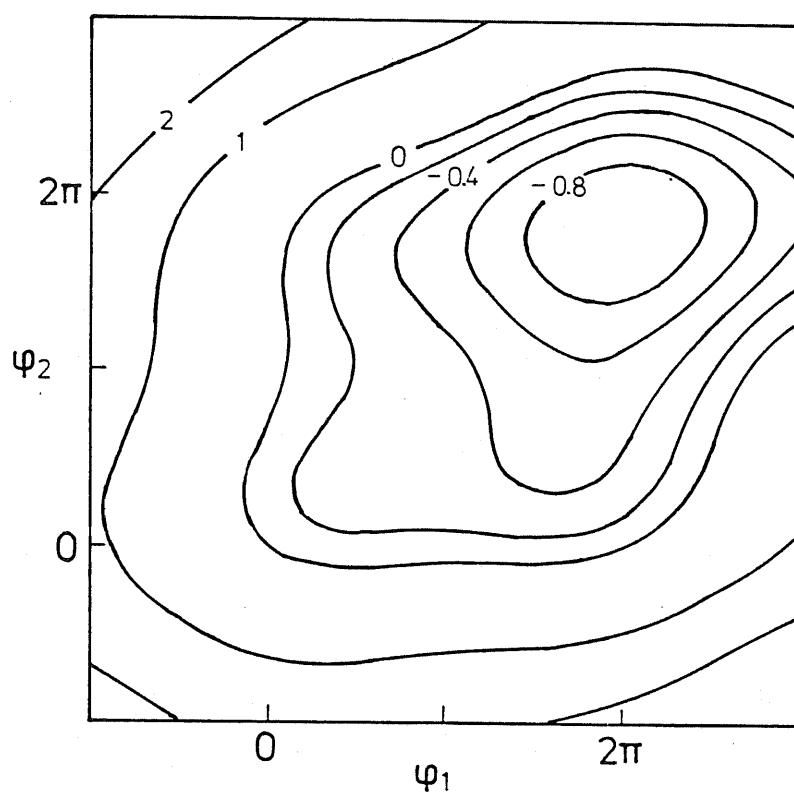


図 2-17 動作点 (入力電流の加わった場合)  
におけるポテンシャルエネルギー  
の等高線図。

合の位相平面におけるポテンシャルエネルギーの等高線図を図 2-18 に示す。この点はしきい値特性上で  $(0, 0, 0)$  モードと  $(-1, 0, 1)$  モードの 2 つのモードの重なった領域にあるから図 2-18 には  $(0, 0, 0)$  モードに対応する  $\varphi_1 \simeq \frac{\pi}{2}$ ,  $\varphi_2 \simeq \frac{\pi}{2}$  の点と  $(-1, 0, 1)$  モードに対応する  $\varphi_1 \simeq 2\pi$ ,  $\varphi_2 \simeq 2\pi$  の点に 2 つのポテンシャルエネルギーの谷が存在する。

以上の位相平面上的質点の動作のモデルで、図 2-7 のゲートの動作は次のように説明できる。まず、バイアス電流がリセットされた場合には質点は、図 2-16 の  $(\varphi_1, \varphi_2) = (0, 0)$  というポテンシャルエネルギーの谷にある。続いて、バイアス電流が加めると、 $(\varphi_1, \varphi_2) = (0, 0)$  から図 2-18 に示す  $(\varphi_1 \simeq \frac{\pi}{2}, \varphi_2 \simeq \frac{\pi}{2})$  というポテンシャルエネルギーの谷まで図 2-8 に示した  $(0, 0, 0)$  モードに対応する領域中を移動する。この時、しきい値特性上で  $(-1, 0, 1)$  モードとの重なり領域に入ると  $\varphi_1 \simeq 2\pi$ ,  $\varphi_2 \simeq 2\pi$  の近傍にこのモード



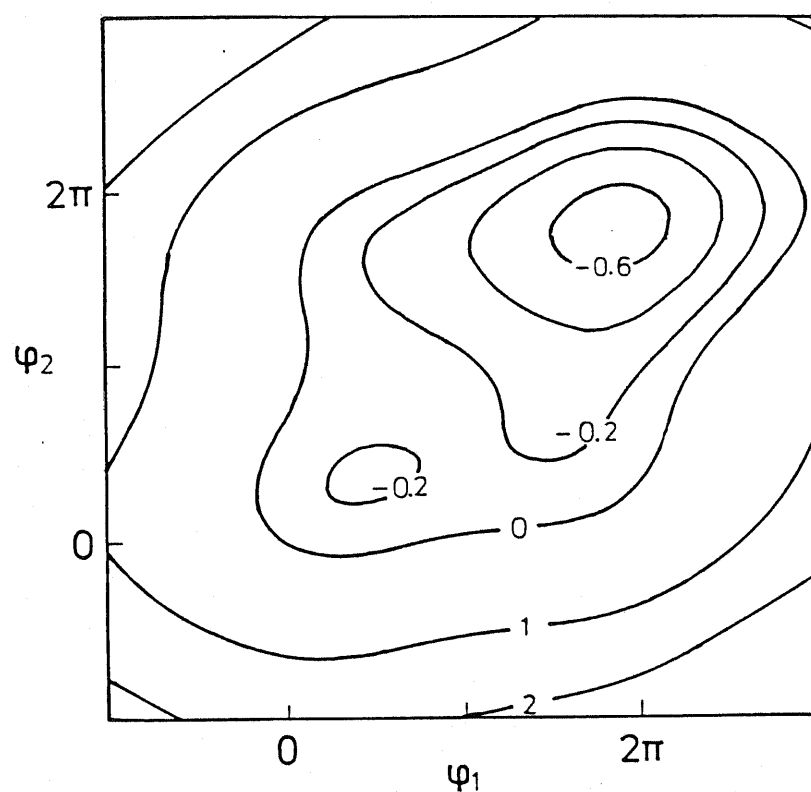


図2-18 バイアス点におけるポテンシャル  
エネルギーの等高線図

に対応するポテンシャルエネルギーの谷が現れる。したがって熱雑音によるジョセフソン接合の電圧状態へのスイッチングが起こることは、このモデルで考えると  $(0, 0, 0)$  モードに対応するポテンシャルエネルギーの谷から、質点が熱雑音によってポテンシャルエネルギーの山を越えて  $(-1, 0, 1)$  モードに対応する別のポテンシャルエネルギーの谷に落ち着くことに相当する。通常、動作速度を上げるためにジョセフソン接合は臨界電流のできるだけ近くにバイアスするので、バイアス点はしきい値特性上で  $(0, 0, 0)$  モードの境界線のできるだけ近くにとる。各モードに対応するポテンシャルエネルギーの谷の深さはしきい値特性上でこのモードに対応する境界線に近づくにつれて浅くなるから、バイアス点におけるポテンシャルエネルギーの谷は、モードの境界線に近い  $(0, 0, 0)$  モードに対応する谷の方が  $(-1, 0, 1)$  モードに対応する谷よりも浅くなっている。したがって、バイアス点を  $(0, 0, 0)$  モードの境

界縁に近づけすぎると、ポテンシャルエネルギーの谷が浅くな  
 ってしまい、熱雑音による望ましくないモード遷移の起こる確  
 率が高くなってしまふ。この時さらに入力電流が加わると、図  
 2-8で  $(0, 0, 0)$  モードに対応する位相平面上の領域にはも  
 はやポテンシャルエネルギーの谷は存在しなくなり、図2-17  
 に示すように  $(-1, 0, 1)$  モードに対応する  $(\varphi_1 \simeq 2\pi,$   
 $\varphi_2 \simeq 2\pi)$  点にのみポテンシャルエネルギーの谷が存在する  
 から質点はこの谷に落ち着く。位相平面上で考えると、1つの  
 モードに対応する領域から別のモードに対応する領域に遷移す  
 る時にはジョセフソン接合の瞬間的な電圧状態への遷移が起き  
 ている。また、入力電流が再び0にもどると、ポテンシャルエ  
 ネルギーの等高線図は図2-18に示すようになるが、この場  
 合には質点の位置は図2-17のポテンシャルエネルギーの谷  
 $(\varphi_1 \simeq 2\pi, \varphi_2 \simeq 2\pi)$  から、図2-18の  $(-1, 0, 1)$  モ  
 ードに対応するポテンシャルエネルギーの谷  $(\varphi_1 \simeq 2\pi, \varphi_2 \simeq 2\pi)$

ハ. 図 2-8 の  $(-1, 0, 1)$  モードに対応する領域内で変化する。これが磁束量子論理回路のフリップ動作を表わす。前述したように、通常  $(-1, 0, 1)$  モードに対応するポテンシャルエネルギーの谷の深さは十分深いので、この場合には熱雑音に起因する望ましくないモード遷移の生じる確率は非常に小さい。

以上述べてきたように、図 2-7 のゲートの安定性を検討する上で、考慮する必要があるのは図 2-18 に示す  $(0, 0, 0)$  モードに対応するポテンシャルエネルギーの谷 A 点から質点がポテンシャルエネルギーの山 C 点を越えて、 $(-1, 0, 1)$  モードに対応するポテンシャルエネルギーの谷 B 点に移る場合のみである。

図 2-19 に図 2-18 のポテンシャルエネルギーの等高線の間隔を小さくしたものを示す。また、図 2-20 に直線 A-C に沿ったポテンシャルエネルギーのプロファイル図を示す。以上の議論から、図 2-20 中のポテンシャルエネルギーの差

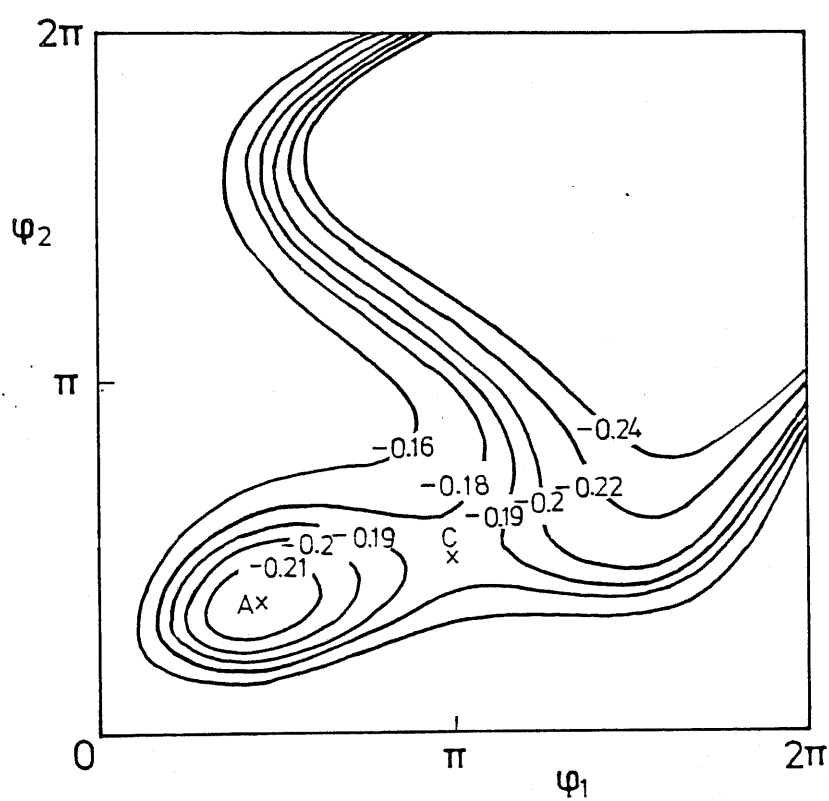


図2-19 バイアス点におけるポテンシャル  
エネルギーの等高線図  
(図2-18の拡大図)

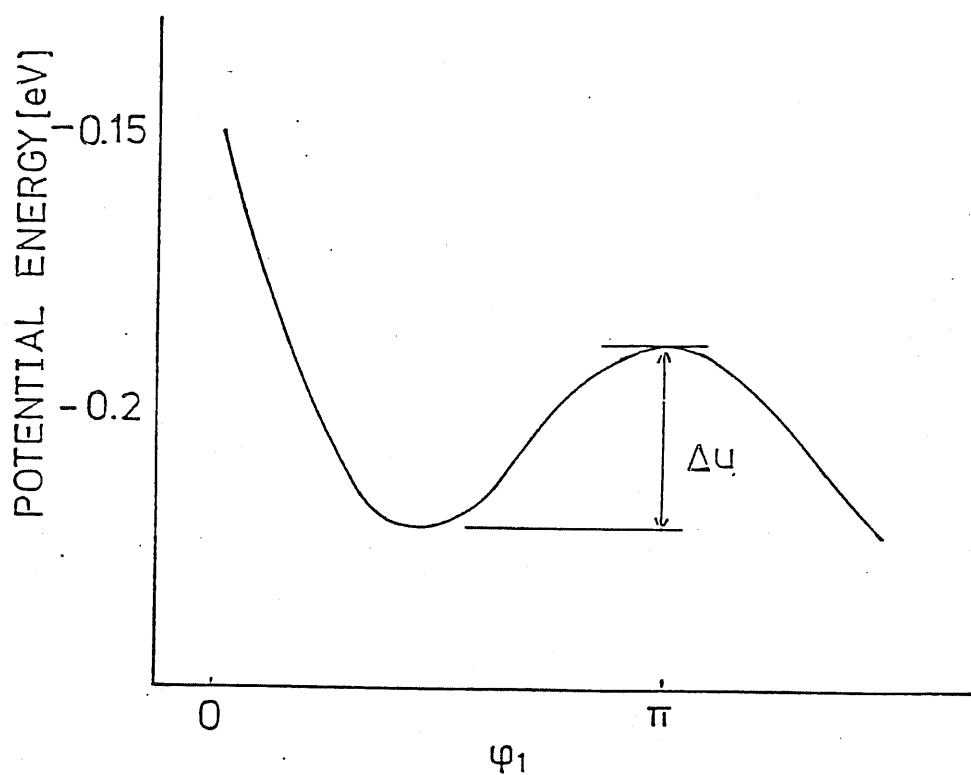


図 2-20 図 2-19 の直線 AC に沿った  
ポテンシャルエネルギー・ダイアグラム

$\Delta U$  が 4.2 K における熱雑音と比べて十分大きければ、熱雑音による望ましくないモード遷移は起こらない。

ここで、注意を要することは式(2-14)から明白なように、 $\Delta U$  がジョセフソン接合の臨界電流値  $I_0$  に比例することである。したがって、 $I_0$  を大きくすればポテンシャルエネルギーの差  $\Delta U$  も大きくなるが、図2-20では実際に製作する場合を考慮に入れて、 $I_0 = 50 [\mu A]$  で計算している。

熱雑音によって質点がポテンシャルエネルギーの差  $\Delta U$  を越えてしまうという過程はポアソン過程と見なせるから、1秒間に1つのゲートでこのような望ましくないモード遷移の生じる確率  $f$  は次式で与えられる。<sup>54)</sup>

$$f = \frac{1}{\tau} \exp \left( - \frac{\Delta U}{k_B T} \right) \quad (2-31)$$

ここで、 $k_B$  はボルツマン定数 ( $8.62 \times 10^{-5} \text{ eV}$ ) である。

ゲートの安定性を検討する上でのめやすとして、 $10^6$  個のゲートのうち1個のシステムを考えて、そのシステムの平均誤動作間

隔を1年以上とすることを考えると、次式が成立しなければならない。  
 ここで、 $\tau = 1$  [psec]としている。

$$(1 - f \times 3 \times 10^7)^{10^6} > 0.9 \quad (2-32)$$

図2-20における $\Delta u = 0.03$  [eV]であるから、上式を十分満足している。

前述した単一接合の場合と同様に、ポテンシャルエネルギーの差 $\Delta u$ はゲートのバイアス点を変えることによって変化する。すなわち、バイアス点をしきい値特性の境界線に近づけると、 $\Delta u$ は小さくなる。図2-20ではバイアス点はしきい値特性の境界線に対して90%に設定しているが、式(2-32)の不等号を等号で置き換えた式を解いて $\Delta u$ を求めると、

$$\Delta u = 0.022 \text{ [eV]} \quad \text{となり、これからバイアス点は}$$

しきい値特性の境界線に対して約93%まで近づけることができる。したがって、熱雑音による望ましくないモード間遷移を考慮しても図2-9の動作マージンはそれほど変化しない。



次に第2.4.2節で考察した3接合ゲートに対しても同様に、ポテンシャルエネルギーの等高線図を考察することによって、このゲートの熱雑音に対する安定性を検討する。

図2-13のゲートのポテンシャルエネルギーは式(2-27)で表わされる。この式では変数が3つあるが、式(2-28)、(2-29)、(2-30)が成立するのでこのうち独立な変数は2つのみであるから、 $\varphi_1, \varphi_2$ を独立変数として、 $\varphi_1 - \varphi_2$ 平面におけるポテンシャルエネルギーの等高線図を考察する。

図2-21にこのゲートに電流が加わっていない場合(しきい値特性の原点)のポテンシャルエネルギーの等高線図を示す。

しきい値特性上でこの点は(0,0,0,0)モードのみの内部にあるから、この場合には図2-21に示すように位相平面内にポテンシャルエネルギーの谷は1つしかない。したがって、バイアス電流がリセットされた場合にはゲートは必ず $\varphi_1 = 0, \varphi_2 = 0$ (この時 $\varphi_3 = 0$ も成立する)、すなわち(0,0,0,0)モード

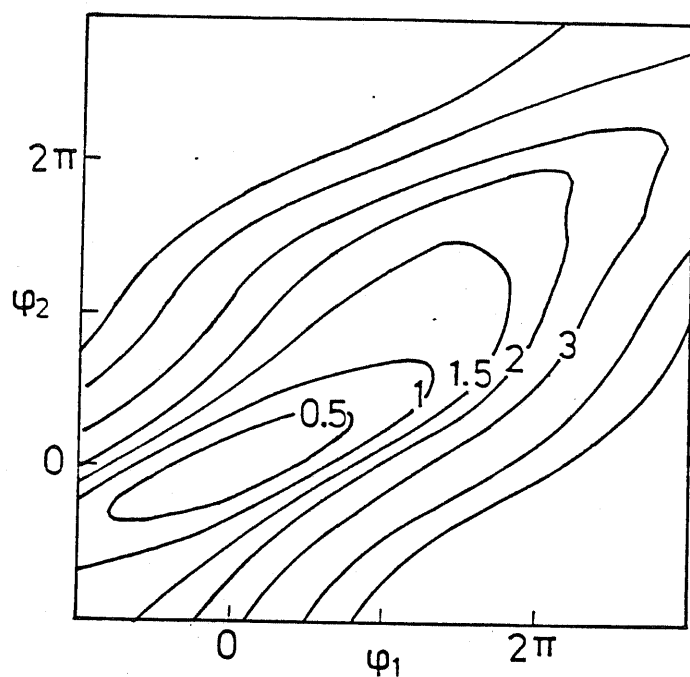


図 2 - 21 原点 (電流が加わっていない場合)  
における 3 接合ゲートのポテンシャル  
エネルギーの等高線図。

に落ち着く。

次に、バイアス電流が加わっている場合の位相平面におけるポテンシャルエネルギーの等高線図を図2-22に示す。バイアス点はしきい値特性上で  $(0,0,0,0)$  モードと  $(-1,0,0,1)$  モードの重なり領域にあるから、この場合には図2-22に示すように  $(0,0,0,0)$  モードに対応する  $\varphi_1 \simeq \frac{\pi}{2}$ ,  $\varphi_2 \simeq \frac{\pi}{2}$  (この時  $\varphi_3 \simeq \frac{\pi}{2}$ ) の点Aと、 $(-1,0,0,1)$  モードに相当する  $\varphi_1 \simeq 2\pi$ ,  $\varphi_2 \simeq 2\pi$  (この時  $\varphi_3 \simeq 2\pi$ ) の点Bに、2つのポテンシャルエネルギーの谷が存在する。バイアス電流が加わることにより、モード間遷移は生じないから、この時質点は点Aの谷に存在しているが、熱雑音により、点Aから点Cのポテンシャルエネルギーの山を越えて点Bの谷に移るという  $(0,0,0,0)$  モードから  $(-1,0,0,1)$  モードへの好ましくないモード間遷移の生じる確率が十分小さくなければならない。

この時、入力電流も加わった場合の位相平面におけるポテン

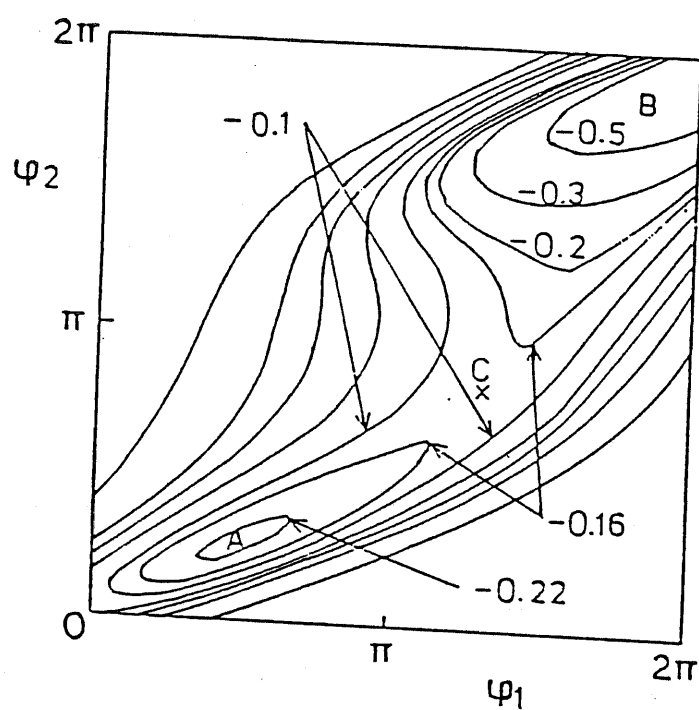


図 2-22 バイアス点における 3 接合ゲートの  
ポテンシャルエネルギーの等高線図

シャルエネルギーの等高線図を図2-23に示す。この場合にはしきい値特性上で $(-1, 0, 0, 1)$ モードのみの内部にあるから、図2-23に示すように位相平面上にポテンシャルエネルギーの谷は $\varphi_1 \simeq 2\pi$ ,  $\varphi_2 \simeq 2\pi$  (この時 $\varphi_3 \simeq 2\pi$ )の1点にしか存在しない。したがって、このゲートは $(0, 0, 0, 0)$ モードから必ず $(-1, 0, 0, 1)$ モードに遷移し、このモードに落ち着く。

この時、入力電流が0にもどると、位相平面におけるポテンシャルエネルギーの等高線図は再び図2-22に示すようになるが、この場合には質点は $(-1, 0, 0, 1)$ モードに相当する点Bの谷に存在している。前述した2接合ゲートの場合と同様に動作速度を上げるためにバイアス点は $(0, 0, 0, 0)$ モードの境界線のできるだけ近くに設定されるから、図2-22に示すように点Aの谷の方が点Bの谷よりずっと浅くなっている。したがって、点Bの谷の深さは十分深いから、熱雑音によって点B

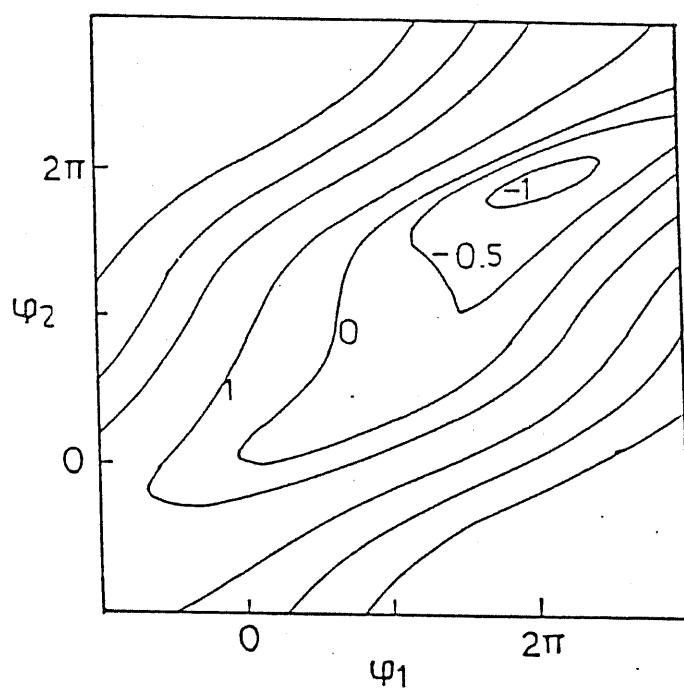


図2-23 動作点(入力電流の加わった場合)におけるポテンシャルエネルギーの等高線図

の谷から点Cの山を越えて点Aの谷に移るという好ましくないモード間遷移の生じる確率は非常に小さい。

以上からこのゲートの場合にも、熱雑音に対するゲートの安定性を検討するためには、バイアス点における $(0, 0, 0, 0)$ モードから $(-1, 0, 0, 1)$ モードへの熱雑音によるモード間遷移を考えればよい。実際に試作する場合を考慮して $I_0 = 50$   $[\mu A]$ とすると、図2-22における点Aと点Cのポテンシャルエネルギーの差 $\Delta u = 0.07 [eV]$ は、十分式(2-32)を満足しているから、 $10^6$ 個のゲートから成るシステムの平均誤動作間隔を1年以上とするのに十分である。この場合にも、式(2-32)の不等号を等号に置き換えた式から許容できるポテンシャルエネルギーの差を求めると、バイアス点をしきい値特性の $(0, 0, 0, 0)$ モードの境界線に対して約93%にまで近づけることができる。図2-13のゲートでは熱雑音に対する安定性を考慮に入れても動作マージンは50%程度になる。

## 2-6 動作シミュレーション

本節では、動作シミュレーションによるこれまで述べてきた一方向化磁束量子論理回路の動作確認について述べる。信号伝搬の一方向性のとれることを確認するために、図2-7および図2-13のゲートを3段縦続接続したものの、順方向および逆方向の伝搬に対する動作シミュレーションを行なった。ここで、 $I_c$  および  $I_c'$  は図2-24に示すようにそれぞれ1段めの入力側、3段めの出力側に加えている。

動作シミュレーションにおいて考慮すべき条件は次の2つである。

(a) 各ループ中でのフラクソイド量子化条件

(b) 各ノードにおける電流の連続の方程式

また、ジョセフソン接合のモデルとしては、図2-4に示したRSJモデルを用い、ブリッジ型接合を想定している。そのheavy dampingの極限として  $C \simeq 0$  とし、さらにコンダクタン



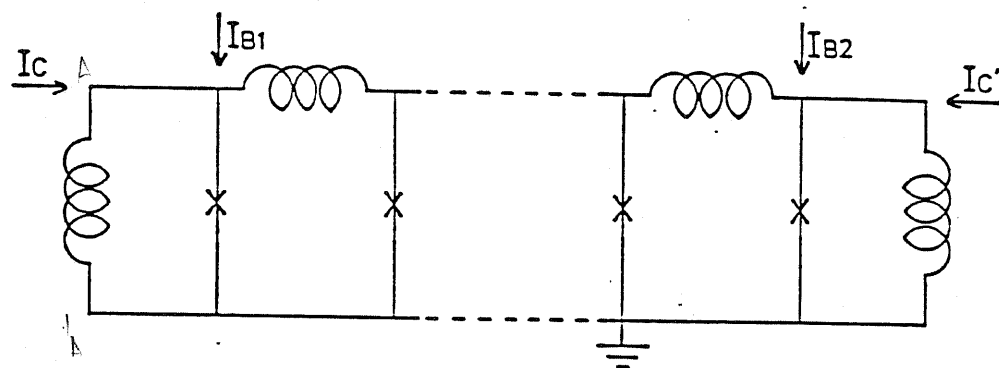


図2-24 動作シミュレーションにおける  
 $I_c$ ,  $I_{c'}$

$\lambda G$  は一定としている。

図 2-7 の 2 接合ゲートを 3 段連続したものでは以下の式が成立する。

$$\varphi_{11} + \lambda_1 \left( \sin \varphi_{11} + \frac{\Phi_0}{2\pi} \frac{G_{11}}{I_0} \frac{d\varphi_{11}}{dt} \right) + \frac{\lambda_1}{\lambda_3} (\varphi_{11} - \varphi_{12}) - \lambda_1 (\dot{\varphi}_c + \dot{\varphi}_{B1}) = 0 \quad (2-33)$$

$$\begin{aligned} \varphi_{i2} + \lambda_2 \left( a \sin \varphi_{i2} + \frac{\Phi_0}{2\pi} \frac{G_{i2}}{I_0} \frac{d\varphi_{i2}}{dt} \right) + \frac{\lambda_2}{\lambda_3} (\varphi_{i2} - \varphi_{i1}) - \lambda_2 \dot{\varphi}_{B2} \\ + \lambda_H \left( \sin \varphi_{(i+1)1} + \frac{\Phi_0}{2\pi} \frac{G_{(i+1)1}}{I_0} \frac{d\varphi_{(i+1)1}}{dt} \right) \\ + \frac{\lambda_H}{\lambda_3} (\varphi_{(i+1)1} - \varphi_{(i+1)2}) - \lambda_H \dot{\varphi}_{B1} = 0 \end{aligned} \quad (i=1, 2) \quad (2-34)$$

$$\begin{aligned} \varphi_{i1} + \lambda_1 \left( \sin \varphi_{i1} + \frac{\Phi_0}{2\pi} \frac{G_{i1}}{I_0} \frac{d\varphi_{i1}}{dt} \right) + \frac{\lambda_1}{\lambda_3} (\varphi_{i1} - \varphi_{i2}) - \lambda_1 \dot{\varphi}_{B1} \\ + \lambda_H \left( a \sin \varphi_{(i-1)2} + \frac{\Phi_0}{2\pi} \frac{G_{(i-1)2}}{I_0} \frac{d\varphi_{(i-1)2}}{dt} \right) \\ + \frac{\lambda_H}{\lambda_3} (\varphi_{(i-1)2} - \varphi_{(i-1)1}) - \lambda_H \dot{\varphi}_{B2} = 0 \end{aligned} \quad (i=2, 3) \quad (2-35)$$

$$\begin{aligned} \varphi_{32} + \lambda_2 \left( a \sin \varphi_{32} + \frac{\Phi_0}{2\pi} \frac{G_{32}}{I_0} \frac{d\varphi_{32}}{dt} \right) + \frac{\lambda_2}{\lambda_3} (\varphi_{32} - \varphi_{31}) \\ - \lambda_2 (\dot{\varphi}_c' + \dot{\varphi}_{B2}) = 0 \end{aligned} \quad (2-36)$$

ここで、 $\varphi_{ij}$  および  $G_{ij}$  はそれぞれ  $i$  番めのゲートの  $j$  番めのジョセフソン接合の両端の位相差および並列コンダクタンス

を表わし、また  $\lambda_c, \lambda_{B1}, \lambda_{B2}$  および  $\lambda_{c'}$  はそれぞれ  $I_c / I_0$ ,

$I_{B1} / I_0, I_{B2} / I_0$  および  $I_{c'} / I_0$  を表わす。

式 (2-33) ~ (2-36) はいずれも  $\varphi_{ij}$  に関する 1 次の微分方程式であるから、これを 2 次のルンゲクッタ法を用いて  $\varphi_{ij}$  を求めた。

図 2-7 のゲートには 3 つのループがあるが、それぞれのループ中の磁束量子の存在と 2 つのジョセフソン接合の両端の位相差  $\varphi_1, \varphi_2$  との間には次のような関係がある。

(i)  $\varphi_1, \varphi_2$  がいずれも約  $\frac{\pi}{2}$  以下である場合には、3 つのループ中のいずれにも磁束量子が存在しない。

(ii)  $\varphi_1$  が  $2\pi$  を越えると、左側の rf-SQUID 中に反時計方向の周回電流に伴なう向きの磁束量子が存在する

(iii)  $\varphi_2$  が  $2\pi$  を越えると、右側の rf-SQUID 中に時計方向の周回電流に伴なう向きの磁束量子が存在する。

したがって、 $(\varphi_1 \lesssim \frac{\pi}{2}, \varphi_2 \lesssim \frac{\pi}{2})$  であれば  $(0, 0, 0)$  モー

ドを表わし、 $(\varphi_1 \sim 2\pi, \varphi_2 \sim \frac{\pi}{2})$ であれば $(-1, 1, 0)$ モードを表わし、また $(\varphi_1 \sim \pi, \varphi_2 \sim 2\pi)$ であれば $(-1, 0, 1)$ モードを表わす。

図2-25に、1段めのゲートの入力側に $I_c$ を加えた場合の動作シミュレーション結果を示す。ここで、パラメータの値はそれぞれ、 $\lambda_{B1} = 1.5$ ,  $\lambda_{B2} = 2.5$ ,  $\lambda_c = 0.5$ ,  $\lambda_H = \frac{3}{20}\pi$ ,  $I_0 = 0.1$  [mA],  $G = 1/26$  [V]である。これから、第2-3節で説明したように各ゲートのJ1, J2が連続して瞬間的に電圧状態に移移し、各ゲートが $(0, 0, 0)$ モードから $(-1, 0, 1)$ モードに移移することによって、順方向に信号が伝搬されていることがわかる。

また、この動作シミュレーションにより1ゲートあたりの伝搬遅延時間は約2 psec. であることがわかる。

一般に、ジョセフソン接合では第2.2.2節で述べたように式(2-3)が成立する。ここで、電流 $I$ を次のように仮定すると

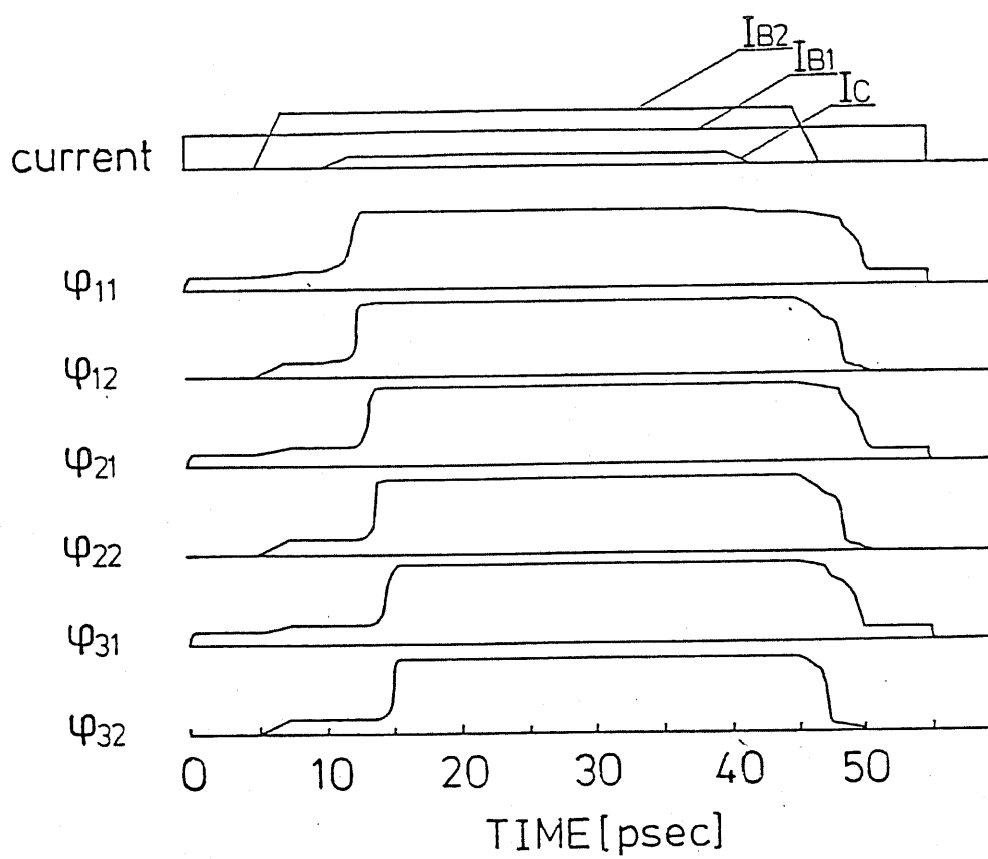


図 2-25 3 段縦続ゲート (2 接合ゲート) の  
順方向の信号伝搬の動作シミュレー  
ション結果.

$$\begin{cases} I = I_0 & (t < 0) \\ \bar{I} = I_0 + \Delta I & (t \geq 0) \end{cases} \quad (2-37)$$

この場合のように  $C = 0$  である場合に対しては、式 (2-3) を解析的に解くことができ、次式のようになる。<sup>44)</sup>

$$G \bar{V} = (\bar{I}^2 - I_0^2)^{1/2} \quad (2-38)$$

ここで、 $\bar{V} = \frac{\Phi_0}{2\pi} \frac{d\varphi}{dt}$  であるから、 $\varphi$  が  $2\pi$  だけ変化するのに要する時間  $\tau$  は次式で与えられる。

$$\tau = 2\pi / \left( \frac{d\varphi}{dt} \right) = G \Phi_0 (\bar{I}^2 - I_0^2)^{-1/2} \quad (2-39)$$

$\Delta I \ll I_0$  の場合には、上式は次のように変形できる。

$$\tau \simeq \frac{1}{\sqrt{2}} \left( \frac{G \Phi_0}{I_0} \right) \left( \frac{\Delta I}{I_c} \right)^{-1/2} \quad (2-40)$$

上式から明らかなように、ブリッジ型接合のスイッチング時間  $\tau$  はブリッジ型接合の  $I_0 R$  積に反比例し、バイアス電流のオーバードライブ  $\Delta I$  の平方根に反比例する。したがって、ブリッジ型ジョセフソン素子のスイッチング速度を上げるためには素子の  $I_0 R$  積を大きくするか、オーバードライブを大きくす

ればよい。

本研究で考えているゲートでは、ジョセフソン接合と並列にインダクタが入っているし、2個のジョセフソン接合の両端の位相差がフラクソイド量子化条件によってそれぞれ独立には変化できないので、その動作が非常に複雑になるためスイッチング時間を解析的に求めることはできないが、定性的には単一接合の場合と同様に考えることができる。図2-25に示した動作シミュレーションでは、 $\Delta I / I_0 \simeq 20\%$ 、 $I_0 R$  積を2.6 mVとしている。接合 $J_1$ 、 $J_2$ の両端の位相差 $\varphi_1$ 、 $\varphi_2$ が独立に変化するものと考えれば、 $J_1$ のオーバードライブは20%であるが、 $J_2$ のスイッチング時には $J_1$ が電圧状態にスイッチングしていることによりこの接合のオーバードライブは100%以上となり、 $\varphi_2$ のスイッチング速度は図2-25に示しているように非常に高速となる。

次に、図2-26に3段めのゲートの出力側に図2-25の

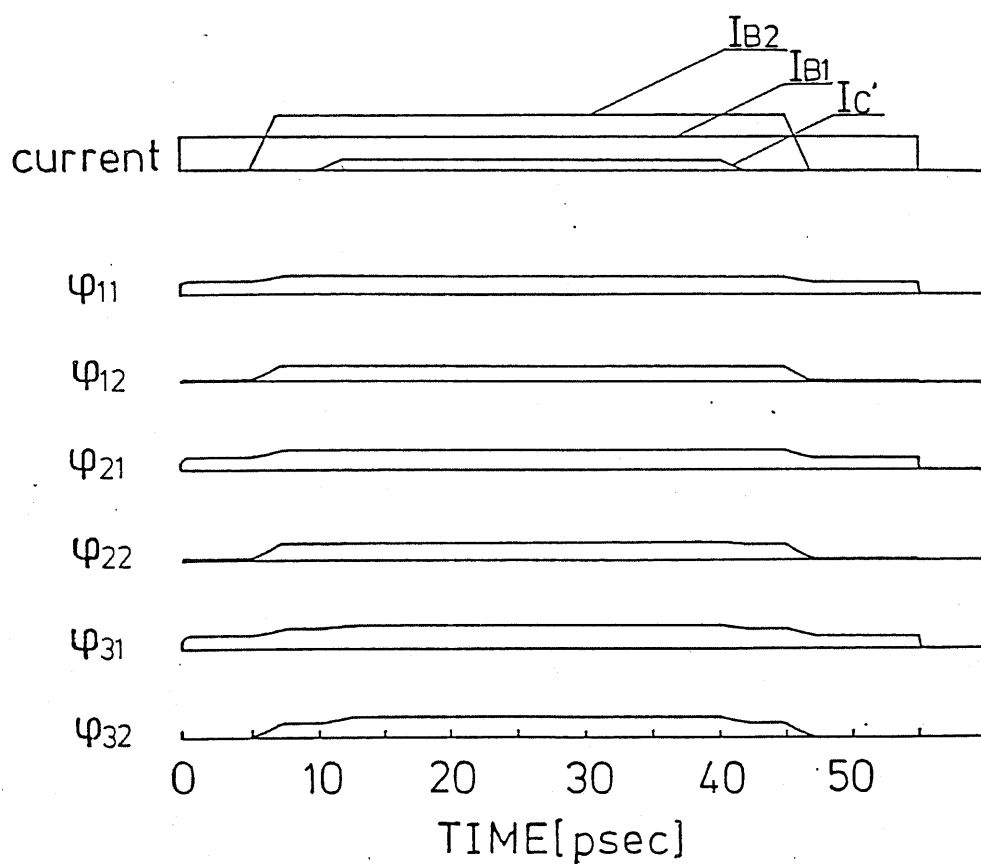


図 2-26 3段縦続ゲート (2 接合ゲート) の  
逆方向の動作シミュレーション結果  
(  $I_{C'} = I_C$  )



$I_c$ と同じ大きさの電流  $I_c'$  を加えた場合の動作シミュレーション結果を示す。この場合には3段めのゲートは  $(0, 0, 0)$  モードのままであり、磁束量子が発生していないことを示している。

また、図2-27に今度は3段めのゲートの出力側に  $I_c'$  として3段めのゲートを  $(-1, 0, 1)$  モードに遷移させるだけの十分大きな電流を加えた場合の動作シミュレーション結果を示す。3段めのゲートは  $(-1, 0, 1)$  モードに遷移し磁束量子が発生しているが、これは前段には伝搬されず2段めのゲートは  $(0, 0, 0)$  モードのままになっている。また、この時3段めのゲートが  $(-1, 0, 1)$  モードに遷移した時に  $\varphi_{22}$  は変化しているが、 $\varphi_{21}$  の変化はずっと小さくなっており、1段めのゲートの接合の両端の位相差  $\varphi_{12}, \varphi_{11}$  はほとんど変化していない。したがって、図2-7のゲートで信号伝搬の一方向性がとれていることが確認された。

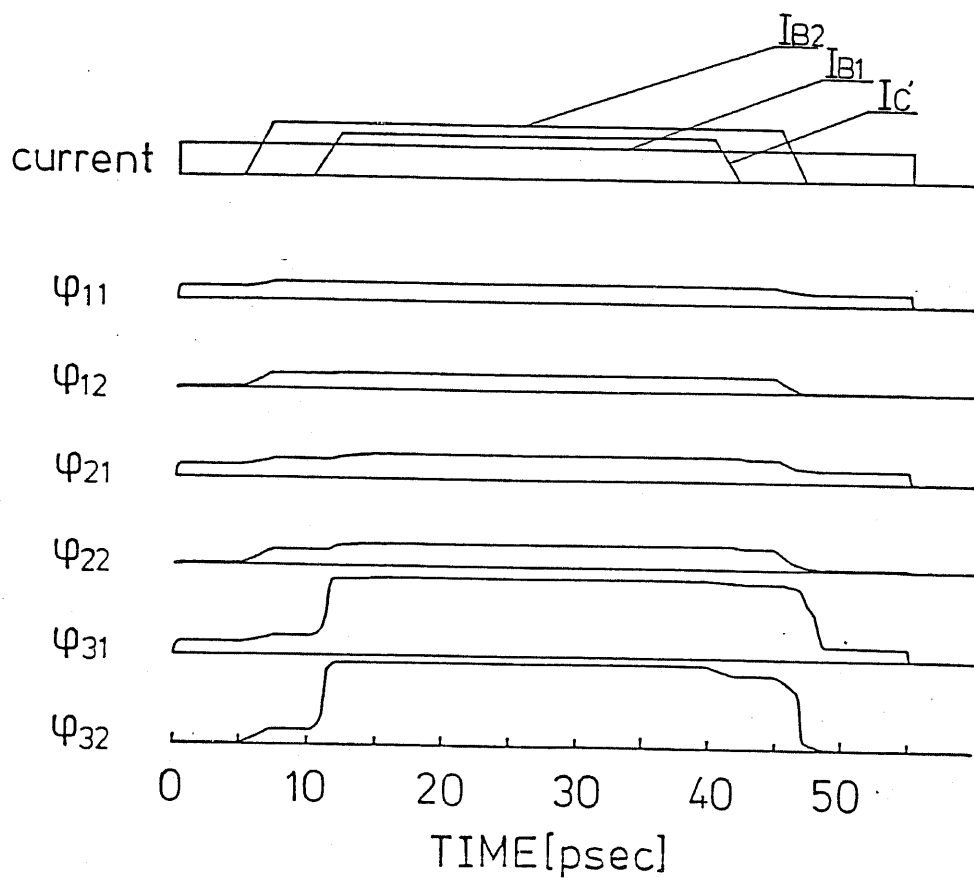


図 2-27 3 段縦続ゲート (2 接合ゲート) の  
逆方向の信号の減衰の動作シミュ  
レーション結果

次に、図 2-13 のゲートを 3 段縦続接続した場合の動作シミュレーションについて述べる。この場合には、以下の式が成立する。

$$\varphi_{11} + \lambda_1 \left( \sin \varphi_{11} + \frac{\Phi_0}{2\pi} \frac{G_{11}}{I_0} \frac{d\varphi_{11}}{dt} \right) + \frac{\lambda_1}{\lambda_3} (\varphi_{11} - \varphi_{12}) - \lambda_1 (\dot{\lambda}_c + \dot{\lambda}_{B1}) = 0 \quad (2-41)$$

$$\varphi_{i2} - \varphi_{i1} + \lambda_3 \left( b \sin \varphi_{i2} + \frac{\Phi_0}{2\pi} \frac{G_{i2}}{I_0} \frac{d\varphi_{i2}}{dt} \right) + \frac{\lambda_3}{\lambda_4} (\varphi_{i2} - \varphi_{i3}) = 0 \quad (\dot{\lambda} = 1, 2, 3) \quad (2-42)$$

$$\begin{aligned} \varphi_{i3} + \lambda_2 \left( a \sin \varphi_{i3} + \frac{\Phi_0}{2\pi} \frac{G_{i3}}{I_0} \frac{d\varphi_{i3}}{dt} \right) + \frac{\lambda_2}{\lambda_4} (\varphi_{i3} - \varphi_{i2}) - \lambda_2 \dot{\lambda}_{B2} \\ + \lambda_M \left( \sin \varphi_{(i+1)1} + \frac{\Phi_2}{2\pi} \frac{G_{(i+1)1}}{I_0} \frac{d\varphi_{(i+1)1}}{dt} \right) + \frac{\lambda_M}{\lambda_1} \varphi_{(i+1)1} \\ + \frac{\lambda_M}{\lambda_3} (\varphi_{(i+1)1} - \varphi_{(i+1)2}) - \lambda_M \dot{\lambda}_{B1} = 0 \quad (\dot{\lambda} = 1, 2) \quad (2-43) \end{aligned}$$

$$\begin{aligned} \varphi_{i1} + \lambda_1 \left( \sin \varphi_{i1} + \frac{\Phi_0}{2\pi} \frac{G_{i1}}{I_0} \frac{d\varphi_{i1}}{dt} \right) + \frac{\lambda_1}{\lambda_3} (\varphi_{i1} - \varphi_{i2}) - \lambda_1 \dot{\lambda}_{B1} \\ + \lambda_M \left( a \sin \varphi_{(i-1)3} + \frac{\Phi_0}{2\pi} \frac{G_{(i-1)3}}{I_0} \frac{d\varphi_{(i-1)3}}{dt} \right) + \frac{\lambda_M}{\lambda_2} \varphi_{(i-1)3} \\ + \frac{\lambda_M}{\lambda_4} (\varphi_{(i-1)3} - \varphi_{(i-1)2}) - \lambda_M \dot{\lambda}_{B2} = 0 \quad (\dot{\lambda} = 2, 3) \quad (2-44) \end{aligned}$$

$$\begin{aligned} \varphi_{33} + \lambda_2 \left( a \sin \varphi_{33} + \frac{\Phi_0}{2\pi} \frac{G_{33}}{I_0} \frac{d\varphi_{33}}{dt} \right) + \frac{\lambda_2}{\lambda_4} (\varphi_{33} - \varphi_{32}) \\ - \lambda_2 (\dot{\lambda}_c' + \dot{\lambda}_{B2}) = 0 \quad (2-45) \end{aligned}$$

この時、 $(\varphi_1 \lesssim \frac{\pi}{2}, \varphi_2 \lesssim \frac{\pi}{2}, \varphi_3 \lesssim \frac{\pi}{2})$ であれば $(0, 0, 0, 0)$

モードを、 $(\varphi_1 \simeq 2\pi, \varphi_2 \simeq 2\pi, \varphi_3 \simeq 2\pi)$ であれば、

$(-1, 0, 0, 1)$ モードを表す。

図2-28に、1段めのゲートの入力側に $I_c$ を加えた場合

の動作シミュレーション結果を示す。ここで、パラメータの値

はそれぞれ、 $i_{B1} = 2.3$ ,  $i_{B2} = 2.0$ ,  $i_c = 0.7$ ,  $\lambda_M = \frac{9}{50}\pi$

である。これから、第2-4-2節で説明したように各ゲートの

$J_1, J_2, J_3$  が連続して瞬間的に電圧状態に移り、各ゲー

トが $(0, 0, 0, 0)$ モードから $(-1, 0, 0, 1)$ モードに移り

ることによって、順方向に信号が伝搬されていることがわかる。

この場合の1ゲートあたりの伝搬遅延時間も約2 psec. である。

また、3段めのゲートの出力側に $I_{c'}$ として図2-28と同

じ大きさの電流を加えた場合には、2接合ゲートの場合と同様

に3段めのゲートは $(0, 0, 0, 0)$ モードのままであり、磁束

量子は発生しなかった。図2-29に $I_{c'}$ として $I_{c'} = 3I_c$ を

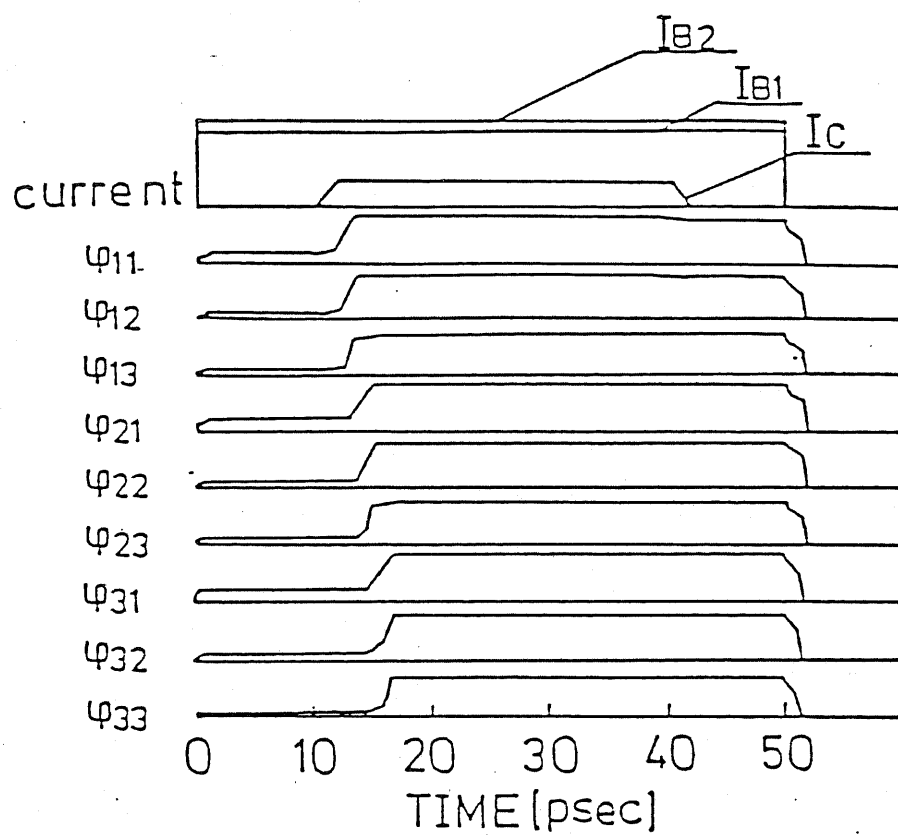


図 2-28 3段縦続ゲート(3接合ゲート)の  
順方向の信号伝搬の動作シミュレー  
ション結果

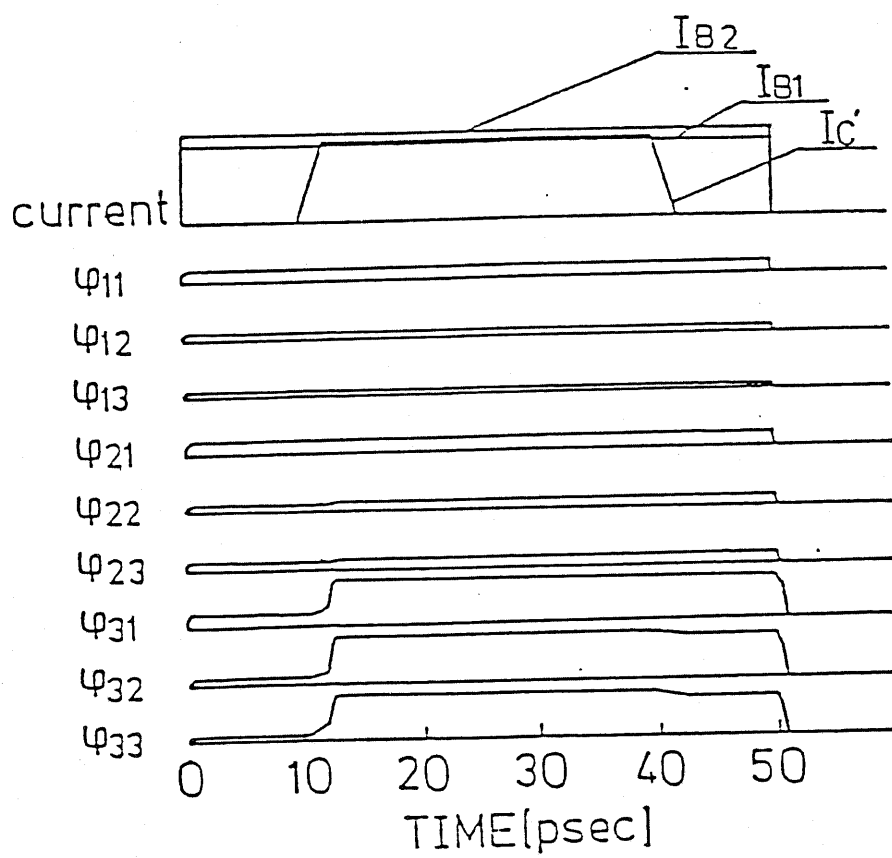


図 2-29 3段縦続ゲート(3接合ゲート)の  
逆方向の信号減衰の動作シミュレー  
ション結果

加えた場合の動作シミュレーション結果を示す。大きな電流を加えたために、3段めのゲートは  $(-1, 0, 0, 1)$  モードに遷移し磁束量子が発生しているが、これは前段には伝搬されず、

2段めのゲートは  $(0, 0, 0, 0)$  モードのままになっている。

また、3段めのゲートに磁束量子が発生することによって2段めのゲートの出力側の接合の両端の位相差  $\varphi_{23}$  は変動しているが、入力側の接合の両端の位相差  $\varphi_{21}$  はほとんど変化しておらず、1段めのゲートは3段めのゲートに磁束量子が発生した影響を全く受けていないことがわかる。

以上、動作シミュレーションによって、一方向化磁束量子回路の信号伝搬の一方向性、および入力側と出力側の十分な分離がとれていることが確認された。

以上の議論では、ゲート間の接続は相互インダクタンスによるものをT変換したものを扱ってきたが、従来のトンネル型ジョセフソン素子を用いた論理回路で行われているように、伝

送線（超伝導ストリップ線路）によって接続することも可能である。これにより空間的に離れた２つのゲートを自由に接続することができる。この場合には、トンネル型素子の場合と異なりジョセフソン接合は定常的には電圧状態にはならないが、式（２－２）で示されるようにゲートの１番右側のループに磁束量子が伝搬される時に、ゲートの出力側の接合が瞬間的に電圧状態に遷移し、電圧パルスが発生するから、この電圧パルスによって次段を駆動することが可能である。

図２－３０にこの接続方法を示す。ここで、超伝導ストリップ線路の単位長あたりのインダクタンス $L$ 、容量 $C$ はそれぞれ次式で与えられる。<sup>55)</sup>

$$C = \epsilon W / t_0 \quad (2-46)$$

$$L = \frac{\mu_0}{W} (t_0 + \lambda_s^* + \lambda_{JP}^*) \quad (2-47)$$

各パラメータおよびその値については第４章で述べる。

したがって、伝送線路の特性インピーダンスおよび単位長あたり



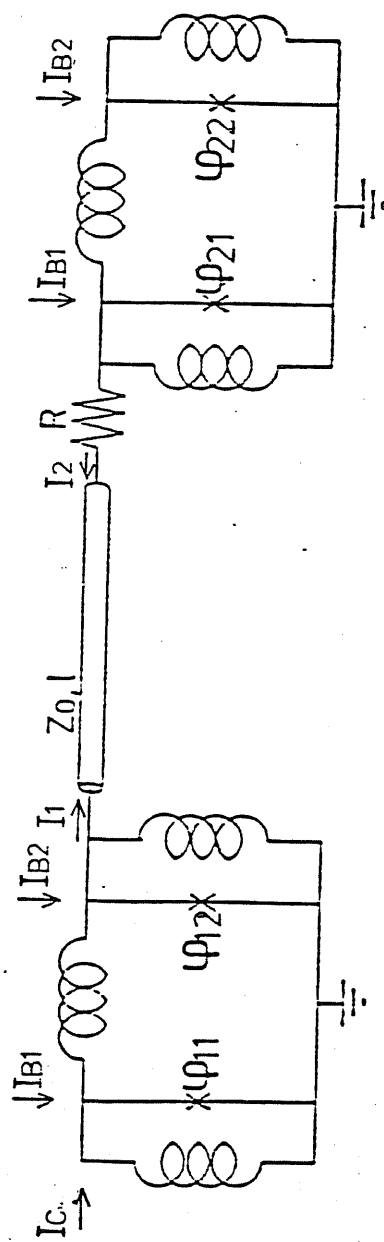


図 2-30 伝送線を用いたゲート間の接続

の伝搬時間はそれぞれ次のようになる。

$$Z_0 = \frac{t_0}{W} \sqrt{\frac{\mu}{\epsilon}} \left[ 1 + \frac{\lambda_s^* + \lambda_{gp}^*}{t_0} \right]^{1/2} \quad (2-48)$$

$$\tau = \sqrt{\epsilon \mu} \left[ 1 + \frac{\lambda_s^* + \lambda_{gp}^*}{t_0} \right]^{1/2} \quad (2-49)$$

動作をいかりやすくするために  $l = 1 \text{ mm}$  とした場合に、

$R = 0$ ,  $R = Z_0$  の場合の動作シミュレーション結果をそれぞれ図 2-31, 2-32 に示す。ここで、図 2-31 からわかるように  $R$  が 0 の場合には電圧パルスが減衰せずに反射を繰り返すために、この反射パルスを減衰させる目的で伝送線と次段のゲートの間に抵抗  $R$  を加えている。

これから、前述したように接合 J2 の両端に発生する電圧パルスによって次段を駆動することができることがわかる。また、このゲートは一方向性をとっているため反射パルスによってゲートが誤動作することはない。また反射パルスが加わっても前段のゲートの入力側の接合の両端の位相差はほとんど変化していないことがわかる。

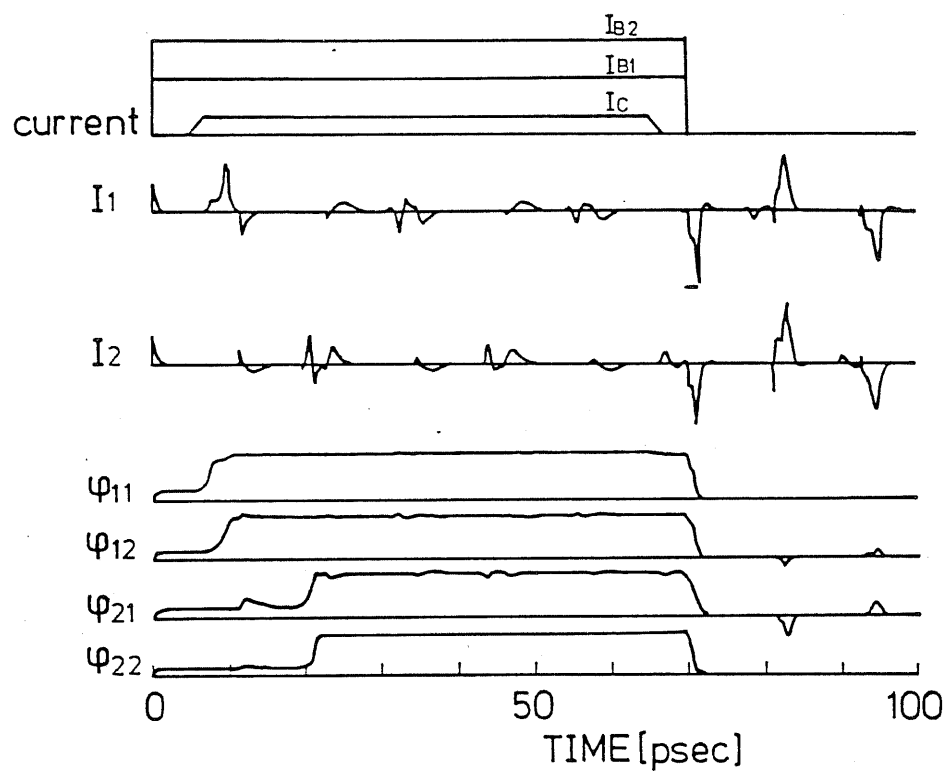


図 2-31 図 2-30 で  $R=0$  の場合の  
動作シミュレーション結果

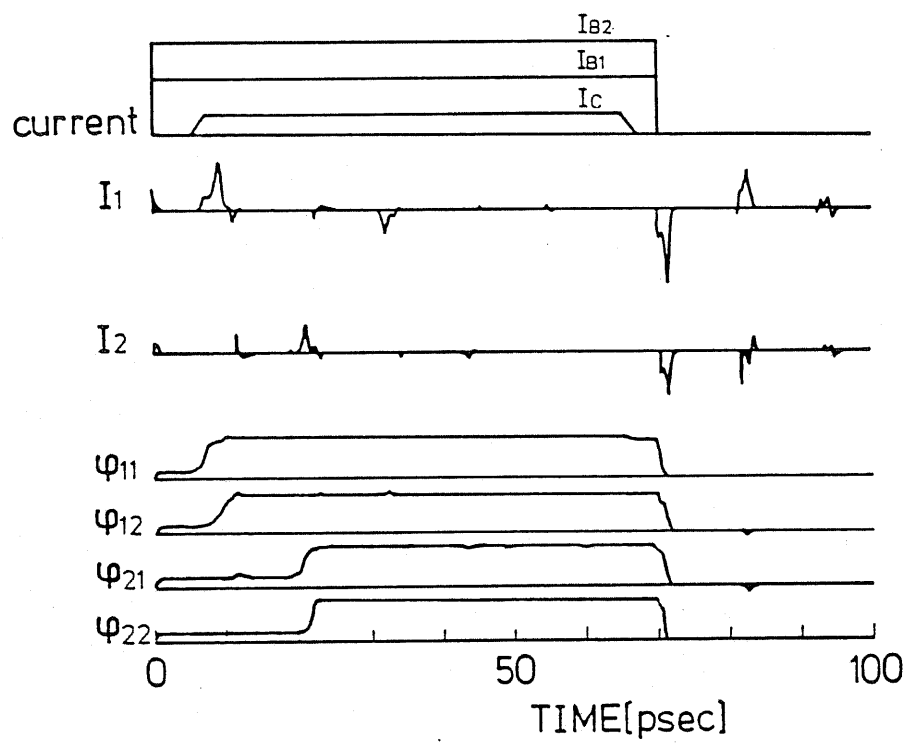


図 2-32  $R = Z_0$  の場合の動作シミュレーション結果

## 2-7 第2章の結論

本章では、ブリッジ型ジョセフソン素子を用いることができ、また信号伝搬の一方向性をとるのに3相クロックを用いる必要のない一方向化磁束量子論理回路について述べた。

ブリッジ型素子にはI-V特性にヒステリシスがないために従来のトンネル型素子を用いた論理回路とは異なる回路構成をとる必要がある。磁束量子を情報担体として用いる磁束量子論理回路ではブリッジ型素子を用いることができるが、信号伝搬の一方向性および入力側と出力側の十分な分離が必要ないという技術上の問題点があるため、これを解決するために新しい論理ゲートを提案した。入力側と出力側の分離が十分でありかつバイアス電流に対する動作マージンが最大となるように、ゲートの構成および回路パラメータの値の最適化を行ない出力側から入力側への影響を $1/7$ とし、バイアス電流に対する動作マージンを50%以上とすることができた。また、熱雑音に対す

るゲートの安定性を検討し、このゲートが十分安定であること  
を確認した。また、このゲートを3段縦続接続したものに対し  
て動作シミュレーションを行ない、信号伝搬の一方向性を確認  
した。さらに、1ゲートあたりの伝搬遅延時間を約2 psec.と  
することが可能であることを示した。最後に、トンネル型素子  
の場合と同様に伝送線によってゲートを接続することも可能で  
あることを動作シミュレーションによって確認した。

### 第3章 電子ビーム・リソグラフィによるブリッジ型 ジョセフソン素子の製作

#### 3-1 序

ブリッジ型ジョセフソン接合は、2つの超伝導体が超伝導性の弱い導体（ブリッジ部）によって結合しているものであるが、後述するように特性の良好なブリッジ型ジョセフソン素子を得るためには  $0.1 \mu\text{m}$  程度の微細加工を行なう必要があるため、従来種々のブリッジ型素子が提案されているが、その構造および製作方法、ブリッジ部の材料などは種々雑多である。ブリッジ部の材料によってブリッジ型素子を分類すると、超伝導金属、常伝導金属、半導体のいずれを用いるかによって、 $S-S(S')$ 、 $S-S$ 、 $S-N-S$ 、 $S-S_c-S$  型に分類することができる。<sup>56), 57)</sup> <sup>58), 59)</sup>

また、このような短いブリッジ部を加工するための方法としては、機械的刻線によるもの<sup>25), 26)</sup>、電子ビーム露光と種々のエッチング技術、リフトオフあるいは陽極酸化などを組み合わせたもの<sup>27), 28)</sup>、高分子膜あるいは酸化膜を用いるもの<sup>29)-31)</sup>、段差を

用いるもの<sup>32), 60)</sup>などが提案されている。

ブリッジ型ジョセフソン素子を用いて論理回路を製作する際には、特性の良好なブリッジ型素子を製作できることの他に、ジョセフソン素子の大きな利点である消費電力の小さいことを活用するために、ブリッジ型素子の製作プロセスは高密度集積化に適したものであることも必要である。

本研究では、集積化に最適なブリッジ型ジョセフソン素子として Nb の VT B 素子を、電子ビーム・リソグラフィ技術を用いて製作するプロセスを確立した。本章では、ブリッジ型素子の製作に必要な寸法精度、ブリッジ型素子の製作プロセスに関する検討について簡単に述べた後、本研究で確立した Nb の  $0.1 \mu m$  程度の加工が可能な電子ビーム・リソグラフィ技術、この技術を用いたブリッジ型ジョセフソン素子の製作および製作した素子の特性について述べる。



### 3-2 ブリッジ型ジョセフソン接合の特性

2-2-1 で述べたように、理想的な場合にはジョセフソン接合の超伝導電流と位相差  $\varphi$  との間には次式の関係が成立する。

$$I = I_c \sin \varphi \quad (3-1)$$

また、ジョセフソン接合の特性の良好さを表わす量として  $I_c R$  積があるが、これは理想的な接合の場合には図 3-1 に示すようになる。<sup>61)</sup>

ここで、AB は Ambegaokar & Baratoff の理論<sup>62)</sup>

でトンネル型ジョセフソン接合の場合を表わし、また  $K_0$  は

Kulik & Omel'yanchuk の理論<sup>63)</sup> で、 $K_0 - 1$  は dirty

limit ( $\ell \ll L$ ,  $\ell$ : ブリッジ部での平均自由行程、 $L$ : ブリ

ッジ長)、 $K_0 - 2$  は clean limit ( $L \ll \ell$ ) のブリッジ型

接合の場合を表わす。通常製作されるブリッジ型ジョセフソン

接合ではブリッジ部の平均自由行程は短いので  $K_0 - 1$  に近い

ものである。2-6 で述べたように、これは論理ゲートを製作

した場合にスイッチング速度に大きな影響を持つが、特性の良

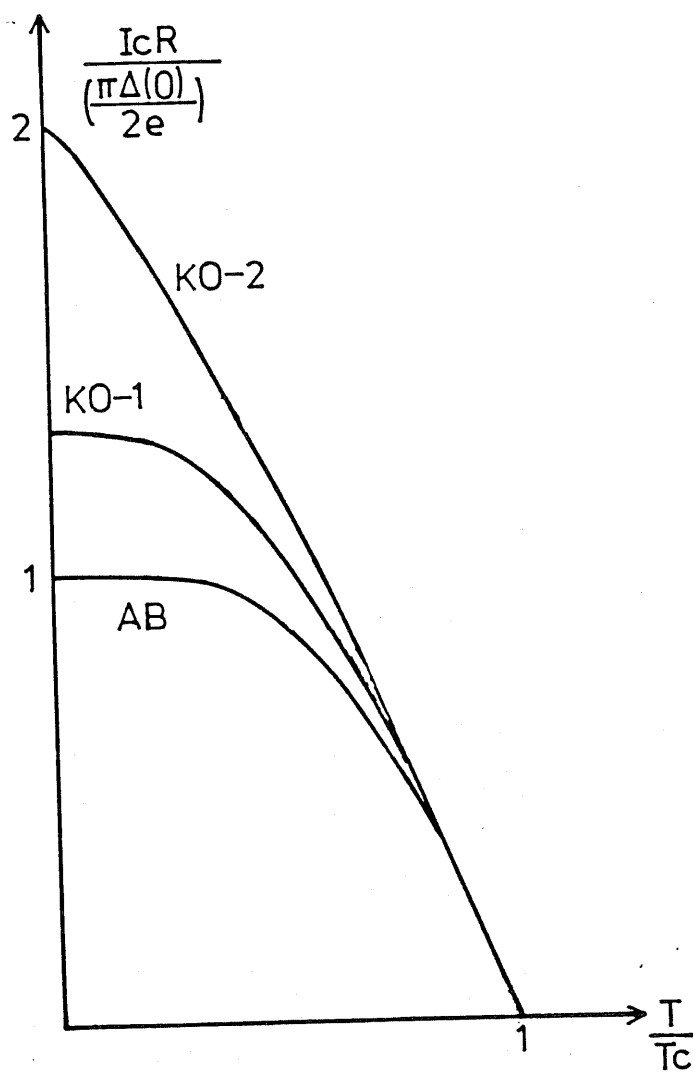


図 3-1 ジョセフソン接合の  $I_c R_n$  積の温度依存性

好なブリッジ型接合ではトンネル型接合よりも大きくなる。

これまで '理想的な場合' としていたのは、ブリッジ長  $L$  が臨界長さ  $L_c$  に対して、 $L < L_c$  の関係を満足する '短い' ブリッジ型接合の場合である。

これに対して、ブリッジ長  $L$  が長くなると、電流と位相の関係は式 (3-1) の正弦的關係からずれ、次第に傾いていき、

$I_c R$  積は図 3-1 に示す値から次第に小さくなっていく、

$L_c$  の値は超伝導電流  $I(\varphi)$  が、位相  $\varphi$  の一価関数となるという条件から求めることができ<sup>61)</sup>、次式のようになる。

$$L_c = 3.14 \xi \sim 5.30 \xi \quad (3-2)$$

ここで、 $\xi$  はブリッジ部の材料のコヒーレンス長であるが、Nb の場合にはこの値は 0 K で  $\sim 40 \text{ nm}$ 、4.2 K で  $15 \sim 20 \text{ nm}$  なので、Nb を用いて特性の良好なブリッジ型ジョセフソン接合を製作するためには、 $0.1 \mu\text{m}$  以下の微細加工が必要であることがわかる。

### 3-3 ブリッジ型素子の製作プロセス

前述したように、ブリッジ型素子の製作プロセスに要求される条件は次のようなものである。

1) 特性の良好な素子を製作するために  $0.1\mu\text{m}$  以下の加工が可能であること。

2) インダクタを流れる超伝導電流による磁界が素子に影響を及ぼさないようにするために、超伝導グランドプレーンを用いることができるように、絶縁膜上に製作できること。

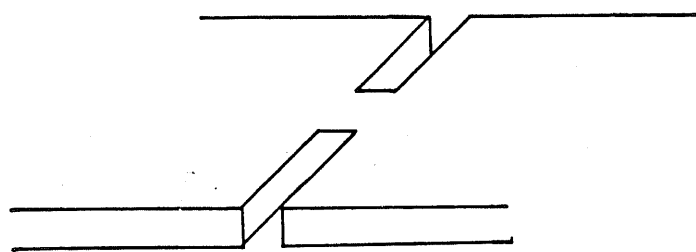
3) 平面構造となること。

4) プロセスができるだけ簡単であること。

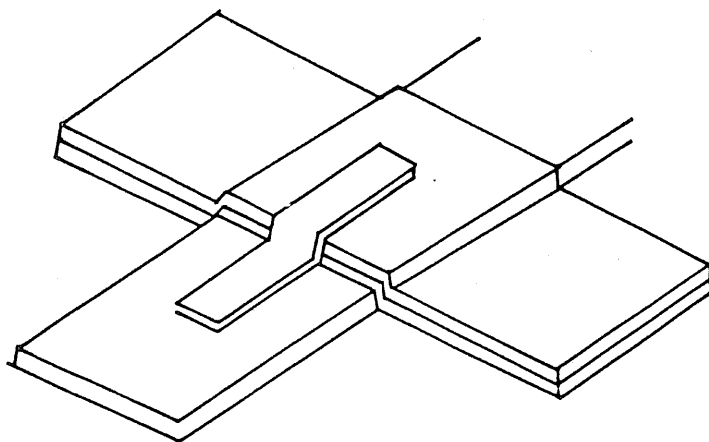
また超伝導金属としては、熱サイクルに対する安定性、単体として最も  $T_c$  が高い点などから、本研究では高融点金属であり硬い金属である Nb を用いるので、製作プロセスは Nb を加工できるものでなければならない。

従来、種々の構造、ブリッジ部の材料、製作方法のブリッジ型素子が提案されているが、これらのいくつかの例を図3-2 (a) - (f)に示す。まず、構造およびブリッジ部の材料の点から上記の条件を満足するものを考えると、 $S-S_c-S$ 型の素子では半導体基板を結合部に用いるので2)の条件を満足しない、また $S-N-S$ 型の素子では常伝導金属の蒸着というプロセスが加わるのと、通常用いられるAuあるいはCuはそれぞれ自体を微細パターンに加工するのが困難であるという問題がある。ブリッジ長を短くするためには(b), (c)のように高分子膜あるいは酸化膜を用いる方法が有効であるが、これらの方法では超伝導金属を3回蒸着する必要があり4)の条件を満足しない。また、(a)のようなDayemブリッジでは電流集中が十分ではないため、ブリッジの実効長が物理的なブリッジ長よりも長くなってしまふという問題点がある。<sup>64)</sup>

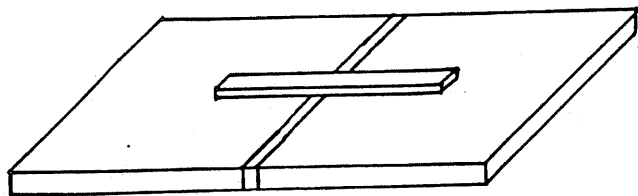
以上を考慮して、本研究では上記1) ~ 4)の条件をすべて



(a) Dayem ブリッジ<sup>24)</sup>

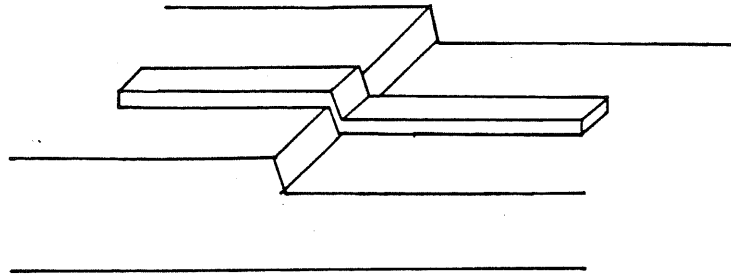


(b) 高分子膜を用いた VTB<sup>29)</sup>

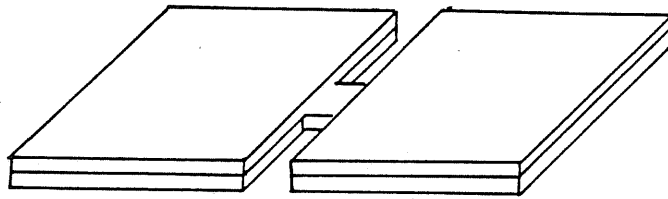


(c) 酸化膜を用いた VTB<sup>30)</sup>

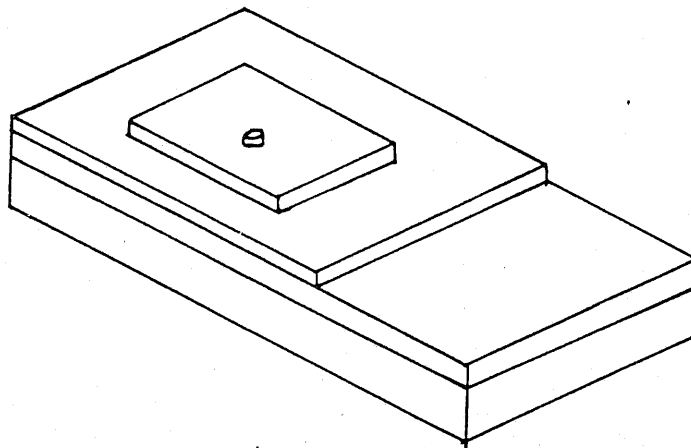
図3-2 (a)-(c) 種々のブリッジ型素子



(d) 段差を利用した VTB<sup>32)</sup>



(e) EBリングラフィに $\text{S-N-S}$ <sup>57)</sup>



(f) 垂直構造のブリッジ型素子<sup>33)</sup>

図 3-2 (d) - (f) 種々のブリッジ型素子

満足するブリッジ型素子として図1-2(C)のようなVTB素子を電子ビームリソグラフィ技術を用いて製作した。

### 3-4 ブリッジ型素子製作のための電子ビームリソグラフィ

最初に製作されたNbのブリッジ型素子は、図3-2(a)のようなDayemブリッジで、電子ビーム露光とリフトオフによって製作されている<sup>27)</sup>。この構造のブリッジには前述したような問題点があり、また実現されているブリッジ長も $0.2\mu\text{m}$ 以上とやや長い。またNbは高融点金属であるためNbの蒸着時にレジストの温度が上昇してしまうためリフトオフによるパターンニングは困難である。その他、電子ビーム露光と陽極酸化<sup>65)</sup>、あるいはスパッタエッチング<sup>57)</sup>、反応性イオンエッチング(RIE)<sup>58)</sup>などを用いてNbのブリッジ型素子が製作されているが、いずれもブリッジ長は $0.3 - 0.5\mu\text{m}$ とやや長い。したがって、Nbを $0.1\mu\text{m}$ 程度に加工することのできる電子ビームリソグラフィ技術を確立することが必要である。



電子ビーム露光を用いた微細加工の例では、Broers らによる、炭素による汚染を用いた  $18\text{ nm}$  の  $\text{Au-Pd}$  線の加工<sup>66)</sup>や、 $60\text{ nm}$  の  $\text{Si}_3\text{N}_4$  基板上の  $30\text{ nm}$  の  $\text{PMMA}$  中への  $12\text{ nm}$  の線の加工<sup>67)</sup> などがあるが、これらはいずれも特殊技術であり集積回路製作への適用は不可能である。

一般に、電子ビーム露光では加工できる最小線幅は電子ビームの径ではなく以下に示すような Proximity effect によって決定される。<sup>68)</sup>

(a) 基板からの電子の後方散乱

(b) レジスト内の電子の散乱

本研究で用いた電子ビーム露光装置のシステム図を図3-3に、概要を表3-1に示す。この露光装置では電子ビームの径を  $10\text{ nm}$  まで絞ることができるが、 $0.1\text{ }\mu\text{m}$  以下の微細加工を行なうためには上の (a), (b) をできるだけ小さくすることが必要である。前述した2つの微細加工の例ではいずれも基板

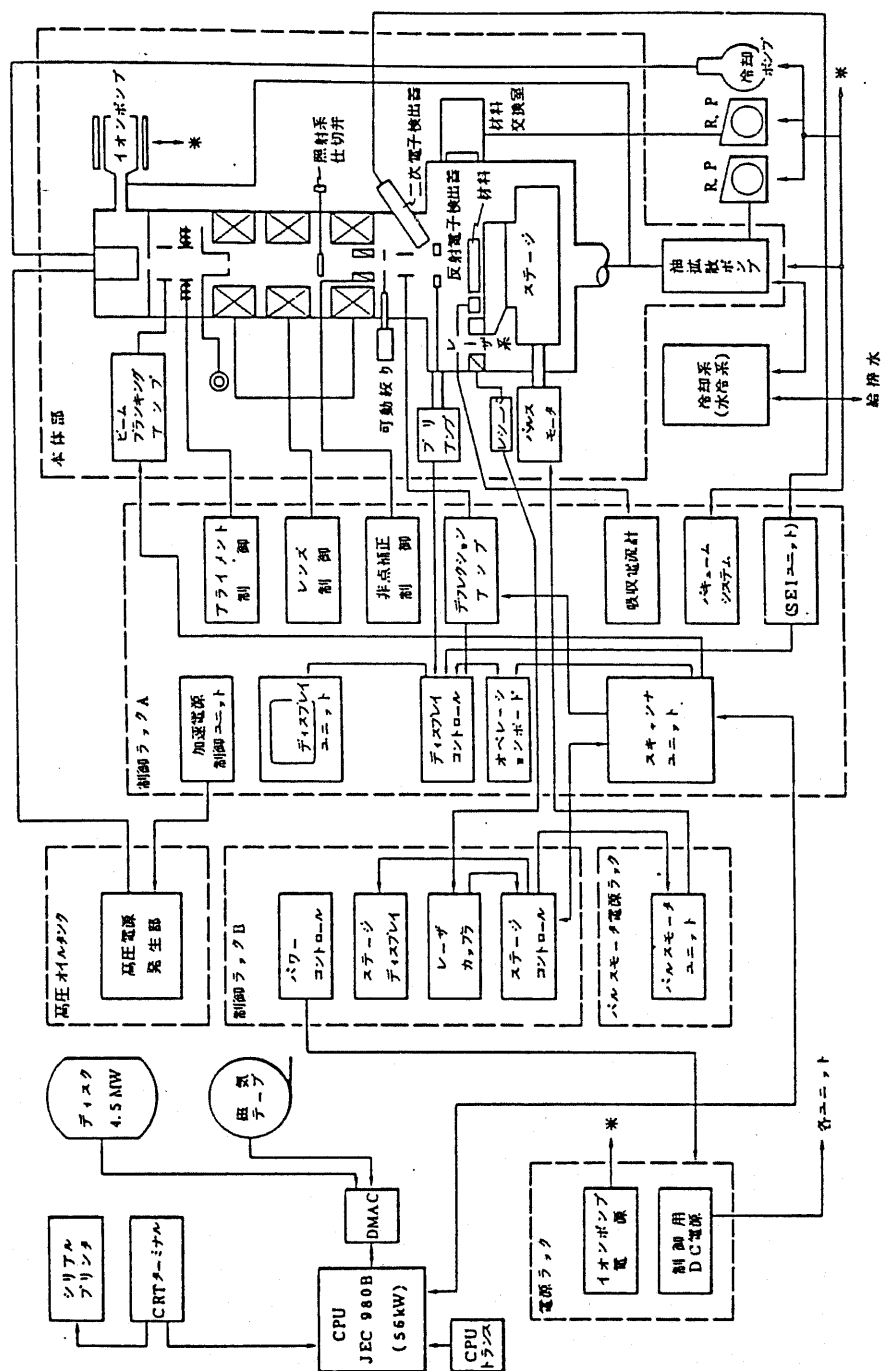


表 3-1 電子ビーム露光装置の概要

JEOL JBX-5DS	
Acceleration voltage	25 kV
Scanning	vector scan
Field size	100 $\mu$ m X 100 $\mu$ m

を非常に薄くすることによって (a) の影響を最小にし、また電子ビームに反応するレジストの膜厚もできるだけ薄くすることによって (b) の影響を最小にしている。その他に (b) の影響を小さくするためには、加速電圧を大きくする方法<sup>69)</sup>もある。

本研究の場合には、加速電圧は 25 kV と一定であるし、またブリッジ型素子を製作するために膜厚 0.1  $\mu\text{m}$  以上の Nb 膜を加工するので、基板を薄くして (a) を減少させることはできない。また、Nb の加工には陽極酸化よりも微細な加工が可能で、スパッタエッチングよりもダメージの小さい<sup>57)</sup>反応性イオンエッチング (RIE) を用いるので、レジストは膜厚 0.1  $\mu\text{m}$  以上の Nb の RIE に対して十分なマスクとならなければならない。一般に電子ビーム・レジストは耐プラズマ性が弱く、特にサブミクロンの加工に用いられる最も分解能の優れたレジスト PMMA<sup>70)</sup> (OEBR-1000) では RIE によるエッチレートが約 300 ~ 400 nm/min. と非常に大きいため、膜厚 0.1

$\mu\text{m}$  の Nb の RIE のマスクとするためには  $1\mu\text{m}$  近くの膜厚が必要となってしまふ。モンテカルロ・シミュレーションによる電子の散乱の計算結果によると、 $1\mu\text{m}$  の膜厚のレジストに  $0.3\mu\text{m}$  以下の線幅を加工することはできない<sup>71)</sup>。

以上を考慮して、本研究では (b) を減少させるための方法として電子ビームレジストをできるだけ薄くすることができ、かつ (a) を減少させることのできる方法として、半導体集積回路の分野で開発された多層レジスト技術<sup>72)73)</sup>を用いた。この方法では、Nb の RIE のマスクとしては最下層の有機膜を用いるので、電子ビームで露光する最上層のレジストの膜厚を非常に薄くすることができ、レジスト内の電子の散乱を小さくすることができ、また、電子の後方散乱については、膜厚および密度の点から最も大きいのは Nb からの後方散乱であるが、これは最下層の有機膜により吸収することができ、この影響も小さくすることができ、

3層レジスト技術のプロセス図を図3-4に示す。このプロセスを以下に示す。

- (1) 最上層の電子ビームレジストにパターンを露光する。
- (2) 露光したパターンを現像する。
- (3) RIEにより中間層をパターニングする。
- (4) RIEにより最下層をパターニングする。
- (5) RIEにより基板をパターニングする。

ここで、最上層のレジストには分解能の優れた電子ビームレジストPHMA(OEBR-1000)を用いた。

また、最下層の有機膜に要求される条件には次のようなものがある。

- a) NbのRIEに対するマスクとして十分であること。
- b) O<sub>2</sub>プラズマでRIEした場合の分解能が十分小さいこと。
- c) 剥離が容易であること。

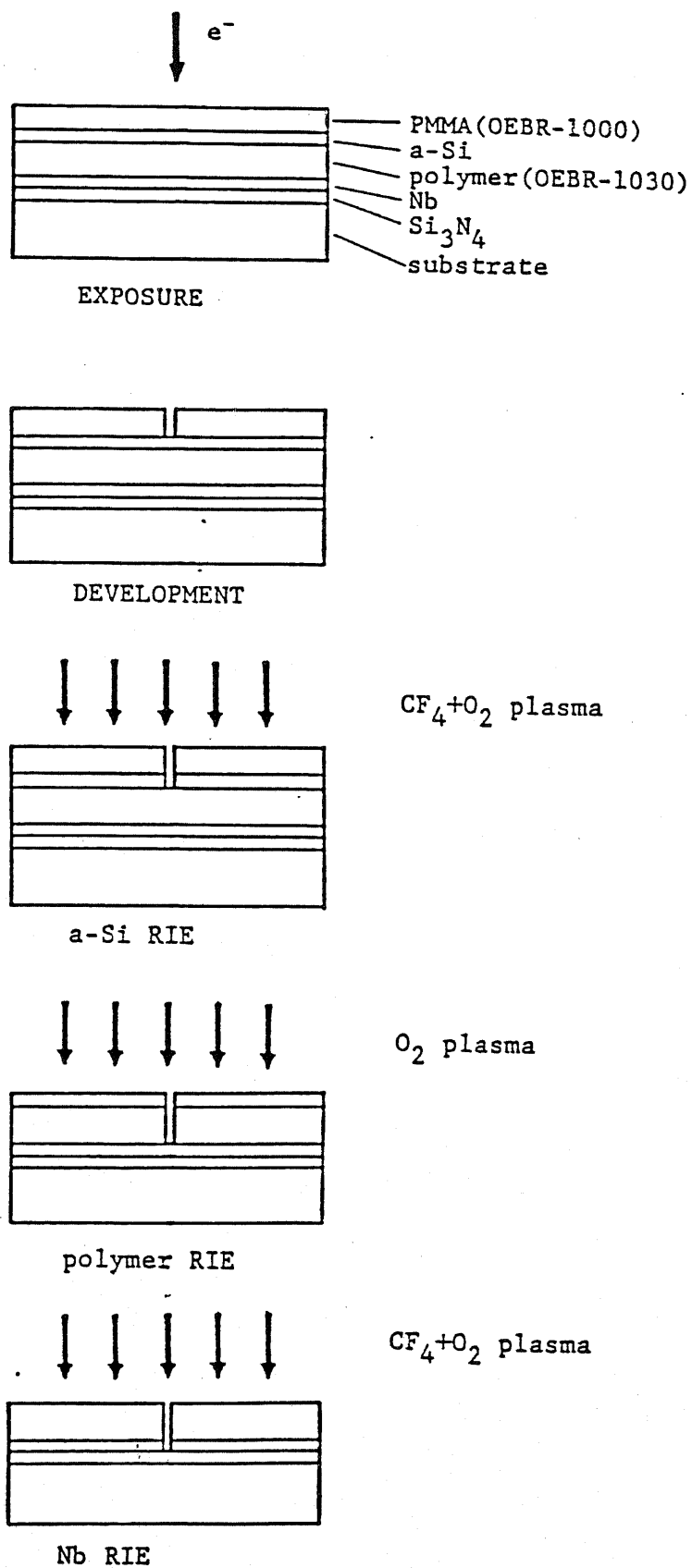


図 3-4 微細加工のための 3 層レジスト技術のプロセス図

一般に耐プラズマ性すなわち R I E に対するマスクとして十分であるという点では、電子ビームレジストよりもフォトレジストの方が優れているが、レジストの分解能の点では電子ビームレジストの方がずっと優れている。これはレジストの分子の大きさが電子ビームレジストの方がずっと小さいためであり、実際にフォトレジスト (MP-1400J) を最下層に用いた場合ではパターンエッジがレジストの分子を反映してそれほどシャープにはならない。ここで用いている O E B R - 1030 はポジ形の電子ビームレジストであり、電子ビームレジストの中では比較的耐プラズマ性の点で優れており、分解能の点では PMMA よりは劣っているが、フォトレジスト (例えば MP-1400J など) と比べるとずっと優れているので、O<sub>2</sub> プラズマによる R I E によってより微細に加工することが可能であると考えられる。

また、中間層は最上層の電子ビームレジストのパターンを、



基板の R I E に対するマスクとなる最下層の有機膜に転写するための層であるが、この中間層に要求される条件には次のようなものがある。

- a) 最下層の加工 ( $O_2$  プラズマによる R I E ) に対して十分マスクとなること。
- b) 電子ビームによりチャージアップしないように低抵抗にすることが容易であること。したがって、フォトリソグラフィにおける 3 層レジストで用いられるようなスピネオンの  $SiO_2$  などを用いることはできない。
- c) 他のプロセスと共存できるように、R I E による加工が容易であること。
- d) 最下層の有機膜が損傷を受けないような条件で堆積が可能であること。

以上を考慮して、中間層としてはアモルファス・シリコンを用いることにし、チャージアップを防ぐために P ドープして低

抵抗にしている。アモルファス・シリコンの堆積に用いたプラズマ CVD 装置の概要を図 3-5 に、堆積条件を表 3-2 に示す。堆積中に最下層の OEBR-1030 が損傷を受けないように、堆積温度は OEBR-1030 のバーク温度 ( $170^{\circ}\text{C}$ ) よりも低い温度 ( $150^{\circ}\text{C}$ ) にしており、また放電電力も 10 W と小さいのでプラズマによる損傷も受けない。また、低抵抗という点では金属 (例えば、Al, Au など) 膜も考えられるが、これらの膜は RIE による加工ができないので、wet なエッチングによりパターンニングする必要があるので、微細加工には不適である。

前述したように、最上層の電子ビームレジストの膜厚ができるだけ薄いことが望ましいので、各層の膜厚はそれぞれその下の膜の RIE に対して十分マスクとなる範囲でできるだけ薄くなるように決定した。各層の膜厚を表 3-3 に示す。

OEBR-1000 は膜厚が 200 nm になるように、トリクレン

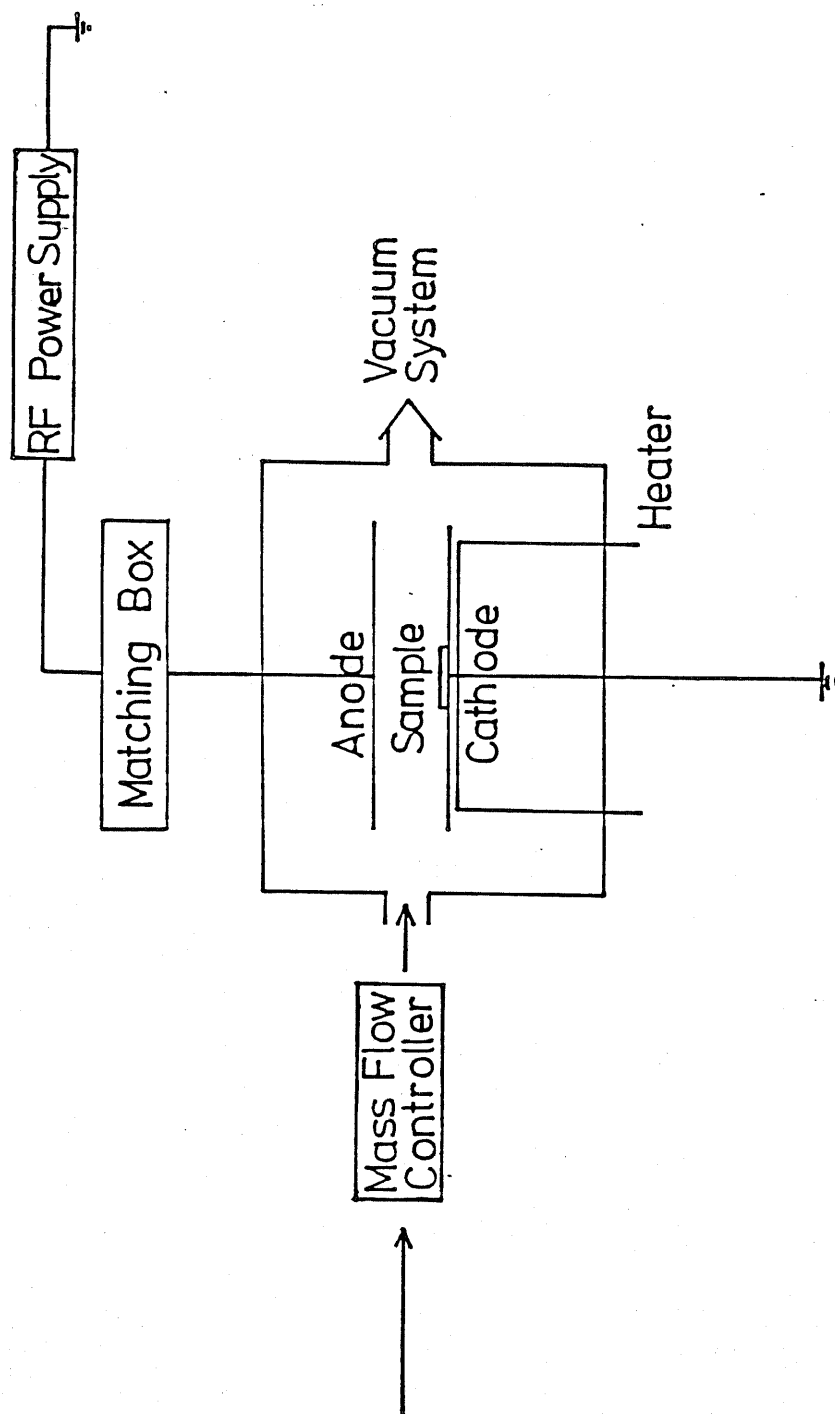


图 3-5 射频磁控溅射装置

表 3-2 アモルファスシリコンの堆積条件

Gas mixture	$\text{SiH}_4:\text{PH}_3 = 20:1$ (diluted with Ar)
Substrate temperature	150°C
Total gas pressure	0.2 Torr
RF power	10 W
Gas flow rate	50 sccm
Deposition rate	4-5 nm/min.

表 3-3 3層レジストの各層の膜厚

Top layer	OEPR-1000 (diluted with tri-chloroethylene)	~ 200 nm
Middle layer	amorphous silicon (doped with P)	~ 40 nm
Under layer	OEPR-1030	~ 600 nm

表 3-4 電子ビーム露光および現像の条件

Exposure beam current dose	5 pA 1 nC/cm or 32 pC/cm
Development developer time	MIBK:IPA = 1:3 or 1:1 45 sec. or 3 min.

でス:1に希釈している。またバーフ温度はアモルファスシリコンの堆積温度よりも低い温度(140°C)で行なった。

電子ビーム露光および現像の条件を表3-4に示す。2通りの現像液を用いているが、2つの場合で溶解するドーズ量および溶解速度が異なるのでドーズ量および現像時間が異なっている。現像後の線幅は2つの場合でほぼ同じである。

次に、アモルファスシリコン、DEBR-1030およびNbのRIEについて述べる。図3-6に本研究で用いたRIE装置の概要を示す。アモルファスシリコンおよびNbは $CF_4$ ガスにより、DEBR-1030は $O_2$ ガスによりエッチングすることができる。

RIEでは、極板間に直流電圧(セルフバイアス電圧)が加わり、正イオンが基板に垂直方向に加速されて入射することによりエッチングが異方的に行なわれるが、本研究の場合のように微細加工を行なう際にはこの異方性が重要な特性となる。

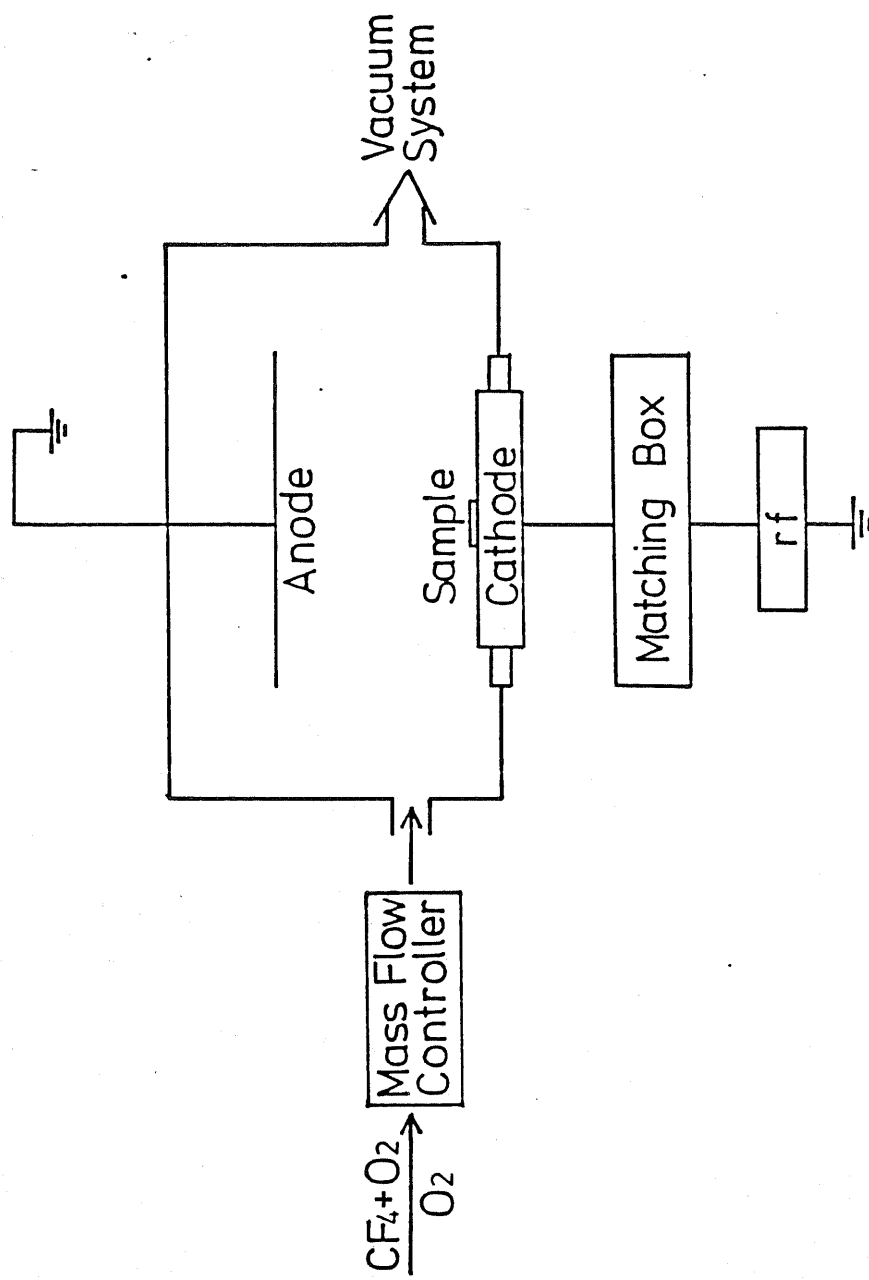


图 3 - 6 R I E 装置

一般に、RIEの条件と異方性の間には次のような関係がある。<sup>74)</sup>

(a) イオンは水平方向にも運動エネルギーを持っているから

これと比べてセルフバイアス電圧による加速エネルギー

が大きいほどエッチングの異方性が大きくなる。

(b) 圧力が低いほどイオンと分子などの間の衝突による散乱

が減少し異方性が大きくなる。

また、RIEではエッチング中の堆積の問題点となるが、こ

れには次のようなものがある。<sup>74)</sup>

(i) 反応ガス  $CF_4$  から  $(-CF_2-CF_2-)_n$  という有機物が

生成し堆積する。

(ii) 極板あるいは試料がスパッタされ堆積する。

(i) を防止するための方法としては、反応ガス中に  $O_2$  ガス

を混合することが有効であることが知られており、本研究では

反応ガスとして  $CF_4 + O_2$  (5%) を用いた。またこれに

よりアモルファスシリコンおよびNbのエッチレートは  $CF_4$

のみの場合と比べて大きくなる。また (ii) を防止するために、カソード基板を石英板で被覆した。

R I E の条件は、前述した異方性が大きくなるように圧力をできるだけ低くし、またセルフバイアス電圧をできるだけ大きくした。アモルファスシリコン、DEBR-1030、Nb の R I E の条件とこの場合のマスクおよび反応物のエッチレートの値を、それぞれ表 3-5, 3-6, 3-7 に示す。

これらの表中のエッチレートの値は比較的面积の大きい膜をエッチングした場合のエッチレートの値であるが、エッチングするパターンが微細になるとエッチレートは小さくなる。この原因としては、アスペクト比の大きな溝をエッチングする際には、水平方向に運動成分を持つイオンが側壁に衝突するため有効に溝の底まで到達しないことなども考えられるが、本研究では次のような原因を考えた。アスペクト比が大きくなるとエッチングによる反応生成物 (DEBR-1030 の場合には、



表 3-5 アモルファスシリコンの  
RIE 条件

Gas	$\text{CF}_4 + \text{O}_2$
RF power	250 W
Gas pressure	3 Pa
Gas flow rate	30 sccm
Self-bias voltage	800 V
Etch rate	
amorphous silicon	~100 nm/min.
OEER-1000	~300 nm/min.

表 3-6 OEER-1030 の  
RIE 条件

Gas	$\text{O}_2$
RF power	200 W
Gas pressure	3 Pa
Gas flow rate	30 sccm
Self-bias voltage	700 V
Etch rate	
OEER-1030	~200 nm/min.
amorphous silicon	<10 nm/min.

表 3-7 Nb の RIE 条件

Gas	$\text{CF}_4 + \text{O}_2$
RF power	250 W
Gas pressure	3Pa
Gas flow rate	30 sccm
Self-bias voltage	800 V
Etch rate	
Nb	~ 80 nm/min.
OEER-1030	< 200 nm/min.

$\text{CO}_2$  および  $\text{H}_2\text{O}$  など、 $\text{Nb}$  のエッチングの場合には  $\text{Nb}$  の  
フッ化物) が溝の中から外部に抜けるまでの時間が長くなり、  
これによってエッチングの進行が妨げるためにエッチレートが  
小さくなる。

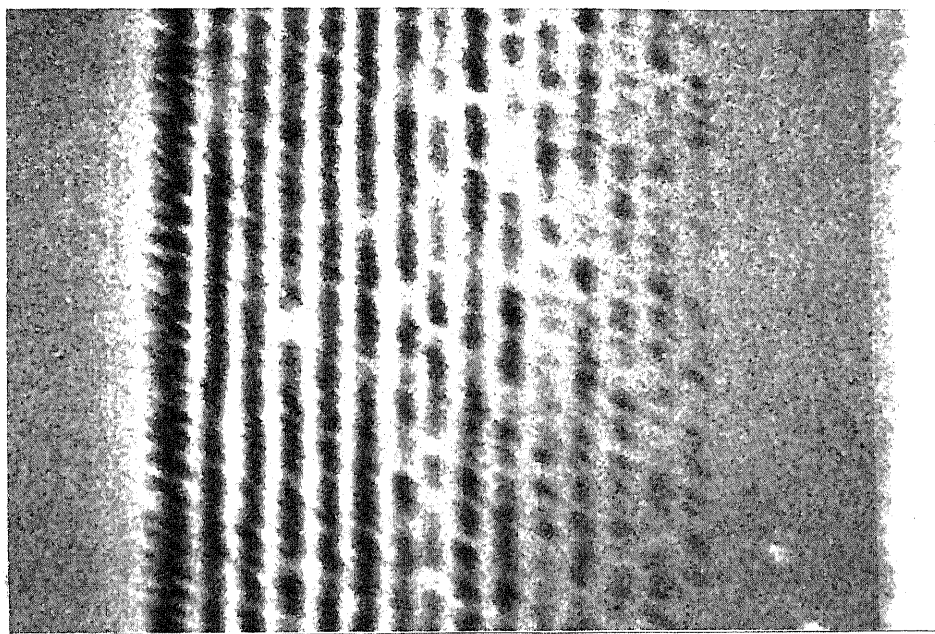
したがって、この問題を解決するためにはアスペクト比が大  
きくエッチングによる反応生成物が外部に抜けにくくなるよう  
な、 $\text{DEBR}-1030$  および  $\text{Nb}$  のエッチング中に、反応生成  
ガスを強制的に外部に出してやるべき。本研究では、以上の  
エッチングを間欠的に行ない、放電と真空引き ( $\sim 3 \times 10^{-3} \text{ Pa}$ )  
を交互に行なうことによって、溝中の反応生成ガスの排気を行  
なっている。

この間欠的なエッチングによって、 $\text{RIE}$  時の基板の温度上  
昇を抑えることができ、レジストの温度上昇に伴う変質を防  
ぐことによって、放電時のパワー (セルフバイアス電圧) を太  
くすることができエッチングの異方性を大きくすることがで

きるといふ効果も果たしている。

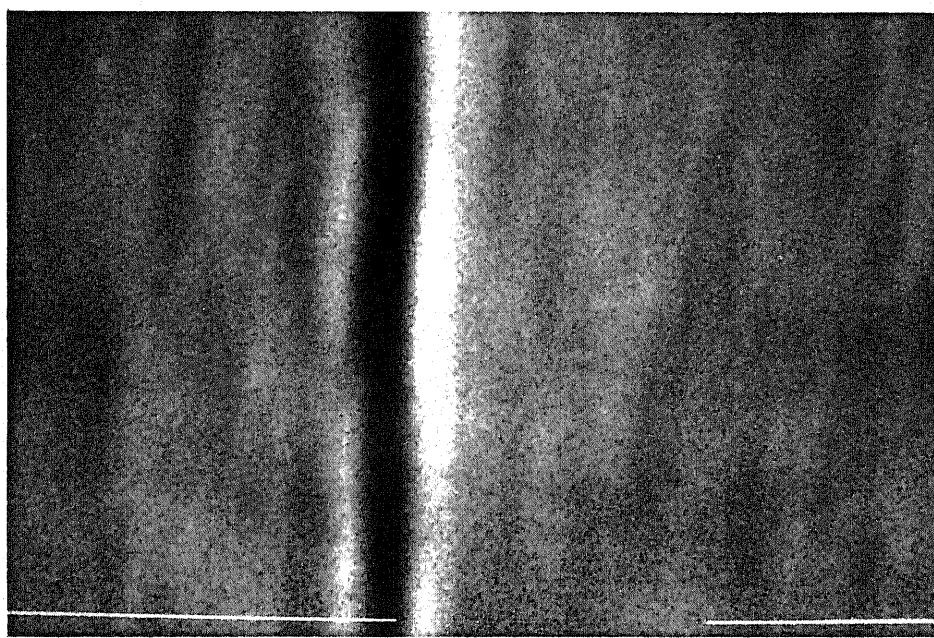
本研究では、基板(Nb)のパターニングをRIEにより行なっているのに、Tennantらによるリフトオフを用いたプロセスと比べて最下層の有機膜の膜厚がずっと厚くなっているの  
で、アスペクト比が6以上と大きくなっているために以上のよ  
うなRIE時の問題点によって加工できる最小線幅が決定され  
ていると思われる、電子ビーム露光では50 nm程度までのパタ  
ーンの露光が可能であると思われる。

以上のプロセスを用いてNbの加工を行なった微細パターン  
のSEM写真の例を図3-7、3-8に示す。図3-7は、ラ  
イン・アンド・スペースのパターンを加工したもので、図中の  
左側から右側にドーズ量を10%ずつ減少させている。図3-7  
と図3-8でNbの粒形の違いが異なっているが、これは図  
3-7では蒸着レートが小さいためで、蒸着レートを大きく(  
30 nm/min. 以上)すれば粒形の違いを数nmとすることが



1μm

図3-7 Nb エッチング後のライン・アンド・スペースのSEM写真 (×10,000)



1μm

図3-8 Nb エッチング後の0.1μmラインのSEM写真 (×40,000)

でき、Nb を加工できる最小寸法が Nb の粒形の大きさにより制限を受けることはない。これらにより、以上のプロセスによって Nb を  $0.1\ \mu\text{m}$  以下に加工することが可能であることがわかる。

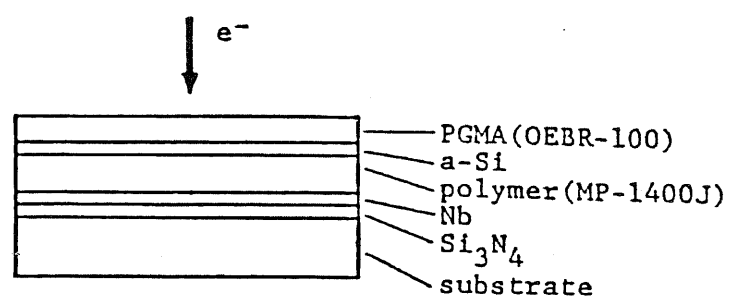
### 3-5 ブリッジ型素子の製作

本研究では、ブリッジ型素子を用いて論理回路を高密度集積化に最適な方法で製作することを最終的な目標としているので、ゲート当たりの面積をできるだけ小さくすることができるよう最小線幅を  $1\ \mu\text{m}$  としている。フォトリソグラフィでは線幅  $1\ \mu\text{m}$  を実現することは困難であるし、また回路の製作時には後述するように数回の重ね合せを行なうことが必要であるので重ね合せの精度も良くするために、ブリッジ型素子の電極配線のパターンニングも電子ビーム・リソグラフィ技術を用いて行なった。

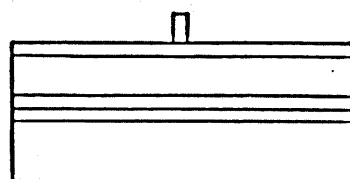
前述したように、電子ビームレジストの耐プラズマ性は悪く

特にここで用いているネガ形レジスト・PGMA<sup>75)</sup>(DEBR-100)のRIEによるエッチレートは非常に大きく、また前節で述べたような proximity effect の影響をできるだけ小さくして線幅の制御を正確に行なうために、この場合にも前節と同様に3層レジスト技術を用いている。

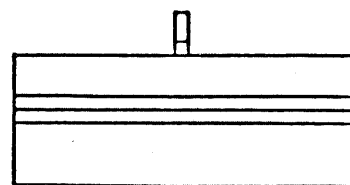
このプロセス図を図3-9に示す。この場合には、前節のプロセスと異なり、分解能自体はそれほど必要ではなく、耐プラズマ性の優れていることを重視して、最下層の有機膜としてはフォトレジストMP-1400Jを用いた。また中間層としては前節と同様にアモルファスシリコンを用いた。最下層および中間層の膜厚は表3-3に示した場合と同じとし、最上層のDEBR-100の膜厚はRIEによるエッチレートが大きいので、 $\sim 300\text{ nm}$ とした、MP-1400Jは膜厚が $\sim 600\text{ nm}$ となるようにシンナーで希釈した。また、アモルファスシリコンの堆積条件は堆積温度を除いて表3-3に示した条件と同じとした



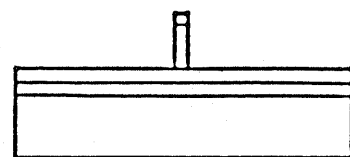
EXPOSURE



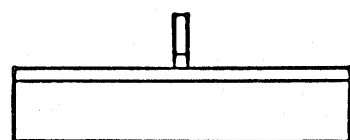
DEVELOPMENT

 $\text{CF}_4 + \text{O}_2$  plasma

a-Si RIE

 $\text{O}_2$  plasma

polymer RIE

 $\text{CF}_4 + \text{O}_2$  plasma

Nb RIE

図3-9 電極パターニングのプロセス図



が、アモルファスシリコンの堆積温度が、最下層の有機膜のベーク温度よりも高いと、アモルファスシリコンの堆積時に有機膜が損傷を受けるため、堆積温度はMP-1400 Jのベーク温度( $130^{\circ}\text{C}$ )よりも低い温度 $100^{\circ}\text{C}$ にした。ここで、DEBR-100のベーク温度は $80^{\circ}\text{C}$ と低いので、DEBR-100を付ける時にMP-1400 Jおよびアモルファスシリコンが損傷を受けることはない。

この場合の電子ビーム露光および現像の条件を表3-8に示す。また、アモルファスシリコン、MP-1400 JおよびNbのRIEの条件をそれぞれ表3-9、3-10および3-11に示す。この場合には、前節の場合のように異方性を大きくすることよりも、極板あるいは試料がスパッタされて堆積するのを防ぐために、圧力を $5\text{ Pa}$ と前節の場合よりも高くしてスパッタ効果を減少させている。さらに、主にRIE中の試料の温度上昇を減少させるために放電時のパワー(それに伴ないセルフバ

表 3-8 電子ビーム露光および現像の条件

Exposure	
beam current	10 pA
dose	$3 \times 10^{-6} \text{ C/cm}^2$
Development	
developer	MEK:EToh = 7.5:1
time	20 sec.

表 3-9 アモルファスシリコンの RIE 条件

Gas	$\text{CF}_4 + \text{O}_2$
RF power	150 W
Gas pressure	5 Pa
Gas flow rate	30 sccm
Self-bias voltage	550 V
Etch rate	
amorphous silicon	-100 nm/min.
OEER-100	-400 nm/min.

表 3-10 MP-1400J の RIE 条件

Gas	O <sub>2</sub>
RF power	100 W
Gas pressure	5 Pa
Gas flow rate	30 sccm
Self-bias voltage	450 V
Etch rate	
MP-1400J	~ 200 nm/min.
amorphous silicon	< 10 nm/min.

表 3-11 Nb の RIE 条件

Gas	CF <sub>4</sub> + O <sub>2</sub>
RF power	150 W
Gas pressure	5 Pa
Gas flow rate	30 sccm
Self-bias voltage	550 V
Etch rate	
Nb	80 nm/min.
MP-1400J	100 nm/min.

イアス電圧)を小さくしている。

V、T、B素子の製作プロセスを以下に述べる。

1) Si基板上に  $\text{Si}_3\text{N}_4$  を 100 nm プラズマ CVD 法により堆積する。ここで、 $\text{Si}_3\text{N}_4$  を用いているのは後述する回路の試作時にインダクタを形成する必要があり、そのためには膜厚を制御する必要があるが、 $\text{Si}_3\text{N}_4$  の堆積速度は 10 nm/min. と膜厚を制御しやすいためである。

2) 電子ビーム蒸着により、Nb を粒形の大きさを小さくするために 30 nm/min. 以上のレートで 120 nm 蒸着する。

3) 図3-9に示したプロセスを用いて、VTB素子の電極およびボンディング・パッドのパターニングを行なう。

4) 図3-4に示したプロセスを用いて、ブリッジ部のパターニングを行なう。

以上の方法では、1回のみのNbの蒸着でブリッジ型素子を製作することができるのでプロセスが簡単であり、また完全に

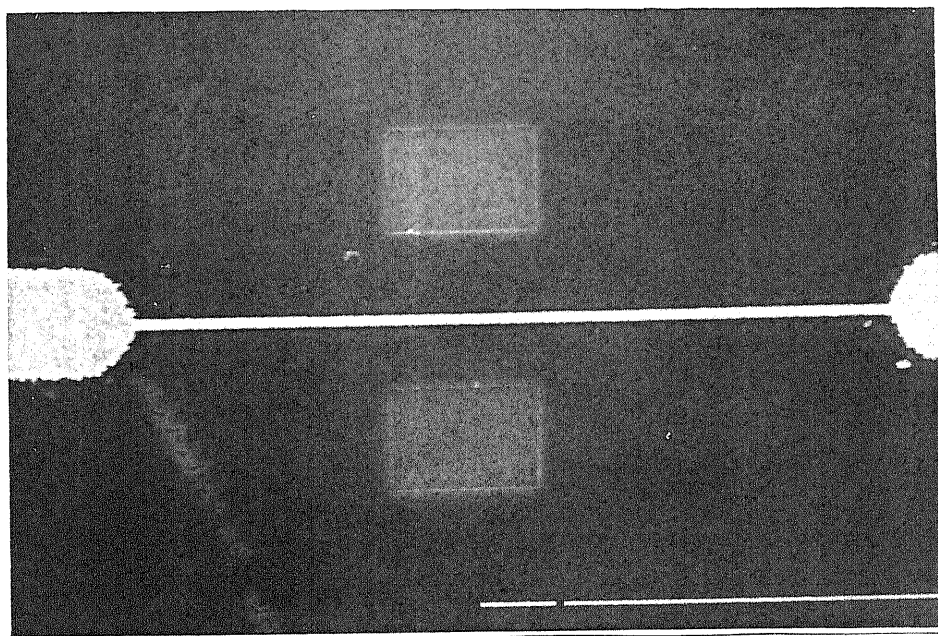
平面構造であるから、このプロセスは集積化に最適である。

以上のプロセスで製作したブリッジ型素子の電極部の SEM 写真を図 3-10 に、またブリッジ部を拡大したものの SEM 写真を図 3-11 に示す。ブリッジ長は  $0.1 \sim 0.15 \mu\text{m}$  のものが再現性良く製作できた。

### 3-6 素子の特性

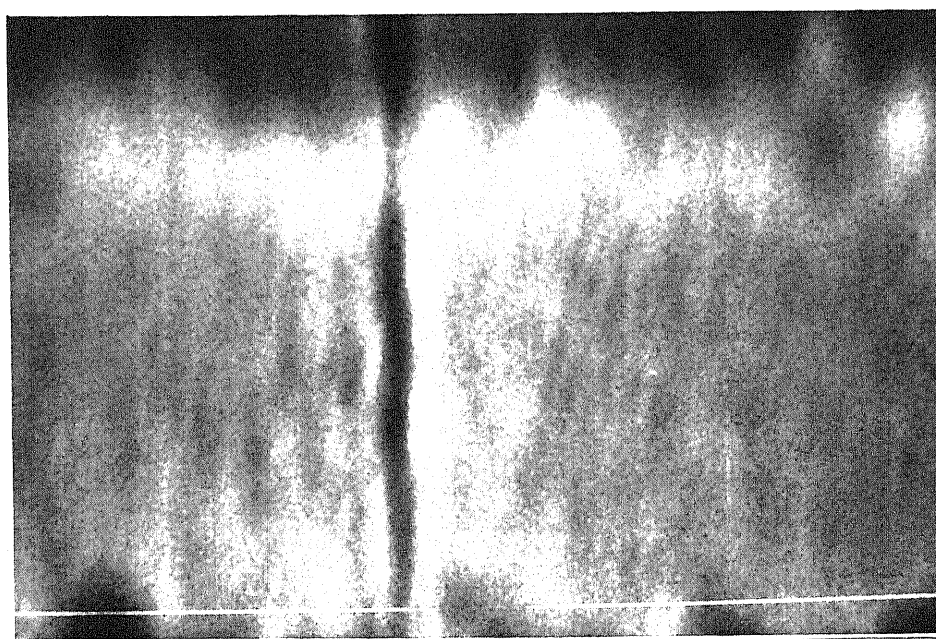
#### 3-6-1 I-V 特性の測定結果

前節で述べたプロセスで製作したブリッジ型素子の 4.2K における I-V 特性の測定結果の例を図 3-12、3-13 に示す。ボンディングは、ホルマル線をパッドに I<sub>n</sub> 圧着することによって行ない、素子の抵抗が  $1\Omega$  以下と小さいため、測定は四端子法により行ない、両電極の電圧を X-Y 動作のオシロスコープの差動入力に入力している。また、低周波発振器に素子と直列に  $100\Omega$  の抵抗を接続して定電流動作となるようにしている。



10 $\mu$ m

図3-10 ブリッジ型素子のSEM写真( $\times 1,000$ )



1 $\mu$ m

図3-11 ブリッジ部のSEM写真( $\times 20,000$ )

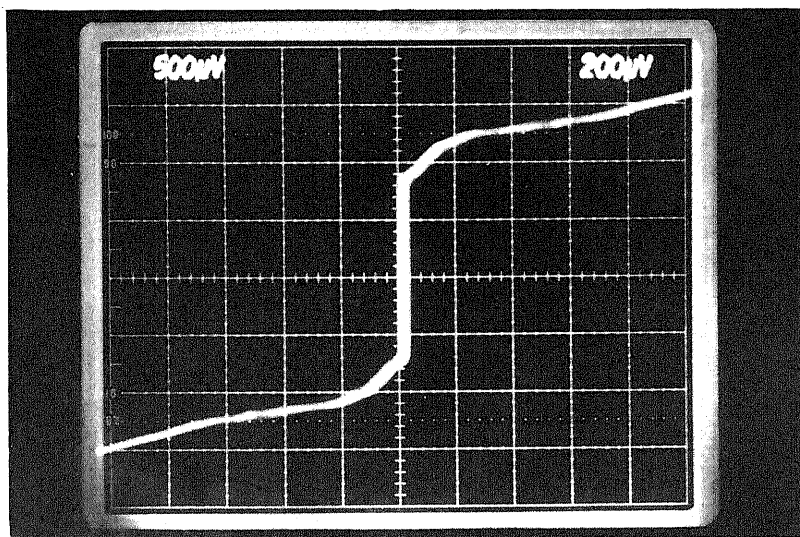


図3-12 製作した素子の4.2 Kにおける  
I-V特性の例  
縦軸  $50 \mu\text{A}/\text{div.}$  横軸  $200 \mu\text{V}/\text{div.}$

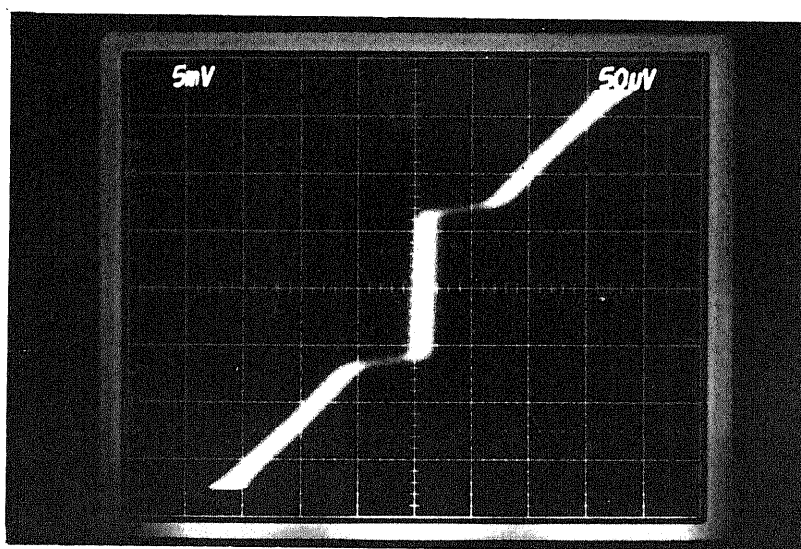


図3-13 製作した素子の4.2 Kにおける  
I-V特性の例  
縦軸  $50 \mu\text{A}/\text{div.}$  横軸  $50 \mu\text{V}/\text{div.}$

後述するように、ブリッジ部のNbの膜厚の制御はエッチング時間を制御することによって行なっているが、RIEの条件をすべての場合に厳密に一定にすることが困難であるため、ブリッジ部のNbの膜厚は製作したすべての素子で同一にはなっていないと考えられる。これは、素子のNbが薄膜で線幅が1 $\mu$ mと狭いために室温における素子の抵抗が数百 $\Omega$ あり、またブリッジ長が短いためにエッチングしたことによる抵抗の変化が顕著でないために、素子の抵抗のモニタによってRIEのエンドポイントを検知することができないためである。

したがって、製作した素子の特性にはばらつきがあり、大部分の素子は4.2Kでブリッジ型素子の特性を示すが、ブリッジ部のNbの膜厚が厚いと考えられる素子では、高い温度ではブリッジ型素子の特性を示すが、4.2KではI-V特性にヒステリシスが現われたものや、超伝導電流が非常に大きくなったものも数個あった。



この方法で製作したVTB素子の特性は以下のようなものである。

臨界電流値  $I_c$  : 0.05 ~ 0.5 [mA]

$I_c R_n$  積 : 0.05 ~ 0.3 [mV]

### 3-6-2 マイクロ波特性

ジョセフソン素子にマイクロ波を照射すると、 $I-V$ 特性上に次式で与えられる電圧に電流ステップが観測される。

$$\bar{V} = n \frac{\hbar \omega}{2e} \quad (3-3)$$

これをシャピロステップ<sup>76)</sup>といい、ACジョセフソン効果を表わす代表的な特性である。

図3-14, 3-15に前述したプロセスで製作したブリッジ型素子に約10 GHzのマイクロ波を照射した時の $I-V$ 特性の測定結果の例を示す。いずれの場合にも10 GHzに相当する約25  $\mu V$ ごとに電流ステップが0.1 mV程度まで現れており、素子がジョセフソン効果を示していることがわかる。

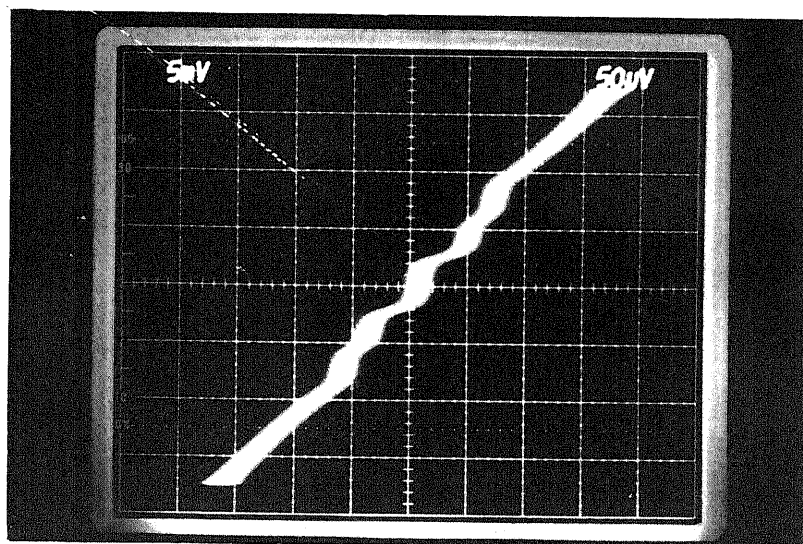


図3-14 製作した素子のマイクロ波(9.9GHz)  
照射時のI-V特性の例  
縦軸 50  $\mu$ A/div. 横軸 50  $\mu$ V/div.

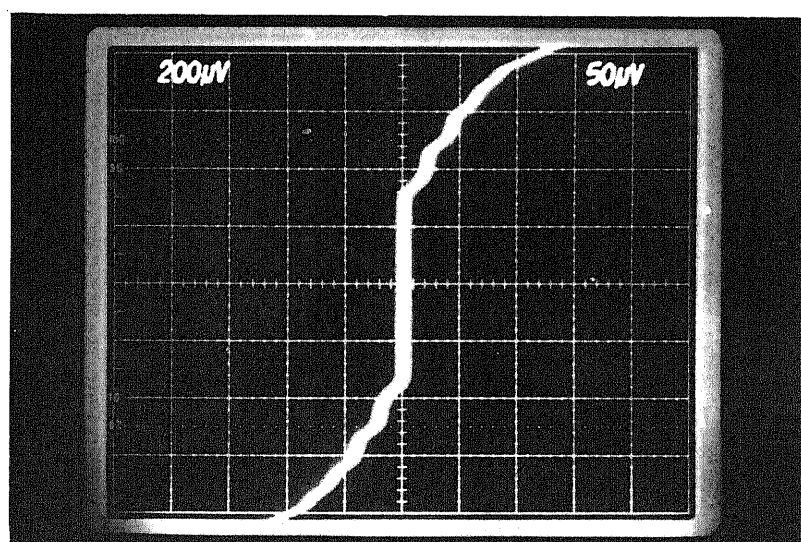


図3-15 製作した素子のマイクロ波(9.9GHz)  
照射時のI-V特性の例  
縦軸: 20  $\mu$ A/div. 横軸 50  $\mu$ V/div.

### 3-6-3 素子の特性に関する検討

前節までに述べたプロセスによってNbのVTB素子を製作した場合に、素子の特性に重大な影響を及ぼすと考えられる要因は次の2つである。

(a) ブリッジ部のNbの膜厚

(b) RIEによるNb上のダメージ

本研究では、ブリッジ部のNbの膜厚の制御はエッチング時間を制御することによって行なった。しかしながら、前述したようにブリッジ部をエッチングする場合にはエッチングする領域の幅が狭くアスペクト比が大きいために、比較的大きな面積をエッチングする場合と比べてエッチレートが小さくなっている。また、図3-11に見られるようにパターンのエッジが、ネガ形電子ビームレジストPGMAの分解能が十分ではないことに起因すると思われるが、それほどシャープではないためにSEMによって断面形状を観察した時に、膜厚の変化がパター

シのエッジの幾何学的変化に隠れてしまい、断面形状から  $0.1\mu\text{m}$  程度のブリッジ長のブリッジ部の Nb の膜厚は正確に求めることができない。

この場合よりもやや幅の広い  $0.3\mu\text{m}$  程度の幅の線をエッチングした場合には、SEM による断面形状の観察から、残っている Nb の膜厚を見積もることが可能である。その場合にはアスペクト比は 2 程度であり、実際のブリッジ部のエッチレートよりはまだ大きいと考えられるが、この場合のエッチレートから推定して、実際の素子のブリッジ部の Nb の膜厚は  $10\sim 20\text{nm}$  であると考えられる。

I-V 特性から求めた素子の特性がばらついていることの原因は、以上述べたブリッジ部の Nb の膜厚が十分制御されていないことであると考えられる。これは、RIE の条件を常に一定になるように制御し、エッチングの再現性を向上させることによって改善することが可能であると思われる。

また、(6)のRIEによるNbへのダメージについては、Nbの膜質の低下に伴ない、膜の $T_c$ 、コヒーレンス長などが低下するので、製作したブリッジ型素子の特性も低下することが知られている。<sup>57)</sup> 現在NbのRIEの条件は、微細なパターンをエッチングすることを重視してセルフバイアス電圧がかなり大きくなるような条件にしているが、このような条件ではかなりの物理的なスパッタリングも含まれていると考えられるから、かなりの程度のダメージがNbへ入っていることが考えられる。ブリッジ部のエッチングに際しては、NbのRIE時のセルフバイアス電圧を800~700 Vの範囲で変化させたが、この範囲では製作したVTB素子の特性にそれほど大きな有意差は現れなかった。

しかし、エッチング条件の変化に伴なってエッチレートも変化するため、ブリッジ部のNbの膜厚を一定にすることが困難であるため、エッチング条件を変化させたことによる影響の

みを単独に見積もることは難しい。

前述したように、Nbのエッチングも間欠的に行なっており、具体的にば30秒づつ3回に分けて行なっているので、最後のエッチング時のセルフバイアス電圧をさらに下げることによりRIEによるNbへのダメージを減少させることによって、素子の特性を向上させることが可能であると考えられる。

### 3-7 第3章の結論

本章では、ブリッジ型ジョセフソン素子を用いた論理回路の試作に必要不可欠であるブリッジ型素子の製作について述べた。ジョセフソン素子の利点を活用するために、論理回路の試作時にはブリッジ型素子を高密度集積化に最適なプロセスで製作する必要があるので、集積化に最適なNbのVTB素子の製作を行なった。

ブリッジ長の短い、特性の良好なVTB素子を製作するために、3層レジスト技術とRIEを用いてNbの $0.1\mu\text{m}$ 以下の

加工を行なうことが可能な電子ビーム・リソグラフィ技術を確立し、この技術を用いて長さ  $0.1 \sim 0.15$   $[\mu\text{m}]$ 、幅  $1$   $[\mu\text{m}]$  の Nb の VT B 素子を製作した。

製作した VT B 素子の  $4.2\text{K}$  における  $I-V$  特性および  $10$  GHz 程度のマイクロ波照射時の  $I-V$  特性を測定した結果、 $I_c$   $0.05 \sim 0.5$   $[\text{mA}]$ 、 $I_c R_n$  積  $0.05 \sim 0.3$   $[\text{mV}]$  が得られ、またジョセフソン効果の代表的な特性であるシャペロステップが  $0.1$   $[\text{mV}]$  程度まで観測された。

## 第4章 一方向化磁束量子論理回路の設計および試作

## 4-1 序

トンネル型ジョセフソン素子を用いた  $dc-SQUID$  を基本ゲートとする IBM の CIL<sup>9)</sup> では、種々の制約条件のために最小線幅を減少させてもセル面積はそれに伴って減少せず逆に最小線幅をあまり小さくするとセル面積が増加してしまう。<sup>77)</sup>

これに対して、制約条件を緩和するために抵抗を用いた注入型の論理回路もいくつか提案されているが<sup>12), 13), 78)</sup>、このような回路で用いられる抵抗材料の抵抗率が小さいために、抵抗の面積をそれほど小さくすることができず、それに伴って回路の面積もそれほど小さくすることはできない。

トンネル型素子と比べてブリッジ型ジョセフソン素子では、接合の超伝導電流密度を数桁上げることができるので、回路をかなり縮小することができる。ジョセフソン素子の大きな利点である低消費電力性を活用するためには、高密度集積化を行な



う必要があり、そのためには回路の面積をできるだけ小さくすることが重要な課題となる。

本章では、第2章で提案した一方向化磁束量子論理回路を、第3章で確立した電子ゼーム・リソグラフィ技術を用いて試作するための回路の設計、および回路の実際の試作について述べる。

#### 4-2 回路の設計

実際の回路の試作に際しては、動作マージンの大きい方が試作におけるパラメータ値の設定値に対するばらつきの許容度が大きいので、第2章で説明した2通りのゲートのうち図2-13に示した3接合ゲートを基本ゲートとした。

ジョセフソン素子を用いた論理回路の動作は閾値論理であるから、このゲートを用いたAND、OR動作はバイアス点を適当に設定することによって行なうことができる。図4-1にこのゲートの論理動作(0,0,0,0)モードから(-1,0,0,1)モー

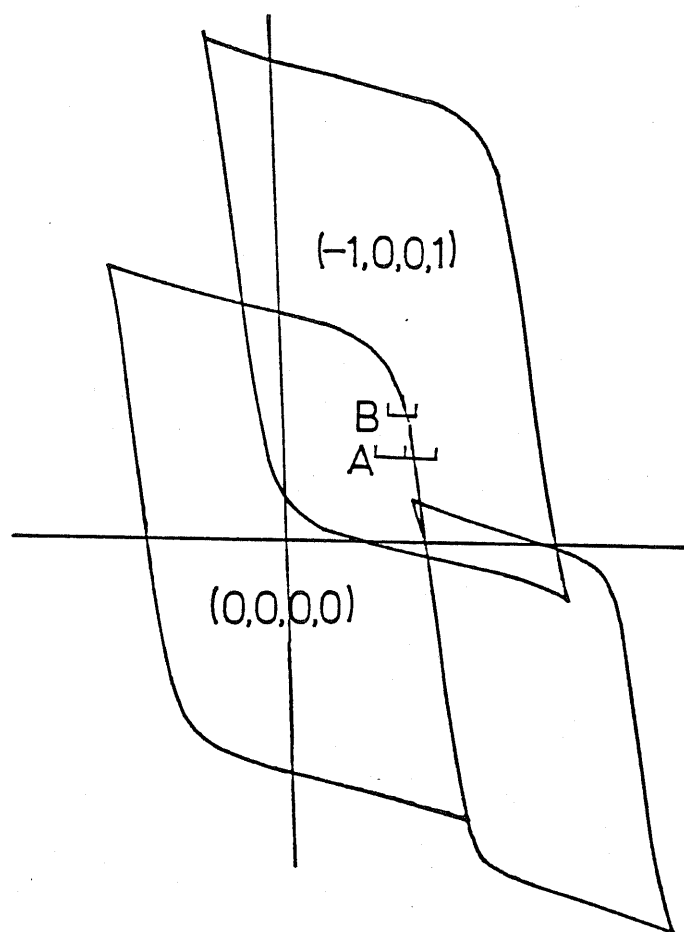


図4-1 論理ゲートのAND, OR  
動作

ドハの遷移に関係した4つのモードを示している。与えられた入力信号レベルに対して、図中の点Aのように2つの入力がかからないとモード遷移の生じない点にバイアス点を設定すればAND動作を行なうことができ、また点Bのように1つの入力がかわれればモード遷移が生じる点にバイアス点を設定すればOR動作を行なうことができる。このように、ゲートごとにバイアス点を設定しなくても、接合の臨界電流を変化させることにより一定のバイアスレベルに対してしきい値特性を変化させることにより、以上と同じ動作をさせることができる。

このゲートの論理ゲートとしての動作を確認するために、1つのゲートがAND-OR動作を行なうこと、およびゲートを3段連続接続したものに対して信号伝搬の一方向性がとれることを確認すればよい。

また、このゲートでは磁束量子の有無を2つの論理状態に対応させているので動作を確認するためには磁束量子を検出する

ことが必要である。ジョセフソン・サンプラー<sup>79)</sup>を用いて磁束量子を検出した例も報告されているが<sup>80)</sup>、これにはトンネル型接合をこのゲートと同時に製作しなければならない。また、第2章で述べたようにジョセフソン接合の両端に発生する電圧パルスを検出する方法も考えられるが、この電圧パルスの幅は約2 psec. と非常に短いのでこれを検出するのは困難である。

また、論理回路を構成する際には外部回路との接続のためにこれを電圧に変換する必要があるので、検出回路としてはdc-SQUIDを用い、ゲートの一番右のループ中の磁束量子をこれに鎖交させることによってdc-SQUIDを電圧状態に移させ両端の電圧を検出する方法をとることとした。

前述したように、図2-13のゲートでジョセフソン接合の臨界電流値やインダクタンスの値が設定値からずれると、それに伴ってしきい値特性も変化するから、これらのばらつきがあまり大きくなるとゲートが動作しなくなってしまう。以下1

段のゲートについてゲートが動作するための回路パラメータのばらつき許容範囲について考える。

このゲートでは  $\lambda \left( \frac{2\pi}{\Phi_0} I_0 \right)$  が大きくなると、しきい値特性で  $(0, 0, 0, 0)$  モードと  $(-1, 0, 0, 1)$  モードの重なり領域が広くなり、逆に  $\lambda$  が小さくなるとこの2つのモードの重なり領域が小さくなりついには2つのモードが分離してしまう。

したがって、このゲートが動作するための  $\lambda$  の最大値は図4-2 (a) に示すように、バイアス電流を0にもどしてもゲートのリセットができなくなる条件、すなわち原点が  $(-1, 0, 0, 1)$  モードに含まれる条件から求めることができる。また、 $\lambda$  の最小値は図4-2 (b) に示すように、2つのモードが分離して入力電流が加わっても  $(0, 0, 0, 0)$  モードから  $(-1, 0, 0, 1)$  モードへ遷移しなくなる条件から求めることができる。

次の節で述べるようにインダクタンスは超伝導ストリップ線路の寸法によってかなり正確に制御することができるが、第3

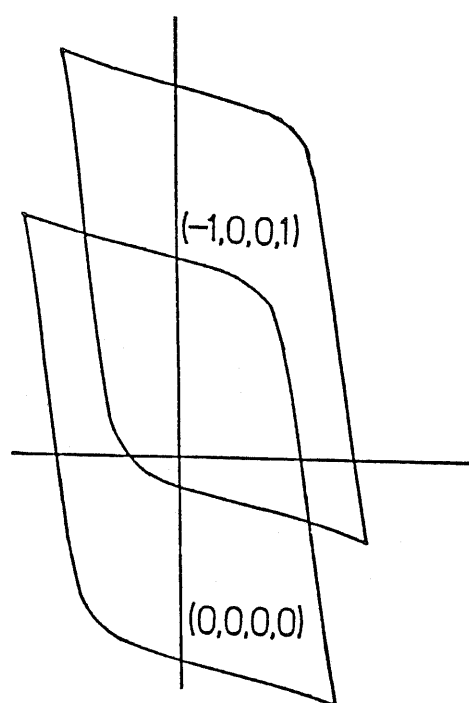


図4-2 (a)  $\lambda$ が大きすぎる場合の  
ゲートのしきい値特性

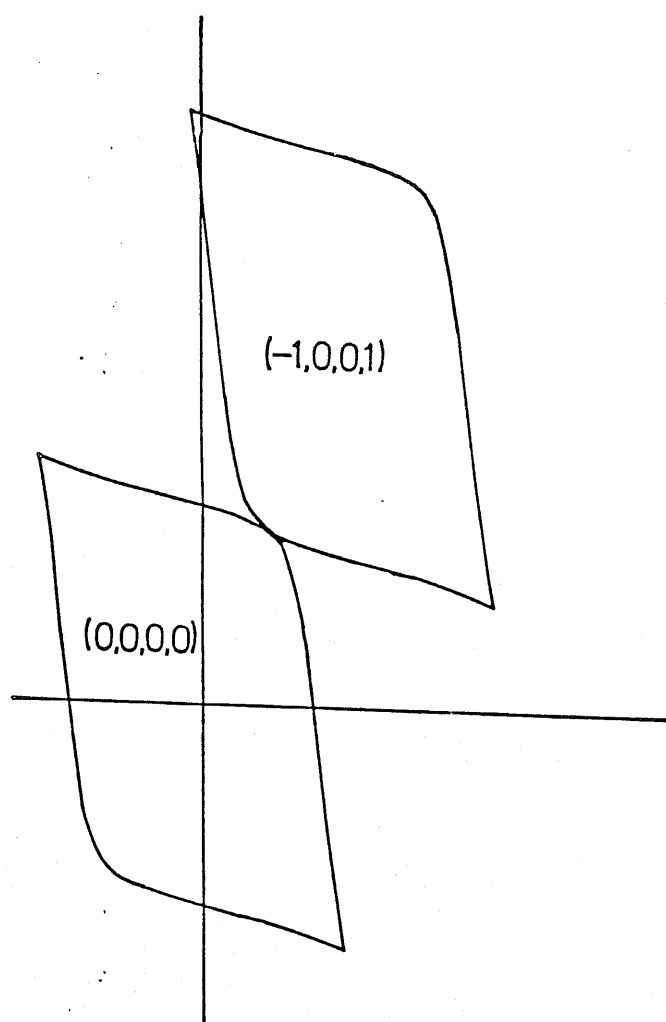


図 4-2 (b)  $\lambda$  が小さすぎる場合の  
ゲートのしきい値特性

章で述べたようにジョセフソン接合の臨界電流値  $I_0$  を正確に制御することはかなり困難であるため、以下  $\lambda$  のばらつきを  $I_0$  のばらつきと考える。

第2章で述べた線形化法によつて、以上の条件から  $I_0$  の許容範囲を求めると、3つのジョセフソン接合の臨界電流値の比  $(a, b)$  が設定値通りであったと仮定すると次のようになる。

$$0.58 I_{0d} < I_0 < 2.16 I_{0d} \quad (4-1)$$

ここで、 $I_{0d}$  は  $I_0$  の設定値を表わす。前述した仮定からこの条件は最善の場合の条件であり、ジョセフソン接合の臨界電流の比  $(a, b)$  もばらつきがあると考えられるので、実際にゲートが動作するための条件は式(4-1)よりもかなり厳しくなる。

図2-7のゲートでは4つのループが存在するが、超伝導ストリップ線路でループを形成すると、線路のインダクタンスがジョセフソン接合と直列に加わるために、ゲートのしきい値特



性は第2節で述べたしきい値特性からずれてしまう。したがって、ジョセフソン接合と直列に加えるインダクタンスをできるだけ小さくしてループを形成するために、図2-7のゲートを図4-3に示すように変形し、超伝導グラウンドプレーンを介してループを形成するようにした。また、他のゲートとの接続は両端のインダクタの一部を共有させることによって行なうことができる。

#### 4-3 ゲートのパターン設計

まず、1段あたりのゲートのパターンを実際に設計して、ゲートの占める面積をどの程度小さくすることができるか考える。このゲートを構成要素とする回路を設計する場合には、次の2つの制約条件について考慮しなければならない。

$$(a) \quad LI_0 = (39/40) \Phi_0 = 2.016 \times 10^{-15} \text{ Wb}$$

$$(b) \quad I_0 > 40 \sim 50 \text{ } \mu\text{A}$$

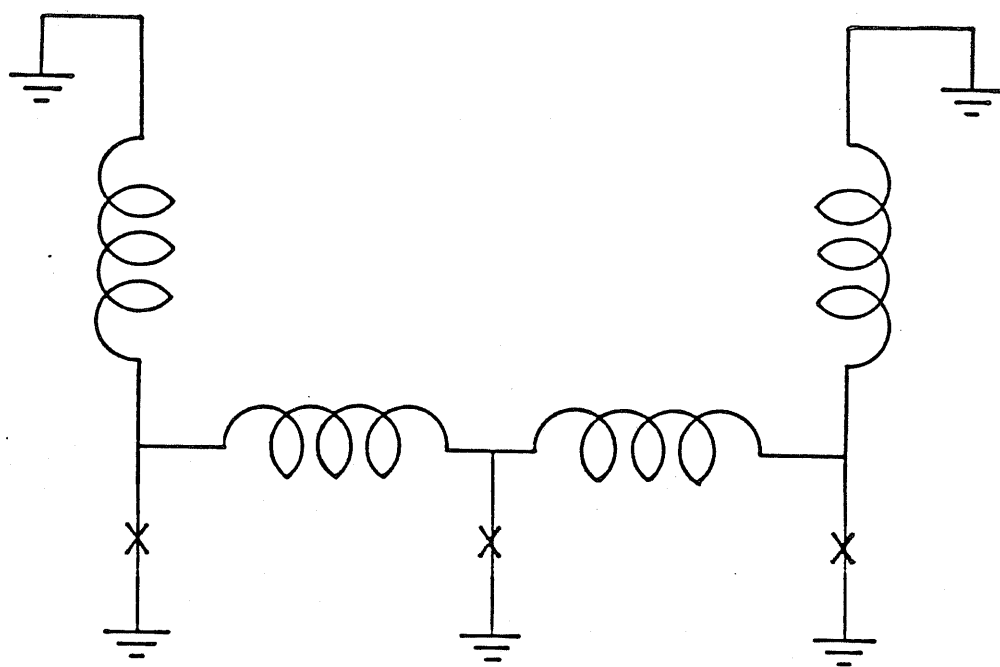


図4-3 試作するゲートの等価回路

ここで、(6) の条件は第 2-5 節で述べたポテンシャルエネルギーの差  $\Delta U$  が  $I_0$  に比例するため、このゲートの熱雑音に対する安定性を十分に保つために必要な条件である。

このゲートはジョセフソン接合とインダクタで構成されているが、インダクタは図 4-4 に示すような超伝導ストリップ線路によって実現することができる。この図で、 $t_s$ ,  $t_0$ , および  $t_g$  はそれぞれ Nb 電極、絶縁膜、およびグラウンドプレーンの Nb の膜厚であり、 $\lambda$  は Nb のロンドンの侵入距離である。

このストリップ線路のインダクタンスは次式で表わされる。<sup>55)</sup>

$$L = \frac{\mu_0 l}{W K} (t_0 + \lambda_s^* + \lambda_g^*) \quad (4-1)$$

$$\text{ここで、} \quad \lambda_s^* = \lambda_s \coth \frac{t_s}{\lambda_s} \quad (4-2)$$

$$\lambda_g^* = \lambda_g \coth \frac{t_g}{\lambda_g} \quad (4-3)$$

$\lambda_s^*$ ,  $\lambda_g^*$  は、超伝導電子の運動エネルギーに起因するカイネティック・インダクタンスを表わす。また、 $K$  はフリンジ係数と呼ばれる終端の影響を表わす量で、 $W/t_0$  の関数であり

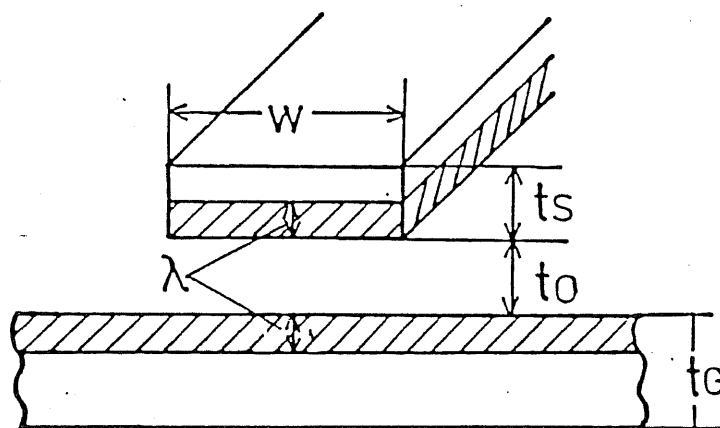


図4-4 超伝導ストリップ線路

表4-1 回路の設計パラメータ

w	1
t <sub>s</sub>	0.12
t <sub>o</sub>	0.1
t <sub>g</sub>	0.2
λ	0.086 <sup>81)</sup>

$W/t_0$  が 10 より小さくなると急激に増加する。 $l$  は線路の長さ、 $\mu_0$  は自由空間の透磁率を表わし、 $\mu_0 = 4\pi \times 10^{-9} \text{ H/cm}$  である。

前述したように、ゲートの占める面積をできるだけ小さくすることが望ましいので  $W = 1 \mu\text{m}$  とした。回路の設計パラメータの値を表 4-1 に示す。この場合には  $W/t_0 = 10$  でありこの時  $K \simeq 1.4$  である。また  $\lambda_s^* = 0.097 [\mu\text{m}]$ 、 $\lambda_g^* = 0.2 [\mu\text{m}]$  となる。

また、 $I_0$  の値は第 3 章で述べたように、製作した Nb の VTB 素子では  $0.05 \sim 0.5 [\text{mA}]$  とかなりの範囲にばらついているので、 $I_0 = 0.1, 0.2, 0.5 [\text{mA}]$  の 3 通りの場合についてゲートを設計した。本研究では、電極のパターニングを電子ビームによる直接露光によって行なっているので、容易にパターン変更を行なうことが可能であり、このゲートのように前述した (a) の条件によって  $I_0$  の値が変化するとパタ

ーンも大きく変化してしまうような場合には便利である。

$I_0 = 0.1 \text{ mA}$ である場合には、 $L = 20.16 \text{ pH}$ となるから表4-1に示したパラメータを用いると各インダクタの長さはそれぞれ次のようになる。

$$l_1 = 26.1 [\mu\text{m}] \quad , \quad l_2 = 13.1 [\mu\text{m}]$$

$$l_3 = l_4 = 8.7 [\mu\text{m}]$$

また、相互インダクタの部分の線幅は $2 \mu\text{m}$ とした。

図4-5に、 $I_0 = 0.2 [\text{mA}]$ に対して設計したゲートのパターン図を、図4-6に $I_0 = 0.5 [\text{mA}]$ に対して設計したゲートのパターン図を示す。第3節で述べたように $I_0 = 0.5 [\text{mA}]$ は実現できるが、この場合には1ゲートの占める面積をボンディングパッドの面積を除いて $11.5 [\mu\text{m}] \times 7 [\mu\text{m}]$ とすることができる。これはトンネル型ジョセフソン素子を用いて試作されている最小のゲート面積(DCLゲート)である $40 [\mu\text{m}] \times 40 [\mu\text{m}]$ <sup>14)</sup>の約 $1/20$ である。これはトンネル型

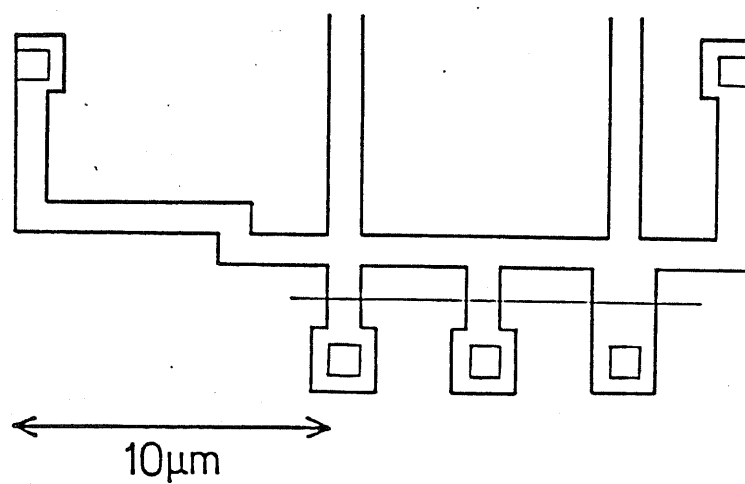


図 4-5  $I_0 = 0.2 \text{ mA}$  の場合の  
ゲートのパターン

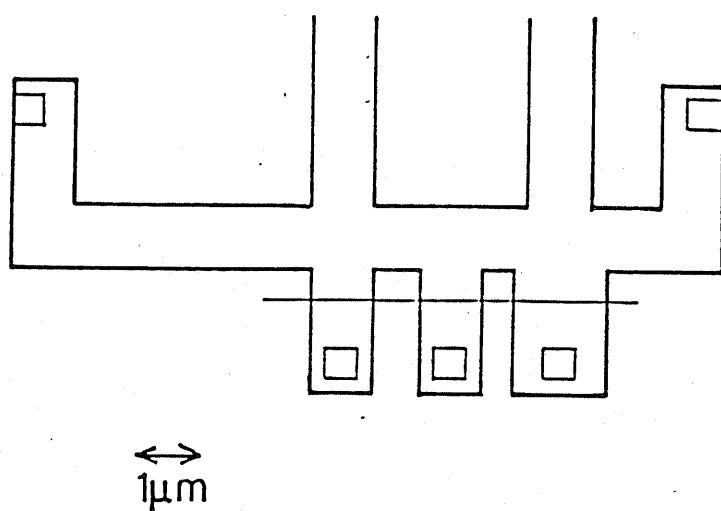


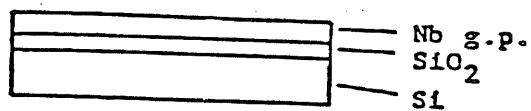
図 4-6  $I_0 = 0.5 \text{ mA}$  の場合の  
ゲートのパターン

ジョセフソン素子では、電圧状態におけるサブギャップ抵抗をある程度大きくするために、接合の電流密度をそれほど大きくすることができない ( $j_0 < 10^4 \text{ A/cm}^2$ ) ために接合の面積がかなり大きく、前述したように抵抗の面積がかなり大きいのに対して、ブリッジ型ジョセフソン素子ではこのような制御がないためである。

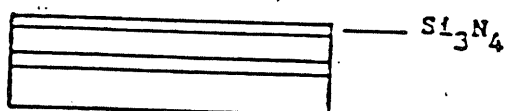
#### 4-4 回路の試作

回路の試作プロセスを図4-7に示す。素子間の十分な分離を行なうため、および超伝導ストリップ線路を形成するために超伝導グラウンドプレーンが必要であるため、第3章で述べたブリッジ型素子の製作プロセスと比べて複雑になっている。またこの場合最小線幅が  $1 \mu\text{m}$  なので、重ね合せ精度  $0.5 \mu\text{m}$  以内で電子ビーム露光により重ね合せ露光を行なう必要がある。重ね合せは、重ね合せ用のマークの位置を捜し、これに対して相対的な位置に露光を行なうことによって行なった。

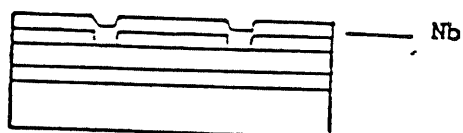




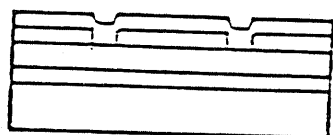
Evaporation of Nb ground plane



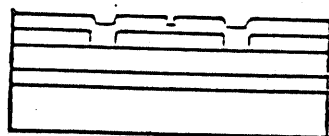
Deposition of  $\text{Si}_3\text{N}_4$



Contact-hole and evaporation of Nb



Wiring patterning



Bridge patterning

図 4-7 回路の試作のための  
プロセス

以下このプロセスについて述べる。

1) Si 基板を  $1100^{\circ}\text{C}$ 、60 分間ドライ酸化した  $\text{SiO}_2$  基板上に電子ビーム蒸着によって Nb の超伝導グランドプレーンを形成する。

2) 超伝導ストリップ線路の絶縁膜として、プラズマ CVD 法により  $\text{Si}_3\text{N}_4$  を堆積する。堆積条件を表 4-2 に示す。

この方法による  $\text{Si}_3\text{N}_4$  の抵抗率を大きくするためには、

基板温度を上げ、反応ガスの  $\text{SiH}_4/\text{N}_2$  比を小さくし、

放電時の高周波電力を大きくすればよいが、<sup>82)</sup> Nb は比較的

低温で Si と反応しやすいことから基板温度は  $200^{\circ}\text{C}$  とし

また堆積中の Nb へのプラズマのダメージをできるだけ小

さくするために高周波電力は 300W とし、抵抗率を大きく

するために  $\text{SiH}_4/\text{N}_2 = 1\%$  とこの比を小さくしてい

る。回路が動作するのは 4.2K と極低温であるから、この

方法による  $\text{Si}_3\text{N}_4$  の抵抗率は十分大きい。

表 4-1 シリコン窒化膜の堆積条件

Gas mixture	$\text{SiH}_4/\text{N}_2=1\%$
Substrate temperature	200 °C
Total gas pressure	0.2 Torr
RF power	300 W
Gas flow rate	200 sccm
Deposition rate	8-9 nm/min.

構成および回路パラメータの最適化を行ない、出力側から入力側への影響を  $1/7$  にし、バイアス電流に対する動作マージンを  $50\%$  以上とすることができた。また、熱雑音による誤動作が起こらないように、ゲートの熱雑音に対する安定性について検討し、このゲートが  $4.2\text{K}$  における熱雑音に対して十分安定であることを確認した。最後に、このゲートを 3 段縦続接続したのに対して動作シミュレーションを行ない、このゲートの動作を確認し、また信号伝搬の一方向性がとれることを確認した。動作シミュレーションによって 1 ゲートあたりの伝搬遅延時間を約  $2\text{ psec}$  とすることが可能であることがわかった。

次に、ジョセフソン素子の大きな利点である低消費電力性を活用するためには集積化に最適なプロセスでブリッジ型ジョセフソン素子を製作することが必要である。ブリッジ長の短い、特性の良好な VTB 素子を集積化に最適なプロセスで製作するためには、3 層レジスト技術と RIE を用いて Nb の  $0.1\mu\text{m}$  以

- 3) レジスト PMMA を用いて重ね合せマークを電子ビーム露光し、SEM によるコントラストを上げるために  $\text{Si}_3\text{N}_4$  および Nb を合計 200 nm 程度エッチングする。
- 4) グランドプレーンとのコンタクト用のホールを重ね合せマークを基準にして電子ビーム露光し、Nb へのダメージのできるだけ小さい条件で  $\text{Si}_3\text{N}_4$  を RIE する。
- 5) 続いて、再び電子ビーム蒸着により Nb 超伝導電極を蒸着する。この時、グランドプレーンと電極とのコンタクトを向上させる目的で蒸着前に、1 Pa, 100 W, 10 分間のアルゴン・スパッタクリーニングを行なっている。
- 6) 図 3-9 に示したプロセスを用いて、重ね合せ用マークを基準にして電極およびボンディングパッドのパターニングを行なう。電極部は線幅 1  $\mu\text{m}$  でパターンの密度が高いため近接パターンの露光による近接効果を小さくするために露光条件を表 3-8 の条件よりも小さくしている。

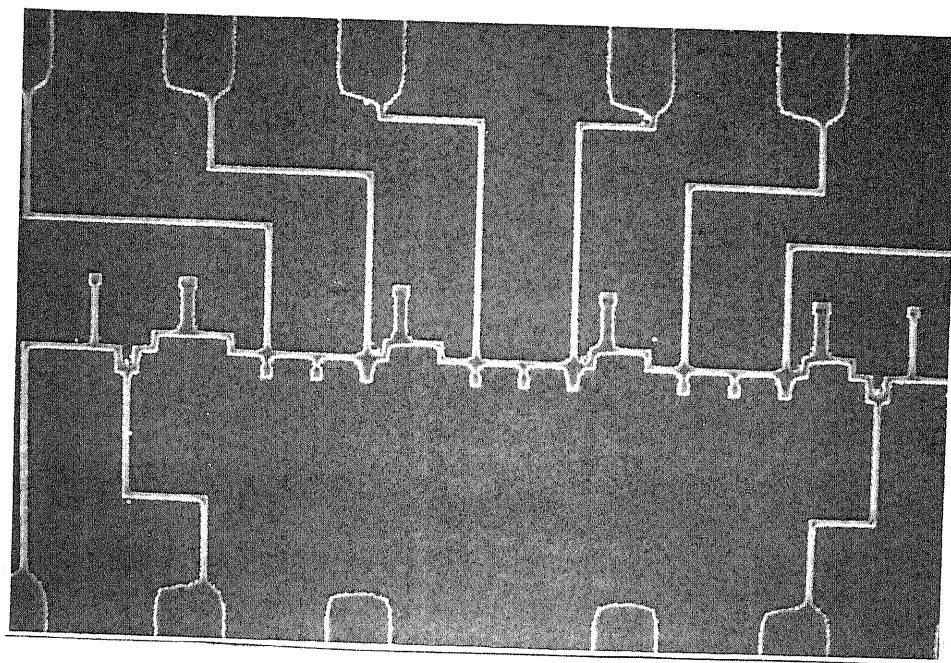
7) 図3-4に示したプロセスを用いて、重ね合せ用マークを基準にしてブリッジ部のパターンニングを行なう。

重ね合せ用のマークとしては、十字形マークを用い、ボンディングパッドおよび電極部の原点のできるだけ近傍に設定している。

以上のプロセスを用いて試作した2入力ゲート、および3段縦続ゲートのSEM写真をそれぞれ図4-8、4-9に示す。

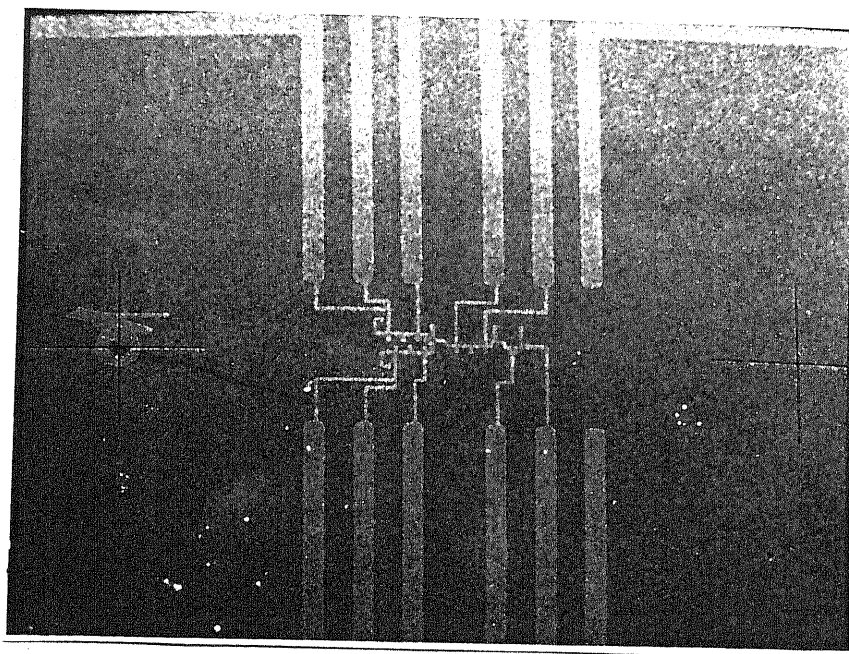
いずれも前記したように出力側に検出用にdc-SQUIDを付けており、図4-9のゲートには一方向性を確認するために入力側にもdc-SQUIDを付けている。また、図4-8には重ね合せ用のマークも合せて示している。

図4-10に1段のゲートを拡大したもののSEM写真を示す。これから、コンタクトと電極の重ね合せは $0.5\mu\text{m}$ 以下の精度で行なえていることがわかる。



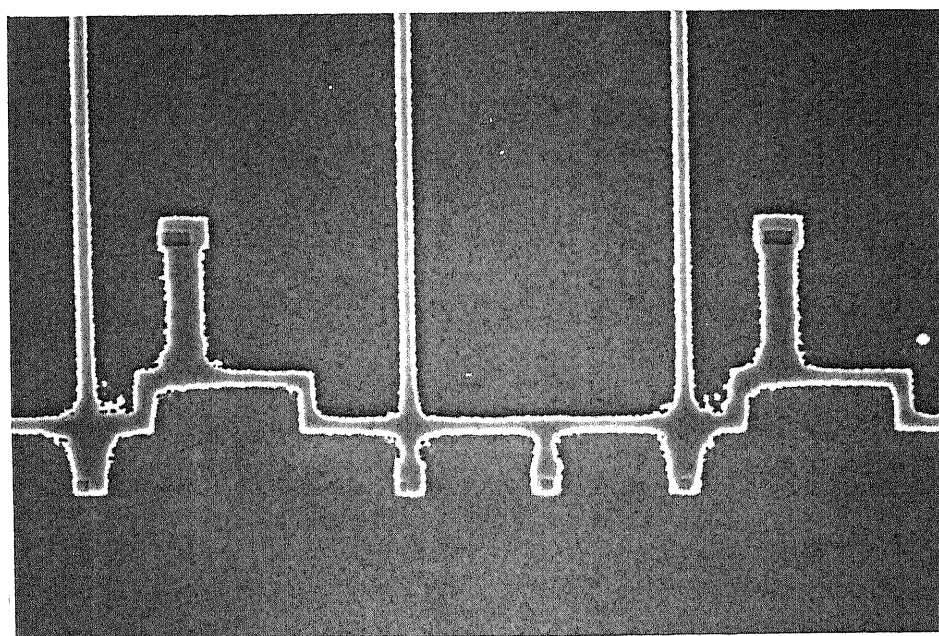
50 $\mu$ m

図4-8 試作した3段縦続ゲートの  
SEM写真 (×700)



100 $\mu$ m

図4-9 試作した2入力ゲートの  
SEM写真 (×200)



10 $\mu$ m

図4-10 試作したゲートのSEM  
写真 (×2,000)



前述したように、これらの回路を動作させるためには、 $I_0$ を精度よく制御する必要があるが、試作した回路の各ジョセフソン接合の $I_0$ を測定することはできない。しかし、出力側に付けたdc-SQUIDのジョセフソン接合の $I_0$ は測定することができるので、これから各ジョセフソン接合の $I_0$ を類推することができる。図4-8~10に示した試作したゲートでは $I_0$ の設定値は0.1mAであるが、出力側のdc-SQUIDのI-V特性を測定したところ実際の $I_0$ の値はこれよりずっと大きかったために動作を確認することはできなかった。

以上、回路を動作させるためにはブリッジ部のパターンニングのプロセスを制御よく行なう必要があることがわかる。

#### 4-5 第4章の結論

本章では、第3章で確立したプロセス技術を用いて、第2章で提案した一方向化磁束量子論理回路を試作するための回路設計、パターン設計、および試作プロセスについて述べた。一方

向化磁束量子論理回路の動作を確認するためには、論理ゲートを2入力および3段連続接続し、また磁束量子の有無を検出するためにdc-SQUIDを付ける必要がある。高密度集積化が可能になるように、ゲートの面積をできるだけ小さくすることを考慮して、ゲートのパターン設計を行なった。その結果、従来のトンネル型素子を用いたゲート面積の約 $1/20$ とすることができるとが示された。

次に、超伝導ストリップ線路とジョセフソン素子を同時に作成し、また重ね合せを精度良く行なうことのできる回路の試作プロセスを確立して、回路を実際に試作した。回路を動作させるために必要なジョセフソン素子の臨界電流値の許容範囲について検討した結果、これを精度良く制御することが必要であることがわかった。

## 第5章 結論

本研究では、ブリッジ型ジョセフソン素子を用いることのできる磁束量子論理回路で、信号伝搬の一方向性をとるために相クロックを用いる必要がなく、なおかつ入力側と出力側の十分な分離をとることのできる一方向化磁束量子回路と、これをジョセフソン素子の利点である低消費電力性を活用するために高密度集積化に最適なプロセスで試作するための研究を行った。

まず、 $I-V$ 特性にヒステリシスのないブリッジ型ジョセフソン素子を用いることができるように、従来のトンネル型素子を用いた論理回路とは異なり、磁束量子を情報担体とする磁束量子論理回路で、信号伝搬の一方向性をとることになり、入力側と出力側の十分な分離をとることのできる論理ゲートを提案した。このゲートで入力側と出力側の分離を十分大きくして、バイアス電流に対する動作マージンを大きくするように、回路

下の加工を行なうことが可能な電子ビーム・リソグラフィ技術  
を確立した。このように線幅の小さいアスペクト比の大きなパ  
ターンを加工する際には、エッチングによる反応生成物が溝の  
中から抜けにくいいためエッチングの進行が妨げられエッチレ  
ートが小さくなってしまうという問題点があるが、本研究ではこ  
のようなエッチングを間欠的に行ない、エッチングによる反応  
生成ガスを強制的に排気することによってこの問題を解決した。

また、素子の面積を小さくすることを目的として、同様に3  
層レジスト技術とRIEを用いて線幅を $1\mu\text{m}$ とすることがで  
きる電子ビーム・リソグラフィ技術を確立し、これらのプロセ  
ス技術を用いて長さ $0.1\sim 0.15\mu\text{m}$ 、幅 $1\mu\text{m}$ のNbのVTB  
素子を製作した。

製作したVTB素子の4.2 KにおけるI-V特性を測定した  
結果、 $I_c R_n$ 積 $0.05\sim 0.3\text{ mV}$ が得られた。また9.9 GHz  
のマイクロ波を照射時のI-V特性を測定した結果、 $0.1\text{ mV}$

程度までシャペロステップが観測された。このプロセスでは、ブリッジ部のNbの膜厚をエッチング時間によって制御しているが、この制御が十分ではないために特性の素子間でのばらつきがやや大きい。これはエッチング条件を再現性良く同一とすることによって改善の余地があると思われる。

最後に、確立したプロセス技術を用いて、提案した一方向化磁束量子論理回路を試作するために、回路の設計、パターン設計および試作プロセスの確立を行なった。ジョセフソン素子の利点を活用するために高密度集積化を行なうためには、ゲートの面積をできるだけ小さくすることが必要であるが、パターンの設計を行なった結果、従来のトンネル型素子を用いて試作したゲートの約 $1/20$ のゲート面積で実現できることが示された。また、一方向化磁束量子論理回路の動作を確認するためには2入力、および3段連続ゲートに磁束量子を検出するためdc-SQUIDを付ける必要があるが、高密度集積化が行な

えるように、超伝導ストリップ線路とジョセフソン素子を同時に作成することができ、また  $0.5\mu\text{m}$  以下の精度で重ね合せを行なうことのできる回路の試作プロセスを確立した。多数個のジョセフソン素子を用いた回路を動作させるためには素子の臨界電流値を精度良く制御することが必要である。

## 謝辞

本研究を進めるにあたり、終始適切でかつ親切な御指導を頂いた菅野卓雄教授に深く感謝いたします。また同じく、適切な御助言を頂いた岡部洋一助教授、浅田邦博助教授に深く感謝します。また、実験全般にわたり様々な御助言を頂いたり便宜を図っていただいた新井夫差子助手、星野洋助手、北川学技官を始めとする菅野研究室、岡部研究室、浅田研究室の方々に深く感謝します。光学顕微鏡その他の実験装置を便わせていただいた田宮寿美子助手、SEM等の実験装置を便わせていただいた鷺山昌子助手に心から感謝します。また卒論生としてシミュレーション、素子の作製を手伝っていただいた深谷直毅氏、三木浩史氏、低温での測定で御世話になった鈴木満教授を始めとする低温センターの方々に深く謝意を表します。

## 参考文献

- 1) B. D. Josephson , Phys. Lett. 1 , 51 (1962)
- 2) R. W. Anderson and J. M. Rowell , Phys. Rev. Lett.  
10 , 230 (1963)
- 3) J. Matisoo , Appl. Phys. Lett. 9 p. 167 (1966)
- 4) D. J. Herrel , IEEE J. Solid-State Circuits  
SC-9 , 277 (1974)
- 5) W. H. Henkels , IEEE Trans. Mag. MAG-10  
860 (1974)
- 6) H. H. Zappe , IEEE Trans. Mag. MAG-13 . 41 (1977)
- 7) M. Klein and D. J. Herrel , IEEE J. Solid-State  
Circuits , SC-13 , 577 (1978)
- 8) H. Beha , IEEE J. Solid-State Circuits , SC-17, 562 (1982)
- 9) T. R. Gheewala , Appl. Phys. Lett. 33 781 (1978)
- 10) T. A. Fulton , S. S. Pei and L. N. Dunkleberger ,  
Appl. Phys. Lett. 33 781 (1979)
- 11) S. Takada , S. Kosaka and H. Hayakawa , Jpn. J. Appl. Phys.  
19 , 607 (1980)
- 12) J. R. Gheewala , Tech. Digest IEDM 482 (1979)
- 13) K. Hohkawa , M. Okada and A. Ishida , Appl. Phys Lett 33  
781 (1979)



- 14) Y. Tarutani, T. Nishino, Y. Hatano and U. Kawabe,  
Extended Abst. 16th ICSSDM, 1984' 615
- 15) J. Nakano, Y. Mimura, K. Nagata, Y. Hasumi and T. Waho,  
Extended Abstracts 16th ICSSDM, 1984, 635
- 16) J. H. Greiner and S. P. Klepner, J. Vac. Sci. & Technol. 18  
262 (1981)
- 17) R. F. Broom and Th. O. Mohr, J. Vac. Sci. & Technol.  
15, 1166 (1978)
- 18) R. E. Jewett and T. Van Duzer, IEEE Trans. Mag.  
MAG-13, 599 (1977)
- 19) E. P. Harris and W. H. Chang, IEEE Trans. Mag.  
MAG-17 603 (1977)
- 20) K. K. Likharev, IEEE Trans. Mag. MAG-13. 242 (1977)
- 21) A. Ishida and H. Yamada, Jpn. J. Appl. Phys. 17  
suppl. 17-1, 349 (1978)
- 22) H. Tamura, Y. Okabe and T. Sugano, IEEE Trans. Elect.  
Devices, ED-27 2035 (1980)
- 23) H. Tamura, Y. Okabe and T. Sugano, Appl. Phys. Lett.  
39, 761 (1981)
- 24) A. H. Dayem and J. J. Wiegand, Phys. Rev. 155  
419 (1967)
- 25) T. M. Kapwijk and T. B. Veenstra, Phys. Lett. A 47  
351 (1974)

- 26) M. Octavio, W. J. Skocpol and M. Tinkham, IEEE Trans Mag. MAG-13 739 (1977)
- 27) R. B. Laibowitz, Appl. Phys. Lett. 23, 407 (1973)
- 28) E. P. Harris and R. B. Laibowitz, IEEE Trans Mag. MAG-13 724 (1977)
- 29) H. Ohta, IEEE Trans. Mag. MAG-17, 311 (1981)
- 30) K. Hamasaki, K. Matsumoto, Y. Kodaira, T. Komata and T. Yanashita Trans. IECE of Japan. E-67, 123 (1984)
- 31) Y. Okabe and M. Takatsu, Jpn. J. Appl. Phys. 24 1312 (1985)
- 32) G. Uehara, M. Nakanishi and K. Hara, Jpn. J. Appl. Phys. 23, 544 (1983)
- 33) K. Gano, H. Ichioiki and S. Namba, IEEE Trans. Mag. MAG-19, 991 (1983)
- 34) T. A. Fulton, R. C. Dynes and P. W. Anderson, Proc. IEEE 61, 28 (1973)
- 35) T. A. Fulton and L. N. Dunkleberger, Appl. Phys Lett. 22, 232 (1973)
- 36) K. Nakajima, Y. Onodera and Y. Ogawa, J. Appl. Phys. 47 1620 (1976)
- 37) K. Nakajima, G. Oya and Y. Sawada, IEEE Trans. Mag. MAG-19, 1201 (1983)
- 38) H. Beha, W. Jutzi and G. Mischke, IEEE Trans. Electron Devices ED-27, 1882 (1980)

- 39) W. Jutz, E. Crocoll, R. Herwig, H. Kratz, M. Neuhaus,  
H. Sadorf and J. Wunsch, IEEE Electron Device Lett.  
EDL-4 49 (1983)
- 40) T. Yamashita, S. Yoshikawa and T. Komata, Trans. IECE of Japan  
64, 85 (1981)
- 41) H. Miyake, N. Fukaya, Y. Okabe and T. Sugano, IEEE  
Trans. Mag. MAG-21, 578 (1985)
- 42) H. Miyake, N. Fukaya, Y. Okabe and T. Sugano, Extended  
Abstracts of 16 (1984 International) CSSDM  
639 (1984)
- 43) W. C. Stewart, Appl. Phys. Lett. 12, 277 (1968)
- 44) D. E. McCumber, J. Appl. Phys. 39, 3113 (1968)
- 45) J. Matisoo, IEEE Trans. Mag. MAG-5, 848 (1969)
- 46) W. T. Tsang and T. Van Duzer, J. Appl. Phys. 46, 4573 (1975)
- 47) E. O. Schultz-DuBois and P. Wolf, Appl. Phys. 16  
317 (1978)
- 48) H. Beha, Electron. Lett. 13, 216 (1977)
- 49) V. Ambegaokar and B. I. Halperin, Phys. Rev. Lett. 22, 1364 (1969)
- 50) P. A. Lee, J. Appl. Phys. 42, 325 (1971)
- 51) T. A. Fulton and L. N. Dunkleberger, Phys. Rev. B 9, 4760  
(1974)
- 52) C. D. Tesche, J. Low Temp. Phys. 44, 119 (1981)
- 53) M. Klein and A. Mukherjee, Appl. Phys. Lett. 40, 744 (1982)

- 54) C.ミード, L.ジョンウェイ 共著、菅野卓雄・神谷之雄訳  
"超 L S I システム入門" (培風館)
- 55) W. H. Chang, J. Appl. Phys. 52, 1417 (1981)
- 56) R. B. van Dover, R. E. Howard and M. R. Beasley, IEEE  
Trans. Mag. MAG-15, 574 (1979)
- 57) R. B. van Dover, A. de Lozanne and M. R. Beasley, J. Appl. Phys.  
52, 7327 (1981)
- 58) C. L. Hung and T. van Duzer, IEEE Trans. Mag. MAG-11  
766 (1975)
- 59) M. Schyfer, J. Maack-Sango, N. Raley, R. Ruby, B. T. Ulich and  
T. van Duzer, IEEE Trans. Mag. MAG-13, 862 (1977)
- 60) M. D. Feuer and D. E. Prober, Appl. Phys. Lett. 36, 226 (1980)
- 61) K. K. Likharev, Rev. Mod. Phys. 51, 101 (1979)
- 62) V. Ambegaokar and A. Baratoff, Phys. Rev. Lett. 10, 486  
(1963)
- 63) I. O. Kulik and A. N. Omelyanchuk, JETP Lett. 21, 96  
(1975)
- 64) K. K. Likharev and L. A. Yakobson, Sov. Phys. Tech. Phys.  
20, 950 (1975)
- 65) T. Goto and H. Tanihara, J. Appl. Phys. 54, 3291 (1983)
- 66) A. N. Broers, W. W. Molzen, J. J. Cuomo and N. D. Wittels,  
Appl. Phys. Lett. 29, 596 (1976)
- 67) A. N. Broers, J. Electrochem. Soc. 128, 166 (1981)
- 68) M. Hatzakis, Appl. Phys. Lett. 18, 7 (1971)

- 69) L.D. Jackel, R.E. Howard, P.M. Mankiewich, H.G. Craighead and R.W. Epworth, Appl. Phys. Lett. 45, 698 (1984)
- 70) I. Haller, M. Hatzakis and R. Srinivasan, IBM Journal 256 (1968)
- 71) D.F. Kyser, J. Vac. Sci. Technol. B 1, 1391 (1983)
- 72) D.M. Tennant, L.D. Jackel, R.E. Howard, E.L. Hu, P. Grabbe, R.J. Capik and B.S. Schneider, J. Vac. Sci. Technol. 19, 1304 (1981)
- 73) J.B. Kruger, P. Rissman, and M.S. Chang, J. Vac. Sci. Technol. 19, 1320 (1981)
- 74) 菅野卓雄 編著 「半導体プラズマプロセス技術」 (産業図書)
- 75) Y. Taniguchi, Y. Hatano, H. Shiraishi, S. Horigome, S. Nonogaki and K. Naraoka, Jpn. J. Appl. Phys. 18, 1143 (1979)
- 76) S. Shapiro, A.R. Jenus and S. Holly, Rev. Mod. Phys. 223 (1964)
- 77) H. Ko and T. van Duzer, Tech. Digest ICCD 574 (1983)
- 78) J. Sone, T. Yoshida and H. Abe, Appl. Phys. Lett. 40, 741 (1982)
- 79) S.M. Faris, Appl. Phys. Lett. 36, 1005 (1980)
- 80) S. Sakai, H. Akoh, A. Yagi and H. Hayakawa, Extended Abstracts 16th ICSSDM, 1984, 631
- 81) W.H. Henkels, J. Appl. Phys. 50, 8143 (1979)
- 82) 三宅、菅野, 日本化学会誌, 10号, 1600 (1984)

# 本研究に関する発表論文

- 1) H. Miyake, N. Fukaya, Y. Okabe and T. Sugano  
 " Proposal of Uni-lateral Single-Flux-Quantum  
 Logic Gate "  
 IEEE Trans. on Magnetics, MAG-21, 578 (1985)
- 2) H. Miyake, N. Fukaya, Y. Okabe and T. Sugano  
 " High-Tolerance Unilateral Single-Flux-Quantum  
 Logic Gate "  
 Extended Abstracts of 16th (1984 International)  
 Conference on Solid State Devices and Materials.  
 Kobe, 639 (1984)
- 3) T. Sugano, Y. Okabe, H. Tamura, H. Miyake and M. Takatsu  
 " Bridge type Josephson Junctions as High Speed  
 Digital Devices "  
 ' Osaka University International Symposium on  
 Nanometer Structure Electronics '  
 オーム社 175 (1985)

## 本研究に関する研究発表

- 1) 三宅秀治, 深谷直毅, 岡部洋一, 菅野卓雄 「単一磁束量子  
 論理回路の一方向化」 第31回応用物理学関係連合講演会  
 予稿集 p.331 31P-F-4 (1984年春)
- 2) 三宅秀治, 深谷直毅, 岡部洋一, 菅野卓雄 「一方向化磁束  
 量子論理回路の動作マージン」 第31回応用物理学関係  
 連合講演会 予稿集 p.331, 31P-F-5 (1984年春)

- 3) 三宅秀治, 岡部洋一, 菅野卓雄 「一方向化磁束量子論理回路の設計」 第45回応用物理学会学術講演会  
予稿集 p. 361 13P-Y-7 (1984年秋)
- 4) 三宅秀治, 三木浩史, 菅野卓雄 「ブリッジ型素子製作の電子ビーム・リソグラフィ」 第32回応用物理学関係  
連合講演会 予稿集 p. 327 30a-L-10 (1985年春)
- 5) 三宅秀治, 菅野卓雄 「電子ビーム・リソグラフィによるブリッジ型素子の製作」 第46回応用物理学会学術講演会  
予稿集 p. 355 1p-ZD-7 (1985年秋)
- 6) 三宅秀治, 深谷直毅, 岡部洋一, 菅野卓雄 「一方向化磁束量子論理回路」 電子通信学会技術研究報告 SCE  
83-53 (1984年2月)
- 7) 三宅秀治, 菅野卓雄 「EBリソグラフィによるNb VTB素子の製作と特性」 電子通信学会技術研究報告  
SCE 85-33 (1985年10月)
- 8) T. Sugano and H. Miyake, "Application of Bridge Type Josephson Junction to Digital Electronics" U.S. -  
Japan Workshop on Josephson Electronics (1985年6月)