

受理 60.12.21

学位請求論文

短チャネルSOI基板上パンチスルー  
MOSデバイスのモデリング

指導教官 菅野 卓雄 教授

8579 クライソン・トロンナムチャイ

## 目次

第1章	序論		
1.1	本研究の目的	1-	2
1.2	本研究の背景	2-	4
1.3	本論文の構成	4-	5
	参考文献	6-	6
第2章	デバイス・シミュレーションの概要と背景		
2.1	はじめに	7-	8
2.2	従来のデバイス・シミュレーションについて	8-	9
2.3	改良された流体モデルによるデバイス・シミュレーションについて	9-	9
2.4	粒子モデルを用いたデバイス・シミュレーションについて	9-	12
2.5	第2章のまとめ	12-	12
	参考文献	13-	14
第3章	埋め込み型MOSデバイスの計算結果と考察		
3.1	はじめに	15-	19
3.2	$I_d-V_{ds}$ 特性の計算結果及びその比較検討	19-	22
3.3	$I_d-V_{gs}$ 特性の計算結果及びその比較検討	22-	25
3.4	電位分布及び電子分布による比較検討	25-	32
3.5	電子のドリフト速度の計算結果及び考察	33-	36
3.6	インパクト・イオナイゼーション現象を考慮した場合の $I_d-V_{ds}$ 特性の計算結果	36-	38

3.7	埋め込み型パンチスルーMOSデバイスの構造に関する 考察	39 - 42
3.8	第3章のまとめ	43 - 43
	参考文献	44 - 44
第4章	粒子の移動に関する物理モデル	
4.1	はじめに	45 - 46
4.2	音響フォノン散乱に関するモデル	46 - 47
4.3	高エネルギー・フォノン散乱に関するモデル	47 - 49
4.4	界面散乱に関するモデル	49 - 50
4.5	インパクト・イオナイゼーション現象に関するモデル	50 - 53
4.6	正孔の散乱に関するモデル	53 - 53
4.7	生成再結合・捕獲中心の扱い方に関するモデル	53 - 54
4.8	トンネリング現象に関するモデル	54 - 55
4.9	第4章のまとめ	56 - 56
	参考文献	57 - 58
第5章	インプリメンテーション及びシミュレータの仕様	
5.1	はじめに	59 - 60
5.2	キャリアの発生に関するモデル	60 - 63
5.3	散乱を考慮したキャリアの移動に関するモデル	63 - 65
5.4	モビリティ・モデル	66 - 67
5.5	バリステック・トランスポート・モデル	67 - 67
5.6	各モデルの計算結果の比較検討	68 - 72
5.7	電位の求め方	73 - 75

5. 8	電界の求め方、電荷のメッシュ点への振り分け方及び電流の求め方	75 - 77
5. 9	時間ステップの決め方及び計算の誤差を抑える方法	77 - 79
5. 10	シミュレータの内部及び外部入出力仕様	79 - 85
5. 11	第5章のまとめ	86 - 86
	参考文献	87 - 88
第6章	SOI上のMOSデバイスの流体モデルによる計算結果との比較	
6. 1	はじめに	89 - 91
6. 2	$I_d - V_{ds}$ 特性の計算結果の比較	91 - 93
6. 3	$I_d - V_{gs}$ 特性の計算結果の比較	93 - 93
6. 4	電位分布及び電界分布の計算結果の比較	93 - 98
6. 5	電子密度及びドリフト速度の計算結果の比較	98 - 101
6. 6	インパクト・イオナイゼーション現象を考慮した場合の $I_d - V_{ds}$ の計算結果	101 - 102
6. 7	第6章のまとめ	103 - 103
	参考文献	103 - 103
第7章	SOI上のMOSデバイスの計算結果と考察	
7. 1	はじめに	104 - 106
7. 2	$I_d - V_{ds}$ 特性の計算結果及び考察	107 - 107
7. 3	$I_d - V_{gs}$ 特性の計算結果及び考察	107 - 111
7. 4	電位分布及び電界分布の計算結果及び考察	111 - 113
7. 5	電子密度及びドリフト速度の計算結果及び考察	114 - 116
7. 6	電子温度分布及び考察	117 - 122



7. 7	インパクト・イオナイゼーション現象を考慮した場合 の $I_d-V_{ds}$ の計算結果及び考察	123-126
7. 8	入力静電容量の計算結果及び考察	126-127
7. 9	トンネリング現象に関する計算結果及び考察	128-131
7. 10	捕獲中心の影響を考慮した場合の計算結果及び考察	131-132
7. 11	第7章のまとめ	133-134
	参考文献	135-135
第8章	SOI上のMOSデバイスのサブ・スレッショルド特性	
8. 1	はじめに	136-137
8. 2	熱放出モデル	137-141
8. 3	0.5 $\mu\text{m}$ のデバイスの場合の計算結果及び粒子モデル との比較検討	141-143
8. 4	流体モデルの計算結果との比較検討	143-143
8. 5	0.1 $\mu\text{m}$ のデバイスの場合の計算結果及び粒子モデル との比較検討	143-146
8. 6	0.1 $\mu\text{m}$ のデバイスのサブ・スレッショルド特性に 関する検討	146-148
8. 7	第8章のまとめ	148-149
	参考文献	149-149
第9章	結論	150-152
	謝辞	153-153
	本研究に関する研究発表	154-154
	本研究に関する公表文献	155-155

## 第 1 章 序論

### 1. 1 本研究の目的

本研究の目的は短チャンネルに適したシリコンMOSデバイスの構造について考察をし、それらの構造のデバイスの各種特性のシミュレーションを行うことによって動作を確認し、動作原理を示すことにある。

具体的には、チャンネル長が $0.1\mu\text{m}$ でも動作するMOSデバイスの構造を取り上げて、シミュレーションによってその動作を実際に確認した。なぜ実際にデバイスを製作し、動作を確認する方法を用いずに、シミュレーションをする手法を採ったかについては次章にも触れられているが、以下に簡単にその理由を記す。特にチャンネル長が $0.1\mu\text{m}$ と言う短チャンネルデバイスになると、シミュレーション手法を用いる方がデバイスを実際に製作し、特性を実測するよりも、多くの有意な情報を取り出すことが可能なためである。つまり、シミュレーションすることによって理想環境に置かれたデバイスの特性を確認することができるためである。その結果、デバイスの動作原理に関係しないパラメータを切り落とすことが可能となり、また電界分布やキャリアのエネルギー分布のような本来測定が困難なデータを得ることができ、デバイスの動作原理を理解するための重要な情報を得ることができる。

シリコンMOSデバイスを選んだのは以下の理由による。第一に、シリコンデバイスの製作技術の熟成度が高い、現時点でのその方面の技術者の数が多いために動作さえ確認できれば実際に製作することはその他の材料を用いるよりも速いと考えられるためである。次に、MOSデバイスは従来から高集積化に適している構造をしていると考えられている。さらに、デバイスの寸法が小さくなってデバイス内の電界が高くなると電子の走行速度が飽和するが、シリコン内の飽和速度はGaAs内のそれと同程度になる[1.1]。そのために電界が強くなった場合にはシリコンを用いても速度の点で不利では

なくなる。

以下に、本研究の背景、各種MOSデバイスの比較、及び本論文の構成を述べる。

## 1.2 本研究の背景

MOSデバイスの高速化を意図して従来から微細化が行われてきた。MOSデバイスの高速・短チャネル化を妨げる要因の中にパンチスルー現象、アバランシェ降伏現象、及びホット・エレクトロン現象がある [1.2]。特に従来型のMOSFETはチャネル長がサブ・ミクロン領域まで短縮されると、これらの現象によって性能が低下し、動作しなくなると考えられている。これらの現象による特性劣化の少ないMOSデバイスの構造が盛んに研究され、その中の何種類かの構造の特徴について以下に述べるとともに、それらの比較を行う。

パンチスルー現象とは、ドレイン電圧が高くなるとMOSFET内の電位分布が水平電界の影響を受けて、その結果ソース・ポテンシャル・バリアがドレイン電位によって下げられ、過大な電流、つまりパンチスルー電流が流れる現象である [1.3]。ゲート酸化膜界面の近くを通るパンチスルー電流はゲート電位によって制御されるためにその影響はドレイン電流の飽和特性を悪くするだけにとどまっている。しかし基板の奥を通るパンチスルー電流はゲート電位によって制御されず、MOSFETの性能を大きく低下させている。基板奥を通るパンチスルー電流を抑制するMOSデバイス構造として、CED (Channel Edge Doping) 構造 [1.4] やDMOS (Double implant MOS) 構造 [1.5] がある。これらの構造はソース接合前面の不純物密度を増やすことによってソース・ポテンシャル・バリアを高めようとするものである。但し、不純物密度の増加によってアバランシェ耐圧が低下することが考えられる。

ホット・エレクトロン現象の一つにゲート酸化膜内へのホット・エレクトロンの注入がある。ゲート酸化膜内に注入された電子はゲート酸化膜内に捕獲され、その結果とし

てスレッショルド電圧の経年変化が生じる。ホット・エレクトロンの発生を抑制する構造にLDD (Lightly Doped Drain) 構造 [1.8] や Graded Drain 構造 [1.7] がある。それらの構造はドレイン接合前面の不純物密度を下げることによってその場所における電界を弱め、ホット・エレクトロンの発生を抑制しようとするものである。

本研究では短チャネル化に適しているデバイスとして、本論文の第3章で述べる埋め込み型パンチスルーMOSデバイス [1.8], [1.9]、及び本論文の第6章以下で述べる低不純物密度SOI基板上のパンチスルーMOSデバイス [1.10] を採り上げ、サブ・ミクロン領域でのそれらの動作のシミュレーションを試みた。埋め込み型パンチスルーMOSデバイスの特徴はキャリアが流れる領域の不純物密度及びドレイン接合前面の不純物密度を下げ、基板内の不純物密度のみを上げるところにある。(本論文の第3章第1節図(3.1)参照) その詳細については本論文の第3章で述べる。

低不純物密度SOI基板上のパンチスルーMOSデバイスは本論文の第7章第1節図(7.1)に示す構造であり、その特徴として以下のようなものが考えられる。

- a) 基板より絶縁されているためにソース、ドレイン、及び配線の容量が減少する。
- b) キャリアの流れる領域が低不純物となっているためにキャリアの移動度が大きくなる可能性がある。
- c) キャリアが反転層のなかではなく、能動層全体を通して流れるためにキャリアの移動度が大きくなり、また大電流を流すことができるために負荷の駆動能力が大きくなる可能性がある。
- d) ゲート金属との間の仕事関数差の制御によってエンハンスメント形、及びディプレッション形のデバイスができる可能性がある。

さらに、低不純物密度SOI基板上のパンチスルーMOSデバイスの構造が簡単で、複雑な不純物の制御を必要としないために集積化に適し、またそのスレッショルドはチ

チャンネル長のみによって決るためにその制御性が優れていると考えられる。

### 1.3 本論文の構成

本論文は図(1.1)に示しているようにデバイスに関する部分とシミュレーションに関する部分の二つに分けることができる。以下に本論文の構成を述べる。但し、流体モデル及び粒子モデルについての詳細は第2章で述べる。

第2章にデバイス・シミュレーション、特に粒子モデルの場合の背景、概要について述べる。

第3章に埋め込み型パンチスルーMOSデバイスの構造、流体モデル、及び粒子モデルによる計算結果について述べる。

第4章に実際に粒子モデルを用いるときに必要な各粒子の移動に関する物理モデルを述べる。

第5章に第4章で述べたもの以外の実際に粒子モデルを用いたデバイス・シミュレータの作成に必要なモデルやアルゴリズムについて述べる。

第6章に評価のために試みられたチャンネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの流体モデルと粒子モデルを用いた場合の計算結果の比較結果について述べる。

第7章に低不純物密度SOI基板上のパンチスルーMOSデバイスの構造、及び粒子モデルによる計算結果について述べる。

第8章に低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド特性の計算結果について述べる。

最後に、第9章は結論である。

デバイスの構造や特性に関連する部分

第1章 序論

第3章 埋め込み型MOSデバイスの  
計算結果と考察

第7章 SOI上のMOSデバイスの  
計算結果と考察

第8章 SOI上のMOSデバイスの  
サブ・スレッショルド特性

デバイス・シミュレーションに関連する部分

第2章 デバイス・シミュレーションの  
概要と背景

第4章 粒子の移動に関する物理モデル

第5章 インプリメンテーションおよび  
シミュレータの仕様

第6章 SOI上のMOSデバイスの流体  
モデルによる計算結果との比較

第9章 結論

図1. 本論文の構成

## 参考文献

1. 1 S. M. Sze, "Physics of Semiconductor Devices", 2nd ed., Newyork Wiley, pp. 46, 1981
1. 2 I. M. Bateman, G. A. Armstrong, and J. A. Magowan, Solid-State Electron., vol. 17, pp. 539-550, 1974
1. 3 B. Eitan and D. Frohman-Bentchkowsky, IEEE Trans. Electron Devices, vol. ED-29, No. 2, pp. 254-266, 1982
1. 4 山内, 加藤, 和田, 信学半導体部門大会, p. 80, 1983
1. 5 S. M. Sze, "Physics of Semiconductor Devices", 2nd ed., Newyork Wiley, pp. 489, 1981
1. 6 斎藤, 村瀬, 佐藤, 原田, 信学総合全国大会, 2-20, 1978
1. 7 S. Satoh et al, IEEE Symposium on VLSI Tech., pp. 38-39, 1982
1. 8 B. M. Grossman, W. Hwang, and F. F. Fang, Solid-State Electron., vol. 27, pp. 1083-1090, 1984
1. 9 大見, 総合研究A研究成果報告書, pp. 79, 1984
1. 10 S. D. S. Malhi et al, IEDM Tech. Dig., pp. 107-110, 1982

## 第2章 デバイス・シミュレーションの 概要と背景

### 2.1 はじめに

本論文の第1章に各種MOSデバイスの比較及びMOSデバイスに要求されている性能について述べた。本章では実際のデバイスの比較に用いられているデバイス・シミュレーションの背景、概要、及び本研究で作成した粒子モデルを用いたデバイス・シミュレータの概要について述べる。

MOSデバイスが提案されたのはバイポーラトランジスタの発明よりも古いにもかかわらず、実際にその動作を確認したのはバイポーラトランジスタよりも遅いことはよく知られている。その原因はMOSデバイスの動作は半導体表面の状態に大きく依存していることにある [2.1]。この例を見てもわかるように新種デバイスの開発手法として実際にそのデバイスを作成し、測定を行うことは必ずしも有効な手段ではないことがわかる。現在では、新種デバイスの開発にその動作原理を理論的に導き、デバイス・シミュレータを用いてその動作を確認し、実際の製作に必要なパラメータの精度などを確認した上で実際の製作に取りかかる方が良いと考えられている。それは、デバイス・シミュレータを用いることによってデバイスを理想な環境においてその動作を確認することができるからである。それに対して実際のデバイスの製作には、制御が困難、または不可能な条件が入り込む可能性がある。特に新種技術を必要とする場合には、それが顕著である。

デバイスを理想環境において動作させることはそのデバイスの動作原理を理解しやすくするのに役にたつ。従って、デバイスの動作原理の理解という点でもデバイス・シミュレーションが重要であることがわかる。さらに、デバイス・シミュレーションによって実際の測定が困難のようなパラメータを観測することができる。その一例としてデバ



イス内の電位分布や電界がある。

以下に先ず、従来のデバイス・シミュレーションに用いられている各方程式、その限界について述べる。次に、粒子モデルを用いたデバイス・シミュレーション及び本研究で作成した粒子モデルによるデバイス・シミュレータのアルゴリズムの詳細について述べる。粒子の移動に関する物理モデルやシミュレータの詳細なアルゴリズムは第4章および第5章で述べる。

## 2.2 従来のデバイス・シミュレーションについて

従来のデバイス・シミュレータ内では、キャリアを流体としてみなし、その流れに関する統計量を、半導体の基本方程式と呼ばれている微分方程式群を用いて記述する

[2.21]。半導体の基本方程式は Shockley によって確立され、それらを数値解析するのが従来のデバイス・シミュレータである。以下に半導体の基本方程式を示す。

$$\epsilon_s \cdot \nabla^2 \psi = q \cdot (n - p - N_D + N_A) \quad (2.1)$$

$$\delta n / \delta t = 1/q \cdot \nabla \cdot J_n + G_n - R_n \quad (2.2)$$

$$\delta p / \delta t = -1/q \cdot \nabla \cdot J_p + G_p - R_p \quad (2.3)$$

$$J_n = q \cdot D_n \cdot \nabla n - q \cdot \mu_n \cdot n \cdot \nabla \psi \quad (2.4)$$

$$J_p = -q \cdot D_p \cdot \nabla p - q \cdot \mu_p \cdot p \cdot \nabla \psi \quad (2.5)$$

$$J = J_p + J_n - \epsilon_s \cdot \delta \nabla \psi / \delta t \quad (2.6)$$

以上の方程式を解く際に数値計算の精度をよくするために次のような仮定がなされている。即ち、直流解析のみをするとし、時間微分の項を0とする。さらに、MOSデバイスのみを解析の対象とし、電子か、または正孔の一種類のキャリアのみを考えるとす。このほかに生成再結合を無視すれば以下の流れ関数 ( $\Theta$ ) を導入することができる

[2.31]。

$$J = |J| \cdot \nabla x \Theta \quad (2.7)$$

上記の近似を用いているデバイス・シミュレータのなかにCADDET (Computer Aided Device Design in Two dimensions) と呼ばれるプログラムがある [2.4]、[2.5]。(CADDETは日立製作所の中央研究所で製作されたプログラムである)以下本研究では、流体モデルを用いたデバイス・シミュレーションをするのにCADDETを用いることにし、そのシミュレーション結果と本研究で作成したデバイス・シミュレータによる結果との比較をすることにした。

### 2.3 改良された流体モデルによるデバイス・シミュレーションについて

従来の流体モデルによるデバイス・シミュレーションの限界の一つには電子の持っているエネルギーを温度に換算した電子温度を格子の温度に等しいと仮定したことにある。この限界を越えるために非平衡状態での電子の振る舞いを算出する方法が提案されている。それは、電子の移動度を電子温度の関数として定義し、電子温度を求めるにはエネルギーの損失率を仮定し、エネルギーの保存則を用いている。さらに、電子温度の計算が収束するまで繰り返し計算を行う [2.6]。

### 2.4 粒子モデルを用いたデバイス・シミュレーションについて

半導体デバイスの素子寸法がサブ・ミクロンにまで減少すると、半導体内を走行するキャリアが無衝突に近い状態で輸送され、バリスティック的な輸送現象を示すようになり、キャリアの非定常な振舞い、例えば速度オーバーシュート現象などが重要になってくる [2.7] - [2.9]。この非定常な輸送形態が実現されるとキャリアの速度が飽和速度を上回る可能性があり、超高速な論理素子の実現のために興味を持たれる問題である。

上記の改良された流体モデルを用いても電子の非定常的な振舞いをシミュレーションすることができない。電子の非定常的な振舞いをシミュレーションするには粒子モデル

を用いれば良いと考えられている [2.10]-[2.15]。さらに、モンテ・カルロ法を用いた粒子モデルは複雑な散乱仮定を容易に計算に取り入れることができるためにサブ・ミクロン領域での半導体デバイスのシミュレーションに適していると考えられる。モンテ・カルロ粒子モデルを用いることはボルツマン輸送方程式をモンテ・カルロ法を用いて解くことに等しいために各種散乱を取入れる計算の精度がよく、また電子の振舞い、特にその運動の様子が直感的にわかりやすく、新種デバイスの研究に適していることも考えられる。

図(2.1)に本研究で作成した粒子モデルを用いたデバイス・シミュレーション・プログラムの流れ図を示す。

粒子モデルを用いる場合、キャリアは粒子とみなされ、個々の粒子の運動を追跡することによって計算が行われる。そこで、粒子の個数が多くなるとその計算量が膨大になるのを防ぐために仮想的な粒子が用いられる。この仮想的な粒子とはいくつかのキャリアの集合体を一つの粒子としてみなすことであり、その結果シミュレーションで取り扱う粒子の数を減らすことができる。本研究では一つの粒子を10個ないし250個のキャリアの代表としている。

仮想粒子の運動についてはあたかも一つのキャリアが運動しているとして考えることができる。但し、キャリア電荷の電位分布に与える影響を考慮するためには、仮想粒子の持っている電荷を代表しているキャリアの数とキャリア電荷との積で近似する。この近似のために、キャリアの粒子的な性質によって生じていると考えられている熱雑音(ショットノイズ)が強調されて、非物理的な雑音を生む結果となる。それは以下のような考え方によって明確にすることができる。即ち、有限温度 $T$ における熱雑音は  $2 \cdot q / 3 / k_B / T \cdot V$  ( $q$ は粒子の持っている電荷)となっているために、粒子の持っている電荷がキャリアの $n$ 倍になれば熱雑音も $n$ 倍と大きくなってしまふ [2.16]。本研究での上記の非物理的な雑音を抑えるための方法は本論文の第5章第8節で述べる。

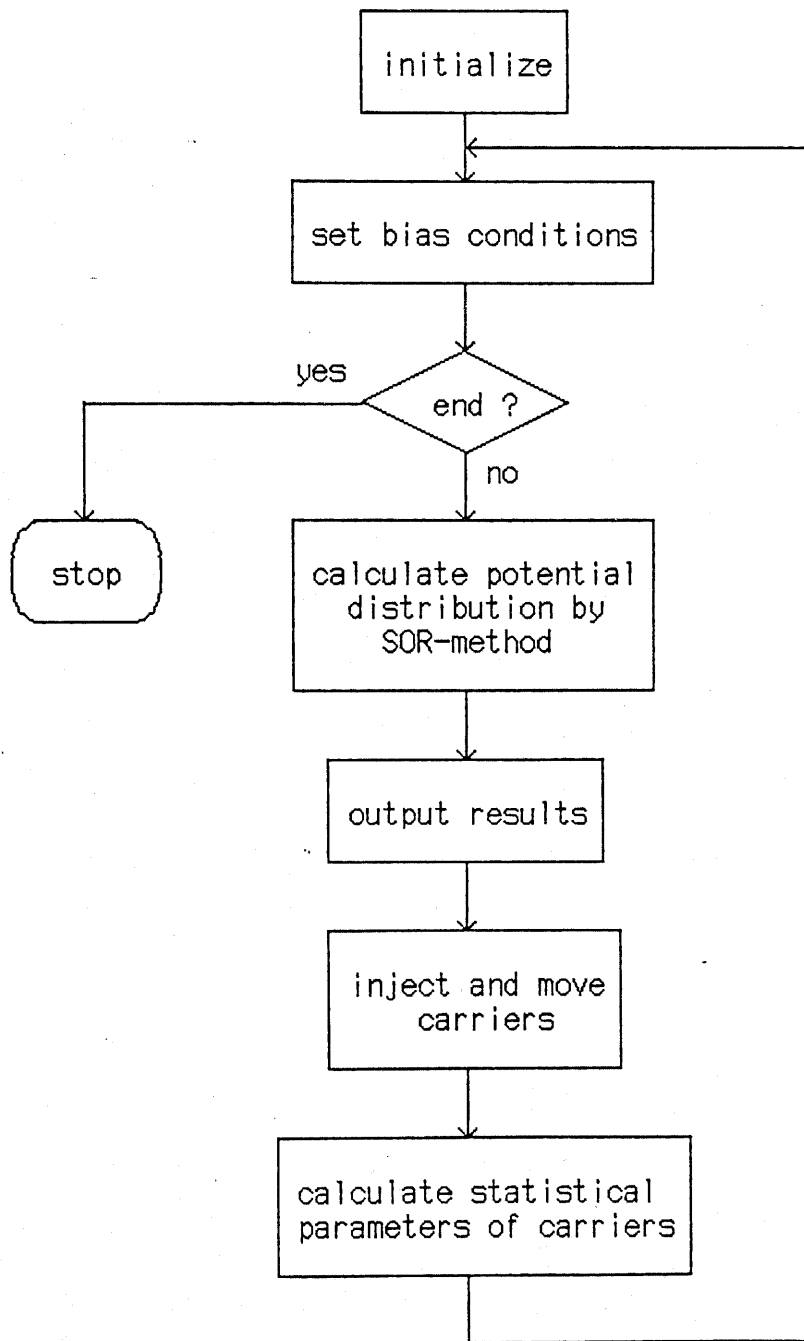


図 2. 1 粒子モデルを用いたシミュレータの流れ図

さらに、粒子モデルを用いる場合の欠点として、その計算量が膨大となることである。従って、粒子モデルを用いる場合の計算結果は全て短い時間内の過渡特性のみとなり、定常状態における議論は困難である。

## 2.5 第2章のまとめ

以上に、本研究で用いられた従来の流体モデルを用いたデバイス・シミュレータ、流体モデルの改良の仕方、及び本研究で作成した粒子モデルを用いたデバイス・シミュレータの概要について述べた。本研究で作成した粒子モデルを用いたデバイス・シミュレータについては以下の結論を得ることができた。

- a) 粒子モデルを用いた場合の粒子が代表している実際のキャリアの個数が増えればショットノイズに対応する非物理的な雑音も比例的に増大する。
- b) 流体モデルを用いてキャリアの非定常的な振る舞いをシミュレーションすることはできない。それに対して、粒子モデルを用いたシミュレータは非定常状態のシミュレーションに適している。但し、定常状態におけるシミュレーションをするには膨大な計算量を必要とし、事実上不可能である。

## 参考文献

2. 1 E. H. Nicollian and J. R. Brews, "MOS Physics and technology", Newyork Wiley, pp. 1-23, 1982
2. 2 武石, 原, 倉田, "超LSI入門シリーズ1 バイポーラトランジスタの動作理論", 近代科学社, pp. 21, 1980
2. 3 M. S. Mock, Solid-State Electron., vol. 16, pp. 601-609, 1973
2. 4 T. Toyabe and S. Asai, IEEE Trans. Electron Devices, vol. ED-26, No. 4, pp. 453-461, 1979
2. 5 K. Yamaguchi, Tech. Rep., Solid-State Devices, IECE Japan, vol. SSD83-100, pp. 39-46, Dec. 23, 1983
2. 6 小林, 斎藤, 信学半導体部門大会, p. 77, 1983
2. 7 K. Hess, IEEE Trans. Electron Devices, vol. ED-28, No. 8, pp. 937-940, 1981
2. 8 S. L. Teitel and J. W. Wilkins, IEEE Trans. Electron Devices, vol. ED-30, No. 2, pp. 150-153, 1983
2. 9 R. K. Cook and J. Frey, IEEE Trans. Electron Devices, vol. ED-28, No. 8, pp. 951-953, 1981
2. 10 T. Kurosawa, J. Phys. Soc. Jap., vol. 20,

No. 6, pp. 937-942, 1965

2. 11 H. D. Rees, J. Phys. Chem. Solids, vol. 30, pp: 643-655, 1969
2. 12 J. Zimmermann et al, Solid-State Electron., vol. 16, pp. 601-609, 1973
2. 13 W. fawcett et al, J. Phys. Chem. Solids, vol. 31, pp. 1963-1990, 1970
2. 14 R. A. Warriner, Solid-State Electron Devices, vol. 1, pp. 97-104, 1977
2. 15 R. A. Warriner, Solid-State Electron Devices, vol. 1, pp. 105-110, 1977
2. 16 大越, "基礎電子工学", 改訂版, 電気学会, pp. 231, 1976

### 第3章 埋め込み型MOSデバイスの 計算結果と考察

#### 3.1 はじめに

本論文の第1章にも触れられているように、埋め込み型パンチスルーMOSデバイスが高速論理用デバイスとして有望と考えられている。本章では、埋め込み型パンチスルーMOSデバイスの特性解析や従来型のMOSFETとの比較の結果について述べる。但し、ここではシミュレータとして、第2章で述べた流体モデルを用いた汎用デバイス・シミュレータCADDET、及び本研究で作成したモンテ・カルロ粒子モデルを用いたデバイス・シミュレータ（以後モンテ・カルロ・シミュレータと略す）が解析に用いられている。

埋め込み型パンチスルーMOSデバイスでは、本論文の第1章で述べられているように基板側のp<sup>+</sup>領域の空乏層によるパンチスルー電流の抑制効果と、ドレイン領域側の空乏層幅の増加によるドレイン接合の耐圧の向上とのトレードオフによってデバイスとしての特性の向上が図られている。そのためにデバイスの構造が複雑になり、複雑な不純物分布の制御を必要としている。その結果、第1章で述べた低不純物密度のSOI基板上のパンチスルーMOSデバイスに比べてチャンネル長を短くすることが困難となる。以下ここではそのチャンネル長を0.5 $\mu\text{m}$ とする。またこのときの降伏電圧が約10Vになるように、基板側p<sup>+</sup>領域の不純物密度を $10^{17}/\text{cm}^3$ とした [3.1]。

モンテ・カルロ・シミュレータ内では、本論文の第5章で述べるように正孔が基板領域内を拡散し、基板側の中性領域が形成されて行く過程のシミュレーションが行われている。正孔の拡散する距離を減らし、正孔の基板内の移動に関する計算時間を減らすために基板の厚みを減らすことが考えられる。ここでは、不純物密度が $10^{17}/\text{cm}^3$ の片側階段pn接合に5Vの電圧がかかっていた場合の空乏層幅（0.2 $\mu\text{m}$ ）を基板の



厚みとした [3-2] 。

モンテ・カルロ・シミュレータを用いた場合、チャネル領域内に不純物は存在していないとしている。それに対してCADDETを用いた場合には、チャネル領域内の不純物密度を0にすることはできない。そのためこの場合のチャネル領域内の不純物密度として、CADDETを用いた計算が収束する最も低い不純物密度である  $10^{11} / \text{cm}^3$  を用いた。

比較を容易にするためにここでは従来型のMOSFETについても、上記の埋め込み型MOSデバイスの寸法や不純物密度と同じパラメータを用いることにした。図(3.1)及び図(3.2)にそれぞれ埋め込み型MOSデバイスと従来型のMOSFETの構造を示す。

モンテ・カルロ・シミュレータ内では、ソース領域が電位の基準点として用いられ、ゲート及びバックゲート電位としてそれぞれゲートとバックゲート電極金属のすぐ近くのゲート酸化膜や基板半導体内の電位が用いられている。それに比べてCADDETの場合では、電位の基準点として各電極金属が用いられ、またゲートやバックゲート電位としてそれぞれゲート及びバックゲート電極金属の電位が用いられている。その違いによってCADDETの場合のゲート電圧 ( $V'_{gs}$ )、バックゲート電圧 ( $V'_{bs}$ ) 及びチャネル領域内の電位分布 ( $V'(x, y)$ ) とモンテ・カルロ・シミュレータ内のそれぞれ ( $V_{gs}$ 、 $V_{bs}$ 、及び  $V(x, y)$ ) との対応は以下の式のように示される。

$$V'_{gs} = V_{gs} + V_{bi} \quad (3.1)$$

$$V'_{bs} = V_{bs} + V_{bi} \quad (3.2)$$

$$V'(x, y) = V(x, y) + V_{bi} \quad (3.3)$$

但し、ここでは  $V_{bi}$  をソース領域と基板との間の拡散電位とし、その値を  $0.5 \text{ V}$  とする。

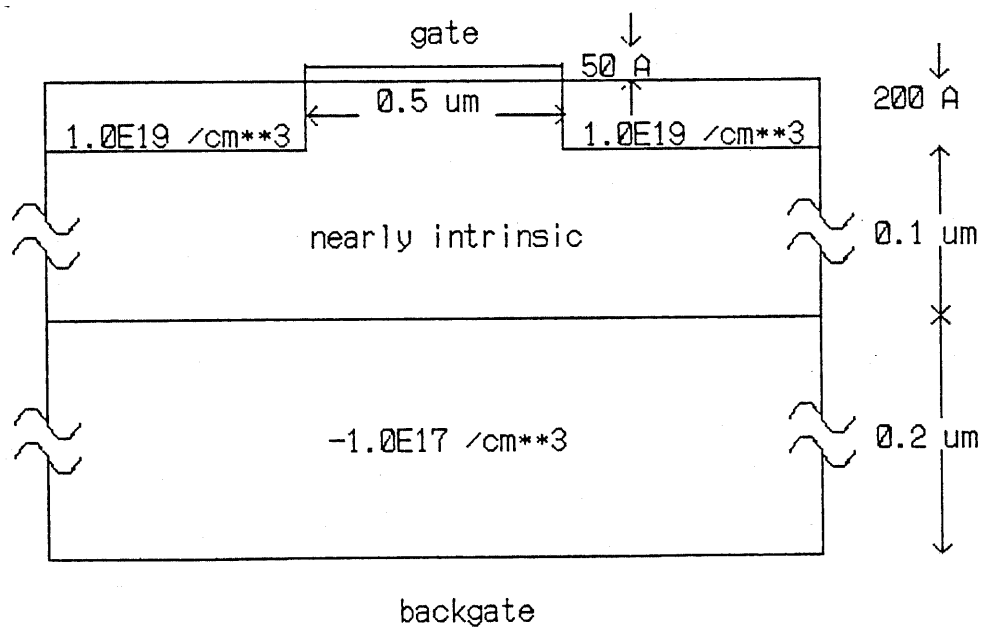


図3. 1 埋め込み型パンチスルーMOSデバイスの構造

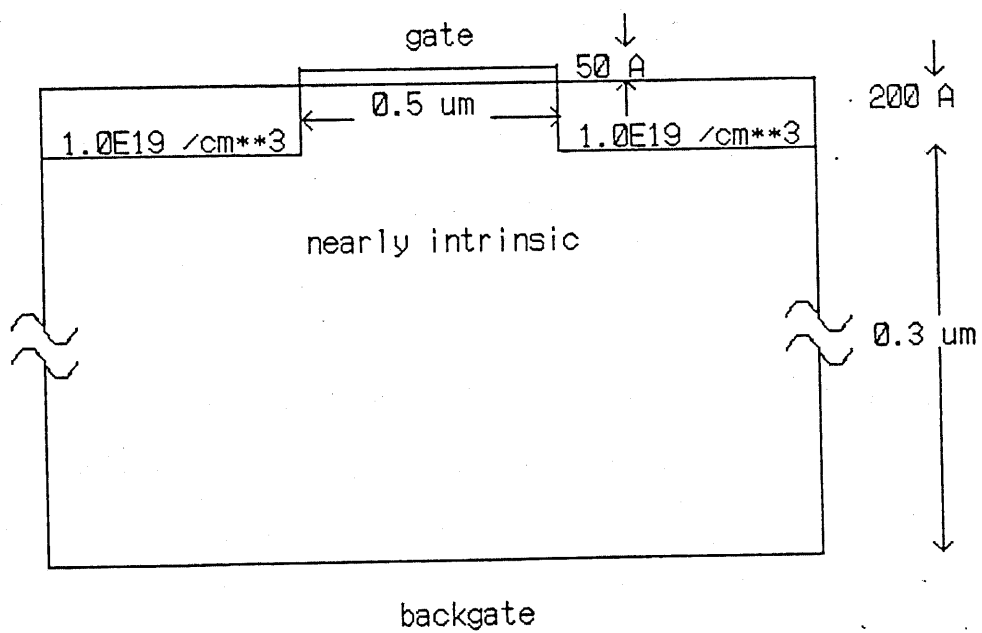


図3.2 従来型のMOSFETの構造

以下に埋め込み型パンチスルーMOSデバイスと従来型のMOSFETの各特性のシミュレーション結果、及びそれらの比較について述べる。

### 3. 2 $I_d-V_{ds}$ 特性の計算結果及びその比較検討

図(3.3)にゲート電圧 $V_{gs}$ をパラメータとしたときの従来型MOSFETのCADDDETを用いたシミュレーション結果の $I_d-V_{ds}$ 特性を示し、また図(3.4)に同様の埋め込み型パンチスルーMOSデバイスの $I_d-V_{ds}$ 特性を示す。但し、ここでは $V_{bs}$ を $-0.5$  Vとする。これらの特性を比較することによって、特にドレイン電圧が小さい領域で、従来型のMOSFETのゲート電圧によるドレイン電流の制御性が埋め込み型パンチスルーMOSデバイスのそれに比べて悪いことが分かる。この結果は埋め込み型パンチスルーMOSデバイスの基板奥を流れるパンチスルー電流が抑えられ、ゲート側の半導体表面を流れる電流はゲート電圧によって制御されていることを示している。

図(3.3)及び図(3.4)のドレイン電流はドレイン電圧が高くなると飽和する傾向を示している。この傾向は一般のパンチスルーを起こしているデバイスの示す非飽和特性と相反している。この飽和特性はチャネル長が短くなり、ドレイン電圧及びゲート電圧が高くなるにつれてキャリアの速度が飽和し、移動度が落ちることによるものと考えられる。さらにCADDDET内では、移動度が次式のように近似されているために、垂直電界が強くなると移動度が急速に小さくなる。

$$\mu = \mu_0 \cdot [1 + N_B \cdot (N_B/S + N)^{-1} + (E_{//}/A)^2 \cdot (E_{//}/A + F)^{-1} + (E_{//}/B)^2]^{-1/2} \cdot (1 + \alpha E_{\perp})^{-1/2} \quad (3.4)$$

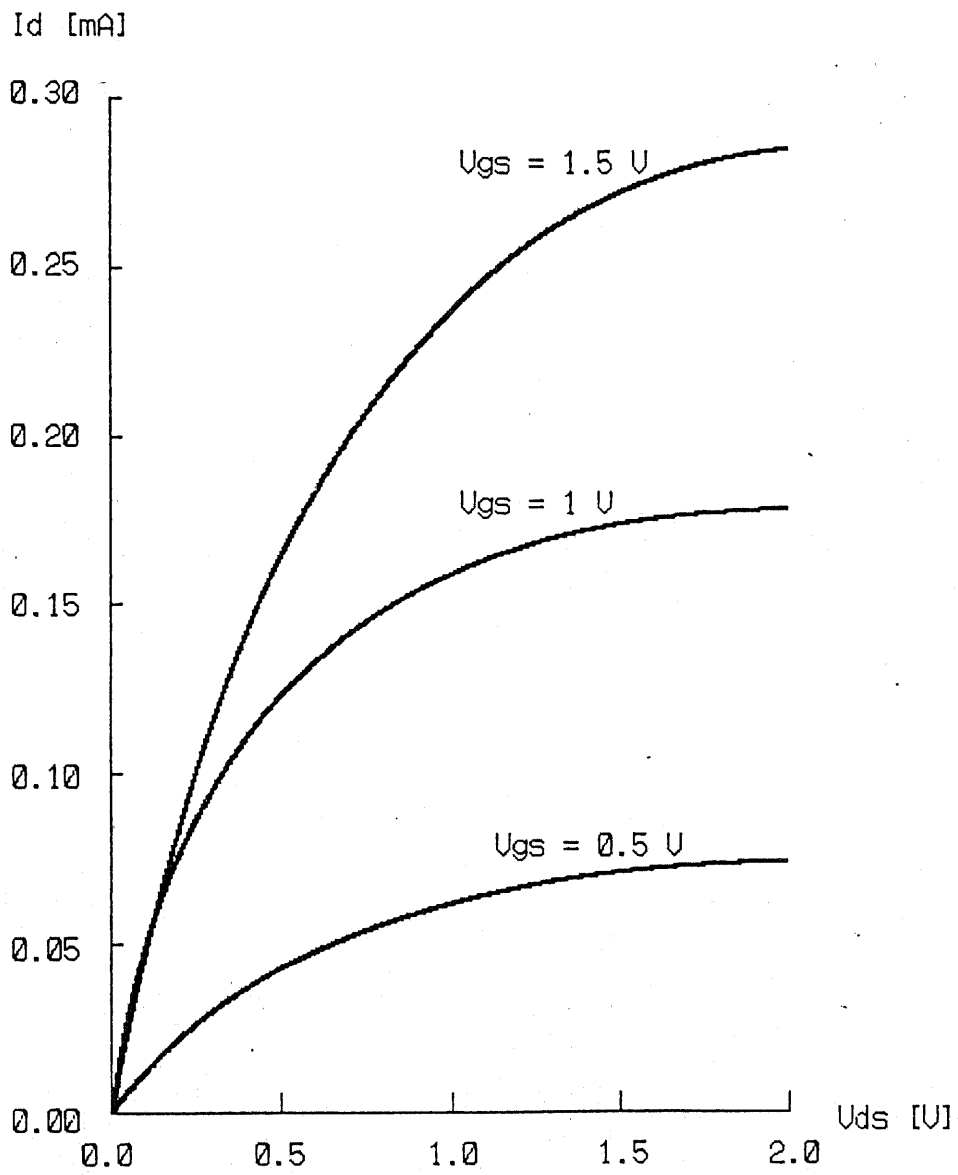


図3.3 従来型MOSFETの $I_d-V_{ds}$ 特性

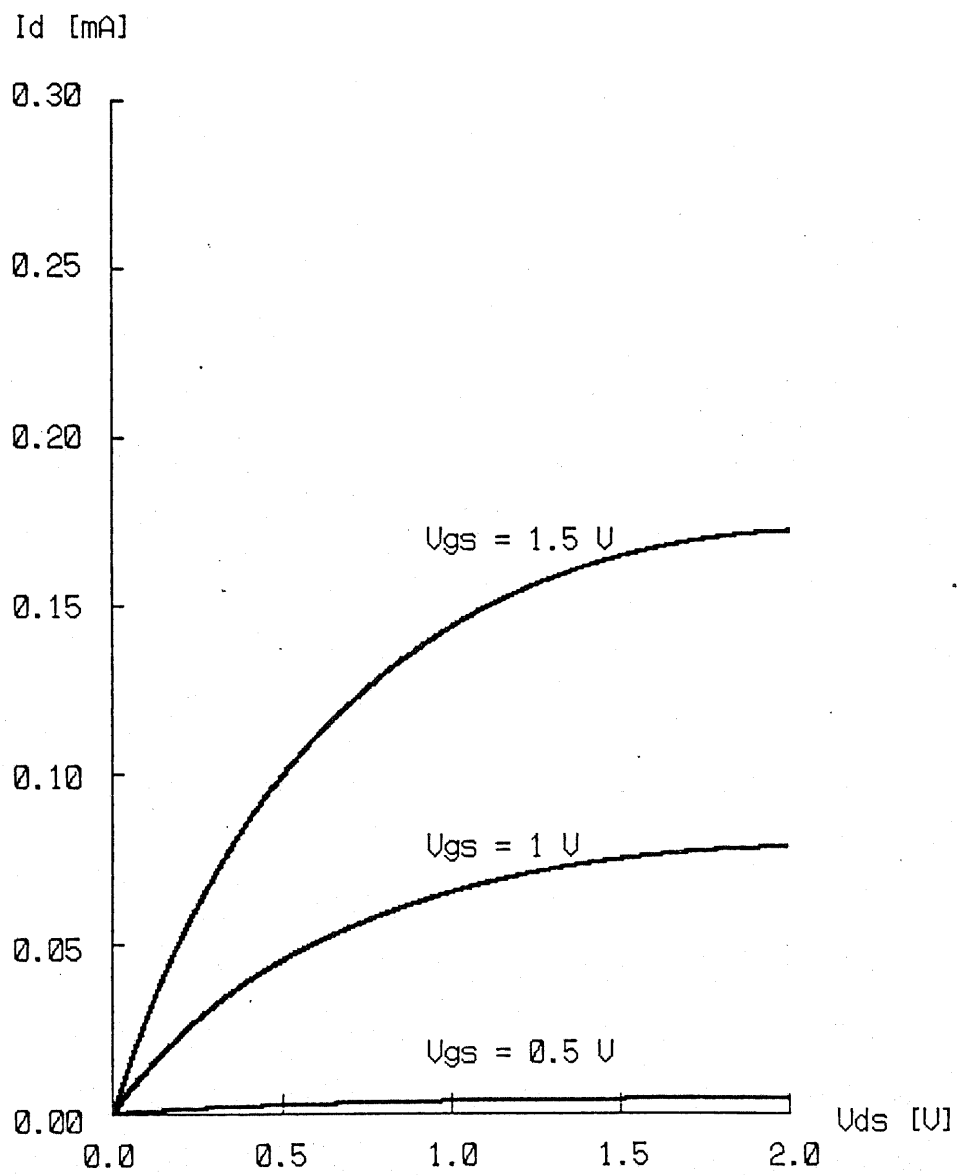


図3.4 埋め込み型パンチスルーMOSデバイスの  $I_d - V_{ds}$  特性

但しCADDET内では、電子については $S=350$ ,  $N=3 \times 10^{16} / \text{cm}^3$ ,  $A=3.5 \times 10^3 \text{ V/cm}$ ,  $F=8.8$ ,  $B=7.4 \times 10^3 \text{ V/cm}$ ,  $\alpha=1.539 \times 10^{-5} \text{ cm/V}$ とし、正孔については $S=81$ ,  $N=4 \times 10^{16} / \text{cm}^3$ ,  $A=6.1 \times 10^3 \text{ V/cm}$ ,  $F=1.6$ ,  $B=2.5 \times 10^4 \text{ V/cm}$ ,  $\alpha=5.35 \times 10^{-5} \text{ cm/V}$ としている [3.31]。

以上の移動度の低下の影響を確かめる方法として基板を厚くして垂直電界を弱くする方法や一定の移動度を用いてシミュレーションする方法が考えられる。ここでは基板の厚みを $10 \mu\text{m}$ にしたときのシミュレーションと一定移動度モデルのCADDETを用いたときのシミュレーションを試みた結果によって、それらの場合の $I_d-V_{ds}$ 特性の飽和傾向が弱くなることが確かめられた。

図(3.5)にモンテ・カルロ・シミュレータを用いた埋め込み型パンチスルーMOSデバイスの特性のシミュレーション結果を□印で示す。但しこの場合、 $V_{gs}=1.0 \text{ V}$ ,  $V_{bs}=-0.5 \text{ V}$ とする。ここでは電子が音響フォノン散乱と高エネルギー・フォノン散乱のみを受けるとし、また正孔については散乱を受けないバリスティック的な運動をするものとする。電子及び正孔の移動については本論文の第5章で述べる。同図にCADDETによる計算結果を実線で示す。図よりモンテ・カルロ・シミュレータによる計算結果とCADDETの結果が良い一致を示していることがわかる。

### 3.3 $I_d-V_{gs}$ 特性の計算結果及びその比較検討

図(3.6)に $V_{ds}=1 \text{ V}$ ,  $V_{bs}=-0.5 \text{ V}$ のときのCADDETを用いてシミュレーションしたスレッシュヨルド電圧付近の $I_d-V_{gs}$ 特性を示す。図の曲線(a)は従来型のMOSFET、曲線(b)は埋め込み型パンチスルーMOSデバイスの $I_d-V_{gs}$ 特性を示す。図より曲線(a)の傾きが $193.3 \text{ mV/decade}$ 、曲線(b)の傾きが $86.7 \text{ mV/decade}$ となっていることがわかる。この結果によって埋め込み型パンチスルーMOSデバイスのサブ・スレッシュヨルド電流が抑制されていることが判明した。

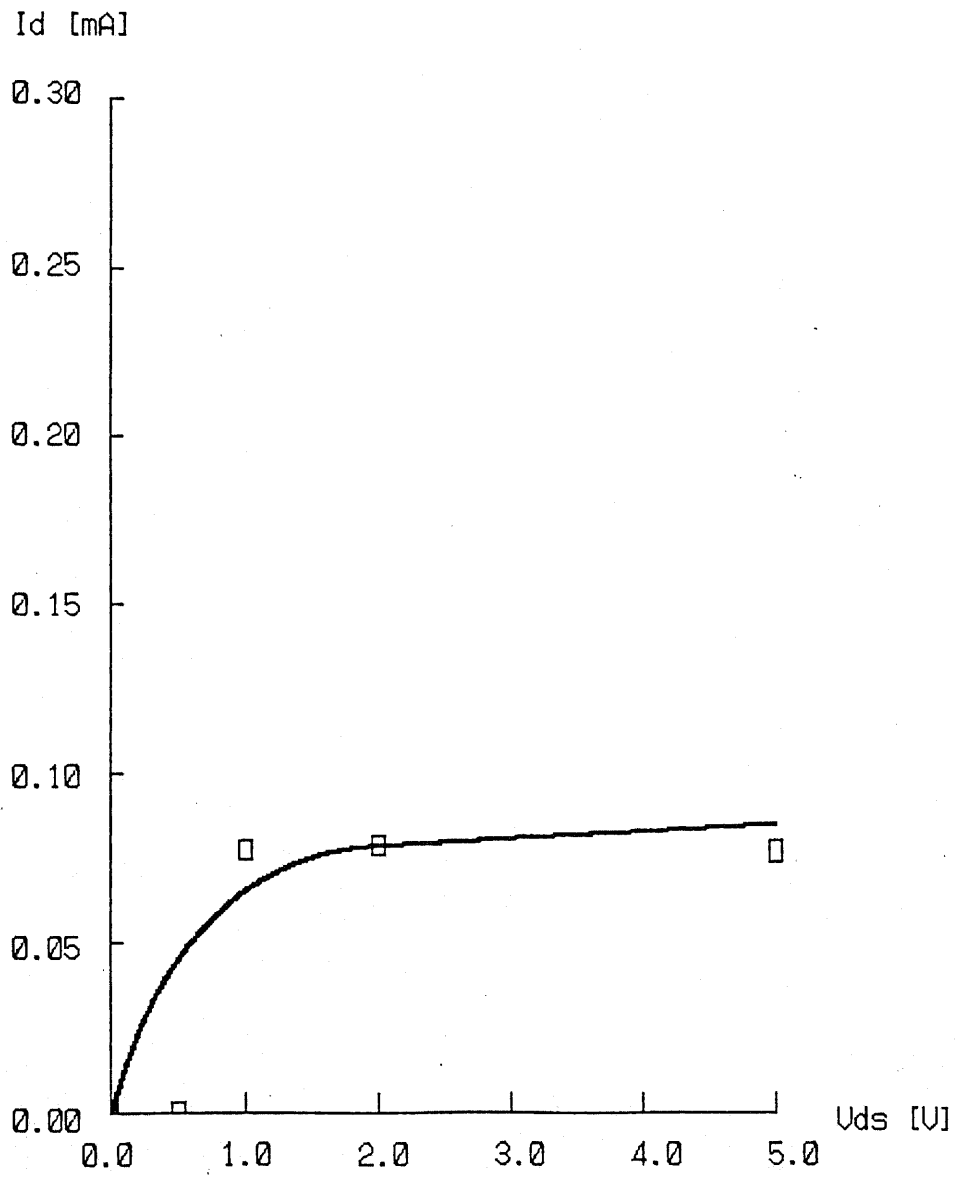


図3.5 埋め込み型パンチスルーMOSデバイスの  $I_d - V_{ds}$  特性



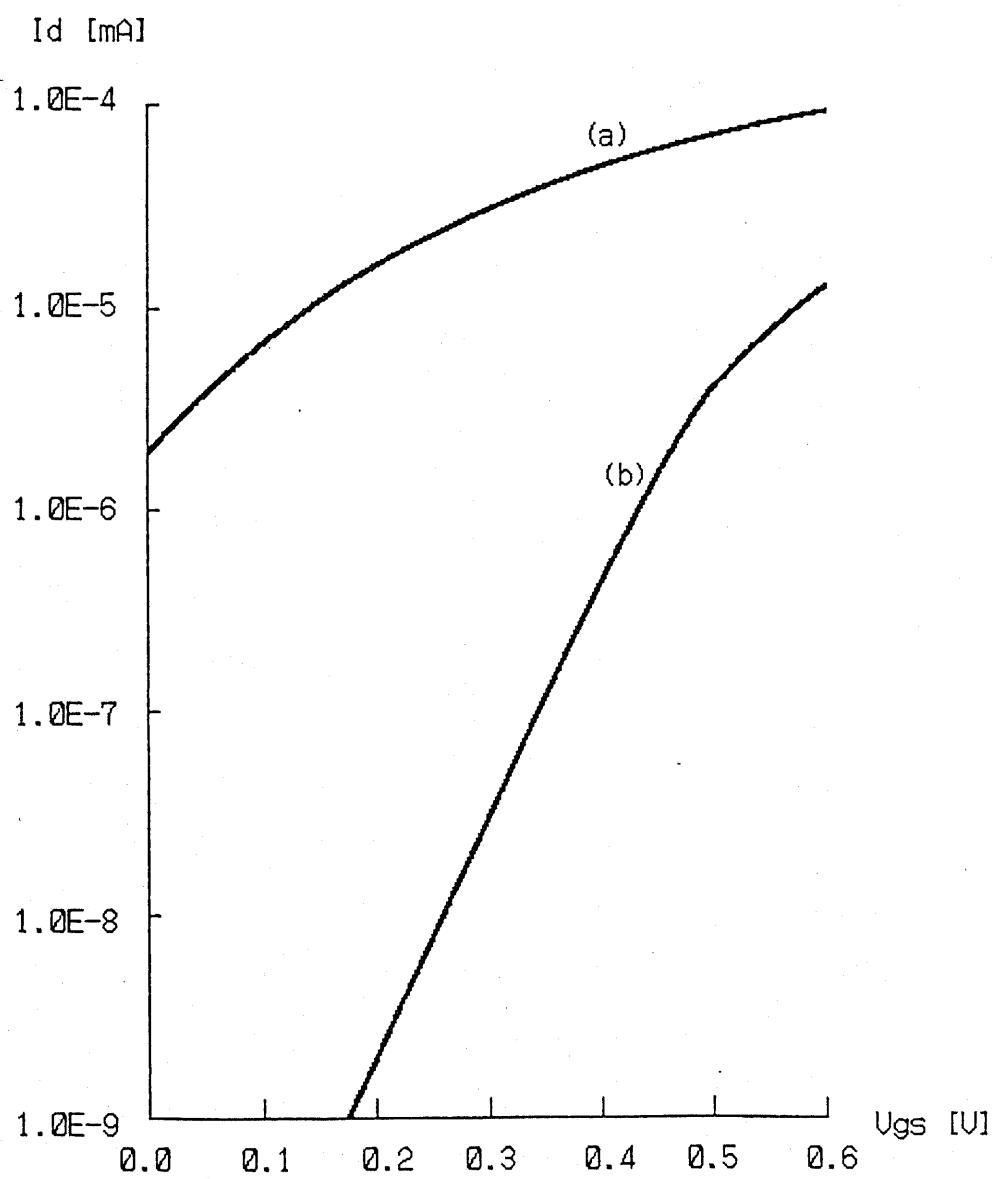


图 3.6  $I_d - V_{gs}$  特性

さらに図から従来型のMOSFETのスレッシュホールド電圧が0.2 Vとなっているのに対して、埋め込み型パンチスルーMOSデバイスのスレッシュホールド電圧は0.4 Vと高くなっていることがわかる。この結果及び上記のサブ・スレッシュホールド電流電圧特性の傾きによって埋め込み型パンチスルーMOSデバイスのゲート電圧によるドレイン電流の制御性は従来型のMOSFETのそれより良いことがわかる。

### 3.4 電位分布及び電子分布による比較検討

埋め込み型パンチスルーMOSデバイスを用いた場合のパンチスルー現象が抑制されている様子は従来型のMOSFETとの電位分布や電子密度分布の比較によって観測することができる。図(3.7)にCADDETを用いて計算した従来型のMOSFETの電位分布を示し、また図(3.8)に埋め込み型パンチスルーMOSデバイスのそれを示す。但し、ここでは $V_{ds}=3.0\text{ V}$ ,  $V_{gs}=0.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ としている。さらに、図(3.9)及び図(3.10)にそれぞれ上記と同一の端子電圧がかかっているときの従来型のMOSFETと埋め込み型パンチスルーMOSデバイス内の電子の密度分布を示す。電位分布図より埋め込み型パンチスルーMOSデバイスのドレイン空乏層の伸びは基板側p<sup>+</sup>領域によって抑制されていることがわかる。また電子密度分布図からは、従来型のMOSFETの電子密度の高い部分がドレイン領域近傍でゲート側の半導体表面から離れて基板奥の方を通る様子がわかる。それに比べて埋め込み型パンチスルーMOSデバイスの場合では、基板側p<sup>+</sup>領域によって電子密度の高い部分が基板奥を通ることができなくなる様子がわかる。

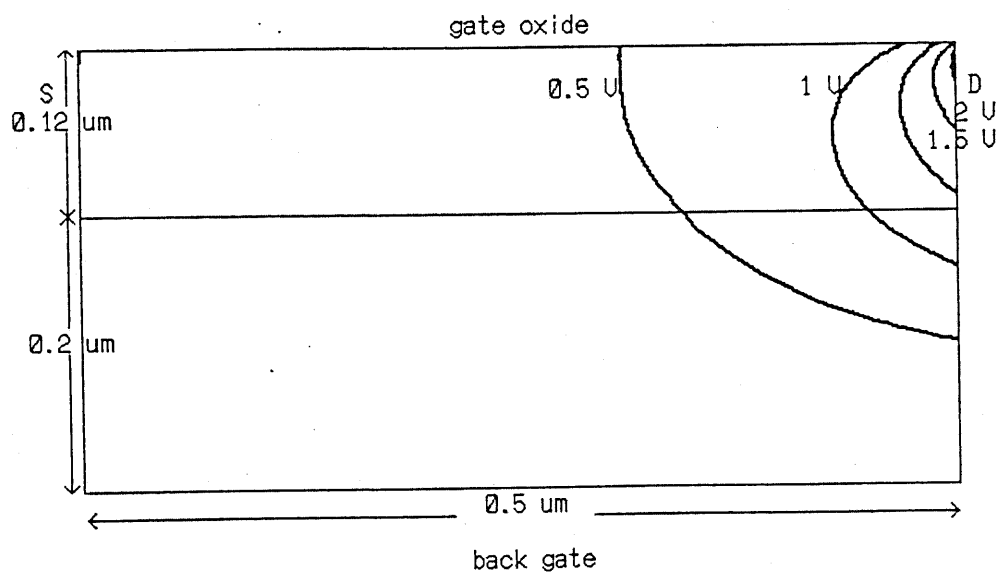


図3.7 従来型MOSFETの電位分布図  
 (以後Sはソース、Dはドレインを示すとする)

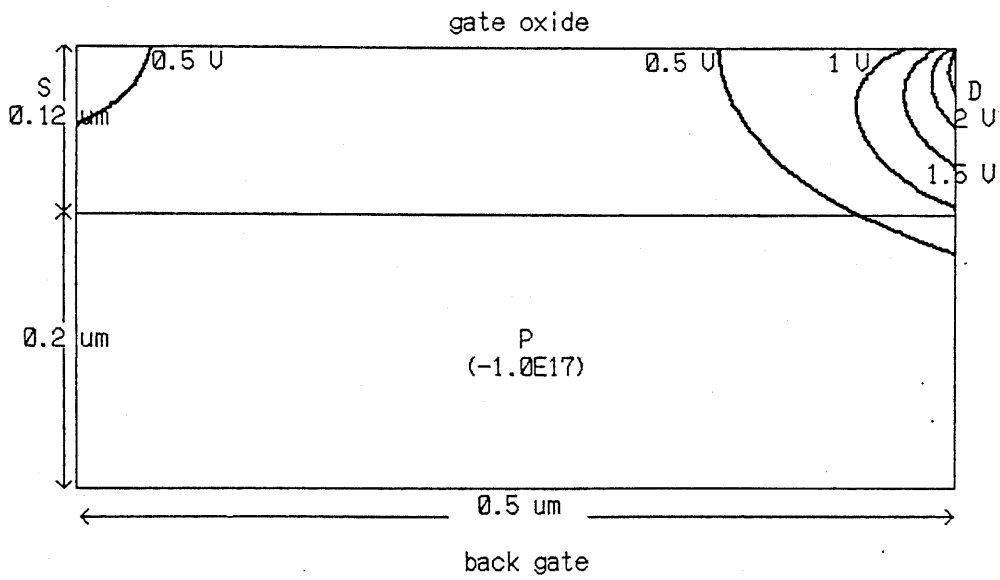


図3.8 埋め込み型パンチスルーMOSデバイスの電位分布図

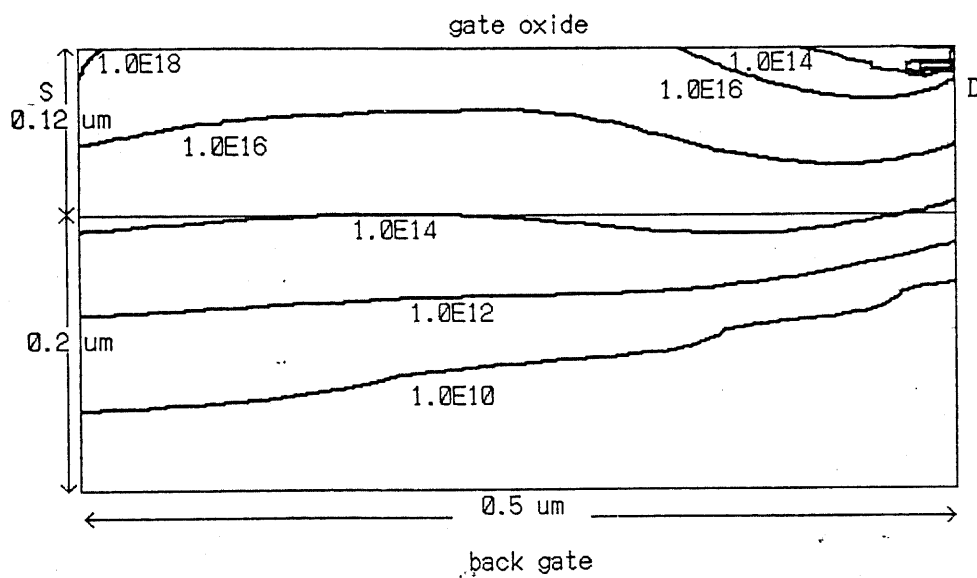


図3.9 従来型MOSFETの電子密度分布図

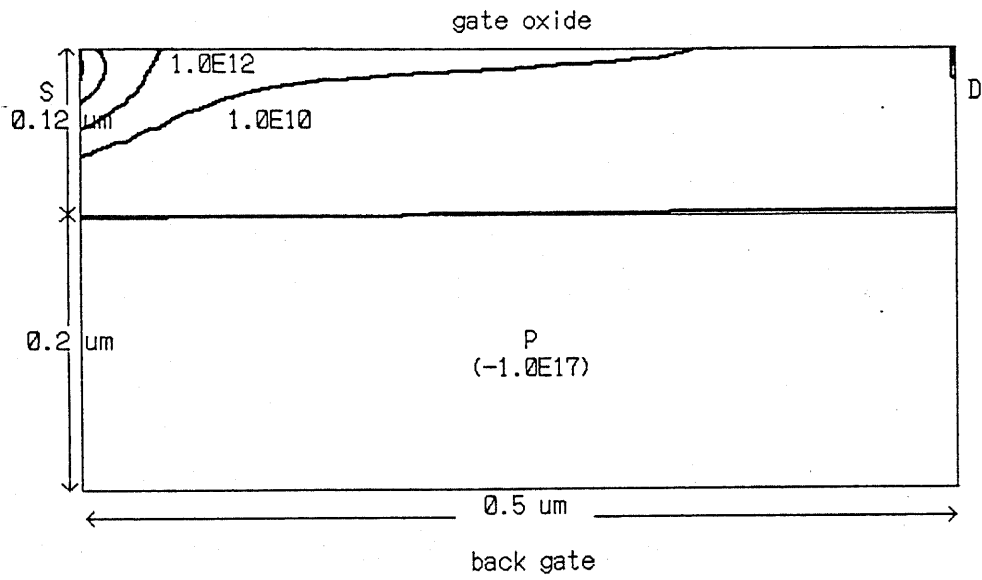


図3. 10 埋め込み型パンチスルーMOSデバイスの電子密度分布図

埋め込み型パンチスルーMOSデバイスの電位分布図から基板側の空乏層幅がドレイン領域近傍で厚くなり、ソース領域近傍で薄くなっていることがわかる。基板側の空乏層の形はモンテ・カルロ・シミュレータを用いることによって観測することができる。図(3.11)に図(3.7)から図(3.10)までの図と同一の端子電圧がかかっているときのモンテ・カルロ・シミュレータを用いて計算した正孔の位置を示す。但し、図中の・印は10個の正孔の集合を示しているとする。参考のために図(3.12)に図(3.8)と同一条件でのモンテ・カルロ・シミュレータを用いて計算した電位分布図を示す。図(3.11)と図(3.12)を比較すると正孔によって基板側の中性領域が形成されている様子がわかる。

モンテ・カルロ・シミュレータを用いて計算した電位分布とCADDETを用いた場合との差は、キャリアの密度の差によるもののほかに、ポアソン方程式を解くために使用されている境界条件の違いによるものと考えられる。モンテ・カルロ・シミュレータ内で用いられている境界条件の詳細については本論文の第5章第6節で述べる。CADDET内では、ゲート長に比べてゲート酸化膜厚が小さいとし、ゲート酸化膜内における電位分布の計算をせずに電位降下はゲート酸化膜内で直線的であるとしている。それによってゲート側の半導体表面の電位をゲート及びバックゲート電圧を線形補間することで求めている。それに対してモンテ・カルロ・シミュレータの場合では、ゲート酸化膜内の電位分布はその他の部分と同様な数値解析手法を用いて求められている。

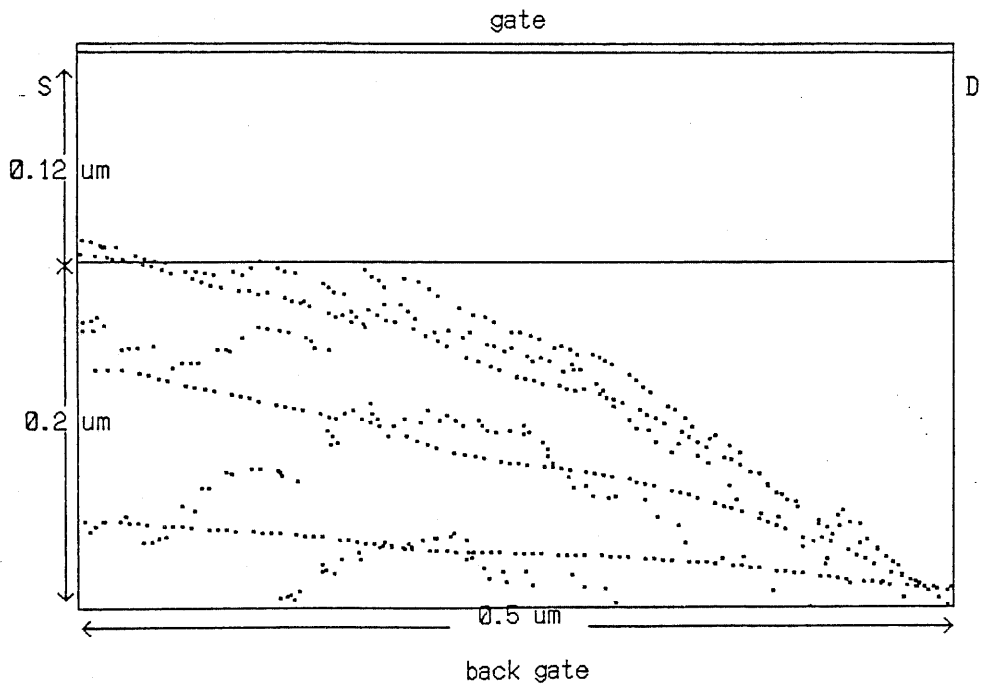


図3.11 埋め込み型パンチスルーMOSデバイスの正孔の分布図



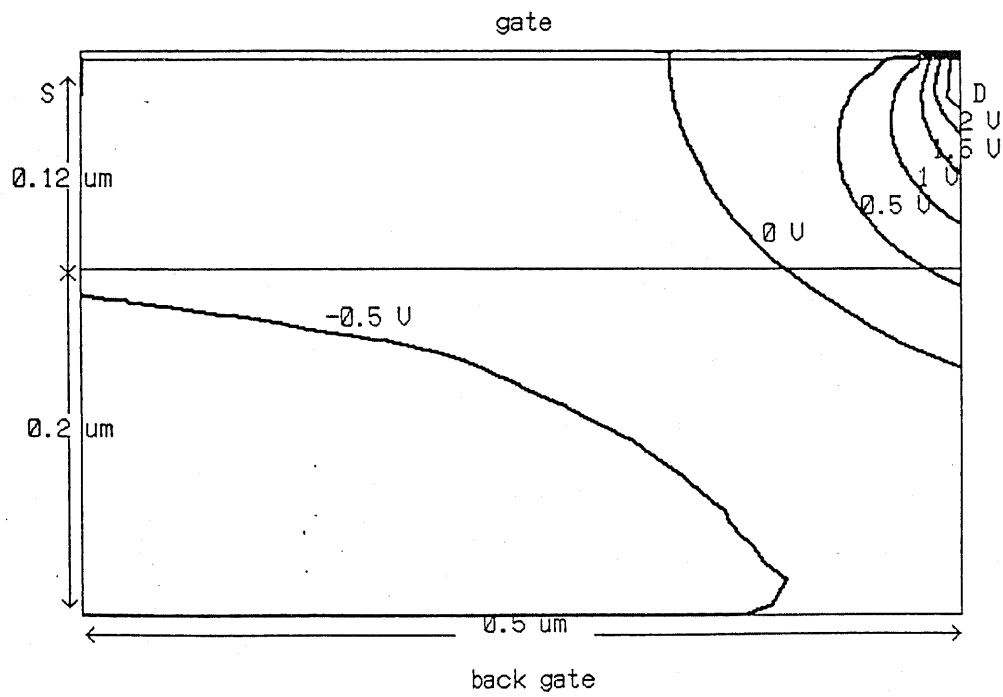


図3.12 埋め込み型パンチスルーMOSデバイスの電位分布図

### 3. 5 電子のドリフト速度の計算結果及び考察

図(3.13)に $V_{ds}=3.0\text{ V}$ ,  $V_{gs}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ のときのCADDETを用いて計算した埋め込み型パンチスルーMOSデバイス内の電子のドリフト速度分布の立体図を示す。但し、ここでは電子の移動度と横方向(チャネル長方向)の電界の積をドリフト速度の値として用いる。図より電子がソース領域付近で負のドリフト速度を持ち、またドレイン領域付近でドレイン電圧によって加速されている様子がわかる。また図より電子のドリフト速度がドレイン領域近傍のゲート酸化膜との界面の近くで最大となり、基板奥に入るほどその速度が低下していることが判明した。これは基板側の $p^+$ 領域がバリアとして働き、それによって基板の奥の方へ流れる電子が遮断され、パンチスルー電流が抑制されていることを示している。

図(3.14)に図(3.13)と同一の条件のモンテ・カルロ・シミュレータを用いて計算した埋め込み型パンチスルーMOSデバイス内の、ゲート酸化膜との界面から $100\text{ \AA}$ 離れたチャネル領域内における電子のドリフト速度分布を□印で示す。但し、ここでは電子がメッシュ間隔分だけの距離を移動するたびにその電子の持っている横方向(チャネル長方向)の速度成分を属しているメッシュの速度に加算し、その結果の平均値を電子のドリフト速度としている。電子の属しているメッシュなどの詳細については本論文の第5章第7節で述べる。従ってこの場合では、CADDETの場合と違って電子が存在していない基板領域内についてその平均ドリフト速度を求めることができなく、また電子密度の低いところにおける平均ドリフト速度の計算の精度が悪いと考えられている。

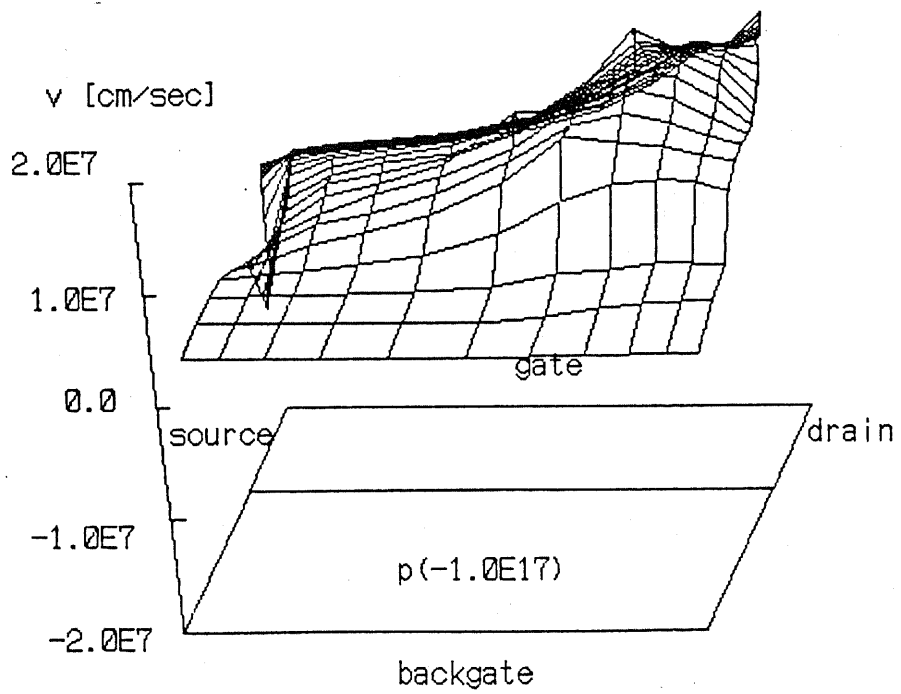


図3. 13 埋め込み型パンチスルーMOSデバイスのドリフト速度分布図

drift velocity [ $\times 10^{**7}$  cm/sec]

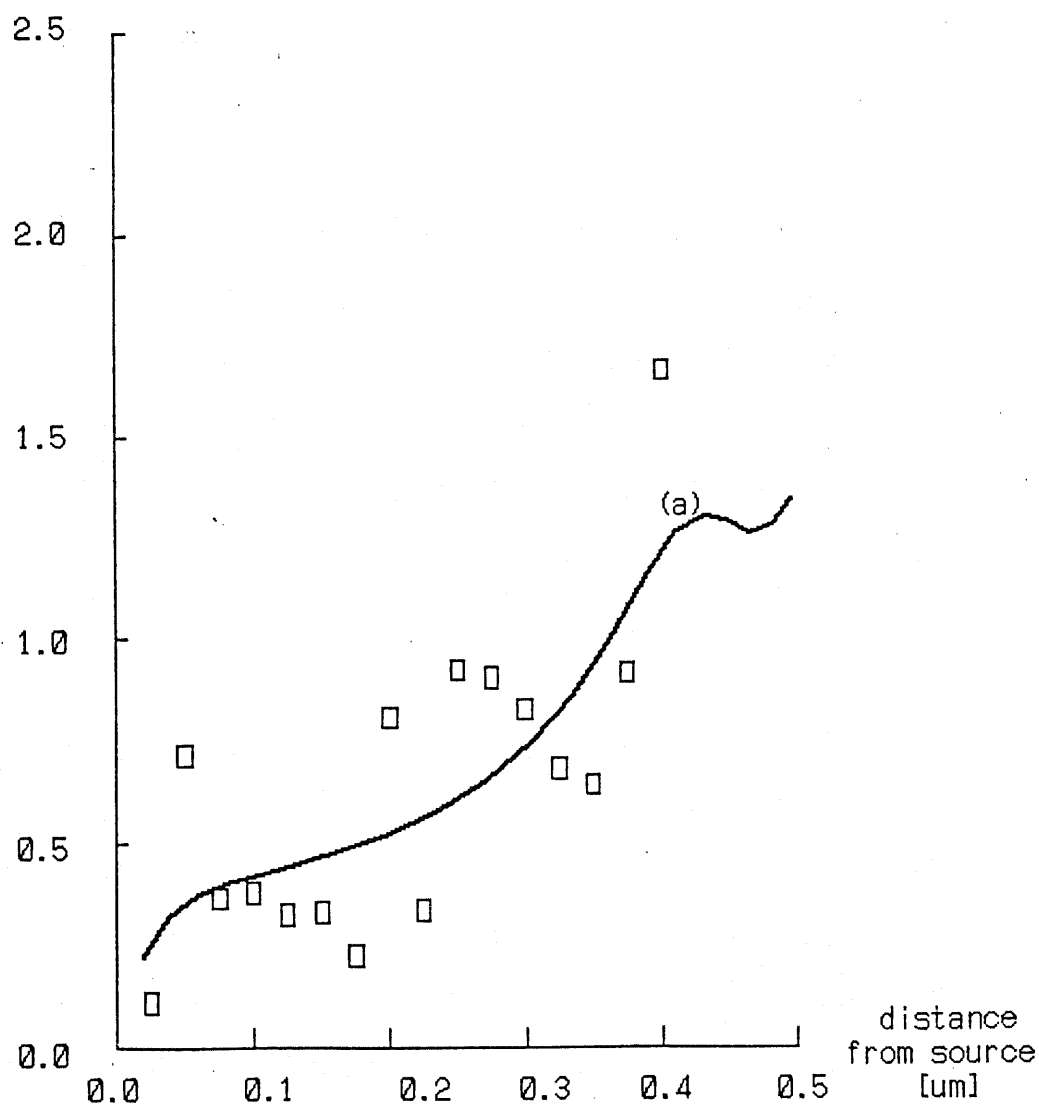


图3.14 速度分布

比較のために同図の曲線 (a) に□印の場合と同じ場所におけるCADDETを用いて計算した電子のドリフト速度を示す。曲線 (a) と□印を比較するとモンテ・カルロ粒子モデルを用いた場合の電子のドリフト速度は流体モデルを用いたCADDETの計算結果と一致していることがわかる。但し、ドレイン領域近傍ではモンテ・カルロ・シミュレータを用いて計算した電子のドリフト速度はCADDETを用いた場合よりも大きい値を示している。これはチャンネル長が $0.5\mu\text{m}$ のようなデバイス内の電子が、特にドレイン領域付近で、非定常状態で輸送されていることを示していると考えられる。但し、それらのドリフト速度の違いがそのまま直接電圧電流特性に表れず、その速度を持っている電子の密度にも依存しているためにチャンネル長が $0.5\mu\text{m}$ のようなデバイスの場合でも、CADDETを用いて計算した電圧電流特性はモンテ・カルロ粒子モデルを用いた場合の電圧電流特性と一致する傾向を示している。(本論文の第6章第5節参照)

### 3.6 インパクト・イオナイゼーション現象を考慮した場合

#### の $I_d-V_{ds}$ 特性の計算結果

モンテ・カルロ・シミュレータを用いることによってインパクト・イオナイゼーションの影響を考慮し、アバランシェ降伏現象を含むデバイスの特性をシミュレーションすることができる。(本論文の第4章第5節参照) その結果を用いてデバイスのアバランシェ降伏に対する耐圧を評価することができる。

図(3.15)の曲線(a)に電子のインパクト・イオナイゼーションの影響を考慮したときの埋め込み型パンチスルーMOSデバイスの $I_d-V_{ds}$ 特性を示す。但し、ここでは $V_{gs}=1.0\text{V}$ ,  $V_{bs}=-0.5\text{V}$ とし、正孔はバリスティック的に運動するとする。図より電子のインパクト・イオナイゼーションの影響によって降伏電圧以上の電圧をドレイン電極にかけるとドレイン電流が急に増加し、 $I_d-V_{ds}$ 特性は急峻な立上

がり特性を示すことがわかる。この結果は埋め込み型パンチスルーMOSデバイスが上記の条件においてアバランシェ降伏していることを示している。さらに図によると、この場合の降伏電圧は約7 Vとなっている。

埋め込み型パンチスルーMOSデバイスでは、基板側p<sup>+</sup>領域がドレイン領域に近付くとドレインの基板側の空乏層幅が小さくなり、ドレイン接合のアバランシェ耐圧が低下する。このドレイン・アバランシェ耐圧の低下はドレイン領域の近くの基板内に存在している正孔のインパクト・イオナイゼーションの影響によって生じていると考えることができる。そこで本研究では、埋め込み型パンチスルーMOSデバイスの正孔のインパクト・イオナイゼーションの影響を考慮するために正孔の移動に関するモデルをシミュレーションの途中で切り替える方法を用いることにした。即ち、最初の10 psecの時間内では電子の移動を考慮しないと、また正孔はバリスティック的に運動するとする。この方法によって基板側の空乏層の形を実際にキャリアの運動をシミュレーションする前に解析することができる。その後、電子、正孔の両方とも音響フォノン散乱や高エネルギー・フォノン散乱を受けて運動するとする。電子や正孔のインパクト・イオナイゼーションの影響についてもここで、その他の散乱と同様に、考慮する。同図の曲線(b)は、上記の方法を用いて電子のインパクト・イオナイゼーションの影響のほかに、正孔のインパクト・イオナイゼーションの影響も考慮したときの $I_d-V_d$ 特性を示す。但し、その他の条件は同図の曲線(a)の場合と同じとする。図よりこの場合のドレイン接合のアバランシェ耐圧は正孔のインパクト・イオナイゼーションの影響を考慮しないときに比べて約3 V低下していることがわかる。

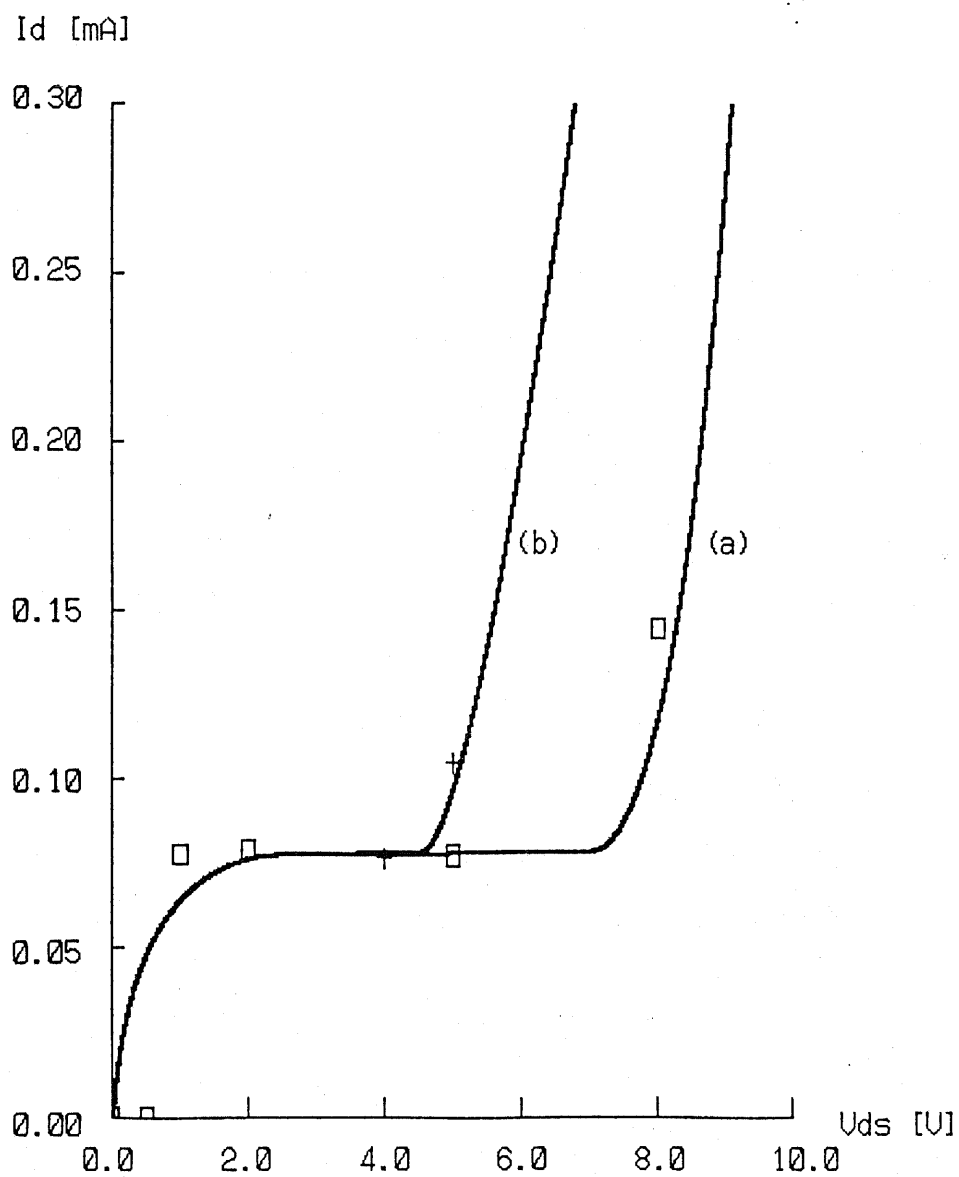


図3. 15 インパクト・イオナイゼーションを考慮した場合の  $I_d - V_{ds}$  特性

### 3.7 埋め込み型パンチスルーMOSデバイスの構造に関する考察

以上、埋め込み型パンチスルーMOSデバイスと従来型のMOSFETの各特性の比較について述べた。本節では埋め込み型パンチスルーMOSデバイスのドレイン接合のアバランシェ耐圧をさらに上げて、かつパンチスルー電流の抑制効果を低下させないためのデバイス構造について述べる。そのためには基板側p<sup>+</sup>領域内の不純物密度を下げ、その代わりにその領域の形をゲートにのみ近付くような工夫をすることが考えられる。その構造の一例を図(3.16)に示す。この構造では、基板側p<sup>+</sup>領域内の不純物密度が図(3.1)の場合に比べて1桁小さく、基板側p<sup>+</sup>領域とドレイン領域の間の距離が図(3.1)の場合と変わらないためにこの場合のドレイン接合のアバランシェ耐圧は図(3.1)の場合に比べて高いと考えることができる。

図(3.17)にCADDETを用いて計算したゲート電圧 $V_{gs}$ をパラメータとしたときの、図(3.16)で示されているデバイスの、 $I_d-V_{ds}$ 特性を示す。但し、ここでは $V_{bs}=-0.5$  Vとする。また図(3.18)に $V_{ds}=1.0$  V,  $V_{bs}=-0.5$  Vとしたときの同デバイスのCADDETを用いて計算した $I_d-V_{gs}$ を示す。これらの図と図(3.4)や図(3.6)と比較すると、図(3.16)の構造を用いれば基板側p<sup>+</sup>領域内の不純物密度が1桁小さくても図(3.1)の場合と同程度ぐらいパンチスルー電流を抑制することができると言える。また図(3.18)よりサブ・スレッショルド電流電圧特性の傾きが60.0 mV/decadeとなっていることがわかる。



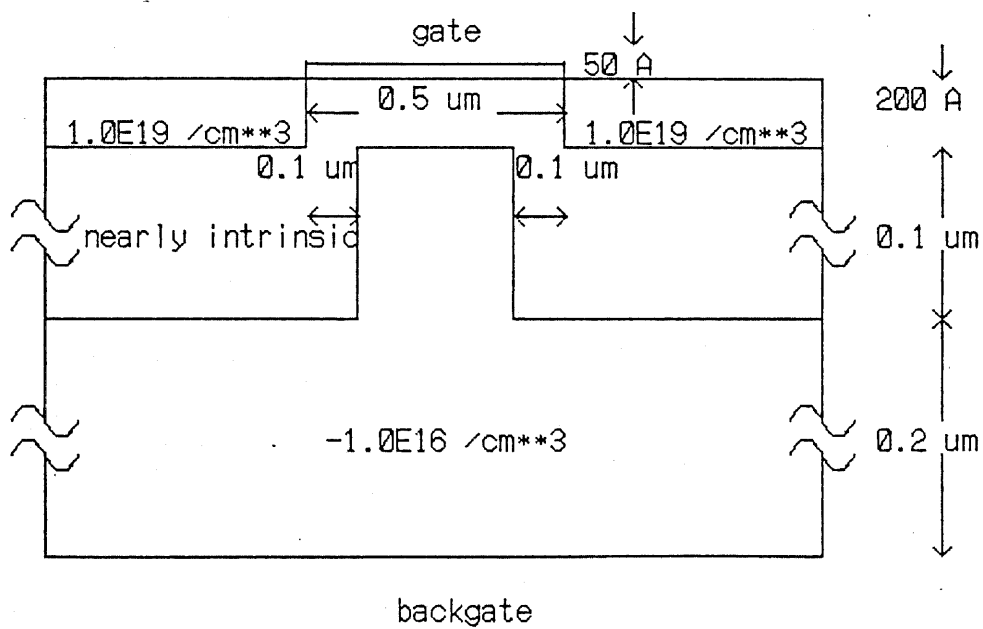


図3.16 埋め込み型パンチスルーMOSデバイスの構造

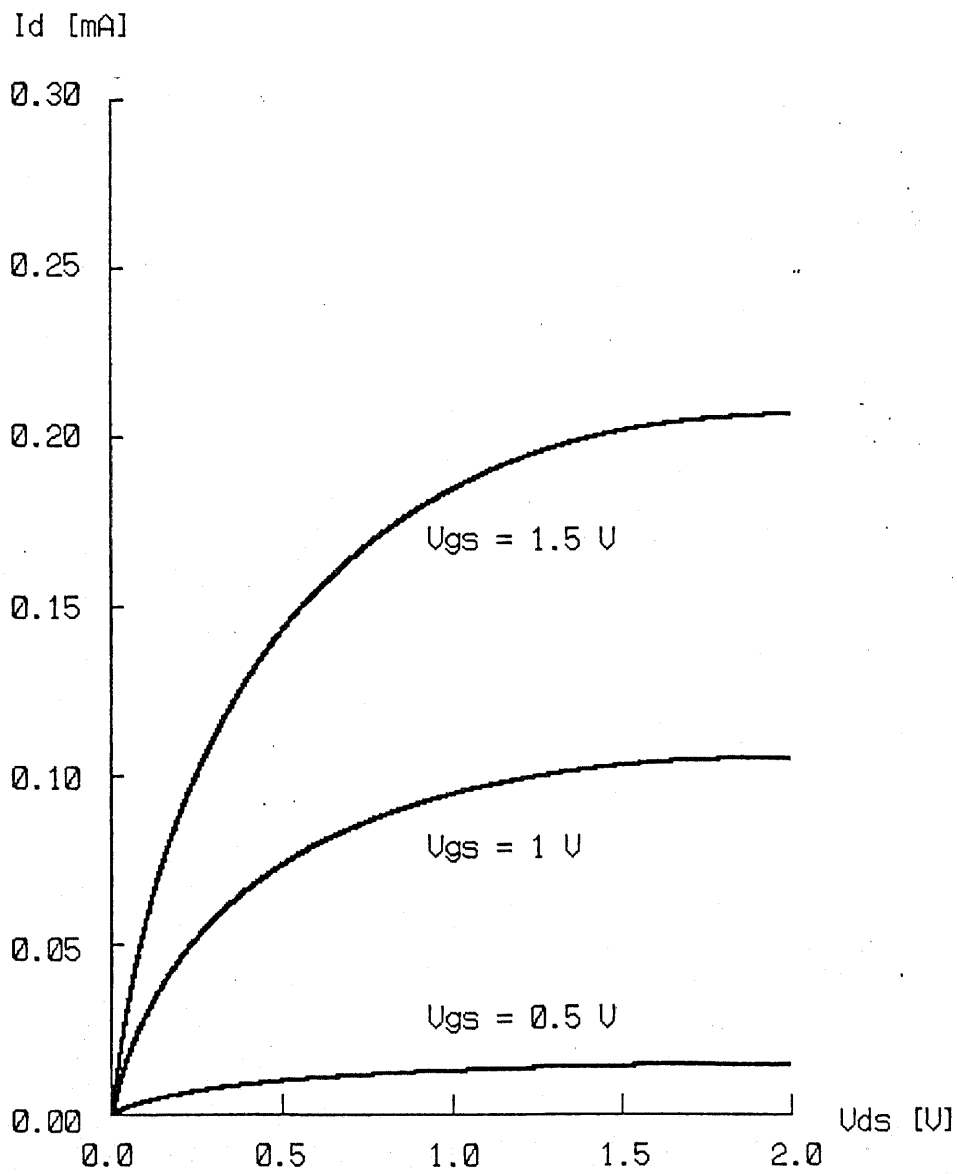


図3.17 埋め込み型パンチスルーMOSデバイスの $I_d-V_{ds}$ 特性

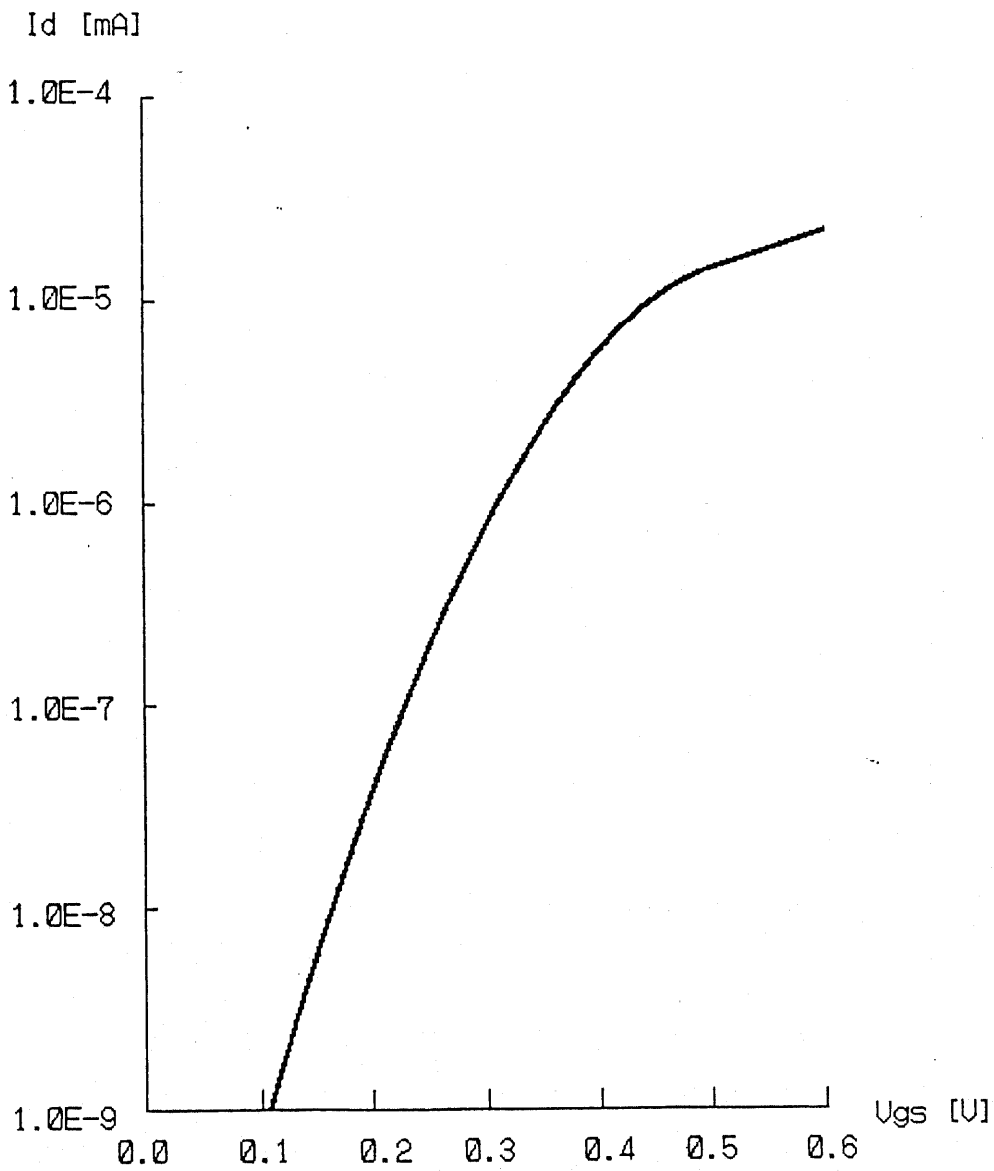


図3.18 埋め込み型パンチスルーMOSデバイスの $I_d-V_{gs}$ 特性

### 3.8 第3章のまとめ

以上、この章では3種類のMOSデバイスのCADDETを用いた場合とモンテ・カルロ・シミュレータを用いた場合の特性の計算結果、及びそれらの比較や考察について述べた。その結果によると以下のことが判明した。

- a) 基板の奥を流れるパンチスルー電流を抑制するために基板奥にp<sup>+</sup>領域を埋め込み、そのできたpn接合の空乏層をバリアとして用いている埋め込み型パンチスルーMOSデバイスは、ゲート電圧によるドレイン電流の制御性が従来型のMOSFETのそれよりも良く、サブ・スレッショルド電流も従来型のMOSFETの場合より減少している。
- b) パンチスルー電流を抑制し、かつドレイン接合のアバランシェ耐圧を向上させるには、基板内の埋め込みp<sup>+</sup>領域をチャネル領域に近付け、ドレイン領域から離す必要がある。
- c) 基板側p<sup>+</sup>領域によって基板奥を通過して流れる電子の密度が減少し、さらにそこにおける電子のドリフト速度も減少し、サブ・スレッショルド電流が抑制される結果となる。
- d) 埋め込み型パンチスルーMOSデバイスの場合では、ソース・ドレイン間を流れている電子のインパクト・イオナイゼーションの影響と、ドレインと基板の間に存在している正孔のインパクト・イオナイゼーションの影響によってドレイン接合近傍でアバランシェ降伏現象が生じる。
- e) チャネル長が0.5 $\mu\text{m}$ の埋め込み型パンチスルーMOSデバイスのドレイン電流のCADDETによる計算結果と本研究で作成したモンテ・カルロ粒子モデルを用いたシミュレータによる計算結果が一致している。
- f) チャネル長が0.5 $\mu\text{m}$ のMOSデバイス内の電子は非定常状態で輸送され、そのドリフト速度は従来から用いられてきた流体モデルによる計算値よりも大きい。

参考文献

3. 1 S. M. Sze, "Physics of Semiconductor Devices", 2<sup>nd</sup> ed., Newyork Wiley, pp. 103, 1981
3. 2 柳井, 菅野, "半導体電子工学", コロナ社 電子通信学会大学講座
3. 3 Scharfetter, Gummel, IEEE Trans. Electron Devices, vol. ED-16, pp. 64-77, 1969

## 第4章 粒子の移動に関する物理モデル

### 4.1 はじめに

本論文の第2章にデバイス・シミュレーション、とくに粒子モデルを用いる場合の概要について述べた。本章では、実際に粒子モデルを用いるときに必要となる各粒子の移動に関する物理現象の詳細なモデルについて述べる。

粒子モデルを用いた場合、電界による加速を考慮に入れた粒子の運動はNewtonの運動方程式に従うと考えることができる。さらに、加速された粒子は各種の散乱要因と衝突して、その方向を代えたり、エネルギーを失ったりしながら運動すると考えられている。半導体デバイス内のキャリアの散乱要因として、有限温度においては、各種フォノンがある。そのほかに、イオン化不純物による散乱、中性不純物による散乱、及びキャリア間の散乱などがよく知られている [4.1]。

本研究で対象としているデバイス内では、チャンネル領域の不純物密度が低いために、イオン化不純物散乱及び中性不純物散乱の影響が小さいとして無視できるとする。但し、深い準位を作るような不純物またはバルク領域や界面に存在している結晶欠陥などはキャリアの生成再結合・捕獲中心として働き、デバイスの過渡特性に対して大きな影響を与える可能性がある。そのためにここでは、キャリアの生成再結合・捕獲過程を考慮することにした。

キャリア間の散乱については、ここでは無視できるとしている。それはキャリア間散乱の平均自由行程がキャリア密度に大きく依存し、キャリア密度が小さくなると大きくなり、本研究で対象としているデバイス内のキャリア密度の場合では $10\mu\text{m}$ にも達し、チャンネル長よりも十分長いからである [4.2]。一方、電子や正孔のバンド間散乱としてインパクト・イオナイゼーション現象がある。インパクト・イオナイゼーション現象によってアバランシェ降伏現象が生じ、アバランシェ降伏現象によってデバイスの耐圧

が決るためにここでは、インパクト・イオナイゼーション現象について考慮することにした。

以下に先ず、音響フォノン散乱、高エネルギー・フォノン散乱のモデルについて述べる。次に、ゲート酸化膜や基板絶縁酸化膜と衝突する際に生じる界面散乱のモデルと、インパクト・イオナイゼーション現象に関するモデルについて述べる。最後に、生成再結合・捕獲中心の扱い方に関するモデルについて述べる。

#### 4. 2 音響フォノン散乱に関するモデル

絶対零度でない有限な温度において、格子が振動していることによって半導体内のキャリアが散乱される。波数ベクトル  $k$  の電子がフォノン散乱を受けて波数ベクトルが  $k'$  に変化した場合の遷移確率  $P(k, k')$  は摂動法を用いることによって求められ、次式で示されている [4.11]。

$$P(k, k') = \pi k_B \cdot T \cdot D_0^2 / \hbar / \rho / s^2 / V \cdot \delta(E(k') - E(k) \pm k_B \cdot \theta_i) \quad (4.1)$$

但し、ここでは  $\rho$  をシリコンの密度とし、 $V$  を体積とする。また  $\theta_i$  を散乱要因のフォノンの温度とする。

シリコン内では、エネルギーが低いフォノンとして音響フォノンがある。エネルギーの低い音響フォノンとの散乱を考える際にここではそのフォノンのエネルギーは無視できるとする。従って、ある波数ベクトル  $k$  の電子がエネルギーの低い音響フォノンによって散乱を受ける確率は式(4.1)の遷移確率と状態密度の積をエネルギーの変化がないような  $k'$  の範囲内で積分することによって求めることができる。但しこの場合、次節で述べる理由によってシリコンのエネルギー・バンドの構造を、エネルギーと波数ベクトル空間の中心点が  $\Gamma$  点にある球形状のパラボリック構造で近似し、有効質量近似を用いることにする。その結果、エネルギーの低い音響フォノンによって電子が散乱される確率は次式の

ように示される。

$$P_{\text{acoustic}} = k_B \cdot T \cdot D_a^2 \cdot m^* |k| / 2 / \pi / \sqrt{3} / \rho / s^2 \quad (4.2)$$

散乱後のキャリアの波数ベクトルは遷移確率を用いて計算することができる。計算の結果によると、この場合の散乱によるキャリアの波数ベクトルの向きの変化がほぼ一様分布をなしていることが判明した。従って本研究では、この場合の散乱後のキャリアの波数ベクトルは等方的になると仮定する。

低エネルギーの音響フォノンとの散乱の結果によって低電界領域における電子の移動度が決定されると考えられている。式(4.2)を用いて求めた電子の平均自由行程と低電界領域における電子の移動度を用いた場合がともに300 Å程度となって、等しくなっていることから式(4.2)の散乱確率が妥当であると考えられることができる。

#### 4.3 高エネルギー・フォノン散乱に関するモデル

定常状態における電子速度の飽和特性をモデル化するのにキャリアが散乱によってエネルギーを失う機構を考慮する必要がある。その散乱要因として高エネルギー・フォノンがある。シリコンの場合、高エネルギーのフォノンとして、波数の小さな非分極型光学フォノン、波数の大きな非分極型光学フォノン、及び波数、エネルギーともに大きな音響フォノンの三種類のフォノンがある。一般的にシリコンの場合では、波数の小さい非分極型光学フォノンによる散乱の平均自由行程が大きいと考えられているためにその影響が小さく、ここでは無視できるとする。

シリコンの場合では波数の大きな非分極型光学フォノン、及び波数、エネルギーともに大きな音響フォノンの分散特性が接近しているためにそれらの区別はほとんどできないと考えられている。これらのフォノンとの散乱によってシリコン内では谷間散乱が生じていると考えられている。これは、シリコンのエネルギー・バンド構造である6個の等エネルギー・パラボリック楕円体状の谷を電子が散乱によって遷移することである。この場



合の電子の遷移して行く先の谷の位置によって谷間散乱を f-散乱と g-散乱の二種類に分けることができる。f-散乱とは電子が散乱前に存在していた谷に直交している4個の等エネルギーな谷へ遷移するような散乱である。またg-散乱とは電子が散乱前に存在していた谷の反対側にある等エネルギーな谷へ遷移する散乱である。

本研究の場合ではシリコンのエネルギー・バンドの構造を、中心点がΓ点にある球形状のパラボリック構造で近似できるとしている。それは先ず第一に、そうすることによって有効質量近似を用いることができるからである。有効質量がスカラー量になると運動方程式が簡単になり、粒子の運動に関する計算が簡便になる。そのほかの理由として以下のものがある。即ち、シリコンのエネルギー・バンド構造を正確に取り入れた各種散乱の遷移確率の計算結果によると、有効質量をフィッティング・パラメータとして用いれば、球形状のパラボリック・バンドの構造で近似計算した値を正確なバンド構造を考慮した場合の遷移確率に合わせることができる。

以上述べた理由で本研究では、シリコンの多谷構造を中心点がΓ点にある球形状のパラボリック構造で近似した。その結果、f-散乱とg-散乱の区別がなくなり、それらの散乱機構を合計したものとして考えることができる。ここではその合計した散乱機構を高エネルギー・フォノン散乱と呼ぶことにする。高エネルギー・フォノン散乱の遷移確率は従来から知られているシリコンの場合の谷間散乱の遷移確率に等しく、以下の式のよ

[4.3], [4.4]。

$$P_{\text{absorption}} = 3 \cdot m^* \cdot D_a^2 \cdot k_B \cdot \theta_i / \pi / \bar{V}^4 / C_1 \cdot \sqrt{(2 \cdot (E + k_B \cdot \theta_i) / m^*)} \cdot (\exp(\theta_i / T) - 1)^{-1} \quad (4.3)$$

$$P_{\text{emission}} = 3 \cdot m^* \cdot D_a^2 \cdot k_B \cdot \theta_i / \pi / \bar{V}^4 / C_1 \cdot \sqrt{(2 \cdot (E - k_B \cdot \theta_i) / m^*)} \cdot$$

$$(1 - \exp(-\theta_i/T))^{-1} \quad (4.4)$$

これらの遷移確率を用いることによってシリコン内の電子の速度飽和特性や移動度の温度依存性が説明できることは知られている。また以上の式を用いて計算した電子の平均自由行程は約70 Åとなり、高電界での実験より知られている値と一致しているために式(4.3)及び式(4.4)の散乱確率が妥当であると考えることができる。

#### 4.4 界面散乱に関するモデル

MOSFETが微細化されるに従い、ゲート酸化膜との界面散乱によって電子の移動度が縦方向の電界の影響を受けて、縦方向の電界が強くなると移動度が低下することは従来から知られている[4.5]。特に本研究で主に取り扱っている低不純物密度SOI基板上のパンチスルーMOSデバイスでは、ゲート酸化膜と基板絶縁酸化膜の間に挟まれている能動層(以後本論文中でチャンネル領域と呼ぶ)が薄く、ゲート側界面と基板側界面との間の距離が小さいために界面散乱の影響は無視できないと考えられる。

MOSFETの界面散乱によるチャンネル領域内の電子の移動度の縦方向電界依存性を計算する方法として電子を波とみなし、電子波が界面における凸凹をSchrodingerの方程式内のポテンシャルの変化として感じ、その結果電子が散乱されるとする方法が知られている[4.6]。しかし電子が波として扱われているために、この方法を粒子モデルに適用することは困難と考えられる。

粒子モデルに適用できる界面散乱の扱い方の一つに、臨界入射角度の概念を導入して電子の散乱を完全な鏡面反射と完全な乱反射の二種類に分ける方法がある。しかしここでは電子の散乱を二種類に分ける必要がなく、界面散乱の簡便な扱い方として、以下の式に示されるような完全鏡面反射と完全乱反射を組合わせた中間的な反射による散乱モデルを用いることにした[4.7]。但しこの場合、界面散乱によって電子がエネルギーを失うことはないと仮定する。

$$k_x' = k_x + S \cdot \xi \cdot \sqrt{(k_x^2 + k_y^2)} \quad (4.5)$$

$$k_y' = \pm \sqrt{(k_x^2 + k_y^2 - k_x'^2)} \quad (4.6)$$

$$k_z' = k_z \quad (4.7)$$

( + for backgate side  
- for gate side )

但し、 $k$  及び  $k'$  をそれぞれ散乱前と散乱後のキャリアの波数ベクトルとし、 $\xi$  を  $-1$  から  $+1$  までの間の実数で、分散が  $1$ 、平均が  $0$  のガウス分布を満たしている乱数とする。

ここでは、フィッティング・パラメータとして  $\sigma$  を用いている。 $S$  は界面反射するときの乱反射の度合いを表し、Fang-Fowler の電子の移動度の縦電界依存性の実験結果と照合した結果として、ここでは  $\sigma = 10^{-4}$  とした [4.8]。この結果によると界面散乱の乱反射成分が小さく、MOSFET の界面ではキャリアがほとんど完全な鏡面反射をしていることがわかる。

#### 4.5 インパクト・イオナイゼーション現象に関するモデル

高電界下では、電子が電界から大きなエネルギーを受け取ることができ、高エネルギーを持った電子はインパクト・イオナイゼーションを起こすことが可能となる。インパクト・イオナイゼーション現象によって電子正孔対が生成され、特に正孔がチャネル領域を拡散してソース領域に近付くとソース・ポテンシャル・バリアを下げ、その結果としてドレイン電流が急増することがアバランシェ降伏現象として知られている。アバランシェ降伏現象によって MOSFET の耐圧が決るために本研究ではインパクト・イオナイゼーション現象を考慮し、アバランシェ降伏現象のシミュレーションを試み、その結果を用いてデバイスの耐圧を評価することにした。

従来では、インパクト・イオナイゼーション現象は衝突電離係数を用いて巨視的に扱

われてきた [4.9]。この方法によってチャンネル長が長い場合のMOSFETのアバランシェ降伏が起き始める電圧を計算することができる。しかしアバランシェ降伏後の解析やチャンネル長が短くなった場合などについては、微視的な扱いの方が便利である。さらに、アバランシェ降伏現象を抑える工夫について考慮する際には、現象の本質の理解が必要となる。

現在までインパクト・イオナイゼーションの微視的なモデル、特に衝突後のキャリアや衝突によって生成された電子正孔対の速度分布、についての研究がまだ十分にされていないとは言えない。そこで、以下に本研究で考察した粒子モデルに適合する微視的なインパクト・イオナイゼーションのモデルについて述べる。

インパクト・イオナイゼーション現象をキャリアのバンド間散乱の仮定の一つとみなすことができる。即ちインパクト・イオナイゼーション現象を、走行しているキャリアが異なったバンド内の静止している電子正孔対と衝突することによってエネルギーを電子正孔対に与える過程とみなすことである。シリコン内の電子のバンド間散乱の遷移確率はMotizuki-Sparksによって解析されている [4.10]。その場合では電子が遷移するのに、あるスレッシュホールド・エネルギー以上のエネルギーが必要となる。本研究では、インパクト・イオナイゼーション現象の衝突確率としてMotizuki-Sparksの提案したスレッシュホールド・エネルギー付近の電子のバンド間散乱の遷移確率を用いることにした。但し、ここでは衝突の平均自由行程を最近の実験値 (123 Å) に合わせるためにフィッティング・パラメータAを導入した。その結果、衝突確率は次式のように書き表すことができる。

$$P_{\text{impact}} = A \cdot m^* \cdot q^4 / 8 / \hbar^2 / \epsilon_{\text{Si}}^2 \cdot (1 + \kappa)^{-1} \cdot \sqrt{(2 \cdot m^*) \cdot E^{-2} \cdot (E - E_{\text{th}})^{3/2}} \quad (4.8)$$

$$\kappa = m^* / m_h \quad (4.9)$$

$$E_{\text{th}} = (1 + 2 \cdot \kappa) \cdot E_g / (1 + \kappa) \quad (4.10)$$

但し、ここではフィッティング・パラメータAを100とした。

本研究では、衝突によって生成された電子正孔対の運動のシミュレーションを行うことにするために、衝突後の電子の速度分布のほかに、生成された電子正孔対の速度分布も必要となる。しかしこの場合の衝突は三体間に生じているために運動量の保存則及びエネルギーの保存則だけでは不十分となる。もう一つの束縛条件としてここでは先ず、衝突を一次元的と仮定する。さらに、衝突によって行われるエネルギーの授受は最少と仮定する。それは、一般のある過程が起きる確率はその過程によって生ずるエネルギーの変化分に指数関数的に依存し、エネルギーの変化分が小さいほど確率が大いと考えられているからである。さらに、式(4.7)によると電子のエネルギーが高くなるにつれて衝突確率が急増し、キャリアの平均エネルギーがスレッシュホールド・エネルギー $E_{th}$ から大きくはずれることがなく、衝突によるエネルギーの授受は少ないと考えられる。以上の仮定をまとめると次式のようになる。

$$\text{minimized } m^* \cdot v_{e2}^2 / 2 + m_h \cdot v_h^2 / 2 \quad (4.11)$$

$$E = E_g + m^* \cdot v_{e1}^2 / 2 + m^* \cdot v_{e2}^2 / 2 + m_h \cdot v_h^2 / 2 \quad (4.12)$$

$$\sqrt{(2 \cdot m^* \cdot E)} = m^* \cdot v_{e1} + m^* \cdot v_{e2} + m_h \cdot v_h \quad (4.13)$$

但し、ここではEを衝突前の電子のエネルギー、 $v_{e1}$ を衝突後の一次電子の速度、 $v_{e2}$ を衝突によって生成された電子の速度、 $v_h$ を衝突によって生成された正孔の速度とする。

未定定数法を用いて上記の式を解くと衝突後の一次電子や生成された電子正孔対の速度分布が以下のように書き表されることが分かる。

$$v_{e1} = \sqrt{(2 \cdot E / m^*) \cdot (1 + 2 \cdot \kappa)^{-1}} + (1 + \kappa) \cdot (1 + 2 \cdot \kappa)^{-1} \cdot \sqrt{(2 \cdot (E - E_{th}) / m^*)} \quad (4.14)$$

$$v_{e2} = \sqrt{(2 \cdot E / m^*) \cdot (1 + 2 \cdot \kappa)^{-1}} - \kappa \cdot (1 + 2 \cdot \kappa)^{-1} \cdot \sqrt{(2 \cdot (E - E_{th}) / m^*)} \quad (4.15)$$

$$v_h = \sqrt{(2 \cdot E / m^*) \cdot (1 + 2 \cdot \kappa)^{-1}} - \kappa \cdot (1 + 2 \cdot \kappa)^{-1} \cdot \sqrt{(2 \cdot (E - E_{th}) / m^*)} \quad (4.16)$$

以上のように求められた速度分布は式(4.8)によって示されている衝突確率を導くときに用いられた電子の速度分布に関する仮定を満たしているために、上記の式が十分良い近似となっていることが考えられる。

#### 4.6 正孔の散乱に関するモデル

インパクト・イオナイゼーションによって生成された正孔について本研究では、電子と同様に扱うことにする。即ち、正孔の音響フォノン散乱、高エネルギー・フォノン散乱、界面散乱、インパクト・イオナイゼーションについては、上記の式によって記述できるとする。但し、ここでは正孔と電子の質量の違いのみは考慮することにした [4.11]。

#### 4.7 生成再結合・捕獲中心の扱い方に関するモデル

本研究では、捕獲中心の影響を考慮するために一般的によく用いられている Shockley-Read-Hall 統計の方法を用いることにした [4.12]。即ち、あるメッシュ内に存在している空の捕獲中心の数を  $T_{free}$  とした場合、そのメッシュ内に一個のキャリアが単位距離だけ走行する間に捕獲中心に捕獲される確率  $P$  は次式を満たしているとする。

$$P_{trap} = \sigma_{trap} \cdot T_{free} \cdot l / \Delta x / \Delta y \quad (4.17)$$

但し、ここでは  $\sigma_{trap}$  をその捕獲中心の捕獲断面積とし、 $\Delta x$ 、 $\Delta y$  をそれぞれメッ

シュのx及びy方向の間隔とする。

捕獲されたキャリアはエネルギーを失うが、その機構については未だ不明なためにここでは、その機構について考慮せず、キャリアが捕獲されればエネルギーを失うとする。さらに、同じ場所に捕獲された電子と正孔はエネルギーを失って再結合することにより、消滅するとする。

キャリアの捕獲中心からの放出による生成機構については熱平衡状態でのキャリアの捕獲と放出の数が等しいとすることによって求めることができる。その結果、あるメッシュ内のすでに電子を捕獲した捕獲中心の数を $T_{ed}$ としたときに、時間 $\Delta t$ 内に放出される電子の数は次式によって示される。

$$N_{emission} = \sigma_{trap} \cdot T_{ed} \cdot 4 \cdot \pi \cdot \sqrt{(6 \cdot \pi) \cdot m^* \cdot k_B^2 \cdot T^2 / \hbar^3} \cdot \exp(- (E_c - E_{trap}) / k_B / T) \cdot \Delta t \quad (4.18)$$

但し、 $E_c$ をコンダクション・バンドの底のエネルギーとし、 $E_{trap}$ を捕獲準位とする。本研究では $E_c - E_{trap} = E_g / 2$ とする。

ここでは正孔の放出過程を考慮しないとする。その理由はもともとの正孔の密度が電子に比べて低く、インバクト・イオナイゼーションによってのみ生成されることである。従って、捕獲され、かつ電子と再結合していない正孔の数が少ないためにその放出についても無視できると考えられる。

#### 4.8 トンネリング現象に関するモデル

本研究では、ゲート酸化膜の伝導特性としてトンネリング現象を考慮した。トンネリング現象を解析するには、波数ベクトル $k$ の粒子を波束（小さな広がりを持つ波）と対応させることによってできる。次式にその波束の波動関数を示す [4.13]。

$$\Psi(r, t) = \int \exp(j(k' \cdot r - \omega' t)) \cdot f(k') \cdot d k' \quad (4.19)$$

但し、 $f(k')$  を  $k'$  の狭い範囲 ( $k$  のまわり) 内でのみ 0 と異なる値を持つ関数とする。

式 (4.19) 及び通過するバリアによって決められる境界条件を用いて Schrodinger の方程式を解くと、バリアをトンネリングするときの波束の振幅比及び位相遅れが求まる。その結果によると粒子の透過率はエネルギーの単調増加関数となるために、以下トンネリング確率及びそのときに要する時間を求めるのに粒子のエネルギーがバリアに近接していると仮定する。さらに、バリアを通過する際の電子の質量が変わらないとする。以上の近似を用いるとトンネリングに要する時間は、粒子がその持っている速度でバリアを通り抜けるときの時間で近似できることになる。但し、トンネリングできる粒子の速度が大きいためここでは、トンネリングに要する時間は無視できるとする。

さらに、任意の形状のバリアに対するトンネリング確率を計算するためにバリアを微細な矩形バリアに分割し、バリア全体をトンネリングする確率をそれぞれの矩形バリアをトンネリングする確率の積で近似する。その結果のトンネリング確率は次式によって示される。

$$P_{\text{tunnel}} = \int \exp(-2 \cdot \sum (\sqrt{(2 \cdot m^* \cdot q / \hbar^2 \cdot V(y) - k_y^2)}) \cdot dy$$

但し、ここでは  $V(y)$  を粒子がトンネリングする方向 ( $y$  方向) に対するバリアのポテンシャルとする。



#### 4.9 第4章のまとめ

以上、粒子の移動に関する下記の物理モデルについて述べた。

- a) 音響フォノン散乱
- b) 高エネルギー・フォノン散乱
- c) 界面散乱
- d) インパクト・イオナイゼーション現象
- e) 生成再結合・捕獲に関する過程
- f) トンネリング現象

これらのモデルを用いた実際のシミュレーションを行う場合に必要なほかの物理現象に関するモデルや計算手法は次章で述べる。

#### 参考文献

4. 1 菅野, " 半導体物性", 電気学会, pp. 74-89, 1981
4. 2 J. J. Quinn, Phys. Rev., vol. 126, No. 4, pp. 1453-1457, 1962
4. 3 T. S. Moss ed., " Handbook on Semiconductors vol. 1 Band Theory and Transport Properties", North-Holland Publishing company Amsterdam Oxford", pp. 714-803, 1982
4. 4 K. Seeger, " Semiconductor Physics", Springer-Verlag, pp. 164-285, 1973
4. 5 E. Constant, " High Field Transport and Advanced Modeling Techniques for Submicron Devices", Conf. on SS DM Kobe Japan, pp. 71-75, 1984
4. 6 菅野, 御子柴, 平木, " 表面電子工学", コロナ社, pp. 284-285, 1979
4. 7 Y. J. Park, T. W. Tang, and D. H. Havon, IEEE Trans. Electron Devices, vol. ED-30, No. 9, pp. 1110-1116, 1983
4. 8 Fang, Fowler, Phys. Rev., vol. 169, pp. 619-631, 1968
4. 9 G. A. Baraff, Phys. Rev., vol. 128, No. 6, pp. 2507-2517, 1962

4. 10 K. Motizuki, and M. Sparks, J. Phy. Soc. Jap., vol. 19, No. 4, pp. 486-498, 1954
4. 11 H. F. Wolf, "Silicon Semiconductor Data", Pergamon Press, 1969
4. 12 菅野, 生駒, 武石, "岩波講座マイクロエレクトロニクス マイクロエレクトロニクス素子1", 岩波書店, pp. 55, 1985
4. 13 神山, 稲場, 宅間 訳, "エレクトロニクスのための量子物理", 丸善株式会社, 1966

## 第5章 インプリメンテーションおよびシミュレータの仕様

### 5.1 はじめに

本論文の第2章と第4章にそれぞれデバイス・シミュレーションの概要、とくに粒子モデルの場合、及び粒子の移動に関する各散乱の物理モデルを述べた。本章では、実際に粒子モデルを用いたデバイス・シミュレータの作成のときに用いられた上記以外の各種物理モデル、及び計算手法の詳細について述べる。

本研究において作成したデバイス・シミュレータは2キャリアの2次元シミュレータである。2キャリアとは、本シミュレータ内で2種類のキャリア、つまり電子と正孔、が扱われていることを意味する。ここで正孔を取り扱う必要があるのはインパクト・イオン化現象をシミュレーションするためである。2次元は場所空間の次元を意味し、例えば電位の空間分布やキャリアの位置などは2次元の座標で表現されていることを意味する。しかしこの場合でも各種散乱の素過程を正確に扱うために、キャリアの速度は3次元的に扱われている。即ち、本シミュレータ内ではキャリアは2次元の場所空間座標と3次元の速度空間座標、合計5次元の座標<sup>[5.1]</sup>、及びキャリアの種類を表す符号によって表現されている。従って、本シミュレータ内においてキャリアの発生、移動、加速とはそれぞれ、上記の5次元の座標とそのキャリアの種類を表す符号の生成、場所を表す空間座標の書き換え、及び速度を表す座標の書き換えをそれぞれのモデルに従って行うことに対応する。

以下ではまず、キャリアの発生、電極からチャネル領域へのキャリアの注入、チャネル領域内でのキャリアの移動、及びキャリアが電極に到達して吸収され、電流として流れる機構のモデルについて述べる。次に、本シミュレータ内で用いられた電位や電界の求め方、各メッシュへの電荷の振り分け方、及び各端子を流れる電流の求め方について

述べる。最後に、シミュレータの内部や外部入出力に関する仕様を述べる。

## 5.2 キャリアの発生に関するモデル

MOSデバイス内でのキャリアの発生として、チャネル領域内に存在している不純物によるキャリアの発生とソース、ドレイン、バックゲートなどの電極によるキャリアの発生がある。本研究で対象としているデバイスは、チャネル領域の不純物密度が低いためにチャネル領域内のキャリアの発生は少ないとして無視することができる。

ソース、ドレイン及びバックゲートの電極によって発生されたキャリアはそれぞれソース、ドレイン及び基板領域を拡散することによってチャネル領域へ到達することができる。ソースやドレイン領域内での拡散現象のモンテ・カルロ法による取り扱い方として、それらの領域の中に存在しているキャリアをチャネル領域内のものと同様に移動させて散乱を受けさせる方法がある [5.21]。但し、ソースやドレイン領域内での不純物密度が高いために、キャリアがイオン化不純物散乱を多数受けて、その平均自由行程はチャネル領域でのそれに比べて短い。この方法の欠点はソースやドレイン領域内でのキャリアの移動を正確に追う必要があるために計算量が増えるところにある。

そこで本研究では計算量を減らすために、ソースやドレイン領域の扱い方として以下のような近似を行う。即ち、ソースやドレイン領域内でキャリアが散乱を多数受けて十分に緩和していると考えられることができるために、そこでのキャリアの速度分布は格子温度における熱平衡時のボルツマン分布で近似することができる。その結果、キャリアが熱速度分布を持ってソースやドレイン領域の冶金的な接合面からチャネル領域へ飛出して、チャネル内に注入されると見なすことができ、ここではそのようにソース及びドレイン電極からキャリアが発生すると近似する。

一般的に熱速度分布を持った電子がビルトイン・ポテンシャル・バリアを越えて電流として流れる場合の電流はRichardsonの式 [5.31] を満たしていると考えら

れている。しかし、本研究で取り扱っているようなデバイスの場合ではチャンネル領域が低不純物密度になっているために、キャリアはビルトイン・ポテンシャル・バリアを感じることなくチャンネル内へ注入される。この場合の単位時間ステップ中にチャンネル内へ注入されるキャリアの数は、その間にソースやドレイン内を拡散し接合面まで到達できるキャリアの数によって制限される。さらに、本研究ではn型デバイスを想定し、また、ソース及びドレインの直列抵抗を減らすためにそれらの領域が十分にドーピングされているとしている。従って、ここでのキャリアのチャンネル領域内への注入を以下のように考えることができる。

a) チャンネル領域内へ注入されるキャリアの種類はソースやドレイン領域の多数キャリアである電子のみとし、少数キャリアである正孔の密度が低いので正孔のチャンネル内への注入は無視できるとする。

b) 注入されるキャリアの数は次式によって近似できるとする。

$$N = N_d \cdot \Delta t \cdot X_j \cdot \sqrt{(3 \cdot k_B \cdot T / m^*)} \quad (5.1)$$

c) 注入されたキャリアの初速度のx, y, z各成分は次式で示されているような各成分のエネルギーが平均0、分散 $k_B \cdot T / 2$ のガウス分布を満たしているとする。

$$v_{x0} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.2)$$

$$v_{y0} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.3)$$

$$v_{z0} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.4)$$

但し、ここでは $\xi$ を平均0、分散1のガウス分布を満たす乱数とする。

上記の近似を用いてキャリアのチャンネル内への注入を試みた結果、大部分のキャリアの持っている初期エネルギーが空間電荷の作るポテンシャル・バリアより小さいことが判明した。その場合、注入された大部分のキャリアはすぐ空間電荷のポテンシャル・バリアによってソースやドレイン領域内へはね返されてしまう。そのようなキャリアの移動に関する無駄な計算を省くのに、本研究ではチャンネル領域内のメッシュが十分細かいと

仮定して、作られたキャリアの初期エネルギーとチャネル領域内の接合面に最も近いメッシュ点の電位とを比較することにした。それによって初期エネルギーが接合面に最も近いメッシュ点での電位より小さいようなキャリアは最初から注入されないとし、その結果、キャリアの移動の無駄な計算を省くことができる。

バックゲート電極によって発生したキャリアのデバイスに与える影響として、そのキャリアが基板中を熱運動しながら基板側の中性領域を形成することが考えられている。SOI 基板上のMOS デバイスの場合では、基板側の絶縁物によってチャネル領域が基板と絶縁されているため、バックゲート電極によって発生したキャリアのデバイスの特性に対する影響は少ないと考えることができる。従って、本研究ではSOI 基板上のMOS デバイスのバックゲート電極によるキャリアの発生を無視できるとする。

バルク基板上のMOS デバイスの各端子にバイアス電圧がかかっている場合、基板側の空乏層の幅や形状を計算する方法として相当する定常状態での近似値を用い、さらに、基板空乏層領域内には基板不純物に対応する固定電荷を置くことによって基板側の空乏層を取り扱う方法がある [5.41]。しかし、本研究では非定常状態における基板側の空乏層領域の振る舞いをより正確にシミュレーションするために、バルク基板上のMOS デバイスの場合にはバックゲート電極によって発生したキャリアが基板内を拡散して中性領域が形成されて行く過程をシミュレーションする方法を用い、空乏層の幅及び形状を求めることにした。そのためにはまず基板中に不純物に対応する固定の負電荷が置かれて、次に単位時間ステップごとに固定電荷と反対の電荷を持つ正孔をバックゲート電極から注入されるとする。このときの注入されるキャリアの個数はバックゲート電極に最も近いメッシュ内に存在している不純物の数で近似する。これが十分よい近似と考えることができるのは、キャリアがバックゲート電極を通過して容易に出入りできるためである。バックゲート電極より自由に出入りできるために、基板中性領域を形成するのに必要な数以上の余分なキャリアはバックゲート電極領域付近に空間電荷領域を形成し、

形成された空間電荷領域の電荷によってキャリア自身の注入量が自己調整される。それゆえ、バックゲート電極からのキャリアの注入量はある程度以上の数で十分と考えることができる。

### 5.3 散乱を考慮したキャリアの移動に関するモデル

キャリアがチャンネル内へ注入されると、ソース、ドレイン、またはバックゲートのいずれかの電極に到達するまでチャンネル領域内を熱運動しながら電界方向に沿って走行する。その間にキャリアは多数の散乱体と衝突し、散乱を繰り返して受ける。そのキャリアの初速度を $v_0$ 、存在している場所における電界を $E$ とし、時間 $\Delta\tau$ の間にキャリアが散乱を受けずに電界によって加速されながら移動できるとすれば、その運動は次式のNewtonの運動方程式によって記述される。

$$\Delta v / \Delta \tau = q \cdot E / m^* \quad (5.5)$$

$$\Delta r / \Delta \tau = v_0 + \Delta v / 2 \quad (5.6)$$

但し、ここでは第4章で述べた理由によってシリコンのエネルギー・バンド構造を、中心が $\Gamma$ 点にあるような球形状のパラボリック構造で近似しているために有効質量近似が成立し、有効質量テンソル $M^{-1}$ の代りに有効質量 $m^*$ が用いられている。

散乱機構を考慮するにはキャリアの波数とその速度の関係が必要となる。ここでは有効質量近似が用いられているのでそれらの間の関係は次式によって示される。

$$\hbar k = m^* \cdot v \quad (5.7)$$

散乱機構の種類として、ここで考慮するのは既に第4章で述べられたように音響フォノン散乱と高エネルギー・フォノン散乱のみとする。高エネルギーを持っているキャリアに対しては、移動中散乱を受ける以外にインパクト・イオナイゼーションを起こし、ゲート酸化膜界面と衝突すればトンネリングをすするとする。さらに、移動中のキャリアはSi中のトラップによって捕獲されるとする。それらの現象の詳細はすでに第4章で述べ



られた。

キャリアがチャネル領域内を運動し、最終的にはソース、ドレイン領域、またはその他の電極内へ飛込む。ソース、ドレイン領域や他の電極内に飛込んだキャリアはそれらの領域内にたくさん存在している不純物や電子、正孔と散乱を繰り返しながら急速にその持っているエネルギーが失われる。本研究では、計算時間を減らすためにソースやドレイン領域内でのキャリアの平均自由行程が十分短いと仮定する。従って、ソースやドレイン領域内へ飛込んだ粒子はすぐにエネルギーを失って、そのキャリアは消滅し、その代わり対応する電極に電流が流れると近似することができる。ソースやドレイン領域内で失われたキャリアのエネルギーはその領域の格子温度を高めたり、キャリア間散乱によって他の電子や正孔に与えられたりすることが考えられる。ここでは、キャリアのエネルギーをもらって高エネルギー状態となった電子や正孔もまたすぐにそのエネルギーを失うと考えて、また格子温度の上昇については十分に雰囲気冷却することによって抑えることができると考え、キャリアのエネルギーの失われる機構については考慮しないとする。

本研究で作成したモンテ・カルロ粒子モデルを用いたシミュレータの散乱機構及びモデルの妥当性を評価するために、エネルギー緩和時間が極端に短い場合と極端に長い場合の仮想的な条件におけるキャリアの移動に関するモデルを用いての解析も試みた。次節以後にそれらの仮想的な条件におけるキャリアの移動モデル、及びシミュレーション結果について述べる。

図(5.1)に本研究で作成したデバイス・シミュレータのキャリアの移動に関する部分の流れ図を示す。図のモビリティ・モデル及びバリスティック・モデルはそれぞれエネルギー緩和時間が極端に短い場合と極端に長い場合に対応するモデルで、以下にそれらのモデルについて述べる。

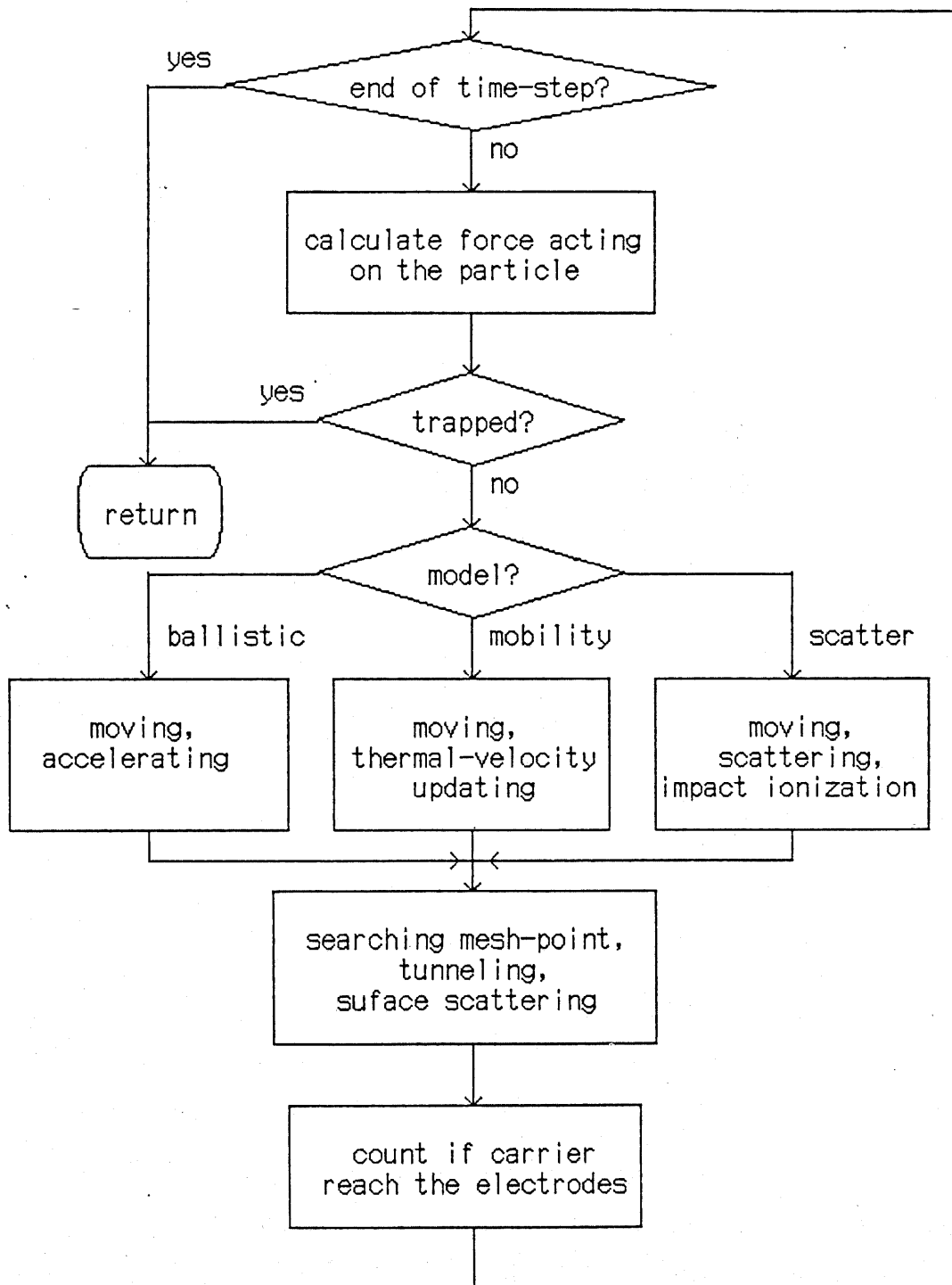


図5. 1 粒子の移動に関する部分の流れ図

#### 5.4 モビリティ・モデル

チャンネル長が十分長い場合、または格子温度が十分高い場合には、チャンネル内でキャリアが運動している時間に比べてキャリアのエネルギー緩和時間が相対的に短くなる。その場合のキャリアは近似的に電界方向に沿って定常的にドリフトをしていると考えることができる。一般に流体モデルでは、定常状態におけるキャリアのドリフトを記述するのに移動度を定義し、その移動度を用いてキャリアの平均的な運動を記述する方法が使われている。粒子モデルにおいても移動度を用いて各粒子の平均速度を計算する方法が考えられている [5.5]。従来の寸法の大きいデバイスの特性の実測結果によって、移動度が電界依存性を持ち、電界が強くなるにつれて移動度が小さくなってキャリアのドリフト速度が飽和することがよく知られている。

ここでは Scharfetter と Gummel の実験式 [5.6] をさらに簡略化した次式を用いて電子の移動度を近似することにする。

$$\mu = \mu_0 / (1 + |E|/E_0) \quad (5.8)$$

但し、低電界での移動度  $\mu_0$  及び飽和電界  $E_0$  をそれぞれ  $1400.0 \text{ cm}^2/(\text{Vsec})$  と  $7.4 \times 10^4 \text{ V/cm}$  とする。

正孔の移動度についても上記と同じ式を用いて近似する。但しこの場合では、 $\mu_0$  を  $480.0 \text{ cm}^2/(\text{Vsec})$  とし、 $E_0$  を  $1.5 \times 10^5 \text{ V/cm}$  とする。

キャリアのドリフト速度については以上のように移動度を用いて計算することができる。しかし実際、キャリアは熱運動をしながら電界方向に沿ってドリフトする。キャリアの速度としてドリフト速度のみを考慮して熱速度成分を無視したシミュレーションを試みた結果、スレッシュホールド電圧付近においてキャリアの熱速度成分がデバイスの特性に大きな影響を与えることが判明した。そのために、熱速度成分を無視するとスレッシュホールド電圧を正しく求めることができなくなる。そこで本研究では、移動度を用いて計算できるドリフト速度と格子温度によって決定される熱速度の線形和をキャリアの速度

として近似し、キャリアの移動はその速度のみによって決定されるとする。

$$\Delta r / \Delta t = v = \mu \cdot E + v_{\text{thermal}} \quad (5.9)$$

熱速度の影響としてキャリアに濃度差があると、そのキャリアが濃度の高いところから低いところへ拡散し、拡散電流が流れる現象がよく知られている。一次元の定常状態における拡散現象の解析方法として、キャリアの熱速度を  $v$  とし、そのキャリアが平均自由行程  $\lambda$  だけの距離を進むと  $1/2$  の確率でキャリアが散乱を受けてその速度が  $-v$  に変化する、とする方法がある [5.7]。ここでは三次元的に拡散現象を扱うために、以下の方法を用いることにする。即ち、キャリアが時間  $\Delta t$  だけ移動した後、そのキャリアは次式によって示される確率で散乱を受け、熱速度が変化するとする。

$$P_{\text{thermal}} = 2 \cdot q \cdot \Delta t / (m^* \cdot \mu) \quad (5.10)$$

散乱後のキャリアの熱速度の各成分のエネルギーは平均 0 分散  $k_B \cdot T / 2$  のガウス分布を満たしているとする。

$$v_{\text{thermal } x} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.11)$$

$$v_{\text{thermal } y} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.12)$$

$$v_{\text{thermal } z} = \xi \cdot \sqrt{(k_B \cdot T / m^*)} \quad (5.13)$$

### 5.5 バリスティック・トランスポート・モデル

チャンネル長が極端に短い場合、または格子温度が十分低くかつ不純物密度が十分低い場合には、キャリアはほとんど散乱されずにチャンネル内を走行することができる。その場合のキャリアの運動は Newton の運動方程式のみによって記述される。

$$\Delta v / \Delta t = q \cdot E / m^* \quad (5.14)$$

$$\Delta r / \Delta t = v_0 + \Delta v / 2 \quad (5.15)$$

時間ステップ  $\Delta t$  は本章の第 8 節で議論されるように可変で、粒子が一メッシュ間隔分の距離を移動するのに要する時間である。

## 5.6 各モデルの計算結果の比較検討

以下に上記の各粒子の移動モデルを用いて、低不純物密度SOI基板上の短チャネル・パンチスルーMOSFETを解析した結果の比較について述べる。ここで解析したデバイスの寸法を

$$\begin{aligned} L &= 0.1 \mu\text{m}, & W &= 1.0 \mu\text{m}, & y_j &= 200 \text{ \AA}, \\ t_{\text{ox}} &= 50 \text{ \AA}, & y_{\text{ox}} &= 0.1 \mu\text{m}, & y_{\text{sub}} &= 0.2 \mu\text{m} \text{ とし、} \\ N_d &= 10^{19} / \text{cm}^3, & N_{\text{trap}} &= 0 / \text{cm}^3 \end{aligned}$$

とする。

図(5.2)に $V_{gs}=1.0 \text{ V}$ ,  $V_{bs}=-0.5 \text{ V}$ としたときの $I_d-V_{ds}$ 特性を示す。図の(a), (b), (c)曲線はそれぞれバリスティック・トランスポート・モデル(以後バリスティック・モデルと略す)、散乱を考慮したモデル(以後散乱モデルと略す)、及びモビリティ・モデルを用いたときの計算結果を示している。但し、ここでの散乱モデルにおいては他のモデルとの比較のために音響フォノン散乱と高エネルギー・フォノン散乱のみを考慮し、インパクト・イオナイゼーションやトンネリングを無視した。図から散乱モデルを用いて計算した値はバリスティック・モデルとモビリティ・モデルによる計算値の中間の値をとることが判明した。これは散乱モデルでは、粒子が散乱を受けるために電流が制限されてバリスティック・モデルよりも小さい値をとることと、粒子がモビリティ・モデルよりも電界によって容易に加速されることを示し、移動に関するモデルの妥当性を示している。さらに、同図からチャネル長が $0.1 \mu\text{m}$ のデバイスの場合では、散乱モデルの計算値はモビリティ・モデルよりもバリスティック・モデルの値に近いことが判明した。これは、 $0.1 \mu\text{m}$ デバイスの場合のキャリアはバリスティックに近い非定常状態で輸送されていることを示している。

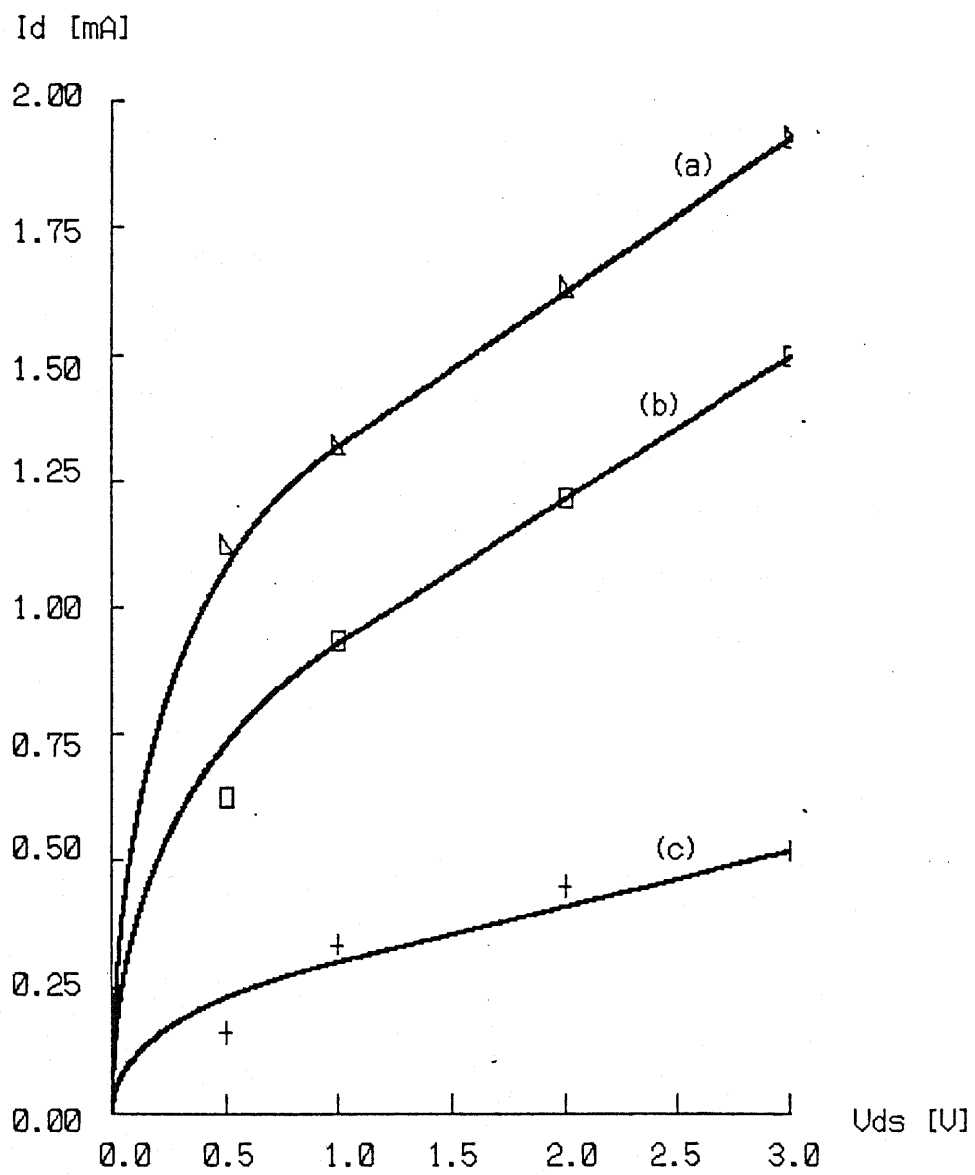


图 5.2  $I_d - V_{ds}$  特性

図(5.3)に $V_{ds}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ としたときの $I_d-V_{gs}$ 特性を示す。ここでも散乱モデルによる計算値がバリスティック・モデルとモビリティ・モデルによる値の中間的な値をとっていることがわかる。さらに同図より、モビリティ・モデルを用いて解析したスレッシュホールド電圧が他のモデルの解析結果と一致していることがわかる。これは拡散項の扱い方の妥当性を示している。 $V_{gs}$ が大きくなるにつれて散乱モデルの $I_d$ はモビリティ・モデルの計算値に近づくことも同図より分かる。これは、 $V_{gs}$ が大きくなると電子がゲートの方へ吸い寄せられ、 $V_{gs}$ が小さいときに比べて長い時間チャネル領域内に居留するために、より多く散乱を受けていることによる影響であると説明することができる。

比較のために図(5.4)に $L=0.5\text{ }\mu\text{m}$ ,  $V_{gs}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ のときの $I_d-V_{ds}$ 特性を示す。図より図(5.2) ( $L=0.1\text{ }\mu\text{m}$ )の場合に比べてこの場合の散乱モデルによる $I_d$ の解析結果はモビリティ・モデルによるものに近づくことが判明した。このことはチャネル長が長くなるとキャリアの輸送が定常状態に近づくことを示している。これより散乱に関するアルゴリズムが妥当であることがわかる。

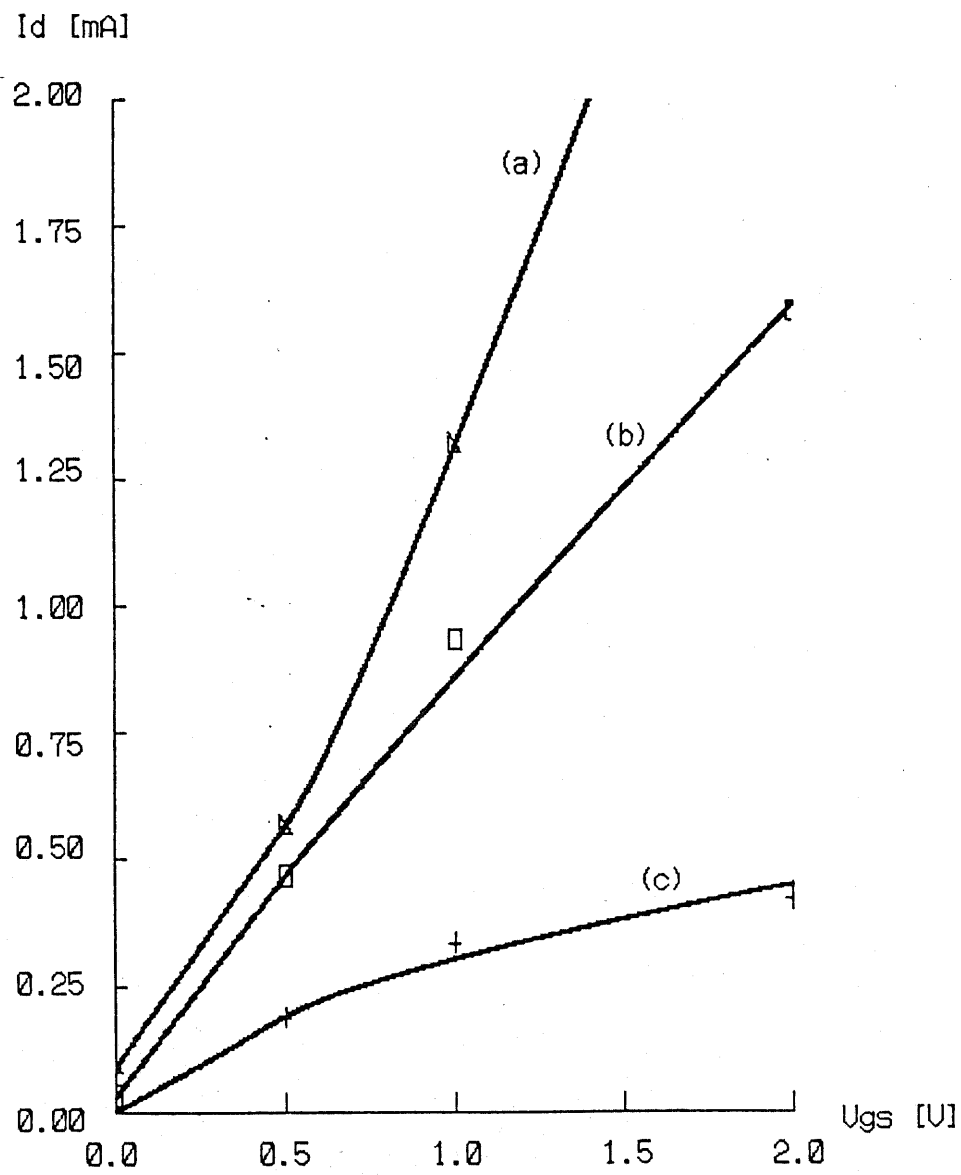


图5.3  $I_d - U_{gs}$ 特性



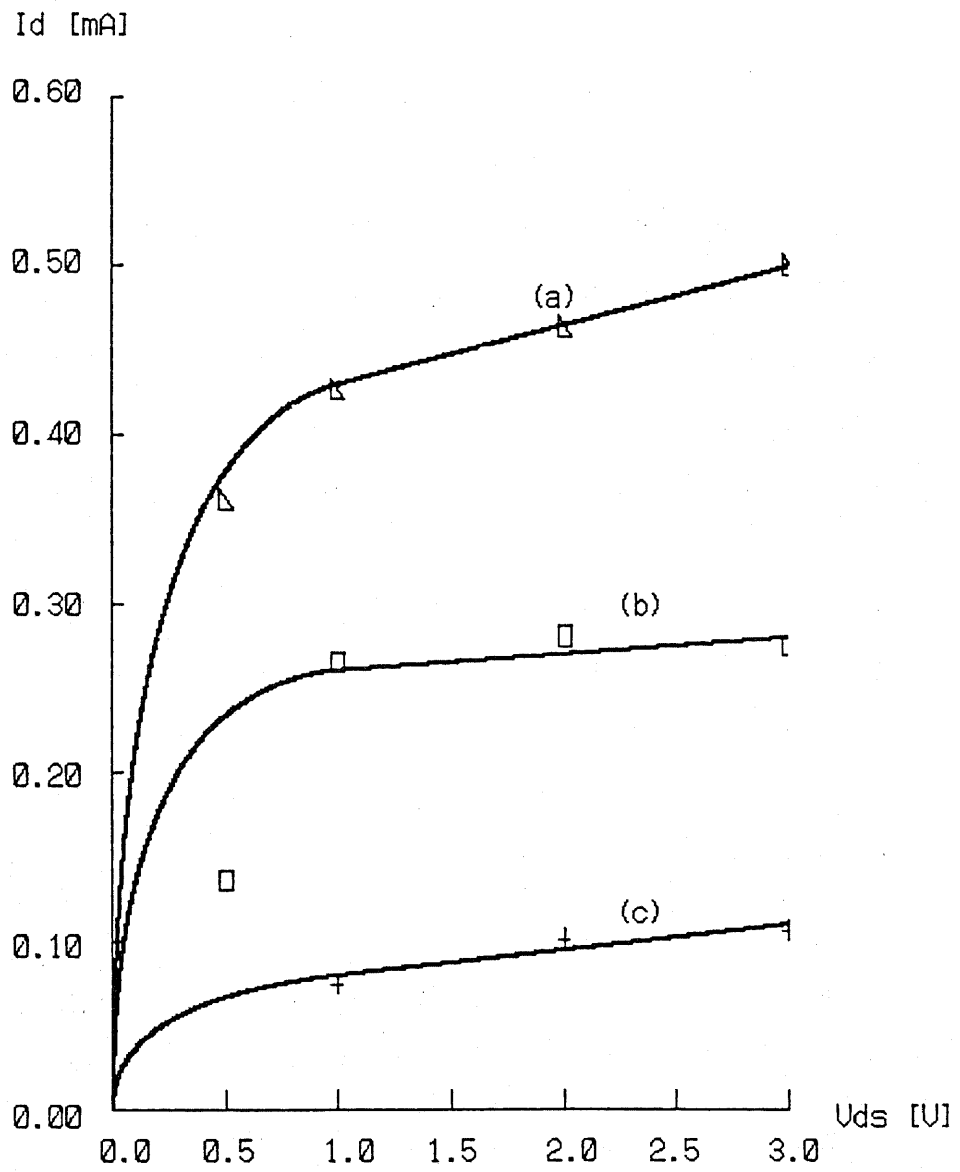


図5.4  $L = 0.5 \mu\text{m}$ のときの  $I_d - V_{ds}$ 特性

## 5.7 電位の求め方

次に本研究で作成したデバイス・シミュレータ内で用いられている電位、電界、粒子に働く力、及びそれらに関連した境界条件や電荷のメッシュへの分配の仕方について述べる。

粒子に働くクーロン力を計算する方法として、今注目している粒子に対する他の粒子及び境界によって働く力を合計する粒子-粒子法と、デバイス内の空間をメッシュ状に切ってそれぞれのメッシュ点での電界を用いて各粒子に働く力を近似計算する粒子-メッシュ法がある [5.8]。本研究では、粒子の個数が多くなったり、境界条件が複雑になつたりする場合に粒子-メッシュ法の方が有利と考えて、粒子に働く力を計算するために粒子-メッシュ法を用いることにした。但し、ここでは粒子が存在しているチャンネル領域の電位をより正確かつ高速に求めるためにチャンネル領域内のみのメッシュの数を増やし、その間隔を基板内のメッシュ間隔より小さくできるような不等間隔なメッシュの切り方を用いることにした。

各メッシュ点の電位を求めるにはメッシュ上で差分されたポアソン方程式を解く必要がある。本研究ではこの差分されたポアソン方程式を解くために加速緩和法 (Successive-OverRelaxation法) を用いた [5.9]。(ここでは加速緩和係数を1.3とした。)このときの収束計算を終了させる条件として、次式に示されているように、現収束計算のループと前のループにおける各メッシュ点の電位の差の最大値が1 mV以下を用いた。

$$\max ( | V^{i,j,k} - V^{i,j,k-1} | ) \leq 1 \text{ mV} \quad (5.16)$$

但しここでは、 $V^{i,j,n}$ をn回目の収束計算ループの(i, j)メッシュ点の電位とする。

さらに、ここではSiとSiO<sub>2</sub>の界面のところで誘電率が急峻な変化ををするとして、その変化の影響を正確に考慮するために次に示すようなポアソン方程式の積分形である

ガウスの定理を差分化して解くことにする。

$$\oint (\epsilon \mathbf{E}) \cdot d\mathbf{S} = Q \quad (5.17)$$

電位を求める際の境界条件とし 本研究は以下の条件を用いた。本研究で考慮しているデバイスのソースやドレイン領域は高不純物密度であるためにそれらの領域内での空乏層幅を無視することができる。従って、ここではソース、ドレイン領域とチャネル領域との境界における電位をそれぞれソースとドレイン電位に等しいと近似する。ゲート酸化膜、基板絶縁酸化膜、および基板 Si の深さ方向における自由境界 (Side Wall) については完全反射条件を用いることにした。即ち、自由境界上のあるメッシュ点の電位を求めるときには、その境界の外側の誘電率は内側と同じとする。さらに、内側の最も近いメッシュ点の位置と対称な位置に、同じ電荷や電位を持つ仮想的なメッシュ点を外側に置き、自由境界上のメッシュ点の電位を計算する。

加速緩和法を用いて電位を計算する際の収束速度は用いられた初期状態に大きく依存し、初期値をうまく選択すれば緩和法の効率を良くすることができることはよく知られている。本研究では、とくに定常状態である時刻の電位分布が前の時刻の電位分布と大きく変化しないことに着目して、次のような緩和法のための初期電位分布を用いることにした。先ずここでは、ポアソン方程式が線形な部分と非線形な部分の二つに分けられ、線形な部分の解 (ラプラス方程式の解) については重ね合せの原理を利用して求めることにした。そのためにここではソース、ドレイン、ゲート、バックゲート電極のどれかに単位電位が与えられ、残りの電極の電位を 0 としたときの 4 種類の電位分布を予め緩和法で求めて、ファイルに保存しておくことにした。ラプラス方程式の解はこれらの電位分布の重ね合わせによって容易に求めることができる。ポアソン方程式の非線形な部分の解として前の時刻の解を用いて、ラプラス方程式の解と加え合わせると、時刻  $t$  においての  $(i, j)$  番目のメッシュ点の初期電位  $V_{i,j}^0$  は以下のように書き表される。

$$\begin{aligned}
V_{i,j}^{0t} = & V_{i,j}^{t-1} + \Delta V_{source} \cdot V'_{i,j}{}^{source} + \\
& \Delta V_{drain} \cdot V'_{i,j}{}^{drain} + \Delta V_{gate} \cdot V'_{i,j}{}^{gate} + \\
& \Delta V_{backgate} \cdot V'_{i,j}{}^{backgate}
\end{aligned} \tag{5.18}$$

但しここでは、 $V_{i,j}^{t-1}$ を前の時刻のメッシュ点 $(i, j)$ の電位分布、 $\Delta V_{source}$ ,  $\Delta V_{drain}$ ,  $\Delta V_{gate}$ ,  $\Delta V_{backgate}$ をそれぞれ時刻 $t$ のソース、ドレイン、ゲート、バックゲート電位の変化分、 $V'_{i,j}{}^{source}$ ,  $V'_{i,j}{}^{drain}$ ,  $V'_{i,j}{}^{gate}$ ,  $V'_{i,j}{}^{backgate}$ をそれぞれソース、ドレイン、ゲート、バックゲート電極に単位電位がかかっているときのメッシュ点 $(i, j)$ でのラプラス方程式の解とする。

#### 5.8 電界の求め方、電荷のメッシュ点への振り分け方及び電流の求め方

以上のように求められた電位分布の中でキャリアが走行する場合、キャリアは電界より力を受ける。その力 $(F_x, F_y)$ を求めるために本研究では次式で示すようなメッシュ点上で定義された電位を線形補間する方法を用いた。

$$\begin{aligned}
F_x = & \pm q \cdot [(V_{i,j} - V_{i+1,j}) \cdot (y_{j+1} - y) + \\
& (V_{i,j+1} - V_{i+1,j+1}) \cdot (y - y_j)] \\
& / (x_{i+1} - x_i) / (y_{j+1} - y_j)
\end{aligned} \tag{5.19}$$

$$\begin{aligned}
F_y = & \pm q \cdot [(V_{i,j} - V_{i,j+1}) \cdot (x_{i+1} - x) + \\
& (V_{i+1,j} - V_{i+1,j+1}) \cdot (x - x_i)] \\
& / (x_{i+1} - x_i) / (y_{j+1} - y_j)
\end{aligned} \tag{5.20}$$

( + for hole  
- for electron )

但しここでは、キャリアの位置を $(x, y)$ 、キャリアの属しているメッシュ点を $(i, j)$ 、メッシュ点 $(i, j)$ の電位を $V_{i,j}$ とし、メッシュ点 $(i, j)$ の $x$ 及び $y$ 座標を $x_i, y_j$ とする。キャリアの属しているメッシュ点の定義やその求め方につ

いては以下に述べる。

本研究では位置  $(x, y)$  にあるキャリアの左下に存在している最も近いメッシュ点をそのキャリアの属しているメッシュ点として定義する。そのメッシュ点の  $x$  及び  $y$  座標を  $x_i, y_j$  とすると、 $x_i, y_j$  は次式を満たす。

$$x_i \leq x < x_{i+1} \quad (5.21)$$

$$y_j \leq y < y_{j+1} \quad (5.22)$$

キャリアのメッシュ点を見つけ出す方法として二分法が考えられる [5.10]。しかし、本研究ではキャリアがメッシュ間隔分だけの距離を移動するたびにそのキャリアのメッシュ点を再検索するので、ここでは近接している次または前のメッシュ点の座標と順番に比較する方法を用いている。その再検索を高速にするために本研究ではキャリアの属性としてそのキャリアの現メッシュ点を記憶し、その情報を用いてメッシュ点の座標と比較して検索を行うことにしている。

差分化されたポアソン方程式を解く際に任意の位置に存在しているキャリアの電荷をメッシュ点上に振り分ける必要がある。その振り分け方の一つに Birdsall-Fuss の提案した Cloud-In-Cell 法がある [5.11]。しかし本研究では、粒子に働く力の計算の仕方によってメッシュ点上への電荷の振り分け方の精度が決ると考えた。それは、他の電荷や境界条件のない無限に広い自由な空間内に一個の電荷を持った粒子を置いた場合、その粒子に力が働かないことに注目すれば説明することができる。本研究では式 (5.19) 及び式 (5.20) を用いて粒子に働く力を計算する方法に対応して、キャリアの電荷を最近接している 4 つのメッシュ点上へ等分配する方法を用いた。この方法によって無限の自由空間内の一個の電荷を持った粒子の自分自身に働く力が式 (5.19) 及び式 (5.20) を用いて計算すると 0 となり、精度が良いと考えられる。

本研究では、粒子が電極に吸収されたときに流れる電流のほかに、粒子の移動によっ

て電極に誘導される変位電流も考慮し、電極に流れる電流をその両方の電流の和で近似する。そうすることによってあるバイアス状態における電極の静電容量、とくにゲート電極の静電容量、を正確に求めることができる。ゲート電極の静電容量によってデバイスのスイッチング時間を評価することができる。ここではある電極の静電容量を以下のように計算する。

$$C_{\text{electrode}} = \int \Delta I_{\text{electrode}} \cdot dt / \Delta V_{\text{electrode}} \quad (5.23)$$

但し、electrodeをソース、ドレイン、ゲート、バックゲートのいずれかの電極とする。

#### 5.9 時間ステップの決め方及び計算の誤差を抑える方法

以上に述べた方法を用いてシミュレーションする際の計算精度は時間ステップの大きさによって決る。一般的に時間ステップの幅が小さければ計算の精度が良くなる。しかし時間ステップ幅が小さいと電位の緩和法による再計算の回数が増え、計算時間が増えることになる。時間ステップ幅が大きいと計算によるキャリアの運動の誤差が増え、計算精度が悪くなる。特に電界が局部的に強い場合について、比較的大きな時間ステップを用いて計算を試みた結果、その場合のキャリアは計算の誤差によって異様に加速されることになる。これは時間ステップが大きくなるとキャリアがメッシュ間隔以上の距離を走行することになり、その間の電界の変化が無視されたために生じた誤差と考えることができる。

そこで、本研究では定常状態では電位分布の変化が少ないと考え、電位の再計算の回数を減らしてかつキャリアの運動に関する計算誤差を抑えて精度が良くかつ高速な計算をするために二種類の時間ステップを用いることにした。その一つは比較的大きく、電位分布の再計算や計算結果を出力するのに用いられる固定な時間ステップである。その比較的大きな固定時間ステップをもう一つのさらに細かな時間ステップに分割し、この

細かな時間ステップの幅は可変とする。可変な時間ステップの幅は着目しているキャリアや時刻によって変化し、キャリアをメッシュ間隔分の距離だけ移動させるために用いられている。そのほかに可変時間ステップはキャリアの属しているメッシュ点の再検索やそのキャリアに働く力の再計算をするのに用いられている。差分法を用いた場合に、電位分布はメッシュ上にのみ定義されているためにメッシュ間隔分ずつの電界の再計算によってキャリアが走行している間でも十分に電界の変化を感じることができて、この方法によって十分な計算精度を得ていると考えられる。

散乱モデルでは上記の可変時間ステップをさらにキャリアが次の散乱体と衝突するまでの時間に再分割し、その時間の間ではキャリアは電界による加速のみを受けて散乱されないバリスティック的に運動するとする。しかしこのような近似をする場合に、キャリアが次に散乱される前に固定な時間ステップまたは可変時間ステップが終了するようなときの散乱確率の扱いが問題となる。本研究では全ての散乱過程がポアソン過程であるとして、この場合のキャリアの散乱される確率を時間ステップが終了するまでの時間かける散乱確率密度で近似する。

以上のような方法を用いて本研究では電荷の再分配や電位の再計算に対して固定な比較的大きい時間ステップを用いることができた。電荷の再分配や電位の再計算に対する時間ステップが大きいと桁落ちや丸め誤差などの時間を量子化することによる誤差の伝播によって計算の精度が悪くなる。特に時間ステップがプラズマ振動の周期 $t_p$ よりも大きくなった場合には、計算による解が不安定となり、ついには振動し始める [5.12]。プラズマ振動の周期 $t_p$ は下式により求められ、本研究で用いられている時間ステップより一桁ないし二桁小さい [5.13]。

$$t_p = \sqrt{(\pi \cdot m^* / N / q^2)} \quad (5.24)$$

本研究の目的を考えると、時間ステップをプラズマ振動の周期より小さくしてプラズマ振動を正確にシミュレーションすることは不必要である。そこでここでは、時間ステ

ップ以下の周期を持つ振動を抑えるために、次式に示すような電荷の急峻な時間変化を抑制するローパス・フィルタを用いて、時間の量子化誤差の伝播、解の不安定性を抑えた。

$$Q_{i,j}^t = 0.1 Q_{i,j}^{t'} + 0.9 Q_{i,j}^{t-1} \quad (5.25)$$

但し、ここでは $Q_{i,j}^t$ を時刻 $t$ におけるメッシュ点 $(i, j)$ の電荷量、 $Q_{i,j}^{t'}$ を時刻 $t$ におけるメッシュ点 $(i, j)$ の分配されたキャリアの電荷量とする。

第2章に述べられているように粒子モデルを用いたシミュレーションの場合では、キャリアの粒子性によるショット・ノイズを避けることはできない。さらに、本研究のようにいくつかの粒子の集合を仮想的な粒子として考え、その仮想的な粒子の運動をシミュレーションすると第2章で述べられているようにショット・ノイズが強調されて、非物理的な雑音を生む原因となる。そのような非物理的な雑音の影響を取り除くのにここでは、シミュレーションの結果として得られた各電極に流れる電流を十分長い時間内で平均する方法を用いた。ここで十分に長い時間とは、単位時間ステップ分の時間の変化に対して着目している電極の電流の平均値の変化が $0.01 \text{ mA}$ 以内になるような時間である。第6章で示す全ての結果についてこの平均時間は $3.0$ から $10.0 \text{ psec}$ となっている。

### 5.10 シミュレータの内部及び外部入出力仕様

以下に本研究で作成したシミュレータの入出力の種類やその形式、シミュレーションを行うのに必要な中間ファイルの形式などについて述べる。

本シミュレータは寸法を示す構造パラメータとドーピング濃度や端子電圧や各種制御に用いられているフラグなどのようなバイアス条件を示すパラメータの二種類の入力を必要としている。さらに、実際にシミュレーションを行う前に、SOR法による電位計算をするときの初期値の計算に用いられる四種類のラプラス方程式の解を予め計算し、



記憶しておく必要がある。この計算には構造を示すパラメータを必要な入力としている。

図(5.5)にデバイスの構造パラメータの入力例を示す。ここでは構造パラメータの入力として、各領域内のメッシュ間隔を次の順番に並べられたものが必要となる。

- a) ソース領域内のチャンネル長に平行な方向のメッシュ間隔
- b) チャンネル領域内のチャンネル長に平行な方向のメッシュ間隔
- c) ドレイン領域内のチャンネル長に平行な方向のメッシュ間隔
- d) 基板領域内の基板に向かってチャンネル長に直交する方向のメッシュ間隔
- e) 基板絶縁酸化膜領域内の基板に向かってチャンネル長に直交する方向のメッシュ間隔
- f) ソースやドレイン領域に挟まれていないシリコン領域内の基板に向かってチャンネル長に直交する方向のメッシュ間隔
- g) ソースやドレイン領域に挟まれているシリコン領域内の基板に向かってチャンネル長に直交する方向のメッシュ間隔
- h) ゲート領域内の基板に向かってチャンネル長に直交する方向のメッシュ間隔

各領域のデータはコメント行で始まり、ブランク行で終了し、その間の行数は任意とする。ここではコメント行とブランク行のみを入力データとする領域も可能として、その場合についてはその領域は存在していないとして扱われる。メッシュ間隔は小数点を含めて9桁の実数によって表され、その単位を $\mu\text{m}$ とする。さらに、メッシュ間隔を表す9桁の実数の後にかける記号(\*)と2桁の繰り返し回数を示す整数によって同じメッシュ間隔の繰り返し入力を表しているとする。

```
data for source
0.0100000*10

data for channel
0.0050000*20

data for drain
0.0100000*10

data for substrate
0.0200000*10

data for insulator
0.0100000*10

data for soi layer

data for active layer
0.0010000*20

data for gate oxide
0.0010000*05
```

図5.5 デバイスの構造パラメータの入力例

図(5.6)にバイアス条件を示すパラメータの入力例を示す。ここでは以下に述べるようなドーピング濃度や端子電圧や各種制御に用いられているフラグなどを示すデータが任意の順番でバイアス条件パラメータとして入力される。

a) 固定時間ステップの長さ(Tstep)

単位をpsecとする。

b) 一個負の電荷を持つ仮想粒子がいくつの電子の集合であることを示す数(Particle)

c) 一個正の電荷を持つ仮想粒子がいくつの正孔の集合であることを示す数(Hole Particle)

d) ゲート側の界面散乱の度合い(表面の粗さ)を表す数(Gt roughness)

e) バックゲート側の界面散乱の度合いを表す数(Bg roughness)

d)、e)の値は第四章で述べられているように本研究では、 $10^{-4}$ とする。

f) ソース領域のドナー密度(Nd source)

g) ドレイン領域のドナー密度(Nd drain)

f)、g)の単位を $\text{cm}^{-3}$ とする。

h) 絶縁膜上のシリコン層の内部に存在しているバルク捕獲中心密度(Nt bulk)

単位を $\text{cm}^{-3}$ とする。

i) ゲート酸化膜界面に存在している界面捕獲中心密度(Nt gate)

j) 絶縁膜上のシリコン層と基板絶縁膜との界面に存在している界面捕獲中心密度(Nt insulator)

i)、j)の単位を $\text{cm}^{-2}$ とする。

k) デバイスの格子温度(Temperature)

単位をKとする。本研究ではデバイスの格子温度を300.0Kとする。

```

*****
*                               Simulation Time Schedule                               *
*                               *                                                     *
* 1.....2.....3.....4.....5.....6.....7 *
* Tstep      <interval> *
* Partic.    <count> *
* Hole par.  <count> *
* Gt rough.  </Angs> *
* Bg rough.  </Angs> *
* Nd sourc.  </cm**3> *
* Nd drain   </cm**3> *
* Nt bulk    </cm**3> *
* Nt gsur.   </cm**2> (=Dit*GAP) *
* Nt isur.   </cm**2> (=Dit*GAP) *
* Temper.    <kelvin> *
* Debug mode *
* Model      Mobility *
* Model      Ballistic *
* Model      Scatter [AOIG] *
* Hmodel     Mobility *
* Hmodel     Ballistic *
* Hmodel     Scatter [AOIG] *
* Start *
* Nohole *
* Volt       <time>      <Vs>      <Vb>      <Vd>      <Vg> *
* Potential *
* Charge *
* Kaizer *
* Energy *
* Distri. *
* Deviation *
* Report *
* Others as a comment *
*****
*.....2.....3.....4.....5.....6.....7
*Debug
Model      Scatter  AOIG
Hmodel     Scatter  AOIG
Partic.    50
Hole par.  50
Gt rough.  1.0E-4
Bg rough.  1.0E-4
Nd sourc.  1.0E19
Nd drain   1.0E19
Temper.    300.0
Tstep      0.100
Start
Volt       0.0      0.0      -500.0    1000.0    2000.0
Volt       5.90     0.0      -500.0    1000.0    2000.0
Distri.
Volt       6.00     0.0      -500.0    1000.0    2000.0

```

図5.6 バイアス条件を示すパラメータの入力例

l) デバック・モードにするためのフラグ (Debug mode)

デバック・モードにするとキャリアの種類や移動したときの軌跡などが解析している間に実時間で出力される。

m) 電子の移動に関するモデルを選択するためのフラグ (Model)

n) 正孔の移動に関するモデルを選択するためのフラグ (Hmodel)

m)、n) のフラグを用いて散乱モデルを選択した場合には、さらに散乱の種類を選択するためのフラグもこれらのデータに含まれる。

o) インパクト・イオンゼーションによる正孔の発生を抑えるためのフラグ (Nohole)

p) 時刻及びその時刻における各端子にかかる電圧 (Volt)

ここではある時刻から次の時刻まで端子電圧が変化した場合に、その時刻と次の時刻における端子電圧の値を入力することによって端子電圧を変化させることができる。その間の端子電圧の値は線形補間することによって求められる。

q) 電位分布を出力させるためのフラグ (Potential)

r) 電荷分布を出力させるためのフラグ (Charge)

s) キャリアの平均波数ベクトルを出力させるためのフラグ (Kaizer)

t) キャリアのエネルギー分布を出力させるためのフラグ (Distribution)

u) キャリアの平均エネルギーの空間分布を出力させるためのフラグ (Energy)

v) キャリアのエネルギーの分散の空間分布を出力させるためのフラグ (Deviation)

w) キャリアの種類及び存在している場所を点で出力させるためのフラグ (Report)

x) その他、本シミュレータ内に定義されていないデータについては全てコメントとして扱われる。

次に内部仕様として本シミュレータ内に用いられている単位系及びシミュレータを稼働させるために必要な作業用ファイルの種類について述べる。一般に、デバイス・シミュレータ内に用いられている数値が大き過ぎたり、または小さ過ぎたりするために、桁

落ちが生じやすく、それによって数値計算の精度が悪くなる。この問題を避けるために、距離を拡散距離で正規化し、電圧を拡散電位で正規化する方法がある [5.14]。しかし、本研究ではシミュレータ内の数値と外部に用いられている数値との対応が明確になるという理由によって正規化の代りに、以下のような単位系を用いることにした。

- a) 長さの単位を $\mu\text{m}$ とする。
- b) 電位の単位を $\text{mV}$ とする。
- c) 電流の単位を $\text{mA}$ とする。
- d) 時間の単位を $\text{psec}$ とする。
- f) 温度の単位を $\text{K}$ とする。

その他の数値の単位は以上の単位と矛盾しないように誘導する。

本シミュレータは作業用領域としてキャリアを蓄えておくためのバイナリ形式のファイルを二つ必要としている。ここでは、これら二つのファイルは交互に入力として用いられ、本シミュレータがキャリアを移動させた後、もう一方のファイルに出力する方法が用いられている。

本シミュレータの出力結果として、端子電流の過渡特性、等電位図、キャリアの空間分布、等電子温度図、電子温度の標準偏差の等高線図、各端子の電流-電圧の静特性、キャリアのエネルギー分布、キャリアの平均速度の空間分布、各端子の等価容量、などがある。出力結果の形式として数字による出力のほかにグラフによる出力が可能である。この場合、データはTektronix社のグラフィック端末機Plot-10やDigital Equipment Corp.社のグラフィック端末機VT-100の入力形式に相当する形式で出力される [5.15]。

### 5. 1 1 第5章のまとめ

以上、この章では本研究で作成したシミュレータに用いられた各アルゴリズム、シミュレータの内部や外部入出力仕様が述べられた。それらのアルゴリズム及び仕様に従ってインプリメントしたシミュレータを用いて、キャリアの移動に関する各モデルのシミュレーション結果の比較が試みられた。その結果によると以下のことが判明した。

- a) チャネル長が0.5や0.1  $\mu\text{m}$ のようなサブ・ミクロン・デバイスのキャリアが非定常状態で輸送され、少数回散乱を受けるために、散乱モデルを用いた場合のドレイン電流はバリスティック・モデルの場合に比べて小さく、モビリティ・モデルに比べて大きい。
- b) チャネル長が長くなるとキャリアの受ける散乱の回数が増えるために、散乱モデルによるドレイン電流はモビリティ・モデルのそれに近づく。
- c) ゲート電圧が高くなるとキャリアがゲートによって吸い寄せられて長い時間チャネル領域内に存在し、散乱を受ける回数が増えるために、散乱モデルを用いた場合のドレイン電流はモビリティ・モデルを用いた場合に近づく。

## 参考文献

5. 1 R. W. Hockney, and R. A. Warriner, *Electron. Lett.*, vol. 10, No. 23, pp. 484-487, 1974
5. 2 Y. Awano et al, *IEEE Trans. Electron Devices*, vol. ED-31, pp. 448-452, 1984
5. 3 青木, "電子物性工学", コロナ社 電子通信学会大学講座, pp. 220, 1964
5. 4 A. Yoshii et al, *IEEE Trans. Electron Devices*, vol. ED-30, pp. 1376-1380, 1983
5. 5 J. F. Pone et al, *IEEE Trans. Electron Devices*, vol. ED-29, pp. 1244-1255, 1982
5. 6 S. A. Schwarz et al, *IEEE Trans. Electron Devices*, vol. ED-30, pp. 1629-1633, 1983
5. 7 A. Bar-lev, "Semiconductors and Electronic Devices", 2-nd ed., pp. 35
5. 8 R. W. Hockney et al, "Computer Simulation Using Particles", McGraw-Hill International Book Company, 1981
5. 9 磯田, 大野, "FORTRANによる数値計算ハンドブック" オーム社, 1971



5. 10 N. Wirth, " Algorithms+DataStructures  
=Programs", Prentice-Hall, Series in  
Automatic Computation, 1976
5. 11 A. Yoshii et al, IEEE Trans. Electro  
n Devices, vol. ED-29, pp. 184-189,  
1982
5. 12 津田, " モンテカルロ法とシミュレーション", 培風館, 1969
5. 13 永宮, 久保, " 固体物理学 第2版", 岩波書店, 1966
5. 14 原, 堀内, 名取, " 超LSI入門シリーズ2 MOSトランジスタの動作理  
論", 近代科学社, 1980
5. 15 " JCC-C1431カラーグラフィックディスプレイ装置取扱説明書",  
日本電算機株式会社電子機器部, 1984

## 第6章 SOI上のMOSデバイスの流体モデルによる計算結果との比較

### 6.1 はじめに

本論文の第4章と第5章にモンテ・カルロ・シミュレータ内に用いられている各種のモデルについて述べた。また本論文の第3章にCADDET及びモンテ・カルロ・シミュレータを用いた埋め込み型パンチスルーMOSデバイスの特性の計算を述べた。本章では、モンテ・カルロ・シミュレータを評価するために低不純物密度SOI基板上のパンチスルーMOSデバイスの従来の流体モデルを用いた場合の計算結果と粒子モデルを用いた場合の計算結果の比較について述べる。

本論文の第2章にも触れられたようにデバイスの寸法が小さくなるにつれて電子を流体と仮定する計算手法に問題が生じてくる。現実問題としてCADDETを用いた場合には、チャネル長が小さくなって電界が強くなるにつれてその収束性が悪くなる。ここではチャネル長が $0.5\mu\text{m}$ 程度が現実的にCADDETを利用できる限界と考えている。それに対してモンテ・カルロ・シミュレータの場合では、チャネル長が長くなるにつれて粒子がチャネルを走行するのに要する時間が長くなり、チャネル領域内に居留する粒子の数が増える。それによって粒子の移動に関する計算の量が増え、モンテ・カルロ・シミュレータの収束性が悪くなる。この場合についてもここではチャネル長が $0.5\mu\text{m}$ 程度がモンテ・カルロ・シミュレータを利用できる限界と考える。従って本研究では流体モデルを用いた場合と、粒子モデルを用いた場合の計算結果を比較することによってそれらのモデルの評価をする際のデバイスのチャネル長を $0.5\mu\text{m}$ とする。

シミュレーションを行った低不純物密度SOI基板上のパンチスルーMOSデバイスの構造を図(6.1)に示す。但し、ここでもチャネル幅 $W$ を $1.0\mu\text{m}$ とする。さらに、CADDETを用いて計算する場合のチャネル領域内の不純物密度を $10^{11}$ とする。

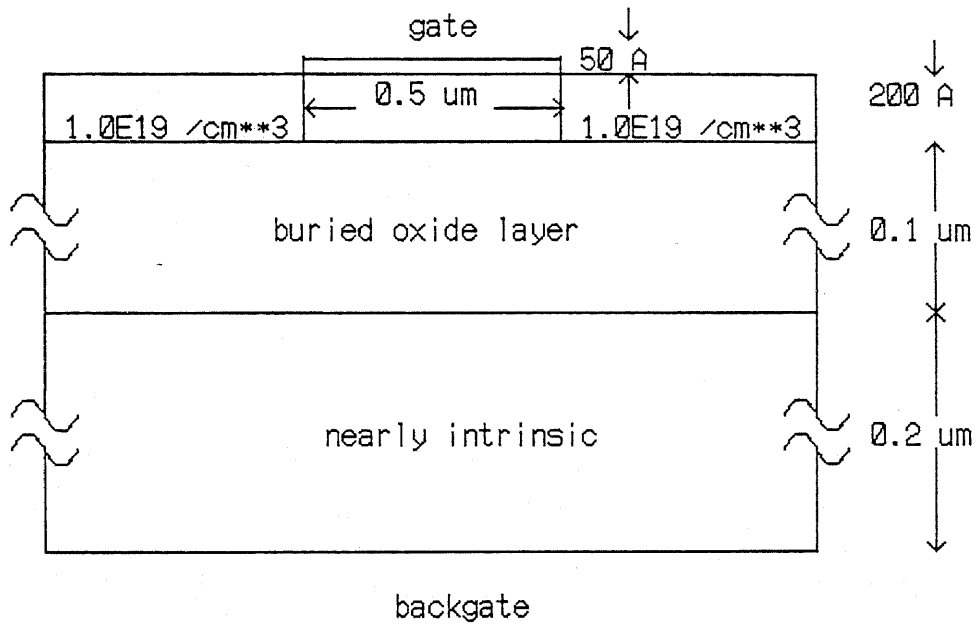


図6.1 低不純物密度SOI基板上のパンチスルーMOSデバイスの構造

これは本論文の第3章第1節にも述べられているようにこれ以上不純物密度を薄くするとCADDET内の計算が収束しなくなるためである。

以下に図(6.1)のデバイスのモンテ・カルロ・シミュレータを用いた場合とCADDETを用いた場合の各特性の計算結果の比較について述べる。

## 6.2 $I_d-V_{ds}$ 特性の計算結果の比較

図(6.2)の□印にモンテ・カルロ・シミュレータを用いて計算した $I_d-V_{ds}$ 特性を示す。但し、ここでは $V_{gs}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ とする。また同図の曲線(a)はCADDETを用いた場合の $I_d-V_{ds}$ 特性の計算結果を示す。CADDETでは種類のキャリアのみが考慮され、インパクト・イオナイゼーション現象については考慮されていない。そこで比較を容易にするためにモンテ・カルロ・シミュレータ内のこの場合の電子の散乱として音響フォノン散乱と高エネルギー・フォノン散乱のみを考慮し、電子がインパクト・イオナイゼーションを起こさないとする。

図より、チャンネル長が $0.5\mu\text{m}$ の場合のモンテ・カルロ・シミュレータによる計算結果とCADDETによる計算結果が一致していることがわかる。 $I_d-V_{ds}$ 特性が一致することは、モンテ・カルロ・シミュレータ内の各種フォノン散乱によって決定されるキャリアのドリフト速度、そのドリフト速度の飽和現象及び界面散乱によって決定されるキャリアのドリフト速度の垂直電界依存性がそれぞれCADDET内に用いられている低電界における移動度の値、水平電界による移動度の低下及び移動度の垂直電界依存性と対応していることを示している。CADDETで用いられている移動度については既に本論文の第3章第2節式3.4で述べられている。

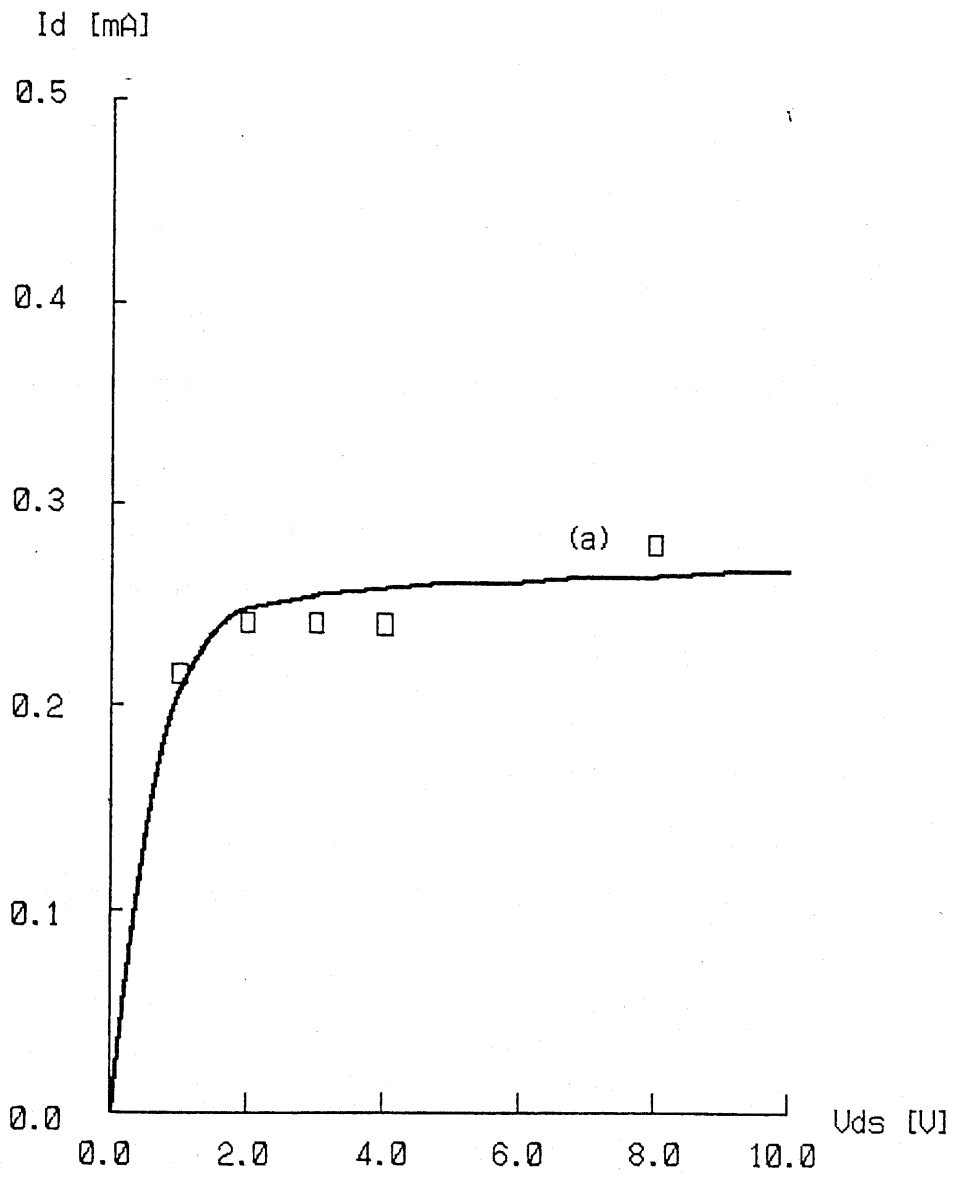


图6.2  $I_d - V_{ds}$ 特性

### 6. 3 $I_d-V_{gs}$ 特性の計算結果の比較

図(6.3)の□印にモンテ・カルロ・シミュレータを用いて計算した $I_d-V_{gs}$ 特性を示す。ここでは、 $V_{ds}=3.0\text{ V}$ 、 $V_{bs}=-0.5\text{ V}$ とし、電子が音響フォノン散乱と高エネルギー・フォノン散乱を受ける以外にインパクト・イオナイゼーションも起こし、生成された正孔の運動についても同じ仮定をとする。但し、この場合ではインパクト・イオナイゼーションを起こすほどドレイン電圧やゲート電圧が高くないためにその影響は小さいと考えられる。同図の曲線はCADDETを用いた場合の $I_d-V_{gs}$ 特性の計算結果を示す。この図からもチャンネル長が $0.5\mu\text{m}$ の場合のモンテ・カルロ・シミュレータとCADDETによる計算結果が一致していることがわかる。さらに、図よりこの場合の相互コンダクタンス $g_m$ が $0.2\text{ mS}/\mu\text{m}$ となっていることもわかる。

### 6. 4 電位分布及び電界分布の計算結果の比較

図(6.4)及び図(6.5)にそれぞれモンテ・カルロ・シミュレータとCADDETによって計算した図(6.1)のデバイスの電位分布を示す。但し、この場合 $V_{ds}=3.0\text{ V}$ 、 $V_{gs}=1.0\text{ V}$ 、 $V_{bs}=-0.5\text{ V}$ とする。図のゲートの近くやシリコン基板内の電位分布に違いが見られている。この違いはモンテ・カルロ・シミュレータ内のゲート酸化膜内の電位分布の求め方とCADDET内のそれとの違い、及びシリコン基板内の不純物密度の違いによって生じていると考えることができる。

図(6.6)の曲線(a)にモンテ・カルロ・シミュレータを用いて計算した図(6.1)のデバイス内の、ゲート酸化膜との界面から $100\text{ \AA}$ 離れたチャンネル領域内における図(6.5)と同一条件での電界分布を示し、曲線(b)にCADDETを用いた場合のそれを示す。図よりモンテ・カルロ・シミュレータを用いた場合とCADDETを用いた場合の電位分布の若干の違いはゲートの近く及びシリコン基板領域内のみ生じ、ドレイン電流に影響を及ぼす領域内の電界は両シミュレータによる計算結果がほぼ一致

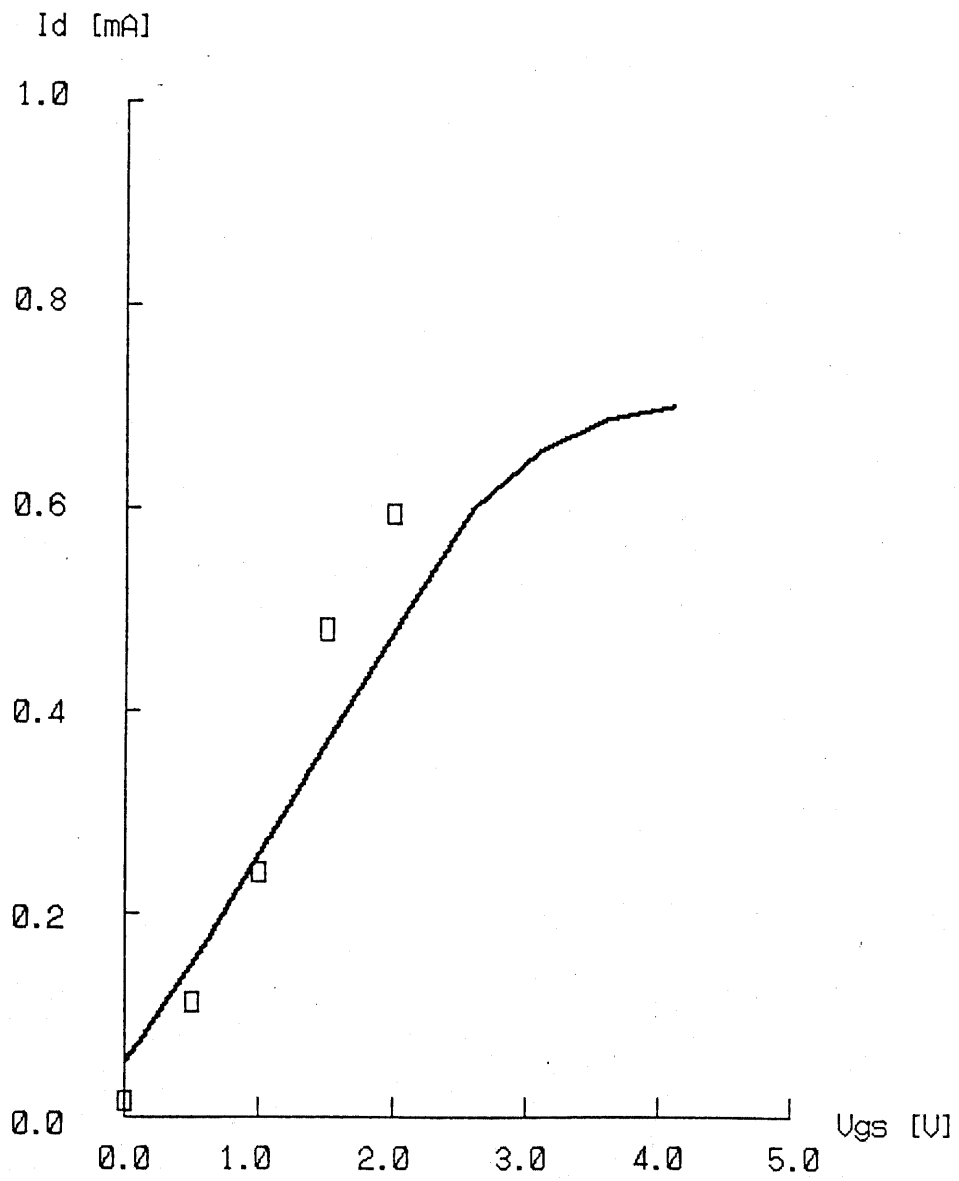


图 6.3  $I_d - U_{gs}$  特性

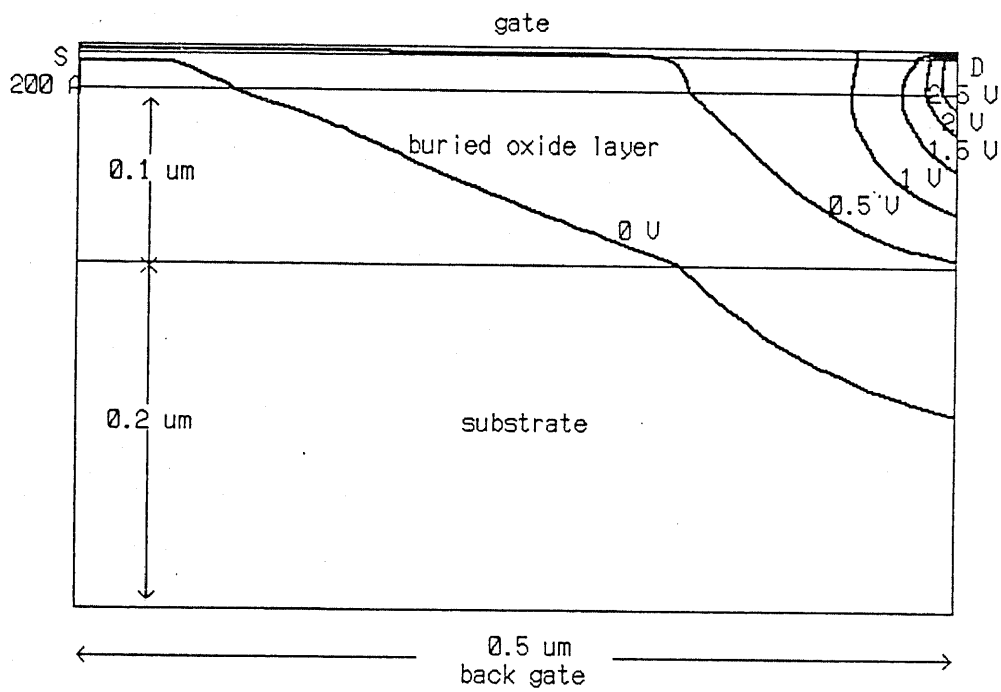


図6.4 モンテ・カルロ・シミュレータによって計算した電位分布



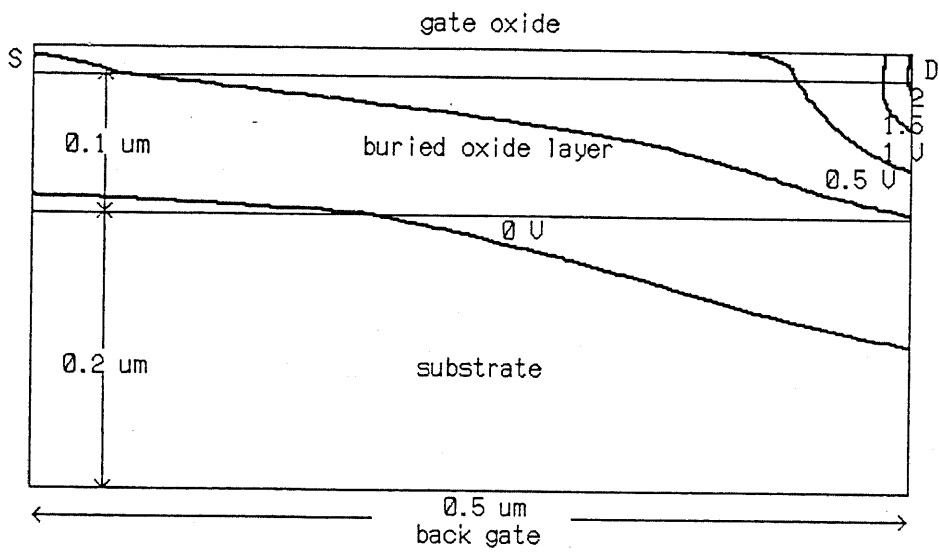


図6.5 CADDETによって計算したの電位分布

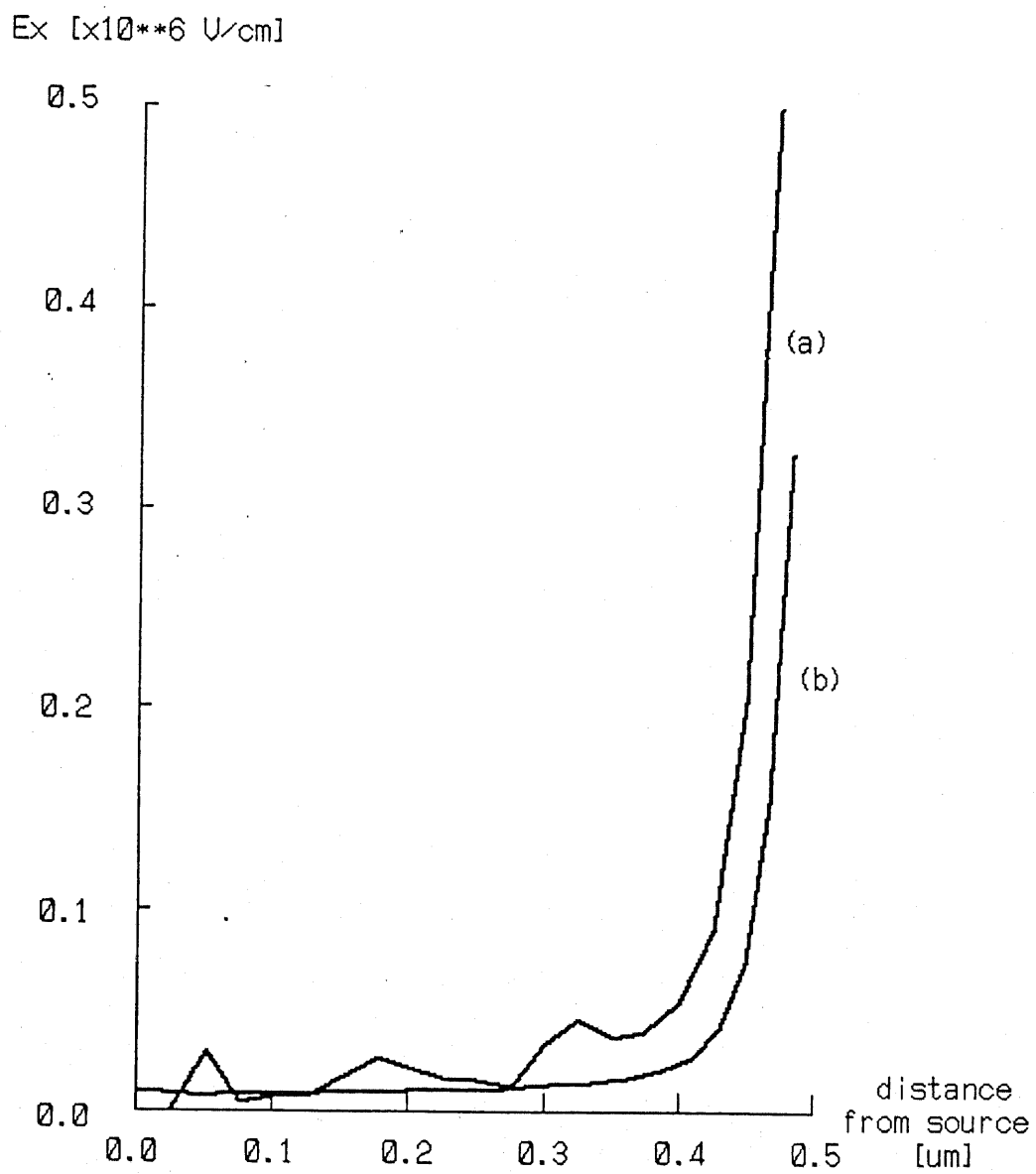


图6.6 電界分布

していることがわかる。

#### 6. 5 電子密度及びドリフト速度の計算結果の比較

図(6. 7)の□印にモンテ・カルロ・シミュレータを用いて計算した図(6. 1)のデバイス内の、ゲート酸化膜との界面から100Å離れたチャネル領域内に存在している電子の密度を示し、また曲線(a)にCADDETを用いた場合のそれを示す。但し、この場合の各電極にかかっている電圧は図(6. 5)の場合と同じとする。図より両シミュレータによる計算結果がほぼ一致し、モンテ・カルロ・シミュレータによる値が若干高いことが判明した。この図の注意すべき点は、モンテ・カルロ・シミュレータを用いた場合ではドレイン領域に近付き、ドレイン領域との距離が1000Å以下になると電子密度の若干の減少が見られていることである。

図(6. 8)の□印に、図(6. 7)と同じ条件のもとでのモンテ・カルロ・シミュレータを用いて計算した図(6. 1)のデバイス内の、ゲート酸化膜との界面から100Å離れたチャネル領域内に存在している電子のドリフト速度を示し、また曲線(a)にCADDETを用いた場合のそれを示す。ここでのそれぞれのシミュレータを用いた場合の電子のドリフト速度は本論文の第3章第5節で述べたものと同じように求められるとする。図より両シミュレータの計算結果がほぼ一致し、ドレイン領域に近づくにつれて電子のドリフト速度が増加していることがわかる。但し、CADDETの場合の計算結果によるとドレイン領域付近で電子のドリフト速度の増加が緩やかになる傾向が見られている。これは電子速度の飽和特性を示しているものと考えることができる。図(6. 7)の曲線(a)の電子密度が高くなっている場所に電子のドリフト速度が減少しないのはこの場合、電子がドレイン付近で加速されるとともに、電界によってチャネル領域の中央の部分に絞られていることによるものと考えることができる。さらに図(6. 8)の□印よりモンテ・カルロ・シミュレータを用いた場合には、図(6. 7)

$N$  [ $\times 10^{18}$  /  $\text{cm}^3$ ]

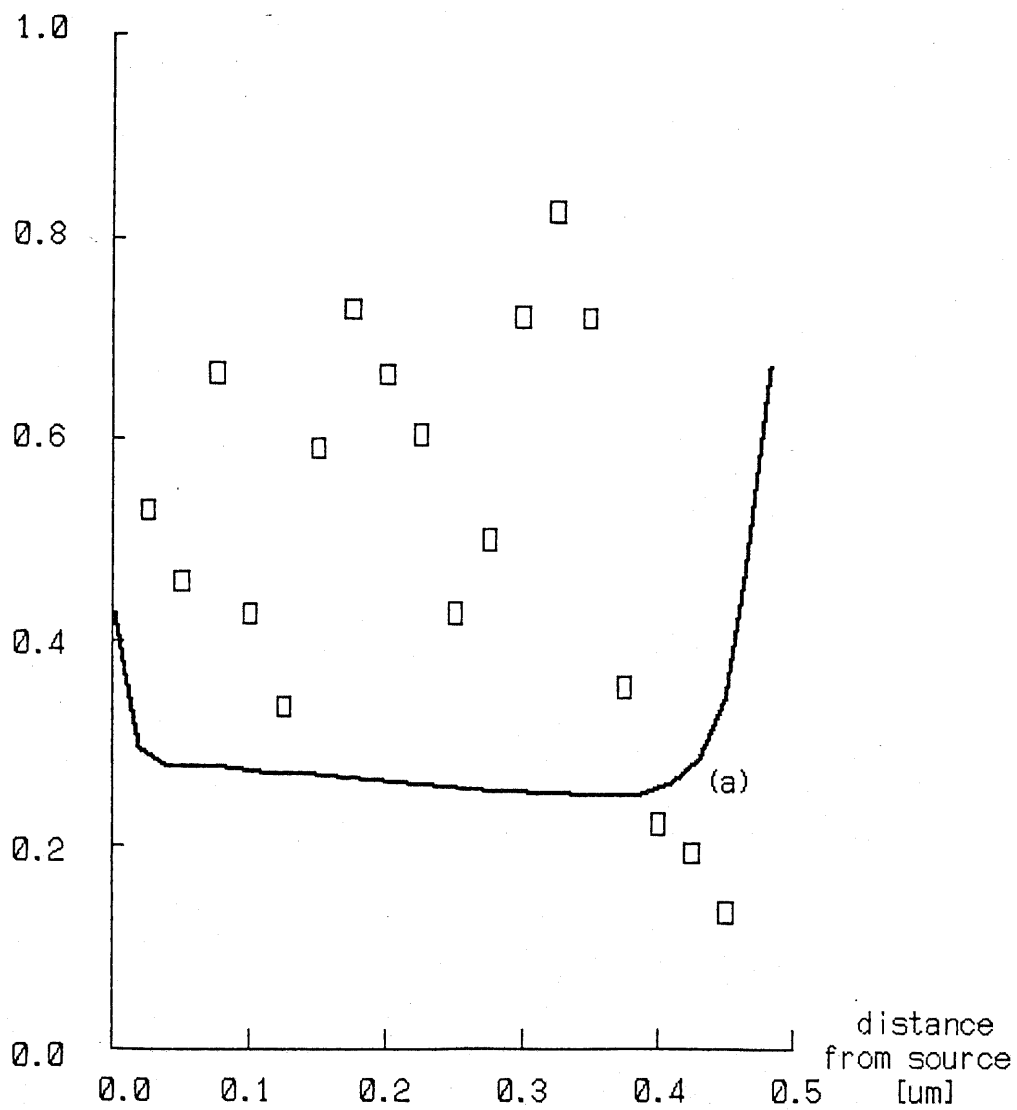


図6.7 電子の密度分布

drift velocity [ $\times 10^{**7}$  cm/sec]

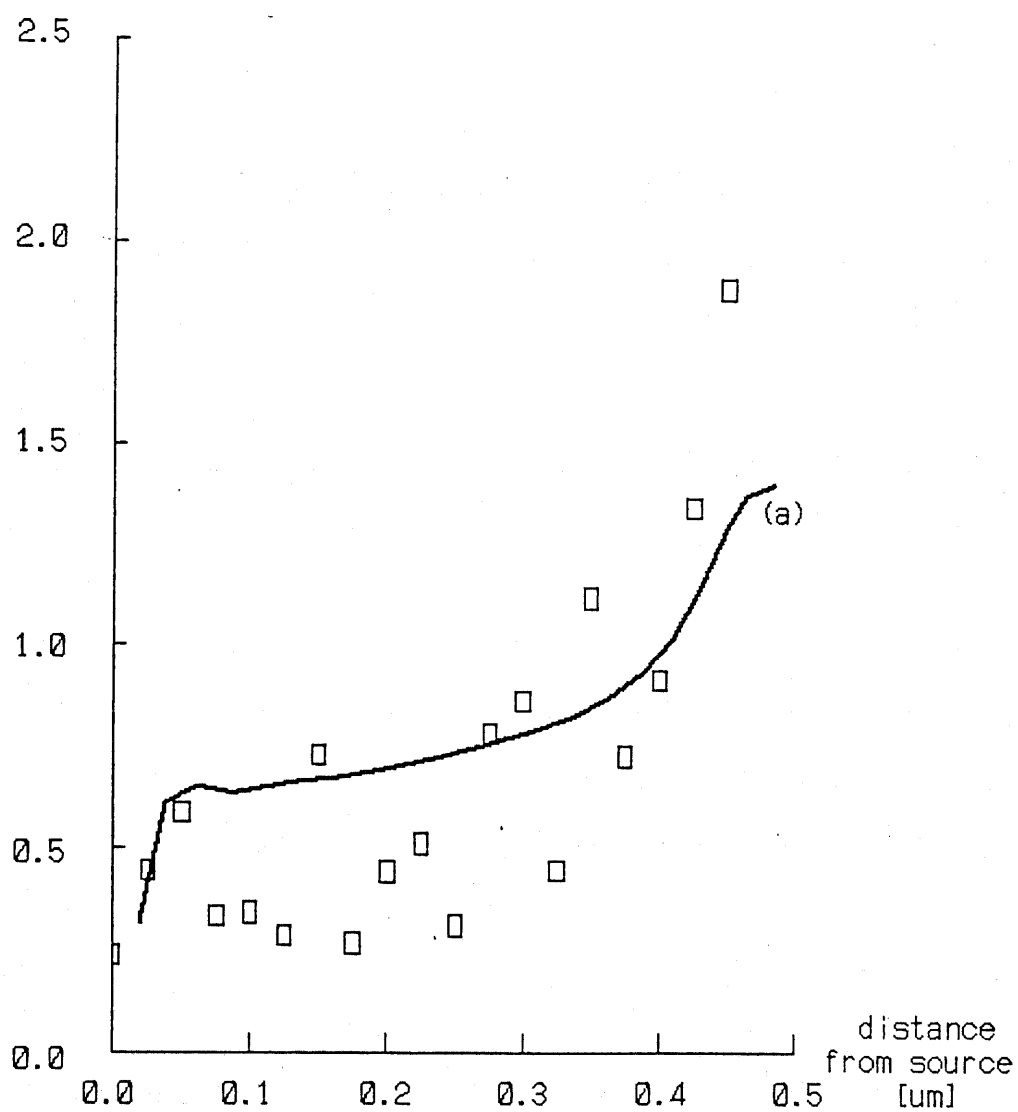


図6.8 電子のドリフト速度

の電子の密度が減少傾向を示している領域では電子のドリフト速度が速くなる傾向を示し、ドレイン領域の直前になるとこの場合の電子のドリフト速度は従来から考えられているシリコン内の定常状態における電子の飽和速度の約3倍にもなることが判明した。これは、本論文の第3章第5節図(3.14)にも述べられているように、チャンネル長が短くなった場合のキャリアが非定常状態で輸送され、速度オーバーシュート現象を示していると考えられることができる [6.11]。但し、この場合ではチャンネル長がまだ十分短くないために速度がオーバーシュートした分電子の密度が減少し、ドレイン電流は他の領域内の定常状態で輸送されている電子によって決まると考えられている。その結果としてこの場合でもまだモンテ・カルロ・シミュレータとCADDETによる計算結果が一致する傾向を示している。

#### 6.6 インパクト・イオナイゼーション現象を考慮した場合の $I_d-V_{ds}$ の計算結果

図(6.9)の曲線(a)(□印)に電子のインパクト・イオナイゼーションを考慮した場合のモンテ・カルロ・シミュレータによる $I_d-V_{ds}$ 特性の計算値を示す。この場合の生成された正孔の運動についても電子と同じように散乱され、インパクト・イオナイゼーションを起こすとする。同図の曲線(b)(+印)は本章の第2節にも記されているように電子のインパクト・イオナイゼーションを考慮しない場合の計算値を示す。図より、この場合の図(6.1)に示すデバイスのドレイン接合のアバランシェ降伏電圧が約5.0 Vとなっていることが判明した。

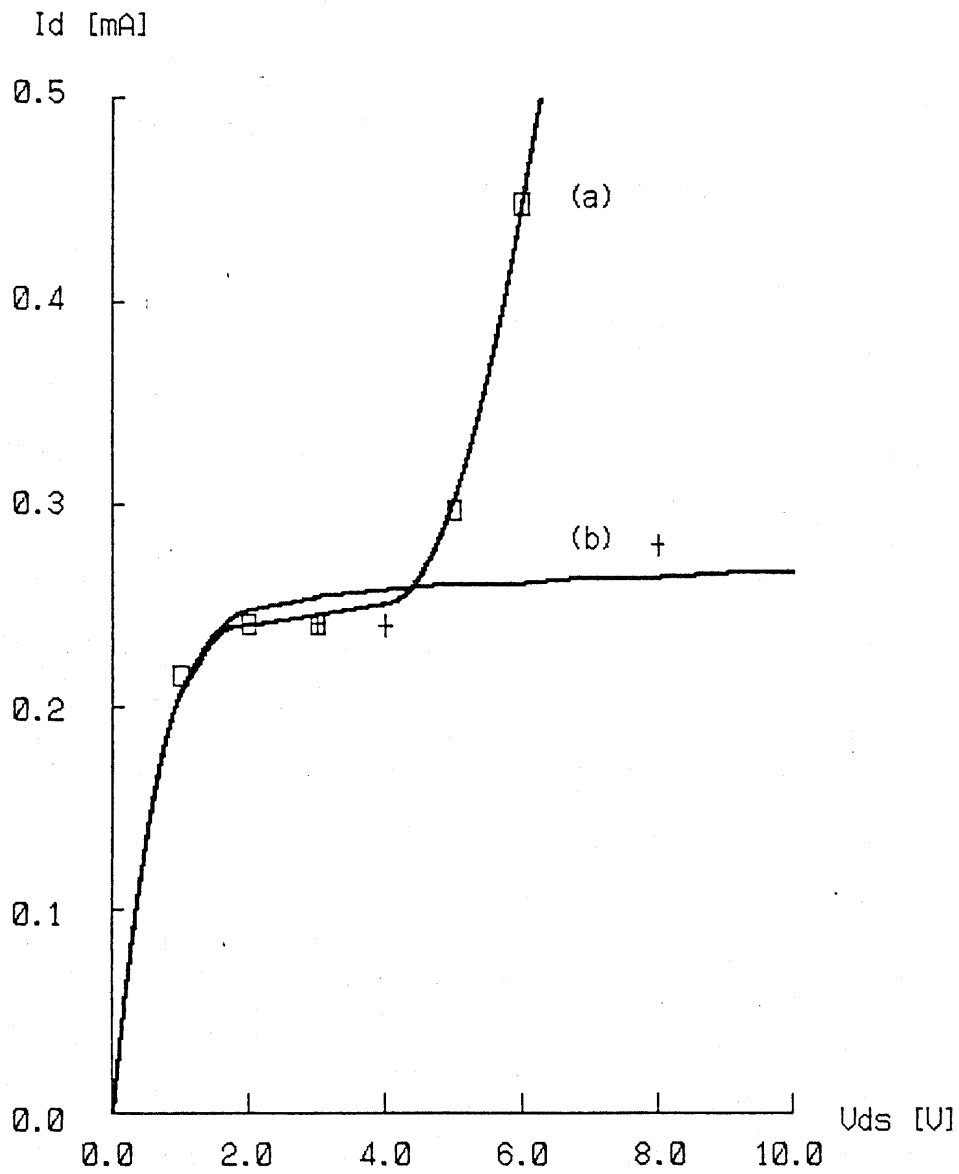


図6.9 インパクト・イオン化を考慮した  $I_d - V_{ds}$  特性

## 6.7 第6章のまとめ

以上チャンネル長が $0.5\ \mu\text{m}$ の低不純物密度SOI基板上的パンチスルーMOSデバイスのモンテ・カルロ・シミュレータとCADDETによる計算結果の比較について述べた。その結果をまとめると以下ようになる。

- a) チャンネル長が $0.5\ \mu\text{m}$ のデバイスについて、両シミュレータによる $I_d-V_{ds}$ 特性や $I_d-V_{gs}$ 特性の計算値が一致している。
- b) 電位分布についても、ドレイン電流に影響を及ぼす領域内では、両シミュレータによる計算値が一致している。
- c) モンテ・カルロ・シミュレータの計算結果によるとチャンネル長が $0.5\ \mu\text{m}$ のデバイスの場合ではドレイン領域より $1000\ \text{\AA}$ 離れたところから電子のドリフト速度に速度オーバーシュート現象が見られ、電子がそこで非定常状態で輸送されていることを示している。
- d) チャンネル長が $0.5\ \mu\text{m}$ のデバイスの場合では、電子が非定常状態で輸送されている領域で密度が減少し、その結果としてドレイン電流に電子が定常状態で輸送されている場合に比べて増加が見られない。
- e) 図(6.1)に示されているチャンネル長が $0.5\ \mu\text{m}$ の低不純物密度SOI基板上的パンチスルーMOSデバイスのアバランシェ降伏電圧が約 $5.0\ \text{V}$ となっている。

## 参考文献

- 6.1 A. Ghis et al, J. Appl. Phys., vol. 54, No. 1, pp. 214-220, 1983



## 第7章 SOI上のMOSデバイスの 計算結果と考察

### 7.1 はじめに

本論文の第6章にチャンネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上的パンチスルーMOSデバイスのモンテ・カルロ・シミュレータ、及びCADDETを用いてシミュレーションした結果の比較について述べた。本章では、本研究の目的の一つであるチャンネル長が $0.1\mu\text{m}$ の低不純物密度SOI基板上的パンチスルーMOSデバイスの特性のシミュレーションを試みた結果について述べる。

低不純物密度SOI基板上的パンチスルーMOSデバイスは、本論文の第1章及び第6章にも触れられているように、基板奥を流れるパンチスルー電流の抑制効果、ゲート電圧によるドレイン電流の制御性、及び高耐圧性などの優れた特性を持ち、高速論理回路用スイッチング素子としての可能性を持つデバイスである。ここでシミュレーションの対象になるデバイスとして、高速論理回路用のスイッチング素子として用いることのできるMOSデバイス構造の最小極限寸法を有する低不純物密度SOI基板上的パンチスルーMOSデバイスとし、その寸法については以下に述べる考え方で決定した。

まず、ゲート酸化膜厚の最小極限についてはゲートが直流的に十分に絶縁される必要があることから決めることができる。それは、ゲートが絶縁されていなければスイッチングに要する電力が増え、デバイスの発熱の増加につながるためである。デバイスの発熱が増加すれば回路の集積化が困難になり、その結果回路全体の配線長が増え、信号の伝播時間が増加し、回路の応答が遅くなる。ゲート酸化膜の電子の伝導機構として、酸化膜内に存在しているトラップを介して電流が流れるPoole-Frenkel型伝導機構、電子が酸化膜を直接トンネリングするような伝導機構、及び電界によって等価的に低くなった酸化膜のバリアを電子がトンネリングするFowler-Nordhe

i m型伝導機構などが知られている [7.11]。従って、ゲートが直流的に十分に絶縁されるためにはゲート酸化膜内に存在しているトラップをなくし、かつゲート酸化膜厚をある程度厚くする必要がある。ここではFowler-Nordheim型トンネル電流が十分小さくなるようにゲート酸化膜厚を50 Åとした。

低不純物密度SOI基板上のパンチスルーMOSデバイスのチャネル長が短くなると、チャネル領域内を走行しているキャリアはバリスティック的な運動に近い運動をするようになり、その場合のキャリアの振舞いはほぼ電界によってのみ決定される。また低不純物密度SOI基板上のパンチスルーMOSデバイスの相互コンダクタンスを大きくするには、電流の流れる方向と直交した断面の面積を大きくすることが必要である。そこでここでは、ゲート電圧によって生じる垂直電界の及ぼす影響が十分チャネル領域の奥まで届き、かつ電流の流れる方向と直交した断面の面積が最も大きくなるようにゲート酸化膜厚、シリコンの誘電率、及びゲート酸化膜の誘電率を考慮し、チャネル領域の厚み(SOIの厚み)を200 Åとした。(≡  $\epsilon_{si} / \epsilon_{ox} \cdot t_{ox}$ )

さらにゲート電圧によるドレイン電流の制御性を良くするには、ゲート長(=チャネル長とする)をチャネル領域の膜厚より大きくし、ドレインから出た電気力線をゲートに終端させ、ソースまで届かないようにする必要がある。そのためにはゲート長をチャネル領域の膜厚の5倍は必要と考え、ここでは、チャネル長を0.1 μmとした。

以上の理由によって決定された低不純物密度SOI基板上のパンチスルーMOSデバイスの構造を図(7.1)に示す。この構造のデバイスのシミュレーション結果、および考察を以下に述べる。但し、以下のシミュレーション結果は全て本研究で作成したモンテ・カルロ粒子モデルを用いたシミュレータによるものである。

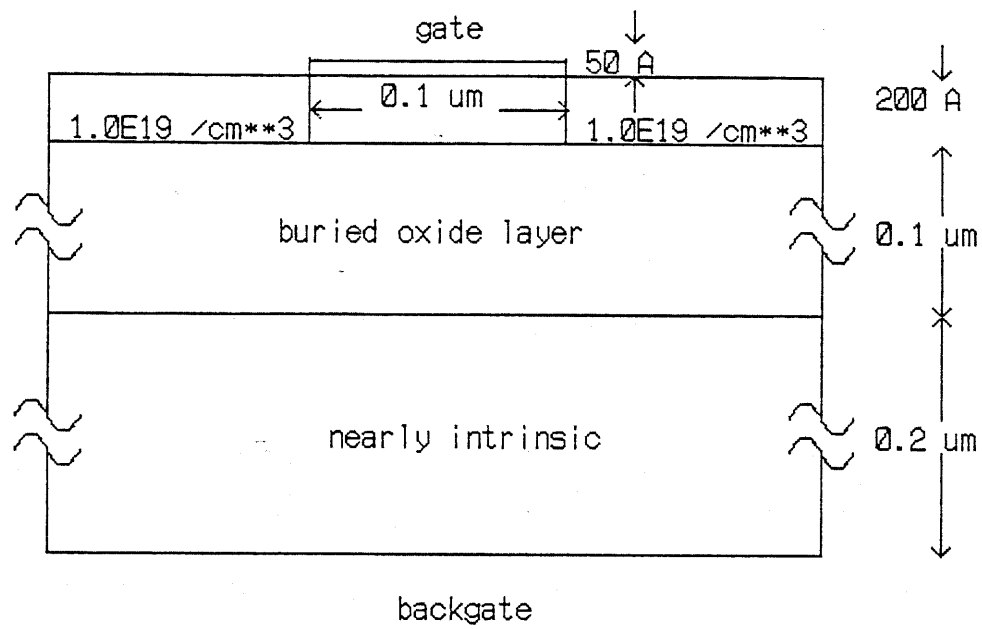


図7. 1 低不純物密度SOI基板上のパンチスルーMOSデバイスの構造

## 7. 2 $I_d-V_{ds}$ 特性の計算結果及び考察

図(7.2)にゲート電圧 $V_{gs}$ をパラメータとしたときの低不純物密度SOI基板上のパンチスルーMOSデバイスの $I_d-V_{ds}$ 特性のシミュレーション結果を示す。但しここでは、 $V_{bs}$ を $-0.5$  Vとし、電子の散乱として音響フォノン散乱と高エネルギー・フォノン散乱のみを考慮し、電子がインパクト・イオン化を起さず、トンネリングもしないとする。図より低不純物密度SOI基板上のパンチスルーMOSデバイスのドレイン電流 $I_d$ が非飽和特性を示しながらもゲート電圧によって制御されていることがわかる。図と本論文の第6章第2節図(6.2)に記されているチャンネル長が $0.5 \mu\text{m}$ の場合の $I_d-V_{ds}$ 特性とを比べると、チャンネル長が短くなるとドレイン電流の飽和特性が悪くなることがわかる。この結果は、チャンネル長が短くなるとドレインから出た電気力線のゲートに終端できる本数が少なくなり、ソースに到達する電気力線の本数が増え、ソース・ポテンシャル・バリアが下げられていることを示している。

## 7. 3 $I_d-V_{gs}$ 特性の計算結果及び考察

図(7.3)に $V_{ds}=3.0$  V、及び $V_{ds}=1.0$  Vのときの低不純物密度SOI基板上のパンチスルーMOSデバイスの $I_d-V_{gs}$ 特性のシミュレーション結果を示す。但し、 $V_{bs}$ を $-0.5$  Vとし、トンネリング現象を考慮しないとする。インパクト・イオン化については、ドレイン電圧及びゲート電圧が低いためにその影響は少ないと考えられる。図よりチャンネル長が $0.1 \mu\text{m}$ まで微細化されても低不純物密度SOI基板上のパンチスルーMOSデバイスのドレイン電流は、十分にゲート電圧によって制御されていることがわかる。さらに、図よりこの場合の相互コンダクタンス $g_m$ は $V_{ds}=3.0$  V、及び $V_{ds}=1.0$  Vのそれぞれの場合で $1.1 \text{ mS}/\mu\text{m}$ 、 $0.8 \text{ mS}/\mu\text{m}$ となっていることがわかる。この結果は、低不純物密度SOI基板上の短チャンネル・パンチスルーMOSデバイスが大きな相互コンダクタンスを有し、高速論理用のスイ

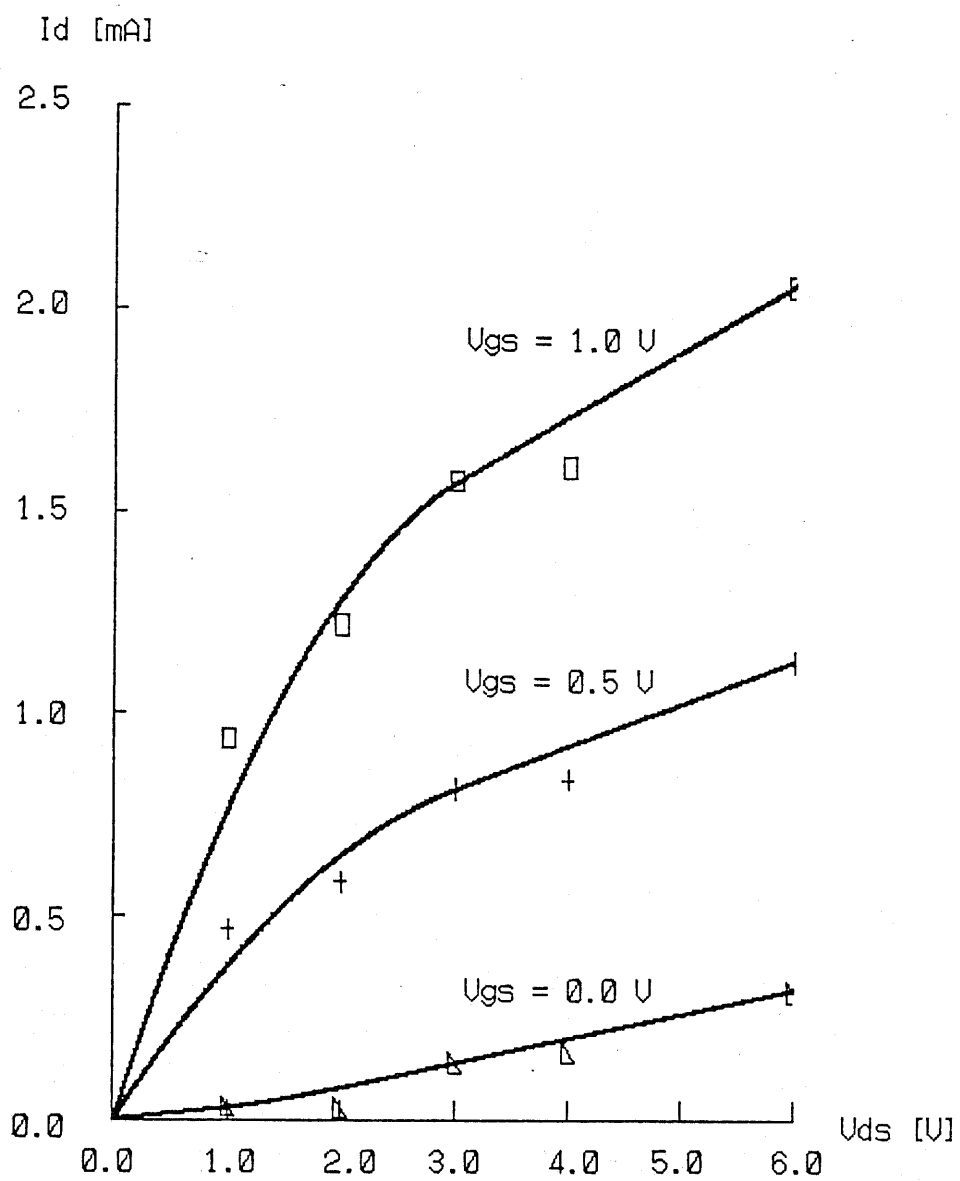


图 7. 2  $I_d - V_{ds}$  特性

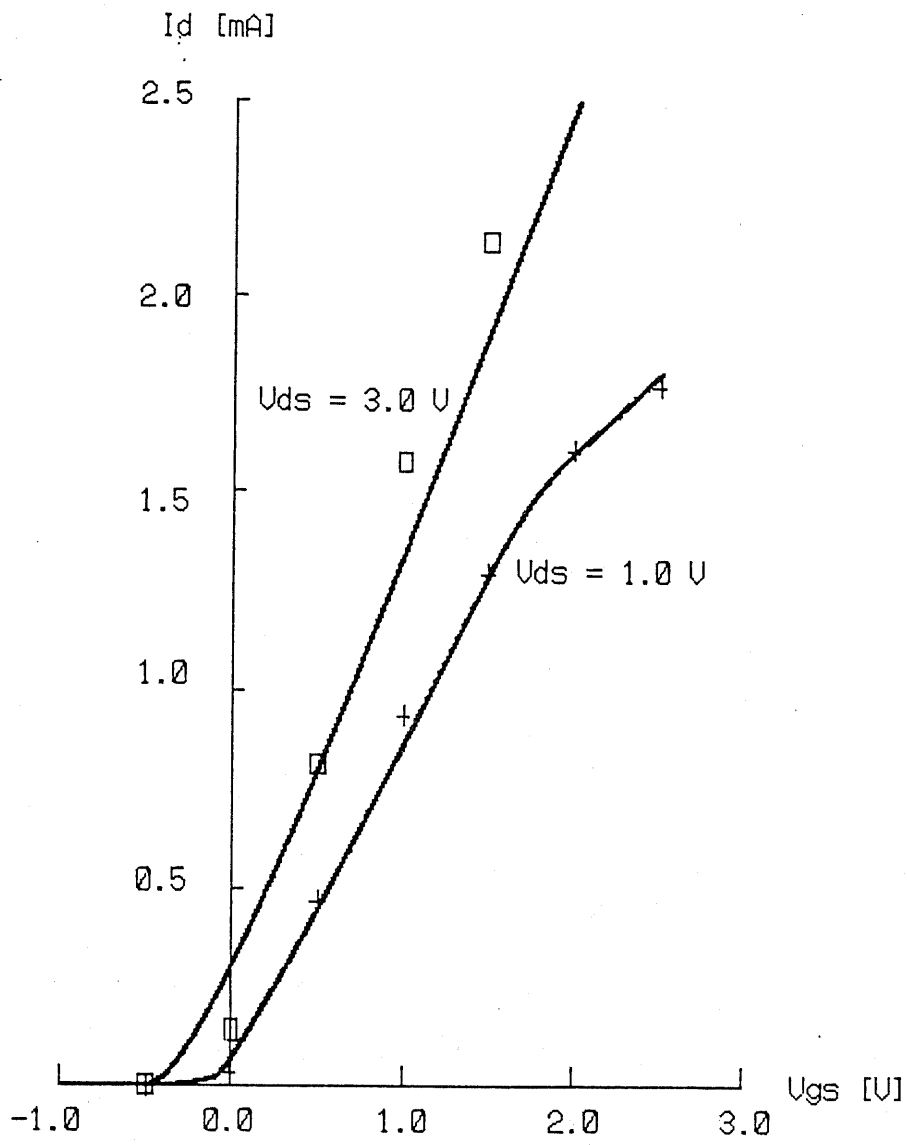


图 7.3  $I_d - V_{gs}$  特性

ッチング素子に適していることを示している。

MOSFETの単位幅当たりの相互コンダクタンスは、チャンネルが緩やかに変化すると仮定しているGradual channel approximationを用いることによって解析的に求めることができ、線形領域ではその値が、以下の式によって示されているように、チャンネル内におけるキャリアの移動度及びドレイン電圧に比例することが知られている [7.2]。

$$g_m = \epsilon_{ox} \cdot \mu \cdot V_{ds} / L / t_{ox} \quad (7.1)$$

そこで以下の横方向（チャンネル長方向）の電界に関する近似をすれば、MOSFETの相互コンダクタンスからキャリアの平均ドリフト速度を求めることができる。

$$E_{//} = V_{ds} / L \quad (7.2)$$

上記の方法を低不純物密度SOI基板上のパンチスルーMOSデバイスに適用してみた結果、 $V_{ds}=3.0$  V、及び $V_{ds}=1.0$  Vの場合の電子の平均ドリフト速度がそれぞれ $1.6 \times 10^7$  cm/sec及び $1.16 \times 10^7$  cm/secとなっていることがわかる。

比較のために本論文の第6章第3節図(6.3)に記されている低不純物密度SOI基板上のパンチスルーMOSデバイスの $I_d-V_{gs}$ 特性に対して上記の計算を試みた。但しこの場合、 $L=0.5 \mu\text{m}$ 、 $V_{ds}=3.0$  Vである。その結果、電子の平均ドリフト速度が $0.3 \times 10^7$  cm/secとなっていることが判明した。ここで注意すべき点は、チャンネル長が1/5微細化され、電界が5倍強くなると電子の平均ドリフト速度が5倍以上大きくなる場所にある。この結果から、チャンネル長が短くなるとキャリアの運動がバリスティックな運動に近づくためにキャリアの平均ドリフト速度がチャンネル長に反比例せず、それよりも大きくなることがわかる。

さらに、図(7.3)よりチャンネル長が $0.1 \mu\text{m}$ の場合、低不純物密度SOI基板上のパンチスルーMOSデバイスのスレッシュホールド電圧が $-0.2$ ないし $-0.4$  Vとなっていることが判明した。この結果によると、ゲート電極にポリシリコンを用いるこ

とによってデバイスをディプリーション形のほかにエンハンスメント形にすることも可能である。それはポリシリコンのドーピング密度やその伝導型（pまたはn）を変化させることによってシリコン半導体表面との仕事関数差を約1.2 Vの範囲内で制御することができるからである。エンハンスメント形、ディプリーション形が可能なデバイスはE/D形式回路を用いることができるために集積化に適していると考えられている。さらに、ソース及びドレイン領域のドーピング密度やその伝導型を制御することによって低不純物密度SOI基板上のパンチスルーMOSデバイスをpやn形にすることができる。その結果、CMOS形式回路を用いることができ、このことも現在知られている集積化に適している条件の一つとなっている [7.3]。

#### 7.4 電位分布および電界分布の計算結果及び考察

図(7.4)に $V_{ds}=3.0$  V,  $V_{gs}=1.0$  V,  $V_{bs}=-0.5$  Vのときの低不純物密度SOI基板上のパンチスルーMOSデバイスの電位分布図を示す。図よりドレイン領域付近の電界が強くなっていることがわかる。さらに、図(7.5)にゲート酸化膜との界面から100 Å離れたチャネル領域内の横方向(チャネル長方向)電界を示す。図(7.5)よりこの場合のチャネル領域が低不純物密度であるためにドレイン接合の空乏層が伸びやすく、チャネル領域全体で電界が直線的に増加していることがわかる。この結果によると、従来型のMOSFETに比べて、同じドレイン電圧をかけた低不純物密度SOI基板上のパンチスルーMOSデバイスのチャネル領域内における最大電界の方が小さいことが判明した。最大電界が小さくなれば、アバランシェ降伏現象も起こりにくくなるために、この結果から低不純物密度SOI基板上のパンチスルーMOSデバイスは高圧に適し、従って負荷を駆動する能力も大きく、高速論理用に適しているデバイスであると言える。



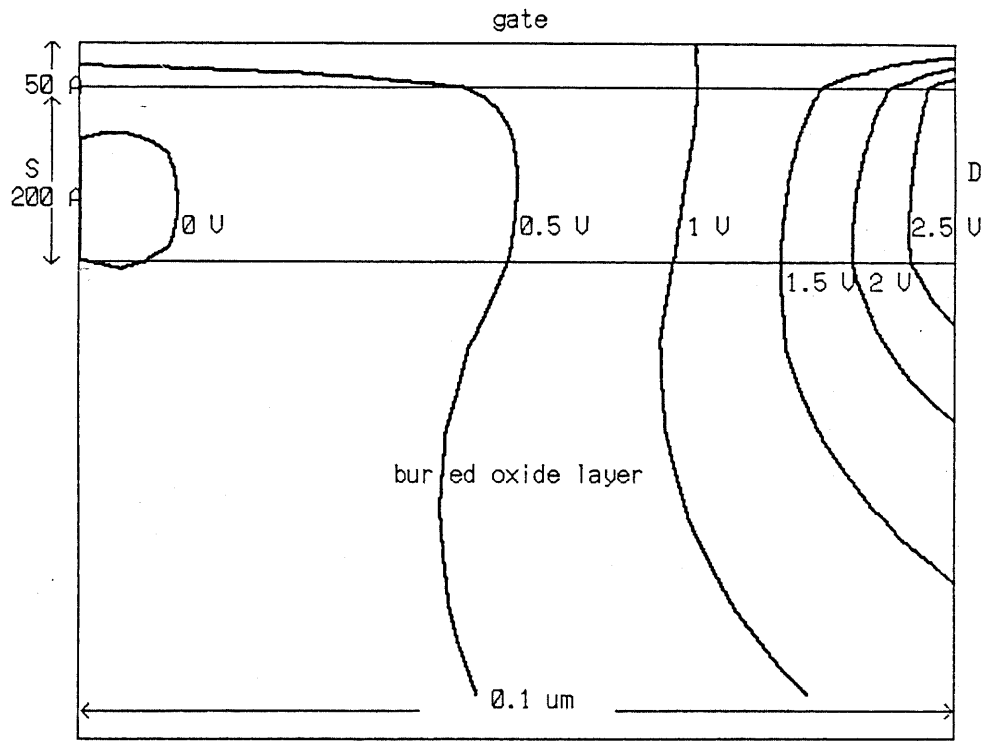


图7.4 电位分布

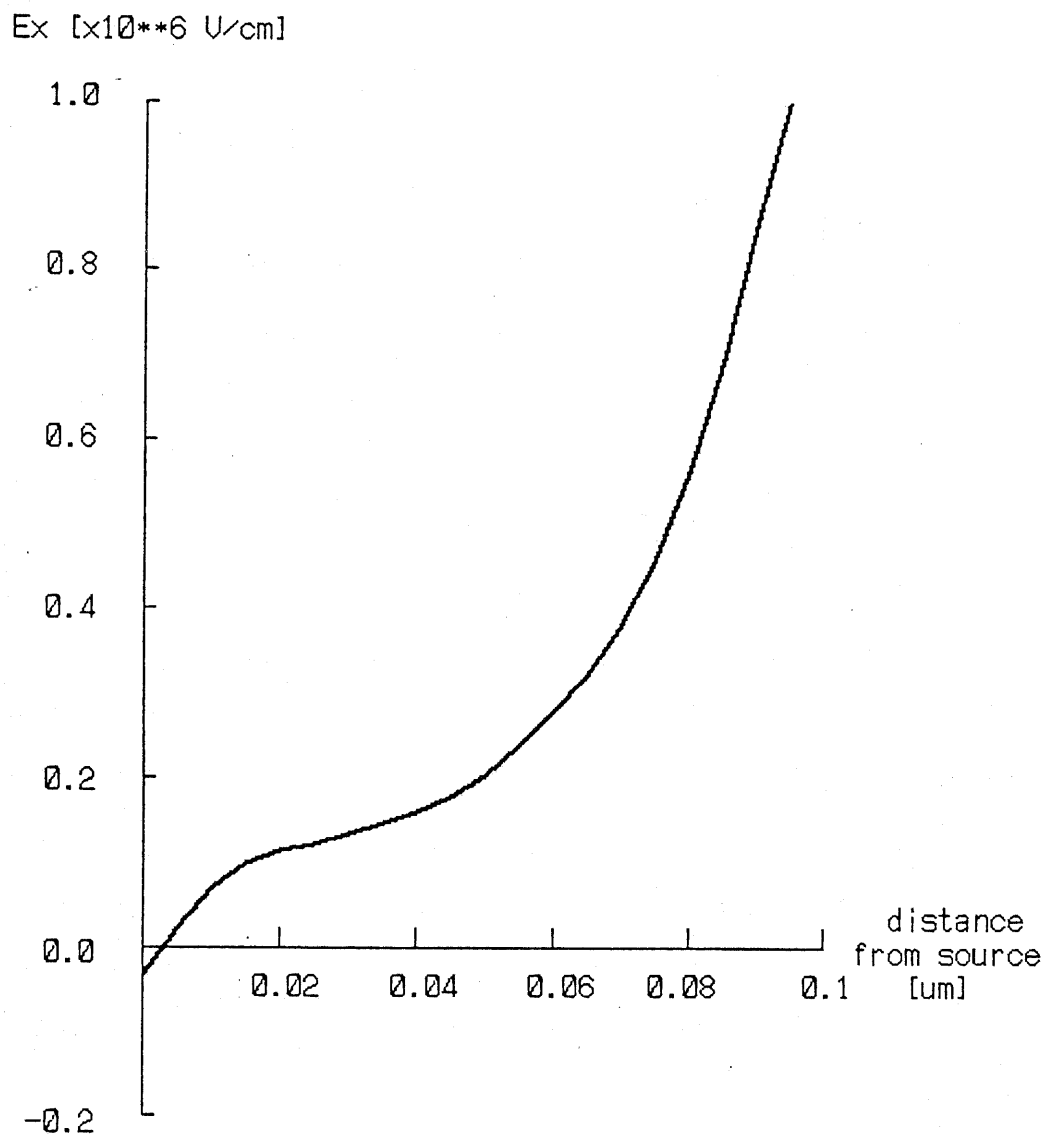


図7.5 横方向電界分布

### 7. 5 電子密度及びドリフト速度の計算結果及び考察

図(7.6)に $V_{ds}=3.0\text{ V}$ ,  $V_{gs}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ のときの低不純物密度SOI基板上のパンチスルーMOSデバイスの、ゲート酸化膜との界面から $100\text{ \AA}$ 離れたチャネル領域内における電子密度分布を示す。図よりこの場合のチャネル領域を流れている電子の密度の平均値が $1.5 \times 10^{18} / \text{cm}^3$ と、本論文の第6章第5節図(6.7)に示されているチャネル長が $0.5\text{ }\mu\text{m}$ の場合の電子密度よりも高くなっている。この結果によって、チャネルが短くなると電界が強くなって大きな電流が流れていることがわかる。また低不純物密度SOI基板上のパンチスルーMOSデバイスの場合では、電流が大きくなるとチャネル領域内に存在している電子の密度も増え、その空間電荷によって電流が制御されていることがわかる。

図(7.7)に図(7.6)と同じ場所及び条件での電子のドリフト速度を示す。但し、この場合のドリフト速度は本論文の第3章第5節で述べたものと同じように求めることができるとする。図と本論文の第6章第5節図(6.8)を比較すると、この場合のチャネル領域内における電子の平均ドリフト速度がチャネル領域全体に渡って大きくなっていることがわかる。さらに、図よりこの場合では電子の平均ドリフト速度がシリコン内の定常状態における電子の飽和速度よりもかなり大きくなり、デバイス内の電子の輸送状態がチャネル長が $0.5\text{ }\mu\text{m}$ の場合よりもバリスティック状態に近付いていることが判明した。この大きな電子の平均ドリフト速度は本論文の第3章第4節や第6章第5節にも触れられているように電子が非定常状態で輸送され、速度のオーバーシュート現象を示していると考えられる [7.4]。

$N [ \times 10^{18} / \text{cm}^3 ]$

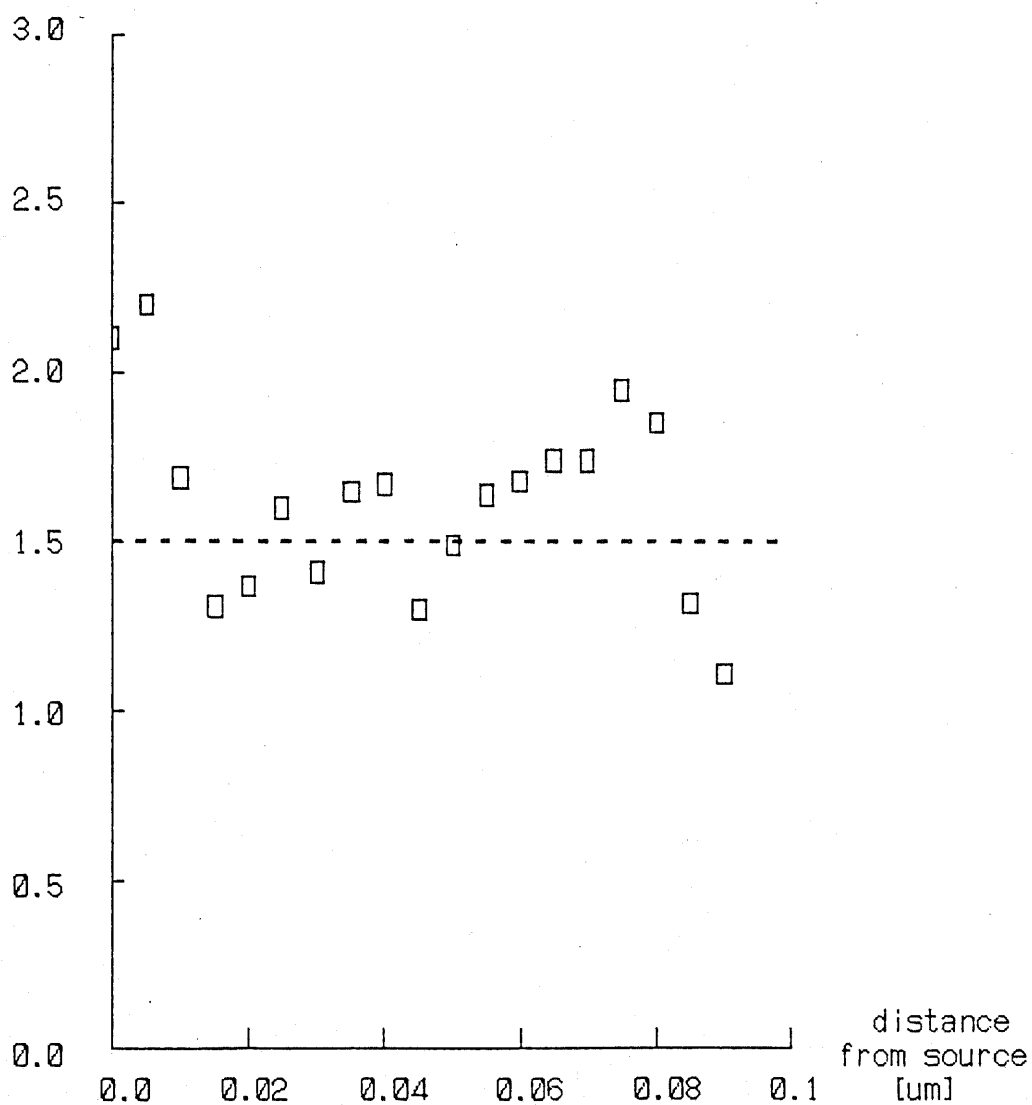


图 7. 6 电子密度分布

drift velocity [ $\times 10^{**7}$  cm/sec]

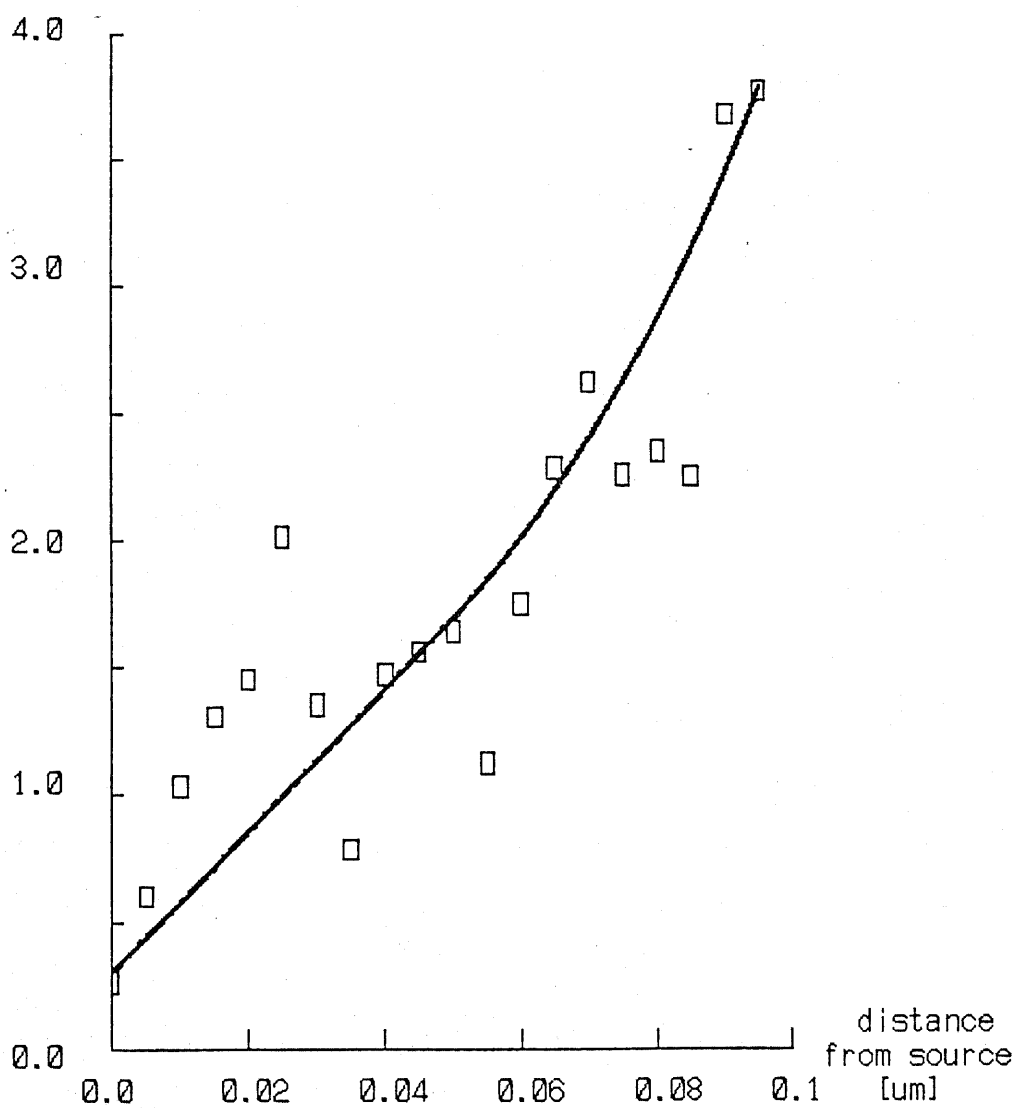


図7.7 ドリフト速度

## 7.6 電子温度分布の計算結果及び考察

図(7.8)に $V_{ds}=3.0\text{ V}$ ,  $V_{gs}=1.0\text{ V}$ ,  $V_{bs}=-0.5\text{ V}$ としたときの低不純物密度SOI基板上のパンチスルーMOSデバイスの、電子のエネルギーを温度に換算した値(以後電子温度と呼ぶ)の等高線図を示す。図よりドレイン領域付近の電子温度が高くなっていることがわかる。これはドレイン領域付近において電子が強い電界から高エネルギー・フォノンとの衝突によって失うエネルギーよりも大きなエネルギーを受け取り、ホット化している様子を示している。

図(7.9)に図(7.8)と同じ条件においての電子のエネルギーの標準偏差値を温度に換算した値の等高線図を示す。図より、電子エネルギーの標準偏差値も電子エネルギーと同様にドレイン領域付近で大きくなっていることが判明した。これはドレイン領域付近まで到達できる電子が多数回高エネルギー・フォノン散乱を受けているためにエネルギーの分散が大きくなっている様子を示している。

さらに、ドレイン領域付近における電子温度の分布を明確にするためにドレイン領域付近の電子温度分布関数を図(7.10)の曲線(a)に示す。図(7.10)の横軸(x軸)は電子温度を示し、縦軸(y軸)はx軸で示されるある電子温度よりも高い温度を持っている電子数の割合を示している。比較のために図(7.10)の点線(b)にドレイン領域付近での最大電界を用いて有効電子温度を計算し、その有効電子温度に対応させたMaxwell分布を示す。一般に従来の流体モデル内で上記の有効電子温度近似が用いられている。ここでは以下の式を用いて有効電子温度を計算した [7.5]。

$$T_{\text{effective}} = q \cdot E_{\text{max}} \cdot \lambda / k_B \quad (7.3)$$

但し、 $E_{\text{max}}$ をドレイン領域付近での最大電界とし、 $\lambda$ を高エネルギー・フォノン散乱の平均自由行程(63 Å)とする。

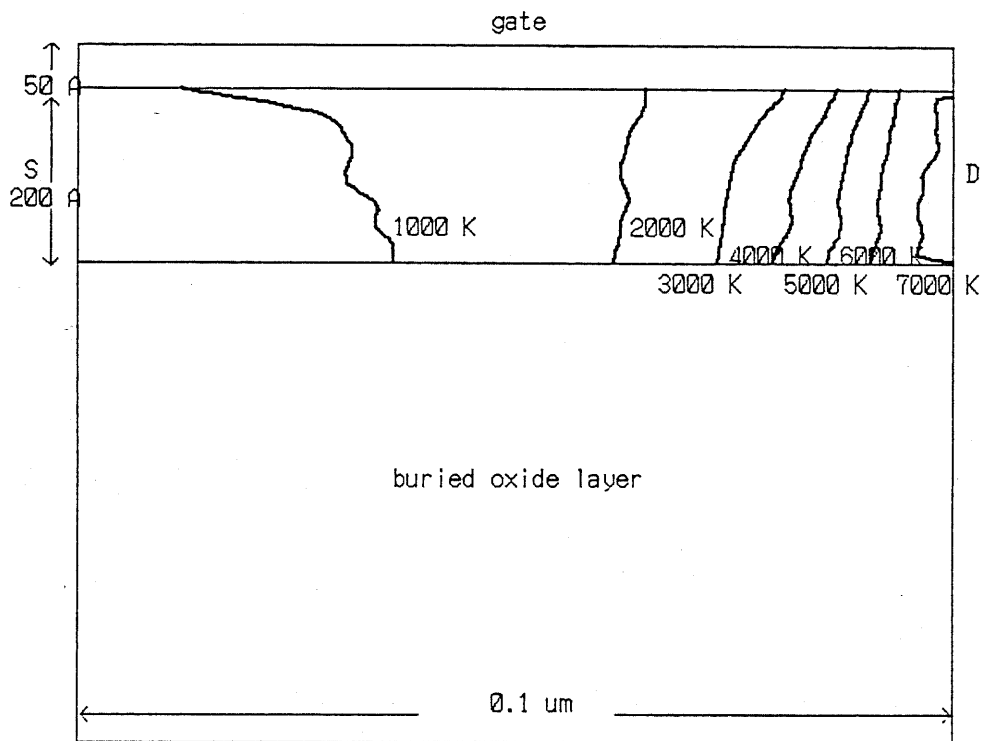


図7.8 電子温度

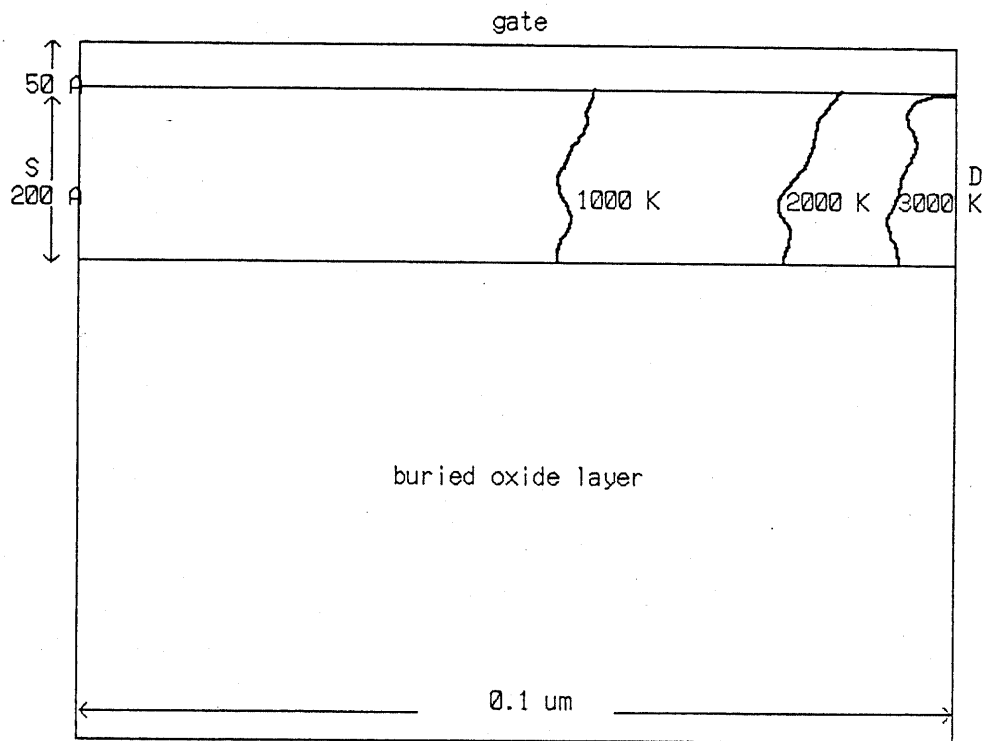


図7.9 電子エネルギーの標準偏差値



probability of  
finding electrons

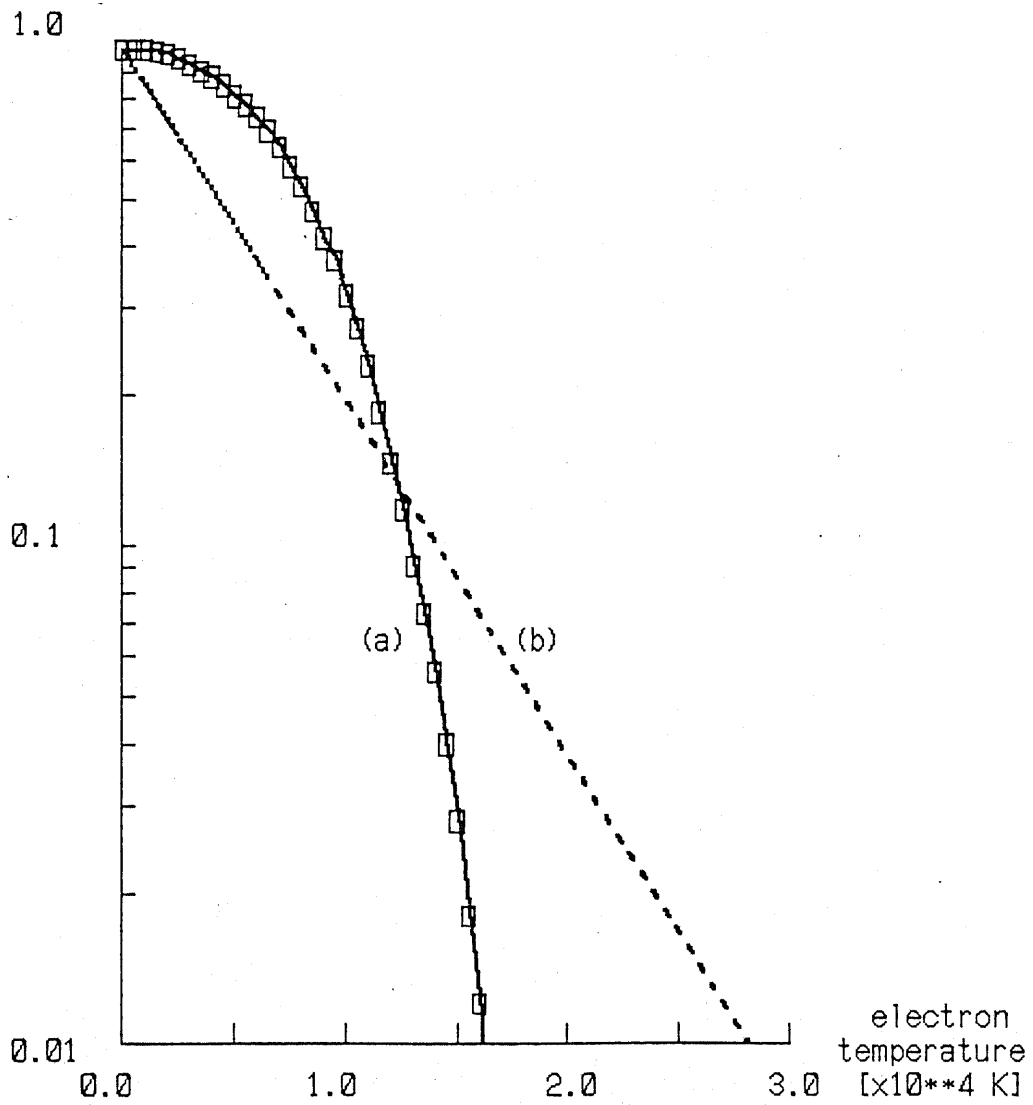


図7.10 電子温度分布関数

チャネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの場合の図(7.10)と同様な電子温度分布関数を図(7.11)に示す。図(7.10)と図(7.11)を比較すると、図(7.10)の場合の方がシミュレーションによる電子温度分布と有効電子温度によるMaxwell分布の差が大きいことがわかる。この結果は本章の図(7.7)と同様にチャネル長が短くなるに従って、デバイス内の電子の運動がバリスティックな運動に近付くことを示している。

さらに、図(7.10)及び図(7.11)から電子が電源電圧よりも大きなエネルギーを持つ可能性があることを示している。この結果は最近の実験結果と一致し、ここでは、その原因は電子が高エネルギー・フォノンを吸収することにあると考えている。但し、その場合には複数回の散乱過程が必要となり、ここでは電子がチャネル領域を走行している間に十分な回数の散乱を受けることができると考えている。但し、チャネル長が短くなると電子が十分な回数の散乱を受けることができず、電源電圧よりも高エネルギーを持つ電子の数が少なくなると考えられる。電界及び高エネルギー・フォノンの吸収以外に、電子がエネルギーを受け取ることでできる過程としてオージェ過程がある。しかしオージェ過程の平均自由行程が大きいためにデバイスの過渡特性に対するその影響は無視できると考えられる。

probability of  
finding electrons

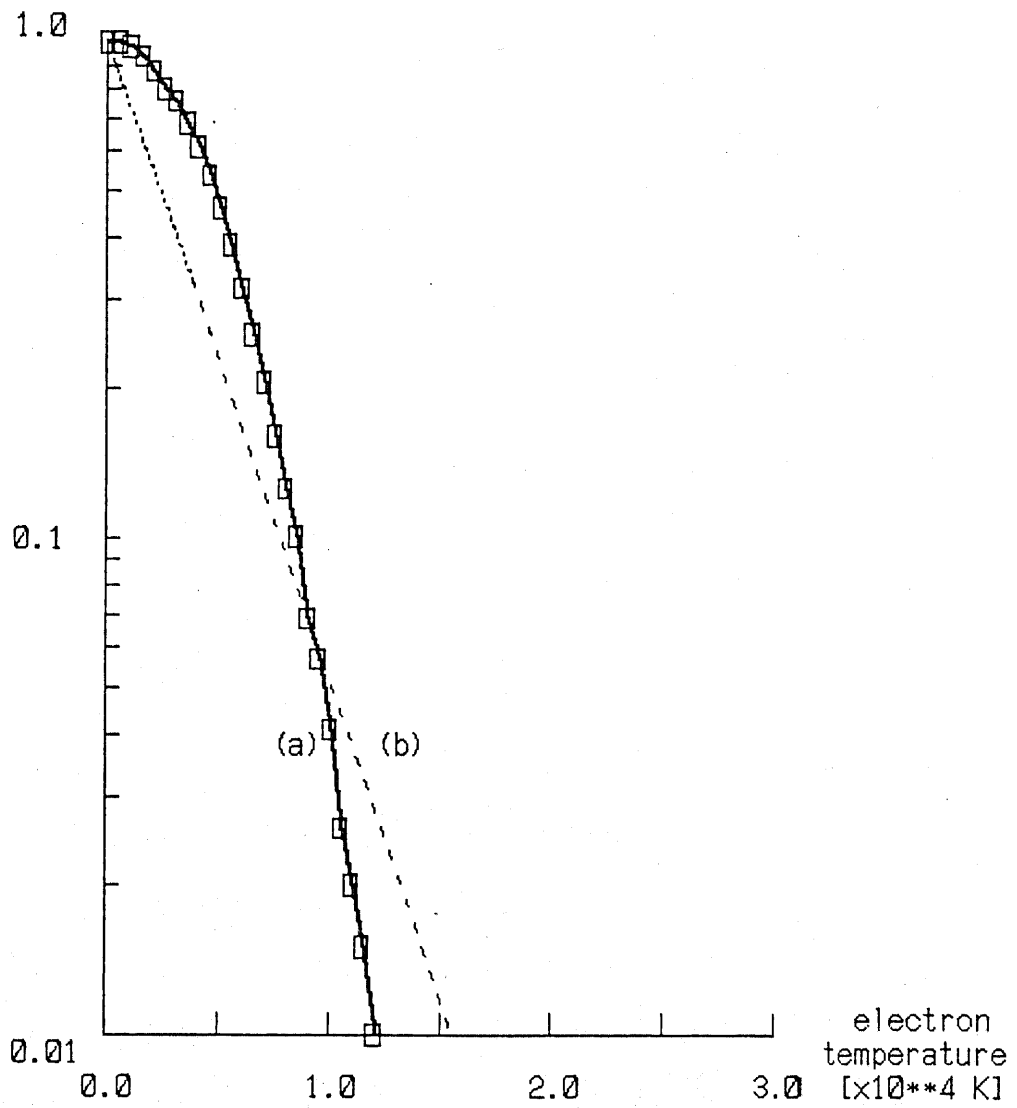


図7.11 チャンネル長が $0.5 \mu\text{m}$ の場合の電子温度分布関数

## 7. 7 インパクト・イオナイゼーション現象を考慮した場合

### の $I_d-V_{ds}$ の計算結果及び考察

図(7. 12)にゲート電圧  $V_{gs}$  をパラメータとしたときの低不純物密度SOI基板上のパンチスルーMOSデバイスの  $I_d-V_{ds}$  特性のシミュレーション結果を示す。ここで、 $V_{bs}$  を  $-0.5$  Vとし、電子の散乱として音響フォノン散乱と高エネルギー・フォノン散乱のほかにインパクト・イオナイゼーション現象も考慮に入れている。またこの場合電子がトンネリングしないと、生成された正孔についても音響フォノン散乱、高エネルギー・フォノン散乱、及びインパクト・イオナイゼーションを考慮している。同図の点線に図(7. 2)に示したインパクト・イオナイゼーション現象を考慮に入れない場合のシミュレーション結果を示す。図よりチャンネル長が  $0.1 \mu\text{m}$  の低不純物密度SOI基板上のパンチスルーMOSデバイスのアバランシェ降伏電圧は3 Vより大きいことがわかる。この結果と本論文の第6章第6節図(6. 9)に示されているチャンネル長が  $0.5 \mu\text{m}$  の場合のアバランシェ降伏電圧を比較すると、低不純物密度SOI基板上のパンチスルーMOSデバイスのアバランシェ降伏電圧はチャンネル長に比例せず、チャンネル長が短くなれば相対的にアバランシェ降伏現象が起きにくくなることがわかる。その原因は二つ考えられ、一つは本章の図(7. 7)や図(7. 10)からわかるようにチャンネル長が短くなると電子が非定常状態で輸送され、インパクト・イオナイゼーション現象が起きにくくなることである。もう一つの原因は本章の図(7. 5)からわかるようにチャンネル長の短い低不純物密度SOI基板上のパンチスルーMOSデバイスのチャンネル領域内の電界が直線的に増加しているために最大電界が小さくなることである。

アバランシェ降伏現象はインパクト・イオナイゼーションによって生成された正孔がソース領域付近へ拡散してソース・ポテンシャル・バリアを下げることによって生じていることが知られている。その影響を見るために図(7. 13)の曲線(a)に  $V_{gs} = 1.0$  Vのときの正孔の生成を許さない場合の、低不純物密度SOI基板上のパンチス

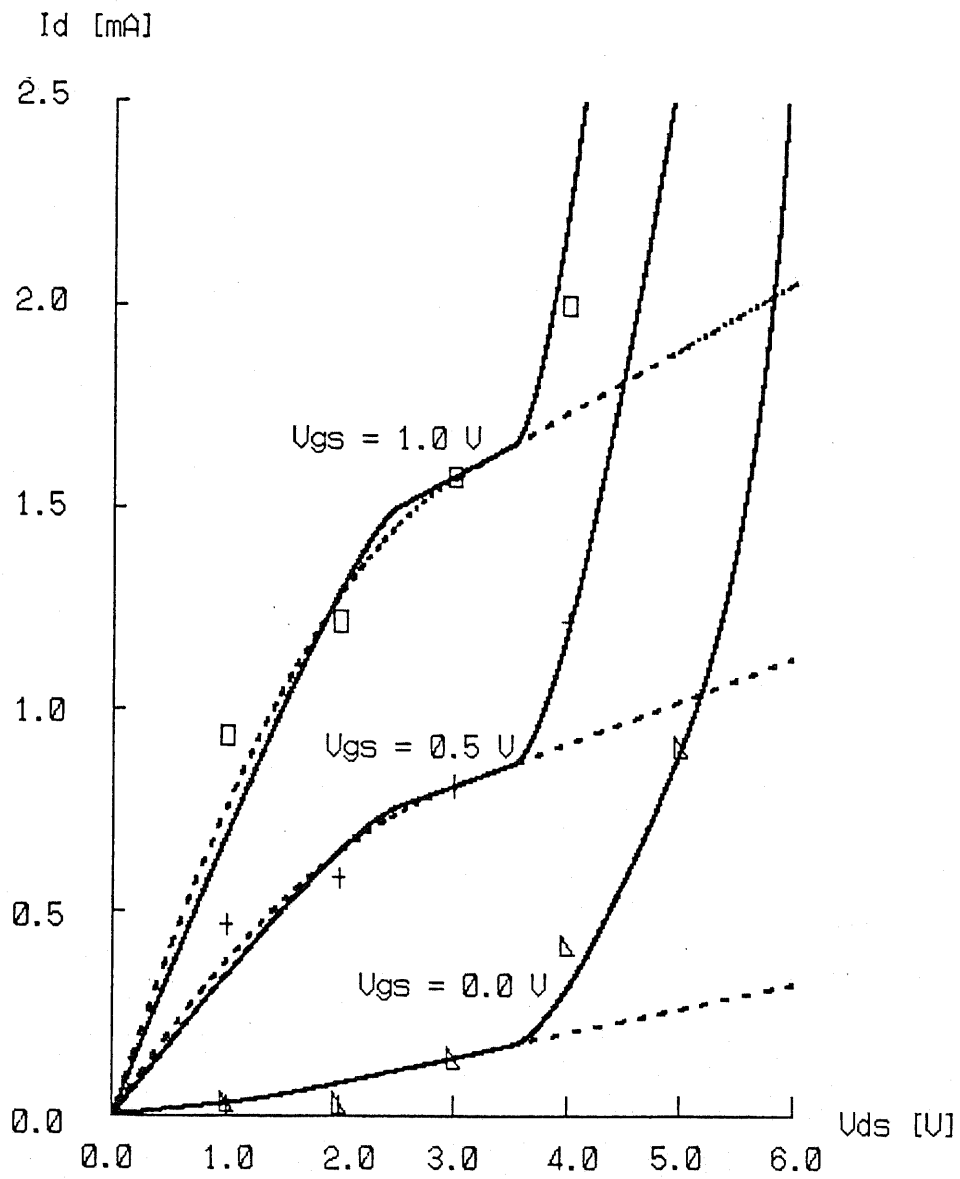


図7. 12 インパクトイオン化を考慮した場合の  $I_d - V_{ds}$  特性

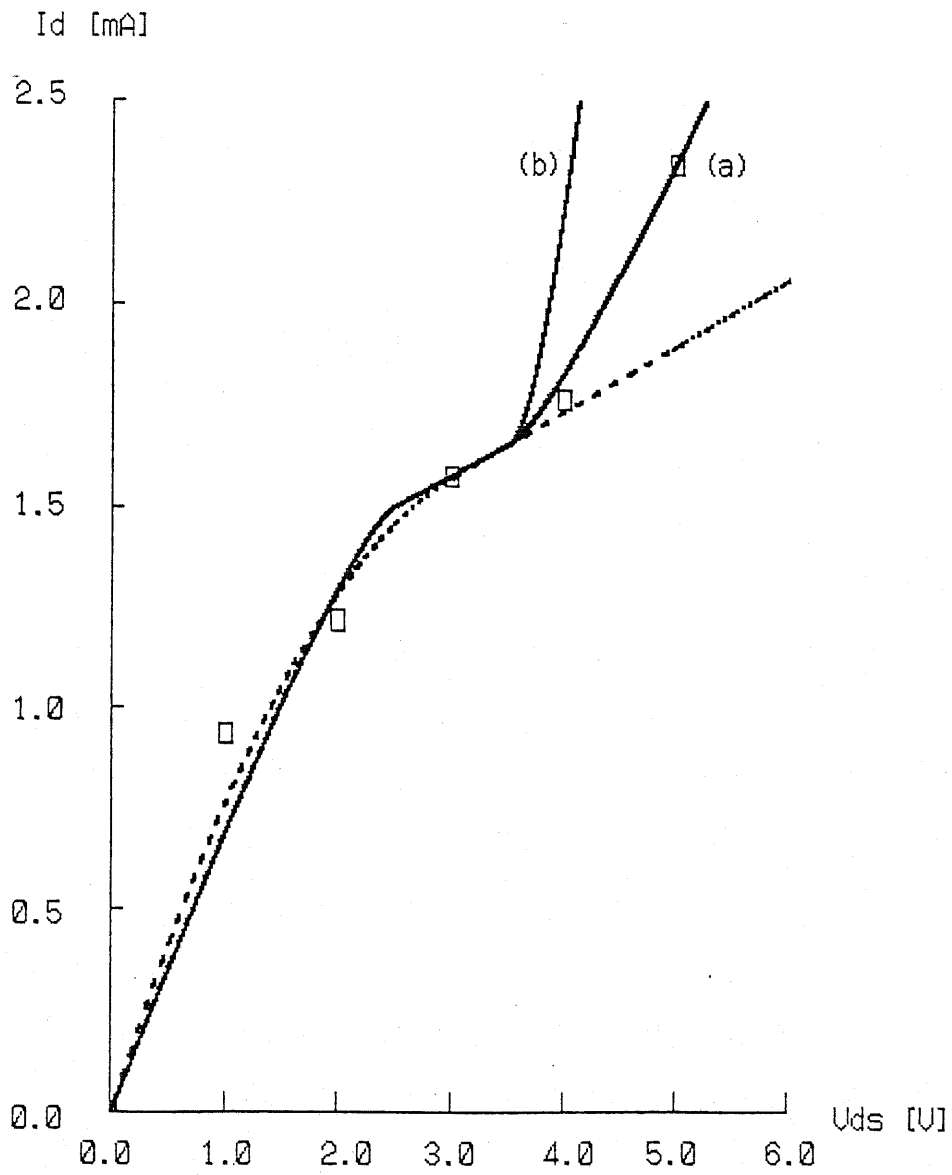


図7. 13 正孔が生成されない場合の  $I_d - V_{ds}$  特性

ル-MOSデバイスの $I_d-V_{ds}$ 特性のシミュレーション結果を示す。但し、 $V_{bs}$ を $-0.5$  Vとする。同図の点線と曲線(b)にそれぞれ図(7.2)及び図(7.12)に示したインパクト・イオナイゼーションを考慮しない場合と考慮する場合のシミュレーション結果を示す。図より正孔が生成されない場合の降伏後のドレイン電流の増加は正孔が生成される場合に比べて緩やかになることがわかる。従って、アバランシェ耐圧の高いデバイスの一つの構造として、生成された正孔を基板やデバイスの動作に関係しないチャンネルの横の部分へ逃がしてしまう構造が考えられることが判明した。

#### 7.8 入力静電容量の計算結果及び考察

図(7.14)に $V_{ds}$ をパラメータとしたときの低不純物密度SOI基板上のパンチスルー-MOSデバイスの入力静電容量(ゲート容量)のシミュレーション結果を示す。静電容量の計算には本論文の第5章第7節式(5.23)で述べられている方法を用い、 $V_{gs}=0$  Vを計算の基準とした。図より $V_{gs}$ が小さく、 $V_{ds}$ が大きくなれば入力静電容量が減少することがわかる。入力静電容量の近似計算として次の方法が考えられる。即ち、チャンネル領域内の電子の密度の濃い部分がゲート酸化膜の界面から $y_{si}$ だけ離れているとする。さらに、基板が十分厚いとし、シリコンとゲート酸化膜の誘電率の違いを考慮すれば、入力静電容量は次式によって示されることになる。

$$C_{gate} = L \cdot W / (y_{ox} \cdot \epsilon_{ox}^{-1} + y_{si} \cdot \epsilon_{si}^{-1}) \quad (7.4)$$

式(7.4)を用いて $y_{si}$ を求めると、その値が約 $100$  Å程度となり、 $V_{gs}$ が小さく、または $V_{ds}$ が大きくなると $y_{si}$ が大きくなる。この結果は $V_{gs}$ が小さく、 $V_{ds}$ が大きい場合には垂直電界の影響が小さくなり、電子の密度の濃い部分は多少基板の奥の方を通ることによって説明することができる。

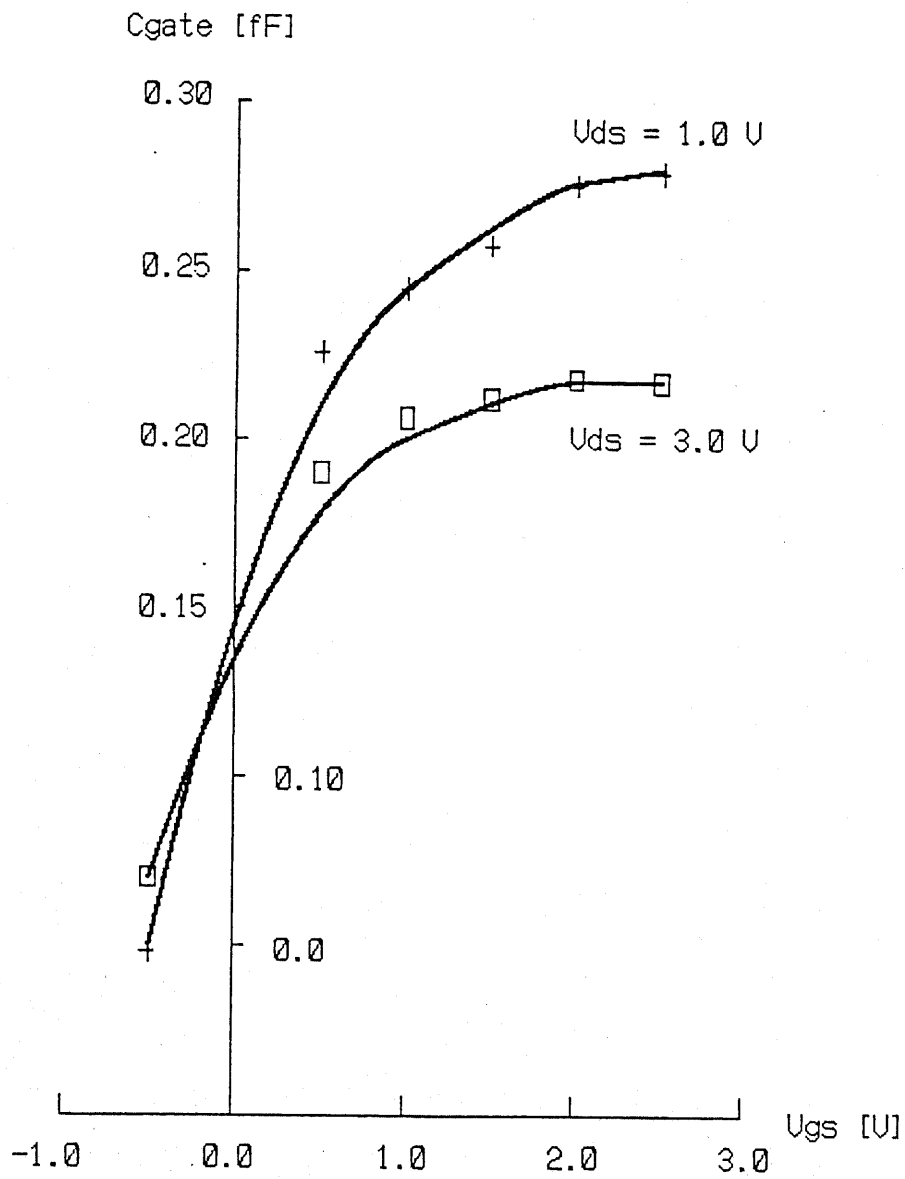


图 7.14 输入容量



### 7.9 トンネリング現象に関する計算結果及び考察

図(7.15)に $V_{ds}=0$  Vのときの低不純物密度SOI基板上のパンチスルーMOSデバイスの $I_g-V_{gs}$ 特性のシミュレーション結果を示し、また図(7.16)に $V_{gs}=5$  Vの場合の $I_g-V_{ds}$ 特性のシミュレーション結果を示す。

一般にゲート酸化膜を流れるトンネル電流として次式で近似できるFowler-Nordheim型のトンネル電流が知られている [7.6]。

$$I_{FN} = L \cdot W \cdot q^2 \cdot E_{surface}^2 / 8 / \pi / \hbar / V_{barrier} \cdot \exp(-4 \cdot \sqrt{(2 \cdot m^* \cdot q)} \cdot V_{barrier}^{3/2} / 3 / \hbar / E_{surface}) \quad (7.5)$$

但し、 $E_{surface}$ を酸化膜界面での電界強度、 $V_{barrier}$ を酸化膜界面でのバリアの高さとする。(  $V_{barrier}=3.2$  eV)

しかし図(7.15)に示されているトンネル電流は式(7.5)のFowler-Nordheim型のトンネル電流よりも大きくなっている。その原因を調べるために同図の□印にシミュレーション結果の電子温度を示す。図より電子温度が5000Kと高くなっていることが判明し、その結果としてトンネル電流が増加していることが判明した。電子温度が高くなる原因としてチャネル領域内の電子がゲート電界によってゲートの方へ吸い寄せられる際に過渡的に電子温度が増加することが考えられる。チャネル長が短いために電子が非定常状態で輸送され、その結果としてかなり長い時間、過渡特性を示し、トンネル電流の増加の原因となっている。

トンネル電流が流れている状態では、等価な電子に対するバリアが下がって見える。その様子を見るために本研究ではシミュレーションによって求められたトンネル電流と電子温度を熱放出の式に適用し、等価バリアの高さを求めた。その結果を図(7.15)の+印に示す。但し、熱放出の式は次章第2節式(8.1)に示す。図よりこの場合のバリアの高さは約2.8 eVとなっていることがわかる。

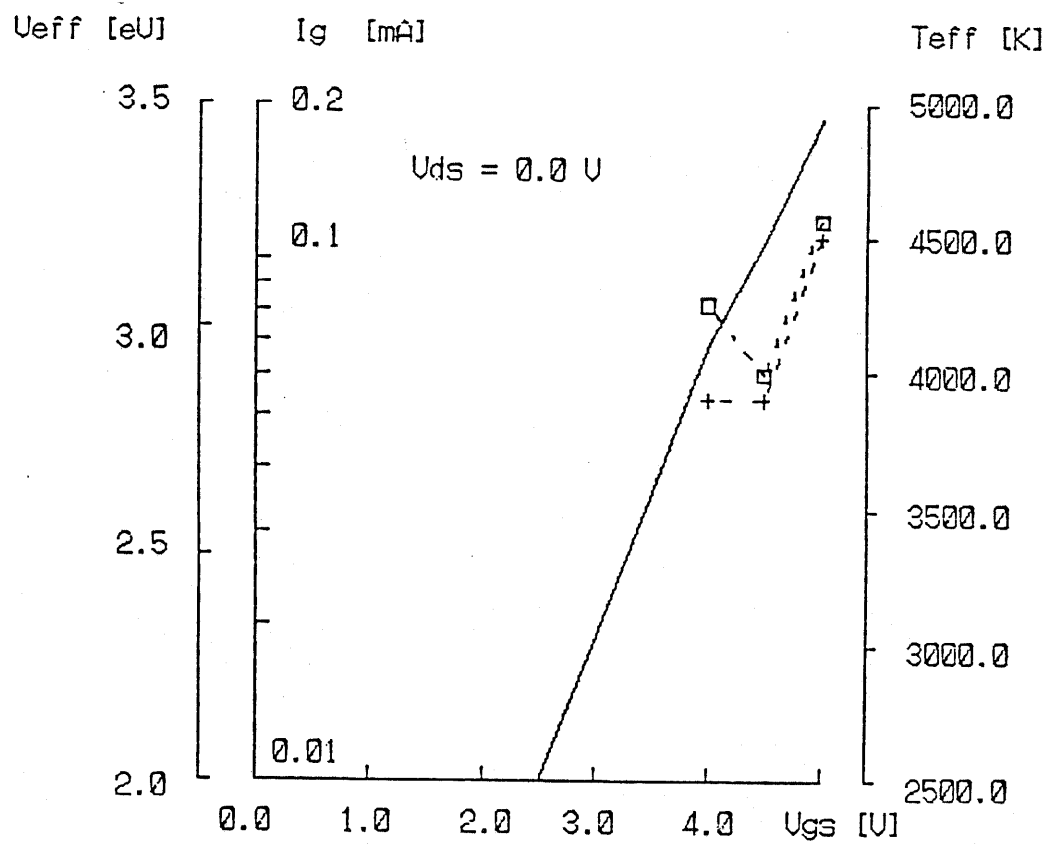


图 7.15  $I_g - V_{gs}$  特性

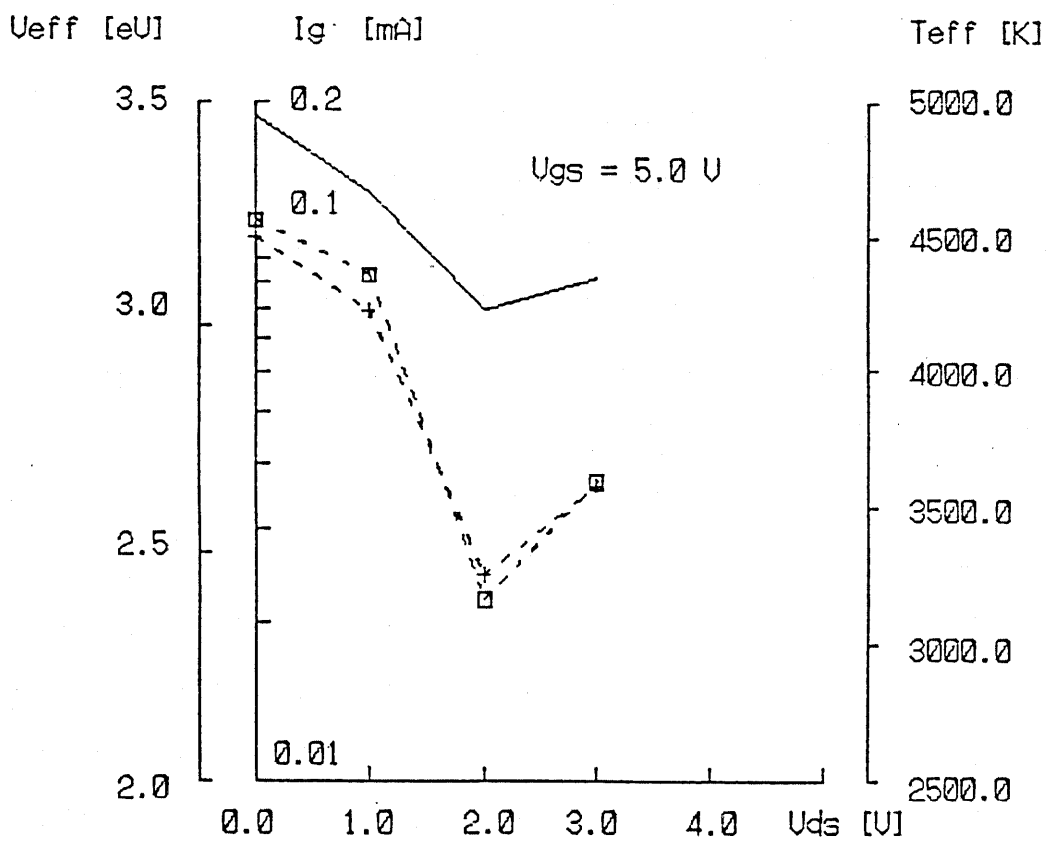


图 7.16  $I_g - V_{ds}$

図(7.16)よりドレイン電圧が高くなると、最初は電子温度が下がり、その後増加する傾向が見られている。それは、ドレイン電圧が高くなると電子がドレインに吸い寄せられるために最初は電子温度が下がり、ドレイン電圧がさらに高くなるとドレイン電界が強くなり、電子はドレイン電界よりエネルギーを受け取るようになり電子温度が上がる、ということを示している。

#### 7.10 捕獲中心の影響を考慮した場合の計算結果及び考察

図(7.17)に捕獲中心の影響を考慮した場合の低不純物密度SOI基板上のパンチスルーMOSデバイスの $I_d-V_d$ 特性のシミュレーション結果を示す。但し、 $V_{gs}=1.0\text{ V}$ とし、バルクの捕獲中心密度を $10^{15}/\text{cm}^3$ 、ゲート側界面の捕獲中心密度を $10^{12}/\text{cm}^3$ 、基板絶縁膜側界面の捕獲中心密度を $10^{13}/\text{cm}^3$ とし、捕獲断面積を $10^{-15}\text{ cm}^2$ とする [7.71]。図(7.17)の点線(a)に捕獲中心が空状態からシミュレーションを始めた場合、また曲線(b)に捕獲中心が電子で埋まっている状態からシミュレーションを始めた場合の結果を示している。この場合の捕獲、放出時間はシミュレーション時間よりかなり長いために、シミュレーションの結果が初期状態に大きく依存していると考えられる。図より低不純物密度SOI基板上のパンチスルーMOSデバイスの特性は捕獲中心の影響によって大きく変化していることがわかる。それはチャネル領域が薄いためと考えられる。

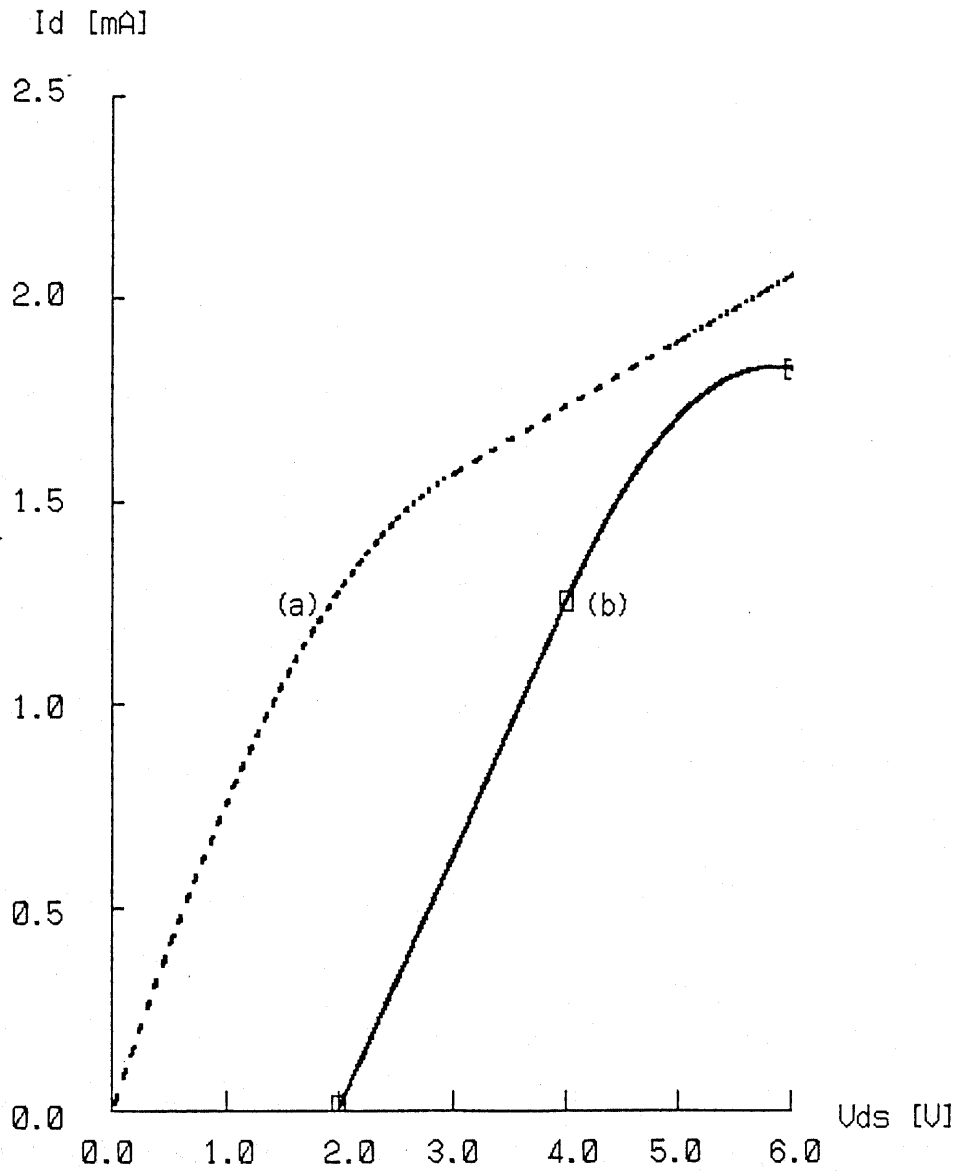


図7. 17 捕獲中心の影響を考慮した場合の  $I_d - V_{ds}$  特性

### 7. 1 1 第7章のまとめ

以上、チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのモンテ・カルロ・シミュレータによる計算結果について述べた。結果をまとめると以下のようなになる。

- a) 低不純物密度SOI基板上のパンチスルーMOSデバイスのドレイン電流 $I_d$ が非飽和特性を示しながらもゲート電圧によって制御されている。
- b) 低不純物密度SOI基板上のパンチスルーMOSデバイスの相互コンダクタンス $g_m$ は $V_{ds}=3.0\ \text{V}$ 、及び $V_{ds}=1.0\ \text{V}$ のそれぞれの場合で $1.1\ \text{mS}/\mu\text{m}$ 、 $0.8\ \text{mS}/\mu\text{m}$ と大きくなっている。
- c) 低不純物密度SOI基板上のパンチスルーMOSデバイスのゲート電極にポリシリコンを用いることによってデバイスをディプリーション形のほかにエンハンスメント形にすることも可能である。
- d) 低不純物密度SOI基板上のパンチスルーMOSデバイスのチャネル領域全体で電界が直線的に増加し、最大電界が比較的になくなる。
- e) 低不純物密度SOI基板上のパンチスルーMOSデバイスの電子の平均ドリフト速度がシリコン内の定常状態における電子の飽和速度よりもかなり大きくなり、速度がオーバーシュートしている。
- f) 電子温度分布図よりチャネル長が短くなるに従って、デバイス内の電子の運動がバリスティックな運動に近付くことがわかる。
- g) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのアバランシェ降伏電圧は $3\ \text{V}$ 強と大きくなっている。
- h) アバランシェ耐圧の高いデバイスの構造の一つに生成された正孔を基板やデバイスの動作に関係しないチャネルの横の部分へ逃がす構造が考えられる。
- i) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイ

スの入力静電容量が約 $0.2 \text{ fF}$ となっている。

- j) ゲート電圧が高い場合、低不純物密度SOI基板上のパンチスルーMOSデバイスのゲート酸化膜をトンネリングする電流が過渡的にFowler-Nordheim型のトンネル電流よりも大きくなる。
- k) 低不純物密度SOI基板上のパンチスルーMOSデバイスの特性は捕獲中心の影響によって大きく変化する。

参考文献

7. 1 S. M. Sze, "Physics of Semiconductor Devices", 2-nd ed., pp. 431-510, 1981
7. 2 徳山, "MOSデバイス", 工業調査会
7. 3 Mead, Conway, "Introduction to VLSI System", Addison-Wesley publishing company, 1980
7. 4 M. S. Shur et al, IEEE Trans. Electron Devices, vol. ED-26, pp. 1677-1683, 1979
7. 5 S. Tam et al, IEEE Electron Lett., vol. EDL-4, pp. 249-251, 1983
7. 6 D. Frohman-Bentchkowsky, Solid-State Electron., vol. 17, pp. 517, 1974
7. 7 菅野, "半導体の物性と素子", 昭見堂, 1973



## 第8章 SOI上のMOSデバイスの サブ・スレッショルド特性

### 8.1 はじめに

本論文の第7章に、モンテ・カルロ・シミュレータを用いて低不純物密度SOI基板上のパンチスルーMOSデバイスの各特性のシミュレーション結果、及びそれらの結果を用いた上記デバイスの評価を述べた。本章では、ゲート電圧がスレッショルド電圧以下の領域でのドレイン電流の求め方、計算結果、及び低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド電流電圧特性の評価について述べる。

粒子モデルを用いたシミュレータの計算結果は粒子の各統計を取ることによって得ていることは既に本論文の第2章で述べた。この方法の問題点は、統計を取るためにはある程度の粒子数が必要なところにある。そのために、ゲート電圧がスレッショルド電圧以下の場合では、電流の計算の精度が悪くなったり、計算量が増えたりする。その原因は、サブ・スレッショルド領域ではソースやドレイン領域からチャネル領域内に注入されたほとんどの電子が空間電荷やゲート電圧の作る静電ポテンシャル・バリアによって電極内へはね返され、チャネル領域内に入り込める電子が少ないことが考えられる。

特に本研究で作成したシミュレータの場合では、本論文の第5章第2節に触れられているように、計算量を減らす工夫として、ソースやドレイン領域から注入される電子の初期エネルギーがチャネル領域内の接合面に最も近いメッシュの電位より小さいような電子は注入されないとしている。さらに、注入される電子の初期速度は平均が0、分散が $k_B \cdot T / 2$ のガウス分布を満たしているとし、ガウス分布を満たす疑似乱数の作り方としてガウス分布の表を予め用意してその表からランダムに数を選び出すButlerの提案した合成法を用いている [8.11]。そのためにここでは $9 \cdot k_B \cdot T / 2$  (常温の場合では100 mV程度) より大きな初期エネルギーを持つ電子は作られることはなく、従っ

てここでは、サブ・スレッショルド領域でのドレイン電流を求めるのに粒子モデルをそのまま利用することはできない。

そこで本研究では、第七章にも触れられているように対象としているデバイスの動作がソース接合界面近くのチャンネル領域内のポテンシャル・バリアを越える電子によって決めることに着目して、次節で述べる熱放出モデルを用いてサブ・スレッショルド領域におけるドレイン電流を求めることにした。

以下に先ず、熱放出モデルについて述べる。次に、モデルの評価のためにチャンネル長が $0.5\mu\text{m}$ の低不純物SOI基板上パンチスルーMOSデバイスの計算結果と粒子モデル及び流体モデルによる結果との比較について述べる。最後に、チャンネル長が $0.1\mu\text{m}$ の低不純物SOI基板上パンチスルーMOSデバイスの計算結果と粒子モデルの結果の比較、及びその場合のサブ・スレッショルド領域におけるドレイン電流を計算した結果について述べる。

## 8.2 熱放出モデル

図(8.1)に $V_{ds}=3.0\text{V}$ ,  $V_{gs}=-0.5\text{V}$ ,  $V_{bs}=-0.5\text{V}$ のときの、チャンネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイス内のモンテ・カルロ・シミュレータを用いた電位分布のシミュレーション結果の立体図を示す。図よりこの条件の場合では、ソース領域より注入された電子が高さ約 $500\text{mV}$ のポテンシャル・バリアを感じて、そのバリアを越えるエネルギーを持っている電子だけがドレイン領域に到達できることがわかる。またドレイン領域より注入された電子については、高さ約 $3500\text{mV}$ のポテンシャル・バリアより大きなエネルギーを持っている電子のみがソース領域に到達できることもわかる。

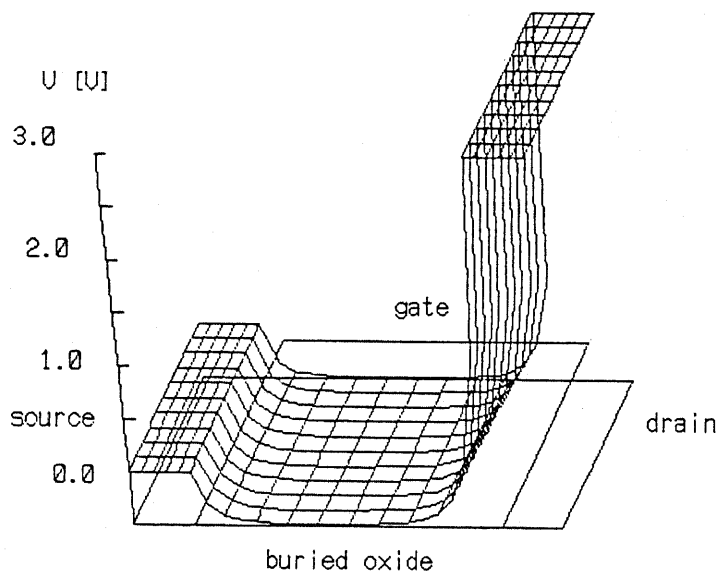


図 8. 1 電位分布の立体図

電子がチャネル領域内を走行している間に、その電子の流れ方向に沿った方向の、絶対値が最も大きな負の電位を電子の感じるポテンシャル・バリアとして見ることができる。電子の流れる方向については、本研究で対象としているデバイスのチャネル領域の厚さが長さに比べて十分小さいために、ここでは電子がチャネル長方向に沿って流れると仮定する。図(8.2)に図(8.1)の場合の、以上の仮定をして求めた、ソース領域より注入された電子の感じるポテンシャル・バリアの深さ方向(基板に向かってチャネル長に直交する方向)の分布を示す。図より、この場合では電子がほとんどチャネル領域内に存在せず、ソース領域より注入された電子の感じるポテンシャル・バリアはチャネル領域全体において約500 mVとなっていることがわかる。それに対してゲート電圧がスレッシュホールド電圧より大きく、ドレイン電流が流れている場合のポテンシャル・バリア分布の計算を試みた結果によると、ポテンシャル・バリアがゲート直下の半導体表面で減少し、ついには0になり、流れる電子の数がそこで急増することが判明した。

上記のポテンシャル・バリアを越えて電流が流れる機構として、ソースやドレイン領域より熱放出した電子がそのバリアを越えて電流として流れるものがある。ソース及びドレイン領域より注入された電子の持っているエネルギーをMaxwell分布を満たしていると仮定すると、この場合の電流は次に示すRichardsonの式に従う。

$$I_{\text{thermal}} = m^* \cdot q \cdot k_B^2 \cdot T^2 / 2 / \pi^2 / \hbar^3 \cdot \exp(-q \cdot V_B / k_B / T) \quad (8.1)$$

但しここでは、 $V_B$ を電子の感じるポテンシャル・バリアとする。

そこで本研究では、モンテ・カルロ粒子モデルを用いたシミュレータの電位分布のシミュレーション結果から、電子の流れがチャネル長方向に沿っていると仮定してその方向におけるポテンシャル・バリアを求めることにした。さらにここでは、ソースから注入され、バリアを越えて流れる熱放出電流と、その逆のドレインから注入された熱放出

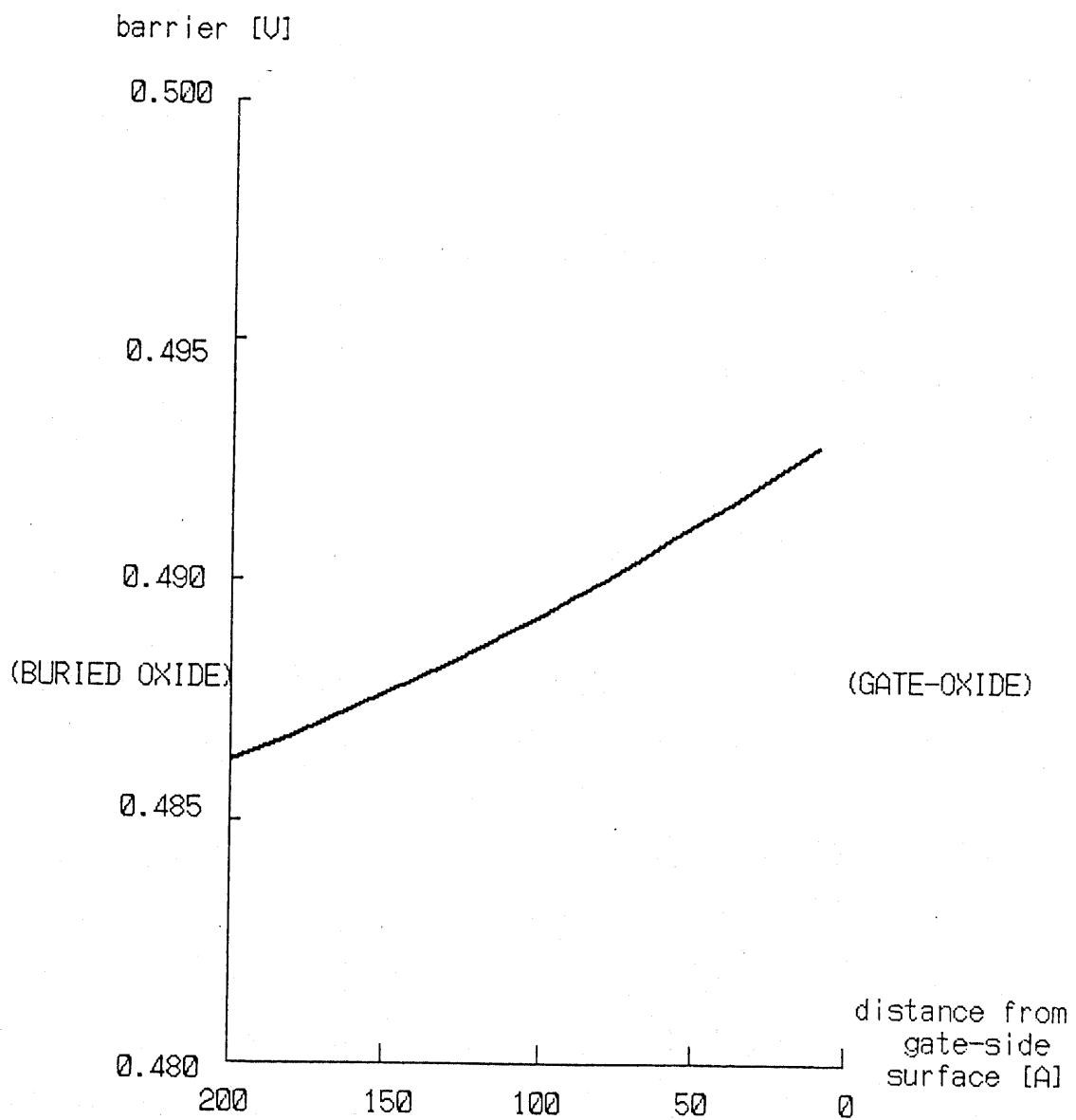


図8.2 電子の感じるポテンシャル・バリア

電流の差を、その時に流れるドレイン電流として用いることにした [8.3]。その結果、このモデルによるドレイン電流は以下の式によって示される。

$$I = m^* \cdot q \cdot k_B^2 \cdot T^2 / 2 / \pi^2 / \bar{N}^3 \cdot \exp(-q \cdot V_{source\ B} / k_B / T) \cdot [1 - \exp(-q \cdot V_{ds} / k_B / T)] \quad (8.2)$$

但しここでは、 $V_{source\ B}$ をソースから見た場合の電子に対するポテンシャル・バリアとする。

上記の熱放出モデルの仮定によってこのモデルの適用範囲は以下のようになることが考えられる。即ち、本モデルはチャネル長がチャネル領域の厚さよりも小さく、インパクト・イオン化が起きない程度の低いドレイン電圧、及び電子がチャネル長方向に沿って走行できる程度のドレイン電圧よりもさらに低いゲート電圧の範囲内でのみに適用できる。

次に、本モデルを用いた計算結果を評価するために粒子の統計を取る方法によるドレイン電流の計算結果との比較、及び流体モデルとの比較について述べる。

### 8.3 0.5 $\mu$ mデバイスの場合の計算結果及び粒子モデルとの比較検討

図(8.3)の□印にチャネル長が0.5  $\mu$ mの低不純物密度SOI基板上のパンチスルーMOSデバイスの熱放出モデルによって計算した $I_d-V_{gs}$ 特性を示す。但しここでは、 $V_{ds}=3.0$  V,  $V_{bs}=-0.5$  Vとする。同図の曲線(a)は本論文の第6章第3節(図(6.3)の□印)にも記されているモンテ・カルロ粒子の統計を取って得られている $I_d-V_{gs}$ 特性を示す。図より両方法によって計算された $I_d-V_{gs}$ 特性がよく一致していることがわかる。この結果によって、本研究で対象としているデバイスのドレイン電流は、ソース及びドレイン領域から熱放出され、ポテンシャル・バリアを越えた電子のみによって決り、チャネル領域内の電子の運動に陽に依存しないことが判明した。但し、ポテンシャル・バリアを決定する空間電荷の形成過程はチャネル領域内

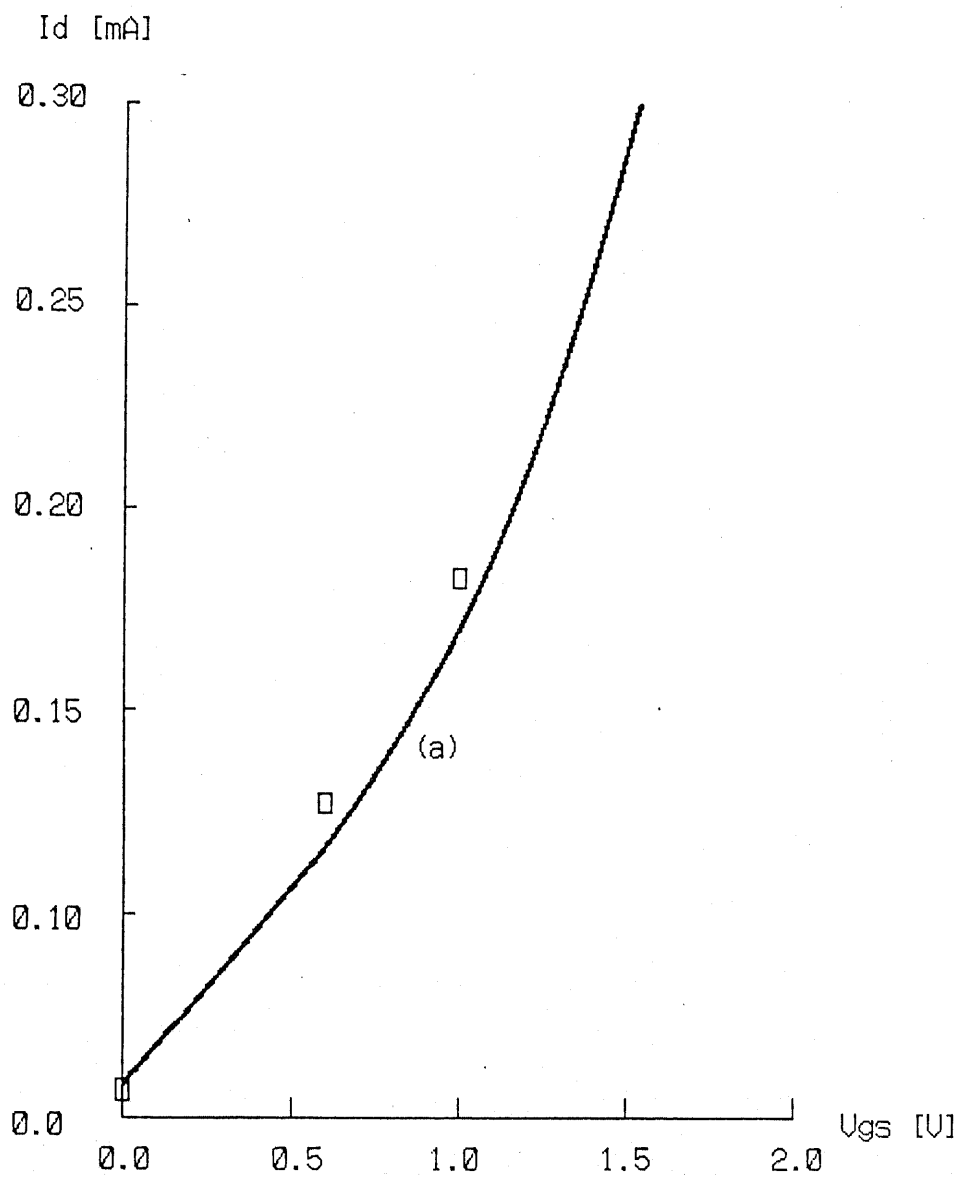


图8.3  $I_d - U_{gs}$ 特性

の電子の運動に直接関係しているために、実際には、ドレイン電流が陰にチャンネル領域内の電子の運動に依存することになる。

#### 8.4 流体モデルによる計算結果との比較検討

図(8.4)の□印にチャンネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの熱放出モデルによって計算したニア・スレッショルド領域、及びサブ・スレッショルド領域における $I_d-V_{gs}$ 特性を示す。但しここでは、 $V_{ds}=3.0\text{V}$ 、 $V_{bs}=-0.5\text{V}$ とする。同図の曲線(a)は流体モデルを用いたデバイス・シミュレータCADDETのシミュレーション結果を示す。図より熱放出モデルによる計算結果とCADDETによるものが全領域に渡って良く一致し、特にサブ・スレッショルド領域における曲線の傾きが良く一致していることがわかる。

さらに、図よりチャンネル長が $0.5\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド領域における $I_d-V_{gs}$ 特性の傾きは $61.2\text{mV/decade}$ となっていることが判明した。この結果と本論文の第3章第3節に記されているチャンネル長が $0.5\mu\text{m}$ の従来型のMOSデバイスのサブ・スレッショルド領域における $I_d-V_{gs}$ 特性の傾き( $193.3\text{mV/decade}$ )と比較するとSOI基板上構造を用いることによってサブ・スレッショルド電流を抑制できることがわかる。

#### 8.5 $0.1\mu\text{m}$ デバイスの場合の計算結果及び粒子モデルとの比較検討

図(8.5)の□印にチャンネル長が $0.1\mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの熱放出モデルによって計算した $I_d-V_{gs}$ 特性を示す。但しここでは、 $V_{ds}=3.0\text{V}$ 、 $V_{bs}=-0.5\text{V}$ とする。同図の曲線(a)は本論文の第7章第X節(図(7.X)の□印)にも記されているモンテ・カルロ粒子の統計を取って得られた $I_d-V_{gs}$ 特性を示す。図よりこの場合では、チャンネル長が図(8.3)の場



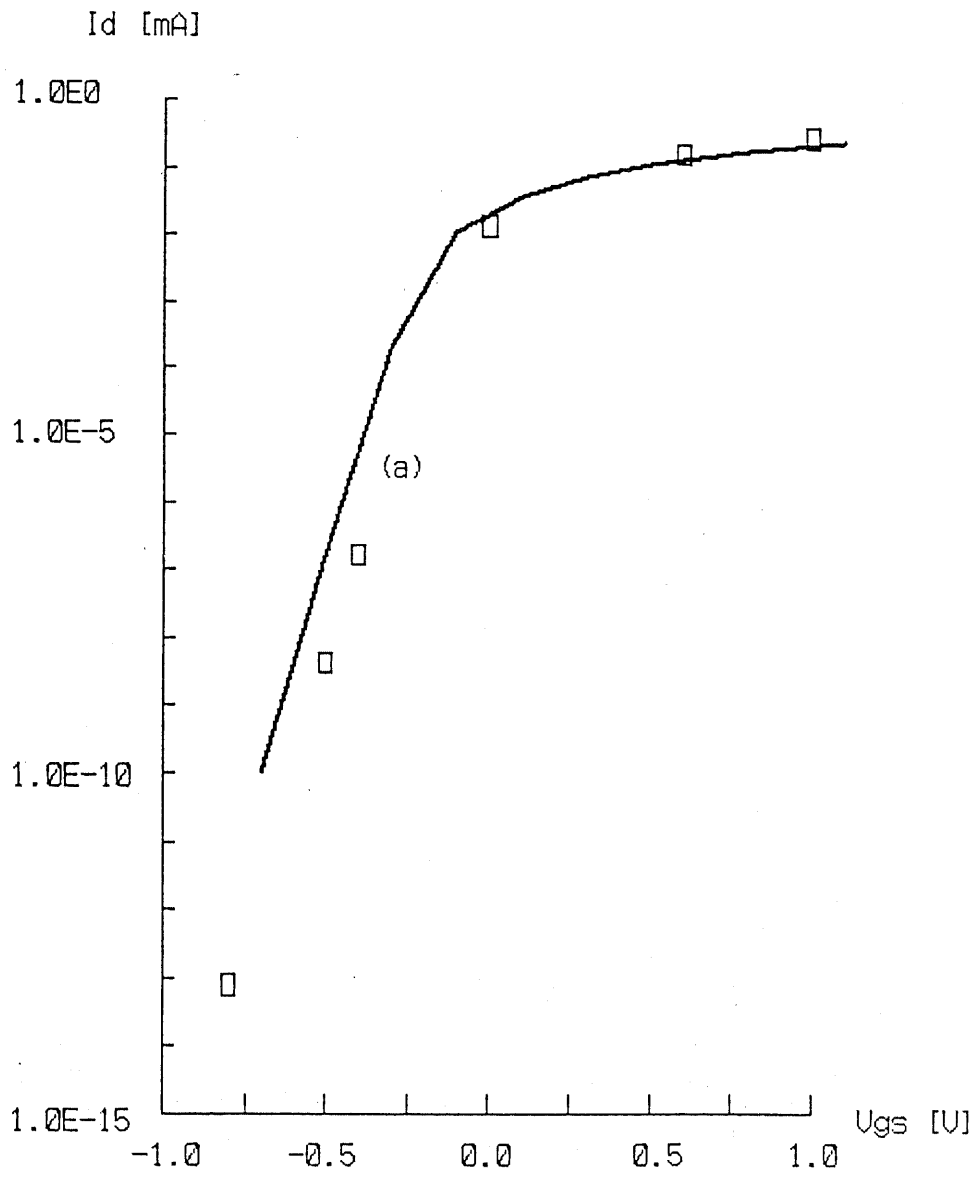


图8.4  $I_d - V_{gs}$ 特性

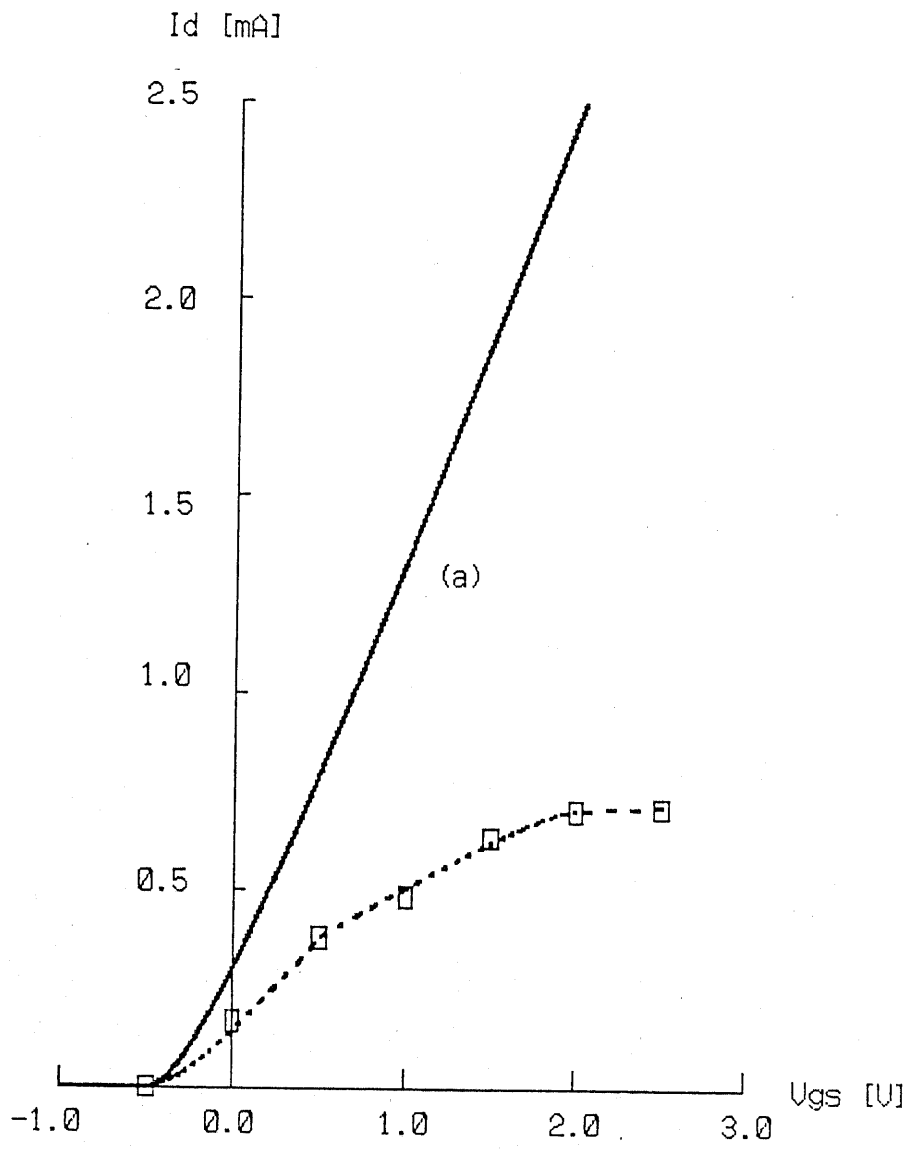


图 8.5  $I_d - V_{gs}$  特性

合に比べて短くなったために、ゲート電圧の高い領域では、両モデルによる計算値に違いが生じていることがわかる。これはゲート電圧の高い領域で電子がゲートによって強く吸い寄せられ、チャネル長方向に沿うことなく、より流れやすい方へ流れているために熱放出モデルの仮定が成立しなくなる。その結果として熱放出モデルによる電流の計算値の方がモンテ・カルロ粒子の統計を取る方法よりも小さくなる。但し、この場合でもゲート電圧が小さくなると両モデルによる計算値が一致する傾向を示し、チャネル長が $0.1\ \mu\text{m}$ のような短チャネルデバイスの場合のサブ・スレッショルド領域における特性でも、計算が可能と考えられる。

従って、以下ではチャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド領域での電流電圧特性を計算するために熱放出モデルを用いることにした。以下にその計算結果、及びデバイスのサブ・スレッショルド領域における電流電圧特性の評価について述べる。

#### 8.6 $0.1\ \mu\text{m}$ デバイスのサブ・スレッショルド特性に関する検討

図(8.6)に、 $V_{ds}$ を $3.0\ \text{V}$ と $1.0\ \text{V}$ にした場合の、チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの熱放出モデルによって計算した、サブ・スレッショルド領域における $I_d-V_{gs}$ 特性を示す。但しここでは、 $V_{bs} = -0.5\ \text{V}$ とする。図よりこの場合のサブ・スレッショルド領域における $I_d-V_{gs}$ 特性の傾きは $V_{ds} = 3.0\ \text{V}$ 、及び $V_{ds} = 1.0\ \text{V}$ のそれぞれの場合で $108.7\ \text{mV/decade}$ と $97.7\ \text{mV/decade}$ 、となっていることがわかる。このことは即ち、チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスを論理回路のスイッチング素子として用いた場合、その回路の論理振幅を $0.8\ \text{V}$ 以上にすれば導通状態で流れているドレイン電流と遮断状態の場合のそれとの比(オン・オフ比)を $10^7$ 以上にすることができることを意味している [8.31]。この結果によって、低不

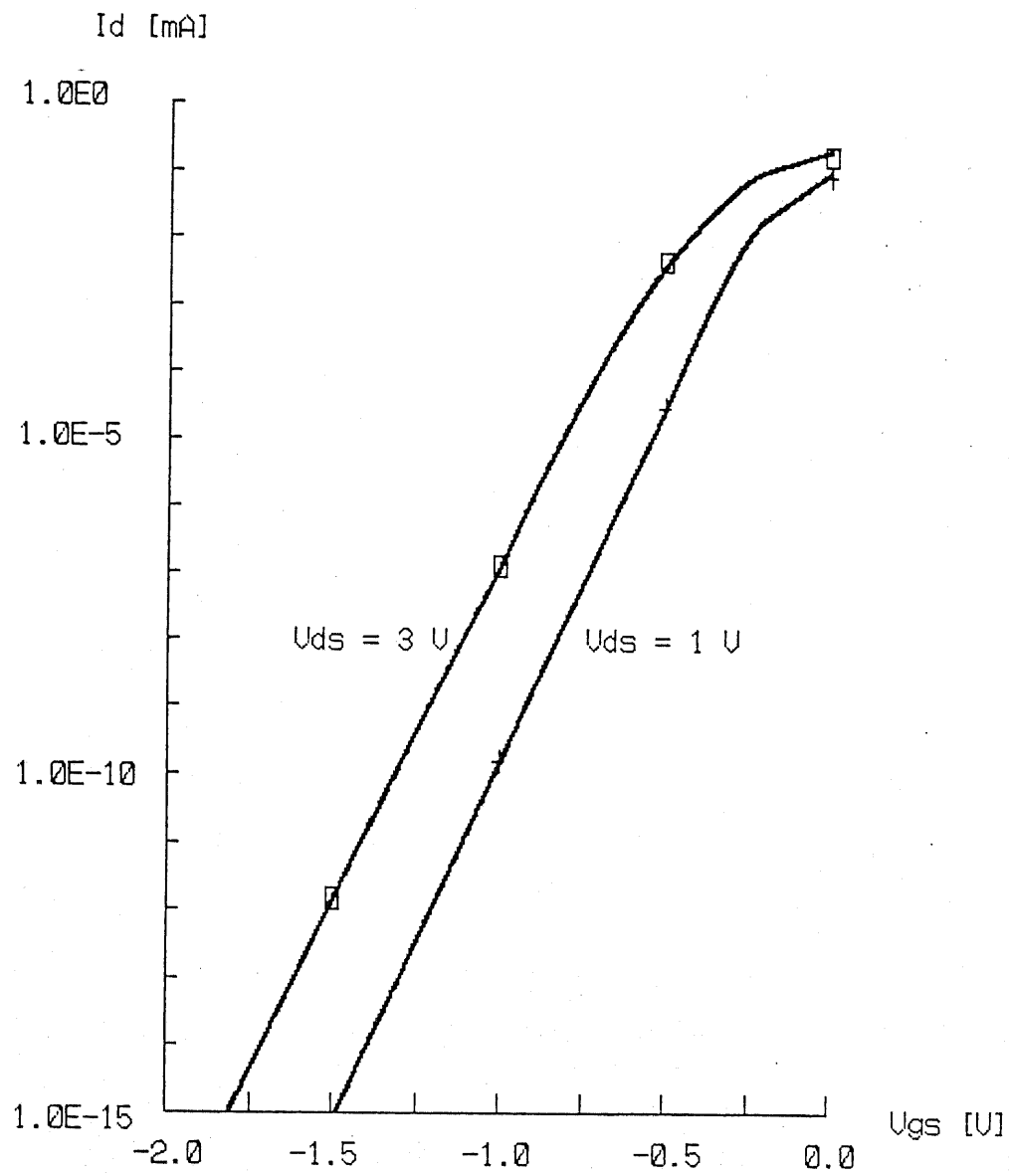


图 8.6  $I_d - V_{gs}$  特性

純物密度SOI基板を用いればチャンネル長が $0.1\mu\text{m}$ のような短チャンネルMOSデバイスでも十分なサブ・スレッショルド電流電圧特性が得られることを示している。

さらに上記の結果とチャンネル長が $0.5\mu\text{m}$ のデバイスの場合の結果を比べると、チャンネル長が $0.1\mu\text{m}$ のデバイスのチャンネル長対チャンネル領域の厚さの比の方がチャンネル長が $0.5\mu\text{m}$ の場合よりも小さいためにサブ・スレッショルド電流の抑制効果が弱くなっていることがわかる。即ち、チャンネル長が $0.1\mu\text{m}$ のデバイスのサブ・スレッショルド電流電圧特性をさらに良くするためにはチャンネル領域の厚さをさらに薄くする方法があることが判明した。

#### 8.7 第8章のまとめ

以上、低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド電流電圧特性を計算するために、モンテ・カルロ粒子モデルを用いた計算結果の電位分布を用いて、電子に対する静電ポテンシャル・バリアを計算し、そのバリアを越えて流れる熱放出電流をドレイン電流とする熱放出モデルについて述べた。熱放出モデルを用いた計算によって得た結果をまとめると以下ようになる。

- a) 熱放出モデルによる計算結果と粒子の統計を取る方法による計算結果が一致していることから低不純物密度SOI基板上のMOSデバイスのドレイン電流は、ソース及びドレイン領域から熱放出され、ポテンシャル・バリアを越えた電子のみによって決り、チャンネル領域内の電子の運動に陽的には依存しない。
- b) 熱放出モデルによる計算結果と流体モデルを用いた場合の計算結果がサブ・スレッショルド領域においても一致している。
- c) 低不純物密度SOI基板上構造を用いることによってMOSデバイスのサブ・スレッショルド電流電圧特性を良くすることができる。
- d) 低不純物密度SOI基板を用いることによってチャンネル長が $0.1\mu\text{m}$ のような短

チャンネルMOSデバイスの場合でも十分なサブ・スレッショルド電流電圧特性を得ることができる。

- e) 低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド電流電圧特性を良くするにはチャンネル領域の厚さを薄くできれば良い。

#### 参考文献

8. 1 J. W. Butler, "Symposium on Monte Carlo Methods", John-Wiley, Newyork, pp. 249-264, 1956
8. 2 宇都宮, 菅野, "電子デバイス・回路工学", 産業図書, 1972
8. 3 Mead, Conway, "Introduction to VLSI Systems", Addison-Wesley Publishing Company, 1980

## 第9章 結論

以下に本研究の主要な結論を列挙する。

- a) 流体モデルを用いてキャリアの非定常的な振る舞いをシミュレーションすることはできない。それに対して、粒子モデルを用いたシミュレータは非定常状態のシミュレーションに適している。但し、定常状態におけるシミュレーションをするには膨大な計算量を必要とし、事実上不可能である。
- b) 基板の裏を流れるパンチスルー電流を抑制するために基板裏に $p^+$ 領域を埋め込み、そのできた $p-n$ 接合の空乏層をバリアとして用いている埋め込み型パンチスルーMOSデバイスは、ゲート電圧によるドレイン電流の制御性が従来型のMOSFETのそれよりも良く、サブ・スレッショルド電流も従来型のMOSFETの場合より減少している。
- c) 埋め込み型パンチスルーMOSデバイスの場合では、ソース・ドレイン間を流れている電子のインパクト・イオナイゼーションの影響と、ドレインと基板の間に存在している正孔のインパクト・イオナイゼーションの影響によってドレイン接合近傍でアバランシェ降伏現象が生じる。
- d) チャネル長が $0.5\mu\text{m}$ のMOSデバイスのドレイン電流のCADDETによる計算結果と本研究で作成したモンテ・カルロ粒子モデルを用いたシミュレータによる計算結果が一致している。
- e) チャネル長が $0.5\mu\text{m}$ 以下のMOSデバイス内の電子は非定常状態で輸送され、そのドリフト速度は従来から用いられてきた流体モデルによる計算値よりも大きい。
- f) チャネル長が $0.5$ や $0.1\mu\text{m}$ のようなサブ・ミクロン・デバイスのキャリアが非定常状態で輸送され、少数回散乱を受けるために、散乱モデルを用いた場合のドレイン電流はバリスティック・モデルの場合に比べて小さく、モビリティ・モデルに比べて大きい。

- g) チャネル長が長くなるとキャリアの受ける散乱の回数が増えるために、散乱モデルによるドレイン電流はモビリティ・モデルのそれに近づく。
- h) モンテ・カルロ・シミュレータの計算結果によると電子のドリフト速度に速度オーバーシュート現象が見られ、電子がそこで非定常状態で輸送されていることを示している。
- i) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのドレイン電流 $I_d$ が非飽和特性を示しながらもゲート電圧によって制御されている。
- j) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの相互コンダクタンス $g_m$ は約 $1\ \text{mS}/\mu\text{m}$ となっている。
- k) 低不純物密度SOI基板上のパンチスルーMOSデバイスのゲート電極にポリシリコンを用いることによってデバイスをディプリーション形のほかにエンハンスメント形にすることも可能である。
- l) 低不純物密度SOI基板上のパンチスルーMOSデバイスのチャネル領域全体で電界が直線的に増加し、最大電界が比較的小さくなる。
- m) 電子温度分布図よりチャネル長が短くなるに従って、デバイス内の電子の運動がバリスティックな運動に近づくことがわかる。
- n) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスのアバランシェ降伏電圧は $3\ \text{V}$ 強と比較的大きくなっている。
- o) アバランシェ耐圧の高いデバイスの構造の一つに生成された正孔を基板やデバイスの動作に関係しないチャネルの横の部分へ逃がす構造が考えられる。
- p) チャネル長が $0.1\ \mu\text{m}$ の低不純物密度SOI基板上のパンチスルーMOSデバイスの入力静電容量が約 $0.2\ \text{fF}$ となっている。
- q) ゲート電圧が高い場合、低不純物密度SOI基板上のパンチスルーMOSデバイス



のゲート酸化膜をトンネリングする電流が過渡的にFowler-Nordheim型のトンネル電流よりも大きくなる。

- r) 低不純物密度SOI基板上のパンチスルーMOSデバイスの特性は捕獲中心の影響によって大きく変化する。
- s) 熱放出モデルによる計算結果と粒子の統計を取る方法による計算結果が一致していることから低不純物密度SOI基板上のMOSデバイスのドレイン電流は、ソース及びドレイン領域から熱放出され、ポテンシャル・バリアを越えた電子のみによって決り、チャンネル領域内の電子の運動に陽的には依存しない。
- t) 低不純物密度SOI基板を用いることによってチャンネル長が $0.1\mu\text{m}$ のような短チャンネルMOSデバイスの場合でも十分なサブ・スレッショルド電流電圧特性を得ることができる。
- u) 低不純物密度SOI基板上のパンチスルーMOSデバイスのサブ・スレッショルド電流電圧特性を良くするにはチャンネル領域の厚さを薄くできれば良い。

最後に、チャンネル長が $0.1\mu\text{m}$ の低不純物密度SOI基板上パンチスルーMOSデバイスをスイッチング素子として用いた場合のスイッチング速度、及び消費電力を見積ってみた結果を述べる。計算の仕方はProceedings of the IEEE, vol. 70, No. 5, pp. 489-509, 1982に記載されているSolomonの提案した手法を用いると、1ゲート当たりの配線容量が $7.7\text{ fF}$ となり、そのときのスイッチング速度、と消費電力はそれぞれ約 $100\text{ psec}$ ,  $0.1\text{ mW}$ となる。

## 謝辞

学部卒業論文、修士、博士課程期間中、菅野卓雄教授、岡部洋一助教授、浅田邦博助教授に研究生生活ならびに私生活の両面で適切な御指導および御激励してもらいました。菅野・岡部・浅田研究室の新井夫差子助手、星野洋助手、北川学技官には私のいろいろな失敗をカバーしてもらい、多方面での御助力をもらいました。また田宮寿美子助手や菅野・岡部・浅田研究室の諸先輩、後輩、同級生、研究生の友人の方々に仲間に入れてもらい、日ごろからいろいろ御指導を頂き、親切にしてもらいました。

菅野・浅田研究室の卒論生の物井誠氏、永田泰昭氏、丸山誠治氏、ならびに研究生の三原輝儀氏には本研究に関連のある研究の面で御協力してもらいました。また星野洋助手、坂本邦博氏、李文豪氏、梶田公司氏、辻和宏氏、野沢成禎氏には本論文の完成までに大変御迷惑をかけました。とくに、星野洋助手に本論文の言葉の添削をしてもらいました。

十年間の日本での留学生としての生活において、アラユーン・パタヤーコン氏、ウィライ・トモラクン氏をはじめとする多くのタイの友人、留学生仲間、伊勢典子氏をはじめとする多くの日本の友人、ならびに東京外国語大学付属日本語学校、駒場留学生会館、アジア文化会館の関係者各位に暖かく見守ってもらい、いろいろな方面の相談にのってもらいました。

以上の方々にこの欄を借りて深い感謝の意を表します。

最後に、CADDETを使わせて頂いた日立製作所中央研究所のCADDET関係者各位に感謝の言葉を記します。

本研究に関する研究発表

1. クライソン・トロンナムチャイ、物井誠、浅田邦博、菅野卓雄, "低不純物密度SOI構造MOSFETのニア・スレッシュヨルドにおける簡易モデル", 昭和58年電子通信学会総合全国大会講演論文集, pp. 71
2. 永田泰昭、クライソン・トロンナムチャイ、浅田邦博、菅野卓雄, "SOI構造SiMOSFETのモンテ・カルロ・シミュレーション用モデル", 昭和59年電子通信学会総合全国大会講演論文集, pp. 2-36
3. 浅田邦博、T. クライソン、三原輝儀、菅野卓雄, "電位制御型MOSトランジスタの特性の計算機解析", 第45回応用物理学会学術講演会, 14p-Q-5, pp. 484, 1984秋季
4. 浅田邦博、三原輝儀、T. クライソン、菅野卓雄, "短チャネルMOSFETにおけるホットキャリア統計", 第32回応用物理学会学術講演会, 30p-V-6, pp. 563, 1985春季
5. T. クライソン、三原輝儀、浅田邦博、菅野卓雄, "モンテカルロ法によるキャリア・エネルギー分布の計算", 第32回応用物理学会学術講演会, 1a-E-6, pp. 550, 1985春季
6. T. クライソン、浅田邦博、菅野卓雄, "モンテ・カルロ・シミュレーション用衝突電離のモデル", 第46回応用物理学会学術講演会, 4p-W-1, pp. 454, 1985秋季
7. T. Kraisor, K. Asada, T. Sugano, "Simulation of avalanche breakdown using Monte Carlo method", VLSI Process/Device Modeling Workshop, May 13 1985

本研究に関する公表文献

1. K. Throngnumchai, K. Asada and T. Sugano,  
" Modeling of 0.1  $\mu\text{m}$  MOSFET on SOI  
Structure Using Monte Carlo Simula  
tion Technique", IEEE Trans. Electron  
Device, to be published