

受理 60.12.21

---

学位請求論文

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  ヘテロ接合バイポーラトランジスタの研究

指導教官

岡部 洋一 助教授

東京大学大学院工学系研究科電気工学専門課程

学修番号 8565

坂本 邦博

## 目次

- 第1章 序論
  
- 第2章 論理LSIの高速化
  - 2.1 本章の目的
  - 2.2 負荷容量の充放電時間
    - 2.2.1 負荷容量の削減
    - 2.2.2 論理電圧振幅の削減
    - 2.2.3 各種の半導体デバイスの比較
  - 2.3 バイポーラトランジスタの高速化（スケーリング則より）
    - 2.3.1 従来のスケーリング理論
    - 2.3.2 バンドギャップのスケーリング
  - 2.4 本論文の立場
  - 2.5 まとめ
  
- 第3章 高速ヘテロ接合バイポーラトランジスタに適した狭ギャップ半導体材料
  - 3.1 本章の目的
  - 3.2 半導体材料に対する必要条件
  - 3.3 各種の狭ギャップ半導体材料の比較
  - 3.4 まとめ
  
- 第4章  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ のドリフト速度—電界特性
  - 4.1 本章の目的
  - 4.2 測定方法
    - 4.2.1 試料の作製
    - 4.2.2 導電率測定
  - 4.3 測定結果
  - 4.4 議論
  - 4.5 まとめ
  
- 第5章  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの設計
  - 5.1 本章の目的
  - 5.2 ヘテロ接合の取り扱い

- 5.3 Hg<sub>1-x</sub>Cd<sub>x</sub>Teの物性
- 5.4 移動度の仮定
- 5.5 Hg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタの設計
- 5.6 まとめ

## 第6章 Hg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタの特性解析

- 6.1 本章の目的
- 6.2 一次元数値解析
  - 6.2.1 数値解析の方法
  - 6.2.2 数値解析の結果
  - 6.2.3 一次元数値解析の限界
- 6.3 実構造等価回路モデルによるスイッチング解析
  - 6.3.1 実構造等価回路モデル
  - 6.3.2 ECLゲートのスイッチング解析
- 6.4 まとめ

## 第7章 議論

- 7.1 本章の目的
- 7.2 Si ECLゲート、GaAs ECLゲートとの比較
- 7.3 議論
- 7.4 まとめ

## 第8章 結論

謝辞

参考文献

付録

## 第1章

### 序 論

近年、社会の高度情報化が進むにつれて、超高速コンピュータに対する要求がますます高まってきている。現在、処理速度の高いコンピュータを実現するために、ソフトウェアとハードウェアのさまざまな面から、研究開発が精力的に進められている。その中でも、システムの基盤になる、超高速で動作するデジタルデバイスは、単に超高速コンピュータのみならず、現在の先端技術の中核となる技術として、その重要性ははかりしれない。

今日まで、超高速デジタルデバイスの開発は、SiバイポーラトランジスタとSi MOSFETを中心に行なわれ、現在のマイクロエレクトロニクスの発展を支えてきた。Siデバイスには莫大な技術の蓄積があり、今でも超高速デジタルデバイスの開発をリードしている。Siデバイスの高速化は素子の微細化によって進められている。

一方、Siデバイスを越えるものとして、化合物半導体デバイスが注目されている。化合物半導体は、キャリアの移動度や飽和速度などで、Siを凌ぐものもあり、古くから注目されていたが、結晶成長技術やプロセス技術が未熟だったために、なかなかその素性のよさを発揮できなかった。近年、MBE (Molecular Beam Epitaxy) やMOCVD (Metal-Organic CVD) などの発展もあって、ようやくSiに対抗できるデバイスができるようになってきた。特に上記の技術で、良好なヘテロ接合が得られることは、Siに無い特徴である。化合物半導体の超高速デジタルデバイスは、これらの特徴を生かすべく、通常のFETの他に、HEMT (High Electron Mobility Transistor), HBT (Heterojunction Bipolar Transistor) などの新構造素子も盛んに研究されている。つまり、化合物半導体を使うことは、物性と素子構造の二面でデバイス設計の自由度が増えることを意味し、微細化に加えて、材料と素子構造を開発することで、高速化を進めることができる。

以上のように、半導体技術の進歩によって、超高速デジタルデバイスというNEEDSと、半導体材料というSEEDSを、システムティックに結び付ける「材料設計」というものが可能になってきている。そこで本研究は、超高速VLSIを実現するために必要な条件に注目し、それを実現するデジタルデバイスとは、どのようなものであるかを考察する。この際、化合物半導体を持つ素子構造と材料の二面の自由度を生かして、条件を満たすことを主眼とし、現在の研究水準やデータの蓄積には、あまりとらわれないことにする。その考察より、狭ギャップ半導体のヘテロ接合バイポーラトランジスタがすぐれ

ていることを示し、具体的に、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ を使ったヘテロ接合バイポーラトランジスタを提案する。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の物性面やプロセス技術で研究の遅れている面は、基礎的な物性の測定と、コンピュータシミュレーションで補って、今後の研究に指針を与えることを目的とする。

本論文は、以下、2章から8章までで構成されている。

2章では、論理LSIの高速化について考察し、論理電圧振幅を小さくできる点と、負荷の駆動力が大きい点で、狭ギャップ半導体のヘテロ接合バイポーラトランジスタがすぐれていることを示す

3章では、高速ヘテロ接合バイポーラトランジスタ用の狭ギャップ半導体材料に、要求される物性を考え、各種の狭ギャップ半導体材料を比較して、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ がすぐれていることを示す。

以上の3章までの考察より、超高速論理LSIの素子として、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタを提案する。以下の章で、それを物性測定と動作シミュレーションから裏付けていく。

4章では、高速デバイスの特性を決める重要な物性である、キャリアのドリフト速度—電界特性を測定して、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ が高速デバイスにふさわしいかを吟味する。

5章では、ヘテロ接合バイポーラトランジスタの動作に関係した定数を中心に、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の物性定数をまとめる。それを考慮して、具体的に $\text{Hg}_{1-x}\text{Cd}_x\text{TeHBT}$ を設計する。

6章では、 $\text{Hg}_{1-x}\text{Cd}_x\text{TeHBT}$ が高速動作をするかを予測する。まず一次元数値解析で基礎になる特性を求め、それをもとに、実構造等価回路モデルでスイッチング特性を求める。

7章は、議論で、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  ECLゲートのスイッチング特性を、Si、GaAs ECLゲートと比較する。それらの結果から、 $\text{Hg}_{1-x}\text{Cd}_x\text{TeHBT}$ の特徴、問題点を明らかにする

8章は結論である。

## 第2章

### 論理LSIの高速化

#### 2.1 本章の目的

本章では、論理LSIを高速化するにはどうしたらいいかを考える。前半では、デジタルデバイスのスイッチングを容量性負荷の充放電と近似する一般的な議論を紹介する。それより、寸法を縮小して負荷容量を減らすことと、論理電圧振幅を減らすことが必要であり、特に後者を実現するには、動作温度の低下と、素子の閾値電圧を均一に制御しなければいけないことを述べる。この点から、各種の半導体デバイスを比較すると、閾値電圧の均一性と、容量性負荷の駆動力の点で、ヘテロ接合バイポーラトランジスタがすぐれていることと、低電圧動作の点から、狭ギャップ半導体を用いることを指摘する。後半では、議論をバイポーラトランジスタにしぼって、その高速化をスケーリング理論を適用して考える。寸法の縮小に伴って、動作温度とバンドギャップを縮小するヘテロ接合バイポーラトランジスタのスケーリング理論を紹介する。それに対し、材料を変える場合は、物性定数の変化の仮定のしかたで、スケーリングの結果が大きく異なってくることを示し、実際の半導体材料の物性に即して考えなければいけないことを指摘する。

## 2.2 負荷容量の充放電時間

超高速の論理LSIを実現するには、相反するいくつかの技術的な問題を解決しなければならない。たとえば、遅延時間を短縮しようとする、消費電力は増加する傾向にある。その結果、集積度を落とさなければならなくなって、配線の伝搬遅延が増大する。あるいは、リソグラフィ幅を細くして素子寸法を小さくすると、遅延時間、消費電力の両者が改善されるが、歩止りが悪くなりコストが増大する、などということがある。そのような問題をまとめると以下のようなになる。[Eden 82]

- (1) 短い遅延時間 ( $t_d$ )
- (2) 小さいゲートあたりの消費電力 ( $P$ )
- (3) 非常に小さいスイッチングエネルギー (電力遅延時間積  $P t_d$ )
- (4) 高集積度
- (5) 適当なコスト

なかでも論理LSIの高速化のポイントになるのは、遅延時間の短縮と消費電力の削減である。

遅延時間と消費電力が何で決まってくるかを考えよう。本質的な議論をするために、デジタルデバイスのスイッチングを、容量性負荷の充放電と近似する。すると、遅延時間 ( $t_d$ ) は、ひとつのゲートの出力につながる全負荷容量 ( $C$ ) の充放電に要する時間だから、次式で与えられる。

$$t_d = \frac{CV_L}{I} \quad (2-1)$$

$V_L$ は論理振幅、 $I$ は負荷に供給できる電流である。 $C$ を、次段の能動素子の入力容量 ( $C_i$ ) と寄生容量 ( $C_p$ ) に分けると、

$$t_d = \frac{C_i V_L}{I} + \frac{C_p V_L}{I} \quad (2-2)$$

第1項を $\tau_i$ とおくと、

$$\tau_i = \frac{Q_i}{I} = \frac{L}{v_s} \quad (2-3)$$

$Q_1$ は能動素子のチャンネルに誘起される電荷、 $L$ はチャンネル長、 $v_s$ はキャリアの走行速度を表わす。つまり、式(2-2)の第1項で表わされる次段素子の駆動時間は、キャリアのチャンネル走行時間に等しい。 $\tau_1$ を使って式(2-2)を書き換えると、

$$t_d = \tau_1 + \frac{C_p}{C_1} \tau_1 \quad (2-4)$$

となり、 $\tau_1$ が同じならば、 $C_1$ が大きいほど遅延時間が短くなる。

次に、消費電力( $P$ )は、デューティ比を1/2とすると、

$$P = \frac{I V_L}{2} = \frac{C_1 V_L^2}{2 \tau_1} \quad (2-5)$$

となる。 $P$ は $C_1$ に比例し、これが遅延時間と消費電力のトレードオフのもとになっている。

電力遅延時間積( $P t_d$ )は、上のふたつの式より

$$P t_d = \frac{C V_L^2}{2} = \frac{(C_1 + C_p) V_L^2}{2} \quad (2-6)$$

となる。

本節の最初に述べたように、遅延時間と消費電力は互いにトレードオフの関係にあるので、超高速スイッチング素子の評価尺度に、両者の積である電力遅延時間積(スイッチングエネルギー  $P t_d$ )を選ぶことにする。式(2-6)から明らかなように、 $P t_d$ を小さくするには、負荷容量( $C$ )を小さくすることと、論理振幅( $V_L$ )の削減が必要である。厳密に言うと、式(2-5)の $V_L$ は電源電圧( $V_{DD}$ または $V_{CC}$ )であるので、ECL(Emitter Coupled Logic)回路のように、論理振幅と電源電圧が大きく異なる場合は、論理振幅と同時に電源電圧を小さくしなければいけない。

### 2.2.1 負荷容量の削減

負荷容量は次段の能動素子の入力容量( $C_1$ )と寄生容量( $C_p$ )に分けられる。 $C_p$ の大部分は素子間の配線の容量である。論理LSIでは、複雑な機能を少ないゲート数で実現して、処理能力を上げようとするので、長い配線が増えたり、ファンアウトが増大して、ひとつのゲートの出力につながる配線の総延長が長くなる。特に、微細化を進めて、能動素子が小さくなってくると、この傾向が著しくなり、スイッチング時間のうちで配線の充放電に要する時間が無視できなくなってくる。



論理LSIの配線長を理論的に求め、配線容量を求めるのは難しいが、P.M.Solomonの推定によると、5000ゲート程度のランダム論理の場合、ひとつのゲートの出力につながる配線の総延長は、 $384\lambda$  ( $\lambda$ は $\mu\text{m}$ 単位の最小リソグラフィ幅)となる [Solomon 82]。以下に述べるように、配線幅が細くなる極限では、単位長さ当りの容量は、 $0.2\text{pF}/\text{mm}$  になるので、ゲートあたりの配線容量は、

$$C_p = 77\lambda \text{ fF} \quad (\lambda \text{ in } \mu\text{m}) \quad (2-7)$$

になる。配線容量と入力容量を比べると、 $1\mu\text{m}$ ルールの場合、Si MOSFETやGaAs MESFET, HEMTなどのFET系デバイスでは、 $C_p/C_i \sim 10$ 、バイポーラ系デバイスでは、 $C_p/C_i \sim 0.4$  になる [Solomon 82]。式(2-4)より、FET系デバイスでは、配線の充放電時間がスイッチング時間の90%にも達する。バイポーラ系デバイスでも、配線の充放電時間を無視できない。

負荷容量を減らすには、微細化を進めて、最小リソグラフィ幅 ( $\lambda$ ) を小さくすることが有効である。いわゆるスケーリング理論を簡単に適用すると、配線幅と配線長は $\lambda$ に比例するから、 $C_p \propto \lambda^2$  になる。一方、能動素子の方は、 $I \propto \lambda$  (これは、 $C_i \propto \lambda$  と等価である。) のようにスケーリングされるとすれば、式(2-1)より、微細化によって高速のスイッチングが達成できる。ところが、配線幅をどんどん細くしていくと、端効果が大きくなって、単位長さあたりの容量が一定値に近づいてしまう。そのめやすは、配線の幅と基板からの高さの比が2より小さくなるあたりである [Solomon 82]。こうなると、 $C_p \propto \lambda$  になり、もはや高速化をはかれない。これが、配線容量の削減の限界である。入力容量については、式(2-4)からわかるように、配線容量とバランスをとって減少させないと、かえってスイッチング時間をのばしてしまう。

## 2.2.2 論理電圧振幅の削減

式(2-6)より、 $P_{td} \propto V_L^2$  なので、論理電圧振幅の削減は、スイッチングエネルギーを小さくするのに大きな効果がある。この場合、問題が二点あり、ひとつは熱雑音 ( $kT$ ) で、これは論理電圧振幅の削減に物理的な限界を与える。もうひとつは技術的な問題で、チップ内の各素子の閾値電圧 ( $V_{th}$ ) のばらつき ( $\sigma_{V_{th}}$ ) である。

熱雑音の影響を受けずに論理電圧振幅を小さくしていくには、動作温度 ( $T$ ) を下げて熱雑音を抑えればよい。ボルツマン統計に従う素子の非線形性は、 $eV/kT$  に依存するので、 $V_L \propto T$  とすれば、素子の非線形性を保ったまま論理電圧振幅を小さくすることが可能である。そうすると  $P_{td} \propto T^2$  になるが、チップの冷却能力は通常  $T$  に比例するので、発熱に対する余裕が大きくなる。さらに、低温では配線の金属の電気抵抗が小さくなるので、配線の伝達特性が改善される。このように低温動作にはいろいろな長所

があり、その結果、チップあたりの論理処理能力が向上する。低温動作の欠点には、冷却装置が必要なことがあるが、現在の大型コンピュータにも大規模な空調設備が必要なことと比較すると、大きな障害とは言えないであろう。

閾値電圧の均一性の問題は、熱雑音よりもはるかに厄介である。閾値電圧の分散は、論理振幅の  $1/20$  以下でなければならないとされ[Eden 81]、 $V_L=100\text{mV}$  とすると、 $\sigma_{V_{th}} < 5\text{mV}$  が必要になる。このような厳しい条件を満足するためには、プロセスの精密な制御が必要なことはもちろんだが、本質的に閾値電圧がプロセスのばらつきの影響を受けにくい素子構造を考えることが大切である。具体的に現在の半導体プロセスを考慮すると、垂直寸法は、現在でもMBEでは原子層単位で制御でき、極めて高精度を得ることができる。同様に、不純物濃度も、イオン注入などを用いて比較的精密に制御できる。一方、平面寸法のばらつきは、リソグラフィーの精度で決まってきて、将来でも  $10\text{nm}$  を切るのは難しいと考えられる。従って、小さな論理振幅で動作する素子の閾値電圧は、次のような条件を満たさなければならない。

- (1) 平面寸法のばらつきには動作原理上依存しないことが好ましい。
- (2) 垂直寸法のばらつきにはあまり依存しない。
- (3) 不純物濃度のばらつきにはあまり依存しない。

さらに、負荷容量を素早く駆動するには、素子が非常に強い非線形性をもつ必要がある。つまり、閾値電圧をわずかに越えた電圧で、大きな相互コンダクタンス ( $g_m$ ) と高い遮断周波数 ( $f_t = g_m/C_i$ ) を発揮しなければならない。

まとめると、超高速論理LSIを実現するには、論理振幅を小さくすることが必要で、それには、動作温度を下げることに、素子の閾値のばらつきを非常に小さく抑えることが必要条件である。つまり、低温でも高速で動作する素子で、閾値が小さくかつ極めて均一に制御できるものを開発することが、超高速論理LSI実現のキーポイントである。

### 2. 2. 3 各種の半導体デバイスの比較

今まで考えてきた、超高速論理LSI実現の条件を、現在実用化されている半導体デバイスに加えて、まだ研究あるいは構想の段階にあるデバイスについて、検討、比較を行ない、将来どんなデバイスを使って超高速論理LSIを実現したらよいかを考える。比較のポイントは、以下の5点である。

- (i) 閾値電圧が均一か
- (ii) 小さな論理振幅で動作するか
- (iii) 低温で動作するか
- (iv) 強い非線形性を持つか

(v) 製作プロセスが容易か

(1) バイポーラトランジスタ

バイポーラトランジスタは、閾値電圧の点では、現在考えられている素子の中では最も理想的なものである。その閾値電圧は、コレクタ電流が  $I_c$  のときのベース-エミッタ電圧 ( $V_{be}$ ) で表わされるから、

$$V_{be} = \frac{kT}{e} \ln \frac{I_c}{I_s} \quad (2-8)$$

ここで

$$I_s = \frac{e D_n n_i^2 A}{N_b W_b} \quad (2-9)$$

$N_b$ 、 $W_b$  はベース不純物濃度とベース幅を表わす。 $A$  は断面積である。式(2-8)、(2-9)からわかるように、バイポーラトランジスタの閾値電圧は、原理的に水平寸法には依存せず、垂直寸法と不純物濃度には対数的にしか依存しない。ほとんどバンドギャップで決まってくる。

論理振幅は論理回路によって異なる。TTLや $I^2L$ では、論理振幅はトランジスタの閾値電圧に等しいので、論理振幅を小さくするには、バンドギャップの小さな半導体材料を使って閾値電圧を小さくする必要がある。ECLのような非飽和型論理では、 $S_i$  を使っても論理振幅を自由に小さくできるが、電源電圧は小さくできないので消費電力は変わらない。電源電圧を下げるには、この場合もバンドギャップの小さな半導体材料を使わなければならない。

バイポーラトランジスタは熱励起されたキャリアで動作するので、低温で動作するかが問題である。 $S_i$  バイポーラトランジスタは100K以下では動作しない [Dunke 81]。

(AlGa)As/GaAsヘテロ接合バイポーラトランジスタは77Kまでは動作するようである [Ito 84]。キャリアのフリーズアウトが起こりにくい材料を使う必要がある。普通、狭ギャップのn型半導体はキャリアのフリーズアウトが起こりにくい。p型は狭ギャップでもフリーズアウトしやすいのでヘビードープが必要である。

$I-V$ 特性が指数的なので、非線形性が大きい。相互コンダクタンスは、

$$g_m = \frac{e I_c}{kT} \propto \exp(e V_{be}/kT) \quad (2-10)$$

となり、電流が急激に増加する。

バイポーラトランジスタでは、キャリアが縦方向に走行するので、ベース電極の取り出しなどで構造が複雑になる。

(1') ヘテロ接合バイポーラトランジスタ (HBT)

図2.1に示したように、エミッタのバンドギャップをベースよりも大きくして、エミッタ-ベース接合をヘテロ接合にしたのが、ヘテロ接合バイポーラトランジスタである [Kroemer 82, 石橋 85 などに解説がある]。ヘテロ接合によって電子とホールに対するバリアの高さに差をつけて、ベースからエミッタへのホールの注入を抑えることができる。その結果、エミッタ注入効率を高く保ったままで、ベースの不純物濃度を高くでき、従来のバイポーラトランジスタを微細化するときの問題になる、ベース抵抗の増加やコレクタ空乏層のパンチスルーなどを解決することができる。

超高速LSI実現の条件をバイポーラトランジスタと比較すると、閾値電圧の均一性や、強い非線形性はそのままである。また、ベース不純物濃度が高いのでベースのキャリアがフリーズアウトしにくくなる。よいヘテロ接合ができるならば、ヘテロ接合バイポーラトランジスタがすぐれている。

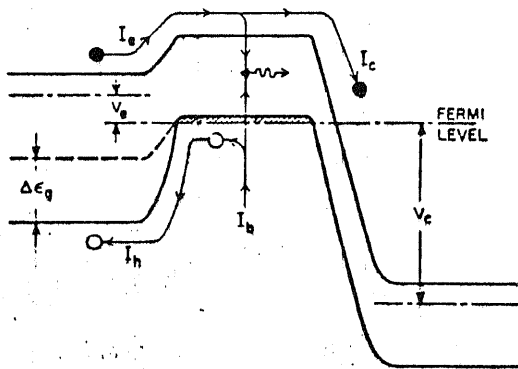


図2.1 ヘテロ接合バイポーラトランジスタのバンド図 [Kroemer 82] による。左からエミッタ、ベース、コレクタ

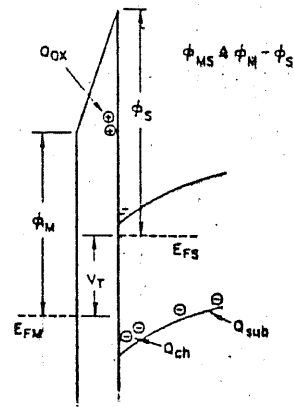


図2.2 MOSFETの電流方向と垂直な面のバンド図 [Solomon 82] による。左がゲート電極 右が基板

(2) MOSFET

MOSFETの閾値電圧は、単純化すると [Solomon 82]、

$$V_{th} = \phi_{ms} - \frac{1}{C_{ox}} (Q_{ox} + Q_{sub}) \quad (2-11)$$

$\phi_{ms}$  はゲートとチャネル間の接触電位差である。 $Q_{ox}$ 、 $Q_{sub}$  はそれぞれ、半導体界面近傍の酸化膜中の電荷、基板の空乏層の電荷を表わす。図2.2にそのバンド図を示した。閾値電圧は、原理的に平面寸法には依存しないが、酸化膜厚や基板の不純物濃度には敏感である。閾値の値はエンハンスメントにもディプリーションにもできるが、細かく制御するのは難しい。

低温にした場合、エンハンスメント型は4.2 Kでも動作するが、ディプリーション型は、バイポーラトランジスタと同様に、キャリアがフリーズアウトしたら動作しなくなる。

相互コンダクタンスは、

$$g_m = \frac{\epsilon \mu_n W_{ch}}{d_{ox} L_{ch}} (V_{gs} - V_{th}) \propto (V_{gs} - V_{th}) \quad (2-12)$$

となり、大きくはない。

MOSFETは表面だけを使うのでプロセスは比較的簡単である。しかし界面特性の良い安定な酸化膜が必要条件なので、現在のところSi以外の材料では難しい。

### (3) MESFET

MESFETは良い絶縁膜が得られないGaAsなどの化合物半導体で使われる。性格はMOSFETとほぼ同様で、閾値電圧は、原理的に平面寸法には依らないが、チャネルの厚さと不純物濃度にはMOSFET以上に敏感である。

### (4) その他のデバイス

パーミアブルベーストランジスタ (PBT) は、MESFETを縦にして並列にいくつもならべたもので、縦型伝導なのでチャネルが短くなり、超高速の特性が期待される素子である [Bozler 82]。PBTの動作原理はMESFETと全く同じである。従ってその閾値特性は、平面寸法に対して非常に敏感であり、LSI化するのは将来でもほとんど絶望的だと思われる。

ジョセフソン素子は、半導体素子とは全く動作原理が異なるデバイスである。従来、ジョセフソン素子の最大の弱点と考えられていた極低温でしか動作できない点は、半導体素子でも低温動作が必要となると、極低温でも安定に動作するという利点に変わる。特に、

その高速性と超低消費電力は魅力的である。しかし、原理的に否定が作りにくい、2端子素子なので入出力が分離しにくい、ラッチング型の素子であるなど、まだ論理回路では使いにくい点が多い [岡部 85]。

閾値電圧の均一性を重視すると、バイポーラトランジスタが超高速LSIの素子として最適である。加えてバイポーラトランジスタは、非線形性が大きく、容量性負荷の駆動力が大きい。これは逆に消費電力の増大をもたらすが、均一な閾値電圧を生かして、論理振幅を熱雑音の限界まで小さくすることができるので、FET系のデバイスと比べてそれほどべらぼうな消費電力にはならない。バイポーラトランジスタの閾値電圧は、ほぼバンドギャップで決まるので、閾値電圧を小さくして、論理振幅と電源電圧を小さくするには、バンドギャップが狭い半導体でトランジスタを作らなければならない。これは、低い動作温度でもキャリアのフリーズアウトを起こさないようにする点からも要請される。

狭ギャップの半導体材料で、良好なヘテロ接合ができる材料があれば、ヘテロ接合バイポーラトランジスタ構造にして、バイポーラトランジスタの利点をそのままいかしてさらに特性を改善できる。

狭ギャップ半導体のヘテロ接合バイポーラトランジスタで問題になるのは、製作プロセスが複雑な上、材料の開発からプロセスの開発までこれから始めなければならない所である。ただしその困難度は、将来のデバイスと考えられているPBTなどと同じ程度であり、上述したように、その素性はHBTのほうがはるかによい。

本論文は、現在の研究水準やデータの蓄積には、あまりとらわれずに、超高速論理LSIに最適なデバイスを、素子構造と材料の2面から自由に考えることを主眼とするので、狭ギャップ半導体のヘテロ接合バイポーラトランジスタを最適なデバイスと考える。以下、バイポーラトランジスタの高速化にしばって考察していくことにする。

### 2.3 バイポーラトランジスタの高速化 —スケージング則より—

バイポーラトランジスタの高性能化の歴史は、まず、真性トランジスタ部分の高性能化、つまりベースの薄層化とエミッタ幅を細くして、 $f_t$ を高めることが行なわれた。続いて、アイソプレーナ法 [Dhaka 73] などの素子分離技術の開発による、寄生容量の削減と集積度の向上が計られた。そしてLSI化が進み、スイッチングエネルギー低下の要請が強まるにつれて、SST [Sakai 80]、SICOS [Nakamura 82] などの自己整合技術などで、トランジスタのいっそうの微細化と寄生容量の削減がなされている。このように、バイポーラトランジスタの高性能化にはさまざまなアプローチがあるが、基本的には素子寸法を縮小することが進められている。半導体素子のスケージング理論は、素子寸法の縮小によって素子の特性がどう改善されるかについて、よい見通しを与えてくれる。それによって、超高速化に必要な課題とそれを解決するための方法を、システムティックに導くことができる。この節では、バイポーラトランジスタの高速化をスケージング理論を使って考えることにする。

はじめに、バイポーラトランジスタのスケージングを考える上で重要なパラメータを与える式をいくつか掲げる [Sze 81]。

遮断周波数 ( $f_t$ ) は、

$$f_t = \frac{1}{2\pi(\tau_e + \tau_b + \tau_c + \tau_{c'})} \quad (2-13)$$

$f_t$  を決めるパラメータ、エミッタ充電時間 ( $\tau_e$ )、ベース走行時間 ( $\tau_b$ )、コレクタ空乏層走行時間 ( $\tau_c$ )、コレクタ充電時間 ( $\tau_{c'}$ ) は、

$$\tau_e = \frac{kT}{eI_e} (C_{te} + C_{tc} + C_p) \quad (2-14)$$

$$\tau_b = \frac{W_b^2}{2D_n} \quad (2-15)$$

$$\tau_c = \frac{W_{dep}}{v_s} \quad (2-16)$$

$$\tau_{c'} = r_c C_{tc} \quad (2-17)$$

$C_{te}$ 、 $C_{tc}$  はエミッタとコレクタの空乏層容量で、

$$C_t \approx A \left( \frac{e \epsilon N_D}{2(V_{bi} - V_{bc})} \right)^{1/2} \quad (2-18)$$

ここで、 $V_{bi}$  は接合のビルトインポテンシャルである。 $N_A \gg N_D$  を仮定した。  
 $C_p$  はベースにつながっている浮遊容量である。 $W_b$  はベース幅、 $v_s$  は電子の飽和速度、 $W_{dep}$  はコレクタ空乏層幅で次式で、

$$W_{dep} \approx \left( \frac{2 \epsilon (V_{bi} - V_{bc})}{e N_b} \right)^{1/2} \quad (2-19)$$

$N_b$  はベース不純物濃度である ( $N_b \gg N_c$  を仮定した)。  
 拡散容量 ( $C_d$ ) は、活性領域動作では、

$$C_d = \frac{1}{2\pi f_t} \cdot \frac{dI_c}{dV_{bc}} \approx \frac{e I_c W_b^2}{2kTD_n} \quad (2-20)$$

非飽和型の回路の遅延時間は、およそ次のような時定数の和で近似できる。

$$t_d = C_{trb} + C_{drb} + C_t R_L + \frac{1}{2\pi f_t} \quad (2-21)$$

### 2.3.1 従来のスケーリング理論

スケーリング理論とは、集積回路を基本的にRC回路網とみなして、素子の比例縮小とともに、抵抗と容量がどう縮小されるかで、集積回路の特性を予測する理論である。まず有名な、MOSデバイスの定電界比例縮小理論 [Dennard 74] を復習しよう。

内部電界を一定に保ちながら、平面寸法と垂直寸法を  $1/K$  に縮小し、一方基板濃度を  $K$  倍にする。内部電界を一定に保つために、電源電圧を  $1/K$  にする。するとドレイン電流も  $1/K$  になる。その結果、容量が  $1/K$  になり、インピーダンスは一定のままなので遅延時間は  $1/K$  になる。消費電力と面積が  $1/K^2$  になるので、消費電力密度は一定で、電力遅延時間積は  $1/K^3$  になる。スケーリングのようすを表2.1に示す。



(I) デバイス・パラメータのスケーリング

パラメータ	スケーリング比
チャンネル長 $L$	$1/K$
チャンネル幅 $W$	$1/K$
ゲート酸化膜厚 $t_{ox}$	$1/K$
接合深さ $x_j$	$1/K$
空乏層厚さ $x_d$	$1/K$
基板不純物濃度 $N_a$	$K$
電圧 $V$	$1/K$

(II) 回路パラメータのスケーリング

パラメータ	スケーリング比
電流 $I$	$1/K$
容値 $C = \epsilon A/t$	$1/K$
回路あたりの遅延時間 $VC/I$	$1/K$
回路あたりの消費電力 $VI$	$1/K^2$
デバイス面積 $A$	$1/K^2$
消費電力密度 $VI/A$	$1$
線抵抗 $R_L = \rho L/Wt$	$K$
相対的な電圧降下 $IR_L/V$	$K$
応答時間 $R_L C$	$1$
電流密度 $I/A$	$K$
電界 $E$	$1$

表 2.1 MOSFET の定電界スケーリング [Denard 74]

バイポーラトランジスタでは、主電流が縦方向に流れるために、リソグラフィ技術による平面寸法の影響をあまり受けにくい。そのため、MOSデバイスのような均整のとれたスケーリングはやりにくい。ここでは、電流密度を一定に保ったスケーリングと電流を一定に保ったスケーリングを紹介する。このふたつのスケーリングはSiデバイスを前提としているので、動作温度と物性定数はスケーリングを通して不変である。

## (1) 電流密度一定のスケーリング

このスケーリングは素子を縮小しても電流密度を一定に保つもので、以下の仮定を置く [Hart 79]

- (i) 平面寸法を  $1/K$  に縮小する
- (ii) 垂直寸法は変えない
- (iii) デバイスの電流密度と電圧は変えない

垂直寸法が不変なので、トランジスタの高周波特性は変わらず、各種容量が  $1/K^2$  になるだけである。消費電力密度は一定に保たれる。電流が  $1/K^2$  になるので、トランジスタの  $g_m$  は  $1/K^2$  になる。スケーリングのようすを表2.2に示す。

表2.2 電流密度一定のスケーリング

平面寸法	$x, y$	$K^{-1}$
垂直寸法	$z$	1
不純物濃度	$N_A, N_D$	1
遮断周波数	$f_t$	1
電流	$I$	$K^{-2}$
電圧	$V$	1
消費電力	$P$	$K^{-2}$
接合容量	$C_t$	$K^{-2}$
拡散容量	$C_d$	$K^{-2}$
ベース抵抗	$r_b$	$\approx 1$
負荷抵抗	$R_L$	$K^2$
遅延時間	$t_d$	$\approx K^{-1}$

スケーリングによって、式(2-21)の第1項は $K^{-2}$ に、第2項は $K^{-2}$ に、第3項は変わらず、第4項も変わらない。これを次のように書くことにしよう

$$t_d \propto K^{-2} \oplus K^{-2} \oplus 1 \oplus 1 \quad (2-22)$$

数値計算によると $t_d$ は、 $C_t$ と $C_d$ が支配的な範囲では、スケーリングに伴ってほぼ $K^{-1}$ で縮小されていく。さらに寸法が小さくなると、一定の項がきいてきて飽和してくる。この境界はエミッタストライプ幅が約 $0.5\mu\text{m}$ のところである。定電流密度スケーリングは、素子面積と消費電力がスケールダウンされることから、高集積度指向のスケーリングと言える。

## (2) 電流一定のスケーリング

このスケーリングは素子を縮小しても電流を一定に保つもので、以下のように仮定する [Solomon 82]

- (i) 平面寸法を $1/K$ に縮小する
- (ii) 垂直寸法を $1/K$ に縮小する (不純物密度を $K^2$ にする)
- (iii) デバイスの電流と電圧は変えない

垂直寸法が縮小され、 $\tau_b$ が $1/K^2$ になるが、他の成分がきいてきて $f_t$ はほぼ $K$ 倍になる。不純物密度が $K^2$ になっているので、 $C_t$ は $1/K$ になるだけである。消費電力密度は $K^2$ 倍になる。電流と電圧が一定なので、トランジスタの $g_m$ は変わらず、抵抗成分の増大による時定数の増大を防いでいる。スケーリングのようすを表2.3に示す。

表2.3 電流一定のスケーリング

平面寸法	$x, y$	$K^{-1}$
垂直寸法	$z$	$K^{-1}$
不純物密度	$N_A, N_D$	$K^2$
遮断周波数	$f_t$	$\approx K$
電流	$I$	1
電圧	$V$	1
消費電力	$P$	1
接合容量	$C_t$	$K^{-1}$
拡散容量	$C_d$	$\approx K^{-1}$
ベース抵抗	$r_b$	$\approx 1$
負荷抵抗	$R_L$	1
遅延時間	$t_d$	$\approx K^{-1}$

遅延時間は

$$t_d \propto K^{-1} \oplus K^{-1} \oplus K^{-1} \oplus K^{-1} \quad (2-23)$$

このように、定電流スケーリングは、垂直寸法を縮小して、接合容量と拡散容量をバランスよくスケールダウンしている。これによって、定電流密度スケーリングでみられたインピーダンス増大や、 $f_t$ がネックになる性能飽和が防止され、広い範囲でのスケーリングと言える。その反面、消費電力密度は $K^2$ 倍になり、高集積化には向かない。

Siバイポーラトランジスタのスケーリングは、定電流密度スケーリングのように消費電力削減に偏ったり、定電流スケーリングのようにスピードアップに偏ったりで、MOSデバイスのスケーリングのように、バランスよく遅延時間と消費電力を小さくできない。これを、2.2節の負荷容量の充放電時間から考えると、定電流密度スケーリングは、式(2-1)のCとIが共に $K^{-2}$ になるので、 $t_d$ は変わらず、式(2-5)からPは $K^{-2}$ になり、消費電力しか削減されないことになる。一方、定電流スケーリングは、式(2-1)のCのみが $K^{-1}$ になるので、 $t_d$ は $K^{-1}$ になる。Iは変わらないので、式(2-5)からPは変わらず、スイッチング時間しか削減されないことになる。この原因は、どちらのスケーリングも、式(2-1)と式(2-5)の両方にかかっている $v_L$ がスケーリングされないからである。これが、電圧も縮小するMOSデバイスのスケーリングと違っているところである。次節でバイポーラトランジスタのスケーリングで電圧をスケーリングすることを考える。

### 2.3.2 バンドギャップのスケーリング — 定電界スケーリング —

バイポーラトランジスタの寸法縮小と同時に電圧を縮小するスケーリング理論である。

[Ohta 84] それには、温度とバンドギャップを同時に縮小すれば可能になる。以下の仮定を置く

- (i) 平面寸法を  $1/K$  に縮小する
- (ii) 垂直寸法を  $1/K$  に縮小する
- (iii) デバイスの電流と電圧を  $1/K$  に縮小する
- (iv) 温度を  $1/K$  に縮小する
- (v) バンドギャップを  $1/K$  に縮小する

電流と電圧を  $1/K$  に縮小するので、消費電力密度は一定に保たれる。またトランジスタの  $g_m$  は変わらない。スケーリングのようすを表2.4に示す。

表2.4 電界一定のスケーリング

平面寸法	$x, y$	$K^{-1}$
垂直寸法	$z$	$K^{-1}$
バンドギャップ		$K^{-1}$
温度	$T$	$K^{-1}$
拡散定数	$D_n$	$K^{-1}$
不純物濃度	$N_A, N_D$	$K$
遮断周波数	$f_t$	$K$
電流	$I$	$K^{-1}$
電圧	$V$	$K^{-1}$
消費電力	$P$	$K^{-2}$
接合容量	$C_t$	$K^{-1}$
拡散容量	$C_d$	$K^{-1}$
ベース抵抗	$r_b$	$1$
負荷抵抗	$R_L$	$1$
遅延時間	$t_d$	$K^{-1}$

拡散定数が  $K^{-1}$  倍になるということは、アインシュタインの関係式より、移動度がスケーリングによっても変化しないと仮定したということである。トランジスタの高周波特性は、式(2-14)~(2-19)から、 $\tau_e, \tau_b, \tau_c, \tau_c'$  がそれぞれ  $K^{-1}$  倍になるので、 $f_t$  は  $K$  倍になる。表2.4のパラメータで、式(2-21)の遅延時間を求めると、

$$t_d \propto K^{-1} \oplus K^{-1} \oplus K^{-1} \oplus K^{-1} \quad (2-24)$$

と  $K^{-1}$  倍になる。消費電力も  $K^{-2}$  倍になり、非常にバランスよくスケーリングできる。

次に、温度とバンドギャップを同時に縮小すれば、電流と電圧をスケーリングできることを示そう。式(2-8), (2-9)より、バイポーラトランジスタの電流-電圧特性は、

$$I_c = \frac{A e D_n n_i^2}{N_b W_b} \exp\left(\frac{e V_{be}}{k T}\right) \quad (2-25)$$

従って、 $\exp$ の中に着目すると、 $V_{be}$ を $1/K$ にするときに同時に $T$ を $1/K$ にすれば、 $I_c$ が大きく変わることはない。式(2-25)の中で温度依存性が大きいのは真性キャリア密度 ( $n_i$ ) である。温度を変えても  $n_i$  を一定に保つことにする。

$$n_i \propto (m_n^* m_p^*)^{3/4} T^{3/2} \exp\left(-\frac{E_g}{2 k T}\right) \quad (2-26)$$

だから、 $n_i$  を変えずに温度を  $T_0$  から  $T_0/K$  にするには  $E_g$  を次のようにすればよい。

$$E_g = \frac{1}{K} \{E_{g0} - k T_0 \ln(K^{3/2})\} \quad (2-27)$$

ただし有効質量はバンドギャップが変わっても一定と仮定した。式(2-27)の第2項は無視できるので、バンドギャップを  $1/K$  にスケールリングすればよい。

次に、式(2-25)の  $I_c$  を  $1/K$  にスケールリングしたら、 $V_{be}$  がどうなるかを求めると、

$$V_{be} = \frac{1}{K} \left\{ V_{be0} + \frac{k T_0}{e} \ln(K^2) \right\} \quad (2-28)$$

第2項は無視できるから、 $V_{be}$  は  $1/K$  にスケールリングされ、論理振幅や閾値電圧が  $1/K$  になる。このように、電圧と電流と温度とバンドギャップを矛盾なくスケールリングできる。

この電界を一定に保つスケールリングは、遅延時間が  $K^{-1}$  倍、消費電力が  $K^{-2}$  倍になり、非常にバランスがよい。しかし、バンドギャップを変えるには、半導体材料を変えなければならぬ点に注意しなければならない。材料が変われば、当然、物性定数が変わってくる。このスケールリングでは、移動度一定を仮定していて、また暗黙に、誘電率や有効質量も一定と仮定されている。これについても検討が必要である。これについては次節で考える。

## 2.4 議論 —本論文の立場—

本論文は、2.2節の負荷容量の充放電時間の考察で、超高速LSIを実現するには回路を低温下で小さな論理振幅で動作させることが重要なことを指摘し、閾値電圧の均一性を重視して、狭ギャップ半導体のヘテロ接合バイポーラトランジスタが最適なデバイスだと提案した。これを電圧スケーリングと呼ぶことにしよう。一方、前節の電界一定スケーリングで違うアプローチから、バイポーラトランジスタを高速化するには、寸法の縮小と同時に温度とバンドギャップの縮小が有効なことが指摘された。このふたつの結論は同じことを言っているのだろうか。

負荷容量の充放電から導かれた電圧スケーリングに、2.3節のスケーリング理論の手法を適用してみよう。本論文の電圧スケーリングは通常スケーリング言われるものとは違い、寸法の縮小には特に触れず電圧の縮小に主眼を置いている。そこで寸法の縮小は行わず電圧だけ縮小することにしよう。

- (I) 平面寸法、垂直寸法は変えない
- (II) デバイスの電流は変えない
- (III) デバイスの電圧を $1/K$ に縮小する
- (IV) 温度を $1/K$ に縮小する
- (V) バンドギャップを $1/K$ に縮小する

電圧を $1/K$ に縮小するので、消費電力密度は $1/K$ になる。またトランジスタの $g_m$ は $K$ 倍になる。スケーリングのようすを表2.5に示す。

表2.5 電圧のみのスケーリング

平面寸法	$x, y$	1	
垂直寸法	$z$	1	
バンドギャップ		$K^{-1}$	
温度	$T$	$K^{-1}$	
拡散定数	$D_n$	$K^{-1}$	(1)
不純物濃度	$N_A, N_D$	1	
遮断周波数	$f_t$	$K^{-1}$	(1)
電流	$I$	1	
電圧	$V$	$K^{-1}$	
消費電力	$P$	$K^{-1}$	
接合容量	$C_t$	$K^{1/2}$	
拡散容量	$C_d$	$K^2$	(K)
ベース抵抗	$r_b$	1	( $K^{-1}$ )
負荷抵抗	$R_L$	$K^{-1}$	
遅延時間	$t_d$	$K^{1/2}$	( $K^{-1/2}$ )

電界一定のスケーリングと同じく拡散定数が $K^{-1}$ 倍になると仮定した。その影響で $r_b$ が $K$ 倍に倍になるので、 $f_t$ は $1/K$ になってるしまう。式(2-21)の遅延時間を求めると、

$$t_d \propto K^{1/2} \oplus K^2 \oplus K^{-1/2} \oplus K \quad (2-25)$$

となり、 $C_t$ の影響が大きい場合 $K^{1/2}$ 倍になり、かえってスイッチング時間が長くなってしまう。拡散定数が小さくなるために $C_d$ が $K^2$ 倍になるのが大きききいている。

拡散定数が $K^{-1}$ 倍になるという仮定には後で述べるように問題があり、拡散定数が一定、つまり移動度が温度に反比例すると仮定した場合を表2.5の括弧の中に示した。これによると遅延時間は、

$$t_d \propto K^{-1/2} \oplus 1 \oplus K^{-1/2} \oplus 1 \quad (2-26)$$

となり、今度はおよそ $K^{-1/2}$ 倍で短縮される。

このように、移動度の温度変化の仮定のしかたでスケーリングの結果が大きく異なってしまう。

電界一定のスケーリング [Ohta 84] で、拡散定数が $K^{-1}$ 倍になると仮定した根拠は (AlGa)As/GaAsヘテロ接合バイポーラトランジスタの電流利得が温度を下げると小さくなることに [Ito 84]。これは同一の材料での比較であり、バンドギャップをスケーリングする場合は材料が変わるのだから、その根拠は成り立たない。

直接遷移型の半導体では、有効質量はバンドがパラボリックならばほぼバンドギャップに比例するので、移動度はバンドギャップに反比例すると仮定するほうが妥当と考えられる。ただしこれは電子に対しては成り立つが、価電子帯の形状の関係で正孔については必

ずしも成り立たない。ベース抵抗 ( $r_b$ ) のスケーリングにはこの点を考慮しなければならない。

色々な点について材料が変わる場合に物性定数をどう扱うべきか述べてきたが、ここで言いたいのはそのような細かいことではなく、スケーリングにおいて材料の変化を含む場合は、物性定数の仮定のしかたによってスケーリングの結果が全く違うものになってしまうことである。物性定数をどう扱うかはとても難しく、トランジスタの特性に大きな影響を与えるパラメータもほとんど実際の物質にあったてみないとなんとも言えない。従って、実際の材料を想定せず物性定数になんらかの統一的な仮定を置いて、システムティックに材料の変わるスケーリングを精密に行なうのはほとんど不可能であり、実際の半導体材料にもとずいて考えなければいけない。第3章では、具体的にどの半導体材料が狭ギャップのヘテロ接合バイポーラトランジスタに適しているかを見ていくことにする。



## 2.5 まとめ

論理LSIを高速化するには、どうしたらいいかを基本的な面から考えた。デジタルデバイスのスイッチングを、容量性負荷の充放電と近似すると、寸法を縮小して負荷容量を減らすことと、論理電圧振幅を減らすことが必要である。後者を実現するには、動作温度の低下と、素子の閾値電圧を均一に制御することが必要である。この点から、各種の半導体デバイスを比較すると、閾値電圧の均一性と、容量性負荷の駆動力の点で、ヘテロ接合バイポーラトランジスタが最適である。ヘテロ接合バイポーラトランジスタを低電圧動作させるには、狭ギャップ半導体を用いなければならない。別の立場から、バイポーラトランジスタ高速化をスケーリング理論を適用して考えると、消費電力とスイッチング時間をバランスよく縮小するには、寸法の縮小に伴って、動作温度とバンドギャップを縮小すればいいことが導かれる。しかし、材料を変える場合は、物性定数の変化の仮定のしかたで、スケーリングの結果が大きく異なってしまうので、実際の半導体材料を想定し、その物性に即してヘテロ接合バイポーラトランジスタの高速化を考えなければいけない。

## 第3章

### 高速ヘテロ接合バイポーラトランジスタに適した狭ギャップ半導体材料

#### 3.1 本章の目的

本章では、高速ヘテロ接合バイポーラトランジスタに適した狭ギャップ半導体材料を探すことにする。バイポーラトランジスタの動作原理、前章のスケーリング則などから高速ヘテロ接合バイポーラトランジスタ用の狭ギャップ半導体材料に要求される物性を考え、各種の狭ギャップ半導体材料を比較して、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ がすぐれていることを示す。

### 3.2 半導体材料に対する必要条件

狭ギャップのヘテロ接合バイポーラトランジスタの材料だから、第一にバンドギャップが狭いことと良好なヘテロ接合ができることが必要条件である。

バンドギャップを  $40kT$  とすると（室温では  $1eV$  でほぼ  $Si$  のバンドギャップに対応する）、 $77K$  で動作する場合は  $0.26eV$ 、 $20K$  で動作する場合は  $0.068eV$  になるから、 $0.05\sim 0.3eV$  程度のバンドギャップの材料を探さなければならない。

良好なヘテロ接合（エミッタのバンドギャップがベースよりも  $10kT$  ほど大きい）を作るには、格子定数と熱膨脹率がよくあう少しバンドギャップが大きい材料があるかどうか問題になる。また使いやすく、できれば半絶縁性の基板が得られるかどうか重要である。

次に、バイポーラトランジスタの動作原理から、ヘテロ接合バイポーラトランジスタに使う半導体材料はどのような性質を持たなければならないかを考える。第2章で掲げたバイポーラトランジスタの動作式をいくつか再掲する。

非飽和型の回路の遅延時間は、およそ次のような時定数の和で近似できる。

$$t_d = C_{trb} + C_{drb} + C_{tRL} + \frac{1}{2\pi f_t} \quad (3-1)$$

ただし、 $C_t$  は空乏層容量で、 $N_A \gg N_D$  ならば

$$C_t \approx A \left( \frac{e \epsilon N_D}{2(V_{bi} - V_{bc})} \right)^{1/2} \quad (3-2)$$

遮断周波数 ( $f_t$ ) は、

$$f_t = \frac{1}{2\pi(\tau_e + \tau_b + \tau_c + \tau_c')} \quad (3-3)$$

$f_t$  を決める主要なパラメータ、 $\tau_e$ 、 $\tau_b$ 、 $\tau_c$  は、それぞれ

$$\tau_e = \frac{kT}{eI_e} (C_{te} + C_{tc} + C_p) \quad (3-4)$$

$$\tau_b = \frac{W_b^2}{2D_n} \quad (3-5)$$

$$\tau_c = \frac{W_{dep}}{v_s} \quad (3-6)$$

$C_p$  はベースにつながっている浮遊容量である。 $W_b$  はベース幅、 $v_s$  は電子の飽和速度、 $W_{dep}$  はコレクタ空乏層幅で次式である、

$$W_{dep} \approx \left( \frac{2\epsilon (V_{bi} - V_{bc})}{eN_b} \right)^{1/2} \quad (3-7)$$

拡散容量 ( $C_d$ ) は、活性領域動作では、

$$C_d = \frac{1}{2\pi f_t} \cdot \frac{dI_c}{dV_{be}} \approx \frac{eI_c W_b^2}{2kTD_n} \quad (3-8)$$

式(3-1)より、 $t_d$  を小さくするためには、 $C_d$ 、 $C_t$ 、 $r_b$ 、 $R_L$  を小さく、そして  $f_t$  を大きくできる材料を探せばよいことがわかる。この内、 $R_L$  は回路設計で決まるので材料とは関係ない。式(3-8)より  $C_d$  を小さくすることと  $f_t$  を大きくすることは等価である。従って、 $C_t$ 、 $r_b$  を小さく、 $f_t$  を大きくするために、材料に必要とされる条件を探すことにする。

空乏層容量 ( $C_t$ ) は、式(3-2)を見ると誘電率 ( $\epsilon$ ) の  $1/2$  乗に比例するから、 $C_t$  を小さくするには  $\epsilon$  の小さな材料でないとまずい。

遮断周波数 ( $f_t$ ) は、式(3-3)~(3-6)で示されるように多くの要素が影響しているが、一番きくのが  $\tau_b$  で、それを小さくするには電子の拡散定数 ( $D_n$ ) が大きいこと、つまり電子移動度 ( $\mu_n$ ) が大きくなければならない。それと同時に、 $\tau_c$  を小さくするために電子の飽和速度 ( $v_s$ ) も大きいことが重要である。誘電率 ( $\epsilon$ ) を小さくすることは、空乏層幅 ( $W_{dep}$ ) を狭くして  $\tau_c$  を小さくし、また  $C_t$  を小さくして  $t_c$  を小さくするので、 $f_t$  を大きくするのにも有効である。

ベース抵抗 ( $r_b$ ) は、ベースの不純物密度が同じならホールの移動度 ( $\mu_p$ ) に比例するので  $\mu_p$  が大きい材料が好ましい。

その他にLSIとしての実装を考えると、熱伝導がいいこと、良いパッシベーション膜があること、プロセスが安定していることが必要である。

### 3.3 各種の狭ギャップ半導体材料の比較

#### (1) III-V族化合物半導体

図3.1と3.2にIII-V族化合物半導体とその混晶のバンドギャップと格子定数の関係を示した。バンドギャップが狭いのは二元化合物では、InSbとInAsである。その性質を表3.1にまとめる。

表3.1 III-V族化合物半導体の性質

	格子定数 <sup>a</sup> Å	禁制帯幅 <sup>c</sup> eV(77K)	移動度(77K) cm <sup>2</sup> /V·s	ピーク速度 <sup>a</sup> cm/s	比誘電率 <sup>a</sup>	熱伝導度 <sup>b</sup> W/K·cm
InSb	6.479	0.225	6x10 <sup>5</sup> 8x10 <sup>3</sup>	n <sup>d</sup> 5x10 <sup>7</sup> (77K) p <sup>d</sup>	17.7	0.17
InAs	6.058	0.41	1x10 <sup>5</sup> 3x10 <sup>2</sup>	n <sup>e</sup> 3.6x10 <sup>7</sup> p <sup>f</sup>	14.6	0.27

特に温度を記さない値は室温での値である

<sup>a</sup> [Sze 81], <sup>b</sup> [二井 84], <sup>c</sup> [Long 66], <sup>d</sup> [Kruse 70], <sup>e</sup> [日本 73],  
<sup>f</sup> [Wiley 75]

InSbは、バンドギャップがほぼ適当で、電子とホール移動度がともに大きくまた電子のピーク速度も大きく、高速デバイスの材料として魅力的である。しかし残念なことに、図3.1からわかるように、III-V族化合物半導体の中で最も格子定数が大きく、適当なヘテロ接合を作る材料がない。InAsはバンドギャップが大きすぎる。

InSbとInAsの混晶In(AsSb)は、InSbとInAsの間の全ての組成で存在しその間のバンドギャップを実現できる。InSbとInAsの間で格子定数が大きく変わるので、ヘテロ接合を作るには四元混晶(InGa)(AsSb)かIn(PAsSb)を使わないと格子整合をとることができない。In(AsSb)のもうひとつの問題点は、擬二元相図の液相線と固相線の分離が大きいので一定の組成の基板結晶を作りにくいことである。使用可能な基板は格子定数の関係でGaSbとAlSbだけである。従って、そのどちらかと格子整合するIn(AsSb)しか実現できない。GaSbとAlSbに格子整合するIn(AsSb)のバンドギャップはそれぞれ0.30eVと0.22eV(300K)である。InSbとInAsのバンドギャップの温度依存性から外挿すると77Kではそれぞれ0.35eVと0.275eVで、AlSbに格子整合するIn(AsSb)が77Kでの動作に適している。しかし、もっと低温で使う組成は実現できない。このように、In(AsSb)を使って特性のよいヘテロ接合を作るには、四元混晶の結晶成長を敵

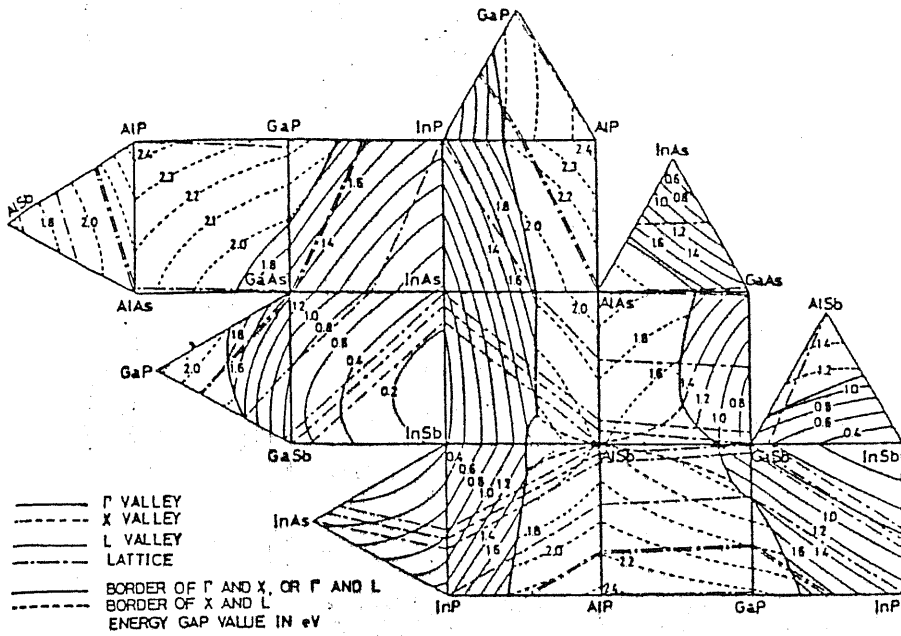


図3.1  
 (Al, Ga, In, As, P)  
 III-V族混晶の  
 バンドギャップと  
 格子定数  
 [日本84]

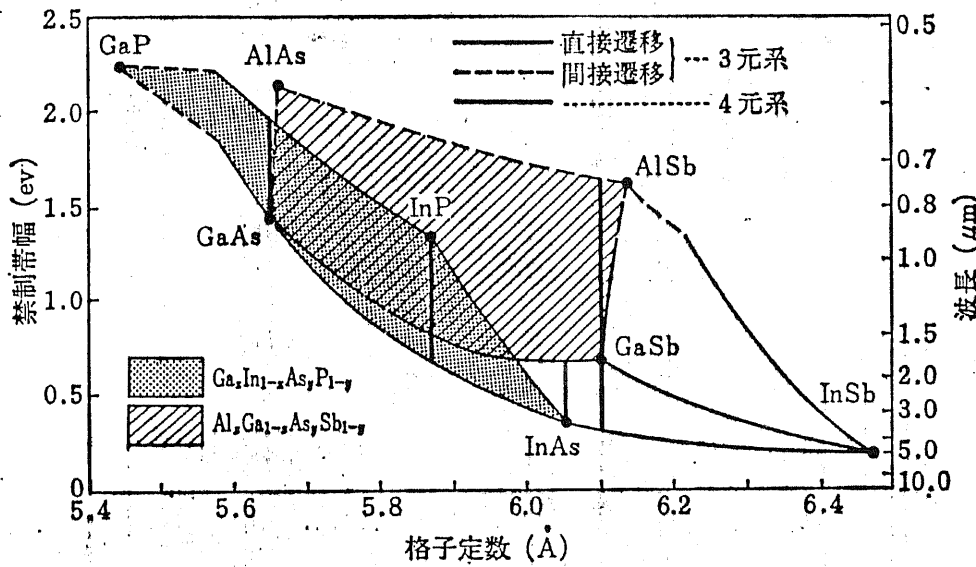


図3.2  
 代表的なIII-V  
 族混晶の  
 バンドギャップ  
 と格子定数  
 [ニ#84]

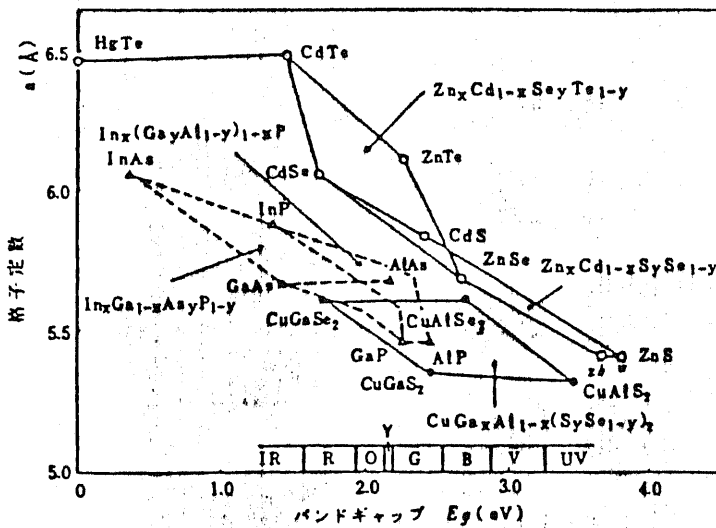


図3.3  
 代表的なII-VI族混晶  
 のバンドギャップと  
 格子定数  
 [日本83]

密に制御しなければならない。しかし四元混晶を使う割にはバンド設計の自由度が少ない。

(2) II-VI族化合物半導体

図3.3にII-VI族化合物半導体とその混晶のバンドギャップと格子定数の関係を示した。HgTeとCdTeの混晶 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ だけがII-VI族化合物半導体で小さなバンドギャップをもつ。その性質を表3.2にまとめる。

表3.2  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の性質

	格子定数 <sup>a</sup> Å	禁制帯幅 <sup>b</sup> eV (77K)	移動度 (77K) $\text{cm}^2/\text{V}\cdot\text{s}$	ピーク速度 <sup>c</sup> $\text{cm/s}$ (77K)	比誘電率 <sup>d</sup>	熱伝導度 <sup>e</sup> $\text{W/K}\cdot\text{cm}$
CdTe ( $x=1.0$ )	6.482	1.60	$1 \times 10^4$ $n^f$ $1 \times 10^2 p$ (300K)	$2.5 \times 10^7$	10.2	0.075 0.4 (77K) <sup>a</sup>
$x=0.3$	6.466	0.257	$5 \times 10^4$ $n^d$ $5 \times 10^2$ $p^d$	?	16	?
$x=0.2$	6.464	0.094	$3 \times 10^5$ $n^d$ $1.4 \times 10^3$ $p^d$	?	17	?
HgTe ( $x=0.0$ )	6.463	-0.26	$1 \times 10^5$ $n^f$ ?	?	21	0.04 0.15 (77K) <sup>a</sup>

特に温度を記さない値は室温での値である

<sup>a</sup> [Long 70], <sup>b</sup> [Hansen 82], <sup>c</sup> [Canali 71], <sup>d</sup> [Reine 81],  
<sup>e</sup> [瀧川 85], <sup>f</sup> [Scott 72]

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の特徴は、半金属のHgTeの  $-0.26\text{eV}$  から半導体のCdTeの  $1.60\text{eV}$  までの広い範囲の任意のバンドギャップを得ることができることである。従って動作温度に合わせて最適なバンドギャップを実現することができる。その上格子定数は最小のHgTeと最大のCdTeの間でも  $0.3\%$  しか変わらない。たとえば  $x=0.3$  と  $0.35$  のヘテロ接合を考えると格子不整合は  $0.01\%$  にすぎず良好なヘテロ接合を得られる。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ でもIn(AsSb)と同じく、擬二元相図の液相線と固相線の分離が大きいので一定の組成の基板結晶を作りにくい、格子定数の差が小さいのでどんな組成でもCdTeを基板にして成長することができる。従って、In(AsSb)と違って基板の制約で成長できる組成が限られることはない。つまり $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ は三元混晶でありながらバンド設計の自由度が四元混晶を使うIn(AsSb)系よりも高く、その点ではIII-V族化合物の(AlGa)As系に匹敵する優れた混晶だと言える。

77Kでの動作に適した $\text{Hg}_{0.7}\text{Cd}_{0.3}\text{Te}$ は電子の移動度が大きい。電子のピーク速度は知られていないが、バンド構造の $L_6$ 点と $\Gamma_6$ 点が1.5eV離れているので谷間散乱が起こりにくいと予想され、高いピーク速度を持つ可能性が高い。誘電率もそれほど大きくないので接合容量が大きくなり、また基板になるCdTeは半絶縁性の結晶が得られるので浮遊容量を小さくできる。

この他に、陽極酸化膜がn型結晶の表面を蓄積化させて電気的特性を安定化させるので、陽極酸化膜がよいパッシベーション膜になる。CV特性から求まる界面準位密度はバンドギャップ中央で、 $N_{ss} = 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 以下である [山本 83]。

このように $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ は超高速ヘテロ接合バイポーラトランジスタの素材として極めて魅力的である。一方、欠点としては、熱伝導率が小さいことがあげられる。300Kの熱伝導率はSiの1/20、GaAsの1/7しかない。これは低温動作による消費電力の削減と熱伝導率の向上である程度はカバーできるだろうが、熱伝導率のよい基板の開発などが必要になるかもしれない。その他プロセス中に高温になるとHgがぬけてストイキオメトリがずれやすいので低温プロセスで通すことが必要である。

### (3) IV-VI族化合物半導体

IV-VI族化合物半導体でバンドギャップが狭いものには、SnTe (0.21eV)、PbTe (0.27eV)、PbSe (0.17eV) とそれらの混晶 (PbSn)Te (0~0.21eV) がある (バンドギャップは77Kでの値 [Melngailis 70])。(PbSn)Teは $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ と同様に良質のヘテロ接合を作ることができる。IV-VI族化合物半導体の特徴は、電子とホールが同じような移動度の値を持ち、キャリア濃度が高濃度でも、低温でイオン化不純物散乱を受けにくく高い移動度を保つことである。これは超高速デバイスの材料として非常に好ましいが、実はこれは誘電率がきわめて大きいことによって、イオン化不純物のクーロン力が遮蔽されるためである。比誘電率は、SnTeが1770、PbTeが400、PbSeが250と異常に大きく、これでは接合容量や配線容量がきわめて大きくなってしまい超高速ヘテロ接合バイポーラトランジスタには使えない。

以上のように、狭ギャップの半導体を比較すると、II-VI族化合物半導体の $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ がバンド設計の自由度が高く、致命的な欠点もないので、超高速ヘテロ接合バイポーラトランジスタの素材として最適と考えられる。



### 3.4 まとめ

バイポーラトランジスタの動作原理、前章のスケーリング則などから、高速ヘテロ接合バイポーラトランジスタ用の狭ギャップ半導体材料には、良好なヘテロ接合ができること、移動度が高いこと、ピーク速度が大きいこと、誘電率が小さいことなどが要求されることがわかる。これらの点から各種の狭ギャップ半導体材料を比較して、II-VI族化合物半導体の $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ がバンド設計の自由度が高く、超高速ヘテロ接合バイポーラトランジスタの素材として最適であることを示した。

以上の第2章と第3章の考察より、超高速論理LSIの素子として $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタを提案する。以下の章でそれを物性測定と動作シミュレーションの面から裏付けていくことにする。

## 第4章

### $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ のドリフト速度－電界特性

#### 4.1 本章の目的

キャリアのドリフト速度 ( $v_d$ ) の電界 ( $E$ ) に対する依存性は、高速スイッチングデバイスの特性を決める最も重要な物性パラメータのひとつである。素子が微細になるにつれて、飽和速度 ( $v_s$ ) がスイッチング時間に占める重要性は低電界移動度よりも大きくなっていく。

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ は赤外線検出器用の材料として研究されてきたので、その特性を決める重要なパラメータとして、低電界移動度はよく調べられてきた。しかし高電界での特性には興味を持たれなかったせいか、高電界でのドリフト速度のピーク値や飽和値などのデータは測られていない。そこで本章では、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の電子のドリフト速度の電界依存性を測定して、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ が高速スイッチングデバイスの材料としてふさわしいかどうかを検討する。ドリフト速度の測定は比較的簡便な導電率の測定によった。

## 4.2 測定方法

ドリフト速度の測定法には、大きく分けて導電率法とタイムオブフライト (TOF) 法の二種類があり、それぞれに特徴がある。(ドリフト速度測定についてのレビューは [Jacoboni 77] がまとまっている。)

### (1) 導電率法

物質中の電流密度とドリフト速度の間には次の関係が成り立つ。

$$J(E) = env_d(E) \quad (4-1)$$

従って、キャリア密度 ( $n$ ) をホール測定などであらかじめ求めておけば、いろいろな電界の強さでの導電率測定から、ドリフト速度の電界依存性  $v_d(E)$  を求めることができる。その場合、キャリア密度を電界によらずに一定に保つように注意しなければならない。高電界の測定ではジュール加熱によるキャリアの発生を防ぐために短パルスで測定する。またコンタクトからのキャリア注入やブレークダウンによるキャリア発生が起きないように注意が必要である。測定の原理上、負性微分抵抗領域の測定は不可能である。通常、低抵抗率の試料が必要である。

### (2) タイムオブフライト (TOF) 法

試料の一端を電子線や光の極短パルスで照射してキャリアを励起する。そのキャリアの走行時間を電流の持続時間で直接測定することができる。パルスの照射時間はキャリアの走行時間よりも十分に短くなければいけない。電界を印加しただけで電流が流れては困るので、普通は高抵抗率の試料にショットキー接合を形成し、逆バイアス方向に高電界をかけて試料全体を空乏させる。負性微分抵抗領域の測定も可能である。

導電率法は、電流からドリフト速度を間接的に求めるので測定の精度はよくない。しかし、測定系はパルス電源と高速のモニターがあればよく比較的簡単である。また試料は結晶を適当な形状に加工しオーミックコンタクトをとるだけでよい。一方TOF法は、キャリアの走行時間を直接測定できるので、ドリフト速度測定法としては精度の高いすぐれた方法であるが、電子線や光の極短パルス照射装置が必要で測定系は大がかりになる。また試料には数KVかけてもブレークダウンしない良好なショットキー接合を形成しなければいけない。本研究室では、極短パルス照射装置がないこと、 $Hg_{1-x}Cd_xTe$ のプロセスのノウハウが蓄積されていないこと、 $Hg_{1-x}Cd_xTe$ は低抵抗の試料が手に入りやすいことから、測定系が簡便で、試料作製の容易な導電率法を用いることにする。

#### 4.2.1 試料の作製

試料に使う  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  は、富士通研究所(株)よりバルク結晶ウエハーの提供を受けた。組成は  $x=0.3$  である。

試料作製プロセスは、基本的には光伝導型赤外線検出器の作製プロセスと [Long 70] 同じである。しかし細かいノウハウは全く公表されていないので、少々繁雑になるが、順を追って詳しく述べることにする。

(i) ウエハーを 3.5mm 角に劈開

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  はもろいので、ダイヤモンドカッターで軽く傷つけるだけで、厚さ約 1mm のウエハーが割れてしまうので十分な注意が必要

(ii) 一面を研磨、エッチング ( (iv) , (v) 参照)

(iii) サファイア基板にウエハーの仕上げた面を貼り付ける

エポキシ接着剤 (アラルダイトラップド) が薄くひろがるようにサファイア基板を 80℃程度に暖めるとよい。サファイアは熱膨脹率が  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  と近いので基板に使う。接着後は一昼夜おいて十分乾かして研磨工程に進む

(iv)  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  の厚さが 100  $\mu\text{m}$  程度になるまで研磨

カーボランダム #4000 (粗研磨)、アルミナ 0.2  $\mu\text{m}$  (仕上げ)。  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  はやわらかいので、細かい傷はどうしても残る。厚みを制御するには、目盛とストップパーがついた研磨治具を使うと便利。

(v) Br-メタノールで厚さが 30~40  $\mu\text{m}$  になるまでエッチング

3% Br-メタノール (体積比 1 : 100) で、エッチレートは 6.3  $\mu\text{m}/\text{min}$  (室温、 $x=0.3$ ) になる。 $x$  が小さくなるとエッチレートが大きくなる傾向がある。よくかき混ぜながらエッチングすること。

(vi) フトリソグラフィーによるパターンニング

図4.1のマスクパターンを使う。ひとつのチップ上に、導電率測定用のH形パターンとホール測定用のX形パターンをならべて作る。導電率測定用パターンの細い部分に印加した電界が均一にかかるようにするには、長さとの幅の比が 1.5 以上必要とされるが [Majerfeld 74]、このパターンでは 2.5 (括弧内の寸法の場合はエ

ツチング後に 2.5 ) である。レジストは OMR 83 を 3000rpm で塗布し、プリ  
 ベーク 90℃ 30分、露光 20秒、ポストベーク 150℃ 30分である。ポストベーク温  
 度を通常よりも高めにしないと OMR 83 は Br-メタノールエッチングにもたな  
 い。また MP レジストは Br-メタノールにまったくもたない。

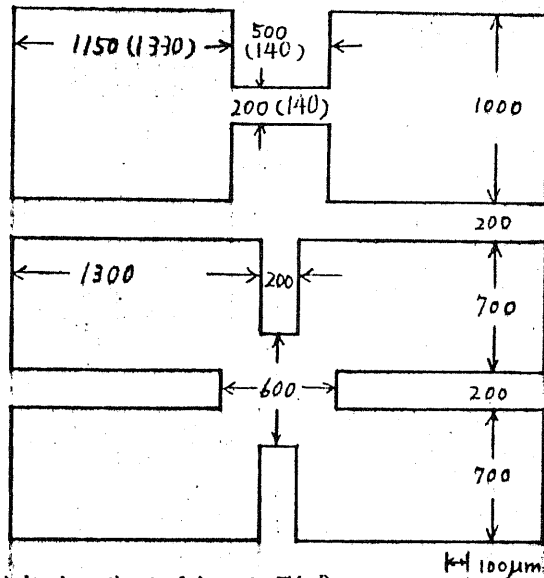


図 4.1  
 マスクパターン  
 上部が導電率測定用  
 下部が Hall 測定用  
 (単位 μm)

(vii) Br-メタノールでパターン形成

エッチングでは  $Hg_{1-x}Cd_xTe$  の厚さに相当する  $30 \mu m$  程度のアンダーカットが  
 できる。したがって導電率測定用パターンの細線はマスクパターンよりも細くな  
 る。OMR の剝離液はエポキシせっちゃくざいをおかすので、レジストの剝離は  $60^\circ C$  30秒 程度ですばやく行なう。

(viii) オーミックコンタクト形成

In 蒸着または In 圧着で、低抵抗のオーミックコンタクトがとれる。In 圧着後ハ  
 ンダごてで In を一度融かすと密着性がよくなる。長時間暖め過ぎるとかえって  
 オーミック特性が悪くなるので注意。

4.2.2 ホール測定

ホール測定は van der Pauw の方法を使う。磁束密度は  $0.8 T$  で測定した。Pauw 法で  
 は、抵抗率 ( $\rho$ )、ホール係数 ( $R_H$ )、ホール移動度 ( $\mu_H$ )、キャリア密度 ( $n$ ) は次  
 のように与えられる。

$$\rho = \frac{\pi}{\ln 2} d \frac{R_{DC/AB} + R_{AD/BC}}{2} f \left( \frac{R_{DC/AB}}{R_{AD/BC}} \right) \quad (4-2)$$

$$R_H = d \Delta R_{DB/AC} / B \quad (4-3)$$

$$\mu_H = R_H / \rho \quad (4-4)$$

$$n = 1 / e R_H \quad (4-5)$$

上の4定数のうち、厚さ (d) に依存しないのは  $\mu_H$  だけである。他は、 $\rho \propto d$ 、 $R_H \propto d$ 、 $n \propto 1/d$  となる。d は研磨の精度やエッチレートのばらつきなどで正確な値が出にくい量であるので注意が必要である。

#### 4.2.3 導電率測定

図4.2のような直方体の試料を流れる電流を考えよう。式(4-1)より

$$i = en v_d (wd) \quad (4-6)$$

ゆえにドリフト速度 ( $v_d$ ) は、

$$v_d = \frac{i}{enwd} \quad (4-7)$$

ホール測定で求まるキャリア密度 (n) は、d に反比例するから、式(4-7)の  $v_d$  は不確実性の高い厚みによらないことになる。これが、同一チップ上に無理やり導電率測定用とホール測定用のふたつのパターンを押しこめた理由である。平面寸法 w と d は顕微鏡で精度よく求めることができる。

一方電界 (E) は

$$E = V/l \quad (4-8)$$

で求まる。

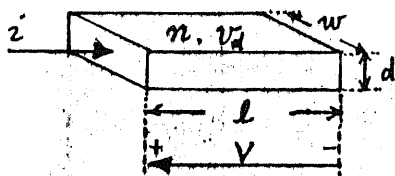


図 4.2

図4.3に測定系を示す。テクトロニクス110パルス発振器は、同軸ケーブルを直流で充電し、それを水銀リードスイッチで出力端子につながれた同軸ケーブルにショートしてパルスが発生する。パルスの振幅は充電電圧の約1/2になる。パルス幅は10ns、パルス

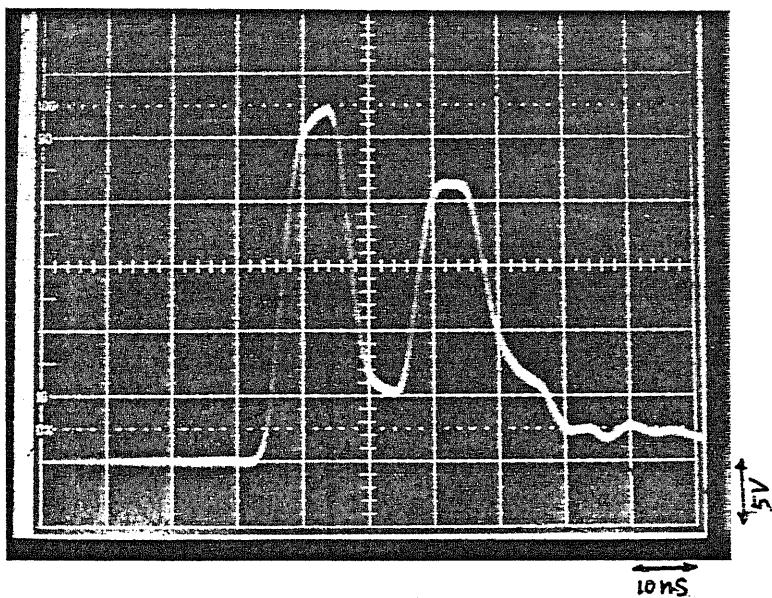
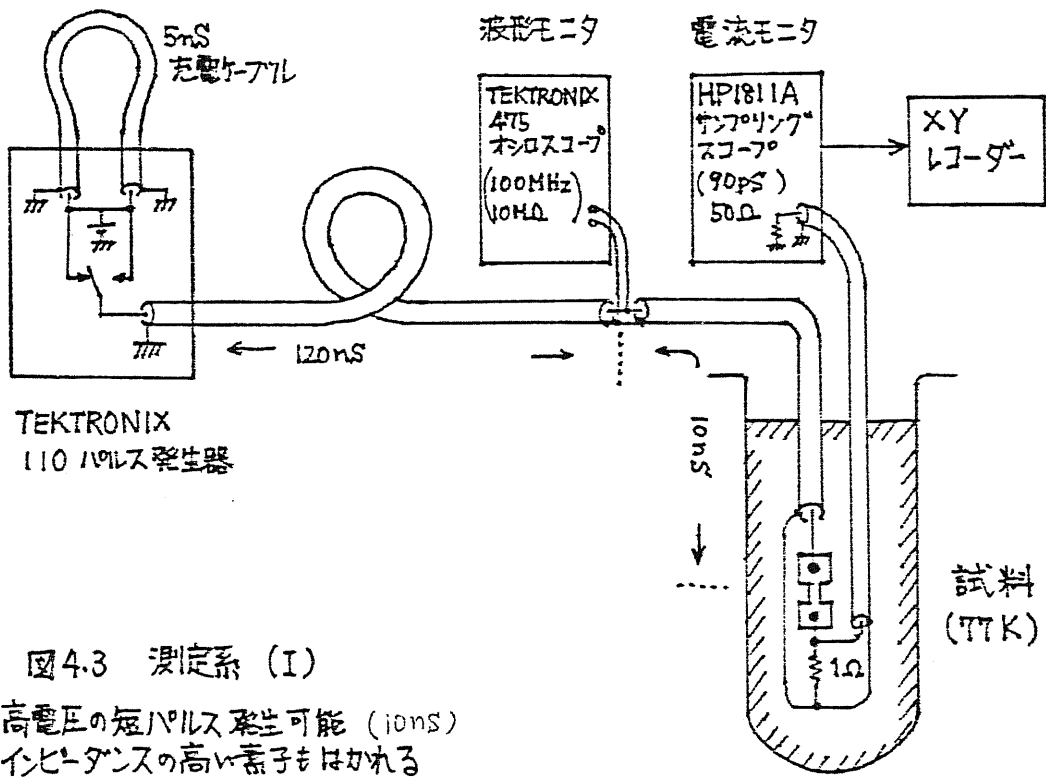


図4.4  
パルスのモニタ波形  
入射波と反射波  
がみえている。  
10ns/div  
5V/div

ス周波数は 700Hz である。パルスの立ち上がり時間は測定系に接続した状態で 1ns である。パルス発振器を出たパルスは、遅延時間 130ns のケーブルを経て試料に入射する。試料からの反射波はパルス発振器に 260ns 後に戻ってくるが、パルス幅は 10ns、パルス間隔は 1.4ms だからパルス発振器に悪影響を与えない。入射波と反射波は、試料から 10ns の位置につながれたテクトロニクス 475 オシロスコープでモニターされている。オシロスコープを接続したことによる反射などの悪影響は見られない。試料を測定中の入射波と反射波のモニター波形を図4.4に示す。試料のすぐとなりには  $1\ \Omega$  の抵抗が直列につながっていて、その両端に接続された HP 1811 A サンプリグスコープ (HP 1432 A サンプリグヘッド装着、 $50\ \Omega$  終端) で試料に流れる電流をモニターできる。この測定系で比較的インピーダンスの大きな試料でも測定することができる。

インピーダンスの小さな試料には、図4.5の測定系を用いた。HP 1915 A パルス電流源に、試料と HP 1811 A サンプリグスコープ (HP 1432 A サンプリグヘッド装着、 $50\ \Omega$  終端) が並列に接続されている。パルス幅は 100ns、パルス周波数は 25KHz である。パルスの立ち上がり時間は  $100\ \Omega$  程度の試料を接続した状態で 8ns であり、これはる。パルス電流源のスペックと同じである。この場合、反射波による顕著な振動は見られない。試料に加わる電圧はサンプリグスコープで直接読むことができ、電流はパルス電流源の供給電流からサンプリグスコープの  $50\ \Omega$  入力インピーダンスを流れる電流をさし引けば求まる。

測定は、すべて 77K でアルミホイルで外部からの光を遮断した状態で行なった。測定した試料は、組成が  $x=0.3$ 、n 型である。

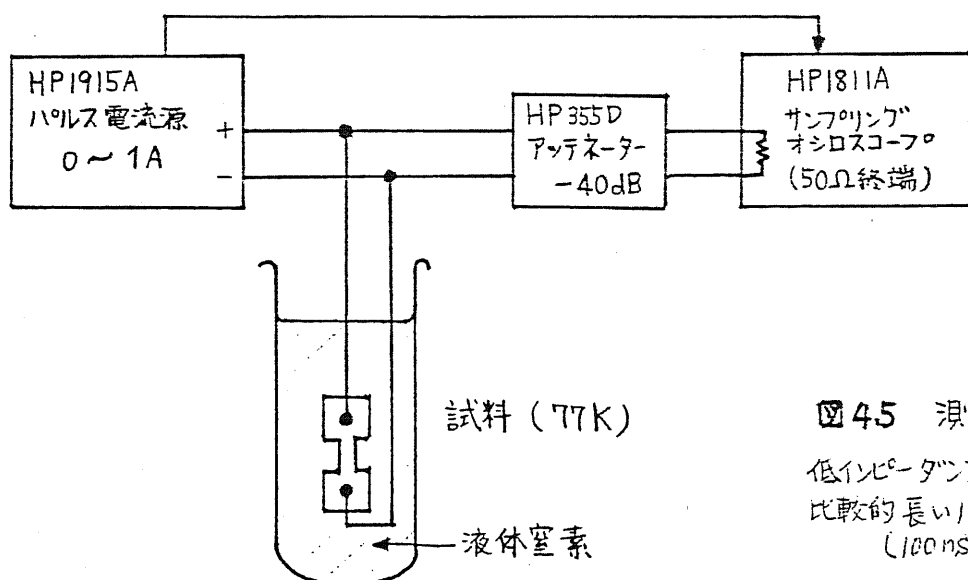


図45 測定系(II)  
低インピーダンス試料測定用  
比較的長いパルスを発生  
(100ns)



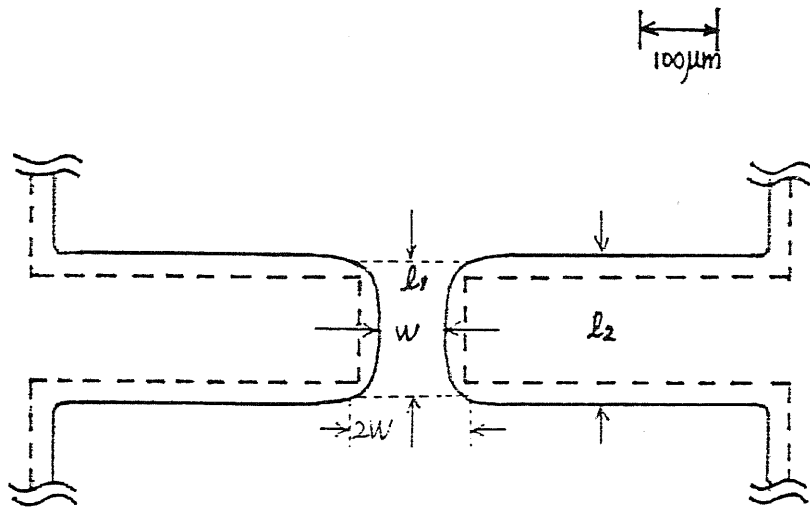


図 4.6 導電率測定を行った素子の形状

電圧は上下方向にかかる。

$$W = 83\mu\text{m}$$

$l_1$  はブリッジの幅  $2W$  になるところの間で定義され、

$$l_1 = 180\mu\text{m}$$

$$l_2 = 200\mu\text{m}$$

素子の厚さ  $d \approx 40\text{nm}$

破線はエッチング前のマスクパターンである。

### 4.3 測定結果

はじめに、測定した試料の電流波形について述べ、次に、実験より求めた電子のドリフト速度の電界特性について述べる。

#### 4.3.1 電流波形

試料は、77Kで、ホール移動度  $2.9 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$ 、キャリア密度  $6 \times 10^{14} \text{cm}^{-3}$  のn型である。試料の形状を図4.6に示す。測定された電流波形を図4.7 (a), (b), (c)に示す。入射電圧が小さいときは、電流波形はきれいな台形状をしている(図4.7 (a))。波形上の凹凸は一部の反射によるものである。入射電圧が大きくなって、10V(電界に換算すると  $500 \text{V/cm}$ )になると、反射の凹凸を除いても、電流がパルスの持続時間の間で増加するのが観察されるようになる(図4.7 (b))。この傾向は入射電圧が大きくなるとさらに激しくなり、入射電圧が20V( $1 \text{KV/cm}$ )になるとピークの電流はパルス立ち上がり時の電流値の2倍になっている(図4.7 (c))。

これは、パルスの入射中に試料の温度が上昇したか、素子の中で強い電界が加わった部分でアバランシェブレイクダウンが起こってキャリア数が増大したためと考えられる。どちらかとははっきりとは言えないが、パルス幅は10nsと狭くまた電流の増加がパルス立ち上がり後1nsには始まっているので、温度上昇とは考えにくい。

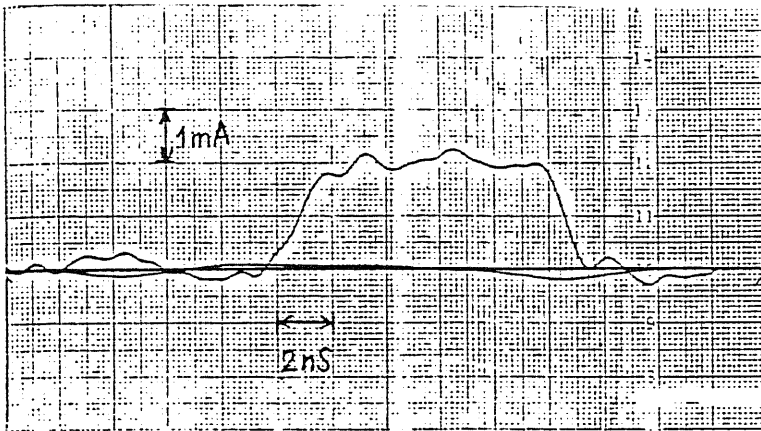
電子のドリフト速度を反映した電流を判断するのは難しいのだが、この測定では、パルスが90%立ち上がってから0.5ns後の電流の値を採用することにした。

図4.8に測定した素子の電流密度-電界特性を示す。電界は、加わった電圧が全て素子のブリッジ部分にかかっているとして求めた。電流密度はパルスが90%立ち上がってから0.5ns後と5ns後の値を示した。5ns後の電流は電界が大きくなると急激に増加していることがわかる。0.5ns後の電流は電界に対してほぼリニアに増加しているが、 $1.5 \text{KV/cm}$ の付近で傾きが小さくなるような傾向が見られ、またその後リニアに増加しているように見える。 $1.5 \text{KV/cm}$ 以上では、5ns後の電流が0.5ns後の電流よりも2倍以上大きくなって、電流の読み取りが難しく、また入射パルス立ち上がり中にアバランシェブレイクダウンが起こった可能性もありデータの信頼性が落ちる。

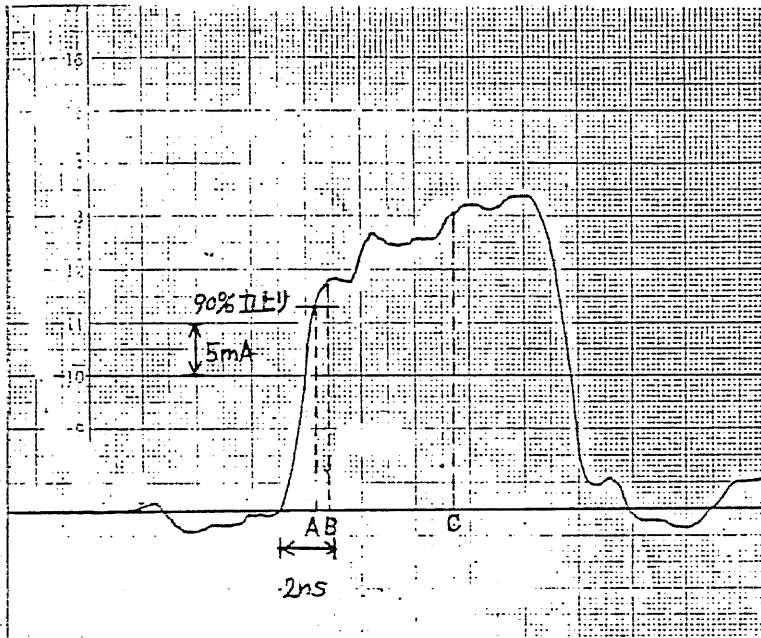
低電界での電流密度-電界特性の傾きからドリフト移動度を求めると、 $1.3 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$ になる。これはホール測定から求めた値、 $2.9 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$ よりはかなり小さい。ドリフト移動度はホール移動度よりも小さくなり、教科書によれば[菅野 79]、ドリフト移動度とホール移動度の比は、

$$\text{不純物散乱が支配的な場合} \quad \mu_d / \mu_H \approx 0.5$$

図 4.7 試料を流れる電流  
パルス波形



(a) 入射パルス 1.0V

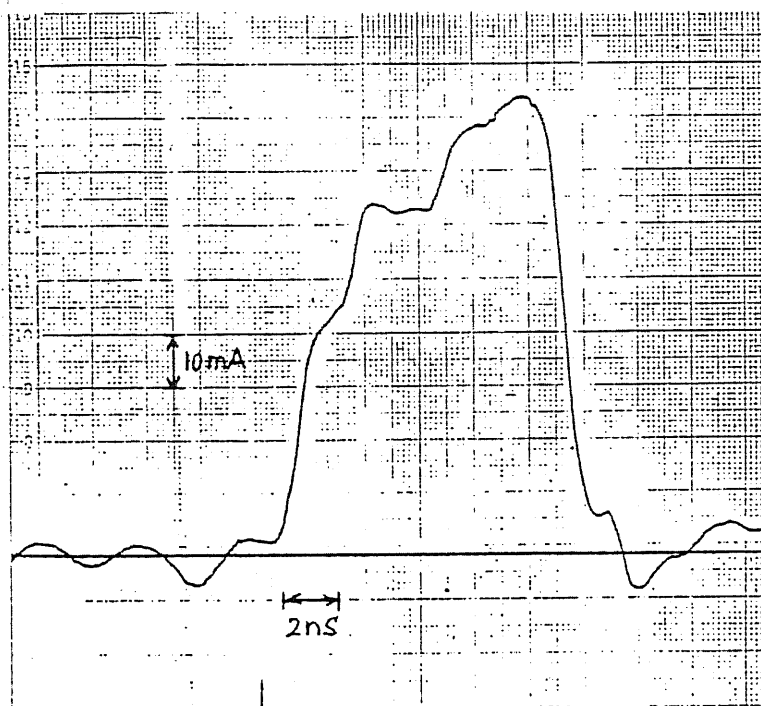


(b) 入射パルス 10V

A : パルス 90% 立ち上り

B : A から 0.5ns 後  
電流を讀む点 (I)

C : A から 5ns 後  
電流を讀む点 (II)



(c) 入射パルス 20V

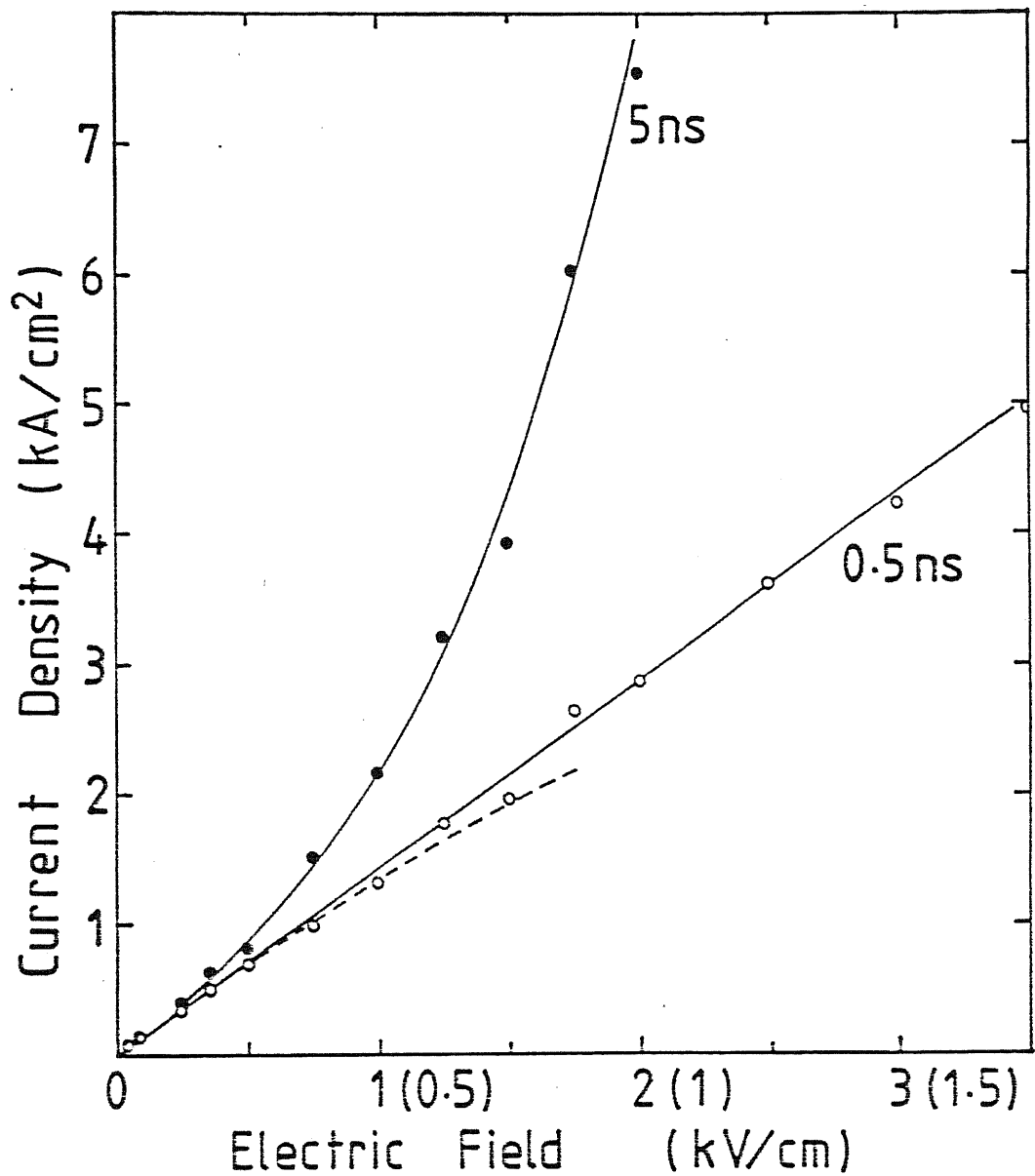


図 4.8  $\text{Hg}_{0.7}\text{Cd}_{0.3}\text{Te}$  の電流密度 - 電界特性 (77K)

○ はパルス立ち上り後 0.5 ns の測定値

● 5 ns

破線は比較的信頼度の高いデータを結んだもの

電界軸の ( ) 内の値は低電界でのドリフト移動度が Hall 移動度の 0.85 倍になるようにフィッティングしたものの

格子散乱が支配的な場合  $\mu_d/\mu_H \approx 0.85$  (4-9)

となる。 $x=0.3$ 、77Kでは、格子散乱が支配的だから [Scott 72]、測定した素子では、 $\mu_d \approx 2.6 \times 10^4 \text{m}^2/\text{V}\cdot\text{s}$  になるはずである。この違いの原因として、加わった電圧が全て素子のブリッジ部分にかかっていると仮定したことがある。十分低抵抗のオーミックコンタクトがとれていない場合には、コンタクトにもかなりの電圧が加わる。また素子のパッドの幅の広い部分に加わる電圧も無視できない。これらの影響で、素子のブリッジ部分にかかっている電圧が入射電圧よりも小さくなったとして、ドリフト移動度が式(4-9)を満たすように電界軸をフィッティングしなおしたのが、図4.8のx軸に括弧をつけて記した電界値である。これに従えば、ブレークダウンが起こり始めるのは電界の強さが  $250 \text{V}/\text{cm}$  になったときである。

#### 4.3.2 電子のドリフト速度の電界特性

図4.9に、電子のドリフト速度の電界特性の測定結果を●で示す。図4.9は図4.8の電流密度軸をドリフト速度に書きなおしたものである。電界軸は前節で述べたように、ドリフト移動度がホール移動度と合うようにフィッティングしなおしたものである。あわせて、○で別の試料 ( $\mu_H = 3.0 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$ 、 $n = 1.3 \times 10^{15} \text{cm}^{-3}$ 、ブリッジ部の寸法  $l = 350 \mu\text{m}$ 、 $w = 140 \mu\text{m}$ 、 $d \approx 30 \mu\text{m}$ ) を図4.5の測定系で測定したデータを示した。

●のデータでは、 $v_d$ が  $4 \times 10^7 \text{cm}/\text{s}$  以上に達しているが、前節で述べたように信頼できるのは、傾きが小さくなり始める  $2 \times 10^7 \text{cm}/\text{s}$  あたりまでである。このへんで傾きが小さくなり始めるのだからピーク速度はさらに高いと考えられる。

○のデータの測定の場合もブレークダウンが観測された。しかしこの試料では、 $E = 1 \text{KV}/\text{cm}$   $v_d = 3 \times 10^7 \text{cm}/\text{s}$  の場合でもピーク電流は立ち上がり電流の約2倍にしかならなかった。パルス幅が  $100 \text{ns}$  あることを考えると電流の増加の割合はずっと小さい。またこの試料では低電界でのドリフト移動度が  $2.5 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$  で、補正無しでもホール移動度と合っていて、コンタクトがうまくとれていると考えられる。従って、 $v_d = 3 \times 10^7 \text{cm}/\text{s}$  はかなり信頼できると思われる。

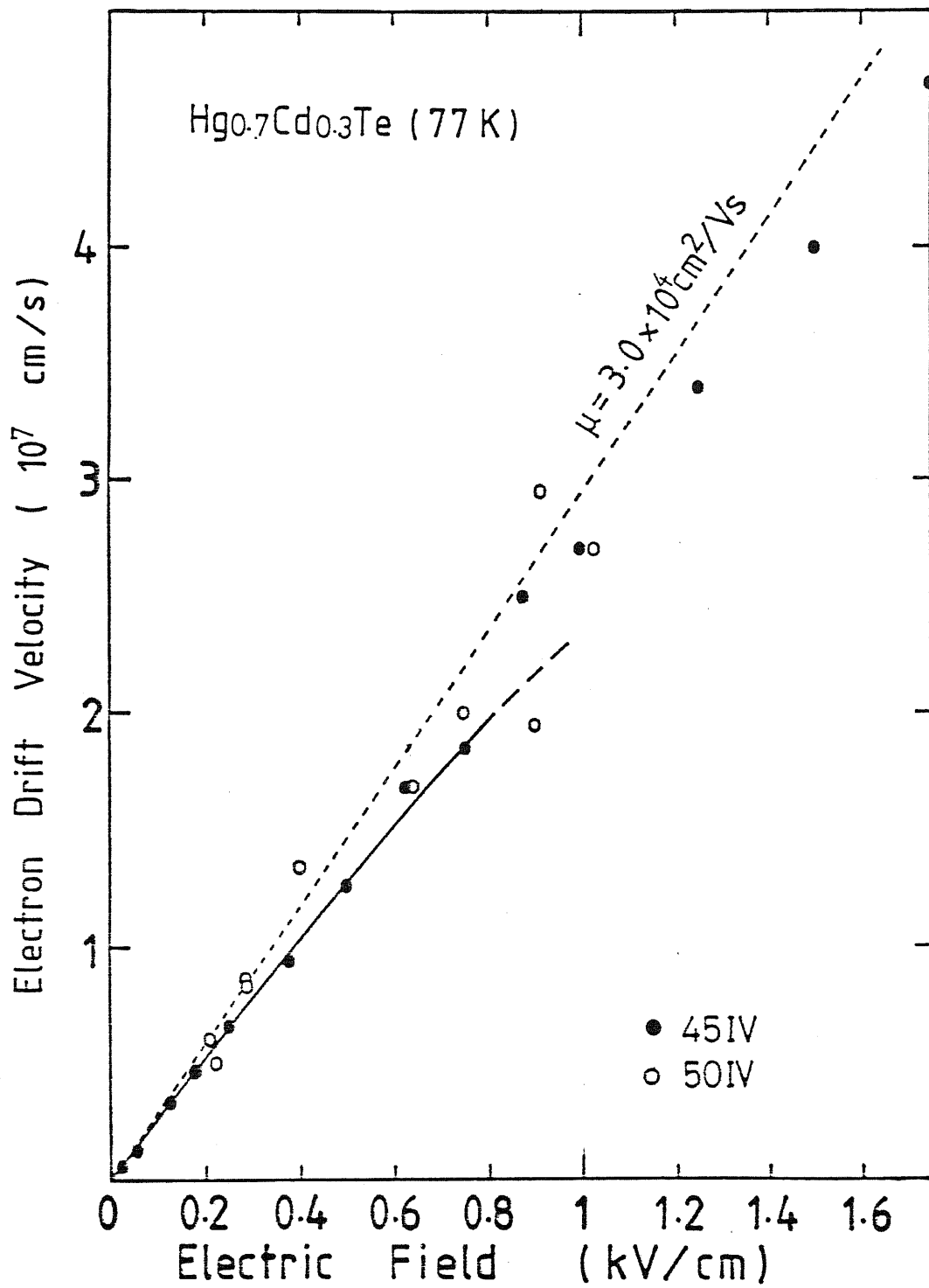


図 4.9 Hg<sub>0.7</sub>Cd<sub>0.3</sub>Te の電子ドリフト速度-電界特性

- はパルス電圧法 (図4.3)
- はパルス電流法 (図4.5) で別のサンプルを測定したもの

#### 4.4 議論

ドリフト速度のピーク値を光学フォノンのエネルギーと電子のエネルギーが等しくなる値と考えると、

$$v_{dp} \approx \left( \frac{\hbar \omega_{op}}{2m_e^*} \right)^{1/2} \quad (4-10)$$

になる。Hg<sub>0.7</sub>Cd<sub>0.3</sub>Teの光学フォノンのエネルギーは、

CdTe	LOフォノン	21.3meV	
	TOフォノン	17.4meV	[日本 83]
HgTe	LOフォノン	16.1meV	
	TOフォノン	14.3meV	[日本 83]

を内挿して

Hg <sub>0.7</sub> Cd <sub>0.3</sub> Te	LOフォノン	17.7meV
	TOフォノン	15.2meV

となる。電子の有効質量は [Reine 81] より、 $m_e^*/m_0=0.018$

以上の数値を使うと

$$v_{dp} \approx 2.7 \times 10^7 \text{ cm/s}$$

と求まる。これは測定値  $v_d=3 \times 10^7 \text{ cm/s}$  とほぼ合っている。以上よりHg<sub>0.7</sub>Cd<sub>0.3</sub>Teの電子のドリフト速度は、 $3 \times 10^7 \text{ cm/s}$  に達することがわかった。このような高いドリフト速度がえられるのは、Hg<sub>1-x</sub>Cd<sub>x</sub>Teのバンド構造でΓ点とL点が約 1.5eV 離れているので [Katsuki 71] 有効質量の小さいΓ点から大きいL点への遷移が起こりにくいからだと考えられる。図4.10にHg<sub>1-x</sub>Cd<sub>x</sub>Teの電子のドリフト速度の電界特性をSiとGaAsと比較して示す。分かりやすいように両軸を対数にしている。Hg<sub>1-x</sub>Cd<sub>x</sub>Teのドリフト速度は、300KでのSiやGaAsのピーク速度を上回り、77KでのGaAsのピーク速度とほぼ同等である。Hg<sub>1-x</sub>Cd<sub>x</sub>Teは超高速デバイスの材料として有望である。

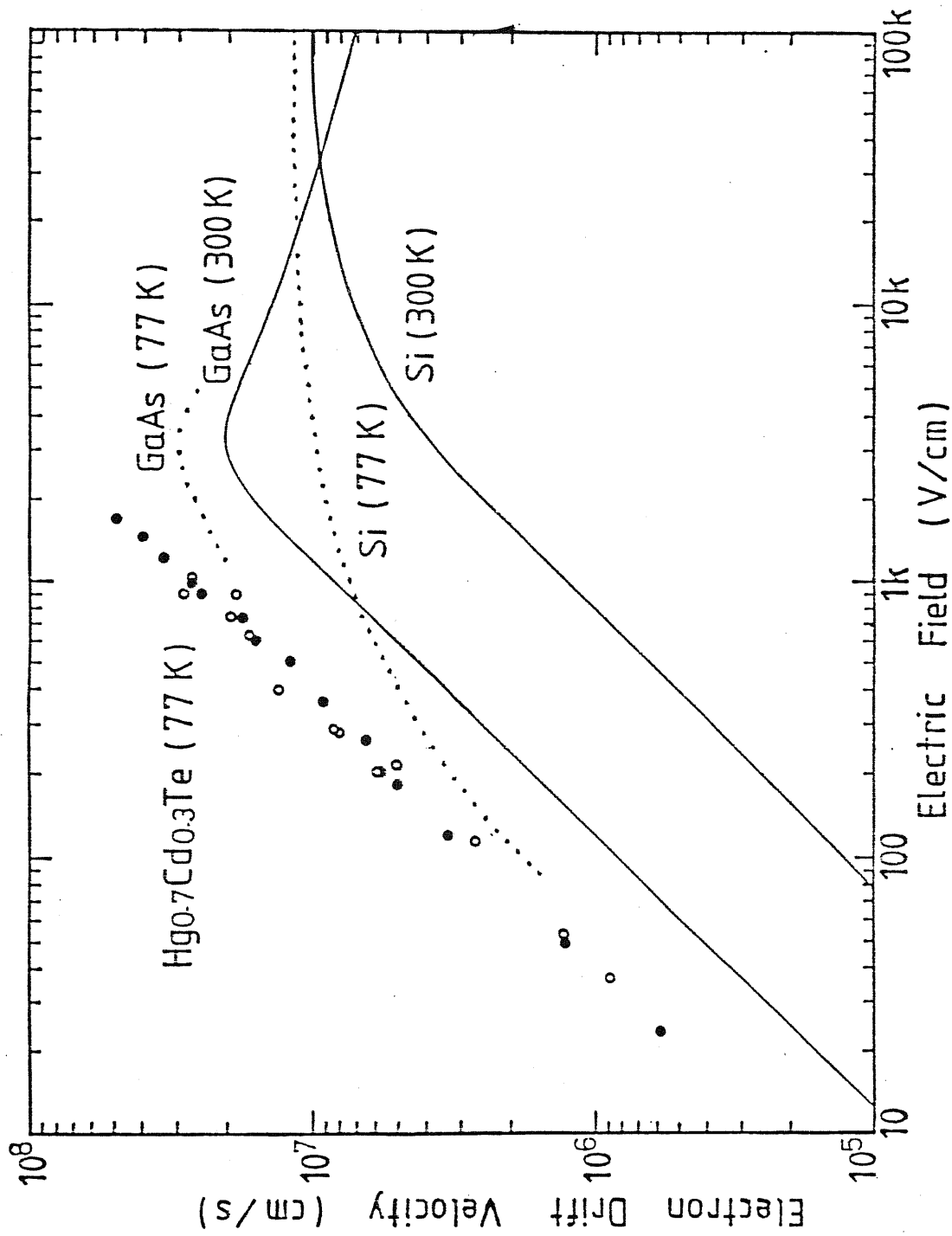


図 4.10 Hg<sub>0.7</sub>Cd<sub>0.3</sub>Te の電子ドリフト速度 - 電界特性  
 図 4.9 E 対数日盛でプロットしたものを合わせて、GaAs のデータを示す  
 ( GaAs (300K),  $\beta_j$  (300K) [Size 81], GaAs (77K) [Pozela 80], Si (77K) [Jacoboni 77])



#### 4.5 まとめ

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の電子のドリフト速度の電界特性を測定した。測定法は、パルスを印加して電流-電圧特性を測定する導電率法を採用した。 $x=0.3$ のn型試料を77Kで測定したところ、ブレイクダウンが起こりやすく精度の高い測定がしにくかったが、ドリフト速度は、ほぼ  $3 \times 10^7 \text{cm/s}$  に達することがわかった。このように  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ はドリフト速度の面からも超高速デバイスの材料として有望であることがわかった。

## 第5章

### $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの設計

#### 5.1 本章の目的

はじめに、ヘテロ接合を含む半導体を扱う場合に、バンド構造をどう取り扱うか、半導体の基本方程式をどう修正するかを説明する。次に、ヘテロ接合バイポーラトランジスタの動作に関係したパラメータを中心に $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の物性定数をまとめる。その中でも移動度は重要なパラメータなので、その電界依存性と不純物密度依存性を既知のデータからどのように見積もったかに重点を置いて述べる。以上のデータから $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ に特有の事情を考慮して具体的に $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの構造を設計する。

## 5.2 ヘテロ接合の取り扱い

はじめに、ヘテロ接合を含まない場合のよく知られている半導体の基本方程式をあげる。

### (i) 電流方程式

$$\begin{aligned} J_n &= -e \mu_n n \operatorname{grad} \phi_n \\ J_p &= -e \mu_p p \operatorname{grad} \phi_p \end{aligned} \quad (5-1)$$

アインシュタインの関係式

$$D_n = \frac{1}{\theta} \mu_n, \quad D_p = \frac{1}{\theta} \mu_p \quad (5-2)$$

ただし

$$\theta \equiv e/kT \quad (5-3)$$

が成り立つとすると、

$$\begin{aligned} J_n &= e D_n \operatorname{grad} n - e \mu_n n \operatorname{grad} \phi \\ J_p &= -e D_p \operatorname{grad} p - e \mu_p p \operatorname{grad} \phi \end{aligned} \quad (5-4)$$

### (ii) 電流連続方程式

$$\begin{aligned} \frac{\partial n}{\partial t} &= \frac{1}{e} \operatorname{div} J_n + G_n - U_n \\ \frac{\partial p}{\partial t} &= -\frac{1}{e} \operatorname{div} J_p + G_p - U_p \end{aligned} \quad (5-5)$$

### (iii) ポアソン方程式

$$\Delta \phi = -\frac{e}{\epsilon} (\Gamma + p - n) \quad (5-6)$$

ただし

$$\Gamma \equiv N_D - N_A \quad (5-7)$$

以上の基本方程式を補助する式に、ボルツマン統計からキャリア密度を与える式がある。  
 ( $\psi$ 、 $\phi_p$ 、 $\phi_n$  の定義は図5.1を参照)

$$\begin{aligned} n &= n_i \exp \{ \theta (\phi_n - \psi) \} \\ p &= n_i \exp \{ \theta (\psi - \phi_p) \} \end{aligned} \quad (5-8)$$

ホモ接合の場合、どこをとっても電子親和力 ( $\chi$ ) とバンドギャップ ( $E_g$ ) が等しいので、図5.1のように伝導帯 ( $E_c$ ) の曲がりも、価電子帯 ( $E_v$ ) の曲がりも、真空準位 ( $E_{vac}$ ) の曲がりもすべてポテンシャルエネルギー ( $-e\psi$ ) の曲がりと一致する。

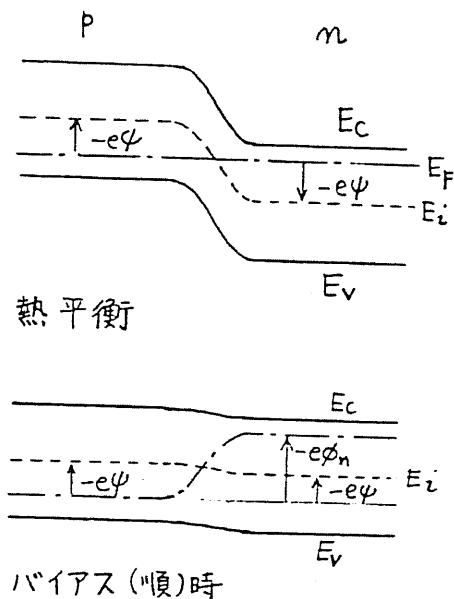


図5.1 ホモ接合のバンド図

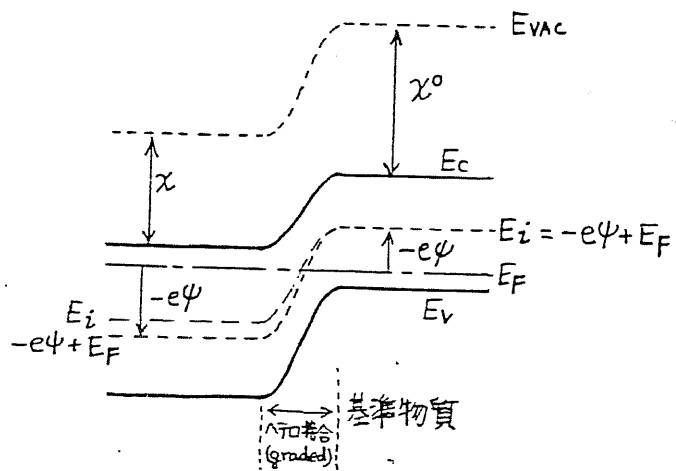


図5.2 ヘテロ接合のバンド図

ヘテロ接合を含む場合は、 $\chi$  や  $E_g$  が空間的に変化するので、 $E_c$  の曲がりと  $E_v$  の曲がり  $-e\psi$  の曲がりとは必ずしも一致しなくなる。そこでバンド構造を決めるために、Andersonによって導入された次のような仮定 [Anderson 62] を採用する。

「ヘテロ接合を含む半導体では真空準位 ( $E_{vac}$ ) が連続になる。」  
 つまり、 $E_{vac}$  の曲がり  $-e\psi$  の曲がりとは一致し、各空間位置での  $E_c$  と  $E_v$  はその位置での  $E_{vac}$  からそれぞれ  $\chi$  と  $E_g$  だけずらしたエネルギーを持つと仮定するのである。

図5.2に示すように、半導体中のある1点を基準点に定める。(以下、上添字<sup>0</sup>は基準点での値を意味することにする) 基準点での熱平衡時のフェルミ準位 ( $E_F$ ) から測った真性準位 ( $E_i^0$ ) をポテンシャルエネルギー ( $-e\psi$ ) と定義する。

$$-e\phi = E_i^0 - E_F \quad (5-9)$$

つまり基準点およびそこと同一の物質中では、 $\phi$ の定義はホモ接合の場合の $\phi$ の定義と一致し、式(5-8)はそのまま成り立つ。一方、 $E_{VAC}$ と $-e\phi$ の曲りが等しいと仮定したから、ヘテロ接合を含むすべての点で、

$$E_{VAC} - (-e\phi + E_F) = \chi^0 + (E_c^0 - E_i^0) \quad (5-10)$$

真性準位の定義式

$$n_i^0 = N_c^0 \exp\left(\frac{E_i^0 - E_c^0}{kT}\right) \quad (5-11)$$

を式(5-10)に代入すると、

$$E_{VAC} = -e\phi + E_F + \chi^0 + kT \ln\left(\frac{N_c^0}{n_i^0}\right) \quad (5-12)$$

以上より、ヘテロ接合を含むすべての点でのキャリア密度を $\phi$ 、 $\phi_p$ 、 $\phi_n$  を使って表わすことができる。[Sutherland 77]

$$\begin{aligned} n &= N_c \exp\left(\frac{E_{Fn} - E_c}{kT}\right) \\ &= N_c \exp\left(\frac{(-e\phi_n + E_F) - (E_{VAC} - \chi)}{kT}\right) \\ &= n_i^0 \exp\left\{\theta\left(\phi - \phi_n + \frac{\chi - \chi^0}{e} + \frac{1}{\theta} \ln \frac{N_c}{N_c^0}\right)\right\} \end{aligned} \quad (5-13)$$

同様にして、

$$p = n_i^0 \exp\left\{-\theta\left(\phi - \phi_p + \frac{\chi - \chi^0}{e} + \frac{E_g - E_g^0}{e} - \frac{1}{\theta} \ln \frac{N_v}{N_v^0}\right)\right\} \quad (5-14)$$

整理すると、

$$\begin{aligned} n &= n_i^0 \exp\left\{\theta\left(\phi - \phi_n + \xi_n - \xi_n^0\right)\right\} \\ p &= n_i^0 \exp\left\{-\theta\left(\phi - \phi_p + \xi_p - \xi_p^0\right)\right\} \end{aligned} \quad (5-15)$$

$\xi_n, \xi_p$  はヘテロ接合にともなう修正項で、

$$\begin{aligned}\xi_n &= \frac{\chi}{e} + \frac{1}{\theta} \ln N_c \\ \xi_p &= \frac{\chi}{e} + \frac{E_g}{e} - \frac{1}{\theta} \ln N_v\end{aligned}\quad (5-16)$$

式(5-15)を電流方程式(5-1)に代入すると、

$$\begin{aligned}J_n &= \frac{e \mu_n}{\theta} \text{grad} n - e \mu_n n \text{grad} (\phi + \xi_n) \\ J_p &= -\frac{e \mu_p}{\theta} \text{grad} p - e \mu_p p \text{grad} (\phi + \xi_p)\end{aligned}\quad (5-17)$$

このようにヘテロ接合にともなう修正はポテンシャルのかたちで電流方程式に組み込まれる。

電流連続方程式(5-5)はヘテロ接合が含まれていてもそのまま使うことができる。ポアソン方程式(5-6)は $\epsilon$ の空間変化を考慮して、

$$\text{div} (\epsilon \text{grad} \phi) = -e (\Gamma + p - n) \quad (5-18)$$

以上ヘテロ接合を含む半導体の基本方程式をまとめて示す。

(i) 電流方程式

$$\begin{aligned}J_n &= \frac{e \mu_n}{\theta} \text{grad} n - e \mu_n n \text{grad} (\phi + \xi_n) \\ J_p &= -\frac{e \mu_p}{\theta} \text{grad} p - e \mu_p p \text{grad} (\phi + \xi_p)\end{aligned}\quad (5-19)$$

(ii) 電流連続方程式

$$\frac{\partial n}{\partial t} = \frac{1}{e} \text{div} J_n + G_n - U_n$$

$$\frac{\partial p}{\partial t} = -\frac{1}{e} \operatorname{div} J_p + G_p - U_p \quad (5-20)$$

(iii) ポアソン方程式

$$\operatorname{div} (\epsilon \operatorname{grad} \phi) = -e (\Gamma + p - n) \quad (5-21)$$

以上3式を補助するボルツマン統計式

$$\begin{aligned} n &= n_i^0 \exp \{ \theta (\phi - \phi_n + \xi_n - \xi_n^0) \} \\ p &= n_i^0 \exp \{ -\theta (\phi - \phi_p + \xi_p - \xi_p^0) \} \end{aligned} \quad (5-22)$$

ヘテロ接合にともなう修正項、

$$\begin{aligned} \xi_n &= \frac{x}{e} + \frac{1}{\theta} \ln N_c \\ \xi_p &= \frac{x}{e} + \frac{E_s}{e} - \frac{1}{\theta} \ln N_v \end{aligned} \quad (5-23)$$

### 5.3 Hg<sub>1-x</sub>Cd<sub>x</sub>Teの物性

Hg<sub>1-x</sub>Cd<sub>x</sub>Teは赤外線検出器の材料として研究開発が進められていて、その物性も比較的詳しく知られている。ここではヘテロ接合バイポーラトランジスタの動作に関係した性質を中心にHg<sub>1-x</sub>Cd<sub>x</sub>Teの物性をまとめる。

#### 5.3.1 基本的性質

Hg<sub>1-x</sub>Cd<sub>x</sub>TeはII-VI族化合物半導体のHgTeとCdTeの混晶である。0 ≤ x ≤ 1の全組成にわたって安定に存在する。

結晶構造 : Zincblende

格子定数 : HgTe 6.462Å、CdTe 6.481Åで、その間はほぼ線形に変化する(図5.3)。HgTeとCdTeの格子定数差が0.3%と小さいことが特徴。

熱伝導率 : HgTe 4×10<sup>-2</sup>W/cm・K(300K)、CdTe 8×10<sup>-2</sup>W/cm・K(300K) 0.4W/cm・K(77K)で、ほぼT<sup>-1</sup>に比例する。熱伝導率は小さい。

#### 5.3.2 バンド構造とバンドギャップ

図5.4(a)(b)は、CdTeとHgTeのバンド構造の計算結果である[Katsuki 71]。CdTeはΓ<sub>6</sub>-Γ<sub>8</sub>で1.6eVのバンドギャップを持つ半導体である。HgTeはΓ<sub>6</sub>-Γ<sub>8</sub>が-0.3eVの負のバンドギャップを持つセメタルである。Hg<sub>1-x</sub>Cd<sub>x</sub>TeのバンドギャップはCdTeとHgTeの間の値をとり組成比xに対してはほぼ線形に変化する(図5.6)。

バンド構造で注目されることはL<sub>6</sub>とΓ<sub>8</sub>のエネルギー差が全組成にわたって1.5eVと大きな値をとることである。これは谷間散乱による移動度の低下がおこりにくいことを意味する。

バンドギャップのx値および温度に対する依存性は、次の実験式で示される。[Hansen 82]

$$E_g = -0.302 + 1.93x + 5.35 \times 10^{-4} T(1 - 2x) - 0.810x^2 + 0.832x^3 \quad (5-24)$$

#### 5.3.3 キャリアの有効質量、移動度、再結合寿命

キャリアの有効質量は図5.7に示したようにバンドギャップが0になる組成で0になり、ほぼバンドギャップに比例する。従って狭バンドギャップの組成のものは有効質量が非常に小さくなる。



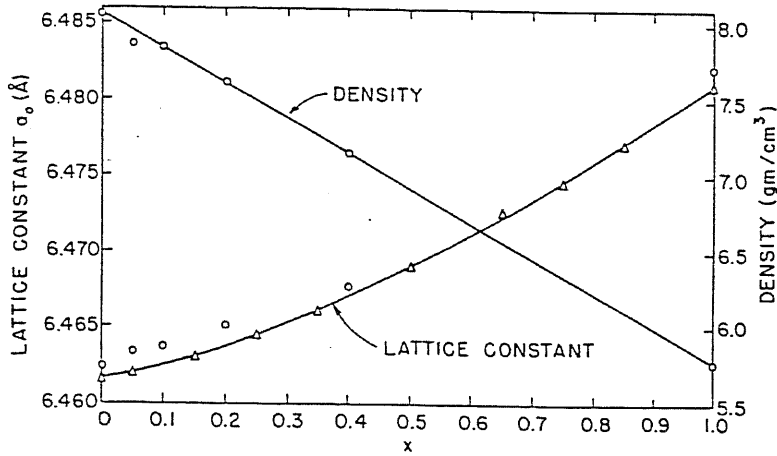
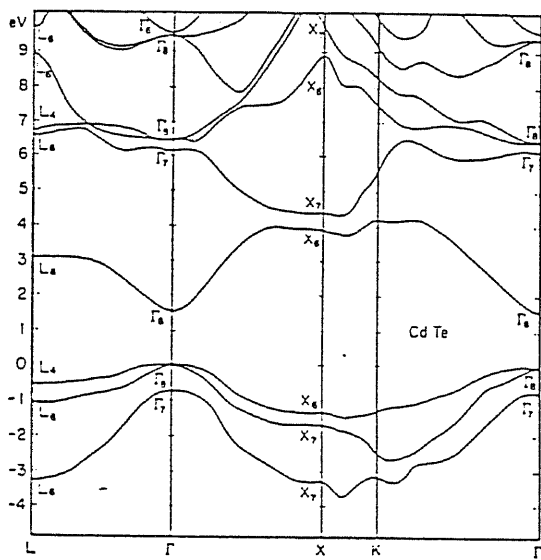
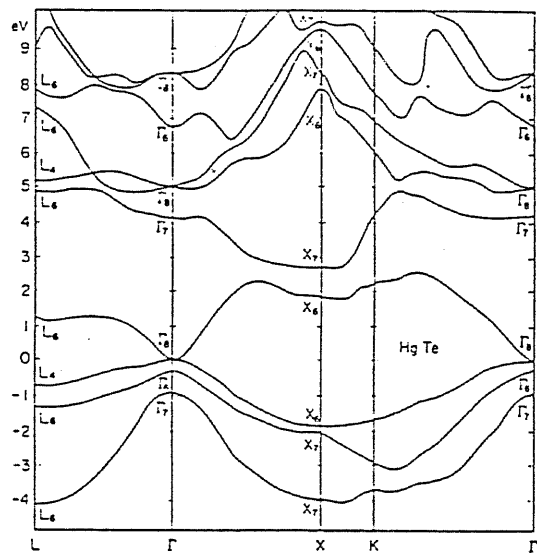


FIG. 4. Lattice constant and density versus alloy composition  $x$  in  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ . The triangles represent the values of Woolley and Ray<sup>2</sup>; the circles represent the values of Blair and Newham.<sup>1</sup>

図5.3  
 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の格子定数の組成依存性  
 [Long 70]



(a)



(b)

図 5.4 (a) CdTe と (b) HgTe のバンド構造 [Katsuki 71]

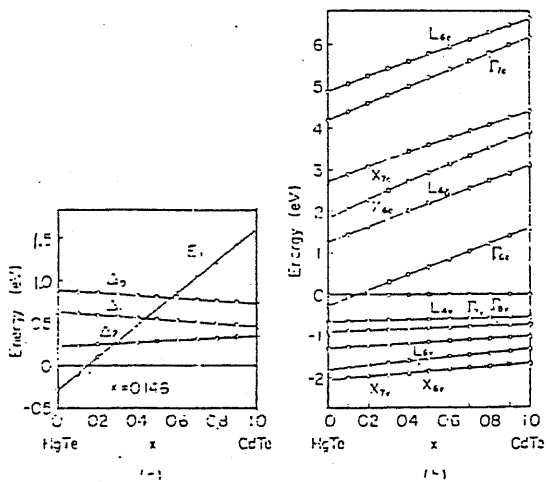


Fig. 5.5 (a) Composition dependence of the energy gap and the spin-orbit splitting energies for  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ . (b) Composition dependence of the energy levels for  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ . [Katsuki 71]

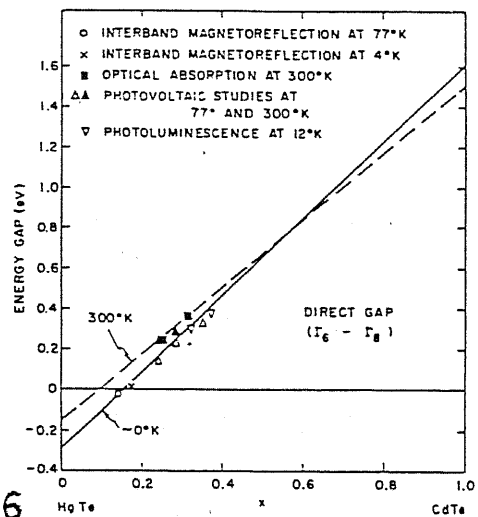
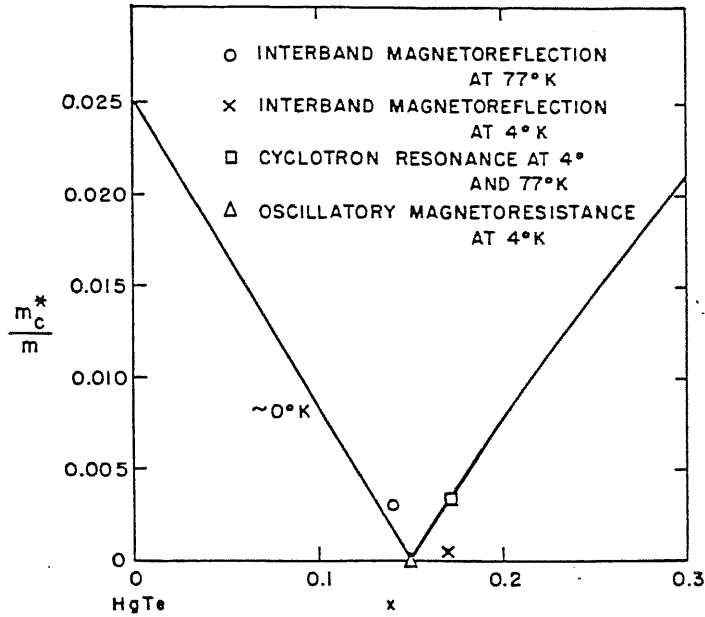


Fig. 5.6 Energy gap versus composition in  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ . The solid line represents the dependence at  $\sim 0^\circ\text{K}$ , and the dashed line is for  $300^\circ\text{K}$ . The types of experiments giving the data points are indicated. (After Long.<sup>1</sup>) [Long 70]



Conduction band edge effective mass at  $k = 0$ , in units of the free electron mass, versus composition in  $Hg_{1-x}Cd_xTe$ , calculated for  $\sim 0^\circ K$  by the  $k \cdot p$  method. (After Long.<sup>1</sup>) The magnetoreflection and cyclotron resonance data are from Harman *et al.*<sup>31</sup> and Strauss *et al.*<sup>32</sup>; the magnetoresistance data are from Giriat.<sup>42</sup>

図5.7  
 $Hg_{1-x}Cd_xTe$  の電子の有効質量の組成依存性  
 [Long 70]

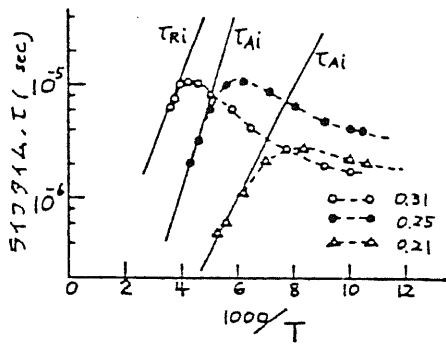


図5.10  
 $Hg_{1-x}Cd_xTe$  の少数キャリア寿命の温度、組成依存性  
 [上田 84]

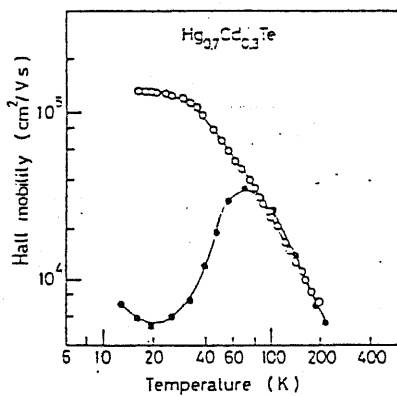


図 5.8 n形  $Hg_{0.7}Cd_{0.3}Te$  の Hall 移動度の温度依存性 [瀧川 85]

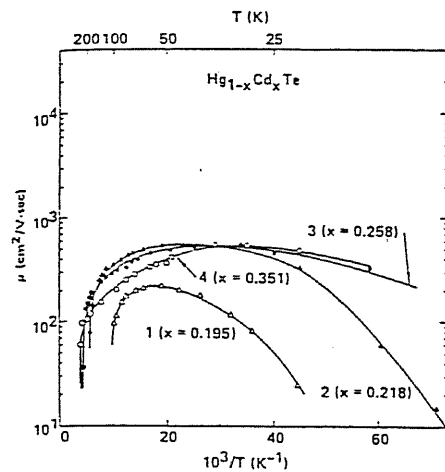


図 5.9 p形  $(HgCd)Te$  の Hall 移動度の温度依存性 [Shin 80]

Hall移動度は結晶の組成に大きく依存し、また品質にも大きく依存する。図5.8に  $x = 0.3$  の結晶の電子の移動度の温度依存性を示す。○は  $n = 5 \times 10^{13} \text{cm}^{-3}$  の高純度結晶のデータ、●は残留不純物の多い結晶のデータである。高温では光学フォノン散乱がきいていて、不純物の多い結晶は低温でイオン化不純物散乱を受ける。Hg<sub>1-x</sub>Cd<sub>x</sub>Teの電子移動度は大きく、図5.8の  $x = 0.3$  の結晶で、 $\mu_n = 4 \times 10^4 \text{cm}^2/\text{V}\cdot\text{s}$  (77K),  $1.4 \times 10^5 \text{cm}^2/\text{V}\cdot\text{s}$  (20K) である。 $x = 0.2$  の結晶では、 $\mu_n = 2 \times 10^5 \text{cm}^2/\text{V}\cdot\text{s}$  (77K) に達する。ホールのHall移動度は、77Kでおよそ  $100 \text{cm}^2/\text{V}\cdot\text{s}$  である (図5.9)。

過剰キャリアの再結合寿命は、放射再結合、オージェ再結合、Shockley-Read-Hall再結合の3種の機構で決まってくる。図5.10に示したように、真性領域では、 $x \leq 0.25$  の場合、オージェ再結合が支配的で、 $x = 0.31$  の場合、放射再結合で支配される。外来領域では、S-R-H再結合仮定が支配的である [上田 84]。77Kでは  $x = 0.3$  の場合、 $\tau \approx 1 \mu\text{s}$  程度である。

その他のパラメータを含めて、さまざまな  $x$  に対する Hg<sub>1-x</sub>Cd<sub>x</sub>Te の物性定数を表5.1 に示す [Reine 81]。

表5.1 Hg<sub>1-x</sub>Cd<sub>x</sub>Te の物性のまとめ

SUMMARY OF Hg<sub>1-x</sub>Cd<sub>x</sub>Te ELECTRICAL AND OPTICAL PROPERTIES (ALL VALUES SHOWN ARE HIGHLY APPROXIMATE)

Hg <sub>1-x</sub> Cd <sub>x</sub> Te alloy composition	$x$	—	77	0.19	170	30	0.20	77	77	0.30	125	200	200	0.40	300	0.55	300
Temperature	$T$	(K)															
Energy gap <sup>a</sup>	$E_g$	(eV)	0.079		0.107	0.080		0.094	0.251	0.260	0.275		0.425	0.433		0.656	
Cutoff wavelength	$\lambda_m$	( $\mu\text{m}$ )	15.8		11.6	15.4		13.2	4.9	4.8	4.5		2.9	2.9		1.9	
Peak wavelength	$\lambda_p$	( $\mu\text{m}$ )	14.4		10.5	14.0		12.0	4.4	4.3	4.1		2.6	2.6		1.7	
Intrinsic carrier concentration <sup>b</sup>	$n_i$	( $\text{cm}^{-3}$ )	$2 \times 10^4$		$9 \times 10^3$	$4 \times 10^6$		$9 \times 10^{13}$	$1 \times 10^8$	$3 \times 10^{13}$	$3 \times 10^{14}$		$6 \times 10^{11}$	$6 \times 10^{14}$		$1 \times 10^{13}$	
Electron mobility in n-type	$\mu_n$	( $\text{cm}^2/\text{V sec}$ )	$2 \times 10^4$		$3 \times 10^4$	$3 \times 10^6$		$2 \times 10^6$	$5 \times 10^4$	$2 \times 10^4$	$1 \times 10^4$		$4 \times 10^3$	$3 \times 10^3$		$2 \times 10^3$	
Hole mobility in p-type	$\mu_p$	( $\text{cm}^2/\text{V sec}$ )	$\sim 1,400^c$		$\sim 400^c$	$1,400^c$		$800^c$	$500^c$	$300^c$	$200^c$		$140^c$	$100^c$		$20^c$	
Conduction and light-hole mass <sup>d</sup>	$m_c, m_{lh}$	—	0.006		0.008	0.006		0.007	0.018	0.019	0.020		0.030	0.030		0.048	
Heavy-hole mass <sup>e</sup>	$m_{hh}$	—			0.5			0.5		0.5				0.5		0.5	
Kane's matrix element <sup>f</sup>	$E_p$	(eV)			19			19		19				19		19	
Static dielectric constant <sup>g</sup>	$\epsilon_s$	—			17			17		16				15		14	
High-frequency dielectric constant <sup>h</sup>	$\epsilon_\infty$	—			12.5			12.5		12				11		10	

<sup>a</sup> From Schmit and Stelzer (1969).

<sup>b</sup> From Schmit (1970).

<sup>c</sup> From Scott (1972).

<sup>d</sup> See Fig. 44b.

<sup>e</sup> From Riley et al. (1978b).

<sup>f</sup> From Scott et al. (1976).

<sup>g</sup> From Weiler (1981).

<sup>h</sup> From Dornhaus and Nimtz (1976).

[Reine 81]

### 5.3.4 ヘテロ構造を決めるパラメータ

表5.2に次章の数値計算で使う、ヘテロ構造を決めるパラメータとその組成依存性をどのように仮定したかを示す。

Table 5.2. Material parameters used in the calculation

Parameter	Symbol	Unit	Dependence on Cd mole fraction (x)
Energy gap	$E_g$	eV	$-0.302 + 1.93x + 5.35 \times 10^{-4} T(1-2x) - 0.810x^2 + 0.832x^3$ *)
Electron affinity	$\chi$	eV	$-E_g + \text{const.}$ **)
Density of state			
· (conduction band)	$N_c$	$\text{cm}^{-3}$	$2(2 m_e^* kT/h^2)^{3/2}$ , $m_e^* = 0.078 E_g m_0$ ***, ****)
(valence band)	$N_v$	$\text{cm}^{-3}$	$2(2 m_h^* kT/h^2)^{3/2}$ , $m_h^* = 0.55 m_0$ *****)
Dielectric constant	$\epsilon_s$	-	$18.5 - 8.3x$ *****)

\*) [Hansen 82]

\*\*) Valence band assumed to be continuous, see text.

\*\*\*) Unit of  $E_g$  is (eV),  $m_0$  denotes electron mass.

\*\*\*\*) Simplified from [Weiler 81]

\*\*\*\*\*) [Schmit 70]

\*\*\*\*\*) Interpolated from [Reine 81]

ヘテロ接合のバンド構造を決める上で重要なパラメータである、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の電子親和力 ( $\chi$ ) はよくわかっていない。ただ、 $\text{HgTe}-\text{CdTe}$ 超格子の磁気光学測定によると、 $\text{HgTe}$ と $\text{CdTe}$ の価電子帯のエネルギー差は  $40\text{meV}$  と小さい [Guldner 83]。従って  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合の価電子帯のエネルギー差は無視できると仮定した。式(5-19, 22, 23)からわかるように、 $x$ の相対値だけが求まればよいので、表5.2に示したような形でかまわない。この仮定は  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合ダイオードの解析でも使われることが多い [Migliorato 83] [Bratt 83]。価電子帯が連続ということは、図5.10に示したように急峻なヘテロ接合ではバンドの不連続が伝導帯だけに生ずることを意味し、エミッタ注入効率を上げるためにヘテロ接合を用いる意味を無くしてしまう。これは傾斜ヘテロ接合にしてバンドをだましまし変えていけば防げるので、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタには傾斜エミッタ接合を使うことが必要である。

#### 5.4 電子移動度の見積もり

電子の移動度はヘテロ接合バイポーラトランジスタの特性を決定する最も重要なパラメータである。移動度は不純物密度が大きくなると小さくなり、また電界が強くなると小さくなる。つまり移動度は不純物密度と電界に依存する。半導体素子の動作特性を正確に計算するにはこの依存性を正確に与えることが重要である。

電子移動度の電界に対する依存性は、第4章のドリフト速度の電界依存性の測定で求まっている。問題になるのは、電子速度の飽和特性である。ドリフト速度 ( $v_d$ ) を次のように近似する。

$$v_d = \mu E \approx \frac{\mu_0 E}{1 + \mu_0 E / v_p} \quad (5-25)$$

$E \rightarrow 0$ では、 $\mu \rightarrow \mu_0$ に、 $E \rightarrow \infty$ では、 $v_d \rightarrow v_p$ になるから、 $\mu_0$ は低電界移動度、 $v_p$ はピーク速度である。第4章の測定より、

$$v_p = 3 \times 10^7 \text{ cm/s}$$

とする。

$\mu_0$ の大きさを不純物密度によって変えることによって電子移動度の不純物密度に対する依存性を導入することにしよう。残念ながら、不純物密度が  $10^{17} \sim 10^{19} \text{ cm}^{-3}$  程度の高濃度の場合の、電子移動度の不純物密度依存性の報告がないので、知られているデータから類推したり、理論計算から求めなければならない。

イオン化不純物による散乱で決まる移動度を  $\mu_1$  とする。また有極性光学フォノンによる散乱で決まる移動度を  $\mu_{op}$  とする。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  の  $x=0.3$  程度の結晶の移動度は  $\mu_1$  と  $\mu_{op}$  でだいたい決まるので  $\mu_1$  と  $\mu_{op}$  がわかれば  $\mu_0$  が求まる。 $\mu_{op}$  は不純物密度にはよらない量で、77Kでは、 $x=0.3$  のキャリア密度が小さい結晶の場合は、 $\mu_{op}$  が支配的である。したがって実測値より [Scott 72]、

$$\mu_{op} = 5 \times 10^4 \text{ cm}^2/\text{V} \cdot \text{s}$$

とする。

$\mu_1$  が支配的になるのはずっと低温なので、77Kの実測値から推定するのは困難である。そこで理論計算から求めることにする。半導体の教科書によると [菅野 79]、1価のイオン化不純物による散乱で決まる移動度は、

$$\mu_1 = \frac{2^{15/2} \pi^{1/2} e^2 (kT)^{3/2}}{e^3 N_i m_e^{1/2}} \cdot \frac{1}{\ln(1+A) - A/(1+A)} \quad (5-26)$$

$$A = \frac{24 m_e k T}{\hbar^2 \lambda_s^2}, \quad \lambda_s^2 = \frac{n e^2}{k T \epsilon}$$

で与えられる。この式に、 $\text{Hg}_{0.7}\text{Cd}_{0.3}\text{Te}$ のパラメータ

$$m_e = 0.018 m_0, \quad \epsilon_s = 16, \quad T = 77 \text{K}$$

を代入し、不純物がすべてイオン化しているとして  $N_I = n$  とする。これより求めた  $\mu_1$  の不純物密度依存性を図5.11に示す。

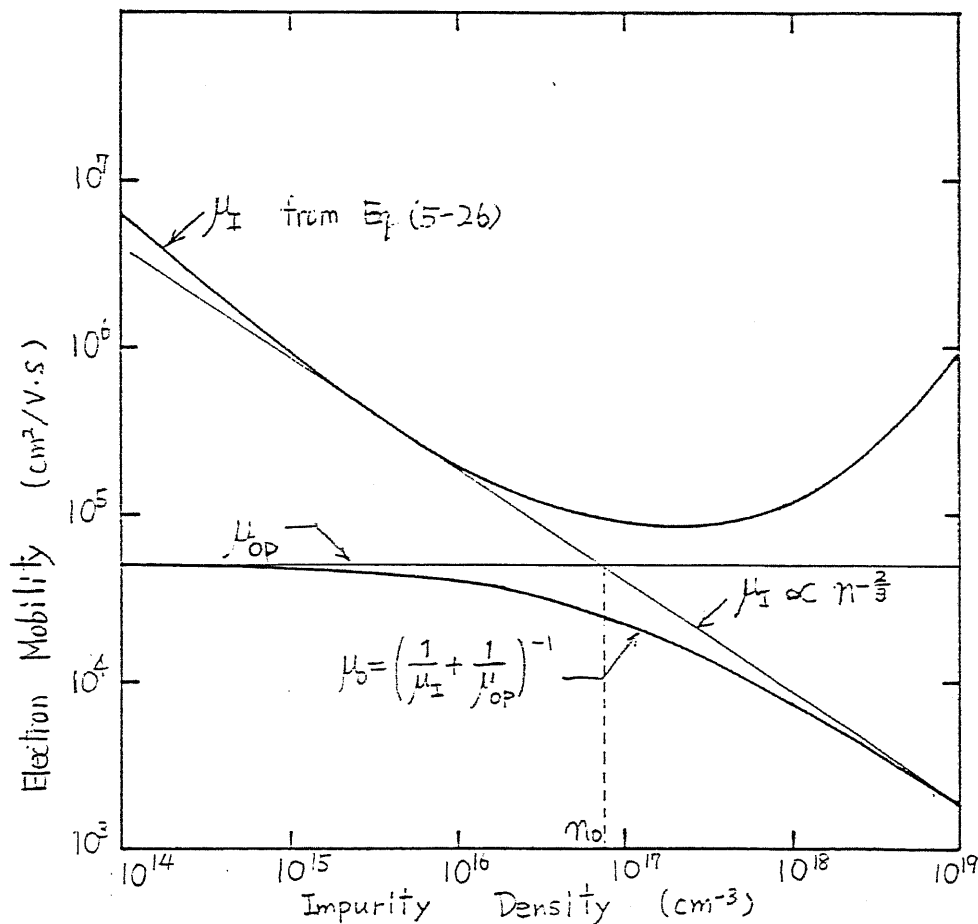


図 5.11

イオン化不純物密度  
に対する電子移動度

不純物密度が低いときは、光学フォノン散乱で抑えられ、不純物密度が大きくなると、イオン化不純物散乱で抑えられる。

下に凸の曲線になり、不純物密度が  $2 \times 10^{17} \text{cm}^{-3}$  より大きくなると移動度が増加してしまいかしな結果になっている。これは、式(5-26)が縮退していない半導体で成り立つ式であるが、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ はバンドギャップが狭いので不純物密度が大きくなると縮退しやすいためである。激しく縮退した狭ギャップ半導体の  $\mu_1$  は、 $n^{-2/3}$  に漸近していくので [Long 68]、式(5-26)で得られた曲線に  $n^{-2/3}$  の傾きの接線をひき、不純物密度が大きい領域での  $\mu_1$  はそれに従うことにする。図5.11から接線の方程式を求めると、

$$\mu_1 = \mu_{op} \left( \frac{n}{n_0} \right)^{-\frac{2}{3}} \quad (5-27)$$

ただし  $\mu_{op} = 5 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{S}$   $n_0 = 7.5 \times 10^{16} \text{ cm}^{-3}$

$\mu_1$  と  $\mu_{op}$  から低電界移動度 ( $\mu_0$ ) を求めると

$$\mu_0 = \mu_{op} \frac{1}{1 + (n/n_0)^{2/3}} \quad (5-28)$$

ただし  $\mu_{op} = 5 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{S}$   $n_0 = 7.5 \times 10^{16} \text{ cm}^{-3}$  である。

式(5-28)から  $\mu_0$  を計算すると、 $n = 1 \times 10^{18} \text{ cm}^{-3}$  で  $\mu_0 = 9 \times 10^3 \text{ cm}^2/\text{V}\cdot\text{S}$ 、 $n = 1 \times 10^{19} \text{ cm}^{-3}$  で  $\mu_0 = 2 \times 10^3 \text{ cm}^2/\text{V}\cdot\text{S}$  になる。これよりベースを高濃度にしても移動度の低下はあまり大きくないことがわかる。

以上より、電子の移動度の不純物密度と電界に対する依存性をまとめる。

$$\mu = \frac{\mu_0}{1 + \mu_0 E / v_p}$$

$$\mu_0 = \mu_{op} \frac{1}{1 + (n/n_0)^{2/3}} \quad (5-29)$$

ただし  $v_p = 3 \times 10^7 \text{ cm/s}$ 、 $\mu_{op} = 5 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{S}$ 、 $n_0 = 7.5 \times 10^{16} \text{ cm}^{-3}$  である。

式(5-29)から求まる、いろいろな不純物密度に対する電子のドリフト速度を図5-12に示しておく。

また正孔の移動度は、計算を簡単にするために、一定値  $\mu_p = 300 \text{ cm}^2/\text{V}\cdot\text{S}$  を仮定した。

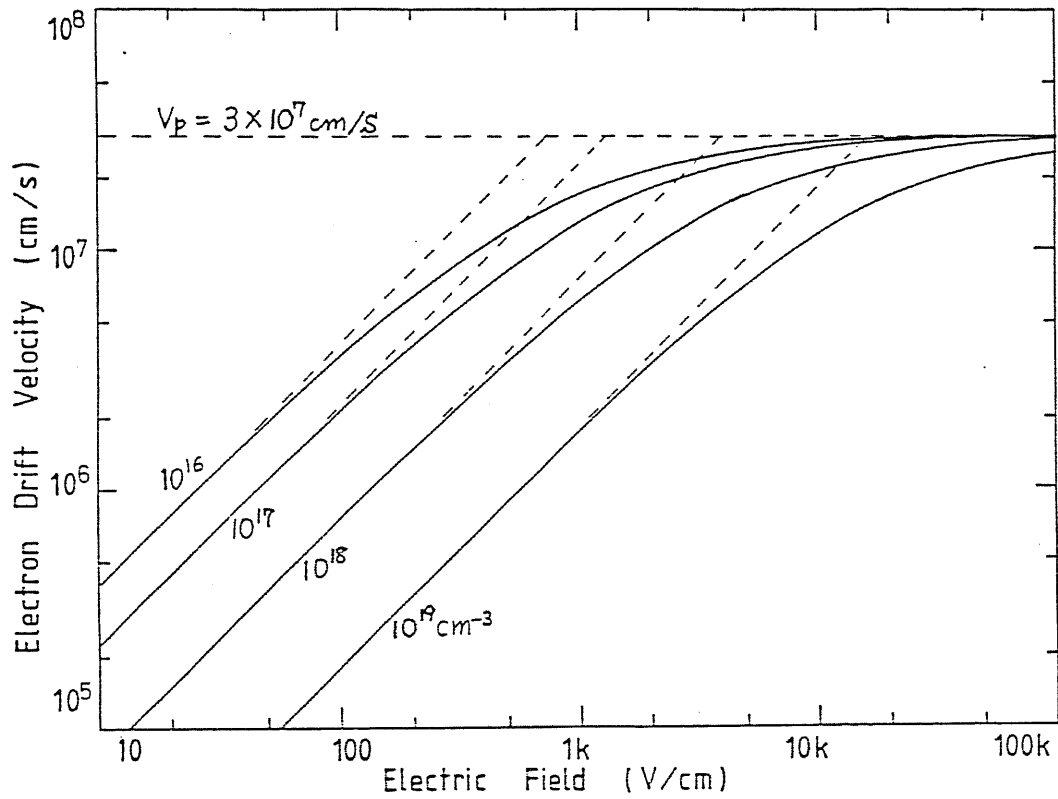


図5.12 数値計算で仮定した 電子のドリフト速度の  
電界と不純物密度依存性 (式5-29)



## 5.5 Hg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタの設計

今まで述べてきた物性面からのヘテロ接合バイポーラトランジスタ設計のポイントは、バンドギャップの不連続によって伝導帯にスパイクができないようにエミッタからベースにかけての組成をなめらかに変えることと、ベースを高濃度にしても移動度の低下はあまり大きくないことである。

ベースのバンドギャップを 40 k T にする。これは Si からの類推である。エミッタとベースのバンドギャップの差、つまりホールに対する障壁の高さの最大値を 10 k T に設計する。以下、77 K での動作を考えることにすると、エミッタとベースのバンドギャップはそれぞれ 0.322 eV と 0.257 eV になる。これは、Hg<sub>1-x</sub>Cd<sub>x</sub>Te の組成では、 $x=0.35$  と  $x=0.30$  に対応する。エミッタとベースのバンドギャップの不連続によって伝導帯にスパイクができないように、エミッタからベースにかけて 100 nm にわたって Cd の組成を線形に変えることにする。

シミュレーションを行なったヘテロ接合バイポーラトランジスタの代表的なものの組成と不純物密度のプロファイルを図5-13と表5-3に示す。デバイスの全長は 1  $\mu\text{m}$ 、ベースの厚さは 100 nm である。

サンプルは組成プロファイルの面でふたつに分けられる。ひとつは、エミッターベース接合の位置が組成傾斜層の狭ギャップ側の端にある場合 (図5-13 (A)) と、もうひとつはエミッターベース接合の位置が組成傾斜層の中間にある場合で (図5-13 (B)) ある。前者は、(AlGa)As/GaAsヘテロ接合バイポーラトランジスタで普通に製作やシミュレーションが行なわれている形である。後者は、一見恣意的に見えるが、次のような Hg<sub>1-x</sub>Cd<sub>x</sub>Te のプロセス上の要請にもとづいている。Hg<sub>1-x</sub>Cd<sub>x</sub>Te のヘテロ接合では、Hg と Cd が相互に拡散しやすく急峻なヘテロ接合が作りにくい。たとえば CdTe 基板の上に Hg<sub>1-x</sub>Cd<sub>x</sub>Te を LPE する場合は、成長温度が 500°C と高いために 3  $\mu\text{m}$  程の組成遷移層ができる [Bowers 80]。実際にヘテロ接合バイポーラトランジスタを製作するには、低温プロセスの MOCVD [Irvine 81] や MBE [Fourier 81] が使用されることになるだろうが、それでもある程度の組成遷移層ができるのは避けられない。(ただし、MBE を使って周期 50 nm の HgTe-CdTe 超格子ができていたので [Fourier 82]、遷移層は十分 100 nm 以内におさまるはずである。)従って、結晶成長中に、接合を作ろうとする位置で組成と不純物密度を急に切り替えても自然に組成傾斜層の中間に接合があるようなプロファイルができるはずである。

前者の場合、ベースの中では組成が均一なので均一組成ベースと呼ぶことにする。一方後者の場合、ベースのエミッタより 50 nm は組成が傾斜していて電子に対して等価的な加

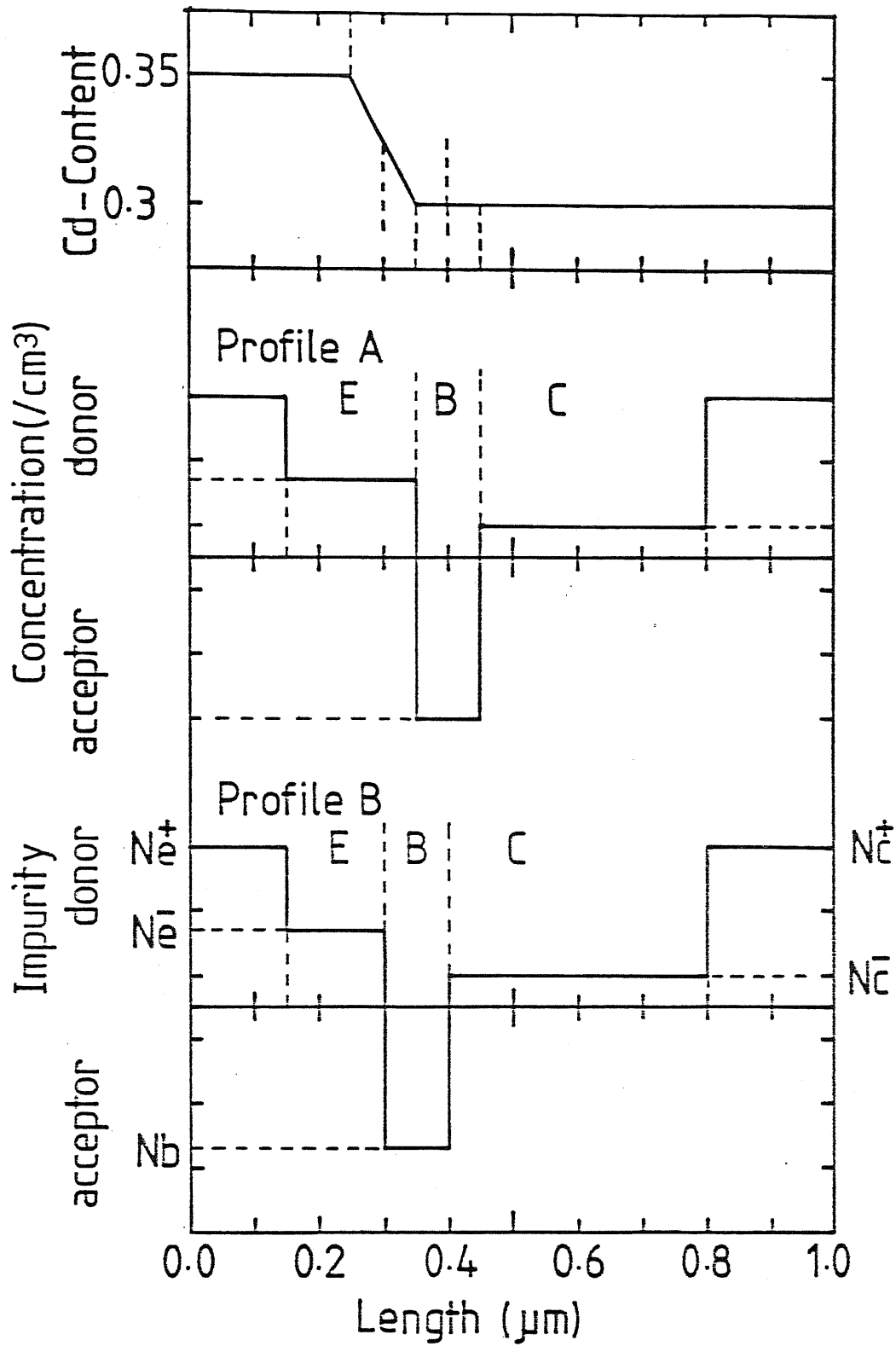


図5.13 代表的なサンプルの組成と不純物プロファイル  
 Aはベース内が均一，Bはベース内に組成傾斜がある。

速電界 (6.5kV/cm) ができるので、高速化が期待できる。これを傾斜組成ベースと呼ぶことにする。(傾斜組成ベースという言い方は、(AlGa)As/GaAsHBTではベース全域にわたって意図的にゆるやかな組成の傾斜をつけたものを意味する。ここで述べるHg<sub>1-x</sub>Cd<sub>x</sub>TeHBTでは傾斜組成ベースとは、エミッタ接合近傍にできる比較的急な組成変化をもったベースを意味するので、区別しなければいけない。)

Table 5.3. Device structure assumed for calculation

Layer	Doping (cm <sup>-3</sup> )	Thickness (nm)	Cd fraction x
n <sup>+</sup> -Emitter	1x10 <sup>18</sup>	150	0.35
n <sup>-</sup> -Emitter	5x10 <sup>16</sup>	150	0.35
(Grading)		(100) <sup>*</sup>	0.35-0.3
p-Base	5x10 <sup>17</sup>	100	0.3
n <sup>-</sup> -Collector	5x10 <sup>16</sup>	400	0.3
n <sup>+</sup> -Collector	1x10 <sup>18</sup>	200	0.3

<sup>\*</sup>)Grading layer lies between ±50nm from p-n junction.

## 5.6 まとめ

はじめに、ヘテロ接合を含む半導体を扱う場合に、ヘテロ接合に伴う項は、半導体の基本方程式のうち電流方程式にポテンシャルの修正項として加わることを示した。その次に、ヘテロ接合バイポーラトランジスタの動作に関係したパラメータを中心に $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ の物性定数をまとめた。その中でも移動度は重要なパラメータなので、既知のデータからその電界依存性を飽和速度の形で取り込み、不純物密度依存性のある不純物密度をこえたら低電界移動度が不純物密度の $-2/3$ 乗に比例するとして取り込み、シミュレーションの精度が向上するようにした。以上のデータから $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ のヘテロ接合は、組成の変化が急峻だと伝導帯にエネルギーのスパイクができてしまうので、かなり長い組成傾斜領域を持った $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの構造を設計した。

## 第6章

### $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの特性解析

#### 6.1 本章の目的

数値解析を行なって $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタ (HBT) が実際に高速動作するかどうかを予測する。まず、Schafetter-Gummelのアルゴリズムを使った1次元数値解析でHBTの本質的な特性を求め、それに対する組成や不純物分布プロファイルの影響を検討する。つぎに、HBTの3次元構造を定めて、寄生的な要素を組み込んだ実構造等価回路モデルを作り、ECLゲートを構成したときのスイッチング特性を求め、高速のスイッチングを行なうには不純物密度分布や素子構造をどうするかを考える。

## 6.2 1次元数値解析

Hg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタの動作を1次元数値解析を使って解析する。まず数値解析の方法を述べ、次に解析結果を述べる。

### 6.2.1 数値解析の方法

第4章で述べた、ヘテロ接合を含む半導体の基本方程式をバイポーラトランジスタの境界条件で数値的に解く方法を述べる。数値解析は1次元の直流定常解を求めることにする。なお本節で用いた解析プログラムの開発にあたっては、バイポーラトランジスタの数値解析の解説書 [倉田 80] を参考にした。

#### (1) 境界条件

ヘテロ接合バイポーラトランジスタの数値解析は、前章で述べた半導体の基本方程式(5-19~23)を、 $p$ ,  $n$ ,  $\phi$ を独立変数にして、HBTの境界条件を与えて解くことである。図6.1を参考にして次のような境界条件を設ける。

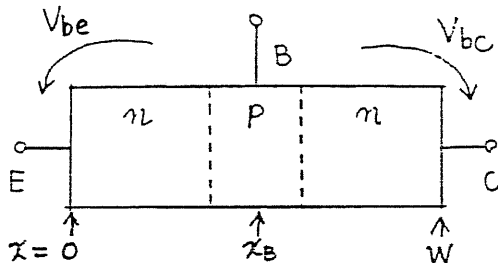


図6.1  
HBT 1次元モデル

ベース領域の中点を  $x = x_B$  として、その点をヘテロ接合を扱う場合の基準点とする。またエミッタコンタクトを  $x = 0$ 、ベースコンタクトを  $x = W$  とする。

電極位置では、空間電荷が存在せず、かつ熱平衡が成立していると考えられるから、

$$\begin{aligned} \Gamma(0) + p(0) + n(0) &= 0 \\ \Gamma(W) + p(W) + n(W) &= 0 \end{aligned} \quad (6-1)$$

$$\begin{aligned} p(0)n(0) &= n_i(0)^2 \\ p(W)n(W) &= n_i(W)^2 \end{aligned} \quad (6-2)$$

式(6-1)、(6-2)を解くと、トランジスタの両端、 $x = 0$ と $x = W$ での $p$ ,  $n$ の境界条件が求まる。

$$n(0) = \frac{\Gamma(0)}{2} \left\{ 1 + \sqrt{1 + \left( \frac{2n_i(0)}{\Gamma(0)} \right)^2} \right\}, \quad p(0) = \frac{n_i(0)^2}{n(0)}$$

$$n(W) = \frac{\Gamma(W)}{2} \left\{ 1 + \sqrt{1 + \left( \frac{2n_i(W)}{\Gamma(W)} \right)^2} \right\}, \quad p(W) = \frac{n_i(W)^2}{n(W)} \quad (6-3)$$

$x = x_B$ を外部印加電圧の基準点にとると、トランジスタの両端、 $x=0$ と $x=W$ の擬フェルミ電位はそれぞれ、 $\phi_n(0) = -V_{be}$ 、 $\phi_n(W) = -V_{bc}$ になる。これを式(5-22)に代入して $\phi$ について解くと、 $x=0$ と $x=W$ での $\phi$ の境界条件が求まる。

$$\phi(0) = -V_{be} - \xi(0) + \xi(x_B) + \frac{1}{\theta} \ln \frac{n(0)}{n_i(x_B)}$$

$$\phi(W) = -V_{bc} - \xi(W) + \xi(x_B) + \frac{1}{\theta} \ln \frac{n(W)}{n_i(x_B)} \quad (6-4)$$

ベース中点 $x = x_B$ は電位基準点だから、 $\phi_p(x_B) = 0$  ゆえに、 $x = x_B$ の境界条件は、

$$p(x_B) = n_i(x_B) \exp(-\theta \phi(x_B)) \quad (6-5)$$

## (2) 離散化

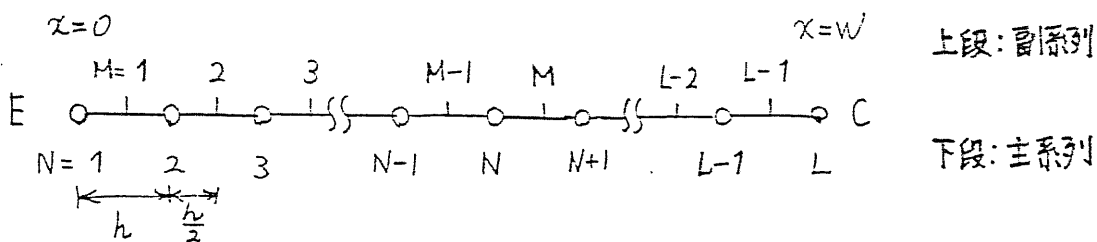


図6.2のように、エミッタ端とコレクタ端の間を $L-1$ 等分し、それを主分割点とする。主分割点の中間に $L-1$ 個の副分割点を設ける。

$$h = W / (L - 1) \quad : \text{均一分割}$$

$$x(N) = (N - 1)h, \quad N = 1, \dots, L \quad : \text{主分割点}$$

$$x(M) = (M - 1/2)h, \quad M = 1, \dots, L - 1 \quad : \text{副分割点} \quad (6-6)$$

電流連続方程式(5-20)とポアソン方程式(5-21)は、時間微分項を0にしてそのまま微分を差分に置き換える。

$$\frac{1}{e} \cdot \frac{J_n(M) - J_n(M-1)}{h} + G(N) - U(N) = 0$$

$$\frac{1}{e} \cdot \frac{J_p(M) - J_p(M-1)}{h} - G(N) + U(N) = 0 \quad (6-7)$$

$$[\varepsilon(M-1)\phi(N-1) - \{\varepsilon(M-1) + \varepsilon(M)\}\phi(N) + \varepsilon(M)\phi(N+1)]/h^2 = -e\{\Gamma(N) + p(N) - n(N)\} \quad (6-8)$$

電流方程式(5-19)はそのまま離散化すると安定性に問題があるので、Schafetter-Gumme 1によって導かれた、積分してから離散化するアルゴリズムを用いる [Schafetter 69]。式(5-19)を変形して、

$$\frac{dn}{dx} + \theta E_n n - \frac{\theta}{e \mu_n} J_n = 0, \quad E_n = -\frac{d}{dx}(\phi + \xi_n) \quad (6-9)$$

これを区間  $[x(N), x(N+1)]$  で  $E_n$ 、 $\mu_n$ 、 $J_n$  を一定として積分する。それを  $J_n$  について解いたのち、 $E_n$  を差分表示して離散化すると、

$$J_n(M) = \frac{e}{h} \{\lambda_{n1}(M)n(N) + \lambda_{n2}(M)n(N+1)\} \quad (6-10)$$

ただし  $\lambda_{n1}(M) = \frac{\mu_n(M)}{\theta} \cdot \frac{\beta_n(M)}{1 - \exp(\beta_n(M))}$

$$\lambda_{n2}(M) = \frac{\mu_n(M)}{\theta} \cdot \frac{\beta_n(M)}{1 - \exp(-\beta_n(M))}$$

$$\beta_n(M) = \theta \{\phi(N) + \xi_n(N) - \phi(N+1) - \xi_n(N+1)\}$$

正孔電流についても同様に、

$$J_p(M) = \frac{e}{h} \{\lambda_{p1}(M)p(N) + \lambda_{p2}(M)p(N+1)\} \quad (6-11)$$

ただし  $\lambda_{p1}(M) = \frac{\mu_p(M)}{\theta} \cdot \frac{\beta_p(M)}{1 - \exp(-\beta_p(M))}$



$$\lambda_{p2}(M) = \frac{\mu_p(M)}{\theta} \cdot \frac{\beta_p(M)}{1 - \exp(\beta_p(M))}$$

$$\beta_p(M) = \theta \{ \phi(N) + \xi_p(N) - \phi(N+1) - \xi_p(N+1) \}$$

これで離散化ができたので、ニュートン法で繰り返し計算をして、 $\phi$ 、 $p$ 、 $n$ を求める。その詳細は付録Bにゆずる。

### (3) 小信号パラメータの計算

数値計算で求めた定常特性から、過渡応答の計算に必要な小信号パラメータを求めることができる。過渡応答計算の基本量になる過剰蓄積電荷量 ( $Q_{ex}$ ) を求める

$$Q_{ex} = e \int_0^W (n(x) - n_0(x)) dx \quad (6-12)$$

$n$  はあるバイアス電圧が加わったときの電子密度、 $n_0$  はバイアスが加わらない熱平衡時の電子密度である。これよりエミッタ容量 ( $C_e$ ) とコレクタ容量 ( $C_c$ ) は、

$$C_e = \left( \frac{\Delta Q_{ex}}{\Delta V_{be}} \right)_{V_{bc}}, \quad C_c = \left( \frac{\Delta Q_{ex}}{\Delta V_{bc}} \right)_{V_{be}} \quad (6-13)$$

これから求まる容量は、接合容量と拡散容量を統合した広義の接合容量と呼べる量である。相互コンダクタンス ( $g_m$ ) と電流利得遮断周波数 ( $f_t$ ) は、

$$g_m = \left( \frac{\Delta J_c}{\Delta V_{be}} \right)_{V_{bc}} \quad (6-14)$$

$$f_t = \frac{1}{2\pi} \left( \frac{\Delta J}{\Delta Q_{ex}} \right)_{V_{bc}} \quad (6-15)$$

$\Delta$ をつけた変数は  $V_{be}$  を微量  $\Delta V_{be}$  だけ変化させたときの各変数の変化量である。数値計算では、 $\Delta V_{be} = 0.5mV$  とした。

### (4) その他

過剰キャリアの再結合は、SRH結合過程を考える。トラップのエネルギーをバンドギャップの中央と仮定すると、

$$U = \frac{pn - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)} \quad (6-16)$$

計算では  $\tau_p = \tau_n = 10\text{ns}$  と仮定した。

衝撃イオン化によるキャリアの発生は、計算を簡単にするために無視する。

ヘテロ接合バイポーラトランジスタの動作温度は  $77\text{K}$  である。

数値計算のためのメッシュの分割点数は、デバイスの両端を含めて 101点である。分割点の間隔は、デバイス全体にわたって均一で、 $10\text{nm}$  である。

## 6.2.2 数値解析の結果

### (1) ホモ接合とヘテロ接合

ベース-エミッタ接合の構造が  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  ヘテロ接合バイポーラトランジスタの特性にどのような影響があるかを調べる。はじめに、エミッタ接合がホモ接合とヘテロ接合の場合を比較する。

ヘテロ接合のトランジスタの構造は図5.13 (A) のタイプで、エミッタ接合は組成傾斜層が終わったところにある。不純物密度は表5.3のとおりである。ホモ接合のトランジスタはデバイスの全長にわたって組成が一定である ( $x=0.3$ )。不純物密度は表5.3のとおりである。

エミッタ電流密度 ( $J_e$ ) 対ベース-エミッタ電圧 ( $V_{be}$ ) 特性の計算結果を図6.3に示す。 $V_{be} < 0.22\text{V}$  ではヘテロ接合トランジスタ (実線) とホモ接合トランジスタ (点線) の  $J_e - V_{be}$  特性にほとんど差がない。これより傾斜ヘテロ接合が有効に働いて、伝導帯にバンド不連続による障壁ができていないことがわかる。図6.4に、 $V_{be} = 0.24\text{V}$ 、 $V_{be} = -0.3\text{V}$  のときのキャリア分布を示す。ホモ接合トランジスタではベースからエミッタへの大量のホール注入がみられるが、ヘテロ接合トランジスタではホール注入が抑えられているのが確かめられる。ホモ接合トランジスタでは大量のホール注入のためにエミッタ低濃度層の電子密度が不純物密度の約2倍になっている。その結果、ベースに注入される電子がヘテロ接合トランジスタよりも多くなって、図6.3の  $V_{be} > 0.22\text{V}$  で両者の  $J_e$  に差が出てくる。

図6.5が、遮断周波数 ( $f_t$ ) 対エミッタ電流密度 ( $J_e$ ) 特性で、図6.6が電流利得 ( $h_{fe}$ ) 対エミッタ電流密度 ( $J_e$ ) 特性である。ヘテロ接合バイポーラトランジスタはヘテロ接合の効果で広い電流範囲で  $h_{fe}$  が数千を越える。ホモ接合トランジスタでは最大で80程度にしかならない。ヘテロ接合バイポーラトランジスタは  $f_t$  でもホモ接合トランジスタに勝っている。 $f_t$  の最大値はそれぞれ  $107\text{GHz}$  と  $33\text{GHz}$  である。これは HBT では、ベースからエミッタへのホール注入が抑制されているので、過剰蓄積キャリア ( $Q_{ex}$ ) が

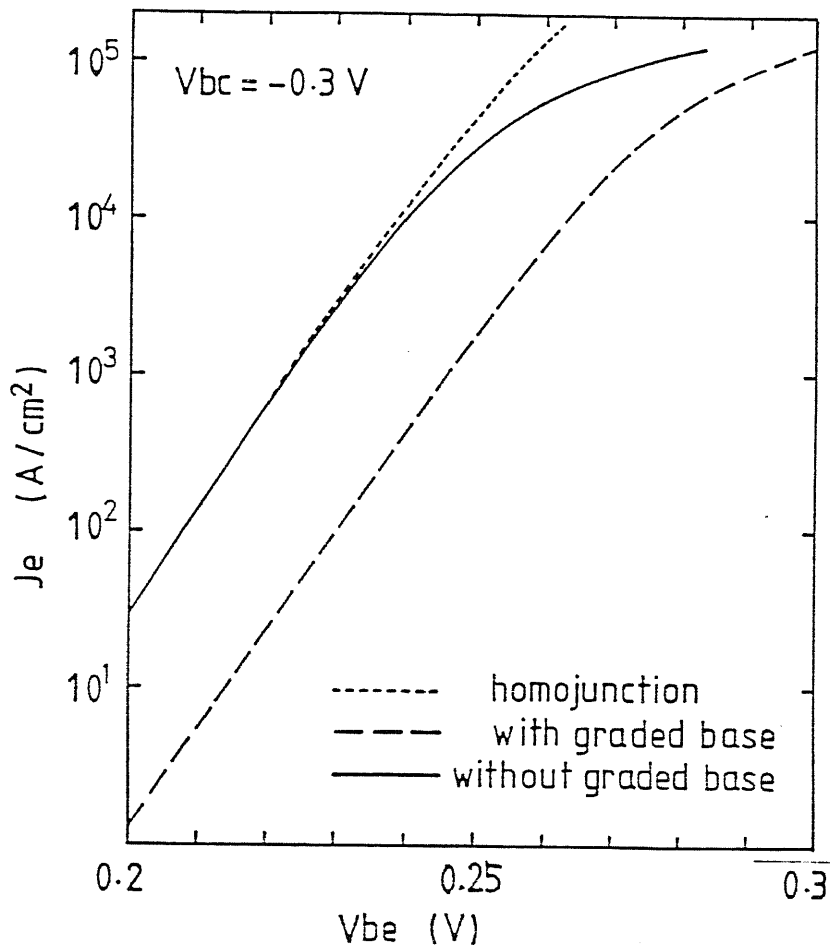


図 6.3

Je - Vbe 特性の計算結果

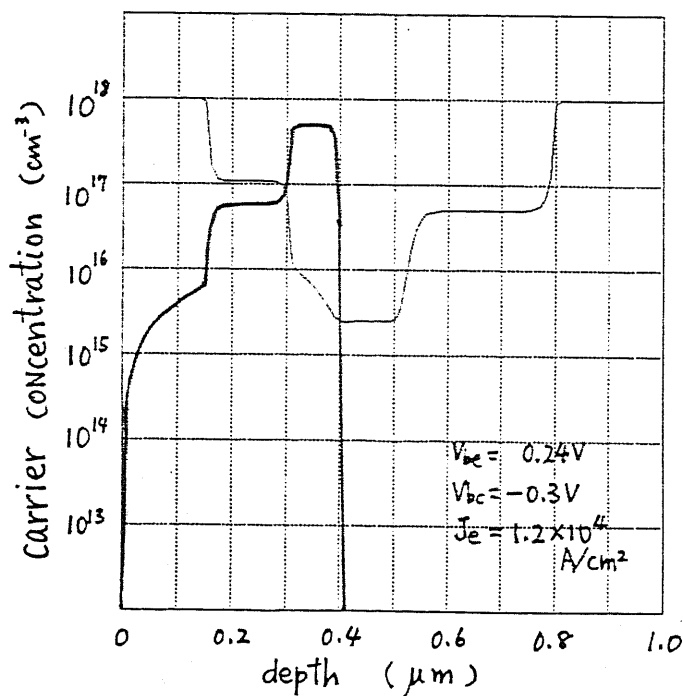
Vbc = -0.3V で一定とした

点線 : ホモ接合

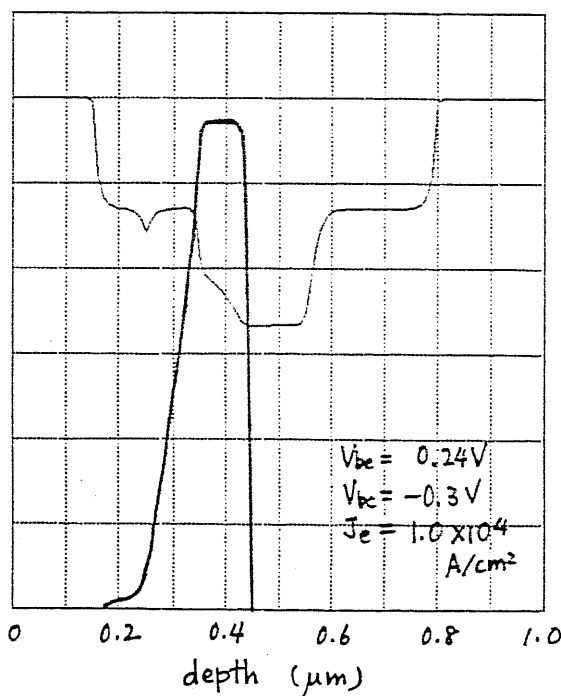
実線 : ヘテロ接合 (均一ベース)

破線 : ヘテロ接合 (傾斜組成)  
ベース

----- homojunction  
 - - - - with graded base  
 \_\_\_\_\_ without graded base



(a) homojunction



(b) heterojunction (without graded base)

図 6.4 (a)ホモ接合トランジスタ と (b) 均一ベースヘテロ接合トランジスタのキャリア密度分布

太線は ホール, 細線は 電子分布。

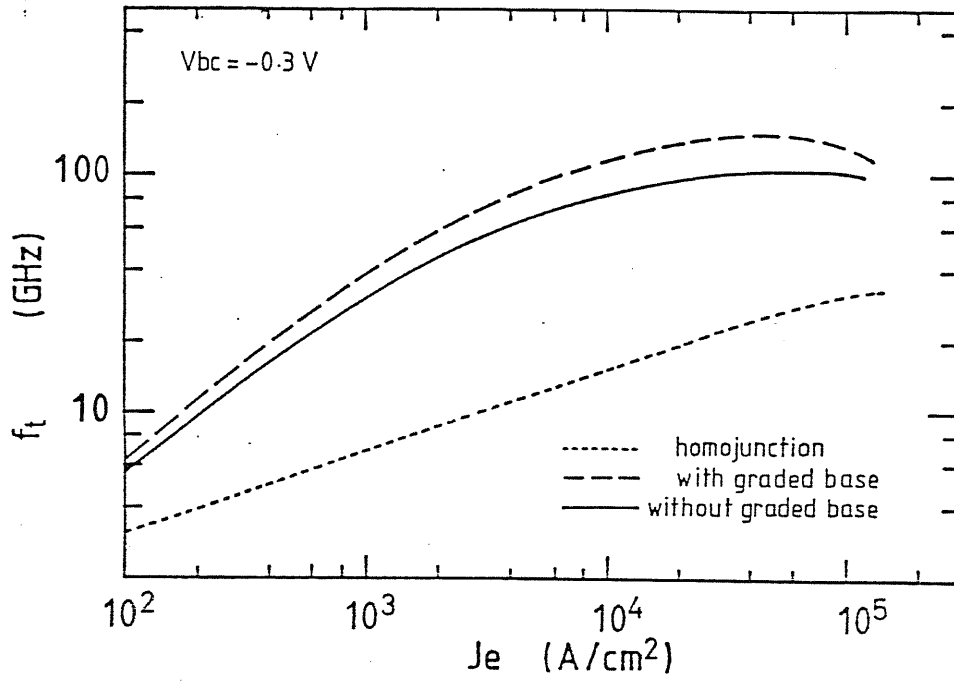


図6.5  $f_t$ - $J_e$  特性

ヘテロ接合の方がホモ接合よりも  $f_t$  が高く、傾斜組成ベースにするとさらによくなる

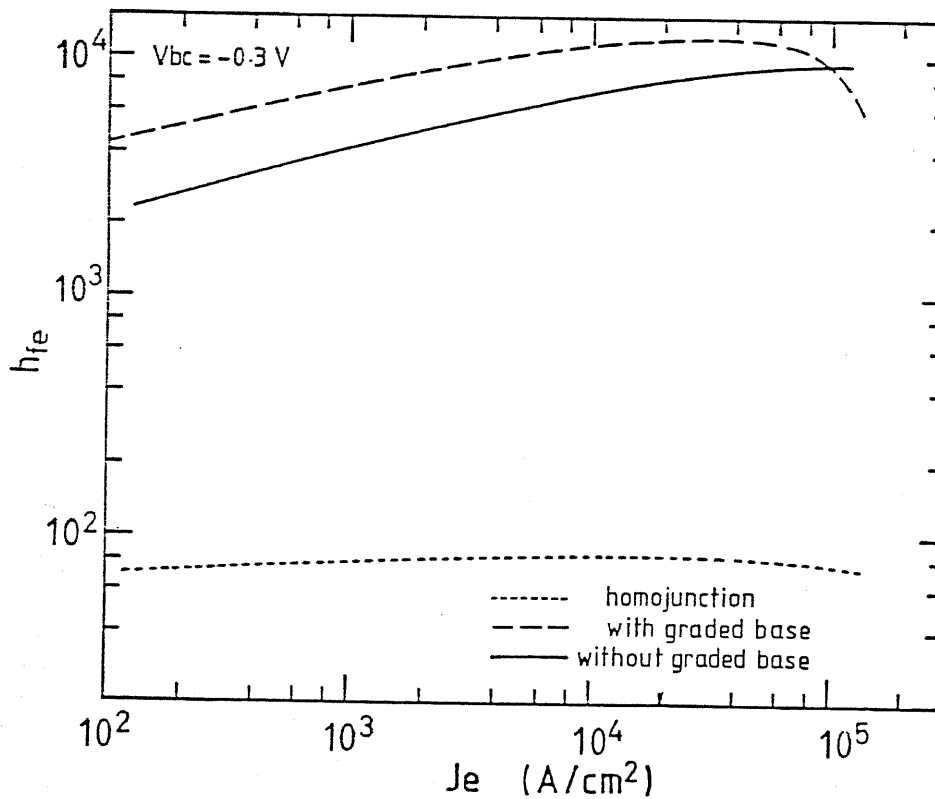


図6.6  $h_{fe}$ - $J_e$  特性

ヘテロ接合によりホール注入が抑えられ、高い  $h_{fe}$  が得られる。

少なく、エミッタ容量 ( $C_e$ ) が小さいためである。 $J_e=6 \times 10^4 \text{A/cm}^2$  のとき、 $C_e=5.1 \times 10^{-5} \text{F/cm}^2$  (ホモ接合)  $C_e=3.0 \times 10^{-6} \text{F/cm}^2$  (ヘテロ接合) で1桁違う。このようにヘテロ接合バイポーラトランジスタの優位性が確認された。

(2) エミッタ接合と組成傾斜層の位置関係

本章で考えているヘテロ接合バイポーラトランジスタには、厚さ 100nm の組成傾斜層がある。エミッタ接合が組成傾斜層のどこにあるかでトランジスタの特性が代わってくる。(1) で考えたHBTは図5.13 (A) のタイプで、エミッタ接合が組成傾斜層のいちばんベースよりにある。これと、エミッタ接合が組成傾斜層の中央にある図5.13 (B) のタイプのHBTを比較しよう。不純物密度は表5.3のとおりである。Aタイプはベース内の組成が均一なので、均一ベースHBTと呼ぶ。Bタイプはベース内に組成の傾斜があるので、傾斜組成ベースHBTと呼ぶことにする。

図6.3 ( $J_e-V_{be}$ 特性)、図6.5 ( $f_T-J_e$ 特性)、図6.6 ( $h_{fe}-J_e$ 特性) で破線で描いた特性が傾斜組成ベースHBTの特性である。均一ベースHBTの特性は実線である。どちらの場合も  $V_{be}=0.28\text{V}$  の小電圧で  $J_e=5 \times 10^4 \text{A/cm}^2$  という大電流密度が得られることが重要である。活性活動領域内では  $V_{be}$  が同一の場合、傾斜組成ベースHBTの  $J_e$  よりも均一ベースHBTの  $J_e$  よりも約1桁大きい。これはエミッタ接合位置でのバンドギャップが傾斜組成ベースHBTのほうが大きいからである。伝導帯下端のエネルギーを両者で比べると、図6.7のように接合が組成傾斜層の中間にあると接合を中心にして低いエネルギーバリアができる。これがエミッタからベースに注入される電子を減らしているのである。このバリアは、急峻な接合で伝導帯エネルギー不連続によってできるスパイクが組成傾斜によって低く横に引き伸ばされたものと解釈できる。

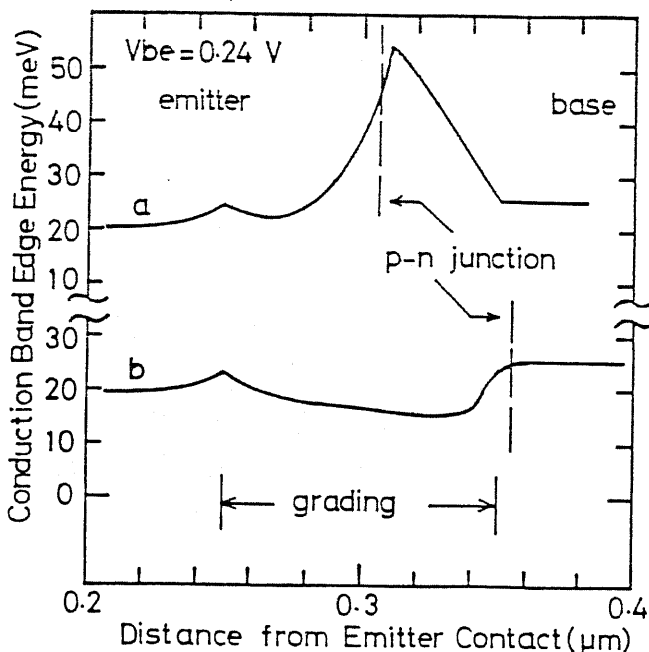


図6.7  
エミッタ接合付近の伝導帯下端のエネルギープロファイル  
a: 組成傾斜層の中央にpn接合があるとき  
b: 組成傾斜層の端にpn接合があるとき  
エネルギーは、エミッタ電極での値からの相対値  
( $V_{be}=0.24\text{V}$ ,  $V_{bc}=-0.3\text{V}$ )

傾斜組成ベースHBTは $f_t$ と $h_{fe}$ のどちらもが均一ベースHBTよりもすぐれている。特に $f_t$ の最大値は150GHzに達する。これは、ベース内部の組成傾斜が電子に対する等価的な加速電界を形成して電子のベース走行時間が短縮されるからである。このように $Hg_{1-x}Cd_xTe$ の傾斜組成ベースHBTはすぐれた性能を持っている。以下の項目では、傾斜組成ベースHBTについて検討を深めていくことにする。

### (3) エミッタ低濃度層密度 ( $N_e^-$ ) の影響

ヘテロ接合バイポーラトランジスタの特性がエミッタドーピングによってどんな影響を受けるかを考える。HBTのエミッタ不純物密度を下げてもエミッタ注入効率はほとんど悪化しない。したがってエミッタ低濃度層密度 ( $N_e^-$ ) を小さくしてエミッタ接合容量を小さくすればHBTがさらに高速になると考えられる。図6.8に $N_e^-$ をいろいろと変えた場合の $f_t - J_e$ 特性を示す。 $J_e$ が小さい範囲 ( $J_e < 3 \times 10^3 \text{ A/cm}^2$ ) では、 $N_e^-$ が小さいほうが $f_t$ が高くなる。逆に高電流密度では $N_e^-$ が大きいほうが $f_t$ が高くなり結局 $f_t$ の最大値は $N_e^-$ が大きいほうが大きくなる。 $N_e^- = 1 \times 10^{17} \text{ cm}^{-3}$  の場合、最大160GHzの $f_t$ が、 $J_e = 7 \times 10^4 \text{ A/cm}^2$  の大電流密度で得られる。

$N_e^-$ による $f_t - J_e$ 特性の違いは、図6.9の $C_e - V_{be}$ 特性からよくわかる。 $V_{be} < 0.22 \text{ V}$ では、 $C_e$ はエミッタ接合容量が支配的で $N_e^-$ が小さいほど $C_e$ が小さくなる。高電流密度になると、エミッタ空乏層が消失し拡散容量が支配的になる。こうなると $N_e^-$ が大きいほうがベースにより多くのキャリアを注入できるので $g_m$ が大きくなり、 $f_t$ が大きくなる。

したがって、例えばエミッタ面積が大きいHBTのように比較的到低電流密度で動作させる場合は $N_e^-$ を小さくして接合容量を減らすのが有効だが、超高速VLSIに使う場合は $N_e^-$ を大きめにして大電流密度で高い $f_t$ を生かすのがよい。

### (4) ベース不純物濃度 ( $N_b$ ) の影響

ヘテロ接合バイポーラトランジスタはエミッタ注入効率を悪くせずにベース不純物濃度 ( $N_b$ ) を高めることができる。そしてベースの薄層化にともなうベース抵抗の増加やコレクタ空乏層のパンチスルーを抑えることができる。 $N_b$ を $5 \times 10^{17} \text{ cm}^{-3}$ ,  $1 \times 10^{18} \text{ cm}^{-3}$ ,  $2 \times 10^{18} \text{ cm}^{-3}$  と変えたトランジスタの $f_t - J_e$ 特性を図6.10に示す。 $N_b$ が大きくなると、ベース内の電子の移動度の低下や $g_m$ の低下で $f_t$ は小さくなる。しかし、その程度はそれほど大きくない。 $N_b = 2 \times 10^{18} \text{ cm}^{-3}$  のHBTでも、 $f_t$ の最大値は90GHzあり、十分高速である。 $N_b = 5 \times 10^{17} \text{ cm}^{-3}$  のHBTと比べると、 $f_t$ は40%しか悪くならないがベース

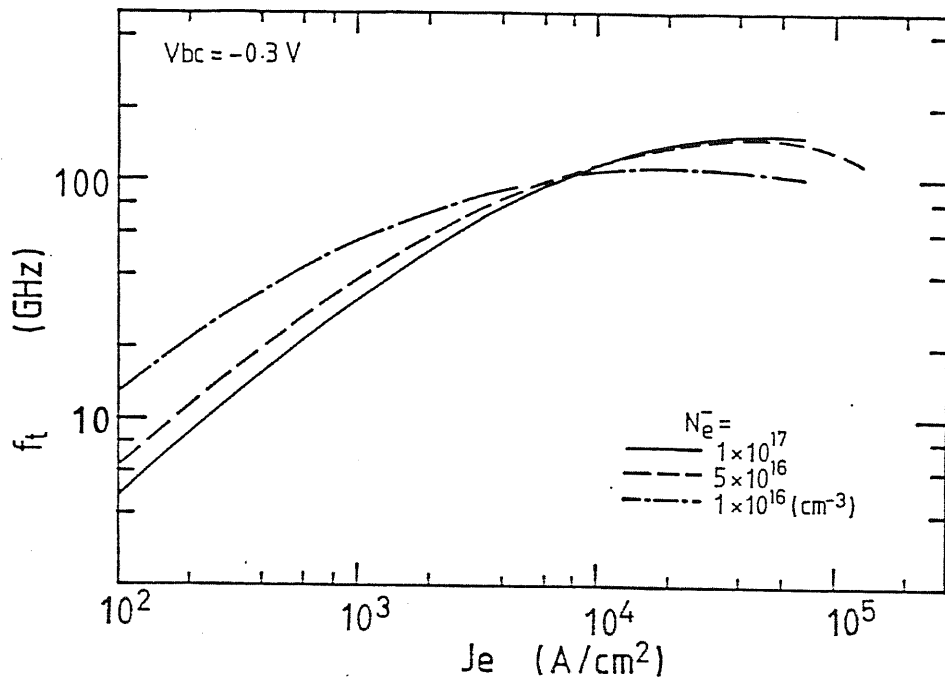


図 6.8 エミッタドープ濃度  $N_e^-$  を変えた HBT の  $f_t - J_e$  特性  
 $N_e^-$  以外は表 5.3 の値である。  $N_e^- = 1 \times 10^{17} \text{ cm}^{-3}$  の HBT で  
 $f_t$  が最大 60 GHz に達する

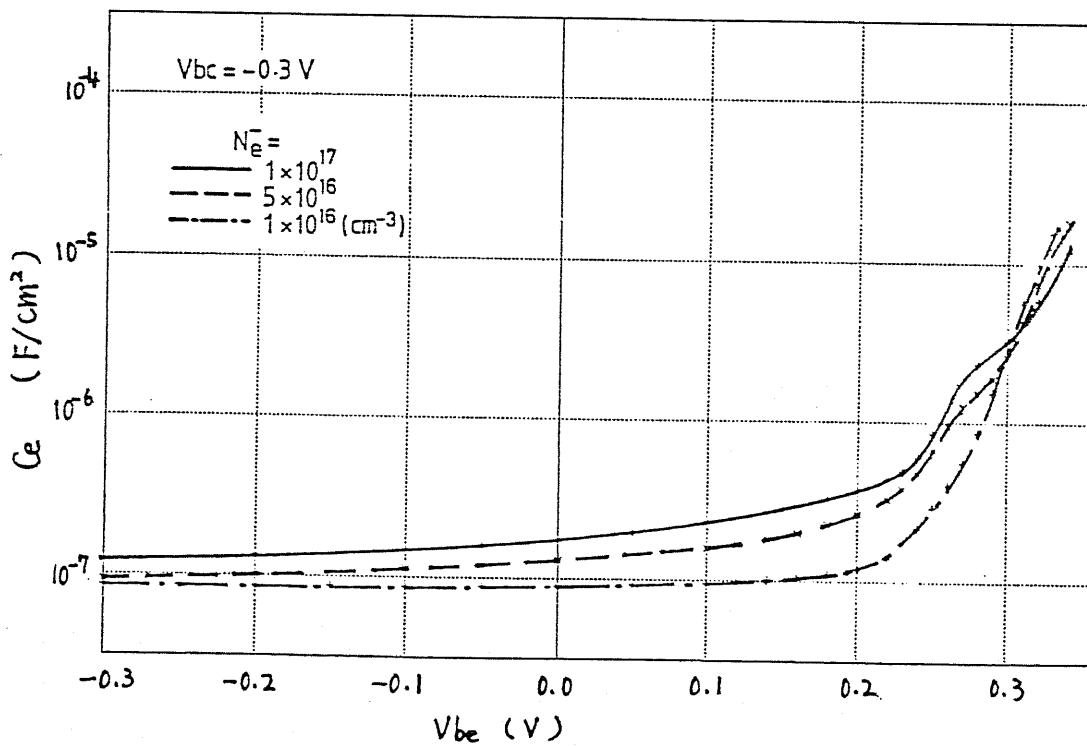


図 6.9 図 6.8 の特性をもった HBT の エミッタ容量  $C_e - V_{be}$  特性  
 $C_e$  は エミッタ接合容量と拡散容量とを含む

抵抗は75%改善される。ベース抵抗を小さくすることを考えるとベース不純物濃度を高くするのがよい。

$h_{fe}$ に関しては $N_b$ を大きくしても全く問題がない。 $N_b=2 \times 10^{18} \text{cm}^{-3}$ のHBTでも、 $10 < J_e < 10^5 \text{A/cm}^2$ で $h_{fe}$ は1000以上である。

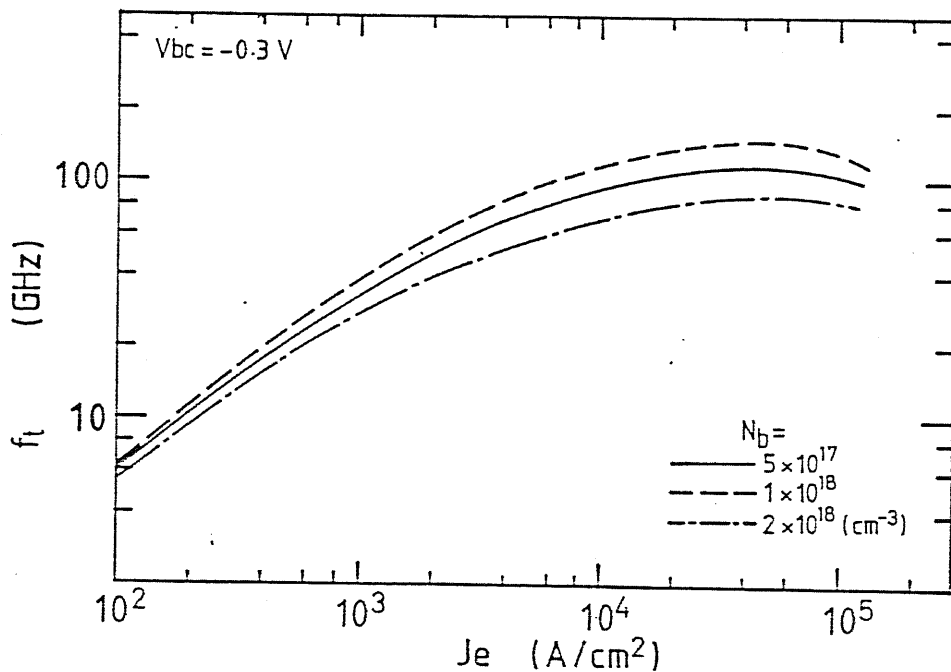


図6.10  
ベースドoping  $N_b$   
を変えたHBTの  
 $f_t - J_e$ 特性  
 $N_b$ 以外は  
表5.3の値を  
用いた

#### (5) コレクタ低濃度層密度 ( $N_c^-$ ) の影響

コレクタ低濃度層密度 ( $N_c^-$ ) の影響はコレクタ空乏層に現れる。 $N_c^-$ が小さいとカーク効果 (ベース押し出し効果) が発生する電流密度が小さくなる。 $V_{bc} = -0.3 \text{V}$  の条件で  $N_c^- = 1 \times 10^{16} \text{cm}^{-3}$  のHBTでは  $J_e > 1 \times 10^5 \text{A/cm}^2$  でカーク効果が起こるが、 $N_c^- = 5 \times 10^{16} \text{cm}^{-3}$  のHBTでは  $J_e = 3 \times 10^5 \text{A/cm}^2$  でもカーク効果が起こらない。カーク効果を防ぐには  $N_c^-$  を大きめにするのがよい。

$N_c^-$  を大きくして問題になるのは、コレクタ空乏層のパンチスルーとアバランシェ降伏である。前者は、HBTのベース不純物密度がコレクタ低濃度層密度よりもずっと大きいので問題にならない。従って、 $N_c^-$  の上限を与えるのはアバランシェ降伏である。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  のイオン化率が不明なのでこれ以上の議論はできないが  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  HBT が小さなバイアス電圧で動作するので、それほど問題はないかもしれない。



### 6.2.3 1次元数値解析の限界

#### (1) 1次元モデルの限界

バイポーラトランジスタの本質的な動作では、キャリアの走行方向と電界の方向が一致している。従って、基本的にはバイポーラトランジスタの動作を1次元モデルで記述できる。この点がFETと異なる点である（FETではキャリアの走行方向に対して垂直な電界成分が本質的な動作に必要なため、2次元の数値解析が必須である）。

しかし現実のデバイスは3次元だから、1次元解析では取り扱うことができない横方向の構造が存在し、それを考慮しないと正確な動作解析ができない。たとえば、ベース電流はベース内部を横方向に流れてベース電極に達するが、ベース層がかなり薄いので無視できない抵抗を持つ。これが1次元解析では出てこない最も重要な3次元要素のベース抵抗である。ベース抵抗はスイッチング時定数を大きくする。またベース電流とベース抵抗によってベース内部に横方向の電圧降下がおこり、電流がエミッタストライプの端に集中する（エミッタクラウディング）などの望ましくない動作のもとになる。ヘテロ接合バイポーラトランジスタの場合は、ベースドーピングを高くしたり、傾斜組成ベースにしてそのぶんベース層を厚くしたりして〔山内 85〕ベース抵抗を下げることができる。また (AlGa)As/GaAs HBT の2次元解析によると、ヘテロ接合バイポーラトランジスタではベース抵抗の低下によってエミッタクラウディングが非常に弱くなる〔Yokoyama 84〕。従って、本章の以下の解析ではエミッタクラウディングは非常に弱いとして無視するが、ベース抵抗や外部ベースコレクタダイオードなどの、1次元モデルでは取り扱われなかった要素を集中定数的にモデルに組み込んで3次元モデルに拡張していくことにする。

#### (2) 移動度の仮定

移動度の電界依存性と不純物密度依存性については詳しく第5章で述べた。ここでは移動度の仮定のしかたがヘテロ接合バイポーラトランジスタの性能にどのような影響を与えるかを考えよう。

第5章の仮定は3つのポイントからなっている。(i) ピーク速度  $v_p$  : これは実験で決めたので確度が高い。(ii) 格子散乱で決まる移動度  $\mu_{op}$  : これは多くの実験データの蓄積があり最も正確である。(iii) 不純物散乱がききはじめの不純物密度  $n_0$  : これは曖昧な要素が多く最も信頼度が低い。

バイポーラトランジスタの  $f_t$  は第2章で述べたようにエミッタ充電時間 ( $\tau_e$ )、ベース走行時間 ( $\tau_b$ )、コレクタ空乏層走行時間 ( $\tau_c$ )、コレクタ充電時間 ( $\tau_c'$ ) で決まってくる。

$$\tau_e = \frac{kT}{eI_e} (C_{te} + C_{tc} + C_p) \quad (6-17)$$

$$\tau_b = \frac{W_b^2}{2D_n} \quad (6-18)$$

$$\tau_c = \frac{W_{dep}}{v_s} \quad (6-19)$$

$$\tau_{c'} = r_c C_{tc} \quad (6-20)$$

接合容量は移動度と関係ないから、 $\tau_e$ は $I_e$ を通して移動度の影響を受ける。 $\tau_b$ は直接移動度に反比例する。この場合は低電界での移動度が問題で、特にベースは不純物密度が大きいから移動度の不純物密度依存性が問題になる。 $\tau_c$ は飽和速度に反比例するから移動度の電界依存性が問題になる。 $\tau_{c'}$ は $f_t$ に対する寄与が小さい。従って、移動度の仮定の性格を合わせ考えると、 $\tau_b$ が一番不確実である。

本章でおもにシミュレーションした傾斜組成ベーストランジスタでは、ベースに注入された電子は、はじめの50nmは傾斜組成による等価加速電界中をドリフトしていく。あとの50nmを拡散してコレクタ接合に到着する。等価加速電界は6.5kV/cmと強力なので、図5.12からわかるように $1 \times 10^{18} \text{cm}^{-3}$ のベースでもほぼ電子は飽和速度でふっとんでゆく。従って、傾斜組成ベーストランジスタでは $\tau_b$ のうちドリフト時間はかなり正確だと言える。以上より、 $f_t$ を決めるパラメータのうち、不確実性の高い移動度の不純物密度依存性の影響をうける要素は小さく、HBTの性能は比較的に正確に見積もられていると考えられる。

## (2) その他の限界

Hg<sub>1-x</sub>Cd<sub>x</sub>Te HBTモデルの残された限界を列挙すると、

- (i) マックスウエル-ボルツマン分布を仮定していること。
- (ii) アバランシェ増倍を考慮していないこと
- (iii) 電流方程式を解く流体モデルなので、急峻なヘテロ接合を本質的に取り扱えないこと。

(ii) については、データがないかぎりどうしようもないが、(i)、(iii)についてはフェルミ積分を実行するなり、モンテカルロシミュレーションを使えば何とかなる。し

かし本論文の目的は、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタについて基礎的な理解を得ることなので、ここでは以上のような限界があることに触れておくだけでとどめて、本質を失わない限りで単純化して考えていくことにする。

### 6.3 実構造等価回路モデルによるスイッチング解析

前節でヘテロ接合バイポーラトランジスタ単体の解析を行なったので、本節では複数個のトランジスタから構成される論理ゲートのスイッチングを解析する。1次元数値解析で求めたHBTの特性を土台にして、ベース抵抗などの寄生要素を等価回路に組み込んで3次元実構造等価回路モデルを作り、ECLゲートのスイッチング特性を求める、

#### 6.3.1 実構造等価回路モデル

本節で考える $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの3次元構造を図6.11と表6.1に示す。

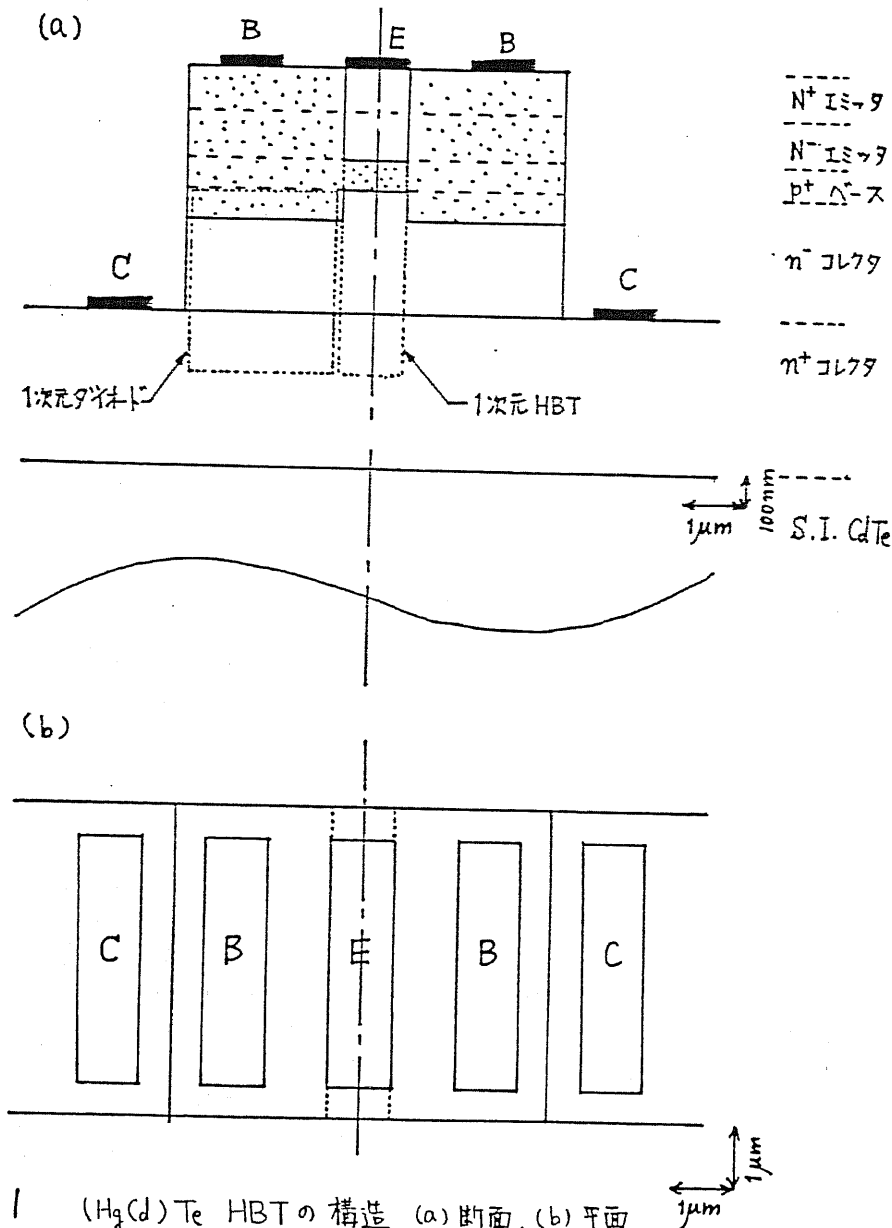


図6.11  $(\text{Hg,Cd})\text{Te}$  HBTの構造 (a) 断面, (b) 平面

この構造の製作プロセスは、MBEかMOCVDによる薄膜成長後、メサエッチ、イオン注入による外部ベース形成、を想定している。エミッタストライプに対して対称形にして計算を簡単にした。基板は半絶縁性のCdTeを使い寄生容量の低減をはかっている。

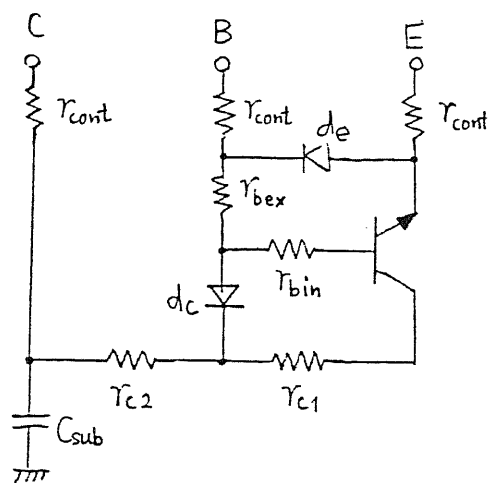
図6.11のエミッタ直下の部分がトランジスタの本質的な動作をする部分で、等価回路では前節で計算した1次元HBTで置き換える。外部ベース直下の部分は1次元ダイオードとして扱いこれも数値計算した特性を使う。全体の等価回路を図6.12に示す。

表 6.1 (HgCd)Te HBT の構造

層	ドープ濃度 ( $\text{cm}^{-3}$ )	厚さ (nm)	組成 $x$
$N^+$ エミッタ	$1 \times 10^{18}$	150	0.35
$N^-$ エミッタ	$5 \times 10^{16}$	150	0.35
$p^+$ ベース	$5 \times 10^{17}$	100	0.3
$n^-$ コレクタ	$5 \times 10^{16}$	400	0.3
$n^+$ コレクタ	$1 \times 10^{18}$	200	0.3
基板	S. I.	—	1.0
外部ベース	$1 \times 10^{18}$	500	0.35 - 0.3

) 接合の±50nm  
で連続変化

エリア	寸法 ( $\mu\text{m} \times \mu\text{m}$ )
エミッタ (コンタクト)	$1 \times 5$ ( $1 \times 4$ )
外部ベース (コンタクト)	$2.5 \times 5$ (x2) ( $1 \times 4$ (x2))



- $r_{cont}$  : コンタクト抵抗
- $r_{bex}$  : 外部ベース抵抗
- $r_{bin}$  : 内部ベース抵抗
- $r_{c1}$  } : コレクタ高濃度層の抵抗
- $r_{c2}$  }
- $C_{sub}$  : コレクタ高濃度層と基板の間の容量
- $d_c$  : 外部ベース・コレクタダイオード
- $d_e$  : 外部エミッタ・ベースダイオード

図6.12 実構造HBTの等価回路

(1)  $r_{cont}$

GaAsでよく使われる値、 $10^{-7} \Omega \text{cm}^2$  を仮定すると、エミッタで  $2.5 \Omega$  コレクタで  $1.25 \Omega$  になる。

(2)  $r_{bin}$

エミッタ直下の内部ベース抵抗を分布定数的に扱おうと、エミッタストライプの両側にベースコンタクトがある場合は、[Ghosh 65]

$$r_{bin} = \frac{1}{2} \frac{\rho_b W_e}{d L_e} \quad (6-21)$$

$$\rho_b = \frac{1}{e \mu_p N_b} \quad (6-22)$$

$W_e$ 、 $L_e$ はエミッタストライプの幅と長さ、 $d$ はベース厚みである。表6.1の不純物密度の場合は、 $\mu_p = 300 \text{cm}^2/\text{v}\cdot\text{s}$  として、 $r_{bin} = 69 \Omega$

(3)  $r_{bex}$ ,  $r_{c1}$ ,  $r_{c2}$

バルク抵抗とみなせるので、断面積  $A$  と長さ  $l$  から、

$$r = \frac{\rho L}{A} \quad (6-23)$$

表6.1の不純物密度の場合は、 $\mu_n = 5000 \text{cm}^2/\text{v}\cdot\text{s}$ 、 $\mu_p = 300 \text{cm}^2/\text{v}\cdot\text{s}$  として、 $r_{bex} = 3.3 \Omega$ 、 $r_{c1} = 5 \Omega$ 、 $r_{c2} = 5 \Omega$

(4)  $C_{sub}$

基板が半絶縁性のCdTeなので無視する。

(5) d。

外部ベースとコレクタが作るダイオードである。特性は数値計算で求める。

(6) d。

外部ベースとエミッタが作るダイオードである。この層は $x=0.35$ なのでバンドギャップが大きく、真性トランジスタのエミッターベース接合がONになっても外部ベース-エミッタダイオードは導通しない。よって無視する。

求まった数値を入れると、実構造HBTの等価回路は図6.13になる。寄生抵抗のうち内部ベース抵抗が圧倒的に大きい。

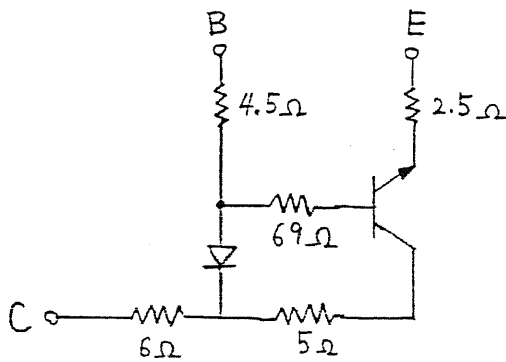


図6.13 図6.11,表6.1のHBTの  
等価回路

### 6.3.2 ECLゲートのスイッチング解析

6.3.1でモデル化したHg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタでECLゲートを構成してそのスイッチング特性を調べる。

#### (1) ECLゲートの設計

図6.14に示した、エミッタフォロワバツ付きの標準的なECLゲート（インバータ）を考える。

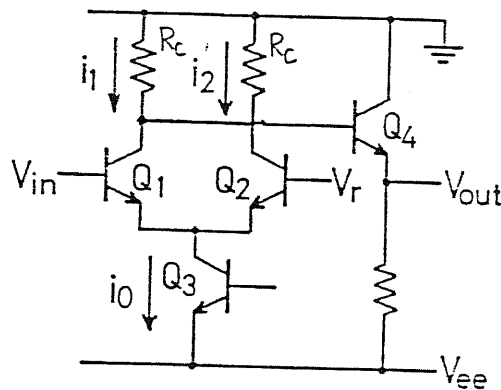


図 6.14  
ECLゲート

スイッチングトランジスタQ<sub>1</sub>、Q<sub>2</sub>がONになるときの電流*i*<sub>0</sub>を求める。シミュレーションの結果を参考にして、*f*<sub>t</sub>が大きくなるように電流密度を、*J*<sub>e</sub>=2×10<sup>4</sup>A/cm<sup>2</sup>に決める。よって、*i*<sub>0</sub>=1mA

論理振幅*V*<sub>L</sub>はQ<sub>1</sub>とQ<sub>2</sub>の電流比*i*<sub>1</sub>/*i*<sub>2</sub>で決まる。

$$V_L = \frac{2kT}{e} \ln \frac{i_1}{i_2} \quad (6-24)$$

*i*<sub>1</sub>/*i*<sub>2</sub>=10<sup>4</sup>と決めると、*V*<sub>L</sub>=0.12V (77K) ゆえに*R*<sub>c</sub>=*V*<sub>L</sub>/*i*<sub>0</sub>=120Ω

トランジスタがONのときの*V*<sub>be</sub>(*i*<sub>0</sub>) ≡ *V*<sub>ON</sub> とすると、Q<sub>2</sub>がONになってもQ<sub>3</sub>が飽和しないようにするには、

$$V_r - V_{ee} = 2V_{ON} \quad (6-25)$$

また*V*<sub>out</sub>に注目するとそのハイレベルとローレベルは、

$$V_{out}(H) = -V_{ON} \quad (6-26)$$

$$V_{out}(L) = -R_c i_0 - V_{ON} = -V_L - V_{ON} \quad (6-27)$$

また

$$V_r = (V_{out}(H) - V_{out}(L)) / 2 \quad (6-28)$$

式(6-25~28)より、

$$V_{ee} = -V_L / 2 - 3V_{ON} \quad (6-29)$$



ECLゲートの消費電力はスイッチングにかかわらず一定である。Q<sub>4</sub>にも i<sub>o</sub>を流すことにすると、

$$P = 2 i_o V_{ee} \quad (6-30)$$

Hg<sub>1-x</sub>C<sub>x</sub>TeHBTのV<sub>ON</sub>=0.27V だから、V<sub>ee</sub>=0.87V、P=1.74mW になる。

## (2) スイッチング時間

図6.14のECLゲートのQ<sub>1</sub>とQ<sub>4</sub>に注目して寄生抵抗、容量をぬきだした回路を図6.15に示す。

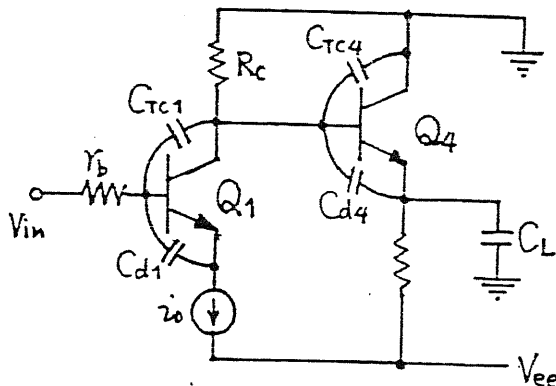


図 6.15  
寄生抵抗 (r<sub>b</sub>)  
容量をつけた  
ECL回路 (一部)

r<sub>b</sub>はベース抵抗、C<sub>TC</sub>、C<sub>d</sub>はそれぞれのトランジスタのコレクタ接合容量と拡散容量、C<sub>L</sub>は次段の入力容量である。

ECLゲートのスイッチング時間 (t<sub>d</sub>) を決める支配的な要因に注目して時定数を計算すると、

$$t_d = r_b (G_V C_{TC1} + C_{d1}) + R_c (C_{TC4} + C_{d4} + \frac{C_L}{h_{fe}}) \quad (6-31)$$

第1項はベース応答時間、第2項はコレクタ応答時間である。G<sub>V</sub>はカレントスイッチング回路の電圧利得でミラー効果によってはいつてくる。

$$G_V = e V_L / 4 k T \quad (6-31)$$

C<sub>d</sub>は電圧によって変化するのでスイッチングの間の平均値を用いる。

$$C_d = \frac{\Delta Q}{V_L} \approx \frac{Q_{EX}(i_o)}{V_L} \quad (6-32)$$

数値計算結果と等価回路から各パラメータの値を決める。

$$r_b = 74 \Omega, R_c = 120 \Omega, G_V = 4.5, C_{d1} = C_{d4} = 18.0 \text{ fF}$$

$C_{TC1}$ と $C_{TC4}$ は真性トランジスタと外部ベース-コレクタダイオードのゼロバイアス時のコレクタ容量の和で求める。

$$C_{TC1} = C_{TC4} = 45\text{fF}$$

ファンアウトを4、配線容量を100fF程度とすると

$$C_L = 1\text{pF}, h_{fe} = 1000$$

これから $t_d$ を計算すると表6.2の一番左の列に示したように  $t_d = 26\text{ps}$  になる。

表6.2 ECLゲートの遅延時間

HBT	$N_b =$	$5 \times 10^{17} \text{cm}^{-3}$	$1 \times 10^{18} \text{cm}^{-3}$	$2 \times 10^{18} \text{cm}^{-3}$	$5 \times 10^{17} \text{cm}^{-3}$
	$N_c =$	$5 \times 10^{16} \text{cm}^{-3}$	$5 \times 10^{16} \text{cm}^{-3}$	$5 \times 10^{16} \text{cm}^{-3}$	$1 \times 10^{16} \text{cm}^{-3}$
$r_b$	( $\Omega$ )	74	39	22	74
$C_{TC}$	(fF)	45/7.5	45/7.5	45/7.5	21/3.5
$C_d$	(fF)	18.0	23.0	24.5	30.4
$r_b G_v C_{TC}$	(ps)	15.0/2.5	7.9/1.3	4.4/0.7	7.0/1.2
$r_b C_d$	(ps)	1.3	1.0	0.7	1.8
全ベース遅延	(ps)	(18.3/3.8)	(8.9/2.3)	(5.1/1.4)	(8.8/3.0)
$R_c C_{TC}$	(ps)	5.4/0.9	5.4/0.9	5.4/0.9	2.5/0.4
$R_c C_d$	(ps)	2.1	2.9	3.6	3.0
$R_c C_L / h_{fe}$	(ps)	0.1	0.1	0.1	0.1
全コレクタ遅延	(ps)	(7.5/3.1)	(8.4/3.9)	(9.1/4.6)	(5.6/3.5)
遅延時間 $t_d$	(ps)	25.8/6.9	17.3/6.2	14.2/6.0	14.4/6.5
消費電力 $P$	(mW)	1.74	1.74	1.74	1.74
$P t_d$	(fJ)	45/12	30/11	25/10	25/11

\* / の後ろの値は外部ベース-コレクタダイオードの接合容量を0とした場合の計算値

$t_d$ の内訳を見ると、ベース応答時間の寄与が大きく、 $r_b G_v C_{TC}$ のコレクタ空乏層充電時間が支配的である。 $G_v$ は回路で決まってくるから、 $t_d$ を小さくするには、 $r_b$ と $C_{TC}$ を小さくするのが有効である。表6.2の2列と3列と、図6.16の●でベース不純物密度を大きくして $r_b$ を小さくしたときの $t_d$ がどうなるかを示す。1次元数値計算では $N_b$ が大きくなると $f_t$ が低下するが、ベース抵抗を考慮した実構造モデルでは $r_b$ が小さくなる効果が $f_t$ の低下( $C_d$ の増加)の影響を大きく上まわって $t_d$ を小さくする。 $N_b = 2 \times 10^{18} \text{cm}^{-3}$ にすると、 $t_d = 14\text{ps}$ に改善される。

$C_{TC}$ を減らすひとつの方法にコレクタ不純物密度を小さくすることがある。表6.2の一番右3列と、図6.16の▲が $N_{c^-}$ を $1 \times 10^{16} \text{cm}^{-3}$ にした場合の計算値である。1次元数値計算では $N_{c^-}$ を小さくするとカーク効果が起きやすくなることが示されたが、ECLゲートではトランジスタの動作が必ず活性領域に抑えられるので、問題はない。

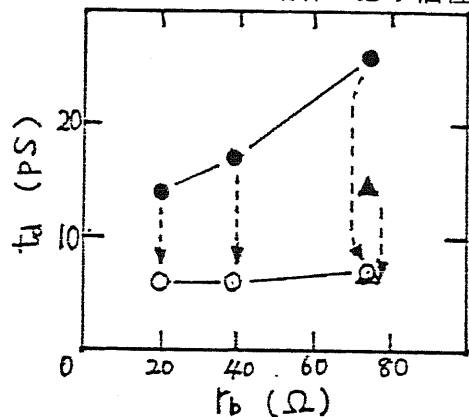


図6.16 ECLゲートの遅延時間

- $N_{c^-} = 5 \times 10^{16} \text{cm}^{-3}$
- ▲  $N_{c^-} = 1 \times 10^{16} \text{cm}^{-3}$

白ぬきは外部ベースコレクタ結合容量を0にした場合を示す

図6.11の平面図からわかるように $C_{TC}$ の大部分は外部ベースコレクタダイオードの結合容量で、本来なくてもかまわないものである。 $C_{TC}$ を抜本的に小さくする方法は、SiバイポーラトランジスタのSICOS構造 [Nakamura 82] (図6.17) や (AlGa)As/GaAs HBTの $O_2$ 打ち込み構造 [Asbeck 84] (図6.18) のように外部ベースコレクタダイオードがない構造にすることである。表6.2の"/"のあとに示した値と図6.16の白ぬきのマークが外部ベースコレクタダイオード容量を0にしたときの計算値である。 $t_d$ が大幅に短縮されている。この場合もベース不純物密度を大きくして $r_b$ を小さくすると $t_d$ が小さくなり、 $N_b = 2 \times 10^{18} \text{cm}^{-3}$ にすると、 $t_d = 6 \text{ps}$ になるが、その改善効果は小さい。これは  $R_c C_d \approx 1 / 2 \pi f_c$  の項が支配的になってきたため、外部ベースコレクタダイオードをなくすことによって寄生抵抗、容量が減少して真性トランジスタのスイッチング時間が支配的になったことがわかる。

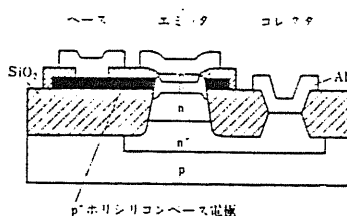
以上より、 $Hg_{1-x}Cd_xTe$ ヘテロ接合バイポーラトランジスタECLゲートで高速のスイッチングを行なうには、ベース不純物密度を大きくしてベース抵抗を減らすことと、外部ベースコレクタダイオード容量をなくすことが重要である。ECLインバータゲートのスイッチング時間は、

- $t_d = 14 \text{ps}$  (外部ベースコレクタダイオードあり)
- $6 \text{ps}$  (外部ベースコレクタダイオードなし)

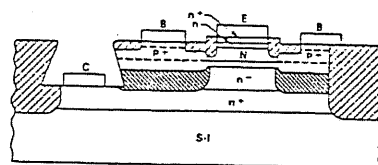
が得られる。

図6.17 (左) SICOS

図6.18 (右)  $O_2$ 打ち込み構造



p+ホリシリコンベース電極



BE-DOPED P REGIONS  
OXYGEN-IMPLANTED REGIONS  
IMPLANT-DAMAGE ISOLATION REGIONS  
Schematic structure of HBT, showing area implanted with oxygen.

#### 6.4 まとめ

Hg<sub>1-x</sub>Cd<sub>x</sub>Teヘテロ接合バイポーラトランジスタの特性を1次元数値解析で求めた。その結果、

- (1) エミッタ接合をヘテロ接合にするとベースからエミッタへのホール注入が抑制され、 $h_{fe}$ がずっと大きくなり、 $f_t$ も大幅に改善される。
- (2) エミッタ接合の位置を組成傾斜層の中間にすると、ベース内に電子に対する等価的な加速電界ができ、HBTの特性が大幅に改善される。
- (3) エミッタ不純物密度を比較的大きくすると大電流密度で高い $f_t$ が得られる。
- (4) ベース不純物密度を大きくすると $f_t$ が低下するがそれよりもベース抵抗が減少する効果のほうが大きい。
- (5) コレクタ不純物密度を大きくするとカーク効果が起こりやすくなる。

$h_{fe}$ は通常数1000以上、 $f_t$ は最大で160GHzが得られ、HBT単体で十分高速なことが確かめられた。

1次元数値解析の結果と寄生抵抗、容量を取り入れて実構造等価回路モデルを作りECLゲートのスイッチング特性を解析した。高速のスイッチングのためにはベース抵抗とベース-コレクタ容量を小さくすることが重要で、エミッタサイズ $1 \times 5 \mu\text{m}^2$ のECLインバータゲートで外部ベース-コレクタダイオードがない場合には、遅延時間 $t_d = 6$  (ps)、消費電力 $p = 1.7$  (mW)、スイッチングエネルギー $p t_d = 10$  (fJ)となり、高速、低消費電力であることが確認された。

## 第7章

### 議論

#### 7.1 本章の目的

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタのECLゲートのスイッチング特性をSiバイポーラトランジスタと(AIGa)As/GaAsヘテロ接合バイポーラトランジスタのECLゲートと比較する。それらの結果を第2章で考えたスケーリング理論と比較して、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ HBTの特徴、問題点を明らかにする。

## 7.2 Si ECLゲート、(AlGa)As ECLゲートとの比較

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 、Si、(AlGa)As 3種のバイポーラトランジスタはそれぞれ、素子の形状や製作プロセスなど異なるので厳密な意味で条件をそろえて比較するのはむずかしい。ひとつの物質だけをとってみても前節の $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  ECLゲートのように不純物分布を変えただけでその遅延時間の内容が大きく変わってしまう。そこで、材料本来の物性が直接影響するようにできるかぎり条件を理想化して、異なる物質のトランジスタのスイッチング特性を比較してみよう。

### (1) 比較の前提

- (i)  $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ 、Si、(AlGa)As 3種のトランジスタの平面寸法は同一で、図6.11の寸法 (エミッタサイズ $1 \times 5 \mu\text{m}^2$ ) とする。
- (ii) 3種のトランジスタはどれも外部ベース-コレクタダイオードの接合容量が無視できる構造をしているとする。
- (iii) 3種のトランジスタはどれも外部ベース抵抗が内部ベース抵抗と比べて十分小さく無視できるとする。
- (iv) 3種のECLゲートはすべて図6.14のエミッタフォロワバッファが付いたインバータとする。
- (v) 3種のECLゲートでON状態のトランジスタに流れる電流およびON/OFF電流比は同一とする。 ( $i_0 = 1\text{mA}$ ,  $i_1/i_2 = 10^4$ )

(ii)(iii)の仮定はバイポーラトランジスタの寄生要素をできるだけ減らした究極の性能で比較しようというものである。実際に作られている構造で比較しようとする、Siバイポーラトランジスタはほとんどこのふたつの前提を満たすもの (SST, SICOSなど) ができているのに、(AlGa)As HBTは高性能化が始まったばかり、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  HBTではデバイスが作られてもおらず、全く比較にならない。将来プロセス技術が十分開発された段階でどのデバイスがすぐれているかを比較するのが本章の目的である。

(v)の前提より、式(6-24)を使って、論理振幅 ( $V_L$ ) と負荷抵抗 ( $R_o$ ) は、

$$V_L = 0.12\text{V} \quad , \quad R_o = 120\Omega \quad (77\text{K})$$

$$V_L = 0.46\text{V} \quad , \quad R_o = 460\Omega \quad (300\text{K}) \quad (7-1)$$

となる。次に各デバイスのスイッチングパラメータを決めていこう。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$  HBTについては前章で述べた。

## (2) Siバイポーラトランジスタ

モデルにするSiバイポーラトランジスタの特性を表7.1(a)に示す。この素子はベース幅  $0.1\mu\text{m}$  でベース-コレクタ間耐圧が  $15\text{V}$  になるまでベース不純物密度を高めるように設計されたものである [Hanaoka 81]。ECLゲートのスイッチング特性計算に使った値を表7.1(b)に示した。

表7.1 Siバイポーラトランジスタの特性

	(a)	(b)
エミッタ寸法 ( $\mu\text{m}$ )	1x2.5	1x5
ベース幅 ( $\mu\text{m}$ )	0.11	←
内部ベースシート抵抗 ( $\text{k}\Omega/\square$ )	11	←
$r_b$ ( $\Omega$ )	800	180
$h_{fe}$	110	←
$f_t$ (GHz)	14	←
$C_d$ (fF)		25
$C_{TC}$ (fF)	9.7	3.9
$C_{sub}$ (fF)	79	0

ベース抵抗は単純に換算すると  $400\Omega$  になるが、内部ベースシート抵抗から求めた値  $180\Omega$  を使って外部ベース抵抗成分を除く。

$C_{TC}$ は単純に換算すると  $19.4\text{fF}$  になるが、外部ベース-コレクタ容量を無視するので  $1/5$ にして  $3.9\text{fF}$  にする。

半絶縁基板を使わないSiでは基板容量  $C_{sub}$  が大きいのが、将来SOIが実現できたとして無視する。

$C_d$ は、次式で  $\Delta V=0.46\text{V}$  ( $300\text{K}$ での論理振幅)として求めた。

$$C_d = i_o / 2\pi f_t \Delta V \quad (7-2)$$

## (3) (AlGa)As/GaAsヘテロ接合バイポーラトランジスタ

モデルにする (AlGa)As HBTの特性を表7.2(a)に示す。この素子はゆるやかな組成傾斜ベースを持った素子の実測データをヘテロ接合バイポーラトランジスタ用に拡張したGummel-Poonモデルにフィッティングしたものである [山内 85]。実測値自体は数値計算で得られる理想的な特性よりは劣っているが、モデル化すると本質的な部分と改善可能な寄生的な部分に分けられるのでその本質的な値を使うことにした。ECLゲートのスイッチング特性計算に使った値を表7.2(b)に示した。

表7.2 (AlGa)As/GaAs HBT特性

	(a)	(b)
エミッタ寸法 ( $\mu\text{m}$ )	3x9	1x5
ベース幅 ( $\mu\text{m}$ )	0.15	←
$r_b$ ( $\Omega$ )	58	11
$h_{fe}$	60	500
$f_t$ (GHz)	20	←
$C_d$ (fF)		16
$C_{TC}$ (fF)	59	3.5

メサエミッタ構造なのでベース抵抗は大きく単純に換算すると  $35\Omega$  になるが、外部ベース抵抗を無視するためにベース直下の部分の寄与を換算した値  $11\Omega$  を使うことにする。 $C_{TC}$ は単純に換算すると  $17\text{fF}$  になるが、外部ベース-コレクタ容量を無視するので1/5にして  $3.5\text{fF}$  にする。

$h_{fe}$ はまだ小さいがHBTでは本質的に大きくできるので500にする。

$C_d$ は、Siと同様に式(7-2)で  $\Delta V=0.46\text{V}$  (300Kでの論理振幅)として求めた。

#### (4) 通常の使用温度での3種のECLゲートのスイッチング特性の比較

以上で求めた定数を使って、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ECLゲートを77Kで、SiECLゲートと(AlGa)AsECLゲートを300Kで動作させた場合のスイッチング特性を表7.3に示す。これはこの3種類のECLゲートが普通使われると考えられている温度である。

遅延時間は、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ECLゲートで、 $6.0\text{ns}$ 、SiECLゲートで、 $25.6\text{ns}$  (AlGa)AsECLゲートで、 $10.4\text{ns}$  である。

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ECLゲートを、Si、(AlGa)AsECLゲートと比べると、

遅延時間 ( $t_d$ )	1	:	4.3	:	1.7
消費電力 ( $p_d$ )	1	:	3	:	5
スイッチングエネルギー ( $p t_d$ )	1	:	13	:	8.5

になり $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ECLゲートが高速、低消費電力であることが確かめられた。



表7.3 Hg<sub>1-x</sub>Cd<sub>x</sub>Te、Si、(AlGa)As ECLゲートの遅延時間  
(通常の動作温度)

		Hg <sub>1-x</sub> Cd <sub>x</sub> Te	Si	(AlGa)As
動作温度	(T)	77	300	300
V <sub>L</sub>	(V)	0.12	0.46	0.46
V <sub>ON</sub>	(V)	0.27	0.8	1.4
V <sub>ee</sub>	(V)	0.87	2.6	4.4
R <sub>c</sub>	(Ω)	120	460	460
r <sub>b</sub>	(Ω)	22	180	11
C <sub>TC</sub>	(fF)	7.5	3.9	3.5
C <sub>d</sub>	(fF)	24.5	25	16
r <sub>b</sub> G <sub>v</sub> C <sub>TC</sub>	(ps)	0.7	3.2	0.2
r <sub>b</sub> C <sub>d</sub>	(ps)	0.7	4.5	0.2
全ベース遅延	(ps)	(1.4)	(7.7)	(0.4)
R <sub>c</sub> C <sub>TC</sub>	(ps)	0.9	1.8	1.6
R <sub>c</sub> C <sub>d</sub>	(ps)	3.6	11.5	7.4
R <sub>c</sub> C <sub>b</sub> /h <sub>fe</sub>	(ps)	0.1	4.6	1.0
全コレクタ遅延	(ps)	(4.6)	(17.9)	(10.0)
遅延時間 t <sub>d</sub>	(ps)	6.0	25.6	10.4
消費電力 P	(mW)	1.74	5.3	8.9
P t <sub>d</sub>	(fJ)	10	133	92

(5) 77Kでの3種のECLゲートのスイッチング特性の比較

Hg<sub>1-x</sub>Cd<sub>x</sub>Te ECLゲートと、Si ECLゲートと (AlGa)As ECLゲートをすべて77Kで動作させた場合どうなるか考える。

実際にはSiバイポーラトランジスタは77Kではキャリアがフリーズアウトして動作しなくなるが、ここではSiとHg<sub>1-x</sub>Cd<sub>x</sub>Teの違いを明らかにするために、「77KでキャリアがフリーズアウトしなかったらSiバイポーラトランジスタはこんな特性を持つであろうというトランジスタ」として扱う。

77Kでトランジスタの特性が300Kからどう変わるか考えよう。ベースの不純物密度が高いからホールの移動度は温度にあまりよらないと考えられ、r<sub>b</sub>は変わらないとする。

同様にベース内の電子の移動度も変わらないから、拡散定数はTに比例して小さくなり、式(2-15)から $\tau_b$ が大きくなる。逆に式(2-14)は $\tau_e$ が小さくなることを示し、また式(2-16)より $\tau_c$ は一定とみなせる。各要素がばらばらの傾向を示すので $f_t$ の推定は難しいが、Tに依存しないとすることにする。一方 $V_L$ はTに比例して小さくなるから、式(7-2)より $C_d$ はTに反比例して大きくなる。

$C_{TC}$ は接合容量だから式(2-18)からわかるように温度にほとんど依存しない。

$h_{fe}$ の温度依存性はキャリアの再結合機構がからんできてむずかしいが、 $t_d$ に対する影響が小さいので変わらないとしておく。表7.4にスイッチング特性を示す

表7.4 Hg<sub>1-x</sub>Cd<sub>x</sub>Te、Si、(AlGa)As ECLゲートの遅延時間  
(77Kでの動作)

		Hg <sub>1-x</sub> Cd <sub>x</sub> Te	Si	(AlGa)As
動作温度	(T)	77	77	77
$V_L$	(V)	0.12	0.12	0.12
$V_{ON}$	(V)	0.27	0.8	1.4
$V_{ee}$	(V)	0.87	2.5	4.3
$R_c$	( $\Omega$ )	120	120	120
$r_b$	( $\Omega$ )	22	180	11
$C_{TC}$	(fF)	7.5	3.9	3.5
$C_d$	(fF)	24.5	97	62
$r_b G_V C_{TC}$	(ps)	0.7	3.2	0.2
$r_b C_d$	(ps)	0.7	17.4	0.7
全ベース遅延	(ps)	(1.4)	(20.6)	(0.9)
$R_c C_{TC}$	(ps)	0.9	0.5	0.4
$R_c C_d$	(ps)	3.6	11.5	7.4
$R_c C_L / h_{fe}$	(ps)	0.1	1.1	0.3
全コレクタ遅延	(ps)	(4.6)	(13.1)	(8.1)
遅延時間 $t_d$	(ps)	6.0	33.7	9.0
消費電力 $P$	(mW)	1.74	5.0	8.6
$P t_d$	(fJ)	10	168	77

(AlGa)As ECLゲートは77Kに冷やすと14%高速化されたが、まだHg<sub>1-x</sub>Cd<sub>x</sub>Te ECLゲートのほうが速い。Si ECLゲートはかえって遅くなってしまった。その理

由は、ここで検討している寄生要素をできるだけ除いた素子のスイッチング時間の大部分は、本質的なスイッチング時間である

$$R_c C_d \approx 1 / 2 \pi f_t \quad (7-4)$$

が占める。ところが低温にしても  $f_t$  を一定と仮定したため、 $R_c C_d$  は変わらず、 $r_b C_d$  と  $R_c C_{TC}$  の大小の関係で  $t_d$  が増加したり減少したりするのである。

電源電圧が大部分  $V_{ON}$  で決まるので 77K に冷やして論理振幅を小さくしても消費電力はほとんど変わらない。従って Si や (AlGa)As ECL ゲートには低温で動作させるメリットがない。

### 7.3 議論

表7.3に示したスイッチング特性を第2章で考えたスケーリング理論と比較してみよう。ここで述べた3種類のトランジスタの平面寸法と電流は同一で、温度、バンドギャップ、電圧が 1/4 にスケーリングされているから、2.4節で述べた電圧のみのスケーリングで  $K=4$  の場合に対応する。表2.5の関係が深い項目をを再掲する

拡散定数	$D_n$	$K^{-1}$	(1)
遮断周波数	$f_t$	$K^{-1}$	(1)
消費電力	$P$	$K^{-1}$	
接合容量	$C_t$	$K^{1/2}$	
拡散容量	$C_d$	$K^2$	(K)
ベース抵抗	$r_b$	1	( $K^{-1}$ )
負荷抵抗	$R_L$	$K^{-1}$	
遅延時間	$t_d$	$K$	(1)

$\mu \propto T^{-1}$  と仮定した場合を表7.5の括弧の中に示した。遅延時間は  $R_c C_d$  が支配的な場合の値を示した

スイッチングを決める  $R_c$ 、 $r_b$ 、 $C_{TC}$ 、 $C_d$  のうち理論通りなのが  $R_c$  と  $C_{TC}$  である。 $R_c$  は回路設計で決まるので当然である。3種のトランジスタのコレクタ不純物密度がほぼ同じなので  $C_{TC}$  も理論通りに小さくなる。

全然合わないのが  $r_b$  と  $C_d$  である。 $r_b$  の倍率がホモトランジスタの Si で合わないのは当然としても、ヘテロ接合の  $Hg_{1-x}Cd_xTe$  と (AlGa)As で合わないのはベース不純物濃度が違うからである。(AlGa)As のベースは  $1 \times 10^{19} \text{cm}^{-3}$  で  $Hg_{1-x}Cd_xTe$  の5倍であ

る。Hg<sub>1-x</sub>Cd<sub>x</sub>Teの不純物密度がどこまであげられるかわからないが、バンドギャップの狭い半導体は縮退しやすいことを考慮することが必要である。

C<sub>d</sub>はスケーリング理論では、移動度一定のモデルで1.6倍、移動度 $\propto T^{-1}$ のモデルでも4倍になるはずである。しかしHg<sub>1-x</sub>Cd<sub>x</sub>Teと(AlGa)AsのC<sub>d</sub>を比べると1.5倍になっているだけである。

これらの組み合わせで各時定数が決まってくる。その中で支配的なのはHg<sub>1-x</sub>Cd<sub>x</sub>Teと(AlGa)Asのどちらの場合もR<sub>c</sub>C<sub>d</sub>である。これはスケーリング理論によると1倍か4倍になるのだが、C<sub>d</sub>が理論よりもいいので1/2になっている。

全体の遅延時間は、r<sub>b</sub>が大きいためベース時定数が移動度 $\propto T^{-1}$ のモデルよりも大きくなるが、C<sub>d</sub>の影響で移動度 $\propto T^{-1}$ を仮定したスケーリング理論の予測よりも短かくなっている。

このようにHg<sub>1-x</sub>Cd<sub>x</sub>Te HBTの特徴はC<sub>d</sub>が理論の予測よりはるかに小さいことである。その原因と考えられるのは、ひとつはHg<sub>1-x</sub>Cd<sub>x</sub>Teの低電界移動度が5x10<sup>4</sup>cm/V·sで、GaAsの8500cm/V·sの4倍よりも大きいことである。もうひとつは、スケーリング理論ではベース内を電子が拡散するとしてC<sub>d</sub>の倍率を導いている。しかしHg<sub>1-x</sub>Cd<sub>x</sub>Te HBTと(AlGa)As HBTのどちらもベース内に加速電界があって、電子はベースをほとんどピーク速度に近い速さで走っていく。Hg<sub>1-x</sub>Cd<sub>x</sub>Teのほうが(AlGa)Asよりもピーク速度が大きいからベース走行時間が短くなることである。

Hg<sub>1-x</sub>Cd<sub>x</sub>Te HBTに残された問題は、スケーリングの点で弱点だったベース抵抗をさらに小さくすることと、長所である小さな拡散容量をもっと小さくするために素子構造の最適化をはかることである。

#### 7. 4 まとめ

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタのECLゲートのスイッチング特性を同一寸法のSiバイポーラトランジスタECLゲートと $(\text{AlGa})\text{As}/\text{GaAs}$ ヘテロ接合バイポーラトランジスタのECLゲートと比較した。 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ が77Kで動作し、Siと $(\text{AlGa})\text{As}$ が室温動作の場合、遅延時間は、それぞれに対して、 $1/4.3$  と  $1/1.7$ 、消費電力は、 $1/3$  と  $1/5$ 、スイッチングエネルギーは、 $1/13$  と  $1/8.5$ であった。仮に、Siと $(\text{AlGa})\text{As}$ ECLゲートも77Kで動かすとしても、その特性はほとんど改善されない。この3種のECLゲートのスイッチング特性をスケーリング理論と比較すると、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ HBTはスケーリング理論から予想される以上に高速で、ベース抵抗を減らすとさらに高速になることがわかった。以上より $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタECLゲートは高速かつ低消費電力で、超高速VLSIの素子として有望であることが確認できた。

## 結 論

超高速コンピュータの実現には、なによりも超高速で動作するVLSIの開発が要求される。超高速VLSIを構成するスイッチング素子を考える場合に、素子単体の高速性が重要なのもちろんだが、VLSIというシステム全体での高速化を行なうためには、負荷駆動力、数万個の素子全部の安定した動作の確保、発熱と冷却など、考慮が必要な要素が多い。本研究ではまず電力遅延時間積（スイッチングエネルギー） $P t_d$ に注目する。

超高速VLSIのスイッチングを容量性負荷の充放電とみなすと、 $P t_d$ は、 $C V_L^2 / 2$ になる。 $P t_d$ を小さくするには、論理電圧振幅 $V_L$ の低減が有効である。論理電圧振幅を小さくするには、熱雑音低減のための低温動作と、多数のゲートの確実な動作を保障するために、閾値電圧をきわめて均一に制御できる素子が必要になる。

この点から各種の半導体デバイスを比較すると、閾値電圧の均一性と容量性の負荷の駆動力の点でヘテロ接合バイポーラトランジスタ（HBT）が最適である。

HBTの閾値電圧はエミッター・ベース接合部のバンドギャップで決まってくるので、閾値電圧を小さくするにはバンドギャップの狭い材料を用いる必要がある。

別の立場から、バイポーラトランジスタの高速化をスケーリング理論を適用して考えると、消費電力とスイッチング時間をバランスよく縮小するには、寸法の縮小に伴って、動作温度とバンドギャップを縮小すればよいことが導かれる。しかし、材料の変化を含むスケーリングでは、物性定数のスケーリングにともなう変化をどう仮定するかで、スケーリングの結果が大きく異なってしまう。したがって実際の半導体材料を想定してその物性に即してヘテロ接合バイポーラトランジスタの高速化を考えなければいけない。

HBTに使う狭ギャップの半導体材料には、良質のヘテロ接合ができること、キャリアの移動度が高いこと、ピーク速度が大きいこと、誘電率が小さいことなどが要求される。

これらの点から各種の狭ギャップの半導体材料を比較すると、II-VI族化合物半導体の $Hg_{1-x}Cd_xTe$ 混晶が上記の条件を満足し、バンド設計の自由度が高いので超高速ヘテロ接合バイポーラトランジスタの素材として最適である。以上の論証により、超高速VLSIを構成するスイッチング素子として $Hg_{1-x}Cd_xTe$ ヘテロ接合バイポーラトランジスタを提案する。

超高速デバイスの材料にとって最も重要な物性は、キャリアのドリフト速度の電界依存性である。パルスによる導電率測定を行ない電子のドリフト速度-電界特性を求めた。n型 $\text{Hg}_{0.7}\text{Cd}_{0.3}\text{Te}$ の試料を77Kで測定したところ、ブレークダウンが起こりやすく精度の高い測定がしにくかったが、ドリフト速度は、ほぼ  $3 \times 10^7 \text{cm/s}$ に達することがわかった。このように電子のドリフト速度-電界特性の面でも $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ が超高速デバイスの材料として有望であることがわかった。

つぎに、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタの性能を数値計算で予測した。電子の移動度は、その電界依存性を飽和速度の形で取り込み、不純物密度依存性を、ある不純物密度より大きいところでは低電界移動度が不純物密度の $-2/3$ 乗に比例して減少するという形で取り入れた。

$\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ のヘテロ接合は、急峻な接合を作ると伝導帯の不連続によるスパイクが生じるので、それを防ぐために幅広い組成傾斜層を持ったヘテロ接合バイポーラトランジスタを設計した。

1次元数値計算の結果、小電圧振幅 ( $V_{be}=0.28\text{V}$ )で、大電流密度 ( $J_e=5 \times 10^4 \text{A/cm}^2$ )が得られ、大きな負荷駆動力があることが確認できた。また、傾斜ヘテロ接合を利用して、ベース内に電子に対する等価的な加速電界を形成すると、HBTの特性が改善され、電流利得が数1000以上、遮断周波数 $f_t$ が最高160GHzに達することがわかった。ベース不純物濃度を増やすと $f_t$ は下がるが、その影響は小さい。

1次元数値計算の結果と寄生抵抗、容量を取り入れて実構造等価回路モデルを作り、ECLゲートのスイッチング特性を解析した。高速のスイッチングのためにはベース抵抗をとベース-コレクタ容量を小さくすることが重要で、エミッタサイズ  $1 \times 5 \mu\text{m}^2$ のECLインバータゲートで、外部ベース-コレクタダイオードがない場合には、

遅延時間 6ps、消費電力 1.7mW、スイッチングエネルギー 10fJ  
が得られた。

同一寸法のSiバイポーラトランジスタECLゲートと $(\text{AlGa})\text{As}/\text{GaAs}$ ヘテロ接合バイポーラトランジスタのECLゲートと比較すると、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ が77Kで動作し、Siと $(\text{AlGa})\text{As}$ が室温動作の場合、遅延時間は、それぞれに対して、 $1/4.3$ と $1/1.7$ 、消費電力は、 $1/3$ と $1/5$ 、スイッチングエネルギーは、 $1/13$ と $1/8.5$ であった。この3種のECLゲートのスイッチング特性をスケーリング理論と比較すると、 $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ HBTはスケーリング理論から予想される以上に高速で、ベース抵抗を減らすとさらに高速になることがわかった。以上より $\text{Hg}_{1-x}\text{Cd}_x\text{Te}$ ヘテロ接合バイポーラトランジスタECLゲートは高速かつ低消費電力で、超高速VLSIの素子として有望であることが確認できた。

最後に本研究では行なうことができなかつた今後に残された課題について述べる。

素子の動作温度は77Kを仮定したので、ドリフト速度—電界特性の測定や、数値計算はすべて77Kで行なつた。 $P t_d$ は $T^2$ に比例するから、室温から液体窒素温度に下げても $P t_d$ は1/16にしかならない。究極的には液体ヘリウム温度4.2Kでの動作を目標にすべきである( $P t_d$ は室温の1/5000になる)。液体ヘリウム温度での動作を考える場合、低温でのキャリアのふるまいや散乱機構を吟味して、4.2KでもHBTとして動作するかどうかを検討しなければなれない。特に問題になるのはp型である。 $Hg_{1-x}Cd_xTe$ のアクセプタレベルについては、深いとか、浅いとか、諸説があり、4.2Kで低抵抗のp型が得られるかどうかよくわかっていない。Siのように超高純度結晶ができていないので、不純物ごとのレベルもわかっていない。そのうえHg空孔がアクセプタになるので話がややこしくなっている。n型は4.2Kでも低抵抗なので、低抵抗のp型結晶ができれば、 $Hg_{1-x}Cd_xTe$ ヘテロ接合バイポーラトランジスタは液体ヘリウム温度でも動作するはずである。

最後に残された最大の課題は、言うまでもなく $Hg_{1-x}Cd_xTe$ ヘテロ接合バイポーラトランジスタの試作である。世の中の多くの人が、 $Hg_{1-x}Cd_xTe$ HBTに興味を持って研究が大きく進むことをのぞむ。



## 謝辞

本研究の全体にわたって、どちらかというと独善的になりがちで、とんでもない方向へ進みがちだった著者の研究を的確な方向へ舵を向けていただいた指導教官の岡部洋一助教授に心から感謝する。

青木昌治名誉教授には終始暖かく励ましていただいた。菅野卓雄教授、浅田邦博助教授にはさまざまな援助をいただいた。北川学技官、新井夫差子助手、星野洋講師、田宮寿美子助手、鷺山昌子助手には研究を進めるにあたり貴重な助言や強力をいただいた。香取昌助手、渋谷武夫助手には実験装置の製作改造などでお世話になった。工学部総合試験所の大塚滋助手には試料のE P M A測定をしていただいた。

日本鋳業株式会社中央研究所の荒木暉氏、豊田太郎氏にはCdTe単結晶を提供していただいた。株式会社富士通研究所の瀧川宏氏には $Hg_{1-x}Cd_xTe$ 単結晶を提供していただいた。

岡部研究室、菅野研究室の大学院生の各位はさまざまな討論やプロセスに不慣れな著者を助けていただいた。とくに三宅秀治氏には電子ビーム露光によるフォトマスク作製をしていただいた。またアンプルンプラサン氏から忍耐とほほえみを学んだ。卒論生の小田切貴秀氏、難波孝子氏、村上善則氏は著者ととともに困難な研究を進めていただいた。

研究がうまくいかず落ち込んでいたときに今シーズンの阪神タイガースにはチャレンジャー精神で進めば未知が開けることを教えられた。

この欄を借りてこれらの方々に深く感謝する。

最後に著者の研究を心から支えてくれた両親に最高の謝意を表わす。

参考文献

- [Anderson 62] R.L.Anderson: Solid-State Electron. 5(1962)341.
- [Asbeck 82] P.M.Asbeck,D.L.Miller,R.Astourian and C.G.Kirkpatrick: IEEE Electron Device Lett. EDL-3(1982)403.
- [Asbeck 84] P.M.Asbeck,D.L.Miller,R.J.Anderson and F.H.Eisen: IEEE Electron Device Lett. EDL-5(1982)310.
- [Botzler 82] C.O.Botzler and C.D.Alley: Proc. IEEE 70(1982)46.
- [Bowers 80] J.E.Bowers,J.L.Schmit,C.L.Speersshneider and R.B.Maciolek: IEEE Trans Electron Devices ED-27(1980)24.
- [Bratt 83] P.R.Bratt: J.Vac.Sci.Technol. A1(1983)1687.
- [Canali 71] C.Canali,M.Martini,G.Ottaviani and K.R.Zanio: Phys.Rev.B 4 (1971)422.
- [Dennard 74] R.H.Dennard,F.H.Gasenssler,H.N.Yu,V.L.Rideout,E.Bassous and A.LeBlank: IEEE J.Solid-State Circuits SC-9(1974)256.
- [Dhaka 73] V.A.Dhaka,J.E.Muschinske and W.K.Owence: IEEE J.Solid-State Circuits SC-9(1974)256.
- [Dumke 81] W.P.Dumke: IEEE Trans Electron Devices ED-28(1981)494.
- [Eden 81] R.C.Eden and B.M.Welch: VLSI Electronics:Microstructure Science,vol.3(Academic Press,New York,1981)N.Einspruch ed.
- [Eden 82] R.C.Eden: Proc. IEEE 70(1982)5.
- [Fourie 81] J.P.Fourie and A.Millon: J.Cryst.Growth 54(1981)582.
- [Fourie 82] J.P.Fourie,A.Millon and J.Piaguet: Appl.Phys.Lett.41 (1982)713.
- [Ghosh 65] H.N.Ghosh: IEEE Trans Electron Devices ED-12(1965)532.
- [Guldner 83] Y.Guldner,G.Bastard,J.P.Vierern,M.Voos,J.P.Fourie and A.Millon:Phys.Rev.Lett.51(1983)907
- [Hanaoka 81] N.Hanaoka,A.Anzai: IEDM Tech.Digest(1981)512.
- [Hansen 82] G.L.Hansen,J.L.Schmit and T.L.Casselmann:J.Appl.Phys.53(1982) 7099.
- [Hart 79] P.A.Hart,T.Van'THof and F.M.Klaassen: IEEE Trans Electron Devices ED-26(1979)421.
- [Irvine 81] S.J.C.Irvine and J.B.Mullin: J.Cryst.Growth 55(1981)107.
- [Ito 84] H.Ito,T.Ishibashi and T.Sugeta: Extended Abstract of 16th Conference on Solid State Device and Materials,Kobe,1984, p351
- [石橋 85] 石橋忠夫、菅田孝之: 応用物理54(1985)1192.
- [Jacoboni 77] C.Jacoboni,C.Canali,G.Ottaviani and A.A.Quaranta: Solid-State Electron.20(1977)77.
- [Katsuki 71] S.Katsuki and M.Kunimune: J.Phys.Soc.Jpn.31(1971)415.
- [Kroemer 82] R.C.Eden: Proc. IEEE 70(1982)13.
- [倉田 80] 倉田衛: 「バイポーラトランジスタの動作理論」(近代科学社,1980)
- [Kruse 70] P.W.Kruse: Semiconductor and Semimetals,vol5 (Academic Press, New York,1970)R.K.Willardson and A.C.Beer ed.p143

- [Long 66] D.Long: Semiconductor and Semimetals,voll (Academic Press, New York,1966)R.K.Willardson and A.C.Beer ed.p143
- [Long 68] D.Long: Phys.Rev.176 (1968)923.
- [Long 70] D.Long and J.L.Schmit: Semiconductor and Semimetals,voll18 (Academic Press,New York,1981)R.K.Willardson and A.C.Beer ed.p175
- [Majerfeld 74] A.Majerfeld,K.E.Potter and P.N.Robson: J.Appl.Phys.45 (1974) 3681.
- [Melngailis 70] I.Melngailis and T.C.Harman: Semiconductor and Semimetals,vol15(Academic Press,New York,1970)R.K.Willardson and A.C.Beer ed.p111
- [Migriorato 83] R.Migriorato and A.W.White: Solid-State Electron.26 (1983)65.
- [永田 85] 永田稯 編:「超高速バイポーラデバイス」(培風館,1985)p272.
- [Nakamura 82] T.Nakamura,T.Myazaki,S.Takahashi,T.Kure,T.Okabe and M.Nagata : IEEE Trans Electron Devices ED-29 (1982)596.
- [二井 84] 二井理郎:「化合物半導体デバイス [1]」今井哲二編(工業調査会 ,1984)p71
- [日本 73] 日本産業技術振興協会新材料技術委員会編:「化合物半導体デバイス」(工業調査会,1973)
- [日本 83] 日本電子工業振興協会編:「II-VI族化合物半導体結晶データブック」(日本電子工業振興協会,1983)
- [日本 84] 日本電子工業振興協会編:「混晶デバイスに関する調査研究報告書I」(日本電子工業振興協会,1984)
- [Ohta 84] K.Ohta: Jpn.J.Appl.Phys.23(1984)L913.
- [岡部 85] 岡部洋一:「超伝導エレクトロニクス」原宏編(オーム社,1985)p141
- [Pozela 80] J.Pozela and A.Reklaitis: Solid-State Electron.23(1980)927.
- [Reine 81] M.B.Reine,A.K.Sood and T.J.Tredwell: Semiconductor and Semimetals,voll18 (Academic Press,New York,1981)R.K.Willardson and A.C.Beer ed.p175
- [Sakai 80] T.Sakai,Y.Kobayasi,H.Yamauti,M.Sato and T.Makino: Extended Abstract of 12th Conference on Solid State Devices,Tokyo, 1980
- [Scharfetter 69] D.L.Scharfetter and H.K.Gummel: IEEE Trans Electron Devices ED-16(1969)64.
- [Schmit 70] J.L.Schmit: J.Appl.Phys.41(1970)2876.
- [Shin 80] S.H.Shin,M.Chu,A.H.B.Vanderwyck,M.Lanir and C.C.Wang: J.Appl.Phys.51(1980)3772.
- [Scott 72] W.Scott: J.Appl.Phys.43(1972)1055.
- [Solomon 82] P.M.Solomon:Proc.IEEE 70(1982)489.
- [菅野 79] 菅野卓雄:「半導体物性」(電気学会 1979)
- [Sutherland 77] J.E.Sutherland and J.R.Hauser: IEEE Trans Electron Devices ED-24(1977)363.
- [Sze 81] S.M.Sze:Physics of Semiconductor Devices,2nd ed.(John Wiley & Sons,New York,1981)
- [瀧川 85] 瀧川宏: 1985年東京大学物理工学特別講義録(unpublished)

- [上田 84] 上田知史,吉川満男,瀧川宏: 第31回応用物理学関係連合講演会  
予稿集(1984春)575.
- [Weiler 81] M.H.Weiler: Semiconductor and Semimetals,voll6 (Academic  
Press,New York,1981)R.K.Willardson and A.C.Beer ed.p181
- [山本 83] 山本俊郎,谷川邦広: 第44回応用物理学学術講演会 予稿集  
(1983秋)514.
- [山内 85] 山内佳紀,石橋忠夫: 電子通信学会技術報告sce85-31(1985)
- [Yokoyama 84] K.Yokoyama,T.Tomizawa and A.Yoshii: IEEE Trans Electron  
Devices ED-31(1984)1222.
- [Wiley 75] J.D.Wiley: Semiconductor and Semimetals,voll10 (Academic  
Press, New York,1975)R.K.Willardson and A.C.Beer ed.p91

本研究に関係した公表文献および口頭発表リスト

公表文献

- (1) K.Sakamoto, Y.Okabe:  
"Proposal of and Numerical Simulation of  $Hg_{1-x}Cd_xTe$  Heterojunction Bipolar Transistors"  
Jpn.J.Appl.phys.,25(1986)444-448.
- (2) K.Sakamoto, Y.Okabe:  
"Electron Drift Velocity in  $Hg_{1-x}Cd_xTe$  at High Electric Fields"  
投稿予定

口頭発表

- (1) 坂本 邦博, 岡部 洋一  
"HgCdTeヘテロ接合ルネータトランジスタの提案"  
第32回応用物理学関係連合講演会 1p-V-13 1985年4月1日
- (2) 坂本 邦博, 岡部 洋一  
"HgCdTeヘテロ接合ルネータトランジスタの特性解析"  
第46回応用物理学学会学術講演会 3a-b-2 1985年10月3日
- (3) 坂本 邦博, 岡部 洋一  
" $Hg_{1-x}Cd_xTe$ の電子ドリフト速度-電界特性"  
第33回応用物理学関係連合講演会 3a-T-2 1986年4月3日

付録A

記号

$e$	電気素量	$h$	分割点間隔
$k$	ボルツマン定数	$V_{be}$	ベース・エミッタ電圧
$T$	温度	$V_{bc}$	ベース・コレクタ電圧
$n$	電子密度	$J_e$	エミッタ電流
$p$	正孔密度	$J_c$	コレクタ電流
$n_i$	真性密度	$J_b$	ベース電流
$\phi$	ポテンシャル	$Q_{ex}$	過剰キャリア電荷量
$\phi_n$	擬フェルミ電位 (電子)	$C_e$	エミッタ容量
$\phi_p$	擬フェルミ電位 (正孔)	$C_c$	コレクタ容量
$E_{VAC}$	真空準位	$g_m$	相互コンダクタンス
$E_i$	真性準位	$f_t$	電流利得遮断周波数
$E_F$	フェルミ準位	$h_{fe}$	電流利得
$E_c$	伝導帯下端	$N_{e^+}$	エミッタ高濃度層濃度
$E_v$	価電子帯上端	$N_{e^-}$	エミッタ低濃度層濃度
$E_g$	禁制帯幅	$N_b$	ベース濃度
$\chi$	電子親和力	$N_{c^-}$	コレクタ低濃度層濃度
$N_c$	伝導帯状態密度	$N_{c^+}$	コレクタ高濃度層濃度
$N_v$	価電子帯状態密度	$P$	消費電力
$\xi_n$	ヘテロ接合に伴う	$t_d$	遅延時間
$\xi_p$	ポテンシャルの修正項		
$J_n$	電子電流		
$J_p$	正孔電流		
$\mu_n$	電子移動度		
$\mu_p$	正孔移動度		
$D_n$	電子拡散定数		
$D_p$	正孔拡散定数		
$\theta$	$= e/kT$		
$G_n$	電子発生率		
$G_p$	正孔発生率		
$U_n$	電子再結合率		
$U_p$	正孔再結合率		
$\epsilon$	誘電率		
$\epsilon_s$	比誘電率		
$N_D$	ドナー濃度		
$N_A$	アクセプタ濃度		
$\Gamma$	$= N_D - N_A$		
$\tau$	キャリア寿命		

付録 B

数値計算の詳細

(1) 線形化

主変数  $p, n, \psi$  の試行値を  $p', n', \psi'$ 、修正値を  $\delta p, \delta n, \delta \psi$  とする。つまり、

$$p = p' + \delta p, \quad n = n' + \delta n, \quad \psi = \psi' + \delta \psi \quad (A-1)$$

同様に

$$J_p = J_p' + \delta J_p, \quad J_n = J_n' + \delta J_n, \quad U = U' + \delta U \quad (A-2)$$

と置いて、電流連続方程式 (3-30) を書きかえる。(G は無視)

$$\frac{1}{e} \cdot \frac{\delta J_p(M) - \delta J_p(M-1)}{h} + \delta U(N) = -\frac{1}{e} \frac{J_p'(M) - J_p'(M-1)}{h} - U'(N)$$

$$\frac{1}{e} \cdot \frac{\delta J_n(M) - \delta J_n(M-1)}{h} - \delta U(N) = -\frac{1}{e} \frac{J_n'(M) - J_n'(M-1)}{h} + U'(N)$$

(A-3)

$J_p$  は  $p$  と  $\psi$  で表わせることなどを考慮して、 $\delta J_p, \delta J_n, \delta U$  を  $\delta p, \delta n, \delta \psi$  で一次の Taylor 展開すると、

$$\delta J_p(M) = \frac{\partial J_p'(M)}{\partial p(N)} \delta p(N) + \frac{\partial J_p'(M)}{\partial p(N+1)} \delta p(N+1) + \frac{\partial J_p'(M)}{\partial \psi(N)} \delta \psi(N) + \frac{\partial J_p'(M)}{\partial \psi(N+1)} \delta \psi(N+1)$$

(A-4)

となる。(同様に  $\delta J_n(M)$  は  $\delta n(N), \delta n(N+1), \delta \psi(N), \delta \psi(N+1)$  で、 $\delta U(N)$  は  $\delta p(N), \delta n(N)$  で表わせる)

(A-4) を (A-3) に代入すると電流連続方程式を  $\delta p, \delta n, \delta \psi$  の線形方程式で表わすことができる。Poisson 方程式 (3-31) はもともと線形だから、(A-1) をそのまま代入すればよい。整理すると、解くべき線形方程式は、

$$A(N) \delta y(N-1) + B(N) \delta y(N) + C(N) \delta y(N+1) = f(N)$$

$$2 \leq N \leq L-1$$

(A-5)

という  $L-2$  個の行列方程式である。ただし、

$$y(N) = \begin{pmatrix} p(N) \\ n(N) \\ \psi(N) \end{pmatrix}, \quad \delta y(N) = \begin{pmatrix} \delta p(N) \\ \delta n(N) \\ \delta \psi(N) \end{pmatrix}$$

$$A = \begin{pmatrix} -\frac{1}{e\hbar} \frac{\partial J_p'(M-1)}{\partial p(N-1)} & 0 & -\frac{1}{e\hbar} \frac{\partial J_p'(M-1)}{\partial \psi(N-1)} \\ 0 & -\frac{1}{e\hbar} \frac{\partial J_n'(M-1)}{\partial n(N-1)} & -\frac{1}{e\hbar} \frac{\partial J_n'(M-1)}{\partial \psi(N-1)} \\ 0 & 0 & \frac{\epsilon(M-1)}{\hbar^2} \end{pmatrix}$$

$$B = \begin{pmatrix} \frac{1}{e\hbar} \left( \frac{\partial J_p'(M)}{\partial p(N)} - \frac{\partial J_p'(M-1)}{\partial p(N)} \right) + \frac{\partial U'(N)}{\partial p(N)} & \frac{\partial U'(N)}{\partial n(N)} & \frac{1}{e\hbar} \left( \frac{\partial J_p'(M)}{\partial \psi(N)} - \frac{\partial J_p'(M-1)}{\partial \psi(N)} \right) \\ -\frac{\partial U'(N)}{\partial p(N)} & \frac{1}{e\hbar} \left( \frac{\partial J_n'(M)}{\partial n(N)} - \frac{\partial J_n'(M-1)}{\partial n(N)} \right) - \frac{\partial U'(N)}{\partial n(N)} & \frac{1}{e\hbar} \left( \frac{\partial J_n'(M)}{\partial \psi(N)} - \frac{\partial J_n'(M-1)}{\partial \psi(N)} \right) \\ e & -e & -\frac{\epsilon(M-1) + \epsilon(M)}{\hbar^2} \end{pmatrix}$$

$$C = \begin{pmatrix} \frac{1}{e\hbar} \frac{\partial J_p'(M)}{\partial p(N+1)} & 0 & \frac{1}{e\hbar} \frac{\partial J_p'(M)}{\partial \psi(N+1)} \\ 0 & \frac{1}{e\hbar} \frac{\partial J_n'(M)}{\partial n(N+1)} & \frac{1}{e\hbar} \frac{\partial J_n'(M)}{\partial \psi(N+1)} \\ 0 & 0 & \frac{\epsilon(M)}{\hbar^2} \end{pmatrix}$$

$$f = \begin{pmatrix} -\frac{1}{e\hbar} [J_p'(M) - J_p'(M-1)] - U'(N) \\ -\frac{1}{e\hbar} [J_n'(M) - J_n'(M-1)] + U'(N) \\ -e [p(N) + p'(N) - n'(N)] - \frac{\epsilon(M-1)}{\hbar^2} \psi'(N-1) + \frac{\epsilon(M-1) + \epsilon(M)}{\hbar^2} \psi'(N) - \frac{\epsilon(M)}{\hbar^2} \psi'(N+1) \end{pmatrix}$$

(A-6)



行列要素の偏微分項は、電流方程式 (3-34), (3-36) や SRH 式 (3-42) から次のように求まる。

$$\frac{\partial J_p(M)}{\partial p(N)} = \frac{e}{h} \lambda_{p_1}(M) \quad \frac{\partial J_p(M)}{\partial p(N+1)} = \frac{e}{h} \lambda_{p_2}(M)$$

$$\begin{aligned} \frac{\partial J_p(M)}{\partial \psi(N)} &= \frac{e}{h} \left[ \frac{\partial \lambda_{p_1}(M)}{\partial \psi(N)} p(N) + \frac{\partial \lambda_{p_2}(M)}{\partial \psi(N)} p(N+1) \right] \\ &= \frac{e \mu_p(M)}{h} \left[ \frac{p(N)}{1 - e^{-\beta_p(M)}} \left( 1 - \frac{\beta_p(M) e^{-\beta_p(M)}}{1 - e^{-\beta_p(M)}} \right) + \frac{p(N+1)}{1 - e^{-\beta_p(M)}} \left( 1 + \frac{\beta_p(M) e^{-\beta_p(M)}}{1 - e^{-\beta_p(M)}} \right) \right] \end{aligned}$$

$$\frac{\partial J_p(M)}{\partial \psi(N+1)} = - \frac{\partial J_p(M)}{\partial \psi(N)}$$

$$\frac{\partial J_n(M)}{\partial n(N)} = \frac{e}{h} \lambda_{n_1}(M) \quad \frac{\partial J_n(M)}{\partial n(N+1)} = \frac{e}{h} \lambda_{n_2}(M)$$

$$\begin{aligned} \frac{\partial J_n(M)}{\partial \psi(N)} &= \frac{e}{h} \left[ \frac{\partial \lambda_{n_1}(M)}{\partial \psi(N)} n(N) + \frac{\partial \lambda_{n_2}(M)}{\partial \psi(N)} n(N+1) \right] \\ &= \frac{e \mu_n(M)}{h} \left[ \frac{n(N)}{1 - e^{-\beta_n(M)}} \left( 1 + \frac{\beta_n(M) e^{-\beta_n(M)}}{1 - e^{-\beta_n(M)}} \right) + \frac{n(N+1)}{1 - e^{-\beta_n(M)}} \left( 1 - \frac{\beta_n(M) e^{-\beta_n(M)}}{1 - e^{-\beta_n(M)}} \right) \right] \end{aligned}$$

$$\frac{\partial J_n(M)}{\partial \psi(N+1)} = - \frac{\partial J_n(M)}{\partial \psi(N)}$$

$$\frac{\partial U(N)}{\partial p(N)} = \frac{n(N) - \tau_n U(N)}{\tau_n (p(N) + n_i(N)) + \tau_p (n(N) + n_i(N))}$$

$$\frac{\partial U(N)}{\partial n(N)} = \frac{p(N) - \tau_p U(N)}{\tau_n (p(N) + n_i(N)) + \tau_p (n(N) + n_i(N))}$$

$$U(N) = \frac{p(N)n(N) - n_i(N)^2}{\tau_n (p(N) + n_i(N)) + \tau_p (n(N) + n_i(N))}$$

(A-7)

(2) ベースの取り扱い

$x_B$  に対する分割点を  $N_B$  とすると、(3-28) を微分して、

$$\delta P(N_B) + \theta P(N_B) \delta \psi(N_B) = 0 \quad (A-8)$$

$N = N_B$  に対する (A-5) 式の正孔電流連続方程式 (第1行) を (A-8) で置きかえる。

$$\begin{bmatrix} 0 & 0 & 0 \\ \dots & \dots & \dots \\ \dots & \dots & \dots \end{bmatrix} \delta y(N_B-1) + \begin{bmatrix} 1 & 0 & \theta P(N_B) \\ \dots & \dots & \dots \\ \dots & \dots & \dots \end{bmatrix} \begin{bmatrix} \delta P(N_B) \\ \delta \eta(N_B) \\ \delta \psi(N_B) \end{bmatrix} + \begin{bmatrix} 0 & 0 & 0 \\ \dots & \dots & \dots \\ \dots & \dots & \dots \end{bmatrix} \delta y(N_B+1) = \begin{bmatrix} 0 \\ \dots \\ \dots \end{bmatrix} \quad (A-9)$$

( ) かり  $N = N_B$  では正孔電流の連続は成立しない。これは1次元モデルではベース電流を2次元的に取り出すことができないためである。

(3) (A-5) 式の解き方

(A-5) は  $3(L-2) \times 3(L-2)$  の大きな係数行列を持つが、 $3 \times 3$  行列をブロックとするブロック三角対行列だから、比較的簡単に解くことができる。

(A-5) を  $\delta y(N)$  と  $\delta y(N+1)$  だけを使って次のように表わすことができる。

$$B'(N) \delta y(N) + C'(N) \delta y(N+1) = f'(N) \quad (A-10)$$

( ) だし

$$B'(N) = B(N) - A(N) B'(N-1)^{-1} C'(N-1)$$

$$C'(N) = C(N)$$

$$f'(N) = f(N) - A(N) B'(N-1)^{-1} f'(N-1) \quad 3 \leq N \leq L-1$$

$$B'(2) = B(2), \quad C'(2) = C(2), \quad f'(2) = f(2) \quad (A-11)$$

(A-11) は逆行列の計算を含むが、 $3 \times 3$  なので、公式通り求めればよい。したがって、(A-11) より  $N = 2$  から  $N = L-1$  まで順次  $B', C', f'$  が求まる。次に、 $\delta y(L) = 0$  だから、(A-10) より  $N = L-1$  から 2 まで順次  $\delta y(N)$  が求まり、(A-5) を解くことができる。

以上より求まった  $\delta y(N)$  で、 $y(N) = y'(N) + \delta y(N)$  と修正して、再び同じ課程を繰り返す。  $|\delta y(N)/y(N)|$  が十分小さくなるまで、計算を繰り返す。そして、求まった  $p, m, \psi$  から、 $J_e, J_c, Q_{ex}$ などを求める。(倍精度で計算すると  $\max |\delta y/y| < 10^{-11}$  の精度が得られた。)

#### (4) 実際の計算上の注意

エミッタやコレクタのコンタクト付近では、 $\psi(N) \approx \psi(N+1)$  となって  $\beta_p, \beta_m \rightarrow 0$  となる場合がある。そのとき、 $\lambda_{p1}, \lambda_{p2}, \lambda_{n1}, \lambda_{n2}, \frac{\partial \lambda_{p1}}{\partial \psi}, \frac{\partial \lambda_{p2}}{\partial \psi}, \frac{\partial \lambda_{n1}}{\partial \psi}, \frac{\partial \lambda_{n2}}{\partial \psi}$  を計算するとき、問題が生じる。たとえば、

$$\lambda_{p1}(M) = \frac{\mu_p(M)}{\theta} \cdot \frac{\beta_p(M)}{1 - e^{-\beta_p(M)}} \quad (A-12)$$

だから  $\beta_p \rightarrow 0$  の場合 (A-12) のままではエラーになる。したがって  $e^{-\beta_p}$  を 2 次の項まで展開して、

$$\lambda_{p1} = \frac{\mu_p}{\theta} \frac{1}{1 - \frac{\beta_p}{2}} \quad (A-13)$$

で求めればよい。それでは  $\beta_p$  がどれくらい小さくなったら (A-13) を使えばいいだろうか。

$$1 - e^{-x} = x - \frac{x^2}{2!} + \frac{x^3}{3!} + \dots$$

だから 2 次の項までとると、 $\left| \frac{x^3}{3!} / x - \frac{x^2}{2!} \right| \approx \frac{x^2}{6}$  だから、 $|x| < 10^{-n}$  で近似式を使った場合、 $2n$  けたの精度が保障される。したがって、計算に用いる変数の精度が  $2n$  けたならば、 $|\beta_p| < 10^{-n}$  で (A-13) を使えばよい。逆に、 $|\beta_p| < 10^{-n}$  で (A-12) を使うと、精度がかえって悪くなる。

## 付録C

### Hg<sub>1-x</sub>Cd<sub>x</sub>Teの結晶成長

図c.1に示したLPE装置でHg<sub>1-x</sub>Cd<sub>x</sub>Teの結晶成長を試みた。溶媒にはTe、基板にはCdTeを使う。Hg<sub>1-x</sub>Cd<sub>x</sub>TeのLPEの特徴は、Hgの蒸気圧が高いので成長用の溶液からのHg蒸気の蒸発をいかにして防いで成長用の溶液の組成を希望の組成に保つかである。そのためにH<sub>2</sub>ガスの上流部にHgボートを置いて、その温度を精密に制御して成長系のHg蒸気圧を制御する方法を用いている。[Harman 81]

図c.2にTeリッチ溶液の液相線と固相線を示す。[Harman 80] この図よりHg蒸気圧制御の重要性がわかる。溶液の秤量組成をO点とすると、気相中のHg分圧が、溶液と平衡するHg分圧よりも小さいと、溶液からHgが蒸発して組成がA点の方向へ移動する。その結果、液相化温度が下がりメルトバックが生じるとともに成長層のx値が目標よりも大きくなる。逆に気相中のHg分圧が、溶液と平衡するHg分圧よりも大きいと、相図上を結晶核を発生しながらBへ移動し、ヒルロックなどを生じ成長層のx値が目標よりも小さくなる。500℃で、x=0.3の固相を析出する組成の溶液と平衡するHg蒸気圧は、0.1気圧なのでその分圧と平衡するHg単体の温度は260℃である。

しかし実際の成長系ではガスの流れの影響などでHgボートの温度は290℃付近にする。H<sub>2</sub>ガス流量にも敏感なので流量も精密に制御する必要がある。

図c.3に成長した結晶の表面を示す。ヒルロックができているのが観察される。この結晶はx=0.3の固相を析出するのを目標に成長をしたができた結晶はEPMA測定によるとx=0.15であった。ヒルロックの発生と合わせて、成長中にガス流量変化かなにかが起こって気相中のHg分圧が大きくなったと考えられる。

図C-1 Hg<sub>1-x</sub>Cd<sub>x</sub>Te用LPEシステム概略図

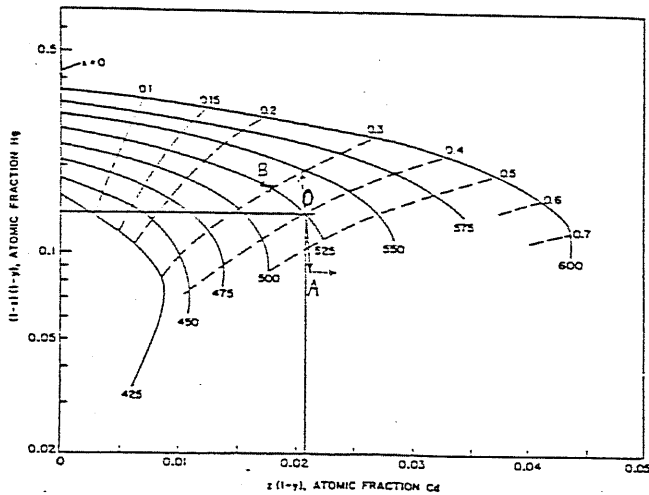
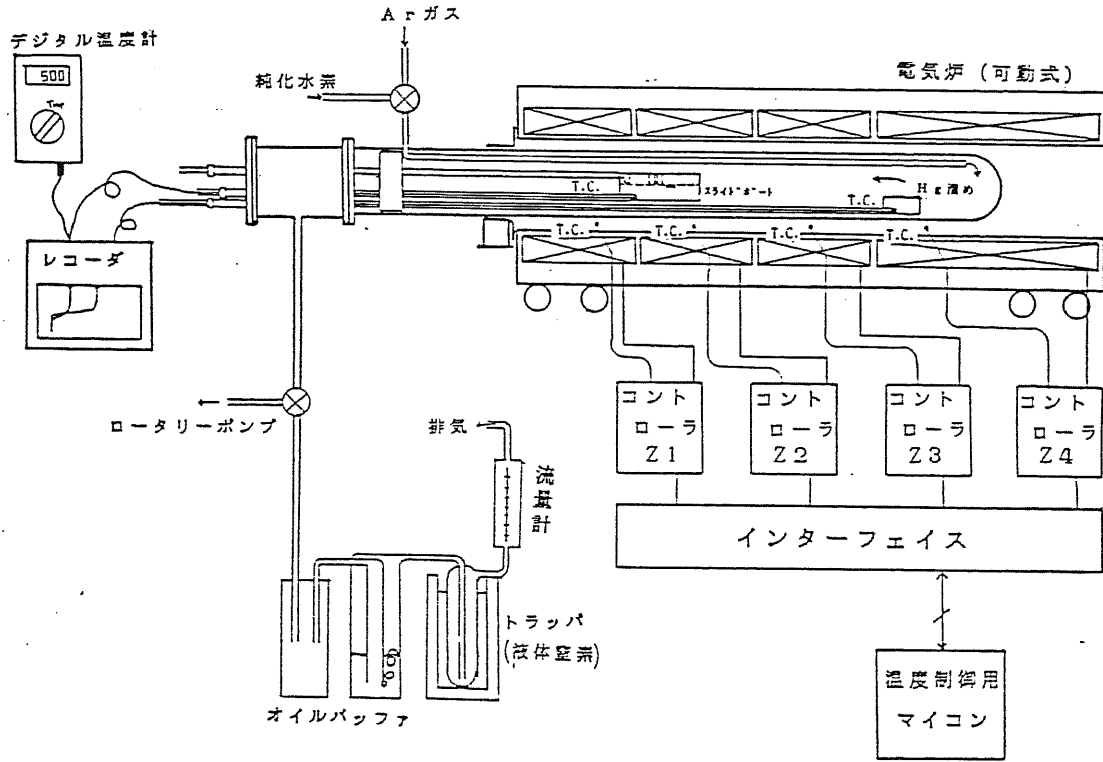
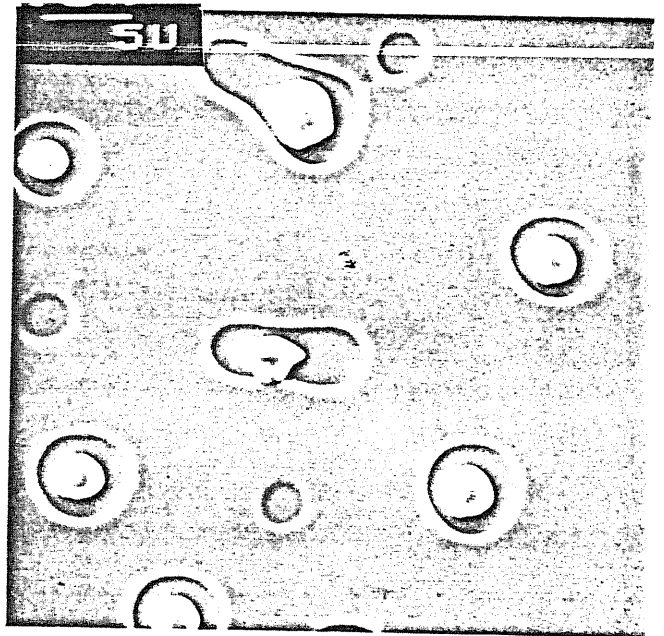


FIG. 10. Interrelationships between MDO liquidus (—) for (Cd,Hg<sub>1-x</sub>)<sub>2</sub>Te<sub>3</sub> and LPE solidus (---) for Cd<sub>1-x</sub>Hg<sub>x</sub>Te for crystal growth from Te-rich melts. [From Harman (1980).]

図C.2 Te-rich 溶液の液相線と固相線



図C.3 成長した結晶の表面

[Harman 80]

T.C.Harman: J.Electron.Mater. 9(1981)945.

[Harman 81]

T.C.Harman: J.Electron.Mater. 10(1981)1069.