



頁 237

## 学位論文

撮像面上での圧縮・強調を行なう  
高機能イメージセンサに関する研究

平成 8 年 12 月 20 日

指導教官 相澤 清晴 助教授

東京大学大学院  
工学系研究科電気工学専攻

浜本 隆之

# 目次

|       |                                   |    |
|-------|-----------------------------------|----|
| 1     | 序論                                | 11 |
| 1.1   | 本論文の背景                            | 11 |
| 1.1.1 | 画像入力部における諸課題                      | 11 |
| 1.1.2 | イメージセンサの高機能化                      | 14 |
| 1.2   | 本論文の目的                            | 15 |
| 1.3   | 本論文の構成                            | 16 |
| 2     | コンピュータショナルイメージセンサ                 | 19 |
| 2.1   | はじめに                              | 19 |
| 2.2   | コンピュータショナルイメージセンサの概念              | 19 |
| 2.3   | システム全体におけるイメージセンサと画像処理回路の統合の効果と課題 | 20 |
| 2.4   | 画像処理の統合による撮像素子の性能向上               | 22 |
| 2.5   | コンピュータショナルイメージセンサの研究動向            | 23 |
| 2.6   | まとめ                               | 28 |
| 3     | 動画画像圧縮イメージセンサ                     | 29 |
| 3.1   | はじめに                              | 29 |
| 3.2   | 条件付き画素補充方式                        | 30 |
| 3.2.1 | 条件付き画素補充方式の原理                     | 30 |
| 3.2.2 | 条件付き画素補充方式による動画画像圧縮センサの処理の流れ      | 33 |
| 3.3   | 条件付き画素補充方式の評価                     | 33 |
| 3.3.1 | 可変レート符号化による画質評価                   | 34 |
| 3.3.2 | 定レート符号化による画質評価                    | 34 |
| 3.3.3 | 撮像の高速化による圧縮効率の改善                  | 34 |
| 3.4   | 動画画像圧縮センサの応用                      | 40 |
| 3.5   | まとめ                               | 40 |
| 4     | 列並列処理構成による動画画像圧縮イメージセンサの設計および試作   | 41 |
| 4.1   | はじめに                              | 41 |

|          |                                |           |
|----------|--------------------------------|-----------|
| 4.2      | 動画像圧縮センサの構成法                   | 41        |
| 4.3      | 列並列処理構成による動画像圧縮センサの回路設計        | 43        |
| 4.3.1    | 各画素の検出回路の設計                    | 43        |
| 4.3.2    | センサ全体の設計                       | 44        |
| 4.3.3    | 画素値の読み飛ばし出力                    | 47        |
| 4.4      | 動画像圧縮センサの周辺回路                  | 50        |
| 4.5      | プロトタイプチップのレイアウト設計              | 53        |
| 4.6      | 動画像圧縮センサのプロトタイプの試作             | 57        |
| 4.7      | まとめ                            | 59        |
| <b>5</b> | <b>動画像圧縮イメージセンサの評価</b>         | <b>60</b> |
| 5.1      | はじめに                           | 60        |
| 5.2      | 列並列処理構成によるプロトタイプの評価            | 60        |
| 5.2.1    | 通常出力モード時のセンサアレイの動作             | 61        |
| 5.2.2    | 読み飛ばし出力モード時のセンサアレイの動作          | 62        |
| 5.3      | 列並列処理構成のプロトタイプの部分回路を用いた評価      | 67        |
| 5.3.1    | 光電変換特性                         | 67        |
| 5.3.2    | 絶対差分演算の精度                      | 69        |
| 5.3.3    | 水平シフトレジスタの高速動作                 | 69        |
| 5.3.4    | 読み飛ばし機能付き水平シフトレジスタの選択動作        | 70        |
| 5.3.5    | メモリ部でのリーク特性                    | 70        |
| 5.3.6    | 1画素回路による高速撮像動作                 | 78        |
| 5.3.7    | 一行に対する処理速度                     | 82        |
| 5.4      | 画素並列処理構成による動画像圧縮センサの定レート制御     | 84        |
| 5.4.1    | 画素並列処理構成のプロトタイプ [75] のフラグ数集計機能 | 84        |
| 5.4.2    | 即時閾値調整回路による定レート制御              | 84        |
| 5.4.3    | 即時閾値調整回路による定レート制御の動作           | 85        |
| 5.5      | まとめ                            | 89        |
| <b>6</b> | <b>動き適応イメージセンサ</b>             | <b>91</b> |
| 6.1      | はじめに                           | 91        |
| 6.2      | 適応イメージセンサ                      | 91        |
| 6.3      | 動き適応イメージセンサ                    | 92        |
| 6.4      | 動き適応蓄積時間の原理                    | 94        |
| 6.4.1    | 飽和の検出                          | 95        |
| 6.4.2    | 動きの検出                          | 98        |
| 6.5      | 動き適応蓄積時間の評価                    | 99        |

|       |                               |     |
|-------|-------------------------------|-----|
| 6.5.1 | 静止領域の高画質化                     | 99  |
| 6.5.2 | 広ダイナミックレンジ化                   | 102 |
| 6.6   | 動き適応センサの応用                    | 106 |
| 6.7   | まとめ                           | 106 |
| 7     | 列並列処理構成による動き適応イメージセンサの設計および試作 | 108 |
| 7.1   | はじめに                          | 108 |
| 7.2   | 列並列処理構成による動き適応イメージセンサの回路設計    | 108 |
| 7.2.1 | 各画素の回路設計                      | 108 |
| 7.2.2 | センサ全体の設計                      | 109 |
| 7.3   | 動き適応センサの周辺回路と画像の再構成           | 111 |
| 7.3.1 | 即時処理による画像再構成                  | 111 |
| 7.3.2 | 記録系を利用した遅延処理による画像再構成          | 114 |
| 7.4   | プロトタイプチップのレイアウト設計             | 117 |
| 7.5   | プロトタイプの試作                     | 121 |
| 7.6   | まとめ                           | 121 |
| 8     | 動き適応イメージセンサの評価                | 123 |
| 8.1   | はじめに                          | 123 |
| 8.2   | センサアレイの評価                     | 123 |
| 8.2.1 | 動きおよび飽和の検出                    | 125 |
| 8.2.2 | フラグ情報を用いた画像の再構成               | 128 |
| 8.2.3 | 動き適応蓄積時間による高画質化               | 128 |
| 8.2.4 | 動き適応蓄積時間による広ダイナミックレンジ化        | 128 |
| 8.2.5 | リークによる PD2 出力の電圧降下            | 132 |
| 8.2.6 | 読み飛ばし出力モード時の動作                | 132 |
| 8.3   | プロトタイプの部分回路を用いた評価             | 134 |
| 8.3.1 | $I_t$ を求める差分演算の精度             | 134 |
| 8.3.2 | 1 画素回路による画素値の出力変化             | 136 |
| 8.3.3 | 1 画素回路による $I_t$ の演算動作         | 138 |
| 8.3.4 | 1 画素回路による飽和および動き検出            | 138 |
| 8.3.5 | 検出処理回路の処理速度                   | 140 |
| 8.4   | まとめ                           | 142 |
| 9     | 結論                            | 145 |
| 9.1   | 本論文の成果                        | 145 |
| 9.2   | 今後の課題                         | 148 |

---

|       |                                   |     |
|-------|-----------------------------------|-----|
| 9.2.1 | 列並列処理構成のプロトタイプにおける閾値の調整 . . . . . | 148 |
| 9.2.2 | アナログメモリのリーク対策 . . . . .           | 148 |
| 9.2.3 | 提案センサの性能改善 . . . . .              | 149 |
| 9.2.4 | 高機能センサの処理構成 . . . . .             | 150 |
| 参考文献  |                                   | 158 |

## 図目次

|     |  |    |
|-----|--|----|
| 1.1 | 従来の画像処理システム . . . . .  | 15 |
| 2.1 | コンピュータショナルイメージセンサ . . . . .  | 20 |
| 2.2 | シリコン網膜の構成 . . . . .  | 24 |
| 2.3 | 中心窩の画素配置 . . . . .   | 27 |
| 2.4 | 衝突時間を演算するセンサの画素配置 . . . . .  | 27 |
| 3.1 | 従来の画像処理システムにおける読み出しおよび伝送部におけるボトルネック . . . . .  | 30 |
| 3.2 | Description of coding algorithm in each pixel by conditional replenishment   | 31 |
| 3.3 | Detection of moving pixels; top: current frame compared to the value in the memory, middle: threshold 3, compression ratio 5:1 and bottom: threshold 10, compression ratio 10:1 (left: pixels detected as moving and right: reconstructed image) . . . . . | 32 |
| 3.4 | 動画像圧縮センサの処理の流れ [74] . . . . .  | 33 |
| 3.5 | Coding performances under the VPR control . . . . .  | 35 |
| 3.6 | Diagram of rate-control . . . . .  | 36 |
| 3.7 | Coding performances under the CPR control . . . . .  | 37 |
| 3.8 | Reconstructed sequence under the CPR control; from top to 3th row: original sequence, from 4th to bottom: under 10 % pixel rate . . . . .  | 38 |
| 3.9 | SNR results for different imaging speed . . . . .  | 39 |
| 4.1 | Description of the architecture for image compression sensor . . . . .   | 42 |
| 4.2 | An analog circuit of a pixel for column parallel architecture . . . . .  | 45 |
| 4.3 | Responce of photo diode and memory values . . . . .  | 46 |
| 4.4 | Block diagram of column parallel type sensor . . . . .   | 48 |
| 4.5 | Timing chart . . . . .   | 49 |
| 4.6 | smart scanning horizontal shift register . . . . .   | 50 |
| 4.7 | output timing of video signal and flag signal . . . . .  | 51 |
| 4.8 | 動画像圧縮センサとその周辺回路 . . . . .  | 52 |

|      |  |    |
|------|--|----|
| 4.9  | Layout of new compression sensor based on column parallel architecture . | 54 |
| 4.10 | Layout of transducer area in Figure 4.9 . . . . .                        | 55 |
| 4.11 | Layout of memory area in Figure 4.9 . . . . .                            | 55 |
| 4.12 | Layout of processing area in Figure 4.9 . . . . .                        | 56 |
| 4.13 | 試作チップ . . . . .  | 58 |
| 4.14 | プロトタイプの各部の拡大図 . . . . .  | 58 |
| 5.1  | プロトタイプによる撮像例 . . . . .   | 61 |
| 5.2  | プロトタイプの評価システム . . . . .  | 62 |
| 5.3  | 光を点滅した場合の出力（通常動作時）；左から画素値信号、フラグ信号、再構成画像 . . . . .                        | 63 |
| 5.4  | 文字を横に移動した場合の出力（通常動作時）；左から画素値信号、フラグ信号、再構成画像 . . . . .                     | 64 |
| 5.5  | 光を点滅した場合の出力（読み飛ばし動作時）；左から画素値信号、フラグ信号、再構成画像 . . . . .                     | 65 |
| 5.6  | 文字を横に移動した場合の出力（読み飛ばし動作時）；左から画素値信号、フラグ信号、再構成画像 . . . . .                  | 66 |
| 5.7  | 文字を横に移動した際の出力画素数の変化 . . . . .  | 67 |
| 5.8  | 光電変換特性実験のためのテグ回路 . . . . .   | 68 |
| 5.9  | 光電変換特性 . . . . .   | 68 |
| 5.10 | 絶対差分演算特性実験のためのテグ回路 . . . . .   | 69 |
| 5.11 | 絶対差分演算特性 . . . . .   | 70 |
| 5.12 | 3画素分の水平シフトレジスタによるテグ回路 . . . . .  | 71 |
| 5.13 | 水平シフトレジスタの高速動作 . . . . .   | 71 |
| 5.14 | 3画素分の読み飛ばし機能付き水平シフトレジスタによるテグ回路 . . . . .                                 | 72 |
| 5.15 | 読み飛ばし水平シフトレジスタの動作 . . . . .  | 73 |
| 5.16 | メモリのリーク特性実験のためのテグ回路 . . . . .  | 74 |
| 5.17 | スイッチ動作がない時のメモリのリーク特性 . . . . .   | 75 |
| 5.18 | メモリ部のリーク特性実験における制御パルスのタイミング . . . . .                                    | 76 |
| 5.19 | スイッチ動作時のメモリのリーク特性 . . . . .  | 77 |
| 5.20 | 1画素回路による高速撮像の動作確認 . . . . .  | 79 |
| 5.21 | 1画素回路の制御パルスのタイミング . . . . .  | 79 |
| 5.22 | 1画素回路の高速動作; 上:LED 制御電圧, 下:PD 出力電圧 $V_A$ . . . . .                        | 80 |
| 5.23 | 1画素回路の高速動作; 上:LED 制御電圧, 下:メモリ出力電圧 $V_B$ ( $V_{th} = 1.0V$ ) . . . . .    | 80 |
| 5.24 | 1画素回路の高速動作; 上:LED 制御電圧, 下:メモリ出力電圧 $V_B$ ( $V_{th} = 2.0V$ ) . . . . .    | 81 |

|      |   |     |
|------|---|-----|
| 5.25 | 1画素回路の高速動作; 上:LED 制御電圧, 下:メモリ出力電圧 $V_B$ ( $V_{th} = 3.5V$ )   | 81  |
| 5.26 | 処理速度の実験における制御パルスのタイミング  | 82  |
| 5.27 | メモリ値の更新 (立ち上がり) ; [上段:下段の囲み内の拡大図], [下段: 上:画素出力値 $V_A$ , 下:メモリ出力値 $V_B$ ]  | 83  |
| 5.28 | メモリ値の更新 (立ち下がり) ; [上段:下段の囲み内の拡大図], [下段: 上:画素出力値 $V_A$ , 下:メモリ出力値 $V_B$ ]  | 83  |
| 5.29 | 画素並列処理構成プロトタイプのフラグ数集計機能   | 84  |
| 5.30 | 定レート制御のための閾値調整  | 85  |
| 5.31 | 即時閾値調整回路  | 86  |
| 5.32 | 即時閾値調整回路の動作のタイミング   | 86  |
| 5.33 | 即時閾値調整回路の動作 (低速にて移動) ; 上から SW3 への入力信号、参照電圧 $V_{ref}$ 、フラグ集計電圧 $V_{count}$ 、閾値電圧 $V_{th}$  | 87  |
| 5.34 | 即時閾値調整回路の動作 (高速にて移動) ; 上から SW3 への入力信号、参照電圧 $V_{ref}$ 、フラグ集計電圧 $V_{count}$ 、閾値電圧 $V_{th}$  | 88  |
| 5.35 | 即時閾値調整回路の動作時におけるフラグ出力信号   | 88  |
| 6.1  | 従来のイメージセンサの動作形態   | 92  |
| 6.2  | 適応イメージセンサの動作形態  | 93  |
| 6.3  | Description of processing in each pixel of the motion adaptive enhancement sensor   | 96  |
| 6.4  | 動き適応蓄積時間によるフォトダイオードの出力電圧の変化   | 96  |
| 6.5  | 飽和画素の検出   | 97  |
| 6.6  | 動き画素の検出   | 98  |
| 6.7  | A test sequence in experiments (white line is the pixels at $x = 85$ )  | 100 |
| 6.8  | Y-Time cross section images of Figure   | 100 |
| 6.9  | 出力画素数の変化  | 101 |
| 6.10 | A example of simulation result used in the test sequence ( left : an image used for experiments, and right : an image acquired by the proposed sensor ) | 101 |
| 6.11 | 圧縮効率と画質の関係  | 102 |
| 6.12 | 動き適応センサによる画質の改善   | 103 |
| 6.13 | 従来センサの撮像  | 103 |
| 6.14 | 動き適応センサの撮像  | 104 |
| 6.15 | 広ダイナミックレンジ化の実現  | 105 |



|      |   |     |
|------|---|-----|
| 6.16 | Still pictures in experiments acquired by CCD with electronic shutter; From left to right, top to bottom (4th row): storage time is 1/250, 1/125, 1/100, 1/30, 1/15, 1/10, 1/7.5 and 1/6 second, respectively. Bottom most: simulation of the picture by the motion adaptive image sensor . . . | 107 |
| 7.1  | An analog circuit designed for a pixel of the motion adaptive enhancement sensor . . . . .  | 110 |
| 7.2  | Block diagram of the motion adaptive enhancement sensor . . . . .   | 112 |
| 7.3  | Timing chart . . . . .  | 113 |
| 7.4  | 動き適応センサとその周辺回路 - 即時処理 - . . . . .   | 114 |
| 7.5  | 即時処理による画像の再構成 . . . . .   | 115 |
| 7.6  | 動き適応センサとその周辺回路 - 記録系を利用した遅延処理 - . . . . .   | 116 |
| 7.7  | 記録系を利用した遅延処理による画像の再構成 . . . . .   | 116 |
| 7.8  | Layout of motion adaptive sensor . . . . .  | 118 |
| 7.9  | Layout of transducer area in Figure 7.8 . . . . .   | 119 |
| 7.10 | Layout of memory area in Figure 7.8 . . . . .   | 119 |
| 7.11 | Layout of processing area in Figure 7.8 . . . . .   | 120 |
| 7.12 | 動き適応センサのプロトタイプチップ . . . . .   | 122 |
| 8.1  | プロトタイプの評価システム . . . . .   | 124 |
| 8.2  | 動き適応センサの撮像例; 左から PD1 出力、PD2 出力、フラグ信号 . . .  | 125 |
| 8.3  | 光を点滅した場合の出力; 左から PD1 出力、フラグ信号、動き検出のみを示す信号 (3 行目で投影ランプ光が新たに加えられている) . . . . .  | 126 |
| 8.4  | 文字を横に移動した場合の出力; 左から PD1 出力信号、フラグ信号、動き検出のみを示す信号 . . . . .  | 127 |
| 8.5  | 文字を横に移動した場合の再構成画像 (動き検出をしない場合: 閾値 0V) ; 左から再構成画像、フラグ信号 . . . . .  | 129 |
| 8.6  | 文字を横に移動した場合の再構成画像 (動き検出をする場合: 閾値 2V) ; 左から再構成画像、フラグ信号 . . . . .   | 130 |
| 8.7  | 静止領域の高画質化 . . . . .   | 131 |
| 8.8  | ダイナミックレンジの拡大 . . . . .  | 133 |
| 8.9  | 画素値信号の出力例 . . . . .   | 134 |
| 8.10 | 読み飛ばし動作時の出力結果; 左から PD1 出力、PD2 出力、フラグ信号 .  | 135 |
| 8.11 | 読み飛ばし動作時の出力画素数の例 . . . . .  | 136 |
| 8.12 | $I_t$ の演算特性実験のためのテグ回路 . . . . .   | 137 |
| 8.13 | $I_t$ の演算特性 . . . . .   | 137 |
| 8.14 | 1 画素からなるテグ回路の制御パルスのタイミング . . . . .  | 138 |

|      |   |     |
|------|---|-----|
| 8.15 | 1画素素子の撮像例（全画素出力時）；上からPD1出力、PD2出力、LED<br>駆動電圧                | 139 |
| 8.16 | 1画素素子の撮像例（通常出力時）；上からPD1出力、PD2出力、LED<br>駆動電圧                 | 139 |
| 8.17 | $I_t$ 演算の動特性；上からPD1出力、PD2出力、 $I_t$ 値、LED駆動電圧                | 140 |
| 8.18 | 1画素回路の飽和および動き検出（動き閾値1.5V）；上からPD1出力、飽和<br>検出信号、フラグ信号、LED駆動電圧 | 141 |
| 8.19 | 1画素回路の飽和および動き検出（動き閾値2.0V）；上からPD1出力、飽和<br>検出信号、フラグ信号、LED駆動電圧 | 141 |
| 8.20 | 1画素回路の飽和および動き検出（動き閾値2.5V）；上からPD1出力、飽和<br>検出信号、フラグ信号、LED駆動電圧 | 142 |
| 8.21 | 1画素回路の処理速度；上からPD1出力、フラグ信号、メモリ出力値 $V_B$ 、<br>選択信号 $V_{row}$  | 143 |
| 9.1  | メモリ部でのリーク電流の抑圧  | 149 |

## 表目次

|     |  |     |
|-----|--|-----|
| 2.1 | コンピューテーショナルセンサの機能 . . . . .  | 24  |
| 2.2 | コンピューテーショナルセンサの処理 . . . . .  | 25  |
| 2.3 | コンピューテーショナルセンサの画素配置 . . . . .  | 26  |
| 2.4 | コンピューテーショナルセンサの利用プロセス . . . . .  | 26  |
| 4.1 | Comparison between first and second prototype of pixel-parallel architecture | 43  |
| 4.2 | Outline of prototype of new compression sensor . . . . .                     | 57  |
| 7.1 | Outline of prototype of motion adaptive sensor . . . . .                     | 121 |

# 第 1 章

## 序論

### 1.1 本論文の背景

情報入力、その後の処理の性能を左右する重要な役割を担っている。撮像素子は画像情報を利用した様々なシステムにおける入力部に当たり、システム全体の画質を支配しているといっても過言ではない。

従来、撮像デバイスはテレビ放送や画像計測などの比較的限られた範囲で利用されてきた。しかし、近年のイメージセンサの高画質化、低コスト化などに伴い、画像通信や家庭用ビデオ、OA 機器や産業ロボット、医療機器等急速に応用範囲が広がっている [1]。これからのマルチメディア社会においては、イメージセンサの役割はますます重要なものとなり、高品質で利便性の高いイメージセンサの実現が期待されている。

1970 年代における CCD の発明以来、固体撮像素子は LSI の設計技術や半導体プロセスの進歩にともない劇的な発展を続けてきた。開発の当初、撮像管を越える高画質化や高精細化を目標としていたイメージセンサは、現在では HDTV レベルの画素数の実装までを可能にしようとしている。本項では、これまで画像入力部が抱えてきた高品質化に向けた諸課題を、簡単に説明する。また、このような高品質化の流れとは根本的に異なり、イメージセンサの役割を単なる光電変換素子から大幅に変化させ、センサ上に様々な機能を統合する新たな試みについて説明する。

#### 1.1.1 画像入力部における諸課題

イメージセンサが抱えるいくつかの研究課題をまとめる [2][3]。以下の諸課題は、相互に複雑に関連しており、どれか一つを切り出して扱うことは難しく、協調して研究を進める必要がある。

#### 高 S/N 化

イメージセンサの高画質化は最も重要な研究課題であり、これまで多くの努力が傾注されてきた。以下に、イメージセンサの画質劣化に関わる項目を簡単に説明する。

- 雑音

イメージセンサの出力に含まれる雑音には、固定パターン雑音とランダム雑音がある。固定パターン雑音は、出力画像の決まった位置に発生する雑音である。その原因としては、マスク寸法むら、製造過程での露光むら、基板結晶やプロセスの不均一による暗電流のばらつき、容量結合による駆動パルスの混入が挙げられる。一方、ランダム雑音は時間的または空間的に完全に不規則に生ずる雑音である。信号のショット雑音、暗電流のショット雑音、リセット雑音などがその原因である。このような雑音は、デバイス上の工夫と共に、相関二重サンプリングのような読み出しの工夫などにより抑圧できる。

- 偽信号

ブルーミングは、撮像面上に強い光が局所的に入射した際に、発生した過剰キャリアが隣接領域の画素まで流入し偽信号となる現象である。また、飽和光量以下の入射光ではあるが周囲光の反射散乱等によるブルーミング同様の漏れ込みをスミアと呼ぶ。これらは、構造の工夫などにより実用上支障のないレベルまで減らすことが可能である。さらに、モアレと呼ばれる高い空間周波数成分での折り返しは、イメージセンサの前面に光学的ローパスフィルタを導入することで、実用レベルまで下げることができる。

- 残像

残像とは、フォトダイオード等の受光部で蓄えられた蓄積電荷を、読み出し時間内にて全て出力できない場合や、リセット動作が不完全である場合に生じる。残像があると、高速に移動する物体がぼけたり、尾を引くように見える。現在では構造上の工夫により、固体撮像素子における残像は実用上無視できる。

## 高感度化

イメージセンサの小型化、高精細化につれて、開口率の減少による実質的な感度の低下に伴い、センサそのものの感度の向上が重要課題となっている [4]。感度の向上には、信号成分を増やすあるいは雑音を減らすという 2 つの方法がある。入射光量を増やす試みとしては、受光面にマイクロレンズを堆積し実効開口率を向上するものや、構造の積層化等により開口率を改善する手法が挙げられる。一方、画素内に増幅回路などを用意した AMI、SIT、CMD や、アバランシェフォトダイオードを用いた APD 等の内部増幅型イメージセンサにより、信号成分を増やす試みも行われている。また、蓄積電荷を長くし信号を増やす方法もあるが、従来の手法では被写体が動かない静止画を対象にしている。

## 広ダイナミックレンジ化

イメージセンサが様々な用途に利用されるにつれ、広いダイナミックレンジでの撮像が必要となっている。広ダイナミックレンジ手法としては、イメージセンサの構造上の工夫の他に、MOSのサブスレシヨールド領域を利用した非線形読み出し [5] や、非破壊型イメージセンサを用いて蓄積時間の異なる信号を多数回読み出す方法 [6]、フォトダイオードの蓄積容量を段階的に大きくすることで光電変換の傾きを制御する方法 [7] などが検討されている。

## 高速度化

高速度撮像は、従来からの特殊撮像以外にもマシンビジョン応用など、その応用範囲が広がる傾向にある。高速撮像を困難にする大きな原因は、センサ外部に転送する際の I/O ボトルネックである。そこで、イメージセンサをいくつかの部分に分割して、それらを同時に走査し多線にて出力することで、高速化を達成している [8]。また、出力フレーム数は増加しないが、電子シャッタ機能 [2] では不要電荷を基板に逃がすことで、高速に移動している物体をとらえることができる。なお、高速度撮像では実質的な入射光量が減少するため、高感度化も重要な課題となる。

## 高精細化

マルチメディア、臨場感通信においては、HDTV を越えた超高精細化の実現が期待されている。しかし、例えば画素数が 100 万画素を越えるセンサでは、読み出し速度が 35MHz 以上となり、画素数の増加につれて従来の水平 CCD レジスタによる順次出力では、充分対応できなくなっている。そこで、高精細イメージセンサでも高速センサと同様に、画面を分割し複数の出力線にて出力することで高精細化を実現している [9]。また、出力画素数を増加させずに高精細化を実現する手法としては、フォトダイオードを半画素ずつずらして配置し出力後補間を行う方法や、センサそのものを振動させることで解像度の向上を図るスイング素子 [2] 等がある。高精細化では、画素面積が減少し 1 画素あたりの入射光量も減少するので、さらなる高感度化も重要になる。

## 小型化、低消費電力化

カメラの小型化の要求に併せて、イメージセンサの小型化が進められている。チップの小型化により歩留まりが向上し、生産コストの削減にもつながる。また、システム全体の小型化が進むにつれ、イメージセンサに割り当てられる電力が削減されており、さらなる低消費電力化が望まれている。

### 1.1.2 イメージセンサの高機能化

近年、画像入力部では 1.1.1 項で述べた様々な課題に加え、新たに高機能化、インテリジェント化の検討が始められている。従来の課題の様な単に撮像素子の性能改善のみを目指すのではなく、画像処理システム全体の処理性能といったグローバルな見地から、画像入力部における役割を再検討し、イメージセンサの高機能化を図るものである。以下、イメージセンサと制御回路の統合という、いわば従来の撮像素子の延長上に位置する高機能化への試みと、イメージセンサと画像処理の統合という新たな試みについて簡単に説明する。

#### イメージセンサと制御回路との統合

従来のマルチメディアカメラシステムでは、同期信号生成回路や各種制御回路、A/Dコンバータ、信号変換処理回路、デジタルインターフェース等は、イメージセンサの周辺に配置されていた。これに対し、このような周辺回路をイメージセンサ上に一体化し集積することで、マルチメディアカメラの小型化の実現を目指した、“camera on a chip”と呼ばれる試みが行われている [10][11]。一体化カメラの試みは、撮像素子そのものの性能を直接改善するものではないが、カメラシステム全体での小型化や低消費電力化を実現できる。一方で、イメージセンサにとっては同一チップ上の様々なデジタル回路がノイズ発生源になるため、画素信号へのノイズの混入を防ぐ新たな対策が必要になる。

#### イメージセンサと画像処理回路の統合

図 1.1 に示すように、従来の画像処理システムでは、イメージセンサによる撮像、画像信号の伝送、画像信号の処理と大きく 3 つの要素に分離しており、本来 2 次元情報である画像信号は、1 次元に走査し伝送された後、2 次元の画像処理が行なわれていた。これに対し、イメージセンサに直接画像処理回路を統合することで、センサ上で画像処理の一部あるいは全てを行なう新たなシステム形態の検討が行なわれている [12]–[19]。このような高機能センサはコンピューショナルセンサ、スマートセンサ、インテリジェントセンサ、ビジョンチップ等と呼ばれ、画像処理システムにおける一層の高速化や機能の集積化を可能にする新たなイメージセンサとして注目を浴びつつある。コンピューショナルセンサを用いることで、撮像面上での高速で完全並列な画像処理が可能となり、画像処理システム全体の性能の向上が期待されている。

本論文では、以下高機能イメージセンサとして、イメージセンサと画像処理回路の統合に注目し、その検討を行う。

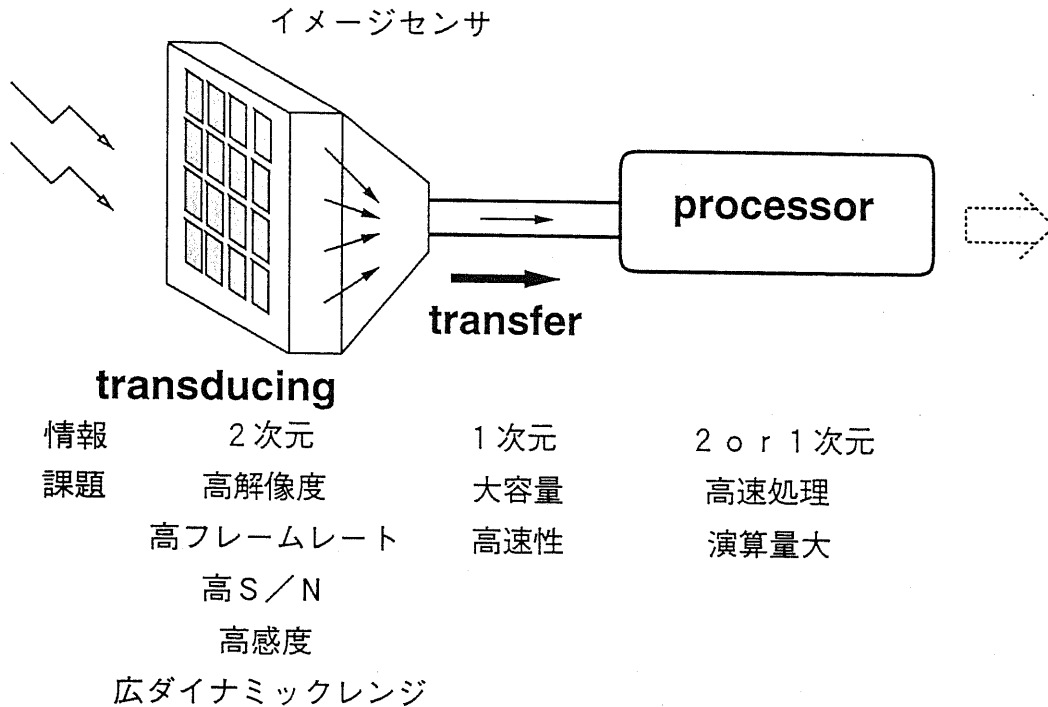


図 1.1: 従来の画像処理システム

## 1.2 本論文の目的

本論文では、イメージセンサと画像処理回路の統合により、イメージセンサの撮像性能の改善を図る2つの高機能イメージセンサを検討し、その有効性を確認することを目的としている。

既に1.1.1項で述べたように、固体撮像素子における画像の高品質化に向けた諸課題に対し、従来より様々な研究が行なわれてきた。それらは、デバイスやレイアウト構造、制御動作などといった工夫に基づくものが大半であり、処理回路との統合に基づくものは少ない。もちろん、多様な技術ブレークスルーによるものではあるが、それらの研究の多くは従来からの研究の延長上に位置づけされ、ある体系化された枠組みの中でとらえることができる。

一方で、1.1.2項で述べた高機能イメージセンサを撮像性能という観点から考えると、その多くは撮像面上での動き検出やエッジ検出といった画像処理の実現を重視しており、イメージセンサそのものの性能改善を目指した研究はほとんど見あたらない。さらに、高機能センサでは統合する画像処理回路として、アナログ抵抗網等といった大規模な回路を用いることで、高機能化の反面で小型化、低消費電力化、高開口率化といった性能を犠牲にし、その解決を今後の半導体製造技術の発展に委ねてきた。



本論で提案する高機能イメージセンサは、イメージセンサ上に画像処理回路を統合することで、高速撮像化、高画質化、広ダイナミックレンジ化という撮像素子の性能の改善を図る新たなアプローチである。動画像圧縮イメージセンサは、撮像面上で直接画像情報の圧縮を行い、重要な情報のみを伝送することで、高速度あるいは高解像度撮像における、読み出したりは伝送部における I/O ボトルネックの解消を目的とするセンサである。圧縮処理アルゴリズムとして条件付き画素補充方式を採用し、撮像面上での小規模なアナログ回路により高速並列演算を行なうことで、時間的冗長性を利用した効果的な圧縮を行ない、高レート撮像を可能にする。一方、動き適応イメージセンサは、撮像面上の処理回路を利用しセンサの撮像パラメータを直接制御することで、高速度撮像下での画像強調と広ダイナミックレンジ化を実現する高機能イメージセンサである。動き適応イメージセンサは、撮像面上での動き検出および飽和検出機能を有するアナログ処理回路により、動きボケや飽和のない画素毎に最適な蓄積時間にて撮像を行うことができる。すなわち、動き領域では時間解像度を高め静止領域では蓄積時間を長くすることで、動きボケがなくランダムノイズの少ない高画質な画像を撮像し、人間にとって見やすい画像を提供することを目的とする。さらに、各画素の蓄積時間情報を利用することで、広ダイナミックレンジ化を実現できる。

本論文では、提案する 2 つの高機能イメージセンサのプロトタイプを実際に設計、試作し、その撮像特性や処理性能を明らかにすることで、撮像素子の性能改善へのアプローチとしての有効性を確認する。試作したプロトタイプの回路設計においては、列並列処理構成とすることで、画像処理回路の統合によるチップサイズや消費電力の増加、開口率の低減等の問題の改善を図る。

### 1.3 本論文の構成

本論文の構成は以下の通りである。

#### 第 1 章 序論

#### 第 2 章 コンピュータショナルセンサ

#### 第 3 章 動画像圧縮イメージセンサ

#### 第 4 章 列並列処理構成による動画像圧縮イメージセンサの設計および試作

#### 第 5 章 動画像圧縮イメージセンサの評価

#### 第 6 章 動き適応イメージセンサ

#### 第 7 章 列並列処理構成による動き適応イメージセンサの設計および試作

#### 第 8 章 動き適応イメージセンサの評価

## 第 9 章 結論

以下に各章の要約を示す

第 2 章では、コンピューショナルセンサと呼ばれるイメージセンサと画像処理の統合を扱った様々な研究について説明を行う。まず、コンピューショナルセンサの基本的な概念を整理する。従来のシステムとの比較を通じ、画像処理システムにおけるコンピューショナルセンサの担う役割を説明する。さらに、最近の研究動向を処理回路の構成、演算処理の形態等からまとめ、簡単に説明する。

第 3 章では、動画像圧縮イメージセンサの画像圧縮アルゴリズムとして採用した、条件付き画素補充方式について説明を行う。時間方向への冗長性を利用した条件付き画素補充方式が、イメージセンサとの統合により効果的に画像情報を圧縮できることを説明し、その特徴をまとめる。また、その処理の流れを明らかにすると共に、実際に高速にて撮像された動画像を用いたシミュレーションにより、可変レート出力および定レート出力時の符号化特性の評価を行なう。さらに、撮像速度と圧縮効率の関係を明らかにし、条件付き画素補充方式は高速撮像時に効果的に画像を圧縮できる事を示す。

第 4 章では、動画像圧縮センサの実現構成法として、画素並列処理構成と列並列処理構成について説明し、その特徴をまとめる。さらに、本論文で新たに提案する列並列処理構成の回路設計について説明した後、1画素内の処理回路および全体構成を明らかにし、その動作の流れを具体的に説明する。また、画素値出力の際に圧縮機能を実現する、読み飛ばし機能付き水平シフトレジスタの回路とその動作を説明し、同時に出力する有意画素のアドレス情報との関係を明らかにする。続いて、動画像圧縮センサの周辺回路について説明を加え、画像の即時再構成について言及する。最後に、試作したプロトタイプを示した後、そのレイアウト設計についてセンサ部、メモリ部、処理部に分けて説明し、その仕様を明らかにする。

第 5 章では、試作した列並列処理構成のプロトタイプの評価を行ない、その撮像特性と処理性能を明らかにし、動画像圧縮センサの有効性を確認する。まず、プロトタイプ of センサアレイにより評価を行い、通常出力時と読み飛ばし出力時の動作を確認し、画像の再構成を行なう。また、プロトタイプの部分回路を用いた評価実験により得られた、フォトダイオードの光電変換特性や、処理回路の演算精度、周辺回路の高速動作、メモリ部のリーク特性の結果について述べる。さらに、1画素回路が毎秒 10000 フレームにて動作できることを示し、その撮像速度の限界を明らかにする。続いて、先に試作された画素並列処理構成のプロトタイプを用いた、即時閾値調整回路による定レート制御について検討する。ここでは、センサが出力する有意画素数情報を利用した、1フレーム毎での定レート制御の実現の可能性について考察する。

第 6 章では、提案する動き適応センサの背景と目的を説明し、従来のイメージセンサの動作形態と比較する。さらに、動き適応センサの処理原理である動き適応蓄積時間の説明を行なう。動き領域では時間解像度を高く、静止領域では電荷が飽和するまで蓄積をす

ることで、高品質な画像が得られる事を説明する。また、動画像を用いたシミュレーションにより、少ない出力画素数にて動き領域では動きボケがなく、静止領域では高画質な画像が得られる事を確認する。最後に、広ダイナミックレンジ化の原理を説明し、電子シャッタ機能を有する CCD センサを用いた実験により、その効果を評価する。

第 7 章では、動き適応センサの列並列処理構成による回路設計について説明する。ここでは、1 画素内の処理回路とセンサ全体の設計構成について説明し、その動作を処理の流れに沿って具体的に説明する。また、動き適応イメージセンサの画像の再構成に対し、即時処理と遅延処理の 2 つの方法を説明する。それぞれの処理回路を明らかにすると共に、その動作を具体的に述べる。さらに、上記回路設計を基に試作した  $32 \times 32$  画素のプロトタイプの説明を行ない、センサ部、メモリ部、処理部のレイアウト設計について詳しく説明し、その仕様を示す。

第 8 章では、試作した動き適応センサのプロトタイプの動作を確認し、その評価を行う。まず、プロトタイプのセンサアレイを用いた評価実験により、低照度撮像時における飽和検出と動き検出の動作を確認する。また、出力信号やフラグ情報を利用した画像の再構成を行ない、動きボケに対する動き検出機能の効果を評価する。さらに、高速撮像時における蓄積時間の適応化による、再構成画像の高画質化、広ダイナミックレンジ化の可能性を評価する。続いて、プロトタイプの部分回路を用いた評価実験により得られた、処理回路の演算精度や 1 画素回路の撮像性能、動き検出および飽和検出の動作、処理回路の動作速度限界に関する様々な結果を報告し、その考察を行う。

第 9 章では、本論文で得られた研究成果をまとめ、課題として残された問題点や今後の研究の方向性について述べる。

## 第 2 章

### コンピュータショナルイメージセンサ

#### 2.1 はじめに

本章では、撮像面上に直接画像処理回路を統合することで、イメージセンサの高機能化を実現するコンピュータショナルイメージセンサの説明を行なう。コンピュータショナルイメージセンサの基本的な概念を整理し、そのシステム全体に与える効果と課題を明らかにする。また、最近のコンピュータショナルセンサの研究動向をまとめ、その特徴をいくつかの観点から簡単に説明する。

#### 2.2 コンピュータショナルイメージセンサの概念

コンピュータショナルイメージセンサは、イメージセンサと画像処理回路の統合により高機能化を図る、インテリジェントセンサである。

図 1.1 に示したように、従来の画像処理システムは撮像、伝送、処理部に完全に分離しており、2次元情報である画像信号は、1次元に走査・伝送後、1または2次元処理される。しかし、近年の高解像度、高速度撮像化や、画像処理システム全体の実時間処理化等による、「多くの情報を高速に処理する」という要請に対し、旧来のシステム形態では充分対応できなくなっている。そこで、画像入力部であるイメージセンサの役割を見直し、単に光電変換のみではなく何らかの機能を持たせることで、システム全体の性能を高める試みが検討されている。コンピュータショナルセンサの大きな利点は、撮像面上における画像情報の2次元性を直接利用することで、高速並列処理を行なえる点にある。撮像面上での並列処理の後、後段で必要とされる情報のみを出力することで、データ転送量を削減しかつ後段プロセッサの負担の著しい軽減が期待できる。また、XYアドレス符号化によるランダム出力や、多重解像度出力 [20] 等を組み合わせることにより、柔軟な読み出し形態の実現が可能である。

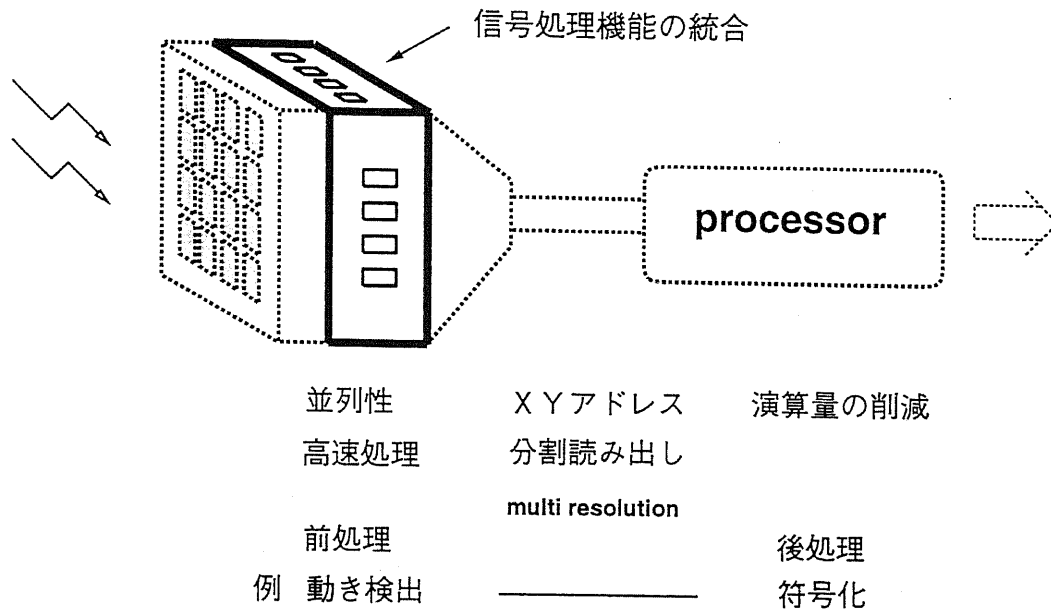


図 2.1: コンピュータショナルイメージセンサ

### 2.3 システム全体におけるイメージセンサと画像処理回路の統合の効果と課題

イメージセンサと画像処理を統合することで、画像処理システム全体に対し様々な効果が期待される。ここでは、コンピュータショナルセンサの効果を高速化、高性能化、小型化、低消費電力化の観点から、簡単に説明する。また、コンピュータショナルセンサを実現する上で生じる、いくつかの課題を併せて説明する。

#### 処理の高速化

撮像面に画像処理回路を統合することで、画像情報を伝送することなく直接高速並列処理を行なうことが出来る。よって、従来のイメージセンサ-伝送-プロセッサという形態に比べ、飛躍的な処理速度の高速化が実現できる。また、画素値情報ではなくセンサ上で前処理された情報を伝送することで、高速撮像下での読み出し、伝送部におけるボトルネックを改善し、従来不可能であった撮像速度下においても十分に処理することが可能である。処理の高速化は、例えば動き検出では動き探索範囲の減少につながり、検出アルゴリズムも簡素化されるなど、処理アルゴリズムやその精度への影響も大きい。

### 撮像の高性能化

撮像面上での処理回路により、撮像素子としての性能を高めることができる。例えば、重要な画像情報を送ることで、読み出し、伝送部におけるボトルネックを取り除き、高速撮像や高解像度撮像を可能にできる。また、イメージセンサの感度、解像度といったセンサパラメータを直接制御することで、低照度撮像や広ダイナミックレンジ撮像等が可能となる。この項目については、2.4項にてさらに説明を加える。

### 小型化

イメージセンサにプロセッサの処理の一部を行なわせることで、モジュール間の配線数が減少し、部品数そのものの削減も可能になる。これにより、システム全体の規模は大きく削減されることになる。

### 低消費電力化

システム規模の小型化により、画像処理システム全体での低消費電力化が実現できる。これは、伝送情報の削減による出力伝送部における低速化、配線数や部品数の削減や後段の処理の低速化によるものである。またコンピュータショナルセンサの内部では、アナログ信号処理回路をサブスレシールド領域にて動作させることで、大幅な消費電力の削減が期待できる。

コンピュータショナルセンサの実現によりこのような効果がある一方で、以下に示す幾つかの課題を有している。

### 処理アルゴリズムの選択

通常、後段のプロセッサでは、デジタル信号を用いた複雑な画像処理を行なっている。実装の立場から考えると、このような複雑な処理をイメージセンサ上に実現することは難しい。コンピュータショナルセンサでは、処理回路そのものの規模も重要であるが、画素間の配線数も実装を困難にする大きな要因となる。例えば、ブロックマッチングのような広い範囲の周辺画素情報を利用するアルゴリズムは、そのままセンサ面上に実現することは難しい。センサ上での処理部の配置構成にも依存するが、イメージセンサ上で実現する際に有効になるアルゴリズムを選択する必要がある。

また、コンピュータショナルセンサでは、主にアナログ回路を用いた演算回路を利用しているため、その低い演算精度が問題になる。よって、アルゴリズムの工夫により、精度による影響を極力回避するような努力が必要である。

### 撮像性能の劣化

撮像面上に画像処理回路を統合することで、イメージセンサの撮像性能を損なう可能性がある。例えば、開口率が大幅に劣化しセンサの感度に影響を与えることが挙げられる。また、画像処理回路が雑音発生源となったり、回路の大規模化により熱が発生し暗電流が増加するなど、画質への影響が予想される。よって、センサ上での開口部分と処理回路の配置構成や、レイアウト上の工夫、回路の低消費電力化等により、このような問題を解決する必要がある。

### 汎用性の欠如

これまで検討されてきたコンピュータショナルセンサは、ある特定の用途を持っているものが多く、汎用性にかける。今後の産業応用を考えた時、生産コストも大事な要因であり、製造段階での容易性や汎用性にも注意する必要がある。

## 2.4 画像処理の統合による撮像素子の性能向上

これまで検討されたコンピュータショナルセンサの多くは、撮像素子上での処理の実現に重点を置いており、撮像素子のセンサ性能そのものを向上させることを目標にした研究は少ない。本項では、本論文の主題でもある画像処理の統合による撮像素子の性能向上の可能性を簡単に説明する。

### 高 S/N 化

固体撮像素子の雑音としては、固定パターン雑音とランダム雑音がある。固定パターン雑音は、センサ外部にて出力信号から取り除くことが出来るが、画像処理回路を統合することで撮像面内で容易に雑音除去が可能である。また、高速撮像化や低照度撮像におけるランダム雑音に対しては、処理回路を用いて蓄積時間を調整することで大幅に削減することが可能と思われる。さらに、内部増幅型イメージセンサの増幅部でのバラツキを処理回路により補償することも考えられる。

### 高感度化

処理回路が積極的に制御可能な感度に関する要因は、フォトダイオードの蓄積時間である。蓄積時間を調整することで、特に静止領域などで高感度化を実現できるものと考えられる。また、内部増幅型センサでは増幅部の MOS 回路への工夫により、増幅感度をセンサ内部で調整することも考えられる。

### 広ダイナミックレンジ化

従来より、画像撮像時において複数（主に2つ）の蓄積時間を用いることで後段の画像処理により広ダイナミックレンジ化を図る試みが行なわれている。（ただし、蓄積時間は画面全体で同一である。）撮像面上の画像処理回路で画素毎に蓄積時間を適応的に制御することで、さらなる広ダイナミックレンジ化を図ることが可能である。

### 高速度化、高精細化

これまでイメージセンサの高速度化や高精細化を困難にしてきた大きな理由は、読み出しや伝送部における I/O ボトルネックである。撮像面上に圧縮機能を統合することで重要な画素のみを出力し、出力画素数を削減することで高速度化や高精細化が可能になるものと考えられる。

## 2.5 コンピュータショナルイメージセンサの研究動向

コンピュータショナルセンサは、現在まで主に neural network や machine vision の分野で研究が行なわれている [12][21]。初期の段階で検討された、シリコン網膜センサ [17][22] は、図 2.2 に示すような六角アナログ抵抗網により、人間の網膜の水平細胞による平滑化機能を模倣するセンサであり、コンピュータショナルセンサに関する研究の先駆けとなった。以後、アナログ抵抗網を用いたコンピュータショナルセンサとしては、エッジ検出、動き検出 [23]、ガウシアンフィルタ [24]、位置方向検出 [19] 等、多くのセンサが検討されている。

本項では、これまで検討されたコンピュータショナルセンサの研究の説明を行なう。ここでは、個々の研究の詳細は扱わず、センサの機能、処理アルゴリズム、画素配置、プロセスの観点からコンピュータショナルセンサの現状を簡単にまとめる。その際、代表的なコンピュータショナルセンサの研究事例 [17]-[67] により得られた統計を併せて示す。

### センサの機能

表 2.1 に、代表的なコンピュータショナルセンサの機能の統計結果を示す。最も多い機能は動き検出であり、実際に動き情報をセンサ上にて導出するセンサや外部での動き検出の前処理を行なうセンサ等様々存在する。画像符号化や画像処理において動きは最も重要な情報であり、同時に従来のシステムでは最も計算量を必要とする処理の一つでもある。センサに動き検出処理機能を載せることで、新たなアルゴリズムによる高精度な処理の実現が期待される。また、その他には平滑化、エッジ検出、領域分割、ガウシアンフィルタ等といった基本的な画像処理を実現するものや、ステレオ、レンジファインダ、衝突時間の演算といった応用よりの仕事も行なわれている。



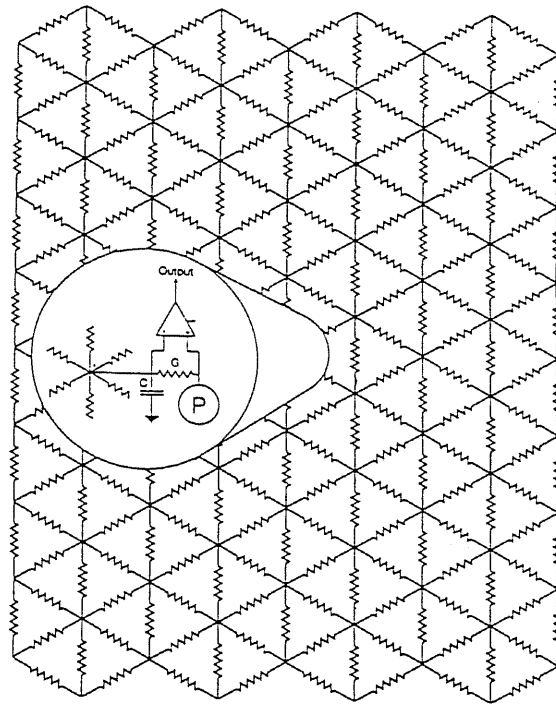


図 2.2: シリコン網膜の構成 [17]

表 2.1: コンピュータショナルセンサの機能

| 機能    | 事例数 | 機能    | 事例数 | 機能    | 事例数 |
|-------|-----|-------|-----|-------|-----|
| 動き検出  | 17  | 領域分割  | 2   | 中心検出  | 1   |
| 平滑化   | 6   | フォーカス | 2   | エッジ強調 | 1   |
| エッジ検出 | 4   | 画像圧縮  | 1   | 衝突時間  | 1   |
| 中心窩   | 3   | ステレオ  | 1   | 距離情報  | 1   |
| 位置検出  | 2   | ガウシアン | 1   |       |     |

表 2.2: コンピュータショナルセンサの処理

| 処理   | 事例数 | 処理          | 事例数 | 処理  | 事例数 |
|------|-----|-------------|-----|-----|-----|
| アナログ | 31  | 既存アルゴリズムの工夫 | 25  | 大域的 | 22  |
| デジタル | 5   | 生体処理指向      | 13  | 局所的 | 12  |

### 処理アルゴリズム

表 2.2 に、処理アルゴリズムの観点からまとめた統計結果を示す。

- アナログ処理／デジタル処理

コンピュータショナルイメージセンサでは、その多くがアナログ処理を行なっている。アナログ回路では高速に処理が行なわれ、処理回路の小規模化が可能で、制御動作が複雑でないといった点で優れている。一方、デジタル回路では処理精度においてアナログ回路よりも優れているが、回路規模の問題から演算のビット数を抑える傾向にある。

- 生体処理／従来の画像処理

センサ上での処理は並列動作が可能であることが望ましい。さらに実装上の問題により、従来の画像処理アルゴリズムをそのままセンサ上で実現することは難しく、様々な工夫がなされている。

一方で、人間や昆虫の視覚信号処理を模倣した様々なセンサが検討されている。その多くは網膜部における初期視覚処理を扱っており、シリコン網膜のようにアナログ抵抗網を用いることで平滑化やエッジ検出を行なっている。

- 大域的処理／局所的処理

ここで挙げたコンピュータショナルイメージセンサは、動き検出や位置・方向検出等空間的な処理を行なうものが多いため、グローバルな処理を実行するセンサが多い。一方、画素毎に閉じたローカルな処理の場合には、周辺領域の画素情報を利用しないため、構成を工夫することで大幅に回路規模を抑えることができる。

### 各画素の配置

コンピュータショナルイメージセンサの実現に際して、様々な構形成態が検討されている。表 2.3 に画素構成の観点からまとめた統計結果を示す。

アナログ六角抵抗網等を利用する処理回路においては、そのほとんどが処理回路とフォトダイオードが一体化しており、開口率などに代表される撮像性能を犠牲にしている。

表 2.3: コンピュータショナルセンサの画素配置

|                 | 事例数 |
|-----------------|-----|
| センサと回路が一体化      | 26  |
| センサと回路が分離       | 5   |
| 画素の位置そのものに意味がある | 5   |

表 2.4: コンピュータショナルセンサの利用プロセス

|        | 事例数 |
|--------|-----|
| MOS    | 35  |
| CCD    | 4   |
| BiCMOS | 1   |

一方、ローカルな処理の場合、センサと回路を分離して配置し列並列処理にすることで、センサの撮像性能を損なわずに高機能化を実現できる。

また、画素の配置そのものを変化させるセンサも検討されている。例えば、処理機能を保持していないが、図 2.3 に示すように画素の密度を中心から周辺に向けて変化させることで、人間の中心窩を模倣したセンサ [68] [69] が挙げられる。また、図 2.4 に示すように、同心円上に画素を配置することで物体との衝突時間を演算するセンサ [70] 等が検討されている。

### VLSI プロセス

一般のイメージセンサでは、優れた画質を有する CCD を用いたものが多い。しかし、表 2.4 に示すように、コンピュータショナルセンサでは、その多くが CMOS を選択している。処理回路との整合性に優れていることや、内部増幅を容易に実現出来ること、動作のための同期信号や電源電圧の数を抑えられること、CMOS のプロセス技術が十分に発展していること等により CMOS センサが選択されている。

なお、一部のセンサでは処理回路に CCD を利用し電荷を移動することで、平滑化やエッジ検出を行なうものもある。

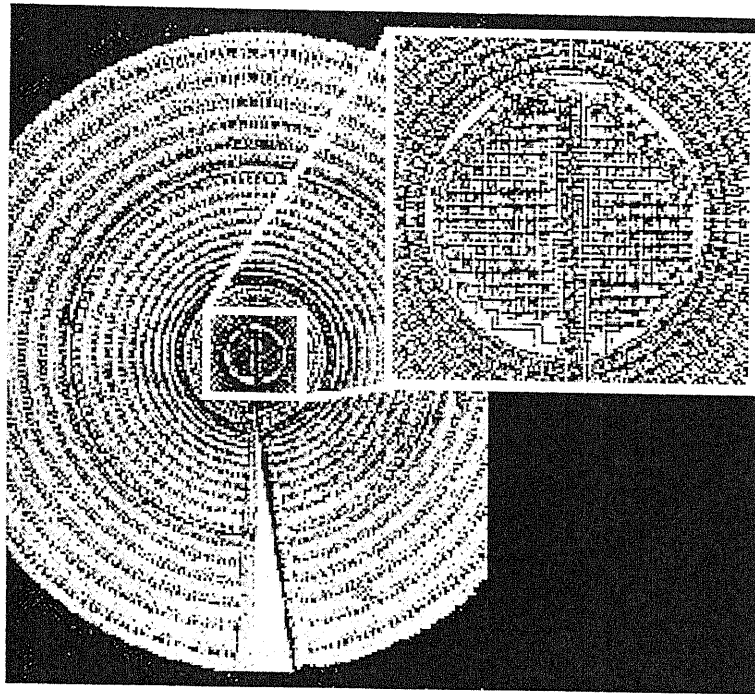


図 2.3: 中心窩の画素配置 [69]

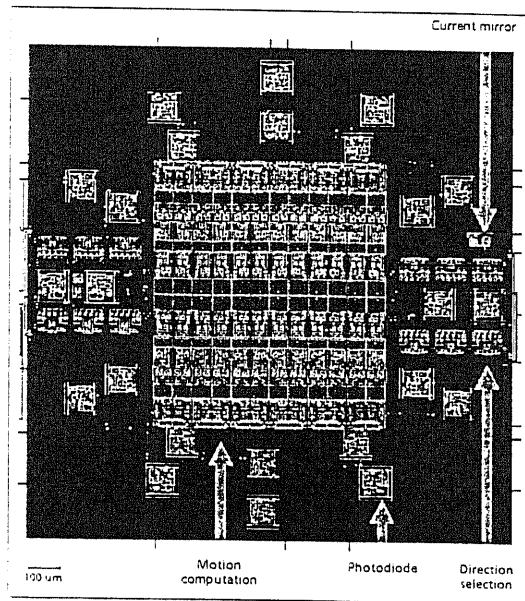


図 2.4: 衝突時間を演算するセンサの画素配置 [70]

## 2.6 まとめ

本章では、コンピュータショナルイメージセンサと呼ばれる、イメージセンサと画像処理の統合に基づく様々な研究について説明を行なった。まず、コンピュータショナルイメージセンサの基本的な概念を整理し、従来のシステムとの比較を通じ画像処理システムにおけるコンピュータショナルセンサの担う役割を述べた。また、イメージセンサと画像処理回路の統合による、システム全体に与える効果とその課題を示した。さらに、イメージセンサの高機能化による撮像性能の改善の可能性を、高画質化、高感度化、広ダイナミックレンジ化、高速度、高精細化の観点から説明した。最後に、コンピュータショナルセンサの最近の研究動向として、代表する研究事例を実現する機能、処理アルゴリズム、画素配置、プロセスの観点からまとめ、簡単に説明した。

## 第 3 章

### 動画像圧縮イメージセンサ

#### 3.1 はじめに

本章では、撮像面上に画像圧縮処理回路を統合した、動画像圧縮センサの原理とシミュレーションによる性能評価について述べる。図 3.1 に示すように、従来のイメージセンサでは、一定間隔で光電変換し蓄積した画素情報を、決まったタイミングによりその全てを順に出力する。しかし、イメージセンサの高精細あるいは高速度化に伴い、実質的な画素情報の読み出し速度が増加するにつれ、読み出し・伝送部においてボトルネックが生じ、従来の全ての画素情報を順に出力するという読み出し形態では、充分対応できなくなっている。

例えば、画素数が 100 万画素を超える高精細撮像素子では、読み出し速度が 35MHz 以上となり、従来の水平 CCD レジスタによる転送効率では充分出力できない [9]。また、高速度撮像素子においても、高精細撮像素子と同様に読み出し速度が増加し、全ての画素を出力するのは極めて困難である。よって、現在実用化されているセンサでは、複数の CCD を並列に動作させ、実質的な読み出し速度を低減し、高精細、高速撮像素子の実現を図っている [2][3]。しかし、このようなイメージセンサは転送効率を上げるためにダイナミックレンジが低く抑えられており、現行 TV システム程度の解像度以上での高速撮像システムは非常に高価である。また、複数の出力線により周辺回路も含めて回路規模が大きくなり、システム全体の規模も増大している [9]。

動画像圧縮センサは、既存のイメージセンサとは異なり、出力する画素情報をセンサ上で直接圧縮することにより、上記の高精細、高フレームレート等の高レート化に伴う、伝送部のボトルネックの解消を目指した新たなコンピュータショナルイメージセンサである。具体的には、撮像面上のアナログ信号処理回路を用いて、各画素毎に高速並列処理を行なうことにより、時間的な変化が大きい重要な画素のみを出力し、出力画素数の削減を図る。

本章では以下、動画像圧縮イメージセンサの圧縮アルゴリズムとして採用した、条件付き画素補充方式について説明の後、その圧縮特性をシミュレーションにより検証する。

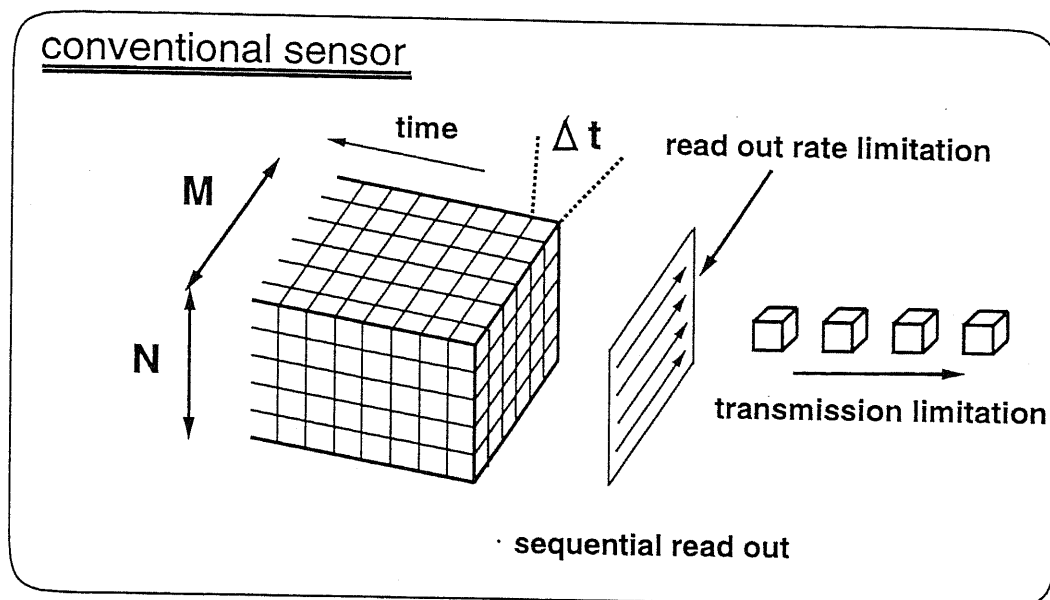


図 3.1: 従来の画像処理システムにおける読み出しおよび伝送部におけるボトルネック

### 3.2 条件付き画素補充方式

一般に、画像情報を圧縮する際には、その空間的あるいは時間的冗長性を利用することになる [71]。撮像面上での画像圧縮という立場から考えると、圧縮に際し隣接画素よりも離れた画素情報の利用は極めて困難であり、時間的冗長性を利用した単純なアルゴリズムがより効果的であると考えられる。そこで、動画像圧縮センサの実現にあたっては、条件付き画素補充方式 (Conditional Replenishment) を採用した [72]。

#### 3.2.1 条件付き画素補充方式の原理

一般に、条件付き画素補充方式は、フレーム間予測符号化において予測誤差が比較的大きい画素のみを符号化する方式を指す。ここでは、実装上の物理的制約を考慮し、図 3.2 に示すような処理を各画素毎に行なう。

図 3.2 において、各画素の現画素値とメモリに蓄えられた前画素値を比較し、その絶対差分がある閾値以上のときのみ画素値とそのアドレス情報を出力する。また、その時メモリ値を現在の画素値で更新する。よって、メモリに蓄えられる値は前フレームの画素値ではなく、最後に出力された画素値が保持されることになる。これにより、徐々に画素値が変化する場合にも、画質を大きく劣化することなく圧縮が可能である。この閾値を越えた画素を、以後「有意画素」と呼ぶ。

図 3.3 に、シミュレーションによる有意画素判定の例を示す。最上部は、フォトダイオー

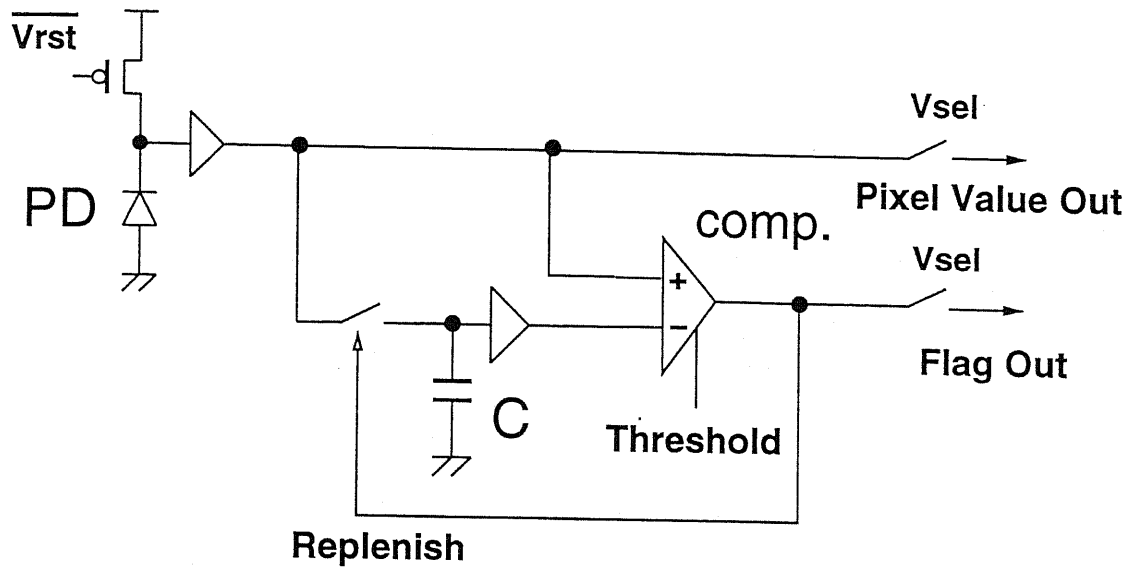


図 3.2: Description of coding algorithm in each pixel by conditional replenishment

ドに蓄積された現画素値である。2行目、3行目の左図内の白点は、それぞれ閾値 3,10 で判定した際の有意画素を示す。センサ外部に配置されたコントローラにより、この白点のみを選択的に出力する。また、右図は伝送された有意画素の情報と、センサ外部に設けるフレームメモリに蓄えられた情報により作成された再生画像である。この時、圧縮率はそれぞれ  $\frac{1}{5}$ 、 $\frac{1}{10}$  である。撮像時に利用可能なピクセルレートに対し、閾値を調整することにより出力画素数を制御し、高速あるいは高解像度撮像を可能にする。

条件付き画素補充方式による動画画像圧縮センサの特徴を以下にまとめる。

- 出力画素はフォトダイオードの出力そのものであり、処理による画質の劣化はない。
- 処理は各画素で閉じており、周辺の画素情報を必要としないため画素毎に完全な並列処理が可能である。
- 隣接画素間での配線領域を省くことが出来る。
- 制御回路等を除き、小規模なアナログ回路で実現可能であり、高レート下でも十分動作する。
- 途中の演算回路の精度不足やメモリの保持値の変動等に対して、単に画素値の更新によって誤差の回復が可能である。
- 画像の再生は、外部に用意したフレームメモリを更新するだけで、容易に実現できる。



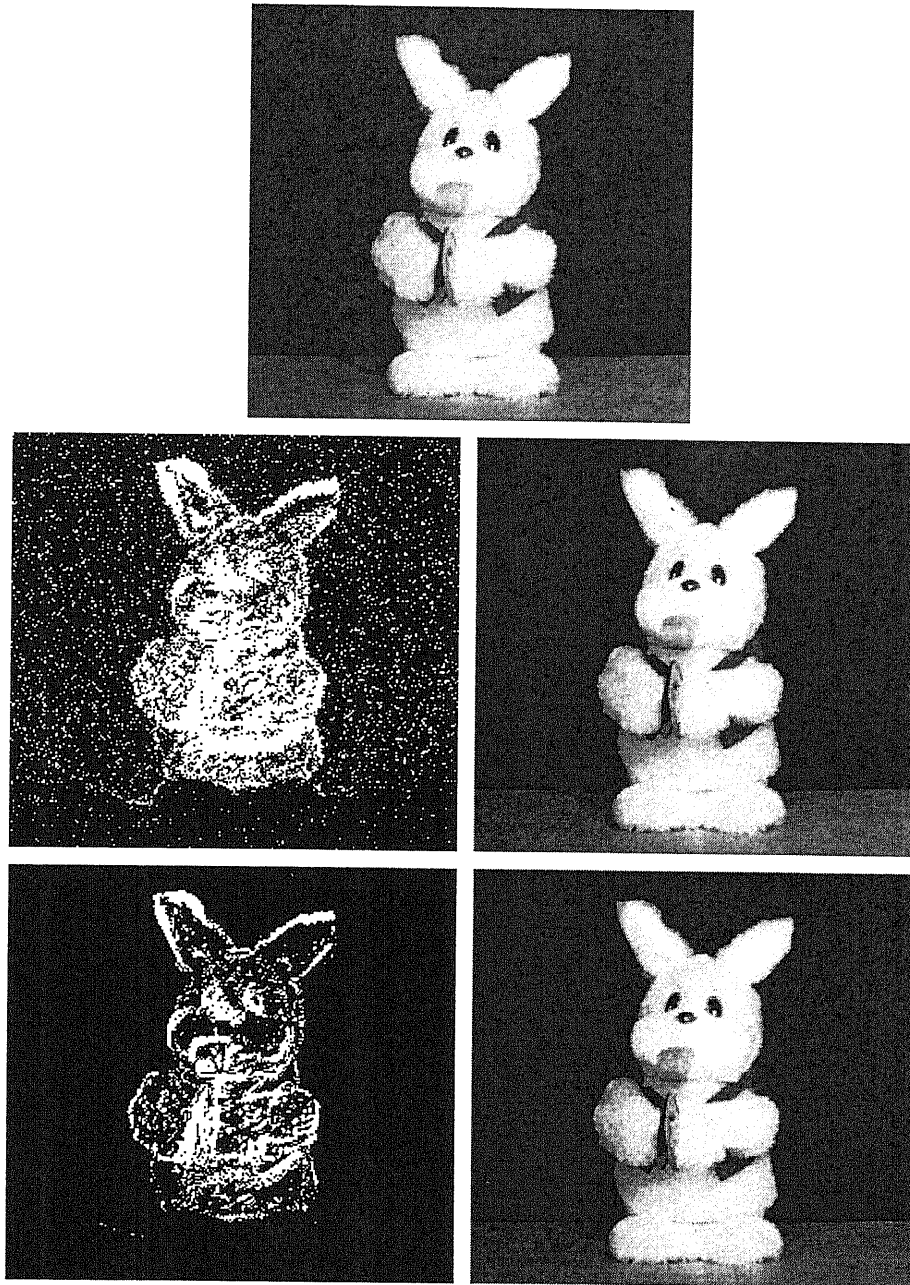


図 3.3: Detection of moving pixels; top: current frame compared to the value in the memory, middle: threshold 3, compression ratio 5:1 and bottom: threshold 10, compression ratio 10:1 (left: pixels detected as moving and right: reconstructed image)

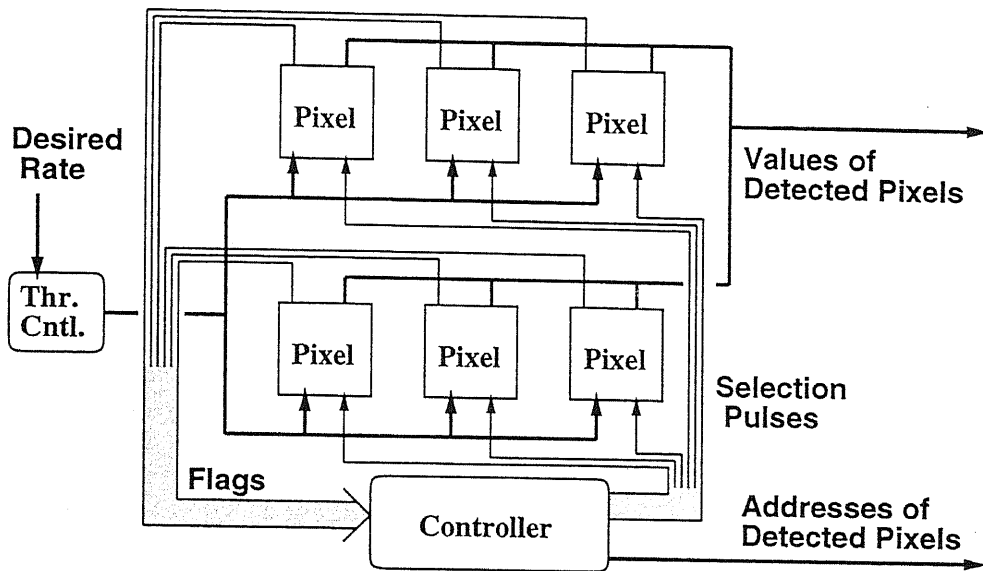


図 3.4: 動画像圧縮センサの処理の流れ [74]

- 通常の撮像環境下において、一般に  $\frac{1}{10}$  程度の圧縮率を実現できる。

動画像を対象に、いわば時間方向の冗長性を利用する圧縮機能を持つセンサとしては、本手法以外にも APS を利用した研究 [73] が行なわれている。しかし、これらの研究では単に前フレームの画素値との比較を行なっているので、徐々に変化するような画像に対してはその変化を検出できず、その誤差が伝搬する。よって、本手法の方が優れた画質を得られるものと考えられる。

### 3.2.2 条件付き画素補充方式による動画像圧縮センサの処理の流れ

図 3.4 に、動画像圧縮センサの処理の流れを示す。外部から与えられた閾値により、各画素において現画素値とメモリ値の比較を行なう。もし、その絶対差分が閾値よりも大きければ、フラグを立てる。フラグ情報をもとに、コントローラが有意画素を選択し、その画素値とアドレス情報を出力する。この際、閾値を固定とすれば可変レート符号 (VPR: Variable Pixel Rate) となり、閾値を各画素からのフラグ情報をもとに制御すれば定レート符号 (CPR: Constant Pixel Rate) となる。

### 3.3 条件付き画素補充方式の評価

条件付き画素補充方式は、後段におけるデジタル符号化の手法と比し、比較的単純な手法ではあるが、画素毎に完全な並列処理が行なわれ、撮像面での処理の実装という観点から有効と思われる。しかし、条件付き画素補充方式では、1 画素内での時間的冗長性

のみを利用し、動き補償等を行っていないため、カメラの移動の様に画面全体が動くときには、映像を効率的に圧縮することは難しいと予想される。

本項では、毎秒 200 フレームで高速撮像された動画像を用いてシミュレーションを行ない、条件付き画素補充方式の動作を確認し、その圧縮性能を検証する。なお、図 3.5、図 3.7、図 3.9において sequence 1 はカメラ固定で撮像され、画面中の一部が移動する画像である。また、sequence 2 はカメラを動かして撮像しており、よって画面全体が移動する画像である。

### 3.3.1 可変レート符号化による画質評価

図 3.5 は、閾値をそれぞれ 5、10 と一定にすることで、可変レート符号を実現した結果である。sequence 2 において、動きの大きいフレームでは有意画素数が大きく変化している様子が分かる。また、VPR では動きの大きい画素を全て出力するため、画質は約 40dB 前後でフレーム全体に渡って大きな変化はないことが見てとれる。よって、VPR ではある程度の品質を保ちながら、情報量を可能な限り抑えることができる。

### 3.3.2 定レート符号化による画質評価

図 3.6 に示すようなフィードバック回路をセンサ外部に設けることで、フラグ情報を用いて閾値を動的に制御し有意画素数を一定にする、定レート符号方式も考えられる。センサ面上で並列処理が可能であるため、高速に出力画素数の制御を実行することができる。図 3.7 は、有意画素数を 5%、10% に設定した際の、閾値と SNR の変動を示したものである。決められたピクセルレートを実現するために、動きの大きいフレームでは閾値を大きく変動させ出力画素数を制御し、それに合わせて画質が大きく変化している様子が分かる。動きの小さい sequence 1 では、40dB 以上の画質を得られるが、動きの大きい sequence 2 では、30dB 前後の画質となる。よって、定レート出力時にはそれぞれのレート下で可能な画質を実現することになる。

図 3.8 は、有意画素数を 10% とし、定レート符号化した際の再生画像の一例である。図 3.8 では、上 3 行が撮像開始時の原画像で、下 3 行がその時の再生画像である。撮像開始時や、シーンチェンジなど動きの大きいフレームにおいては、図 3.8 のように、復号画像は数フレームに渡って輝度差の大きい部分から徐々に回復する。高速撮像下においては、このような変化が早期に完了するならば、主観的に著しい画像の劣化は感じられない。

### 3.3.3 撮像の高速化による圧縮効率の改善

撮像速度と圧縮効率の関係を図 3.9 に示す。図中の横軸は、閾値を一定とした際の平均有意画素数である。ここでは、撮像速度を毎秒 200、100、67、33 フレームとした際の結果を示す。このとき、各速度の画像は毎秒 200 フレームで撮像された原画像を、時間的に間引くことにより実現している。よって、各速度における蓄積時間は同じであるとみな

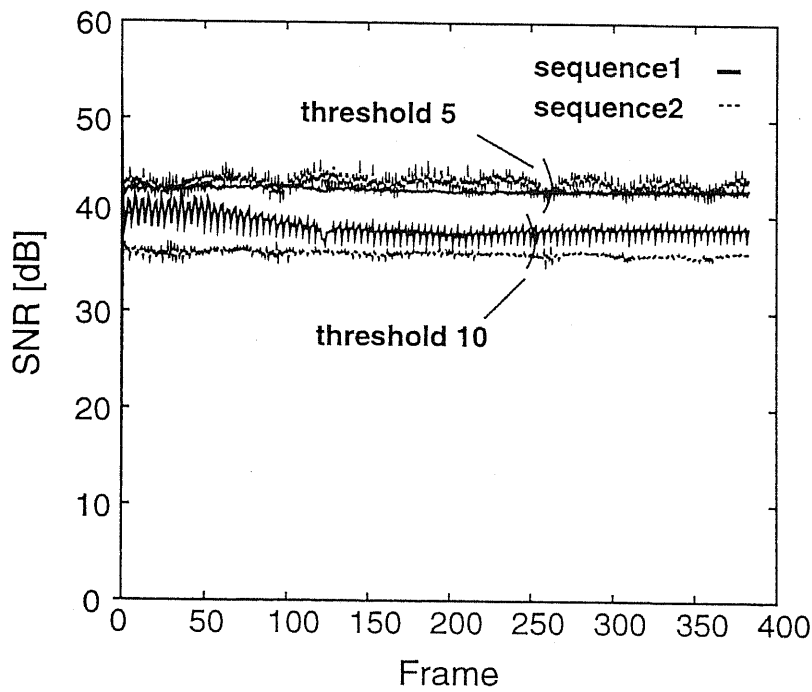
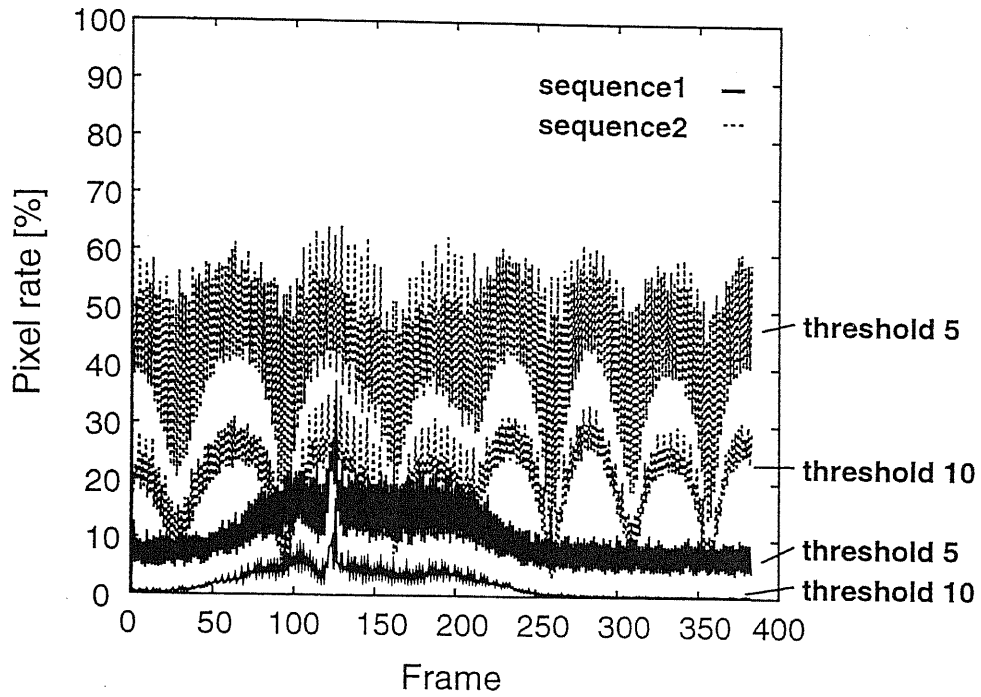


図 3.5: Coding performances under the VPR control

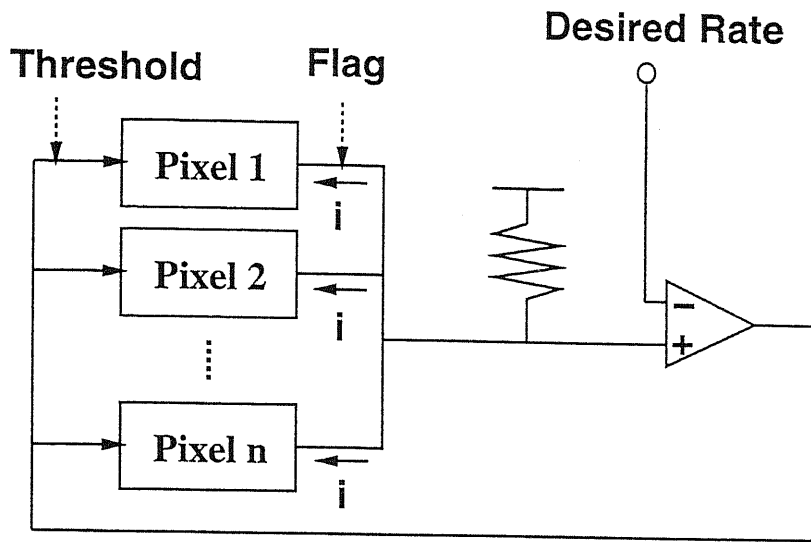


図 3.6: Diagram of rate-control

したことになる。例えば、SNR が 35dB の時を画質の基準とすると、図 3.9 より、sequence 1 のように動領域が一部である場合には、約 1 ~ 2% の有意画素を送れば良いことが分かる。一方、sequence 2 のように画像全体で大きな動きのある場合においても、約 20% 程度の有意画素を送れば良いことが分かる。さらに、sequence 2 で顕著であるように、毎秒 33 フレームの速度では 45% の情報が必要であるのに対し、毎秒 200 フレームでは必要な情報量が 20% まで大きく減少する。よって、フレームレートが高くなるにつれ、動き量そのものが減少することにより、圧縮効率の改善に大きく寄与することが分かる。

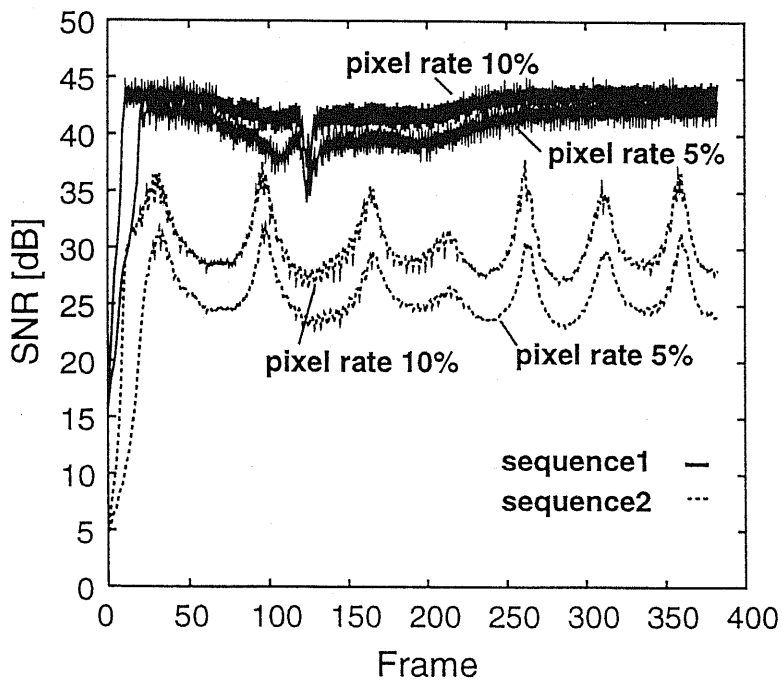
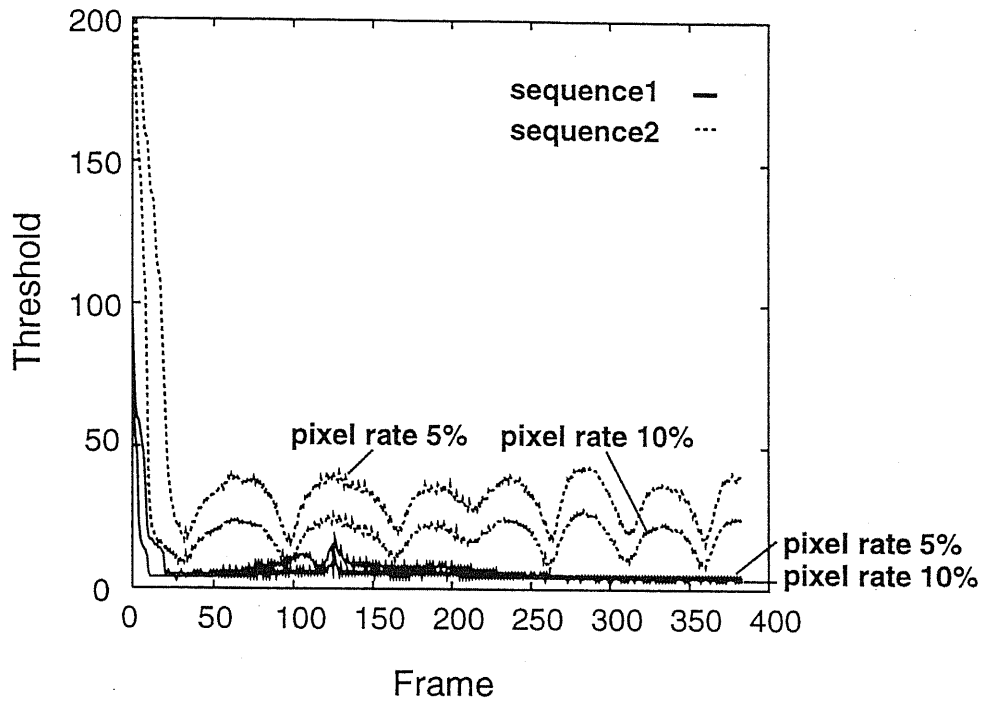


図 3.7: Coding performances under the CPR control



図 3.8: Reconstructed sequence under the CPR control; from top to 3th row: original sequence, from 4th to bottom: under 10 % pixel rate

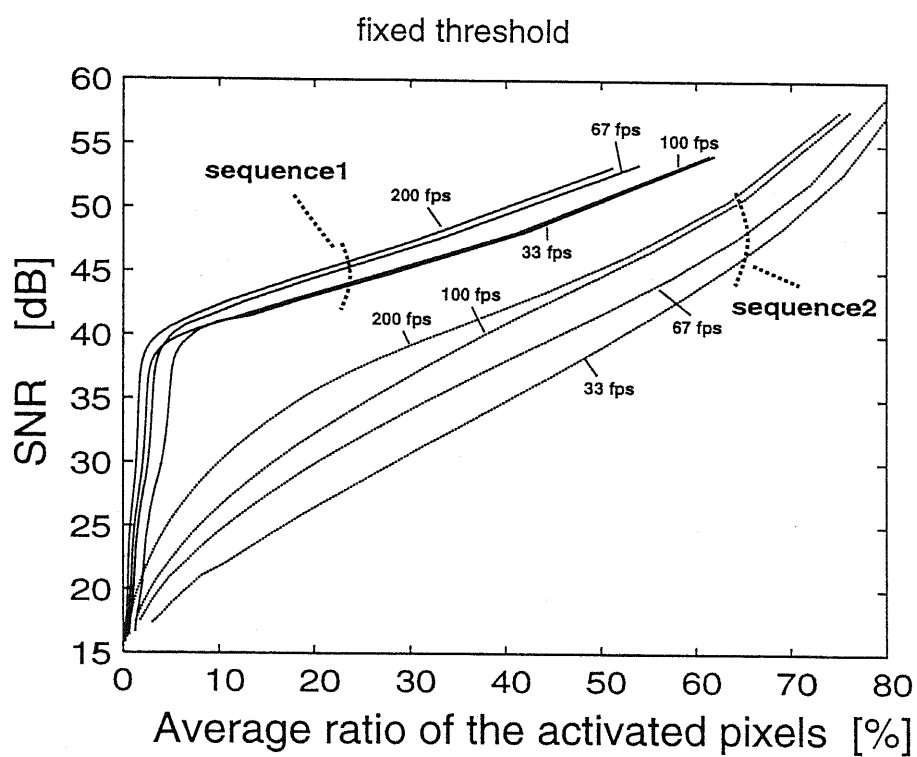


図 3.9: SNR results for different imaging speed



### 3.4 動画像圧縮センサの応用

動画像圧縮イメージセンサは、通常のセンサでは出力できない高速度での撮像や高解像度な撮像を可能にするものである。高速度撮像という観点からは、物体や流体の高速動作を観測する特殊撮像や、映像情報を用いた高速制御を必要とするマシンビジョン応用、さらには乗物に搭載する画像処理システム等の分野への応用が考えられる。特に、圧縮センサは変化（動き）の大きい領域のみを高速にて出力するため、例えば自動車の衝突防止等の危険回避システムとして用いることが考えられる。

一方、高解像度撮像という観点からは、ある程度（例えばNTSC）以上の速度でより広い範囲での撮像を必要とするシステムに応用できる。例えば、セキュリティ応用等でのような条件を満たす必要がある場合、圧縮センサを用いることで、小規模で安価なシステムにより実現が可能である。

### 3.5 まとめ

本章では、撮像面上で直接圧縮処理を行ない、撮像素子の高フレームレートあるいは高解像度化に伴う読み出しおよび伝送部におけるボトルネックの解消を目指した、動画像圧縮イメージセンサについて述べた。動画像圧縮イメージセンサの実現に際し、圧縮アルゴリズムとして採用した条件付き画素補充方式を説明し、その処理の流れを明らかにした。実際に、高速に撮像された動画像を用いたシミュレーションを通じて、可変レート符号および定レート符号化時における、符号化特性を確認した。また、撮像速度と圧縮効率の関係を明らかにすることで、より高速に撮像する際には、圧縮効率が大幅に改善されることを確認した。

## 第 4 章

# 列並列処理構成による動画像圧縮イメージセンサの設計および試作

### 4.1 はじめに

本章では、前章において述べた条件付き画素補充方式による動画像圧縮センサの列並列処理構成による回路設計とプロトタイプの試作について述べる。列並列処理構成では、圧縮センサのセンサ部を独立して配置することにより、通常の CMOS センサと同等の開口径率を実現し、撮像性能の向上を可能にする。

以下、画素並列処理構成と列並列処理構成を比較した後、列並列処理構成によるプロトタイプの回路設計およびレイアウト設計を順に述べる。さらに試作したプロトタイプについて説明する。

### 4.2 動画像圧縮センサの構成法

動画像圧縮センサは、画素配置が通常のセンサと同じ正方整列配置であり、処理回路での演算は各画素で完全に独立して行なわれる。この時、各画素に必要とされる構成要素は、フォトダイオードからなるセンサ部、前画素値を保持するメモリ部、比較器等からなる処理部である。よって、チップ上で各部を如何に配置するかにより、図 4.1 に示すような、いくつかの実現形態が考えられる。

図 4.1(a) に示す画素並列処理構成は、各画素が全ての要素を持つ構成法である。画素毎に処理部を有するため、撮像面上で完全な高速並列処理が可能である。しかし、1 画素を構成する素子数が多く、一般的な CMOS プロセスにおいては撮像素子として実用的な開口率を得ることは困難である。また、各画素毎に処理部を持つために、消費電力も多画素化の障害となる。よって、画素並列構成では、多画素化よりも高速化に適した構成法といえる。

一方、図 4.1(b) に示す列並列処理構成は、各部を分離して配置し、処理部を列毎に共有する構成法である。そのため、処理は行単位となり、列並列に処理を行なうことになる。

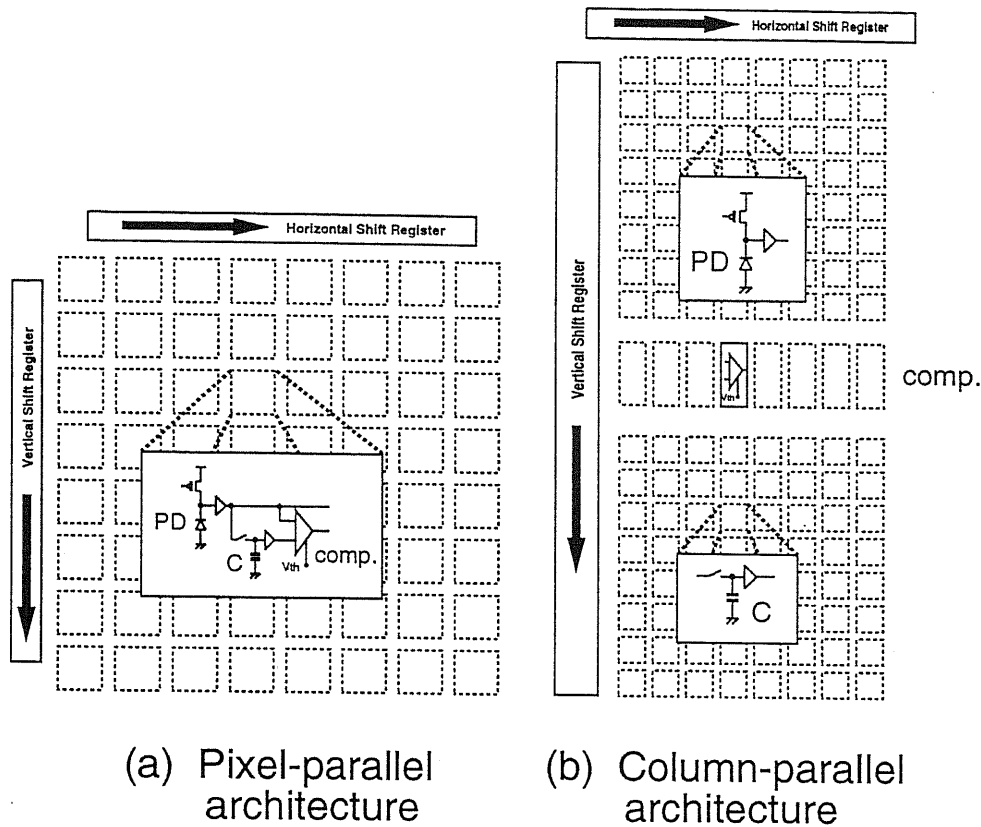


図 4.1: Description of the architecture for image compression sensor

従って、処理速度は画素並列処理構成に比し劣ることになる。また、センサ部とメモリ部がチップ上で離れて配置されるため、画素値をメモリに記憶させる際に回路の工夫が必要となる。しかし、センサ部の素子数が大幅に減少するため実質的な開口率は増加する。また、回路面積の大部分を占める処理部が列毎に削減されるため、チップの小型化と消費電力の大幅な改善が期待できる。よって、列並列処理構成はセンサ性能を向上させ、多画素化の実現が期待できる構成法である。

これまでに、画素並列処理構成による二つのプロトタイプを試作し [74][75]、その評価が行なわれた。表 4.1 に、第一次プロトタイプチップと第二次プロトタイプチップの仕様を示す。画素並列処理構成は、各画素に処理部を有するために、1 画素毎には毎秒 1000 フレーム、1200 フレームという高速撮像の能力がある。しかし、現在のプロセス技術では、各画素毎に有する処理部により、開口率を上げることは不可能であり、2%に満たない。また、各画素内で並列に処理を行なうために、比較的大きな消費電力を必要とし、センサ全体のサイズも大きくなるため、多画素集積化を困難にしている。

本章では以下、新たに列並列処理構成によるプロトタイプの検討を行ない、撮像素子

表 4.1: Comparison between first and second prototype of pixel-parallel architecture

|                       | first prototype                          | second prototype                           |
|-----------------------|--|--|
| number of pixels      | 32 × 32 pixels                           | 32 × 32 pixels                             |
| die size              | 7.3 mm × 6.8 mm                          | 6.7 mm × 6.4 mm                            |
| pixel size            | 170 μm × 170 μm                          | 160 μm × 160 μm                            |
| number of transistors | 45 trs./ pixel                           | 33 trs./ pixel                             |
| fill factor           | 1.4 %                                    | 1.9 %                                      |
| power dissipation     | 1.4mW / pixel<br>1.5W / chip<br>Vdd = 7V | 0.15mW / pixel<br>250mW / chip<br>Vdd = 5V |
| frame rate            | ≥ 1000 frames/s                          | ≥ 1200 frames/s                            |

としての性能の向上や、多画素集積化への可能性を確認する。

### 4.3 列並列処理構成による動画像圧縮センサの回路設計

#### 4.3.1 各画素の検出回路の設計

図 4.2に、列並列処理構成の各画素に対する回路を示す。各画素は、センサ部とそれに対応するメモリ部を有し、処理部は各列で共通に用いる。処理部は、3組の差動増幅器とフラグ生成回路からなる。処理部はセンサ部から完全に独立しているため、回路規模の大きさよりも、処理の精度、動作範囲、安定性等に留意して設計を行なった。

センサ部では、ネガティブ型の MOS イメージセンサと同様な、PN 接合のフォトダイオードにより光電変換し、その蓄積電荷の増幅・非破壊読み出しを行う。蓄積開始時に  $V_{rst}$  が加えられると、PN 接合の逆バイアス容量が充電されフォトダイオード (PD) 値は 5V となり、その後入射光量に応じて電荷が徐々に放電し、PD 値は減少する。一定時間経過後、センサ部とメモリ部に行読み出しパルス  $V_{row}$  が加えられ、センサ部内の PD で光電変換された画素値と、メモリ部内のキャパシタ値 ( $C_m$ ) は、バッファを介して中央の 2 組の差動増幅器へ導かれる。ここで、現画素値と前画素値が比較され、その差の絶対値が求められる。2 組の差動増幅器はそれぞれカレントミラーで接続されており、 $V_B$  が  $V_A$  より大きければ上部の増幅器を、 $V_A$  が  $V_B$  より大きければ下部の増幅器により差が演算され、電流にて出力する。さらに、MOS インバータの特性を利用した閾値判定後、有意判定フラグが外部に出力される。フラグ判定が有意であるとき、左端の差動増幅器により PD 値 (現画素値) がキャパシタ  $C_m$  に保持される。この時、この差動増幅器により比較器への二つの入力値  $V_A$ 、 $V_B$  を等しくすることで、メモリ値を書き換える。ここでは、キャ

パシタ  $C_m$  を更新中におけるフラグ情報の変化を防ぐために、 $C_{flg}$  にフラグ情報を蓄積し、行選択パルスが移動する度に  $C_{flg}$  値をリセットする。なお、フォトダイオードのリセットは、次行が選択され処理が行なわれている時に、同時に1水平期間行われる。

図4.2中の各トランジスタのサイズ等は、使用するプロセスより供給されるモデルパラメータを用いて、回路シミュレータである hspice により調整し、最適化を試みた。全体に処理の安定性や高速性の実現に留意して回路設計を行なった。電源電圧は消費電力を抑えるために5Vとし、バイアス電圧は回路や配線の複雑さを避けるため1.5Vのみとした。

図4.3に、図4.2内のフォトダイオード値に対するキャパシタ  $C_m$  値と、その時の  $V_A$ 、 $V_B$  値を示す。ここでは、フォトダイオード値を3.5～5.0V、メモリ値を3.4～4.9Vに設定しており、比較器などの処理回路は2.0～3.1Vの信号を用いて演算を行っている。本回路では、画素値の出力をAMI[76]と同様に電流読み出しで行っており、センサ外部の負荷抵抗により電圧に変換される。また、比較のための閾値は0～3.1Vに設定されている。ここでは、閾値電圧が低い程出力有意画素が少なく、閾値電圧が高い程出力有意画素が多くなるように設計されている。さらに、処理速度の向上のためには、メモリ更新の速度が最も重要である。そこで、メモリ値の更新のための差動増幅器の設計に際しては、その速度、精度、消費電力の観点から最適化させた。これにより、本設計では1行につき約2 $\mu$ 秒の処理時間となり、十分な高速撮像が可能と見込まれる。なお、この差動増幅器を強力なものとする事で、消費電力は増大するがより高速な処理を実現することが出来る。

#### 4.3.2 センサ全体の設計

センサの全体構成のブロック図を、図4.4に示す。センサ部、メモリ部は各画素毎に、処理部は各列に1つ存在する。数個のトランジスタのみを必要とするセンサ部が独立するため、開口率は大幅に改善される。また、最も電力を必要とする処理部は、各列で共通に利用するために、画素並列処理構成のプロトタイプと比べ、チップ全体の消費電力は大幅に削減される。ここでは、センサ部とメモリ部の左側に配置された2つの垂直シフトレジスタにより、センサ部とメモリ部が一行ずつ順に選択される。よって、比較処理やメモリの書き換えは、1水平期間内に全て終了する必要がある。このため、撮像素子のセンサ部の行数により、撮像の最高速度が決定される。

画素値出力のために、センサ上部に2つの水平シフトレジスタを用意しており、mode信号により選択する事が出来る。一方は通常の水平シフトレジスタであり、他方は読み飛ばし機能付き水平シフトレジスタである。通常の水平シフトレジスタを選択した際には、全ての画素情報を出力するが、読み飛ばし機能付き水平シフトレジスタは、フラグ情報を利用することにより有意画素のみを選択的に出力する。

mode信号を除いた同期信号のタイミングを、図4.5に示す。センサの動作には、垂直シフトレジスタに必要な3つの信号( $V_{in}$ 、 $V_1$ 、 $V_2$ )、水平シフトレジスタに必要な3つの

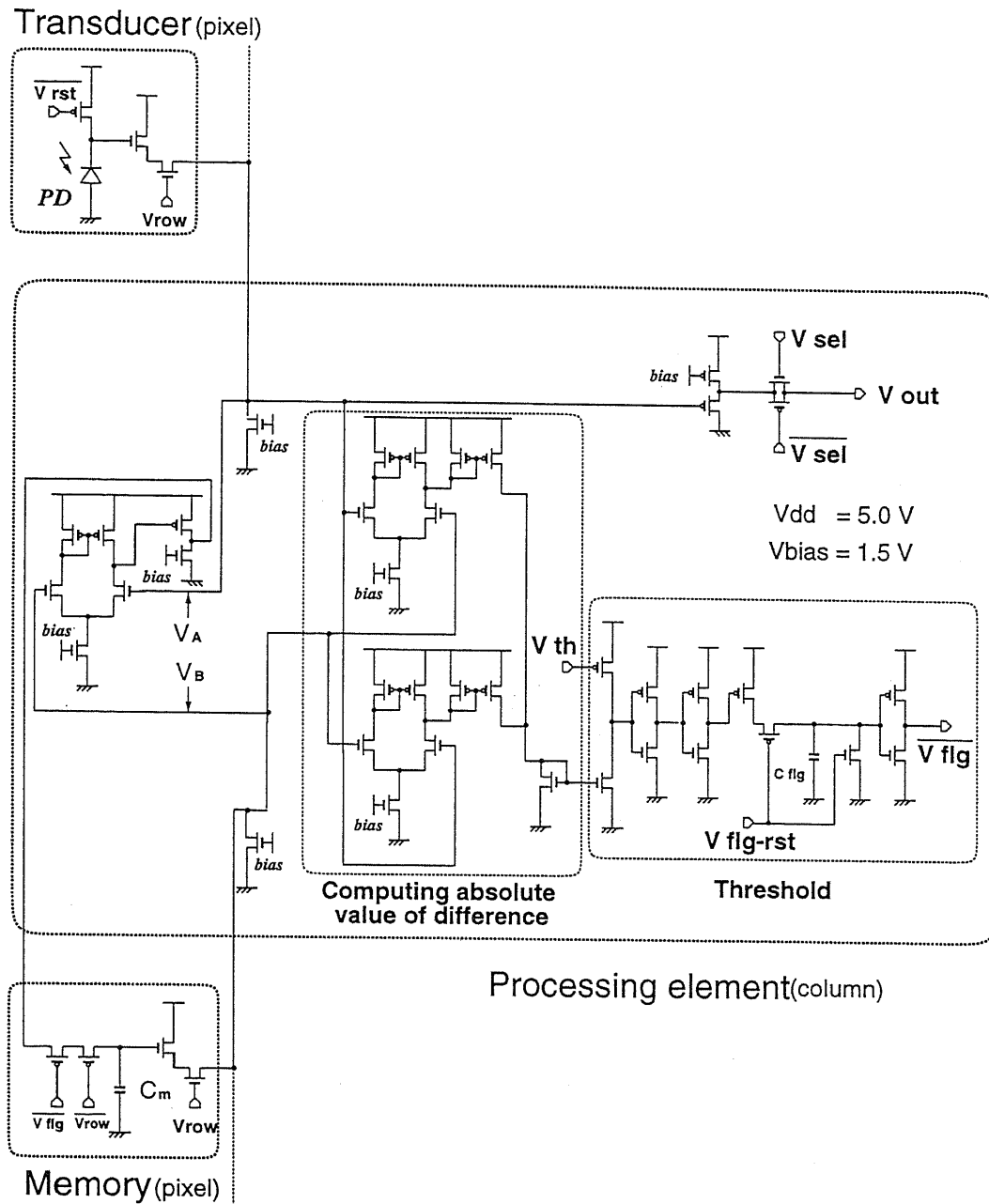


図 4.2: An analog circuit of a pixel for column parallel architecture

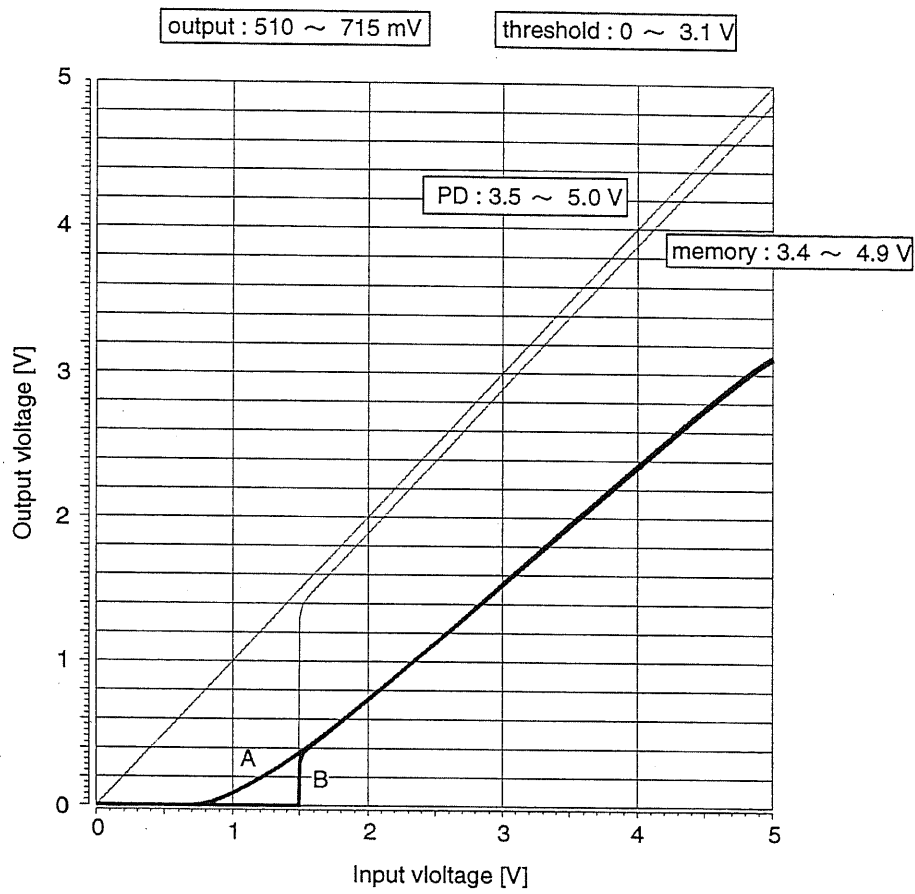


図 4.3: Response of photo diode and memory values

信号 ( $H_{in}$ 、 $H_1$ 、 $H_2$ )、およびフラグ情報を蓄積するメモリのリセット信号  $V_{flgrst}$  の 7 つの信号が必要である。以下に、処理の流れに沿って説明する。

垂直シフトレジスタに加えられたスタートパルス  $V_{in}$  は、2 つの同期信号により徐々に移動する。行読み出し信号  $S_y$  は、 $V_1$  に同期しており、 $i$  行目の読み出しパルス  $S_y(i)$  は同時に  $i-1$  行目のフォトダイオードのリセットパルスとなっている。また、行読み出し信号の移動の前後では  $V_{flgrst}$  を on にし、フラグ情報のリセットを行ない、フラグの誤検出を避けている。同様に、 $S_y(i)$  が選択されている間に水平シフトレジスタにスタートパルス  $H_{in}$  を加え、 $H_1$ 、 $H_2$  にてそのパルスを移動させ、列読み出し信号  $S_x(i)$  を発生させる。 $S_y(i)$  が選択されると、 $i$  行目の画素値は直ちにセンサ上部に伝送されており、 $S_x(i)$  を発生させることにより、選択された画素値が順に共通の出力線を通じてセンサ外部に出力される。なお、本プロトタイプでは、PD 上の蓄積電荷量に対応する電流が出力され、外部にて負荷抵抗により電圧値に変換される。

### 4.3.3 画素値の読み飛ばし出力

センサに圧縮機能をもたらすためには、有意画素のみを選択的に出力する必要がある。提案する動画像圧縮センサでは、図 4.6 に示すような読み飛ばし機能付き水平シフトレジスタにより、選択読み出しを実現している。これは、通常の 2 相駆動型の CMOS ダイナミックシフトレジスタに、スイッチ回路により接続された別の経路を付加した構成である。各行で選択された画素から送られてくるフラグ情報を用いてスイッチ回路を切替えることにより、非有意画素であれば別経路を通じてその列を読み飛ばし、有意画素であれば選択信号  $S_x(i)$  を発生させる。また、読み飛ばし走査が終了すると、“End of Scan” 信号が high になり、外部に出力され、次の行の走査に移行することが可能である。

画素値の読み飛ばし出力時には、画像の再構成のために、出力する有意画素のアドレス情報を同時に伝送する必要がある。伝送するアドレス情報の形態としては、以下の 3 つの方法が考えられる。

1. 有意画素の出力時に  $n$  bit のアドレス信号を伝送する。 ( $2^n =$  センサの列数)
2. 上記アドレス信号をアナログ信号に変換することで、出力線を減らす。
3. アドレス情報の代わりに全てのフラグ情報を順に伝送する。

1. は、最も画像の再構成が容易であるが、画素数が多くなるにつれ出力線数が多くなり、多画素センサでは有効でない。2. は、センサ内部に D/A、外部に A/D 変換回路が必要となり、システムが複雑になる。また、アナログ信号の精度にも注意が必要である。3. では、出力線が 1 つでありセンサ内の回路負担が少ないが、画素値とフラグ信号の同期がずれるため、外部で補正する必要がある。本構成では、回路規模や出力線数を削減するために、3. のフラグ情報を伝送する方法を選択した。



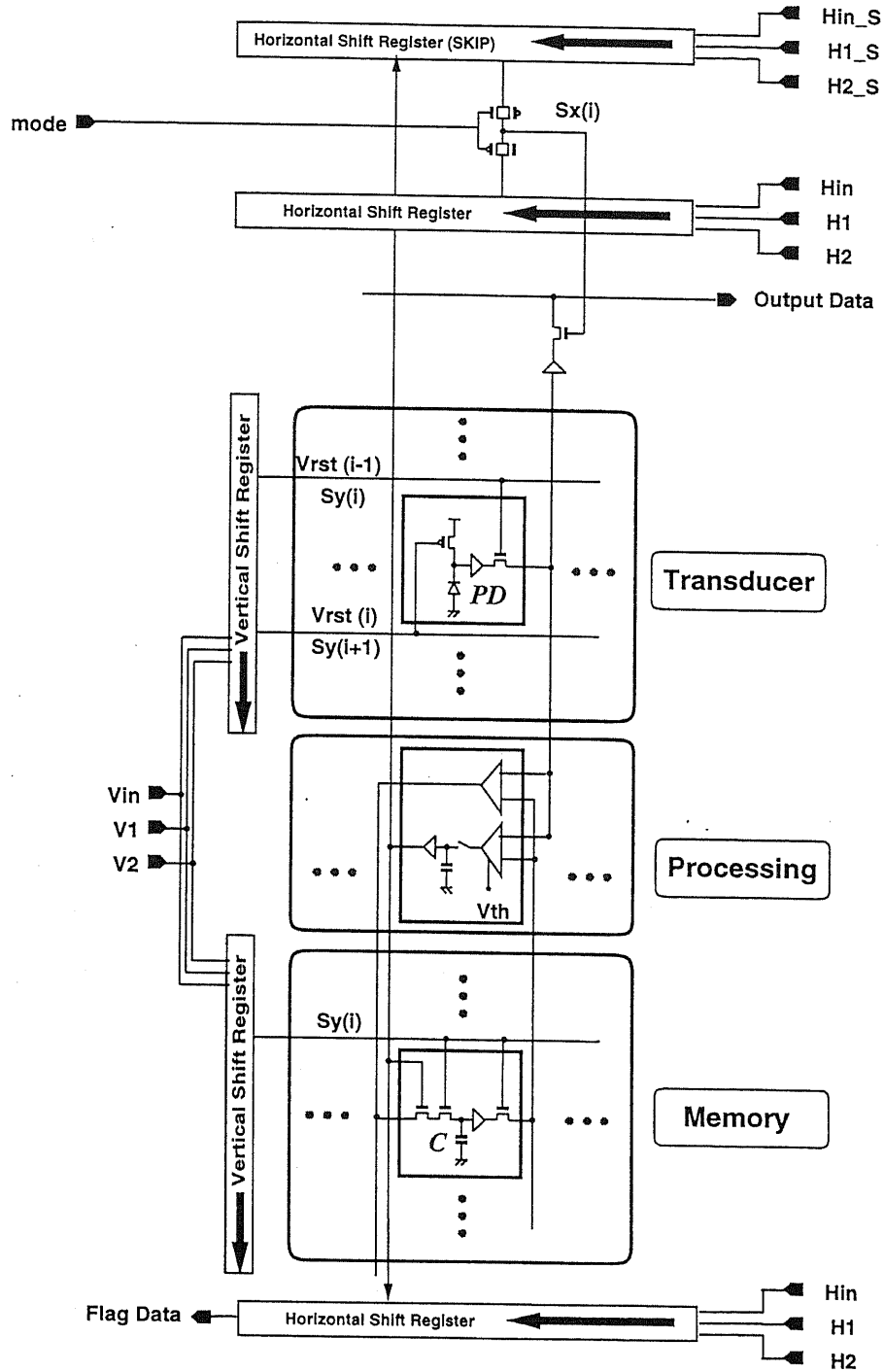


図 4.4: Block diagram of column parallel type sensor

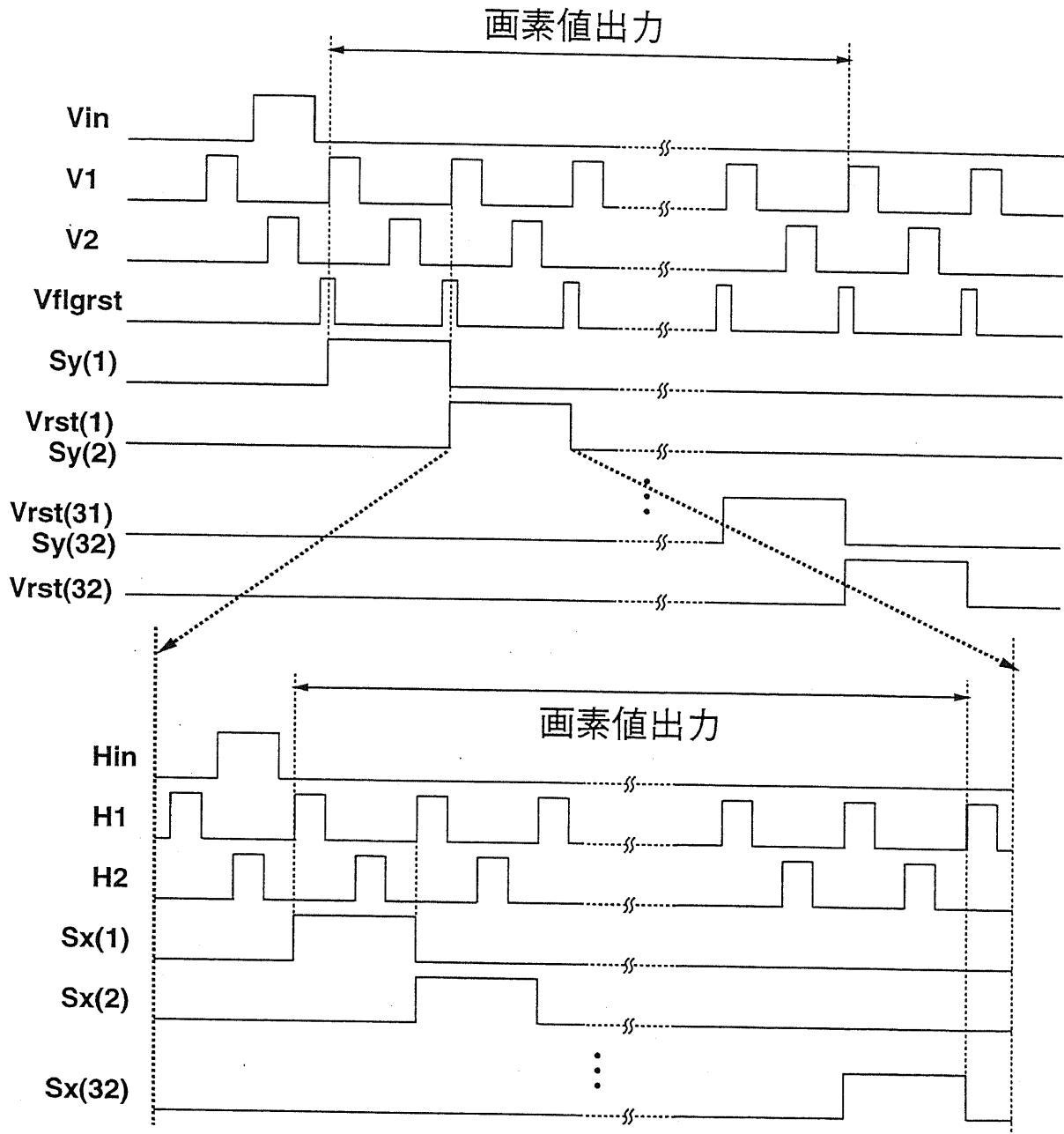


図 4.5: Timing chart

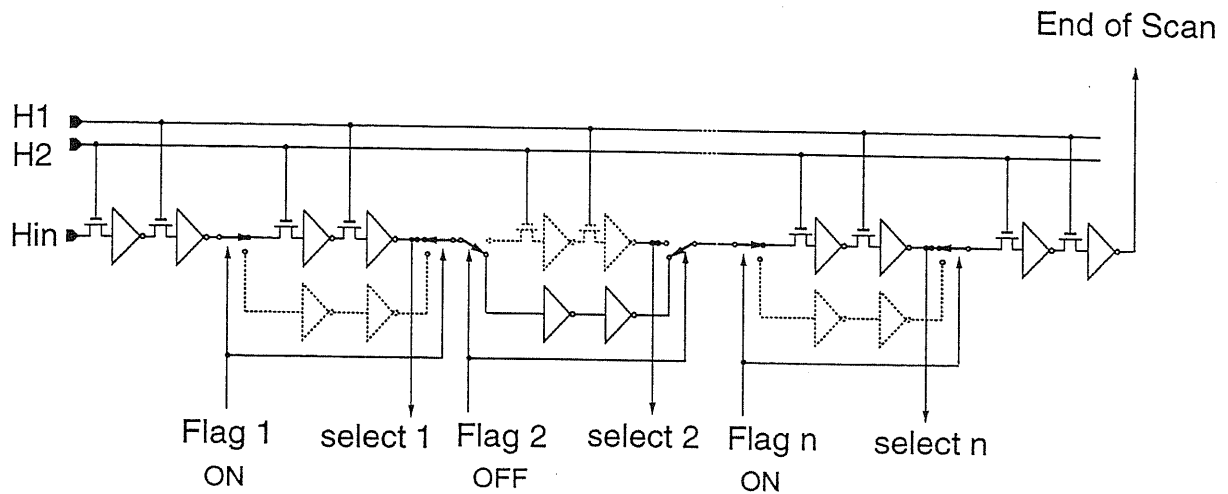


図 4.6: smart scanning horizontal shift register

図 4.4では最上部の画素値出力用の水平シフトレジスタとは別に、最下部に水平シフトレジスタを用意している。ここでは、画素出力とは異なる高速同期信号を用いて、この水平シフトレジスタを動作させ、全てのフラグ信号を順次出力する。フラグ信号はバイナリ情報であるため、画素値の読み飛ばし出力と同時に、全てのフラグ信号を出力することが出来る。図 4.7に 1 水平期間内での映像信号とフラグ信号の出力のタイミングの例を示す。フラグ判定後直ちに画素値とフラグ情報が別同期にて順に出力される。

#### 4.4 動画像圧縮センサの周辺回路

動画像圧縮センサの出力信号により画像を再構成する際には、図 4.8に示すような簡単な周辺回路で実現できる。画像の再構成には一切の演算を必要とせず、単に外部のメモリ値を更新するのみである。センサ外部には、アドレスデコーダ、センサの画素数に相当するフレームメモリ（アナログあるいはデジタル）、A/D コンバータ、D/A コンバータ（デジタルメモリの場合）、4つのラインメモリ、閾値制御回路を配置する。

以下、デジタルメモリを採用した際の再構成手順を説明する。図 4.7に示したように、画素値情報とフラグ情報は異なったタイミングにて出力するために、それぞれに二つのラインメモリを用意し、それを切替えて利用する。よって、正確には画像の再構成は 1 ラインずつ遅延することになる。まず、ある行の有意画素が順に出力され、A/D 変換された後ラインメモリに記憶される。同様に、その行の全フラグ情報が順に出力され、対応するラインメモリに記憶される。次に、そのフラグ情報により生成されたアドレス情報を基に、指定されたメモリの番地に有意画素値を置き換えていく。よって、センサ外部のフレームメモリの情報とセンサ内部のメモリ部に記憶されている情報は全く同一の値を持つことに

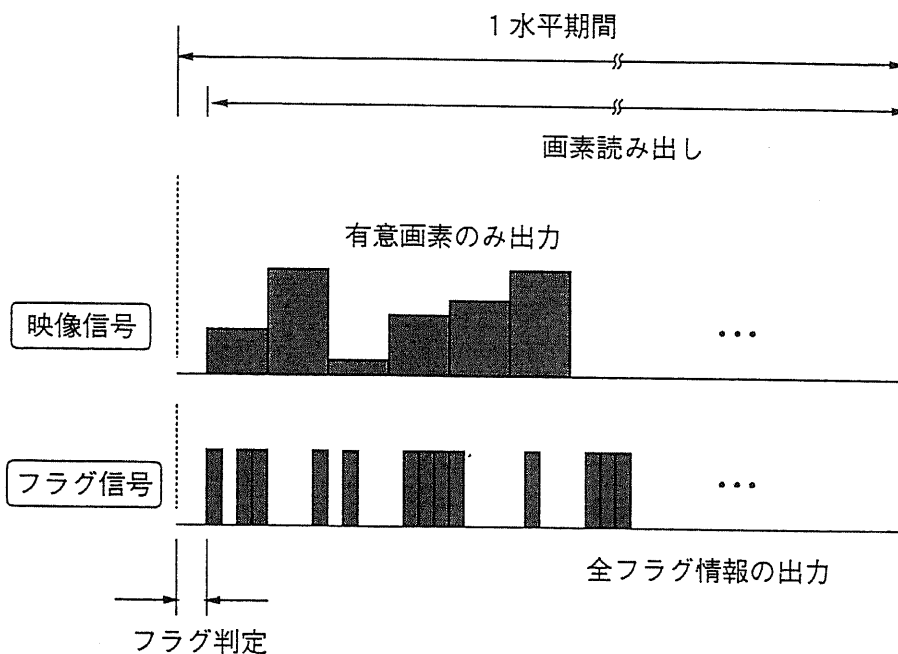


図 4.7: output timing of video signal and flag signal

なる。また、書き込み同期信号とは別の出力同期信号を外部メモリに加えることで、任意のスピードにて再構成画像を出力することができる。

本来、高精細で高速度な画像処理システムの実現を目指すには、周辺に配置される A/D コンバータ、D/A コンバータ、フレームメモリの処理速度や精度、再生画像を表示させるディスプレイ等の表示系の性能を含めて考慮すべきではあるが、本論文では、その入力部にあたりシステム全体の性能を大きく左右する動画像圧縮センサのみを検討の対象とする。

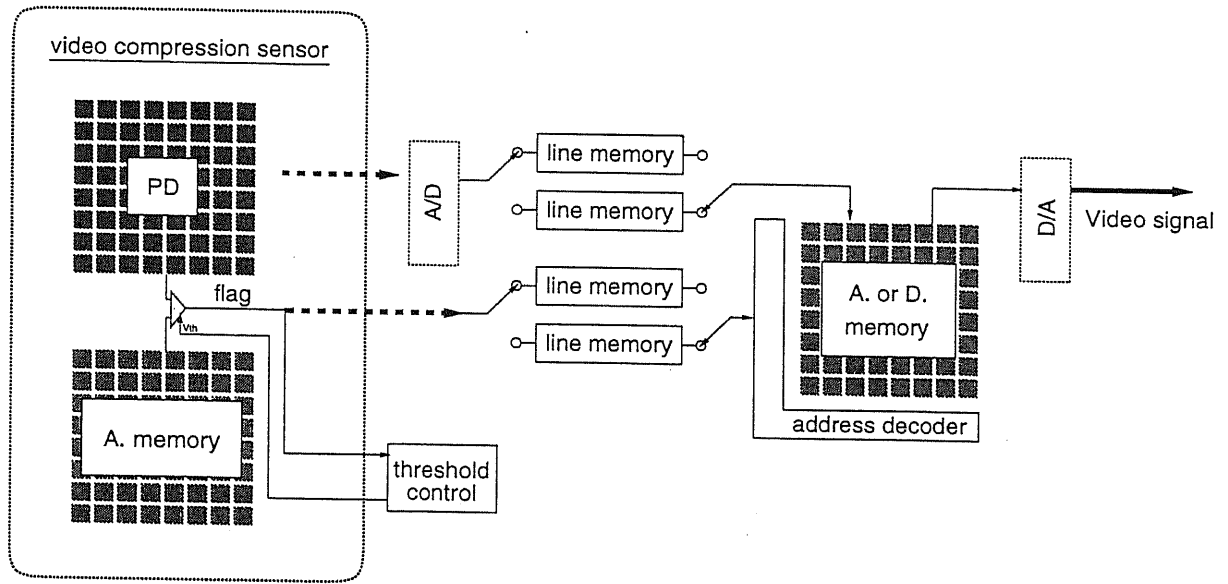


図 4.8: 動画像圧縮センサとその周辺回路

#### 4.5 プロトタイプチップのレイアウト設計

4.3項で述べた回路により、プロトタイプのレイアウトの設計を行った。試作に用いたプロセスは、ES2のpoly1層、metal2層のN-well  $1.0\mu\text{m}$  CMOSプロセスである。通常イメージセンサの製造に利用されるプロセスはメタル層を3層有しており、フォトレセプタ以外は3層目のメタル層にて遮光される。本プロトタイプで使用可能なプロセスは、メタル層が2層のみであるため、アナログ回路部では2つのメタル層を用いて、可能な限り光の入射を遮るよう試みた。

図4.9に設計したレイアウトの全体図を示す。図4.9では、画素数が $32 \times 32$ 画素で、コアの配置はほぼ図4.4と同じである。また、中心部のアナログ系とシフトレジスタ等のデジタル系は完全に分離しており、画素値信号への高周波ノイズの混入を防いでいる。プロトタイプは電源電圧用も含めて入出力パッドを34個（アナログ用7個）有している。電源電圧、バイアス電圧以外では、入力信号は垂直、水平シフトレジスタの駆動信号、mode信号、 $V_{flgrst}$ 信号、閾値電圧である。一方、出力信号は画素値信号、フラグ信号、End of Scan信号の3出力である。

図4.10にセンサ部の1画素分のレイアウトを示す。ここで、ピクセルピッチは $60\mu\text{m}$ である。図4.10では、最も大きな面積を占める部分がフォトダイオードの開口部である。フォトダイオードは、P基板上にN拡散領域を作成し、そのPN接合を利用した。そのサイズは、 $37.25\mu\text{m} \times 37.25\mu\text{m}$ である。また、光電効率を上げるため、フォトダイオード直上のpassivation層は、開口することとした。

図4.11に、メモリ部の1画素分のレイアウトを示す。図4.11では、下端の約半分の面積を占める部分が、キャパシタ $C_m$ である。キャパシタは、ゲート酸化膜を絶縁層とした基板-ゲート間のMOSキャパシタで実現した。メモリ部では、スイッチングトランジスタに起因する電荷のリークが予想されたが、実際のリーク電流を推定できなかったため、経験的に約2pFの容量に定めた。

図4.12に、処理部の1列分のレイアウトを示す。図4.12では、上から順にフラグ判定回路、絶対値差分演算回路、現画素値をメモリに転送する回路から成っている。今回の試作では、センサ部、メモリ部、処理部の幅を全て同一に設計したため処理部は縦長な構成になったが、正方格子であるセンサ部以外では形状を自由に設計できる。

表4.2に設計した列並列処理センサの仕様を示す。チップ全体の大きさは、 $3.6\text{mm} \times 6.4\text{mm}$ で、センサ部のピクセルピッチは $60\mu\text{m}$ である。トランジスタ数は、センサ部が3個、メモリ部が10個、処理部は41個であるため、画素並列処理構成[74][75]と比し、センサ部、メモリ部、処理部におけるトランジスタ総数は、 $\frac{1}{2}$ 以下に削減される。なお、列並列処理構成でのトランジスタ総数の削減効果は、センサの画素数が増加するにつれさらに増すことになる。

特にセンサ部を構成するトランジスタは3個であり、AMI[76]等の内部増幅型MOSセンサと同等となり、開口率は38.5%まで改善できた。また、消費電力は各列で最大1.5mW

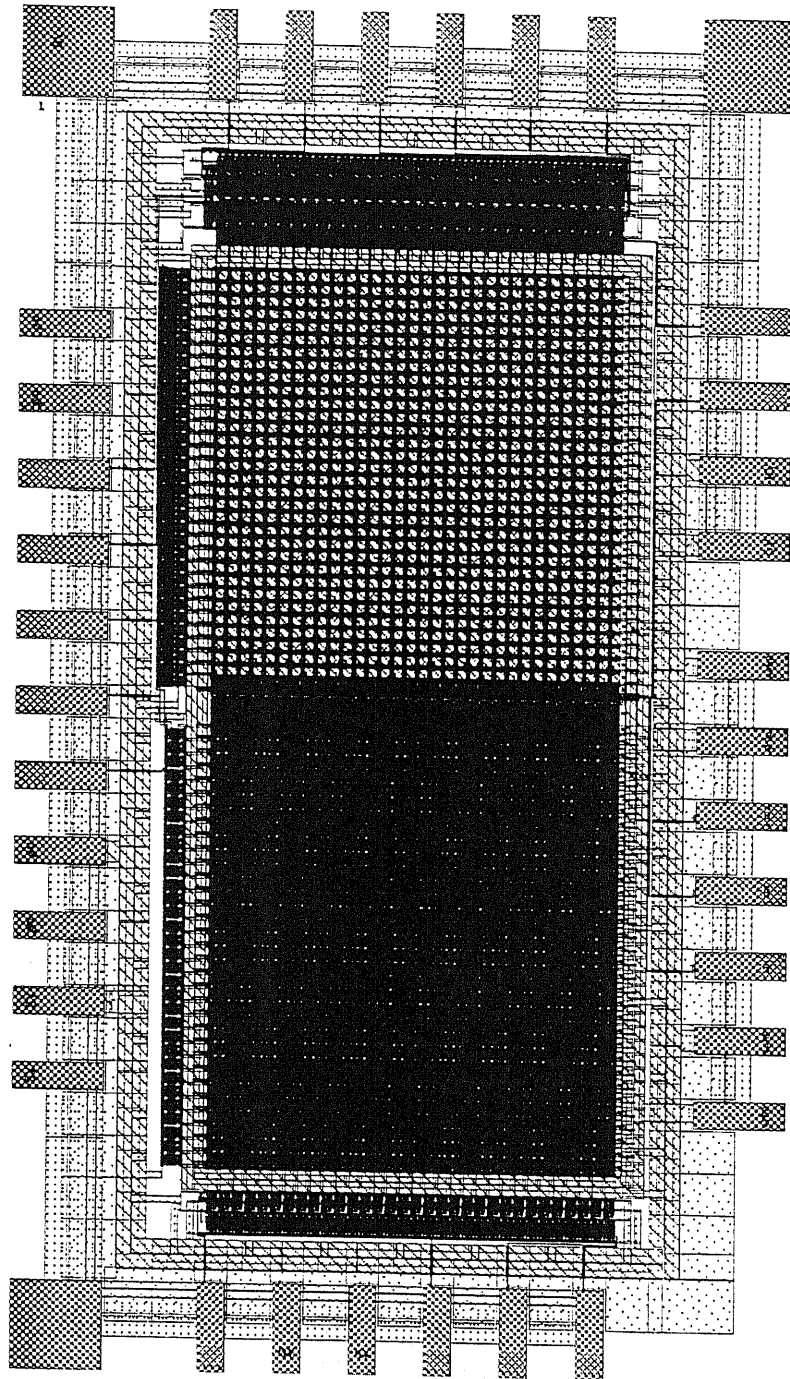


図 4.9: Layout of new compression sensor based on column parallel architecture

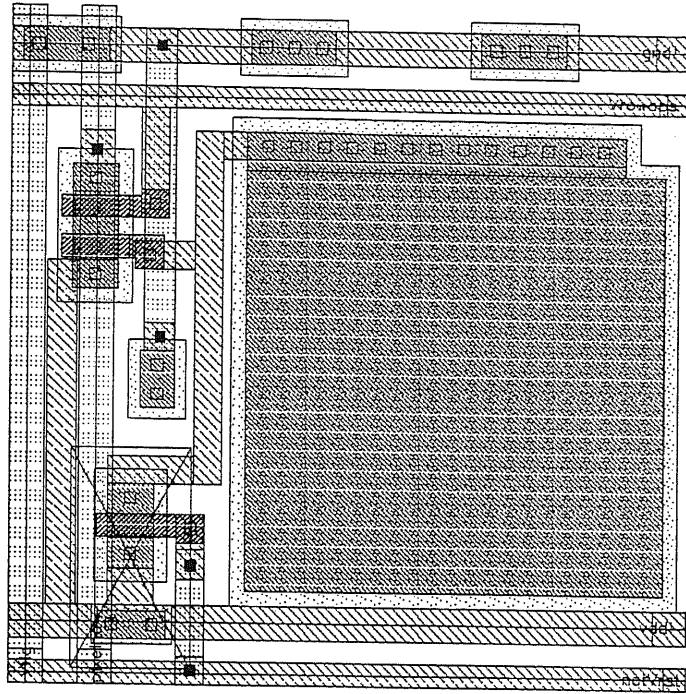


図 4.10: Layout of transducer area in Figure 4.9

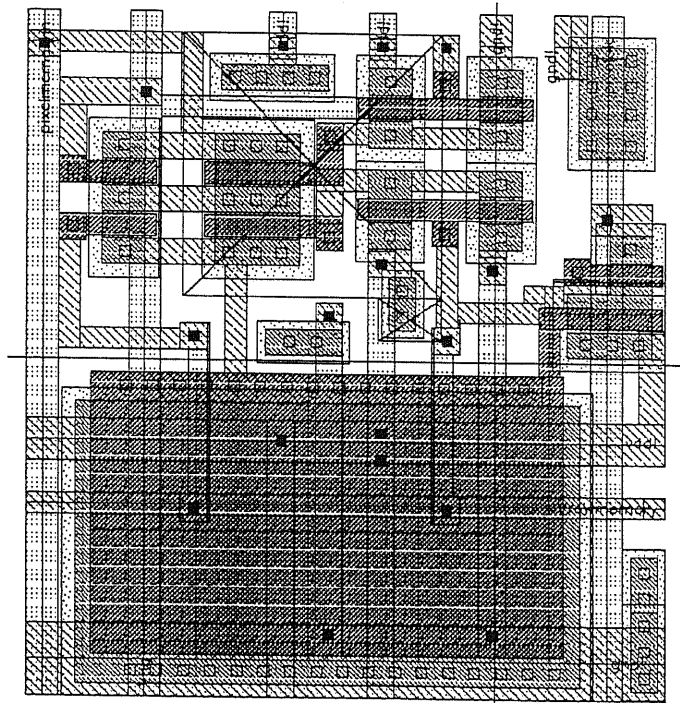


図 4.11: Layout of memory area in Figure 4.9



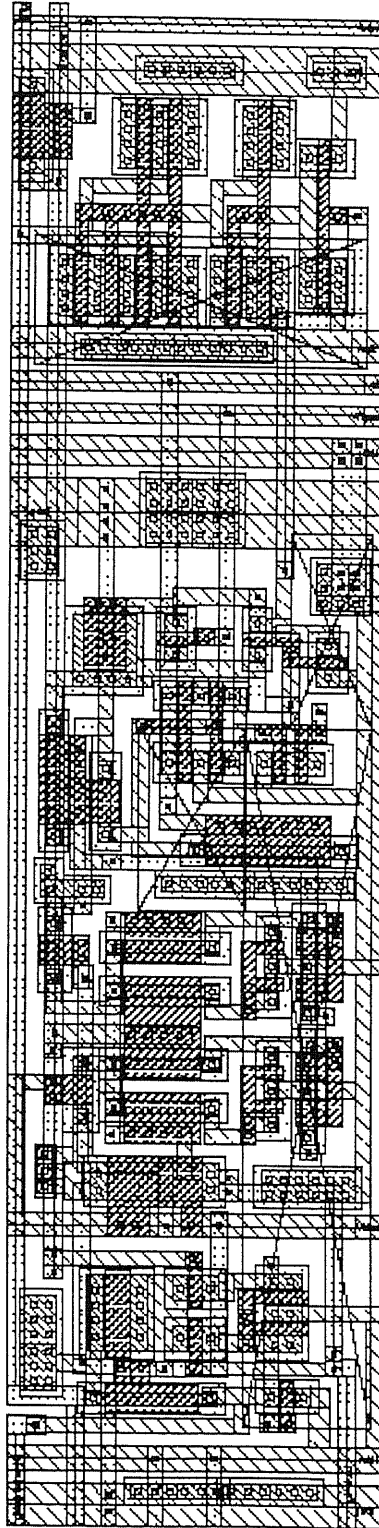


図 4.12: Layout of processing area in Figure 4.9

表 4.2: Outline of prototype of new compression sensor

|                       |  |
|-----------------------|--|
| Number of pixels      | 32 × 32 pixels   |
| die size              | 3.6 mm × 6.4 mm  |
| pixel size            | transducer : 60 μm × 60 μm<br>memory : 60 μm × 65 μm<br>processing : 60 μm × 244 μm      |
| Number of transistors | transducer : 3 trs. / pixel<br>memory : 10 trs. / pixel<br>processing : 41 trs. / column |
| Fill factor           | 38.5 %   |
| Power dissipation     | 1.5mW / column<br>50mW / chip<br>Vdd = 5V  |
| frame rate            | ≥ 2 μs / row   |

で、チップ全体でも約 50mW となり大幅に改善された。例えば、サイズを 512 × 512 画素としても、本構成の消費電力は 770mW 程度をなし、多画素集積化の可能性を示唆している。

#### 4.6 動画像圧縮センサのプロトタイプの試作

図 4.13 に、試作したプロトタイプの外観図を示す。プロトタイプチップは、PGA の 68pin にパッケージされ、約 2.8cm 角の大きさを有している。また、図 4.14 にセンサ部、メモリ部、処理部の顕微鏡写真を併せて示す。

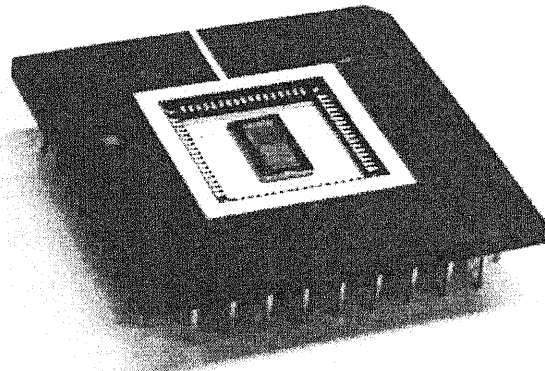
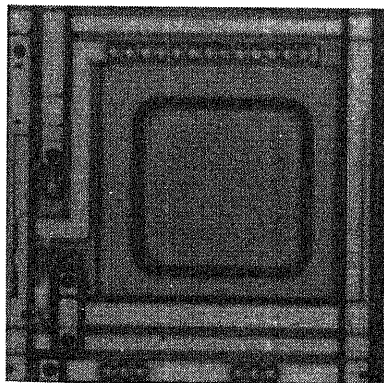
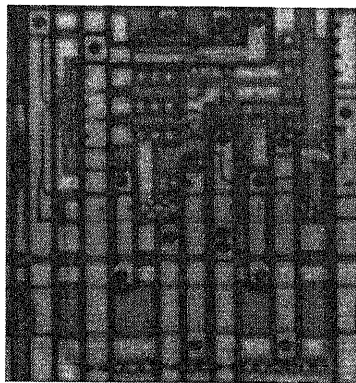


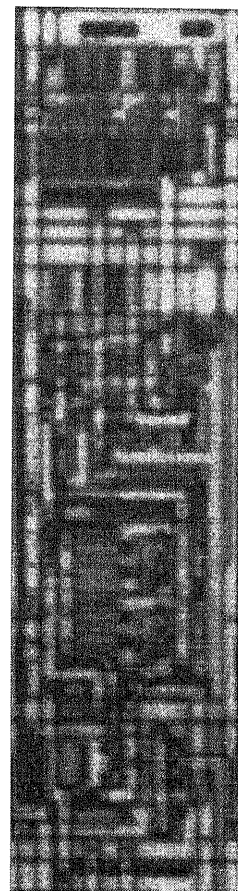
図 4.13: 試作チップ



(a) センサ部



(b) メモリ部



(c) 処理部

図 4.14: プロトタイプ各部の拡大図

#### 4.7 まとめ

本章では、列並列処理構成の動画像圧縮センサを提案し、その回路設計とプロトタイプの試作について述べた。回路設計では、1画素内の処理回路とその全体構成を明らかにし、その動作を具体的に説明した。また、実際にセンサに圧縮機能をもたらせる、読み飛ばし水平シフトレジスタの回路とその動作を説明した。hspiceによる設計回路の検証の結果、各行毎に $2\mu\text{s}$ と高速に処理が可能であることを確認した。また、動画像圧縮センサの再構成に必要な周辺回路とその動作について説明した。

さらに、設計回路を基にCMOS  $1\mu\text{m}$  ルールでレイアウト設計を行ない、試作したプロトタイプについて述べた。画素並列処理構成と比し開口率、消費電力等を大きく改善できることを確認した。特に、開口率は約40%となり、従来のイメージセンサと同等の性能を確保できた。

なお、本章で試作したプロトタイプは全てのレイアウトを設計した後、ヨーロッパのマルチチップ製造サービスであるCMPを通じて、製造された。

## 第 5 章

### 動画像圧縮イメージセンサの評価

#### 5.1 はじめに

本章では、前章において述べた列並列処理構成による動画像圧縮センサのプロトタイプの評価実験について述べる。評価実験を通じ、動画像圧縮センサの有効性と列並列処理構成の撮像特性や処理性能を明らかにする。

評価は、センサアレイからなるプロトタイプチップと、その部分回路を検証するために作成された 16 個のテグ回路からなる評価用チップを利用して行なう。

さらに、既に試作された画素並列処理構成のプロトタイプを用いて、閾値の動的制御による定レート出力動作の実験について述べる。

#### 5.2 列並列処理構成によるプロトタイプの評価

図 5.1 に、通常シフトレジスタを用いてプロトタイプで撮像した出力画像の例を示す。ここでは画素値が反転しており、明るい光が入射する程暗い画素になる。以降、本論文で扱う出力画像は全て反転出力にて表示している。

図 5.2 に示す評価システムを作成し、プロトタイプの動作確認を行なった。図 5.2 における、動作の説明を以下に示す。

- カメラ部品のジャバラの前に配置したスライドを通った光を、レンズによりプロトタイプ of センサ部に集光する。
- パルスジェネレータにより作成された各種同期信号により、プロトタイプを動作させる。同時に、映像出力用の同期信号を映像信号変換装置へ伝送する。
- 出力された画素値信号およびフラグ信号を、イメージバッファにより増幅する。
- 画素値信号を G 信号、フラグ信号を R 信号として映像信号変換装置に入力し、出力された NTSC 信号をモニタに表示する。

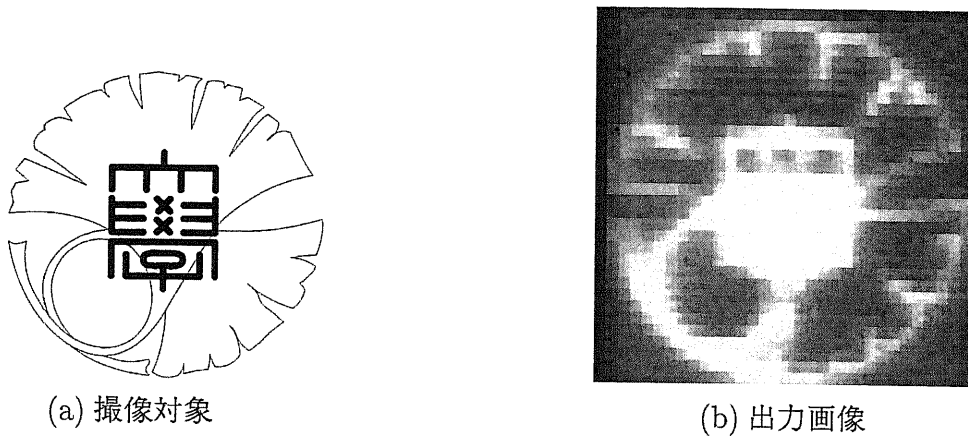


図 5.1: プロトタイプによる撮像例

- 同時に作成された RGB-Sync 信号を映像入出力装置に入力し、A/D 変換した後その信号を記録する。
- 記録された出力信号をコンピュータに伝送し、映像の再構成等を行なう。

試作したプロトタイプは、3層目のメタル層による遮光膜を有していないため、実験の際にはパッケージの上から直接センサ部以外にカバーを掛け、遮光を試みた。

### 5.2.1 通常出力モード時のセンサアレイの動作

図 5.3、図 5.4は、スライドに”T”の文字を作り、センサ面に投影した結果である。左から映像信号、フラグ信号、再構成画像を示し、上から下に向かって時間が変化している。映像信号は反転出力であるので、輝度が暗いほど明るい光が入射したことを示している。

図 5.3は、光源を物で遮ることにより、入射光を開閉させた時の出力結果である。ここでは、文字が現れた時のみ（図中3行目）、”T”型のフラグ信号が on となる。また、その時画像が出力画像と同様に再生できることが分かる。なお、現在の実験システムでは、画素値信号とフラグ信号を同時に得るために、それらを RGB のうち RG 信号として入力しており、その後画像入出力装置が YUV 信号に変換している。よって、図中に見られるノイズは、信号変換時の演算誤差や2信号が互いに干渉しているのが原因と思われる。

図 5.4は、スライドを左右に移動させ、投影している文字を水平方向に動かした際の出力結果である。文字の縦方向のエッジ部分のフラグ信号のみが on となり、再構成画像もノイズを除いてほぼ出力画像値と同じになることが分かる。これにより、本プロトタイプの処理機能が設計通りに動作していることが確認できた。

現在、プロトタイプチップの評価に際し NTSC 信号を利用しているため、最高毎秒 1475 フレーム程度での撮像が良好に行なわれることを確認している。この際、プロトタイプの

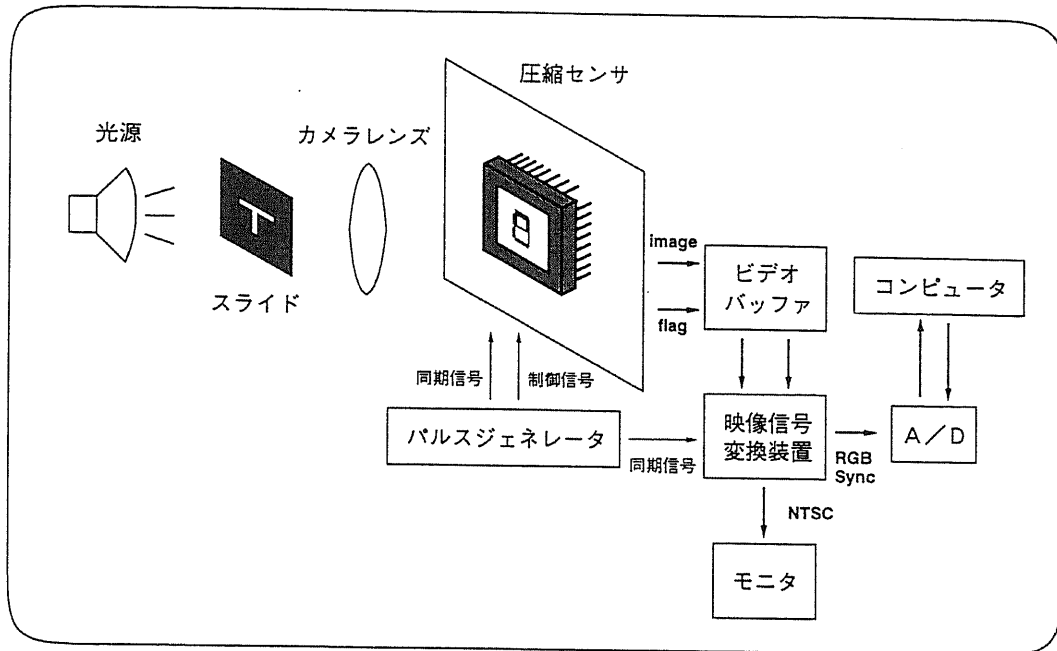


図 5.2: プロトタイプの評価システム

画素サイズが  $32 \times 32$  であるため、1 画面中に複数の画像を縦横に並べることにより、最高速での撮像を確認できる。

### 5.2.2 読み飛ばし出力モード時のセンサアレイの動作

前項と同様に図 5.2 の評価システムを用いて、読み飛ばし機能付き水平シフトレジスタを選択した際の、センサアレイの動作確認を行なった。図 5.5 に、入射光を開閉させた際の出力結果を示す。左端の画像は出力画素値信号であり、読み飛ばし動作のために画素値は左側につめられて出力されている。中央のフラグ信号がオンの時のみ画素値が出力し、フラグがオフの時には出力されないことが分かる。また、右側の画像はその時の再構成画像であり、外部にて正確に画像の再構成が出来ることが確認できる。

図 5.6 は、同様に投影している "T" を左右に動かした際の出力結果である。文字の縦方向のエッジ部分を中心にフラグが立ち、それに合わせて、対応する画素値が出力される様子が見てとれる。また、再構成画像は、ほぼ実際の映像と同様に出力されていることも分かる。図中のノイズは、フラグ信号を映像信号として扱い A/D 変換しているために、標本化点のずれなどから数画素にわたりボケが生じたため、出力画素値とそのフラグ信号が正確に対応がとれていないためである。

図 5.7 は、図 5.6 で文字を横に移動した際の出力画素数の変化を示している。ここでは、動きに合わせて最大約 9% の画素値が出力されている。

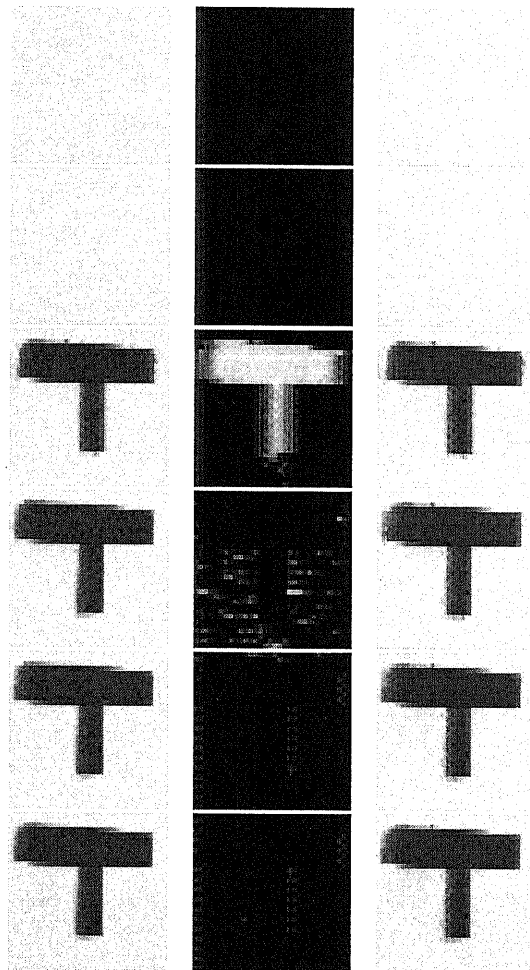


図 5.3: 光を点滅した場合の出力（通常動作時）；左から画素値信号、フラグ信号、再構成画像



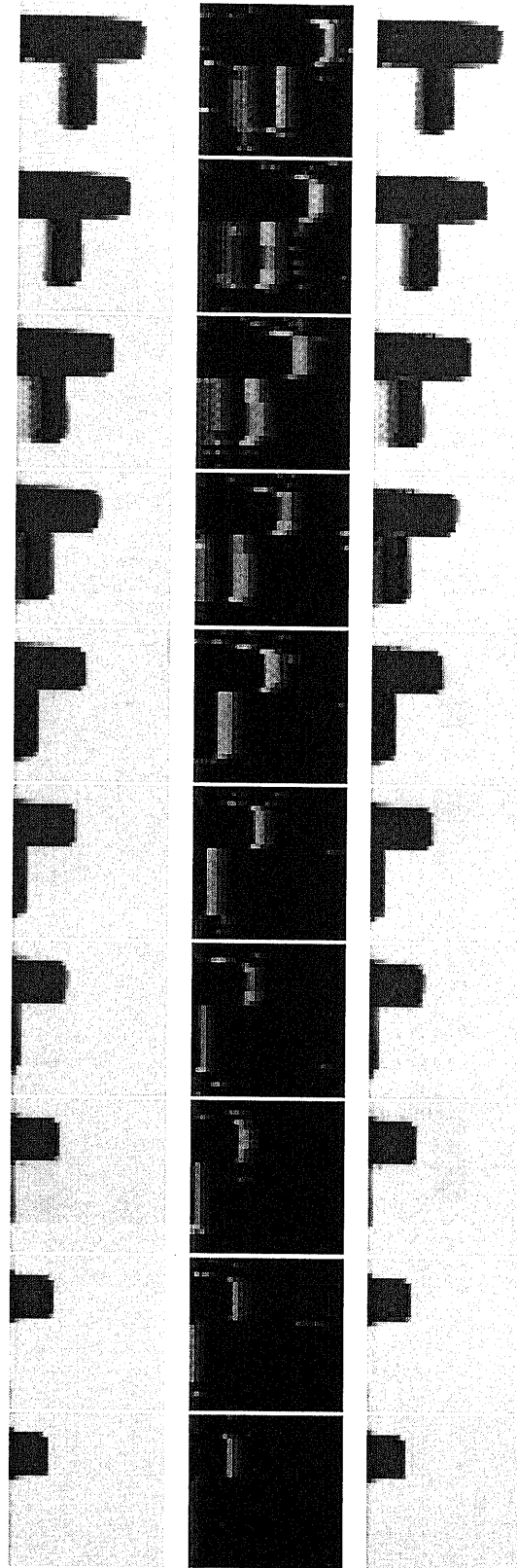


図 5.4: 文字を横に移動した場合の出力（通常動作時）；左から画素値信号、フラグ信号、再構成画像

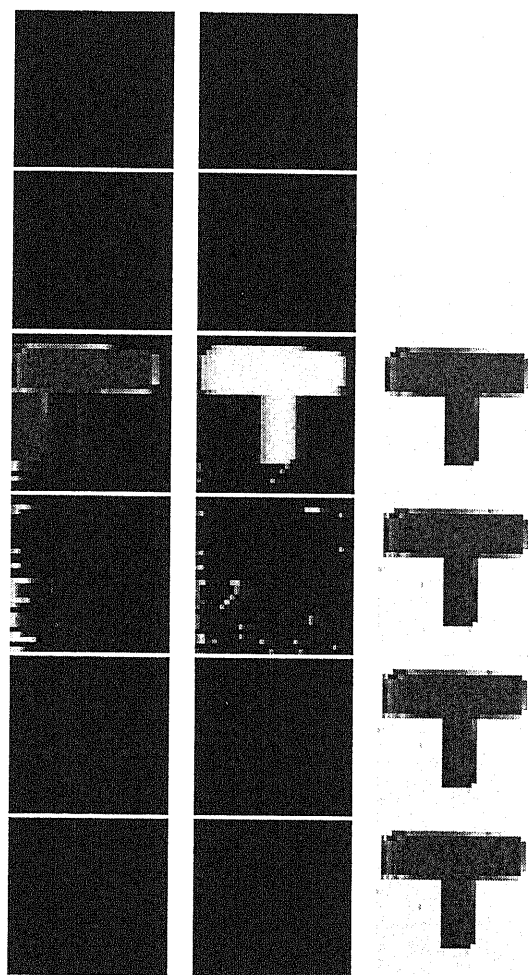


図 5.5: 光を点滅した場合の出力（読み飛ばし動作時）；左から画素値信号、フラグ信号、再構成画像

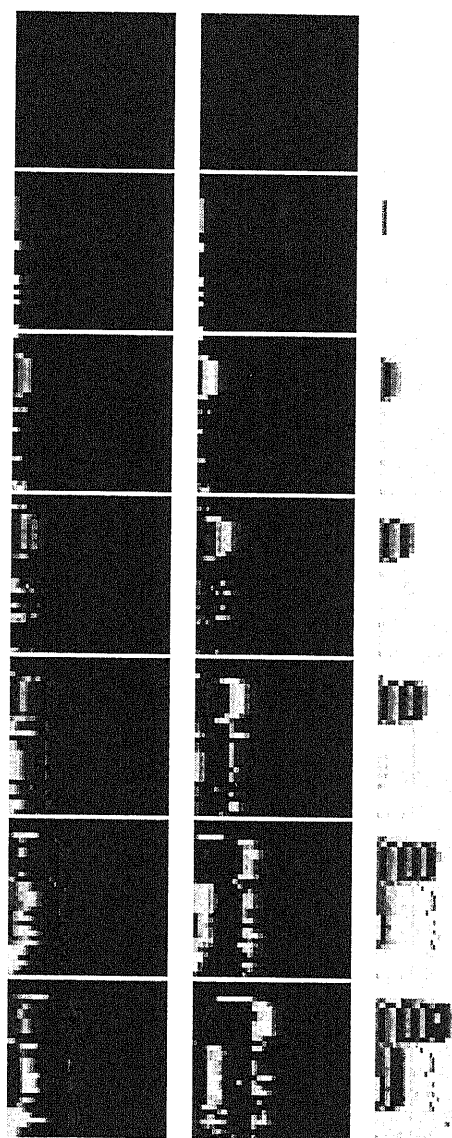


図 5.6: 文字を横に移動した場合の出力（読み飛ばし動作時）；左から画素値信号、フラグ信号、再構成画像

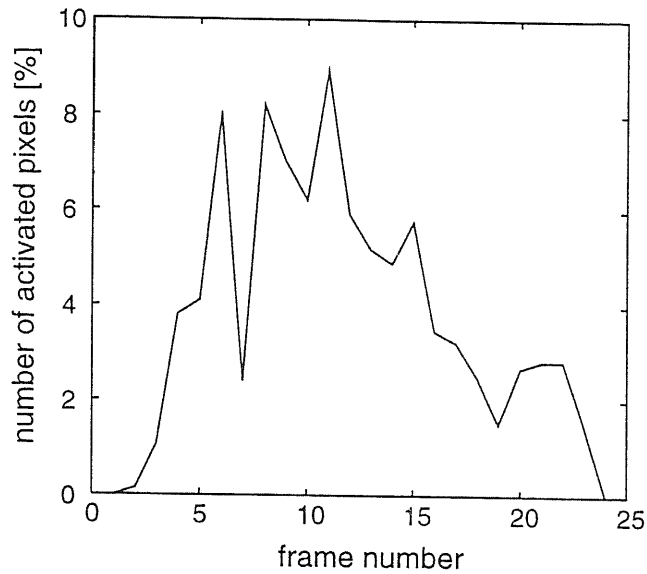


図 5.7: 文字を横に移動した際の出力画素数の変化

本実験により、読み飛ばし出力動作が正確に行なわれ、圧縮効果を得られることを確認した。しかし、より正確な再構成のためには専用の外部処理回路を構築し、再評価をする必要がある。

### 5.3 列並列処理構成のプロトタイプの部分回路を用いた評価

プロトタイプに用いた回路を部分的に取り出し、その機能を評価するために評価用チップを作成した。本項では、それらのテグ回路による実験結果について述べる。

#### 5.3.1 光電変換特性

光源への入力電圧を制御することで、入射光量を変化させ、図 5.8 のテグ回路を用いてフォトダイオードの出力画素値との関係を調べた。図 5.8 は、フォトダイオードにより光電変換された蓄積電荷を NMOS により増幅出力する回路である。

図 5.9 は、入射光量と  $V_{out}$  の出力値の関係を示す。入射光量の測定に際しては、MINOLTA 製の色彩色差計 CL-100 を使用し、光量を 10 回測定した後その平均値を用いた。図 5.9 より、プロトタイプが飽和レベルまで  $10^3$  以上のダイナミックレンジを有していることが分かる。また、ほぼ線形性 ( $\gamma = 1$ ) を保っていることから、撮像素子として十分な性能を有することが確認できる。

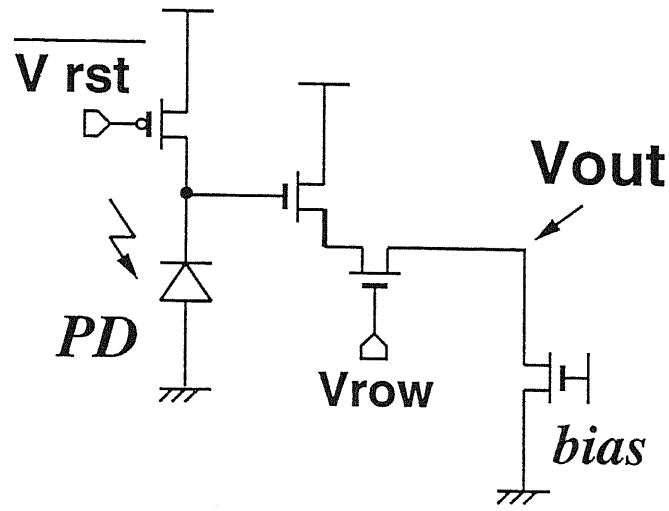


図 5.8: 光電変換特性実験のためのテグ回路

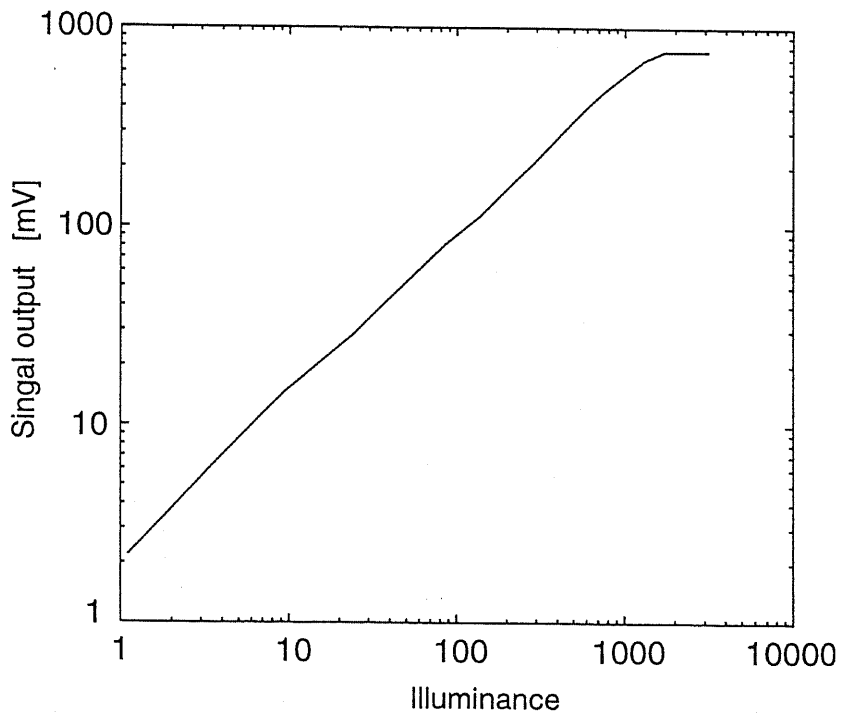


図 5.9: 光電変換特性

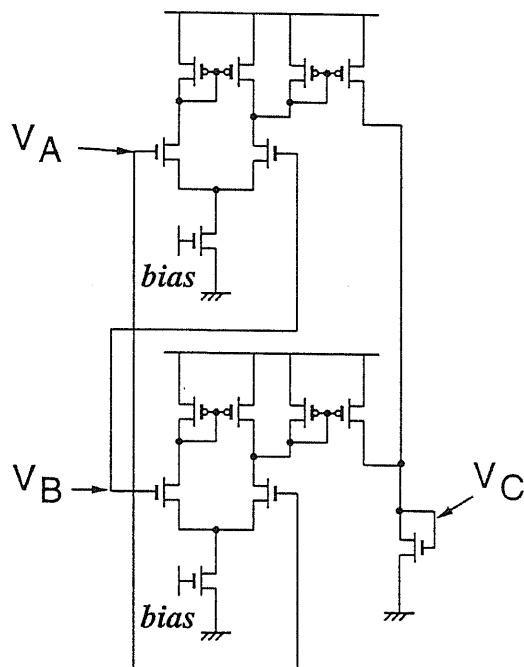


図 5.10: 絶対差分演算特性実験のためのテグ回路

### 5.3.2 絶対差分演算の精度

絶対差分の演算は、動画像圧縮センサ内のアナログ回路において、最も重要な処理回路の一つであり、高精度な演算が求められる。そこで、図 5.10 のテグ回路を用いて絶対差分演算の精度評価を行なった。ここでは、 $V_A$  を固定とし、 $V_B$  を動かした時の出力電圧  $V_C$  を調べた。図 5.11 は、 $V_A$  をそれぞれ 2.25V、2.50V、2.75V とした際の  $V_C$  の出力結果を示す。なお、 $V_B$  は図 4.3 で示したように、設計値である 2.0V ~ 3.0V の値をとるように調節した。図 5.11 より、出力電圧はほぼ左右対象となり、異なった  $V_A$  に対しても同一の結果を得ることが出来る。線形性を保っているのは約  $\pm 0.2V$  の範囲ではあるが、 $\pm 0.5V$  以上の範囲で単調増加を有する。よって、少なくとも単調増加である必要がある閾値判定には十分な演算性能を有していることが確認できる。

### 5.3.3 水平シフトレジスタの高速動作

図 5.12 に示すような、3 画素分の通常水平シフトレジスタを用いてテグ回路を作成し、その高速動作を確認した。図 5.13 は、実験に使用したパルスジェネレータにおける最高速で動作確認した結果である。図 5.13 内の 3 つの波形は、select1、select2、select3 の出力を順に表示している。半転出力のため、high から low に変化した時、その画素が選択されていることを示す。ここでは、1 画素あたりの読み出し時間を 20n 秒としているため、

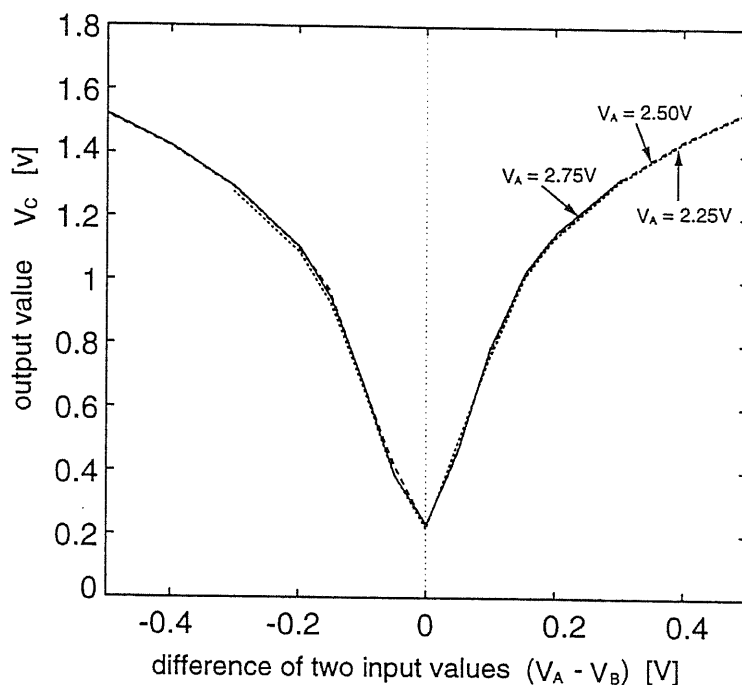


図 5.11: 絶対差分演算特性

1 水平期間を  $2\mu$  秒とすると、1 行処理時間内におよそ 100 画素まで読みだし可能である。

#### 5.3.4 読み飛ばし機能付き水平シフトレジスタの選択動作

読み飛ばし機能付きシフトレジスタの動作確認を行なった。ここでは、図 5.14 に示すような、3 画素分のシフトレジスタを用い、外部からフラグ情報を与えることにより実験を試みた。図 5.15 にその動作波形を示す。各図中の 3 つの波形はそれぞれ select1、select2、select3 の波形であり、反転出力のため high から low に転じた時に選択パルスが出力することを示す。ここで、8 つの波形パターンは入力する 3 つのフラグ信号を変化させた時の出力波形である。フラグ信号をオンとすることで、対応する画素をほぼ遅延なく読み飛ばし、次の選択パルスを出力することを確認できる。

#### 5.3.5 メモリ部でのリーク特性

動画像圧縮センサを実現する上で最も留意すべき問題は、アナログメモリのリーク電流である。一般に、リーク電流の多くは、スイッチングトランジスタの動作に起因するものと考えられる。また、本試作で利用したプロセスは 3 層目のメタルによる遮光膜を有さないために、光の入射に起因するリーク電流も見込まれる。(ただし、本プロトタイプで

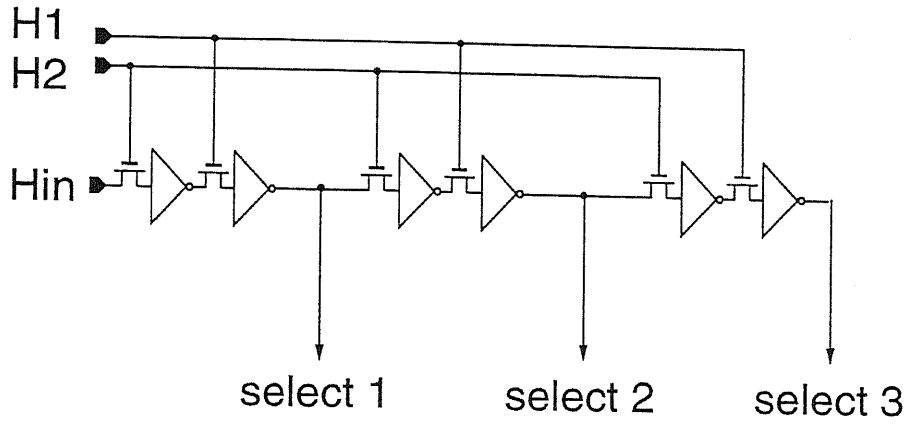


図 5.12: 3 画素分の水平シフトレジスタによるテグ回路

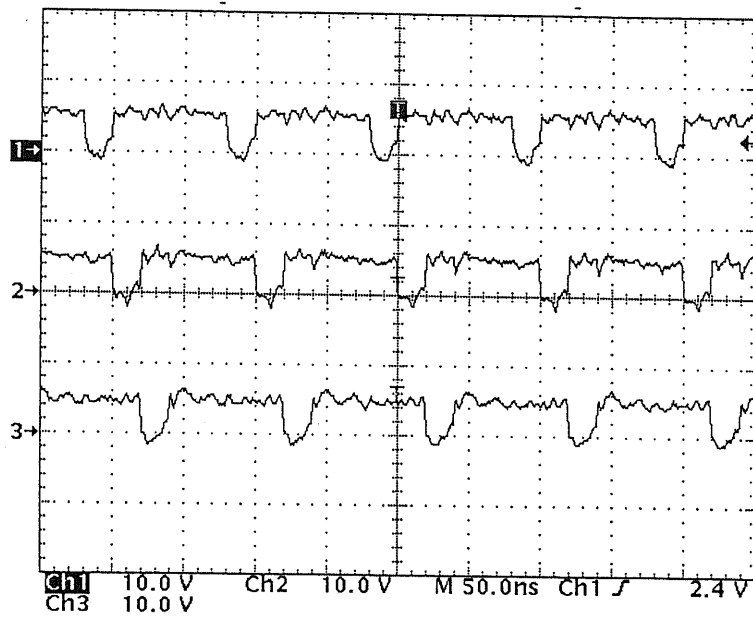


図 5.13: 水平シフトレジスタの高速動作



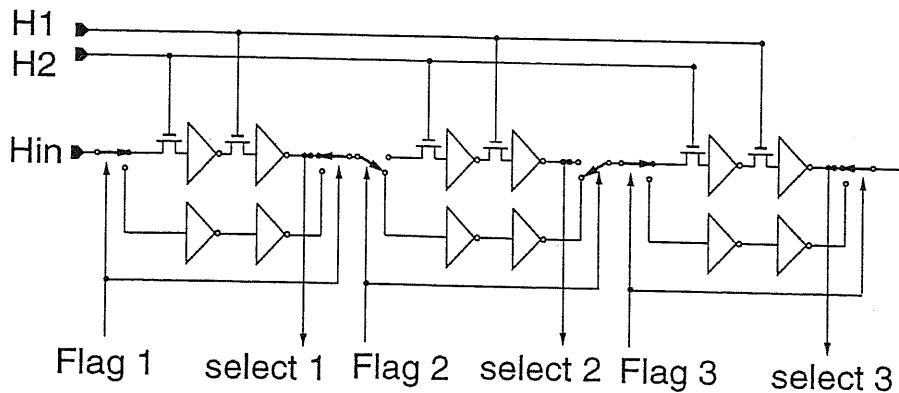


図 5.14: 3 画素分の読み飛ばし機能付き水平シフトレジスタによるテグ回路

はセンサ部とメモリ部は完全に離れて配置しており、メモリ部には集光しないため、光の入射によるリークは少ない。) そこで、本項では図 5.16 に示すメモリ部のテグ回路を用いて、リーク電流の特性を確認する。実験は、メモリを設計最大値である 4.8V で充電した後、スイッチ動作を行なわない場合と行なう場合について、 $V_{out}$  の電圧降下を測定した。

なお、本試作では実装上の制約なども考慮し、経験的にキャパシタンスの大きさを約 2PF に定めている。

#### 充電後スイッチ動作を行なわない場合

メモリを 4.8V に設定した後、 $V_{row}$ 、 $V_{flg}$  のスイッチ動作を行なわない場合の  $V_{out}$  を図 5.17 に示す。実験中、 $V_{flg}$  スイッチは閉じており、 $V_{row}$  は開いている。

図 5.17(a) は入射する光を遮断した時の出力結果であり、図 (b) は室内光下にて実験を行なった結果である。光が入射しない場合は、ほぼリーク電流は流れず、メモリ値は一定の値を維持することが出来る。一方、強い光が入射した場合には、ほぼ 50m 秒でメモリ部分で予定している最大値から最小値まで減少することを確認した。

#### 充電後スイッチ動作を行なう場合

図 5.18 に示すタイミングで、 $V_{flg}$  および  $V_{row}$  スイッチを動かした際の、メモリのリーク特性を調べた。このタイミングは、プロトタイプと同じ  $32 \times 32$  画素のセンサがおよそ毎秒 1000 フレームにて動作している状態に相当する。

図 5.19(a) は入射する光を遮断した時の出力結果であり、図 (b) は室内光下にて実験を行なった時の結果である。図 5.19(a) より、光照射がない時には 1 フレーム期間内に、約 1.386mV の電圧降下が生じることが分かる。よって、動作範囲の 10% の変動を許容すると、約 94 フレームでメモリのリークによる誤出力が生じることになる。一方、室内光下

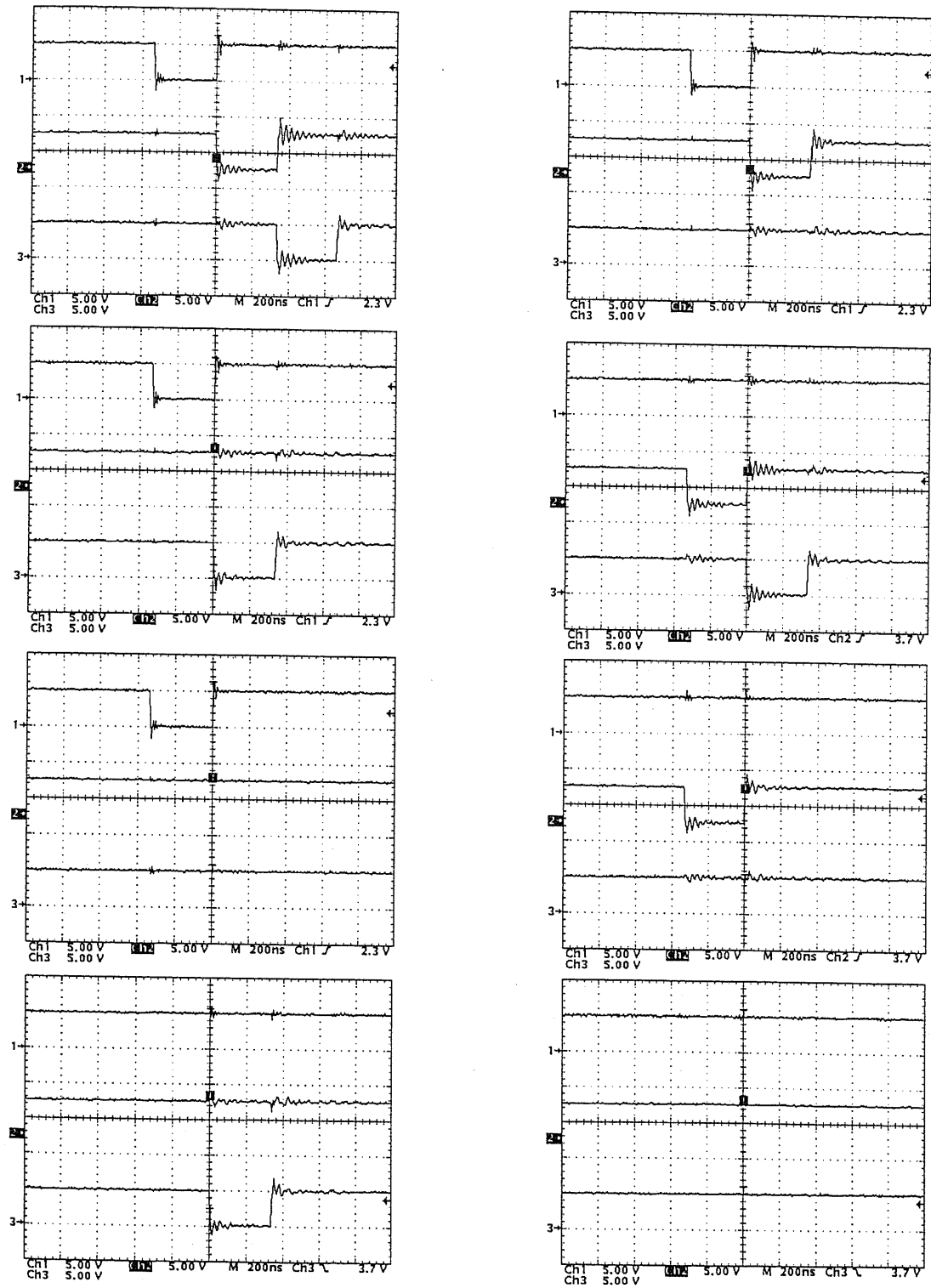


図 5.15: 読み飛ばし水平シフトレジスタの動作

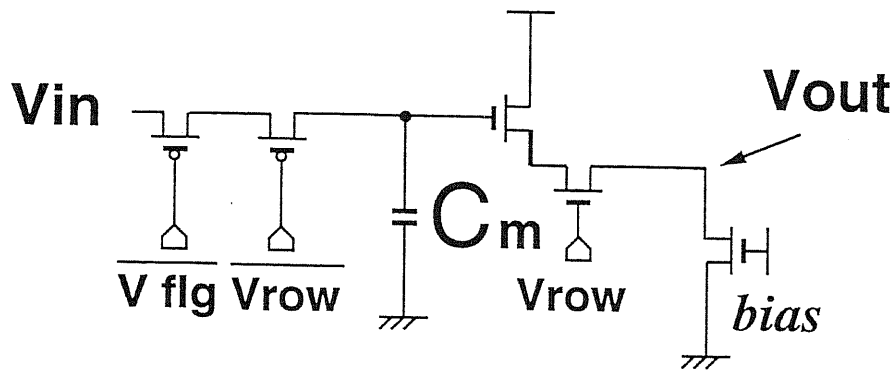
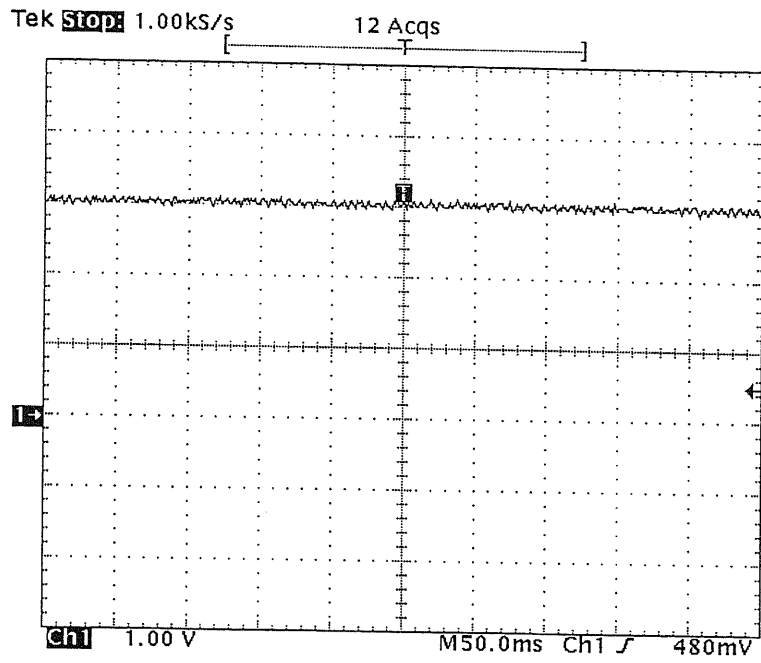


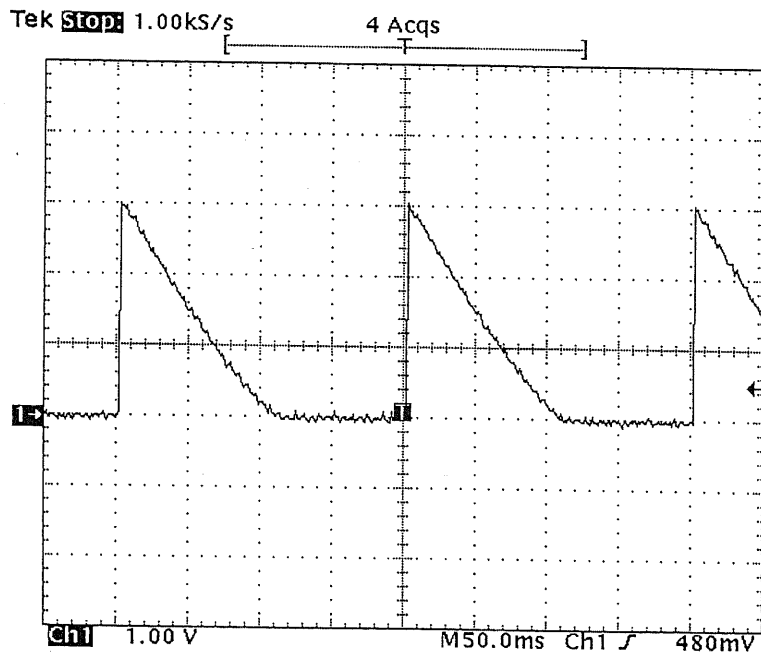
図 5.16: メモリのリーク特性実験のためのテグ回路

では、スイッチングの影響でさらに電圧降下が進められ、1 フレーム期間内に約 28.5mV の電圧が減少する。これは、4.6 フレームで動作範囲の 10% 程変動することに対応する。

実際の、撮像時にはセンサ部だけに光が投影され、メモリ部には光が入射しておらず、ここでのリークはほぼスイッチングの影響に限られる。よって、メモリ部のリーク効果により 1% 程度の圧縮効率の低下が見込まれる。



(a) 光照射なし



(b) 室内光下

図 5.17: スイッチ動作がない時のメモリのリーク特性

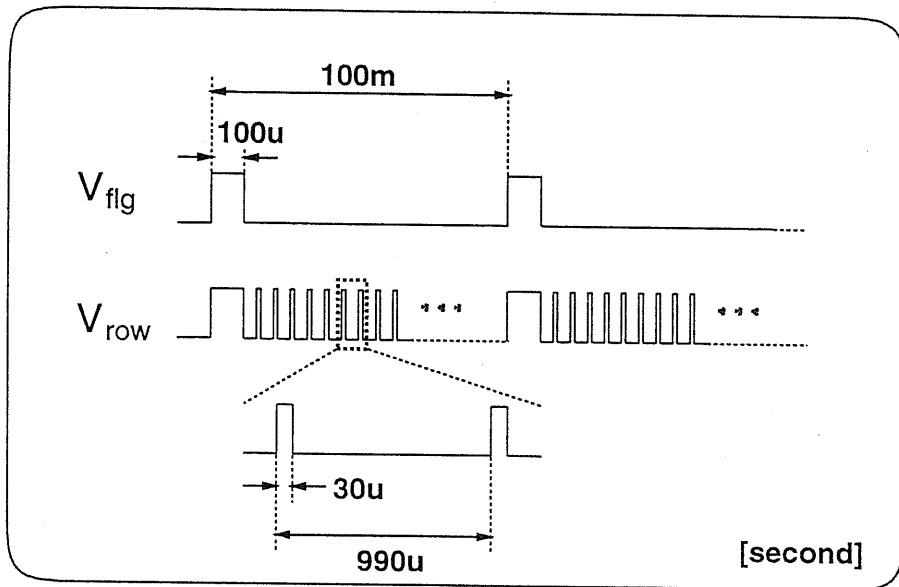
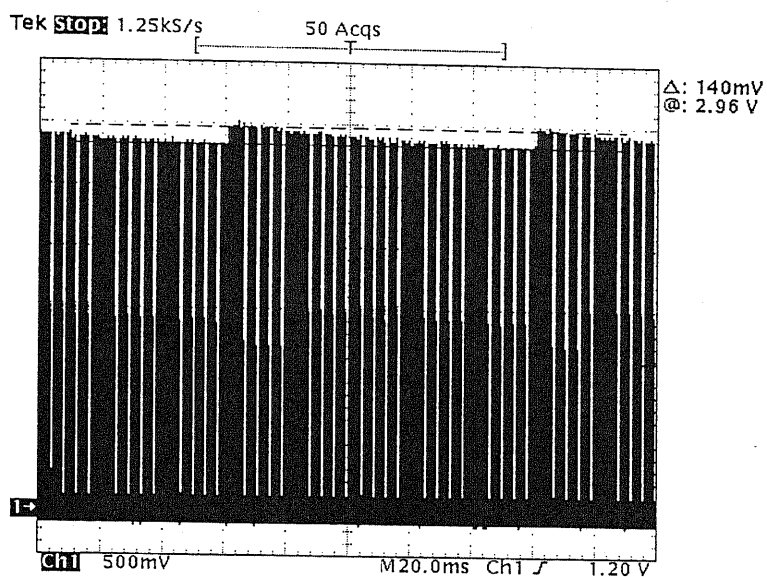
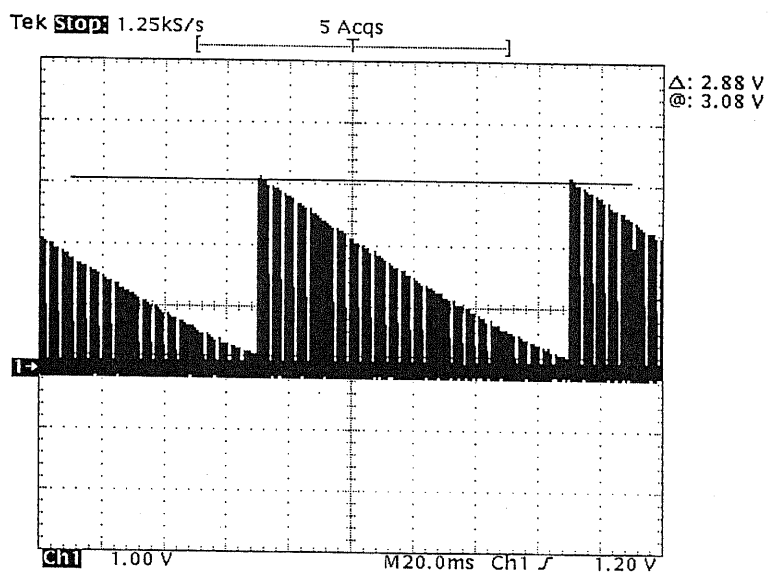


図 5.18: メモリ部のリーク特性実験における制御パルスのタイミング



(a) 光照射なし



(b) 室内光下

図 5.19: スイッチ動作時のメモリのリーク特性

### 5.3.6 1画素回路による高速撮像動作

図 4.2 に示した 1 画素のセンサ部、メモリ部、処理部からなるテグ回路を用いて、高速撮像時の動作確認をした。

図 5.20 に示すように、実験には光源として赤色発光ダイオードを利用し、その駆動電圧を正弦波状に変化した際の、PD 出力電圧  $V_A$  およびメモリ出力電圧  $V_B$  (図 4.2 参照) を調べた。

実験に際して、図 5.21 に示すタイミングで各スイッチを動かした。これは、プロトタイプが毎秒 10000 フレームで動作している状態に相当する。なお、 $V_{row}$  は常に on としている。

図 5.22 ~ 図 5.25 に、PD 出力電圧とメモリ出力電圧の実験結果を示す。各図の上部の波形は、LED を駆動する正弦波電圧である。図 5.22 の下部は、PD 出力電圧の波形であり、きれいな正弦波状の出力波形を得られる。なお、試作したプロトタイプはネガティブ型 MOS センサであるので、PD 値は反転して出力している。また、図 5.23、図 5.24、図 5.25 の下部は、それぞれ動き検出の閾値電圧を 1.0V、2.0V、3.5V とした際のメモリの出力電圧を示す。閾値が大きくなるにつれ、メモリ値の波形が PD 出力値の波形に近付いていく様子が確認できる。この時、メモリの出力値が変化する時点で画素値は出力されており、メモリ値はほぼ再構成値に等しい。

以上の実験により、本プロトタイプは毎秒 10000 フレームで撮像する性能を有することを確認できた。しかし、列並列処理構成では一行の処理に一定の時間が必要であるため、センサの画素数により実際の撮像速度は決定される。そこで、次項では一行に必要な処理時間の測定結果を示す。

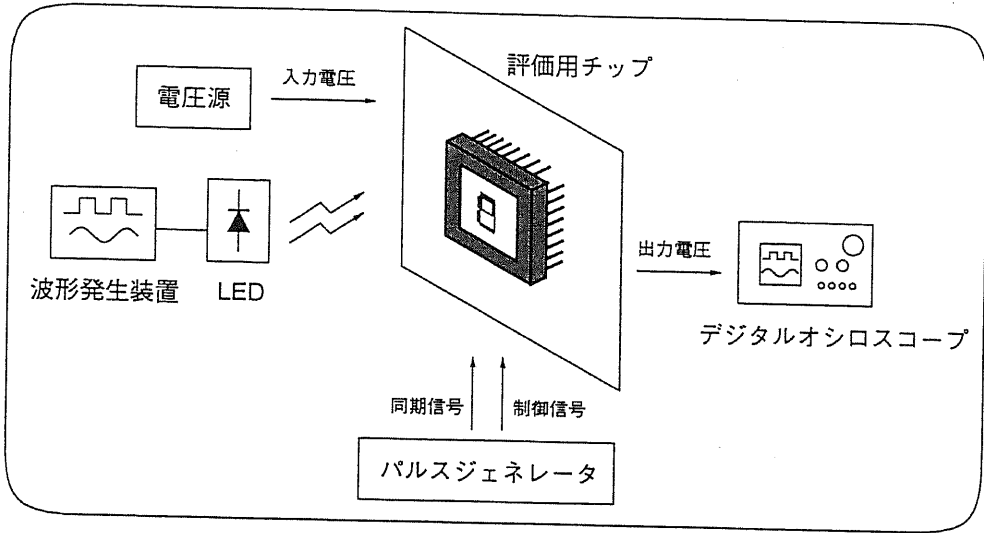


図 5.20: 1 画素回路による高速撮像の動作確認

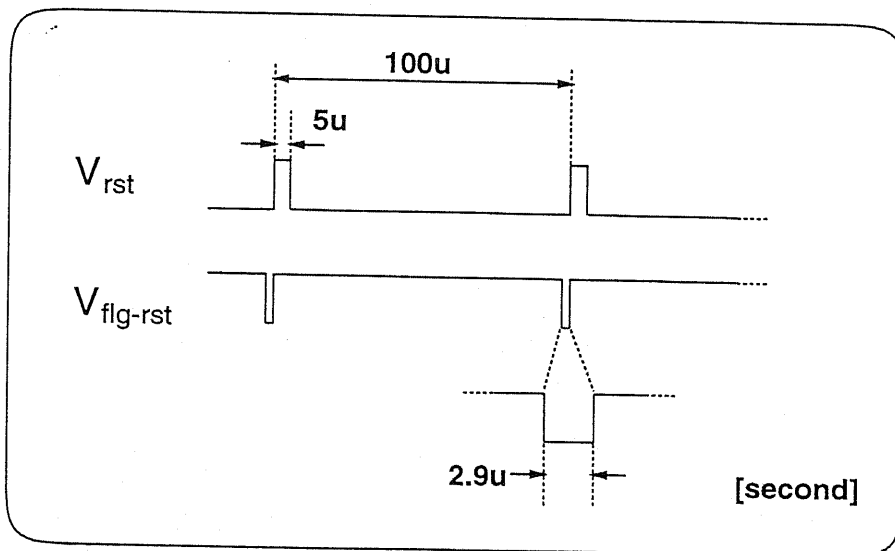


図 5.21: 1 画素回路の制御パルスのタイミング



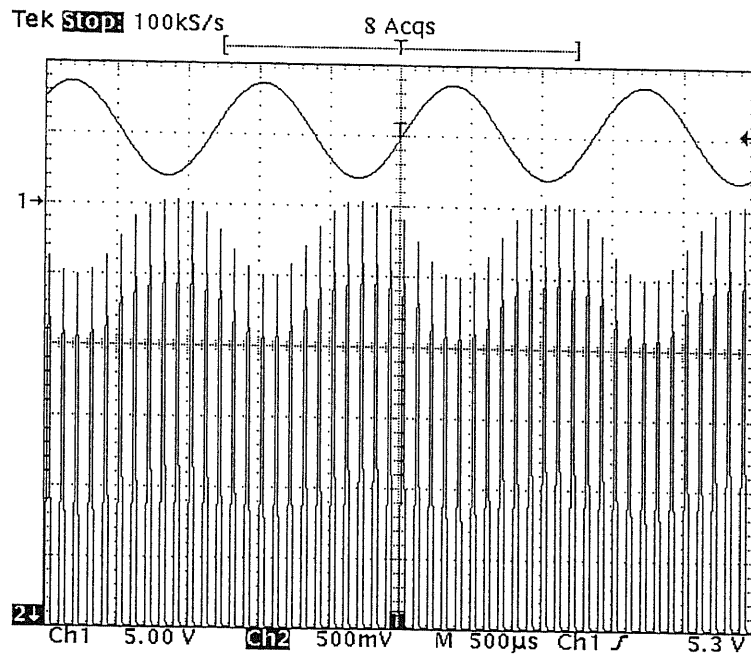


図 5.22: 1 画素回路の高速動作; 上:LED 制御電圧, 下:PD 出力電圧  $V_A$

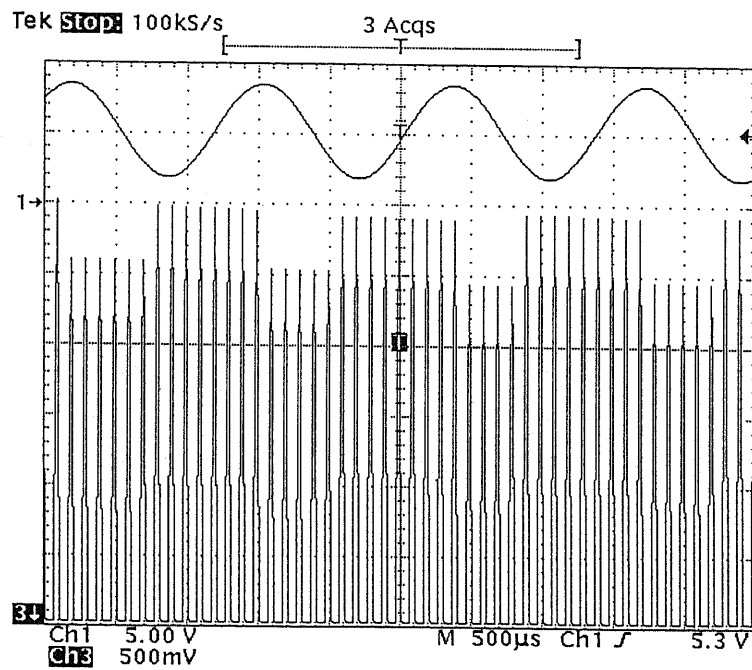


図 5.23: 1 画素回路の高速動作; 上:LED 制御電圧, 下:メモリ出力電圧  $V_B$  ( $V_{th} = 1.0V$ )

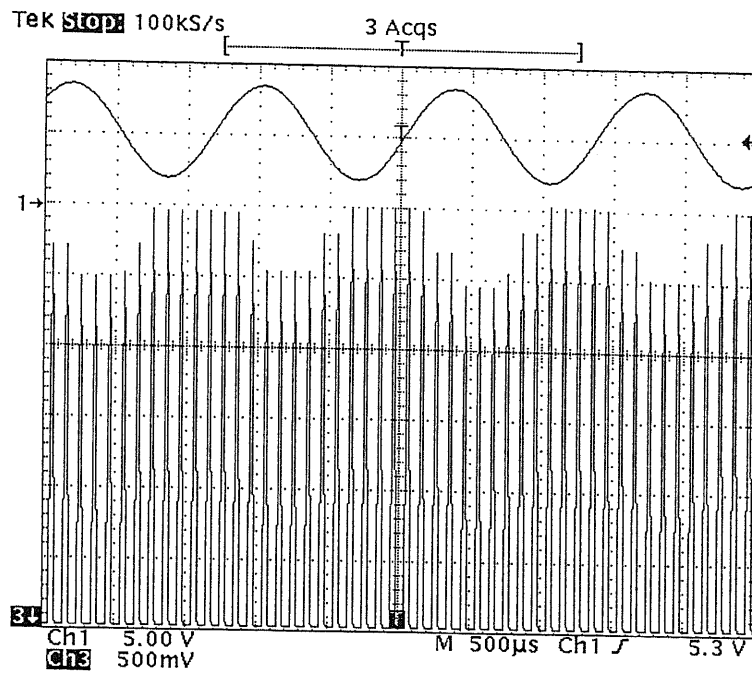


図 5.24: 1 画素回路の高速動作; 上:LED 制御電圧, 下: メモリ出力電圧  $V_B$  ( $V_{th} = 2.0V$ )

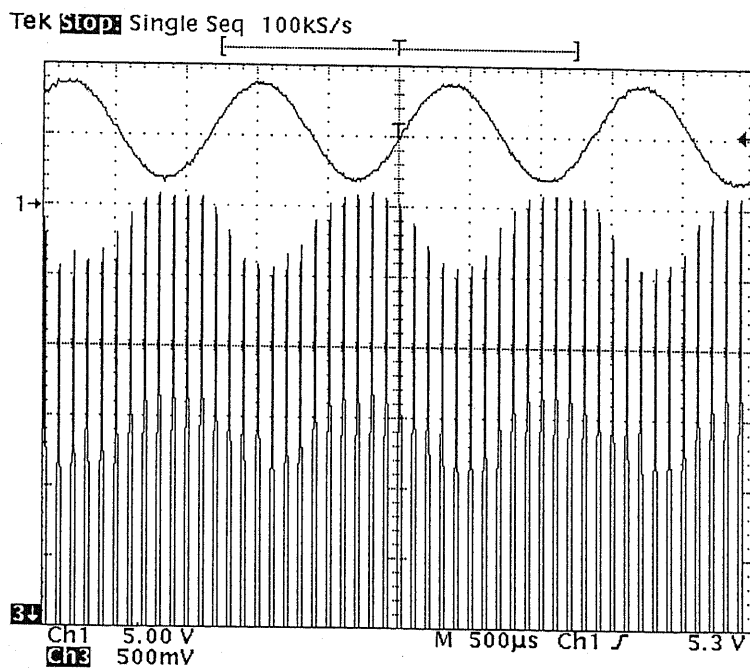


図 5.25: 1 画素回路の高速動作; 上:LED 制御電圧, 下: メモリ出力電圧  $V_B$  ( $V_{th} = 3.5V$ )

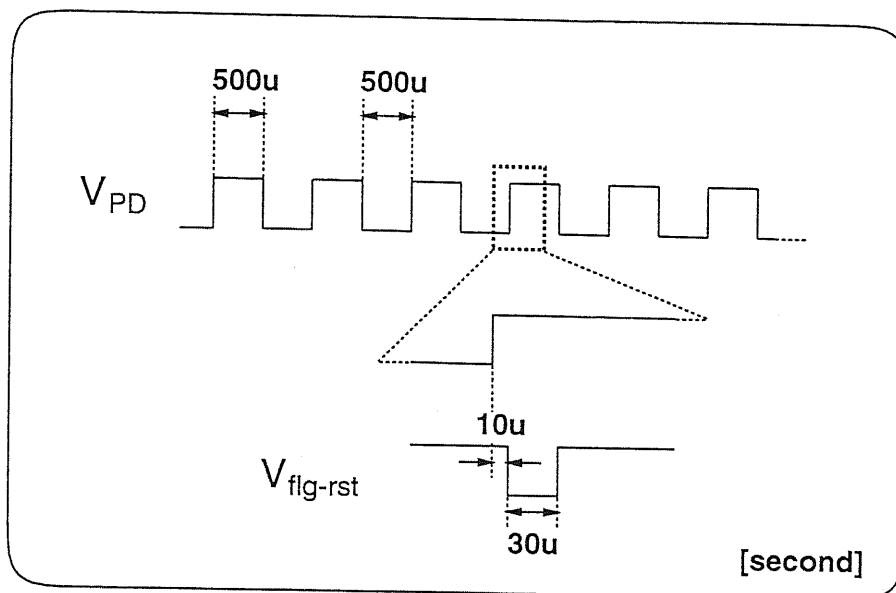


図 5.26: 処理速度の実験における制御パルスのタイミング

### 5.3.7 一行に対する処理速度

図 4.2 に示した 1 画素の処理回路において、フォトダイオードの出力電圧の代わりに直接パルス状の電圧を入力することで、入力電圧の変化から全ての演算処理が終り、メモリ値が更新されるまでの速度を調べた。実験では、図 5.26 に示すタイミングで各スイッチを動作させた。図中  $V_{PD}$  は、フォトダイオードの出力電圧の代わりに入力した波形である。 $V_{PD}$  の立上り後、 $10\mu$  秒後に  $30\mu$  秒間処理回路を動作させている。

図 5.27、図 5.28 はそれぞれ、入力電圧  $V_{PD}$  の立ち上がりと、立ち下がり部分の画素出力値を示している。各図の下段の 2 つの波形は、上から画素出力電圧  $V_A$  およびメモリ出力電圧  $V_B$  を示しており、各図の上段はメモリ出力電圧のブロックで囲まれた部分を拡大した波形である。図 5.27 より、入力電圧が大きくなる（画面では急に暗くなることに相当する）時は、メモリの更新に約  $800n$  秒必要とする。一方、図 5.28 より、入力電圧が小さくなる（画面では急に明るくなることに相当する）時は、メモリの更新に最大約  $2\mu$  秒必要とすることが分かる。なお、フラグの判定は行が選択後直ちに行なわれるため、メモリの更新時間は、ほぼ一行に対する全処理時間に等しい。

よって、一行の処理に少なくとも約  $2\mu$  秒必要であるので、 $512 \times 512$  画素のセンサを作れば、毎秒 980 フレームの撮像が可能であることが分かる。

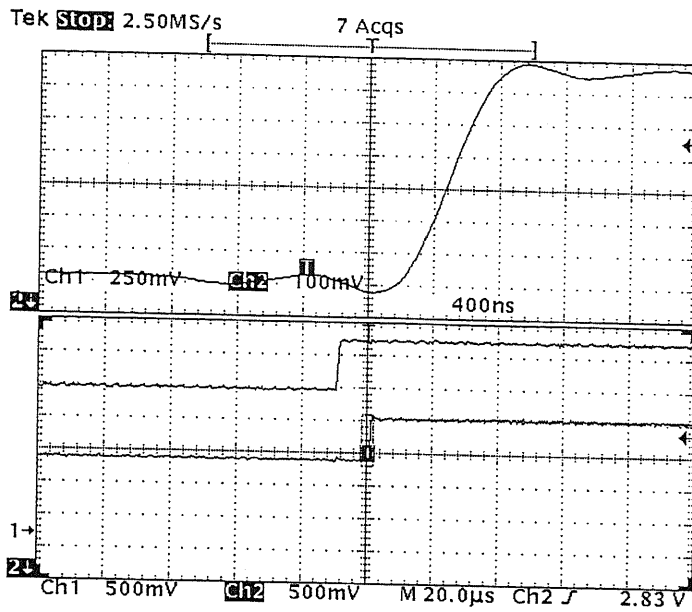


図 5.27: メモリ値の更新 (立ち上がり) ; [上段: 下段の囲み内の拡大図], [下段: 上: 画素出力値  $V_A$ , 下: メモリ出力値  $V_B$ ]

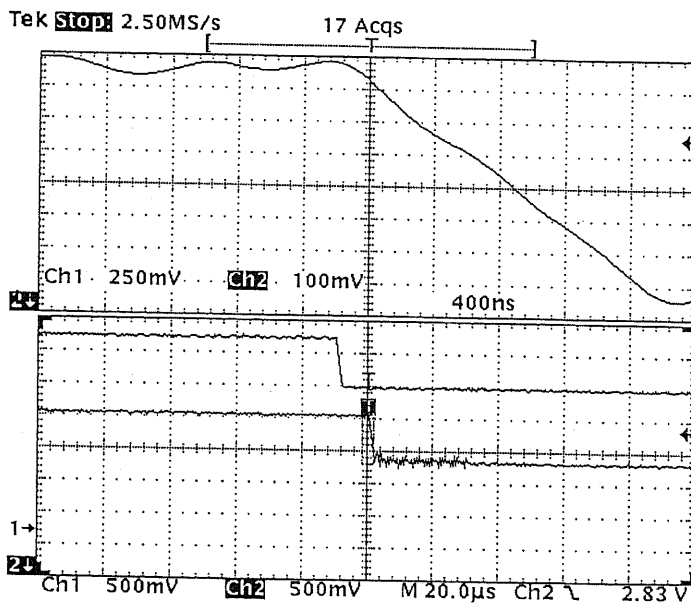


図 5.28: メモリ値の更新 (立ち下がり) ; [上段: 下段の囲み内の拡大図], [下段: 上: 画素出力値  $V_A$ , 下: メモリ出力値  $V_B$ ]

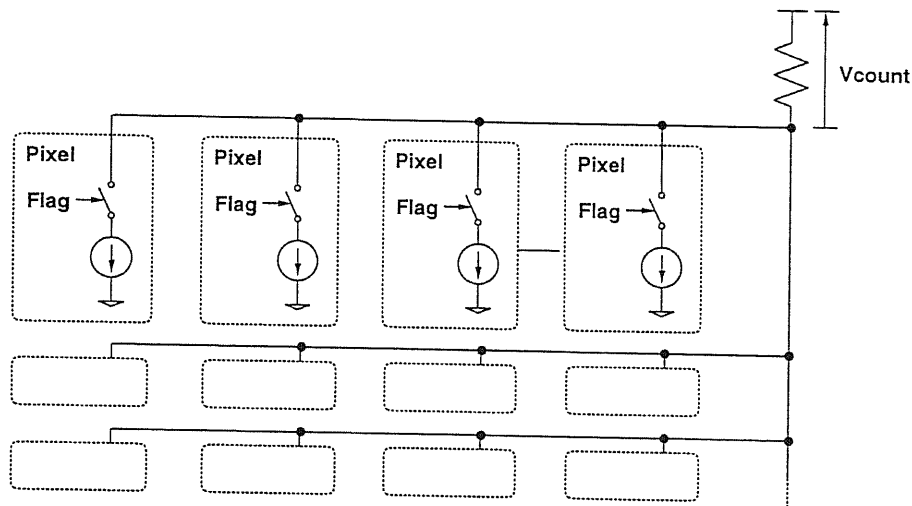


図 5.29: 画素並列処理構成プロトタイプのフラグ数集計機能 [75]

## 5.4 画素並列処理構成による動画像圧縮センサの定レート制御

既に 4.2 項で述べたように、これまでに画素並列処理構成による動画像圧縮センサの 2 つのプロトタイプが試作され、その評価が行なわれている。本項では、新しい画素並列処理構成による動画像圧縮センサのプロトタイプ [75] を用いて定レート制御の実験を行なう。

### 5.4.1 画素並列処理構成のプロトタイプ [75] のフラグ数集計機能

画素並列処理構成では各画素毎に処理回路を有するため、閾値を動的に制御することにより 1 フレーム単位での定レート制御が可能である。

画素並列処理構成のプロトタイプには、図 5.29 に示すフラグ数集計機能が設計されている。ここでは、各画素毎に定電流源を設け、フラグ数の集計を行なう。まず、各画素で現画素値とメモリ値が比較され、もしその差が現在の閾値よりも大きければフラグを on にする。フラグが on になれば定電流を出力し、各画素から集められた電流を抵抗により電圧に変換する。プロトタイプ内部には、閾値を調整する機能がないため、このフラグ数を表す電圧を外部に出力する。センサ外部では、この出力電圧を検出することで現在の閾値でのフラグ数情報を得ることが出来る。

### 5.4.2 即時閾値調整回路による定レート制御

プロトタイプが出力するフラグ数情報を用いて、定レート制御を試みる。フラグ数情報に基づく閾値調整を、映像信号の垂直ブランク期間内で終了させることで、1 フレーム

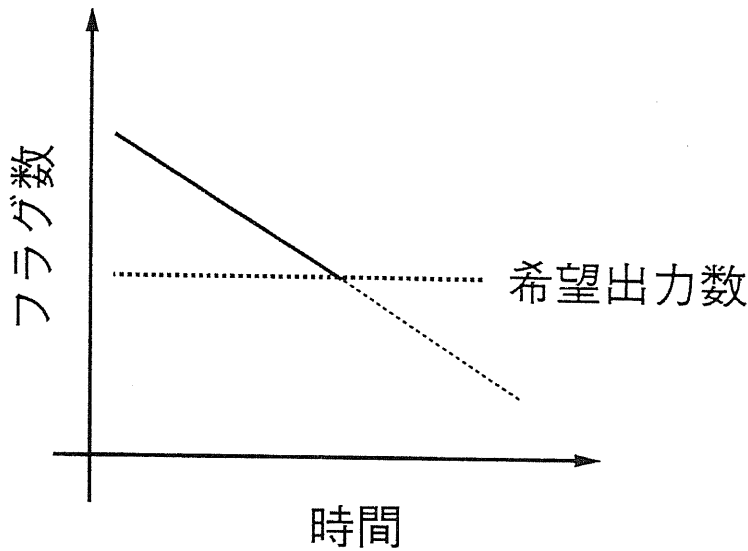


図 5.30: 定レート制御のための閾値調整

単位での定レート制御が実現できる。

フラグ数情報の閾値に対する応答は悪く、画素間のばらつきが予想されたため、閾値調整には図 5.30 に示す方法を採用した。ここでは、閾値の調整によりフラグ数情報を減らす方向に動作させ、所望の出力数を越えた時点で閾値を固定する。これにより、正確な定レート制御は行なえないが、少なくとも決められたレートを越えて出力することはない。

図 5.31 に設計した閾値調整回路を、図 5.32 にその動作のタイミングを示す。閾値調整は、画素値がサンプル&ホールドされた後、有意画素値を読み出すまでの時間で、全ての動作を終了する。以下に、処理回路の動作を説明する。

- SW1 が on になり、キャパシタが初期値に充電される。
- SW1 が off、SW3 が on になりキャパシタの放電を開始する。よって、 $V_{th}$  は徐々に減少する事になる。(判定閾値  $V_{th}$  が低いほど、有意画素数は減少する。)
- フラグ数集計電圧  $V_{count}$  が、希望の出力数に対応する参照電圧  $V_{ref}$  を越えると直ちに SW2 が off となり、閾値が固定される。(  $V_{count}$  は反転出力であるため、フラグ数が少ないほど高い電圧となる。)

なお、回路中の抵抗値を調整する事で閾値電圧の減少速度を変える事ができる。

#### 5.4.3 即時閾値調整回路による定レート制御の動作

実際に画素並列処理構成のプロトタイプを用い、即時定レート制御の動作実験を行った。実験に際しては、図 5.2 と同様な評価システムを用いて、“強” という文字を垂直方

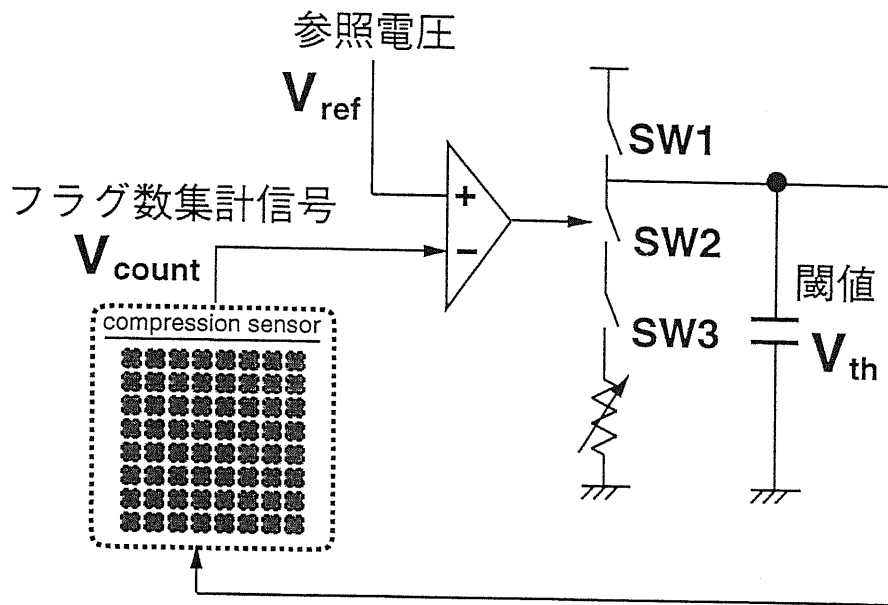


図 5.31: 即時閾値調整回路

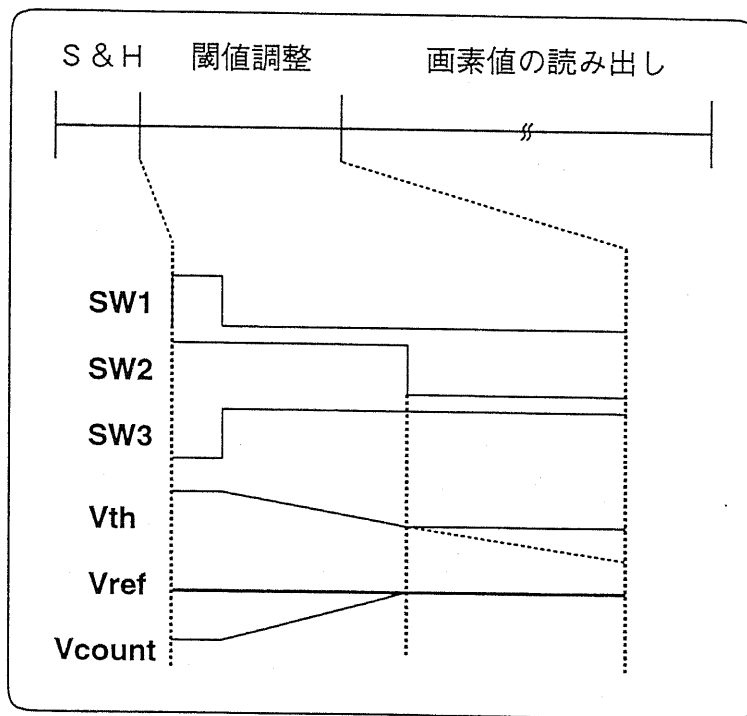


図 5.32: 即時閾値調整回路の動作のタイミング

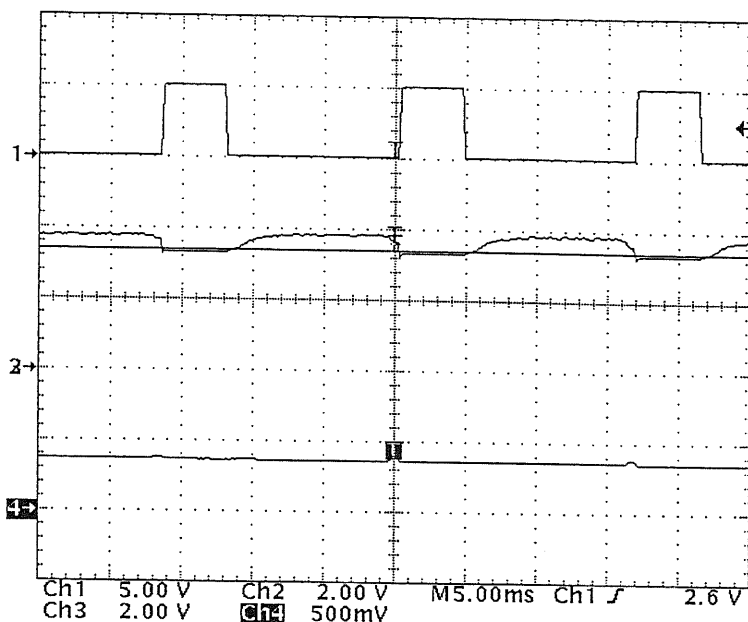


図 5.33: 即時閾値調整回路の動作（低速にて移動）；上から SW3 への入力信号、参照電圧  $V_{ref}$ 、フラグ集計電圧  $V_{count}$ 、閾値電圧  $V_{th}$

向へ速度を変えて移動させ撮像した。図 5.33 は、低速度で文字を動かした際の出力波形である。動きが少ないときには、有意画素も少なくなるのでフラグ集計電圧の変化は少なく、参照電圧を常に下回らない。よって、閾値電圧も初期値を保ちほぼ変化がない。図 5.34 は、高速度で文字を動かした際の出力波形である。動きが大きいため有意画素が多くなり、閾値電圧が減少し始める。フラグ集計電圧が参照電圧を越えた時点で閾値電圧は固定されている。

図 5.35 は、定レート制御を行った際のフラグ信号の出力画像である。ここでは、出力する有意画素数が、定レート制御により速度に関係なくほぼ同程度に保たれている事が分かる。

以上により、即時閾値調整回路にて定レート動作に必要な閾値制御が可能である事が明らかとなった。しかし、参照電圧と実際の出力フラグ数の関係が明らかになっておらず、より高精度な閾値調整も望まれ、今後の課題となる。



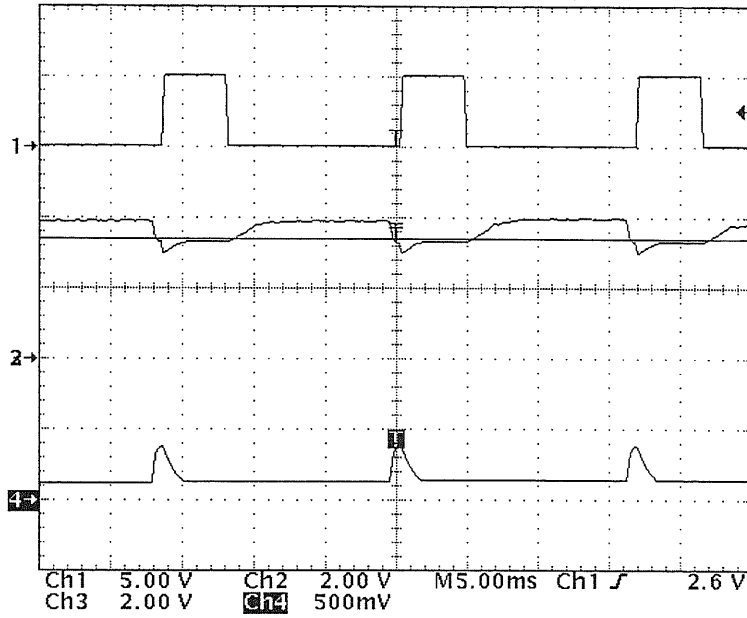
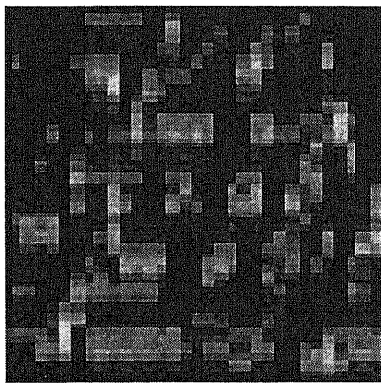
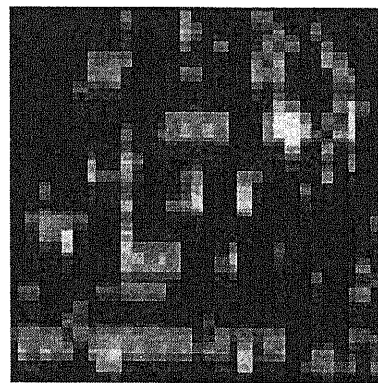


図 5.34: 即時閾値調整回路の動作 (高速にて移動) ; 上から SW3 への入力信号、参照電圧  $V_{ref}$ 、フラグ集計電圧  $V_{count}$ 、閾値電圧  $V_{th}$



(a) 低速にて移動



(b) 高速にて移動

図 5.35: 即時閾値調整回路の動作時におけるフラグ出力信号

## 5.5 まとめ

本章では、まず列並列処理構成の動画像圧縮センサの動作を確認しその評価を行ない、以下の結果が得られた。

- センサアレイを用いた評価実験
  - － 画素欠落のないクリアな映像信号を出力し、動き閾値を調整することで、動き領域のフラグ判定をほぼ正確に行なえる。
  - － 読み飛ばし動作時に出力映像を用いた画像の再構成が可能で、実際にセンサ上に圧縮機能を実現できる。
  - － 毎秒 1475 フレーム以上での高速撮像を行なえる。
- 部分回路を用いた評価実験
  - － 試作したプロトタイプは、通常のイメージセンサと同等なダイナミックレンジと線形性を有する。
  - － 動作範囲内では、安定した絶対値差分演算を行なうことが出来る。
  - － 水平シフトレジスタは 1 画素あたり 20n 秒にて選択動作を行ない、非有意画素を遅延なく読み飛ばすことが出来る。
  - － メモリ部のリークにより、約 1% 程度の圧縮効率の低下が見込まれる。
  - － プロトタイプの処理回路は毎秒 10000 フレーム下でも充分動作し、高速撮像が可能である。
  - － 1 行につき約  $2\mu$  秒の処理時間を必要としており、 $512 \times 512$  画素では、およそ毎秒 980 フレームでの撮像が可能である。

さらに、画素並列処理構成のプロトタイプのフラグ数集計機能を利用した、即時閾値調整回路による定レート制御の実験を行ない、以下の結果が得られた。

- センサ外部に設けた閾値調整回路により、センサが出力する有意画素数情報を用いて動き判定閾値を調整することで、1 フレーム単位での定レート制御を実現できる。

以上、試作したプロトタイプの評価実験を通じて、撮像面上で直接出力画素数を削減する動画像圧縮センサの有効性を確認した。

動画像圧縮イメージセンサに残された課題を、以下に示す。

- 列並列処理構成のプロトタイプを用いた実験では、入射光量に対する各列間における演算のバラツキは小さいものであったが、その十分な評価は今後の課題である。
- 1 行に対する処理時間の多くがメモリの更新時間であるため、撮像速度の向上には回路の工夫による更新時間の削減が必要である。また、その精度の改善も望まれる。
- 列並列処理構成での定レート出力の方法を具体的に検討する必要がある。
- 専用の評価システムを作成することで、画像の再構成時における、画素値信号とフラグ信号の誤対応による雑音を、取り除く必要がある。
- 動画像圧縮センサの応用まで含めた評価をするためには、レイアウトの工夫により画素サイズを削減した上で、多画素化を図る必要がある。
- 光の入射による処理精度の劣化を防ぐため、プロセスを変更し遮光膜の実装を行なう。

## 第 6 章

### 動き適応イメージセンサ

#### 6.1 はじめに

撮像面上で直接並列処理を行うコンピュータショナルセンサにおいては、豊富な計算力を必要とする既存の画像処理とは異なる、新たな処理形態が期待される。本章では、撮像面上の処理機能によりイメージセンサのパラメータを直接制御する新たなコンピュータショナルセンサについて論じる。

情報入力部であるイメージセンサは、画像処理システム全体の画像品質を大きく左右する。センサ部における画質劣化を、後段の画像処理により大きく回復することは本質的に困難である。センサ部における画質の劣化要因は様々存在するが、ここでは高フレームレート化に伴う画質劣化とセンサの狭ダイナミックレンジに着目する。提案する動き適応イメージセンサは、画素毎に開口蓄積時間を直接制御する事により上記の問題を解決し、画像の強調と広ダイナミックレンジ化を図る新たな試みである。

本章では以下、適応イメージセンサの一般的な定義を行った後、動き適応イメージセンサを提案し、その動作原理について詳しく述べる。さらに、シミュレーションによりその効果の検証を行う。

#### 6.2 適応イメージセンサ

適応イメージセンサは、撮像面上に付加した処理回路により、従来とは大幅に異なる柔軟な読みだし動作を実現するものである。ここでは、適応イメージセンサの位置づけを行なう。

図 6.1 に示すように、従来のイメージセンサは一定の空間解像度および時間解像度により撮像され、シフトレジスタを用いて順次読み出しにより画素値を出力する。イメージセンサは、単に光電変換の役割のみを担い、ボケの補正や画像強調などの処理は、後段での画像処理にて行なわれる。

一方、適応イメージセンサは、撮像面上の処理回路により得られた時空間輝度変化、オプティカルフロー、距離などの情報を利用することで、画素毎に時間解像度、空間解像

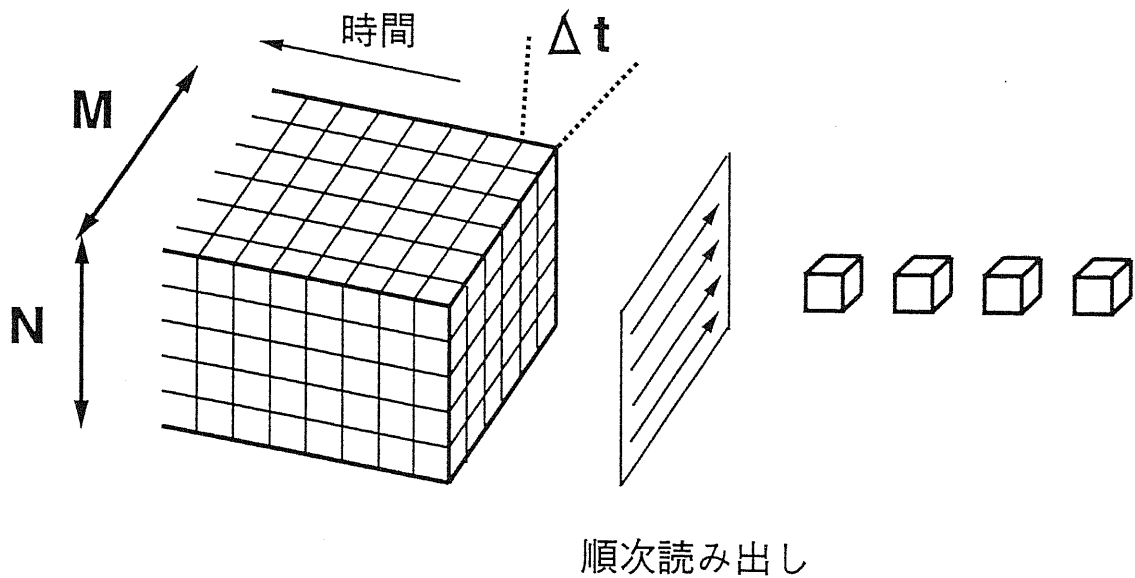


図 6.1: 従来のイメージセンサの動作形態

度、感度といったセンサのパラメータを直接制御するイメージセンサと定義する。よって図 6.2 に示すように、画素毎に蓄積時間や空間解像度の異なる情報をランダムに読み出すような動作形態を有する。これにより、後段のプロセッサの処理量は増加するが、直接センサ上で処理を行なうことで、従来の枠組とは異なった画像処理や、S/N やダイナミックレンジといったセンサ性能の向上の実現が期待される。また、このようなセンサパラメータの適応化により、処理部への伝送量は副次的ではあるが削減される。

### 6.3 動き適応イメージセンサ

動き適応イメージセンサは、撮像面上の処理回路により検出された時間方向での輝度変化情報を用いて、開口蓄積時間を画素毎に制御する、適応イメージセンサである。

ここでは、従来のイメージセンサが有する、以下に示す問題点に着目する。

1. 高速に移動している物体に対する動きぼけ  
毎秒 30 フレームといった定フレームレートで動作しているため、開口時間内に撮像面上で数画素以上移動する物体は動きボケとなり、画像符号化、処理において最も重要な情報である動き量の評価を困難にする。
2. 一部が非常に明るい物体に対する飽和  
撮像デバイスのダイナミックレンジは、通常  $10^3 \sim 10^4$  程度であり [2]、開口時間や絞りを最適化しても、その範囲を超えた環境を最暗部から最明部までクリアに撮像

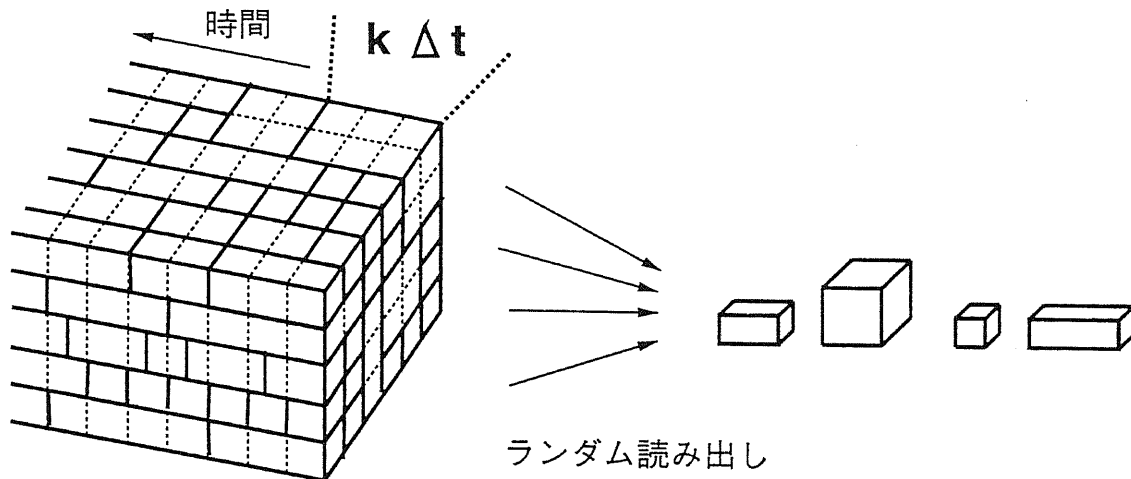


図 6.2: 適応イメージセンサの動作形態

することは実質不可能である。よって、飽和やつぶれにより色情報が破壊されることになる。

### 3. 低照度撮像における画質の劣化

低照度環境下で撮像すると、光量の減少によるショットノイズの増加やリセットノイズ等により、ランダム性雑音が支配的になり、急激に画質が劣化する。

入力部におけるこのような問題は、画像処理システム全体の画質劣化につながり、後段の画像処理によりその劣化を大幅に回復することは極めて困難である。

現在までに、イメージセンサの高画質化を図るため、様々な研究開発が行なわれて来た。以下に、上記問題点に対応する幾つかの研究事例を述べる。

#### 1. 電子シャッタ機能を有する固体撮像素子

電子シャッタ機能 [77] は、開口蓄積時間の半ばでフォトダイオードに蓄積された信号電荷を、不要電荷として強制的に排除することで、可変蓄積時間を実現する機能である。しかし、電子シャッタ機能では、個々の画素について蓄積時間の制御をする事は不可能で、さらに時間当たりの出力フレーム数を変える事はできない。また、高速に移動する物体に対してその動きボケは抑えられるが、画面全体で入射光量は減少し画質の劣化につながる。

#### 2. 高フレームレート撮像素子

固体撮像素子の画面を分割し、並列に複数の出力線で読み出す事により、高フレームレート撮像を可能にする素子が提案、実用化されている。例えば、 $512 \times 512$ 画素の CCD を、32 線の出力線で読み出し、毎秒 2400 フレームでの撮像を実現する

センサ [2] や、増幅型MOSイメージセンサであるAMIでは、3線読み出しにより6倍速撮像が可能なセンサ [78] 等が実用化されている。高速センサは、電子シャッタ機能と同様に高速に移動する物体の動きボケを抑えて撮像する事ができるが、1フレーム当たりの入射光量の減少により大幅にS/Nが劣化するために高感度化などの工夫が必要となる。

### 3. 広ダイナミックレンジセンサ

イメージセンサの高感度化や低雑音化の様々な工夫により広ダイナミックレンジ化の実現を図っている。また、フォトダイオードからの読みだし信号を対数化することにより、実質的に広ダイナミックレンジ化を実現するセンサ [5] も検討されている。

本章では、従来のイメージセンサの動作形態と異なり、撮像面に統合された処理回路により画素毎に蓄積時間を制御する、動き適応イメージセンサを提案する。動き適応イメージセンサは、高速フレームレートで撮像を行い、撮像面上の動き検出および飽和検出機能により、動きボケかつ飽和の無いという条件下で、画素毎に最適な蓄積時間により撮像を行う。より具体的には、動き領域では最小フレーム間隔で画素信号を出力し、静止領域ではフォトダイオード上で信号電荷が飽和閾値を超えるまで蓄積した後、その信号を出力する。

動き適応イメージセンサの特徴を以下にまとめる。

- 撮像の最小蓄積時間は極めて小さいため、動きボケが生じない
- 飽和検出機能により、蓄積時間を可変とすることに起因する飽和がなくなる。
- 背景などの静止領域においては、時間的な平滑化処理を撮像面上で行った事になり、ショット雑音等のランダム性雑音が平滑化され、大幅に画質が改善する。
- 飽和閾値を超えるまでの蓄積時間情報とその時の画素値情報を利用する事で、広ダイナミックレンジと同様な機能を実現できる。
- 単に高フレームレート撮像と比較すると、静止領域における平滑化により圧縮効果を有する。
- 画素毎に蓄積時間を可変としているため、出力した画素情報を蓄積時間にて正規化する必要がある。

## 6.4 動き適応蓄積時間の原理

動き適応センサ上の処理アルゴリズムとして、動き適応蓄積時間を採用した。図 6.3に、各画素毎に行われる動き適応蓄積時間の処理のブロック図を、図 6.4にその時のフォトダ

イオードの出力電圧の変化を示す。

動き適応センサは、動きの検出あるいは飽和の検出という2つの処理機能を有している。図6.4に示すように、センサ上の処理回路により、動きあるいは飽和が検出されるまで、フォトダイオードの信号電荷をリセットせず、直接フォトダイオード上で多フレームにわたる電荷の蓄積を行う。提案センサで利用するフォトダイオードはバッファを介して出力され、非破壊読み出し機能を有しており、リセット動作を行わなければ画素出力値を何度も読み出すことが可能である。もし、動きあるいは飽和が検出されるとフォトダイオードは再びリセットされ、新たに蓄積を開始する。全ての処理が全ての画素に対し、最小フレーム間隔 $\Delta$ 毎に施される。この際、動き適応センサは高速動作をするために、 $\Delta$ は非常に小さい間隔となる。

いま、図6.3において現在のフォトダイオード (PD) 値が

$$I_{PD} = \int_{t-n\Delta}^t I dt \quad (6.1)$$

であるとする。この時、キャパシタンス  $C_{st}$  は前フレームでの  $I_{PD}$  値であり、

$$I_{Cst} = \int_{t-n\Delta}^{t-\Delta} I dt \quad (6.2)$$

となる。 $I_t$  は、差動増幅器を利用し

$$I_t = I_{PD} - I_{Cst} \quad (6.3)$$

より得られる。よって、 $I_t$  は最小蓄積時間内に蓄積された画素値を示す。また、 $I_{Cm}$  はその画素が最後に出力された時の  $I_t$  を示している。図6.4では、 $t_1$  において動きあるいは飽和が検出され、フォトダイオードがリセットされた後、 $t_2$  まで蓄積した時の  $I_{PD}$ 、 $I_{Cst}$ 、 $I_t$  および  $I_{Cm}$  関係を示したものである。もし、動きあるいは飽和が検出されなければフォトダイオードはリセットされず、画素情報は出力されない。一方、動きあるいは飽和が検出されれば、 $I_{PD}$ 、 $I_{Cst}$  およびそのアドレス情報を出力する。またその時、 $I_{Cm}$  が現在の  $I_t$  により更新され、 $I_{PD}$  および  $I_{Cst}$  の値がリセットされる。

なお、動き適応イメージセンサでは、画素毎に出力のタイミングが異なるために、後段での処理によりその補正をする必要がある。以下、飽和検出および動き検出の仕組みを順に説明する。

#### 6.4.1 飽和の検出

飽和検出の仕組みを図6.5に示す。飽和検出は、あらかじめ設定された飽和閾値とフォトダイオード出力値との単純な比較により行なわれる。 $I_{PD}$  が飽和閾値を越えた時点で飽和を検出する。実際の回路には、飽和閾値としてMOSインバータの閾値特性を利用している。図6.5の例では、 $I_{PD}$  は  $t_1$  でリセットされた後蓄積を続け、 $t_2$  で飽和が検出され再度リセットされている。



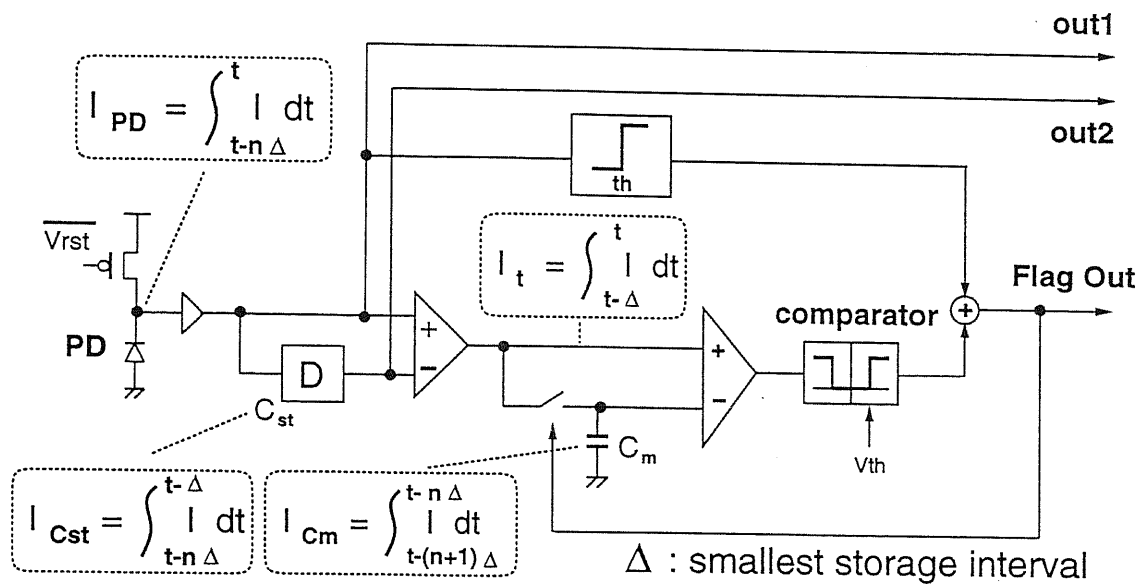


図 6.3: Description of processing in each pixel of the motion adaptive enhancement sensor

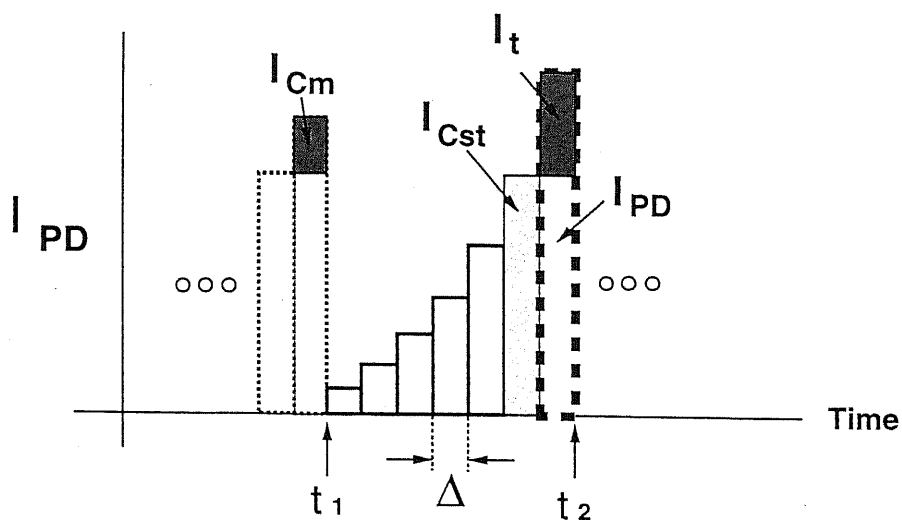


図 6.4: 動き適応蓄積時間によるフォトダイオードの出力電圧の変化

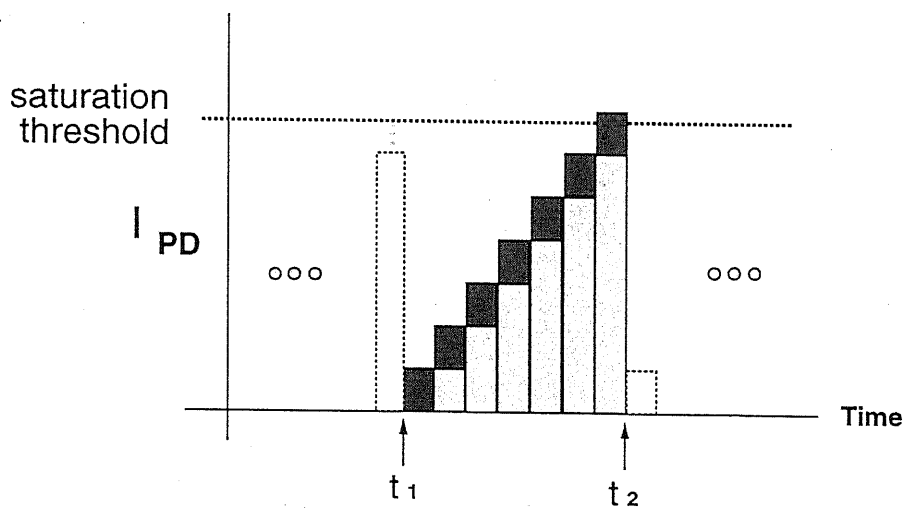
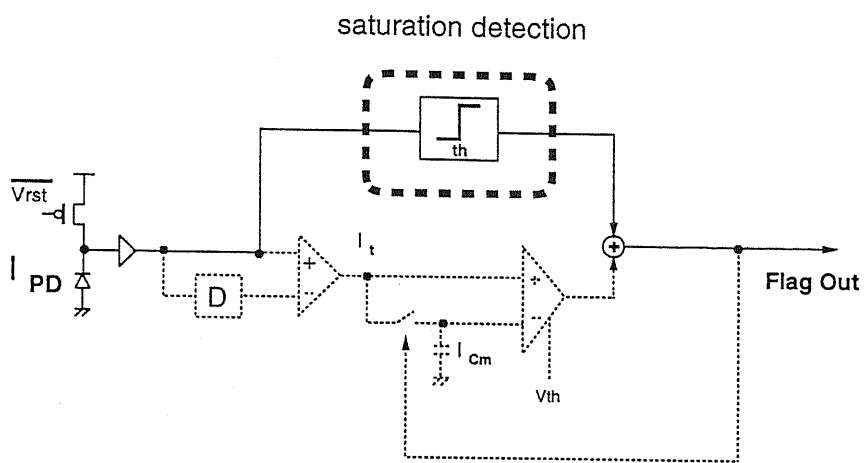


図 6.5: 飽和画素の検出

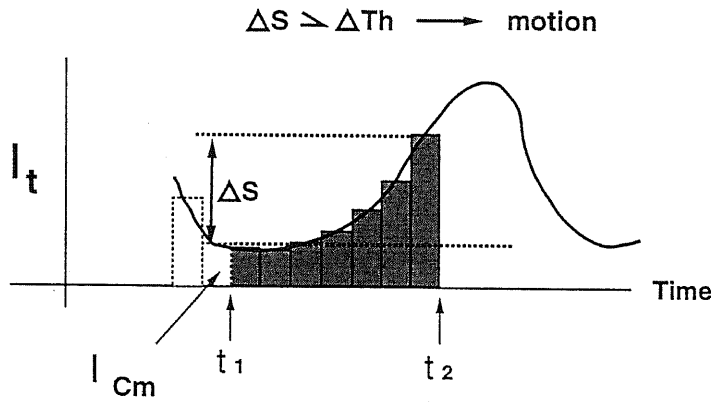
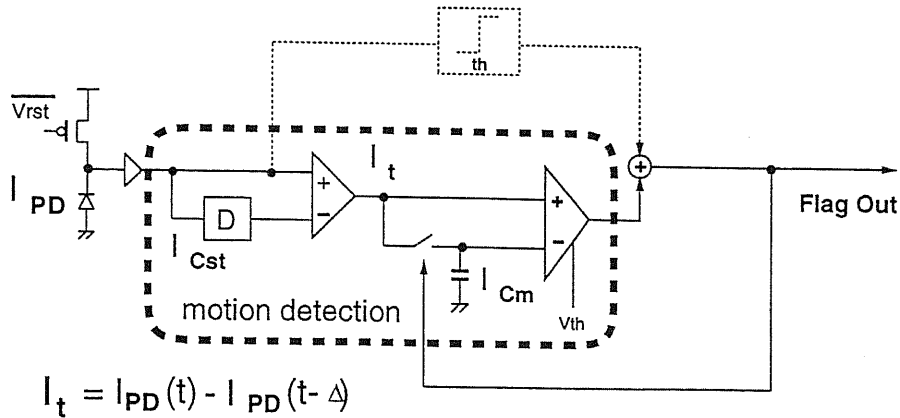


図 6.6: 動き画素の検出

### 6.4.2 動きの検出

動き検出の仕組みを図 6.6 に示す。図 6.6 中の下図は、 $I_t$  の変化の例を表している。 $I_t$  は、最小フレーム間隔で蓄積された電荷量を示しており、図 6.4 に示したように  $I_{PD}$  と  $I_{Cst}$  との差により演算される。ここではまず、 $I_t$  とメモリに蓄えられた  $I_{Cm}$  の差の絶対値  $\Delta S$  が、動き閾値  $\Delta Th (= V_{th})$  と比較される。もし、絶対差分  $\Delta S$  が閾値  $\Delta Th$  より大きければ、フラグが high になり、動き画素と判定される。また、動きあるいは飽和が検出された時には、 $I_{Cm}$  が現在の  $I_t$  により更新される。なお、動き適応センサの動き検出は、動画像圧縮センサの処理回路とほぼ同様な機能により実現できる。

## 6.5 動き適応蓄積時間の評価

動き適応蓄積時間の効果を調べるために、ランダム性雑音を重畳した動画像に対し、シミュレーションを行なった。実験に用いた動画像を図6.7に示す。図6.7は60フレームで構成され、各フレームは8 bitsレベルの $256 \times 240$ 画素からなる。ここでは、中央の人形が上下に揺れながら回転している。

図6.8は、図6.7の $x = 85$ におけるY-T断面図である。図6.8中、左図はオリジナルの輝度レベルを示しており、右図はフォトダイオードのダイナミックレンジを1280とした際の（高フレームレート撮像により1フレームあたりのダイナミックレンジが広がると仮定した）各画素の蓄積時間の長さを示している。ここでは、画素が明るくなるにつれ蓄積時間が長くなることを示している。従って、白あるいは灰色が黒に変化したとき、動き画素あるいは飽和画素と判定され、画素値信号が出力される。左端の動きの大きい領域では、動き適応センサは細かく画素値を出力し、時間解像度が高くなる。また、右端の静止領域では、電荷が飽和限界に至るまで長く蓄積されている。蓄積時間が長くなることで、ランダム性のノイズが平滑化され、高い品質の映像を得ることが出来る。

図6.9は、動き画素と飽和画素の出力画素数の変化を示している。動き画素は、撮像開始時や動きの大なるフレームで多く出力され、飽和画素は飽和閾値を越えた順に徐々に出力される。ここでは、全体の約20%程度の画素値を出力している。

### 6.5.1 静止領域の高画質化

図6.7に示した画像中のあるフレームを図6.10に示す。図6.10では、左図が従来センサの出力画像に相当し、右図が動き適応センサの出力画像をシミュレーションした結果である。特に、静止した背景部において、蓄積効果により大幅にノイズが削減されていることが分かる。一方、中心部の移動物体ではほぼ画質の変化はないが、蓄積時間の変化による動きボケは生じていない。この実験では、全体で約5dB程度の画質改善が見られた。

図6.11および図6.12は、図6.7の画像に様々な大きさのランダム性雑音を付加した際の、画質や圧縮効率の関係を示した図である。図6.11、図6.12においては、動き適応センサおよび従来センサのSNRは、ランダム性の雑音を重畳していない原画像を基準として算出している。よって、従来の画像符号化等の評価とは異なっている。

図6.11は、原画像に30および20 dBの雑音を加えた際の、出力画素数と画質の関係を示している。動き閾値を制御する事により、従来センサの約22%程度の情報を出力伝送した際に、最も良い画質を得られる事が分かる。

一方、図6.12は原画像に約10 dBから50 dBのランダム性雑音を付加した際の、最適閾値における画質を示したものである。原画像の画質が下がると共に、約6 dBから7 dB程度の画質改善が見られる。なお、モニタに動画像として出力表示すると、静止部においてランダム性の雑音が大幅に削減するので、主観的な画質改善の効果は大きい。

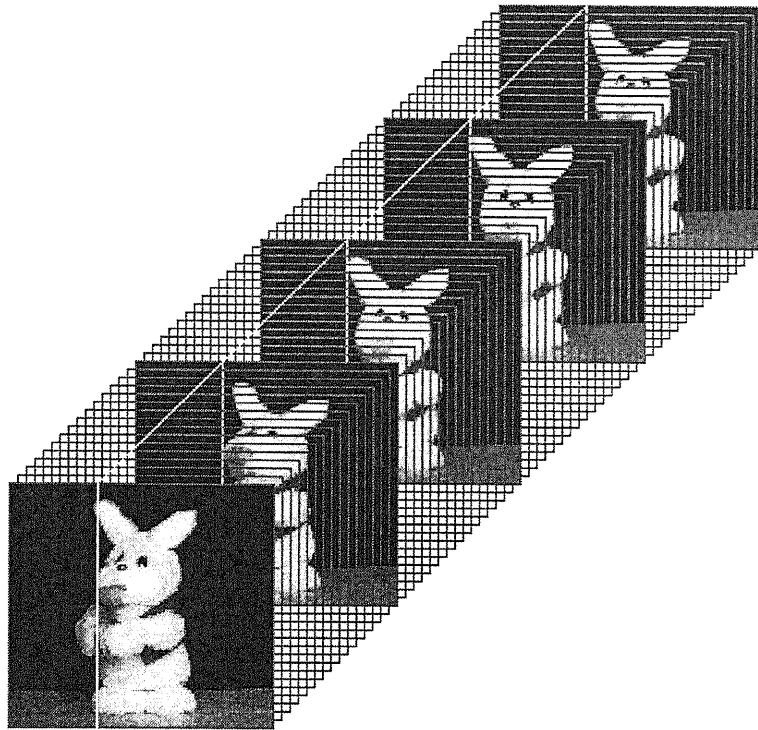


図 6.7: A test sequence in experiments (white line is the pixels at  $x = 85$ )

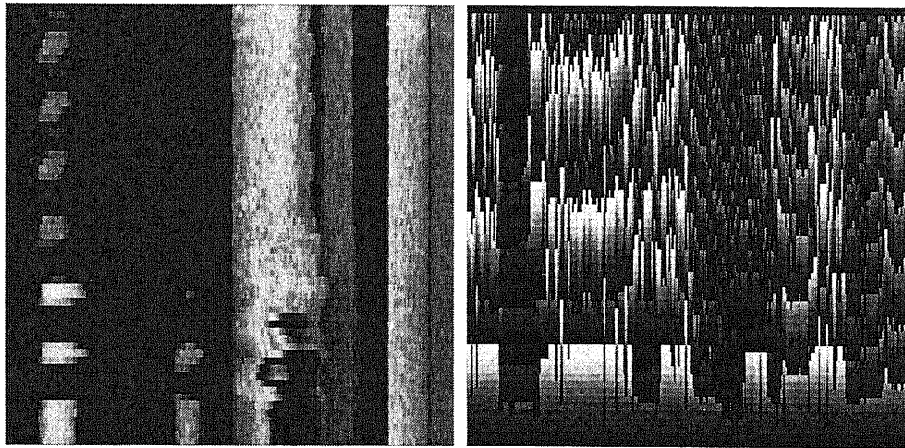


図 6.8: Y-Time cross section images of Figure 6.7 at  $x = 85$ ; left : original image and right : illustrating picture of the storage time (The brighter pixel values shows the longer storage time.)

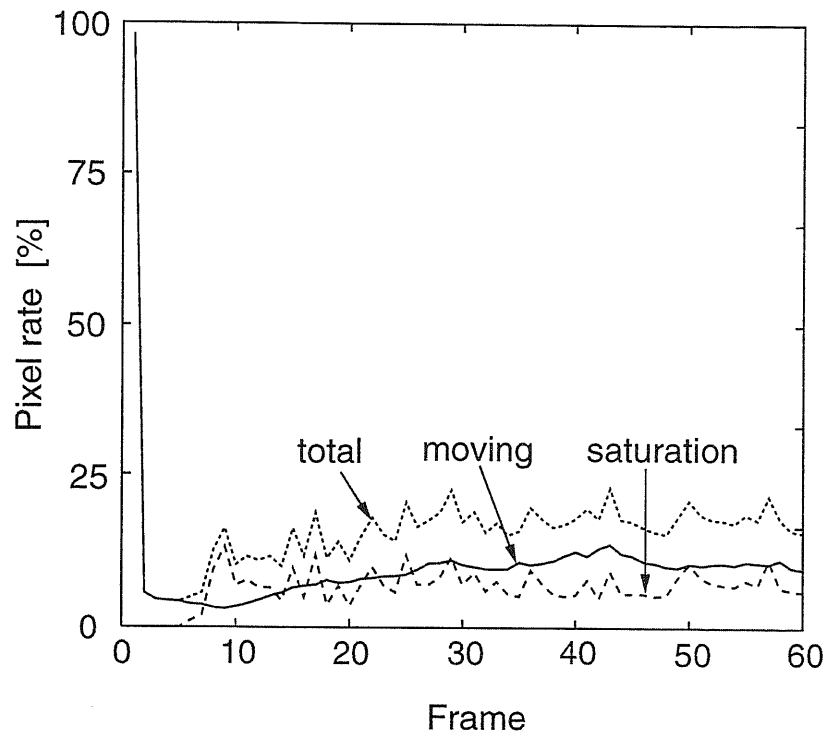


図 6.9: 出力画素数の変化

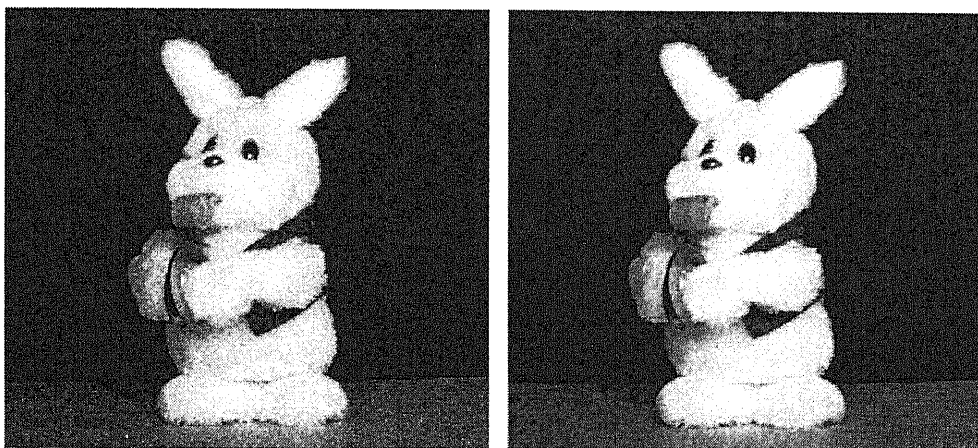


図 6.10: A example of simulation result used in the test sequence ( left : an image used for experiments, and right : an image acquired by the proposed sensor )

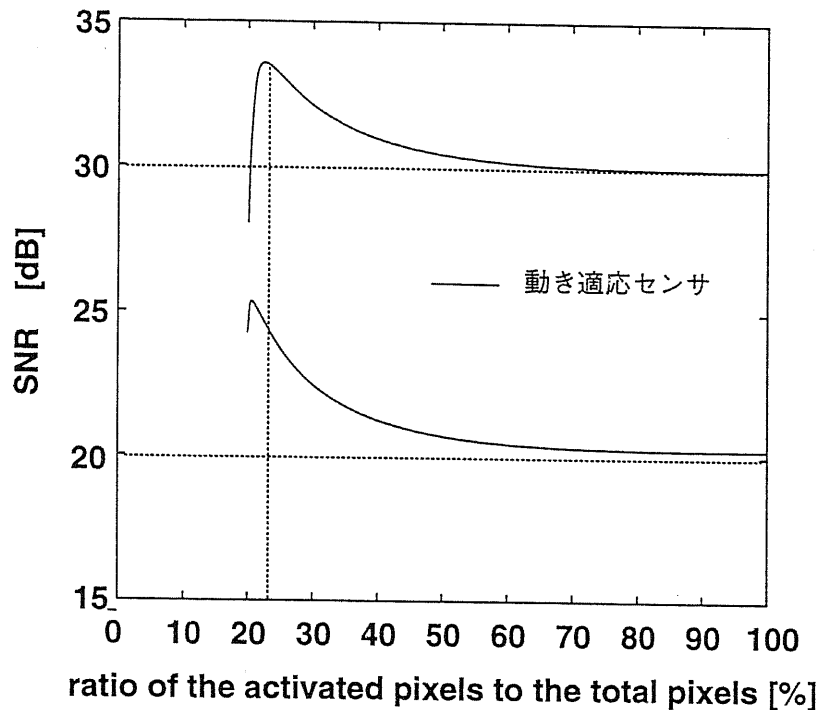


図 6.11: 圧縮効率と画質の関係

### 6.5.2 広ダイナミックレンジ化

飽和検出までの蓄積時間情報とその画素値出力を利用する事により、広ダイナミックレンジと同等の機能が実現できる。ここでは、従来センサと動き適応センサの撮像動作の比較を行ない、シミュレーションによりその効果を確認する。

#### 従来センサの撮像

図 6.13 に、従来のイメージセンサの撮像形態を示す。従来のイメージセンサは、定フレームレート撮像であるために、ある決められた蓄積時間で全ての画素を同時に出力する。よって、非常に明るい画素は直ぐに飽和してしまい、その画素値は最大出力値となるため、白つぶれの原因となる。一方、非常に暗い画素は時間内に十分電荷が蓄積されず、正確な画素値を得ることが出来ない。

#### 動き適応センサの撮像

図 6.14 に、動き適応イメージセンサの撮像形態を示す。動き適応センサでは、画素値が飽和閾値を越えた度にその画素値を出力する。よって、画像内で明るい画素から順に出力し、暗い画素と比較すると何度も出力することになる。暗い画素は、画素値が充分大き

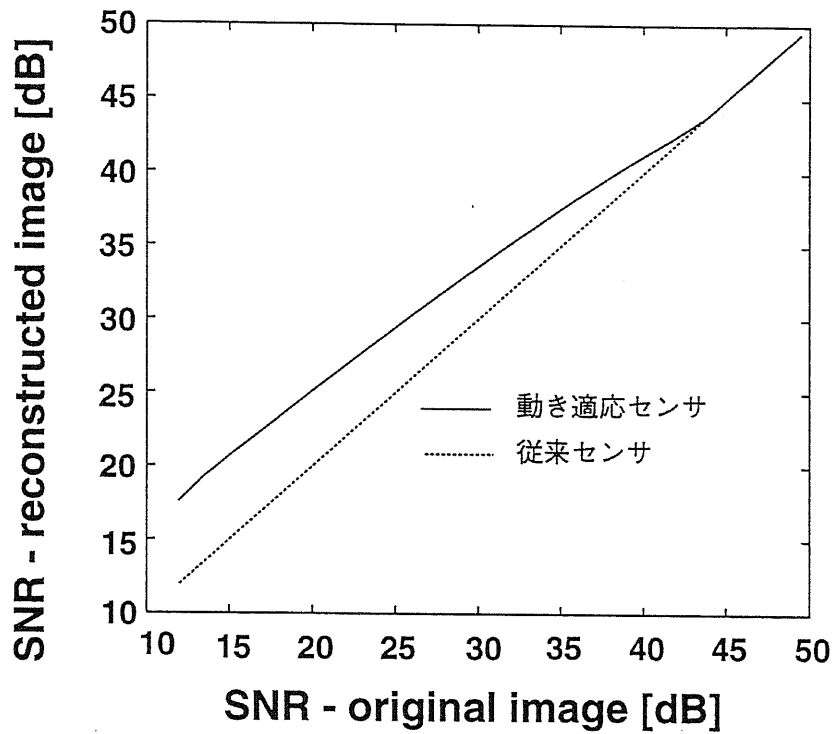


図 6.12: 動き適応センサによる画質の改善

conventional sensor

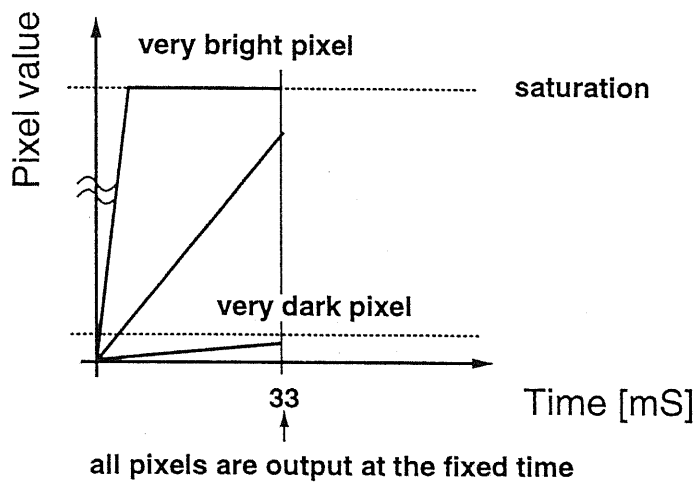


図 6.13: 従来センサの撮像



motion adaptive sensor

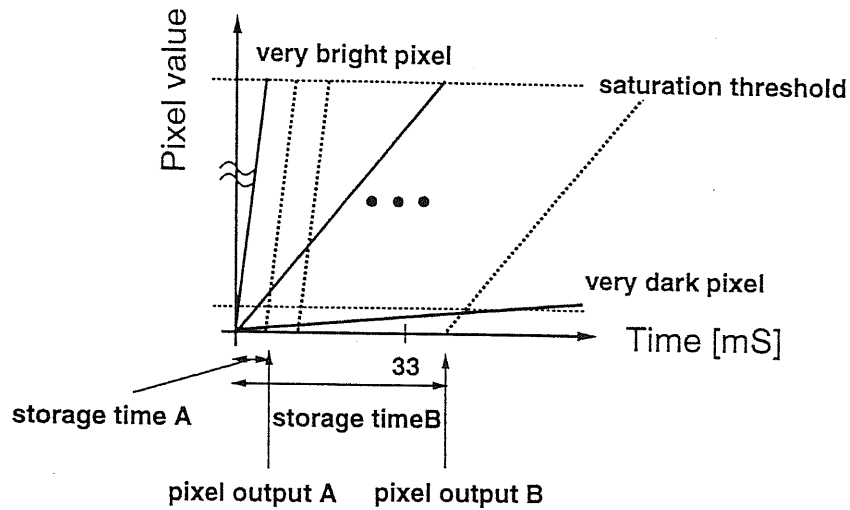


図 6.14: 動き適応センサの撮像

な値を持つまで蓄積を続けることができる。また、動き適応センサは全画素読み出し機能を有しており、ある時間が経過後読み出し信号を加えることで、全ての画素値を強制的に出力することもできる。

### 画素情報の正規化

蓄積時間の適応化により、各画素の蓄積時間は異なっており、その蓄積時間は最小フレーム間隔の整数倍で表現されている。そこで、出力画像を表示あるいは処理する際には、基準とする蓄積時間に正規化する必要がある。図 6.15 に、出力画素値の正規化の例を示す。例えば、図中の画素 A に対して以下の処理を行えば良い。

$$I'_A = I_A \times \frac{\text{基準蓄積時間}}{\text{蓄積時間 A}} \quad (6.4)$$

よって、より速く飽和した画素ほど大きな画素値を持つことになる。動き適応センサは高速にて動作しており、画像中の最小蓄積時間  $\Delta$  と最大蓄積時間の割合により、ダイナミックレンジの大きさが決定される。

### 広ダイナミックレンジ化のシミュレーション

図 6.16 は、電子シャッタ機能を有する CCD を用いた、広ダイナミックレンジ化のシミュレーションの結果である。左から右、上から 4 行目までの静止画像は、それぞれ蓄積

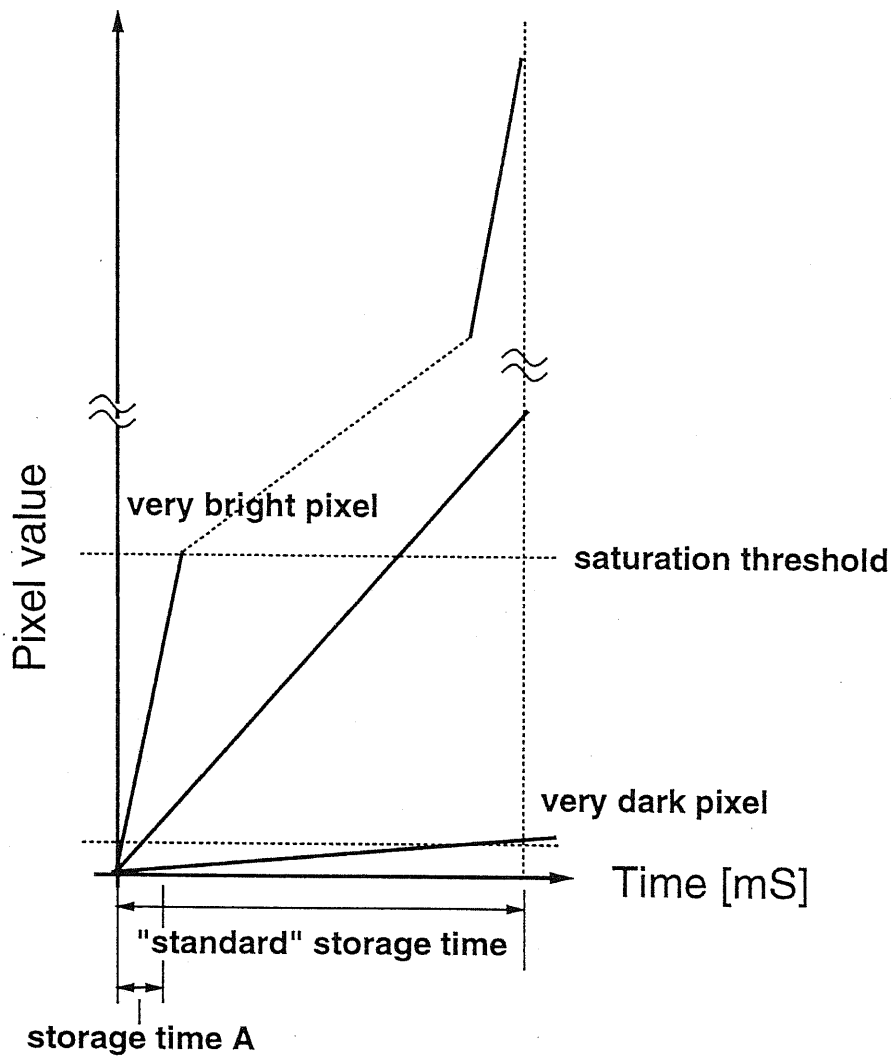


図 6.15: 広ダイナミックレンジ化の実現

時間を  $\frac{1}{250}$ 、 $\frac{1}{125}$ 、 $\frac{1}{100}$ 、 $\frac{1}{30}$ 、 $\frac{1}{15}$ 、 $\frac{1}{10}$ 、 $\frac{1}{7.5}$ 、 $\frac{1}{6}$  秒で撮像した従来の CCD センサの出力である。画像中に、一部が非常に明るい物体を有するために、従来のイメージセンサでは暗部から明部までクリアに撮像する事は不可能である。

一方、最終行の画像は上記の静止画像を用いてシミュレーションし、高輝度部を対数化する事により 8bits で表示した、動き適応センサの出力結果である。動き適応センサの広ダイナミックレンジ化により、全ての領域を同時に撮像することができる。この実験では、従来センサによる出力画像と比し、動き適応センサの出力画像は約 40 倍のダイナミックレンジを有する。

## 6.6 動き適応センサの応用

動き適応イメージセンサは、高品質で高速度な撮像を同時に実現する高機能イメージセンサである。特に、静止領域における広ダイナミックレンジ化や高画質化の効果は大きい。高品質化という観点からは、動き適応センサは通常の撮像環境よりも低照度下での撮像や、画面の一部のみが高速に動くような映像等に有効である。よって、このような条件を必要とする特殊撮像や、天体用撮像素子等に應用できる。

また、広ダイナミックレンジ化という観点からは、医療用撮像素子のような高品質な画像を必要とするシステムへの應用が考えられる。

## 6.7 まとめ

本章では、センサ上に直接統合された処理回路を利用し、センサパラメータの一つである蓄積時間を画素毎に制御する動き適応イメージセンサについて提案し、その原理である動き適応蓄積時間の説明を行なった。

動き適応イメージセンサは、動き領域では時間解像度を高く、静止領域では蓄積時間を可能な限り長くし、高画質で広ダイナミックレンジな画像を撮像することで、人間にとって見やすい画像を提供することが可能である。ここでは、動き適応蓄積時間について、飽和検出、動き検出に分けて具体的に説明した。また、シミュレーションによりその効果を検証し、全画素の約 22% の情報を出力することで、6 dB から 7 dB の SNR の改善が得られることを確認した。さらに、電荷が飽和するまでの蓄積時間を利用することにより、通常センサの 40 倍以上の広ダイナミックレンジ化が実現できることを確認した。

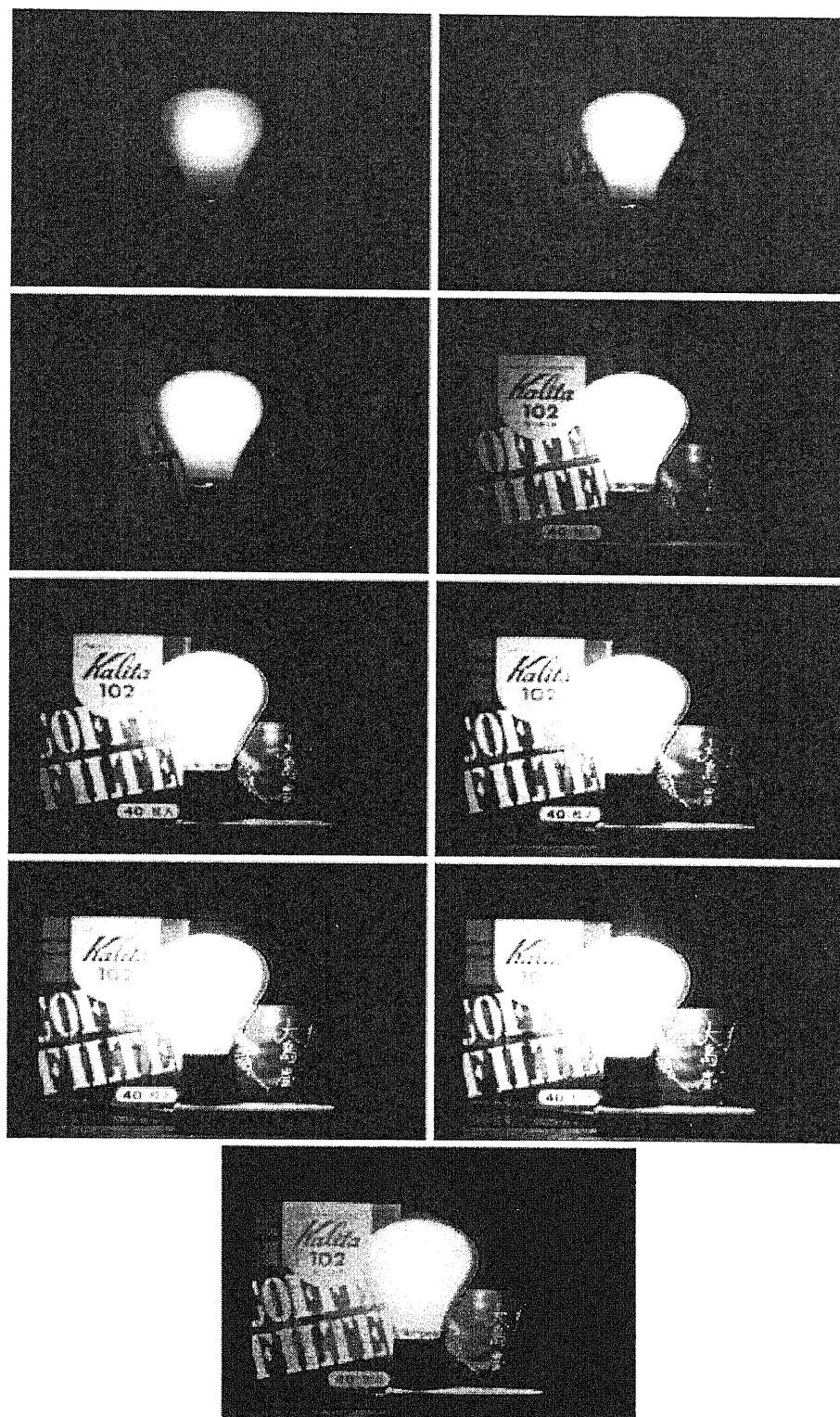


図 6.16: Still pictures in experiments acquired by CCD with electronic shutter; From left to right, top to bottom (4th row): storage time is  $1/250$ ,  $1/125$ ,  $1/100$ ,  $1/30$ ,  $1/15$ ,  $1/10$ ,  $1/7.5$  and  $1/6$  second, respectively. Bottom most: simulation of the picture by the motion adaptive image sensor

## 第 7 章

# 列並列処理構成による動き適応イメージセンサの設計および試作

### 7.1 はじめに

本章では、前章において述べた動き適応蓄積時間に基づく、動き適応イメージセンサの回路設計とプロトタイプを試作について述べる。プロトタイプを試作およびその評価を通じて、動き適応イメージセンサの有効性とその効果を確認する。動き適応センサは、動画像圧縮センサと比し、より大きな処理回路を必要としている。よって、十分な開口率を得るために、動き適応センサのプロトタイプの実現に際しても、列に一つ処理回路を有する列並列処理構成による回路設計を採用した。なお、プロトタイプの製造に際しては、列並列処理構成による動画像圧縮センサと同様に、CMP を通じて行なわれた。

本章では以下、動き適応イメージセンサ列並列処理構成による回路設計について述べた後、プロトタイプのレイアウト設計およびその試作について述べる。

### 7.2 列並列処理構成による動き適応イメージセンサの回路設計

本項では、列並列処理構成による動き適応イメージセンサの検討を行なう。列並列処理構成では、センサ部を独立して配置するため、センサと処理回路の統合により開口率の劣化等が改善することが期待される。

#### 7.2.1 各画素の回路設計

図 7.1 に、動き適応センサの各画素に対する設計回路を示す。各画素は、センサ部とそれに対応するメモリ部を有し、処理部は各列で共通に用いている。センサ部はフォトダイオードおよび  $C_{st}$ 、メモリ部は  $C_m$ 、処理部はそれ以外の回路により構成されている。処理部は、4 組の差動増幅器と、フラグ生成回路及び飽和検出回路からなる。

光電変換は、ネガティブ型の MOS イメージセンサと同様な PN 接合のフォトダイオードにより行なわれ、その蓄積電荷が非破壊にて読み出された後増幅される。リセット信号

$V_{rst}$  が加えられると、PN 接合の逆バイアス容量が充電され、その後の入射光量に応じて電荷が徐々に放電し、PD 値は減少する。一定蓄積時間後、行読み出しパルス  $V_{row}$  が加わると、左上部の差動増幅器を用いて  $I_t$  が求められる。さらに、中央の2組の差動増幅器により  $I_t$  とメモリに蓄えられている  $I_{Cm}$  が比較され、その差の絶対値が求められる。この時、求められたフレーム間差分が動き判定閾値  $V_{th}$  よりも大きい時には、動き画素と判定される。一方、 $V_{PD1}$  が MOS インバータによりあらかじめ設計された飽和閾値を超えた際には、中央の飽和検出回路により飽和画素と判定される。

選択された画素が動き画素あるいは飽和画素と判定された時には、フラグ信号は high となり  $C_{flg}$  に保持され、 $I_t$  は  $C_m$  を更新する。このとき、メモリ値の書き換えは、左端の差動増幅器により、 $V_A$  と  $V_B$  を等しくすることにより実現される。

有意判定された画素は、水平シフトレジスタの選択信号により  $V_{PD1}$  と  $V_{PD2}$  を出力する。処理部は各行毎に存在するため、処理やメモリの書き換え等は1水平期間内に全て終了する必要がある。また、フラグが high となった時のみ、制御信号によりフォトダイオード値や  $C_{st}$  値がリセットされる。なお、図中の "all pixel out" 信号を high とすることで、飽和や動きの検出に関わらず、全ての画素値を出力することも出来る。

図7.1の回路中のトランジスタのサイズ等は、使用するプロセスより供給されるモデルパラメータにより、回路シミュレータ hspice を用いて調整し、最適化を試みた。トランジスタサイズの最適化には、処理の安定性や精度並びに動作範囲に留意し回路設計を行なった。特に、 $I_t$  を演算する差動増幅器には線形性を保ちかつ精度の良い演算が求められており、より複雑な回路を用いて実現した。なお、動画像圧縮センサと同様に電源電圧は5Vとし、回路や配線の複雑さを避けるためバイアス電圧は1.5Vのみとした。

## 7.2.2 センサ全体の設計

図7.2にセンサ全体の構成図を示す。動き適応センサは、センサ部、メモリ部、処理部からなり、処理部は各列毎に1つ共有する。ここでは、センサ部、メモリ部の左側にある2つの垂直シフトレジスタを用いて行毎に処理を行う事になる。よって、全ての処理やメモリの更新は1水平期間に終了する必要がある、センサの撮像速度の限界は1行に対する処理時間により定まる。

水平シフトレジスタは選択信号により、通常の水平シフトレジスタか、既に図4.6に示した読み飛ばし機能付き水平シフトレジスタを選択する。通常の水平シフトレジスタでは全画素読み出しを行い、読み飛ばし機能付きシフトレジスタでは、フラグ情報を利用することで、動きあるいは飽和画素のみを選択的に出力する。画素値の読み飛ばし出力時には、最下部のシフトレジスタをさらに高速な同期信号を用いて駆動することにより、全てのフラグ情報を出し選択的読み出しの際のアドレス情報として利用する。この時の画素値とフラグ信号の出力のタイミングは、既に図4.7に示した。

動き適応センサを動作させるための、同期信号のタイミングを図7.3に示す。センサの

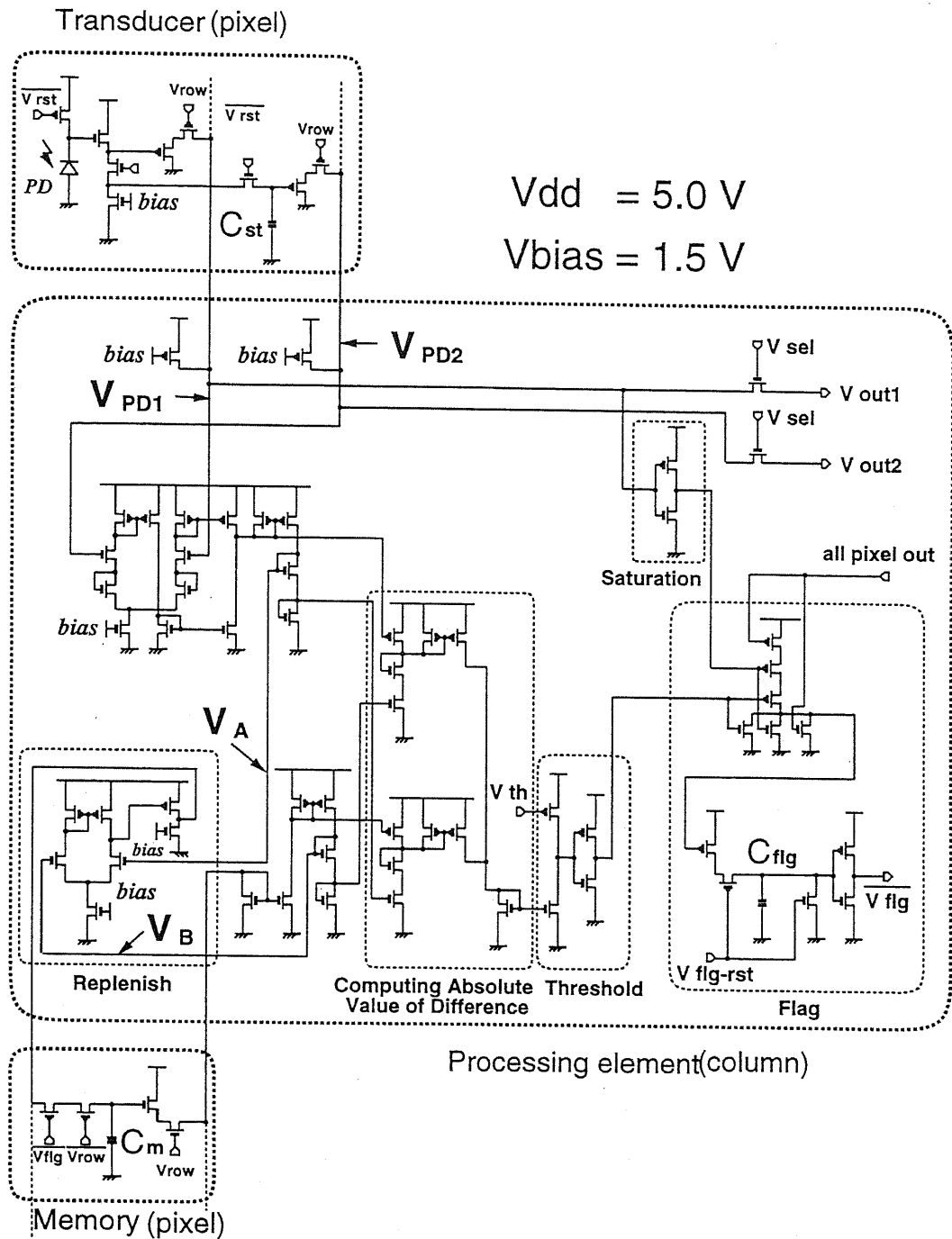


図 7.1: An analog circuit designed for a pixel of the motion adaptive enhancement sensor

動作には、垂直シフトレジスタに必要となる3つの信号 ( $V_{in}$ 、 $V_1$ 、 $V_2$ )、水平シフトレジスタに必要となる3つの信号 ( $H_{in}$ 、 $H_1$ 、 $H_2$ )、および行選択の境界にまたがった  $V_{flgrst}$  の7つの信号を入力する必要がある。垂直シフトレジスタに加えられたスタートパルス  $V_{in}$  は、2つの同期信号により徐々に移動し、 $S_y(i)$  にてある行を選択する。センサ部とメモリ部の  $S_y(i)$  が選択されると、対応する  $i$  行目の画素は直ちに画素値およびメモリ値を出力し処理される。 $S_y(i)$  が選択される間、水平シフトレジスタにスタートパルス  $H_{in}$  を加え、 $H_1$ 、 $H_2$  にてそのパルスを移動させ、列読み出し信号  $S_x(i)$  を発生させる。 $S_y(i)$  ならびに  $S_x(i)$  にて選択された画素の2つの出力値が、順にそれぞれの出力線を通じてセンサ外部に出力される。なお、試作された動き適応イメージセンサは、高速読み出しを実現するために電流にて画素値を出力しており、外付け抵抗にて電圧値に変換される。また、図7.2でセンサ部の左上に設けられた回路により、 $V_1$  と  $V_2$  の同期にてフラグ信号を1行ずつ遅延させ  $V_{rst}$  信号とすることで、動きあるいは飽和検出されたフォトダイオードの値を選択的にリセットする。 $V_{flgrst}$  信号は、フラグ情報を蓄積するメモリのリセット信号であり、行選択信号の切替時におけるフラグ判定の誤動作を防ぐ役割も担っている。

### 7.3 動き適応センサの周辺回路と画像の再構成

本項では、動き適応センサの周辺回路と動画像の再構成の方法について述べる。動き適応センサの実現に当たっては、2つの動作形態が考えられる。一つは、センサ外部で各画素の蓄積時間を検出し続けることにより、画素出力と同時に再構成画像を得るシステムである。もう一方は、ハードディスク等を利用し全ての出力画素を記録した後、その情報を基に画像の再構成を行なうシステムである。以下、それぞれのシステムと画像の再構成の方法について順に述べる。

#### 7.3.1 即時処理による画像再構成

画素の出力と同時に画像の再構成を行なう場合の周辺回路を図7.4に示す。画素値情報は、有意画素のみ出力されるため、図4.7に示したように、2つの画素値とフラグ情報の出力のタイミングが異なっている。そこで、3つの出力線にそれぞれ2つのラインメモリを用意し、それを交互に切替えることで同期のずれを補正する。また、アドレス復号部では出力されたフラグ情報を用いて対応する有意画素の場所を指定する。

タイムカウンタでは、動き適応センサに加えられる垂直シフトレジスタの同期信号を基に、時間をカウントする。ここでは、二つのフレームメモリを有しており、各画素の蓄積開始時間情報が、下部のフレームメモリに保持されている。飽和により出力した際には、現在のタイムカウントとメモリに保持した蓄積開始時間より、その画素の蓄積時間の長さを算出し、その情報を基に画素値の正規化を行なう。また、動きにより出力した際には PD1 出力値と PD2 出力値の差を演算し、再構成値を得る。さらに、その再構成値を用いて、上部のフレームメモリの対応する画素値を更新する。下部のフレームメモリ内の蓄積開始



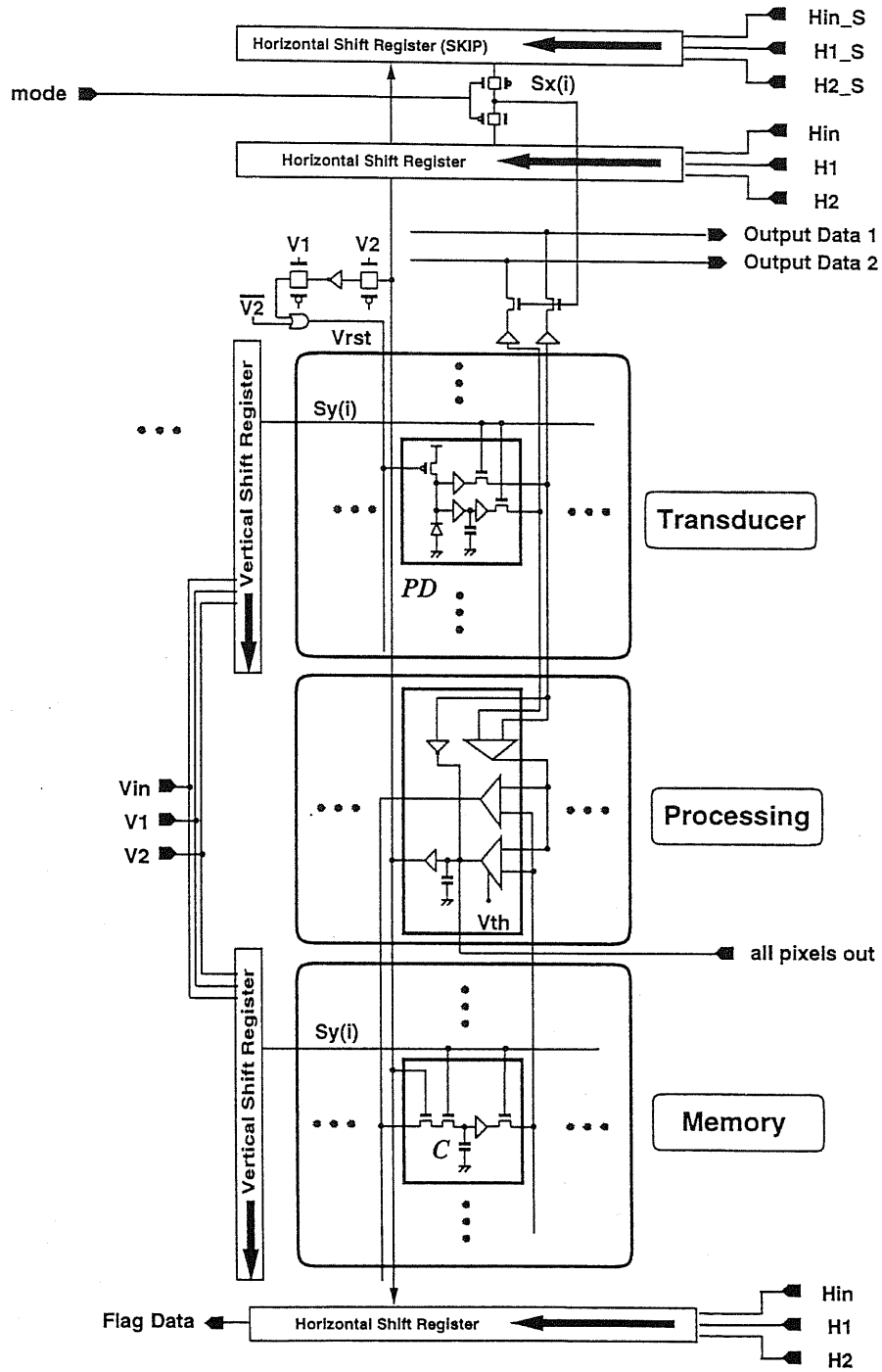


図 7.2: Block diagram of the motion adaptive enhancement sensor

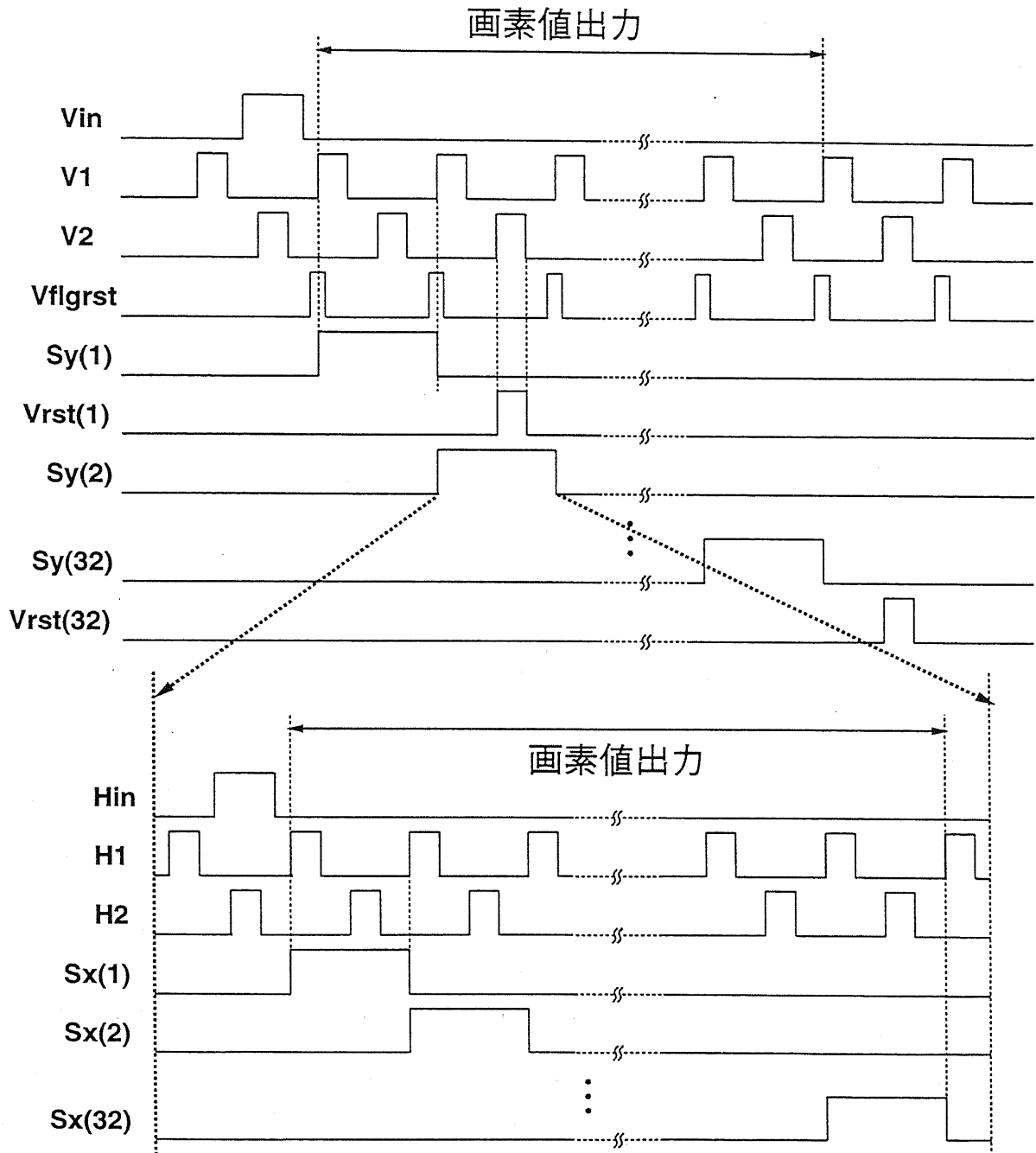


図 7.3: Timing chart

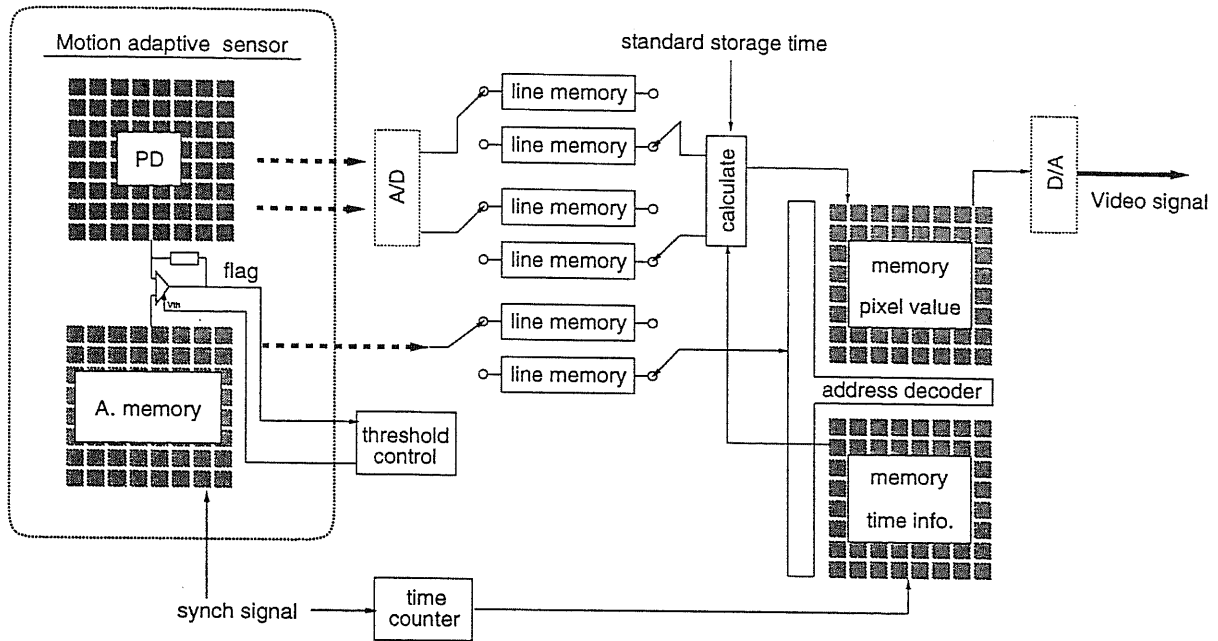


図 7.4: 動き適応センサとその周辺回路 - 即時処理 -

時間情報は、その画素が出力する度に更新される。動画像圧縮センサの即時再構成と比べ複雑な処理を必要とするが、原理的には画素値出力とほぼ同時に画像の再構成が可能である。

図 7.5 に画像の再構成の方法を示す。図は入射光量とそれに対応する PD 出力値及びそのときの再構成値の関係を示している。PD 出力値では、電圧が高い状態から低い状態に変化した時点で、飽和あるいは動きが検出されたことを示している。外部では、あらかじめ設定された閾値電圧により、画素の出力が飽和によるものか動きによるものか判断できる。(ただし、試作したプロトタイプではオプションとして飽和検出信号を出力している。) 飽和が検出された時には、その時の PD2 値を蓄積時間にて正規化し、再構成値として利用する。動きが検出がされた時には、遅延なく画像の再構成を行なうために、二つの画素出力値 (PD1 と PD2) の差分を演算し、再構成値とする。なお、高画質化は犠牲にするが、飽和検出の際にも PD1 と PD2 出力値の差分を利用することで、再構成が可能である。またその際には、蓄積時間を記録する必要はない。

### 7.3.2 記録系を利用した遅延処理による画像再構成

出力する全ての情報を記録した後、画像の再構成をする場合の周辺回路を、図 7.6 に示す。動き適応センサは 2 線出力であるため、それらを A/D 変換した後アドレス情報と共にハードディスク等に記録する。撮像終了後に記録情報を読み出し、画像の再構成を試み

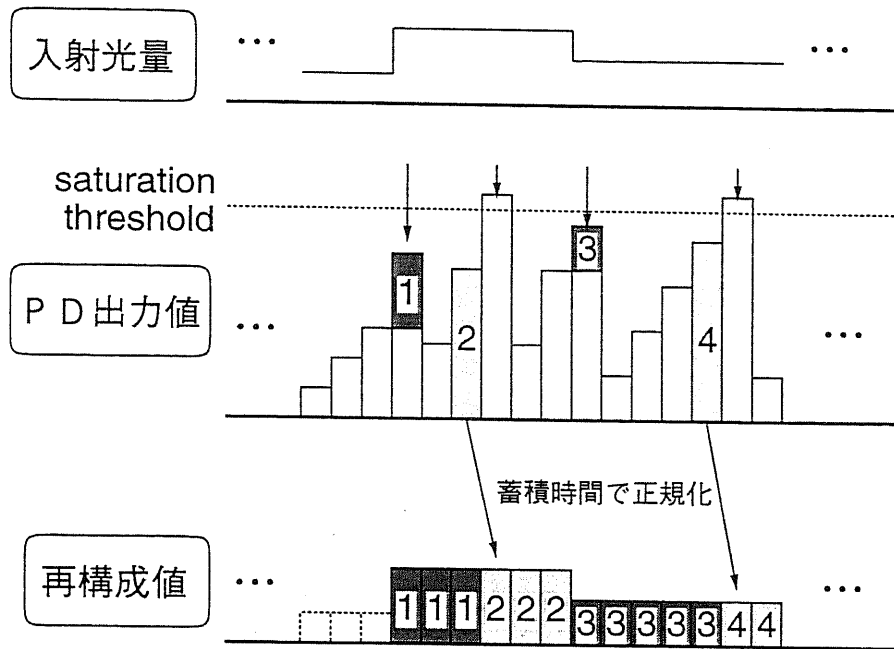


図 7.5: 即時処理による画像の再構成

る。

図 7.7 に画像の再構成の方法を示す。図 7.7 では、動きあるいは飽和が検出した際の PD2 出力値を用いて再構成を行なう。図中では PD 値が大から小に変化した時にフラグが立ち、その時点での PD2 出力値 (1、2、3、4) を蓄積時間で正規化した値を、再構成に利用する。なお、最小蓄積時間のみで飽和あるいは動きが検出された場合には、その PD1 出力値を再構成に用いる。

再構成は、画像の出力順とは異なり、画像の後ろから前に向けてサーチし (4 → 3 → 2 → 1) の順に再構成する。記録を利用した遅延再構成は、PD2 出力値を基に行なわれるので、大幅に飽和閾値を越えた時などの画質の劣化は少ない。また、常に蓄積時間の長い画素値情報を用いるので、ランダムノイズが削減され高品質な画像が得られる。よって、即時処理による画像の再構成と比し優れた画質を得ることが出来る。以下、本論文では記録系を利用した遅延処理により、再構成を行なう。

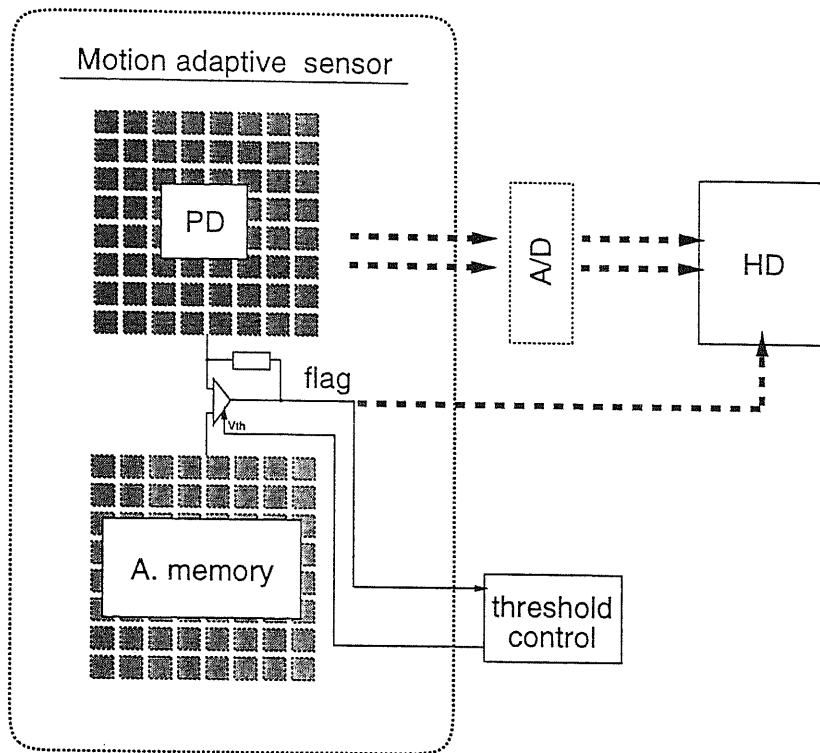


図 7.6: 動き適応センサとその周辺回路 – 記録系を利用した遅延処理 –

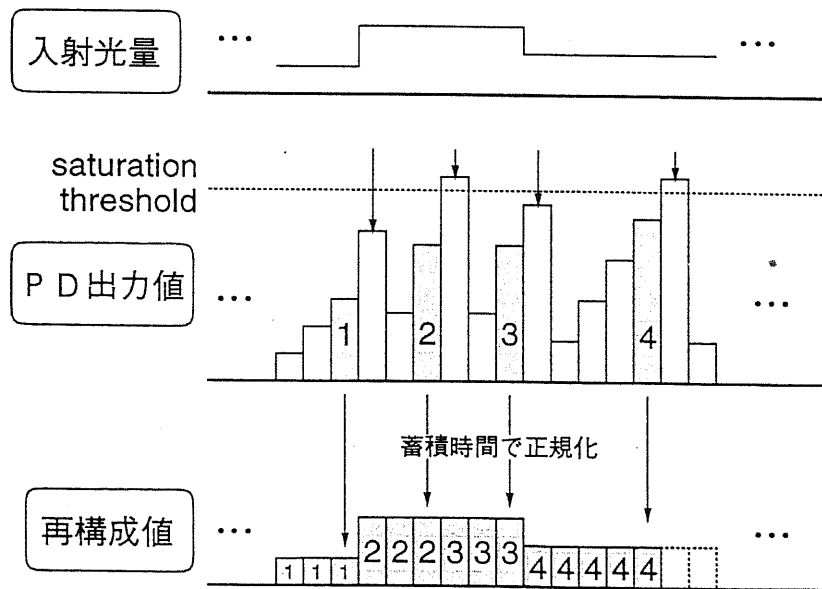


図 7.7: 記録系を利用した遅延処理による画像の再構成

#### 7.4 プロトタイプチップのレイアウト設計

図7.1、図7.2の回路によりプロトタイプのレイアウトの設計と試作を行った。試作に用いたプロセスは、動画像圧縮センサと同じES2のpoly1層、metal2層の $1.0\mu\text{m}$  CMOSプロセスである。本プロトタイプで使用可能なプロセスはメタル層が2層のみであるため、アナログ回路部では2つのメタル層を用いて、可能な限り光の入射を遮るよう試みた。

図7.8に設計したレイアウトの全体図を示す。プロトタイプは $32 \times 32$ 画素を有しており、コアの配置はほぼ図7.2と同じである。また、中心部のアナログ系とシフトレジスタ等のデジタル系は、電源線やグランド線を含めて完全に分離しており、画素値信号への高周波ノイズの混入を防いでいる。プロトタイプは、電源電圧用も含めて入出力パッドを39個（アナログ用9個）有している。電源以外では、入力信号は垂直、水平シフトレジスタの駆動信号、mode信号、 $V_{flrst}$ 信号、閾値電圧等である。また出力信号は、2つの画素値信号、フラグ信号、飽和検出信号（センサの動作には必要ない）、読み飛ばし出力動作時に出力されるEnd of Scan信号の5出力である。

図7.9にセンサ部の1画素分のレイアウトを示す。ここでは、ピクセルピッチは $85\mu\text{m}$ である。図7.9では、右上の正方形の大きな面積を占める部分がフォトダイオードの開口部である。また、左下の長方形の部分がキャパシタ $C_{st}$ である。キャパシタは、ゲート酸化膜を利用したMOSキャパシタで実現した。 $C_{st}$ は、最小フレーム間隔のみ情報を正確に保持すれば良いので、あまり大きな容量を必要としていないが、蓄積電荷のリーク量を予想できなかったため、約 $1.0\text{PF}$ の容量に定めた。よって、 $C_{st}$ のサイズを削減することで、さらに開口率を改善することが可能である。なお、光電効率を上げるため、フォトダイオード直上のpassivation層は、開口することとした。

図7.10に、メモリ部の1画素分のレイアウトを示す。図7.10では、下端の約半分の面積を占める部分が、キャパシタ $C_m$ であり、ゲート酸化膜を絶縁層としたMOSキャパシタで実現した。キャパシタの容量は、動画像圧縮センサと同様に経験的に約 $2\text{pF}$ に定めた。

図7.11に、処理部の1列分のレイアウトを示す。図7.11では、上から順に $I_t$ 演算回路、飽和検出回路、絶対値差分演算回路、フラグ判定回路、 $I_t$ をメモリに転送する回路等から成っている。

表7.1に、設計した列並列処理構成の動き適応センサの仕様を示す。チップ全体の大きさは、 $4.0\text{mm} \times 6.1\text{mm}$ で、動画像圧縮センサより若干大きくなっている。センサ部のピクセルピッチは $85\mu\text{m}$ である。トランジスタ数は、センサ部が17個、メモリ部が10個、処理部は64個であるため、トランジスタ総数は、動画像圧縮センサの約1.8倍になっている。開口率は14.0%であり、消費電力はチップ全体で約 $150\text{mW}$ となった。列並列処理構成とすることで大規模な処理回路を有するにもかかわらず、比較的大きな開口率と低消費電力を実現している。

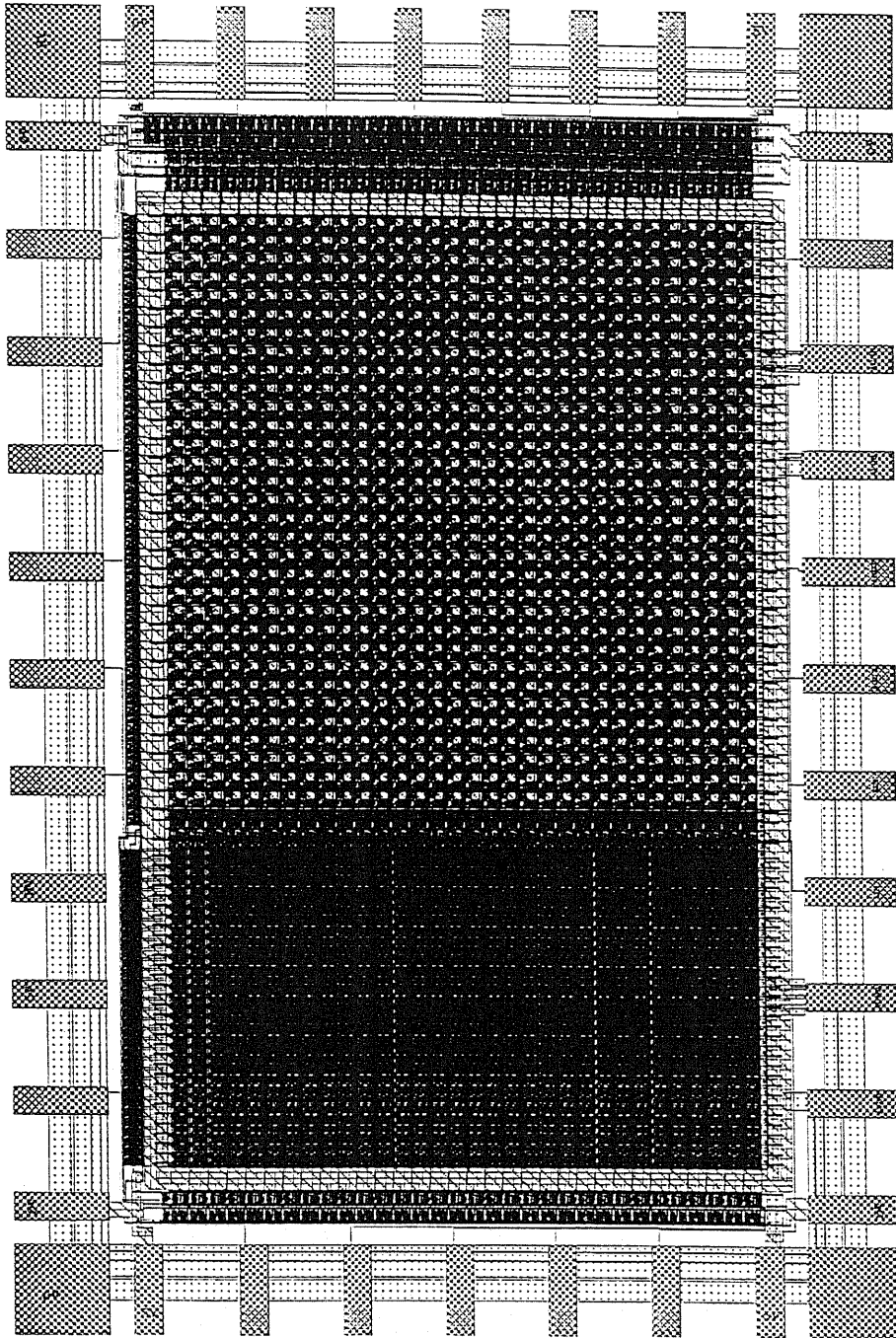


図 7.8: Layout of motion adaptive sensor

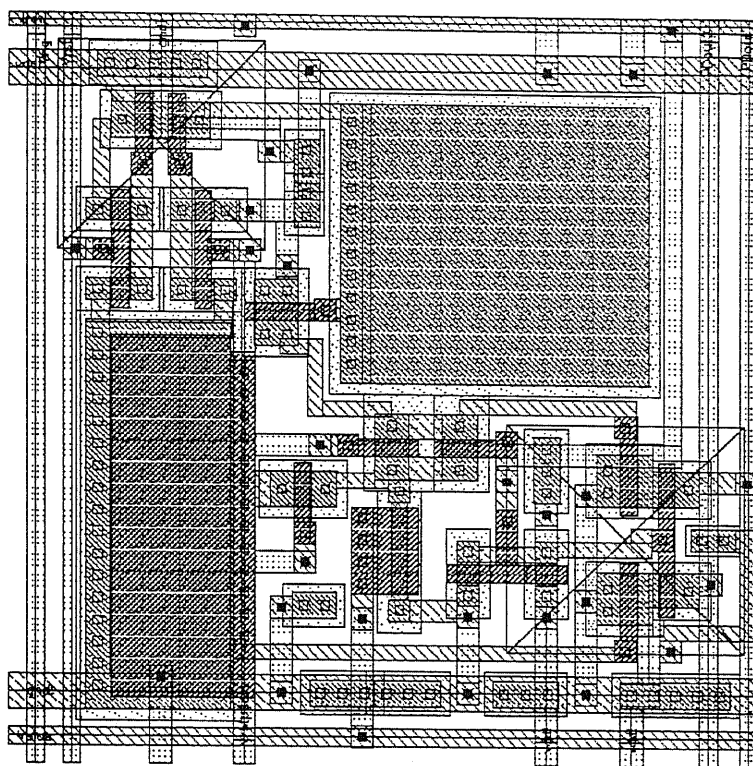


図 7.9: Layout of transducer area in Figure 7.8

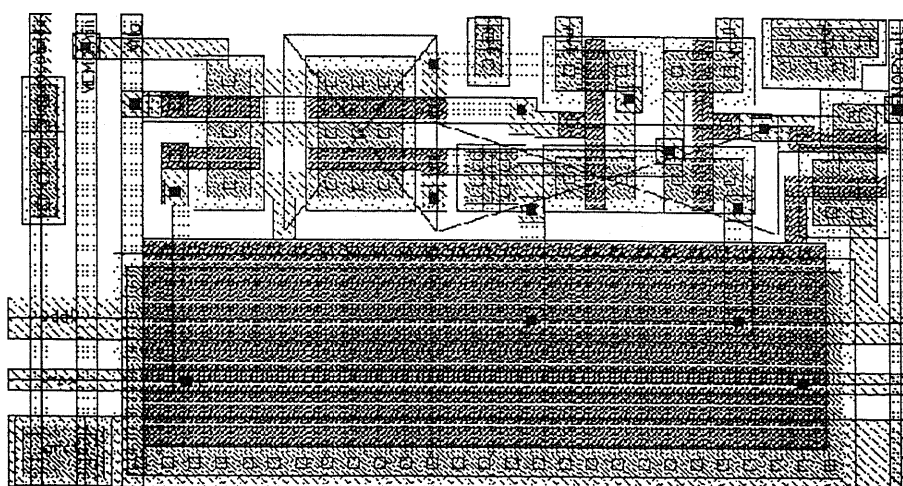


図 7.10: Layout of memory area in Figure 7.8



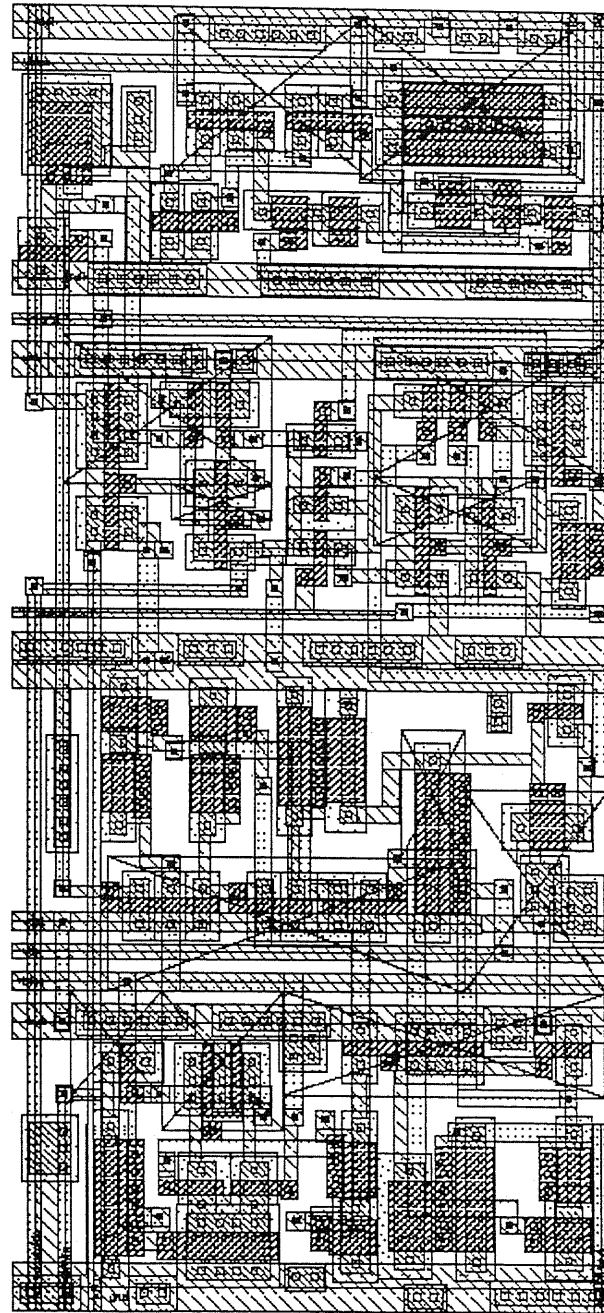


図 7.11: Layout of processing area in Figure 7.8

表 7.1: Outline of prototype of motion adaptive sensor

|                      |   |
|----------------------|---|
| number of pixels     | 32 × 32 pixels  |
| die size             | 4.0 × 6.1 mm <sup>2</sup>   |
| pixel size           | transducer : 85 × 85 μm <sup>2</sup><br>memory : 85 × 46 μm <sup>2</sup><br>processing : 85 × 191 μm <sup>2</sup> |
| number of transistor | transducer : 17 trs. / pixel<br>memory : 10 trs. / pixel<br>processing : 64 trs. / column                         |
| fill factor          | 14 %  |
| power dissipation    | 150mW / chip<br>Vdd = 5V  |
| processing rate      | ≥ 2 μs / row  |

## 7.5 プロトタイプの試作

図 7.12 に、試作した動き適応センサのプロトタイプの外観を示す。プロトタイプチップは、PGA の 68pin にパッケージされ、その大きさは約 2.8cm 角である。

## 7.6 まとめ

本章では、動き適応イメージセンサの列並列処理構成による回路設計とプロトタイプのレイアウト設計、さらに試作について述べた。回路シミュレータによる設計回路の最適化を行ない、充分高速な処理が可能であることを確認した。動き適応イメージセンサの再構成手法として即時処理並びに遅延処理の 2 つのシステムについて明らかにし、それぞれの周辺回路とその動作を説明した。

さらに、回路設計を基に CMOS 1μm ルールで 32 × 32 画素のプロトタイプのレイアウト設計を行ない、各部のレイアウトを詳しく説明した。大規模な処理回路を有するにもかかわらず、試作したプロトタイプは比較的大きな開口率と低消費電力を実現できることを確認した。

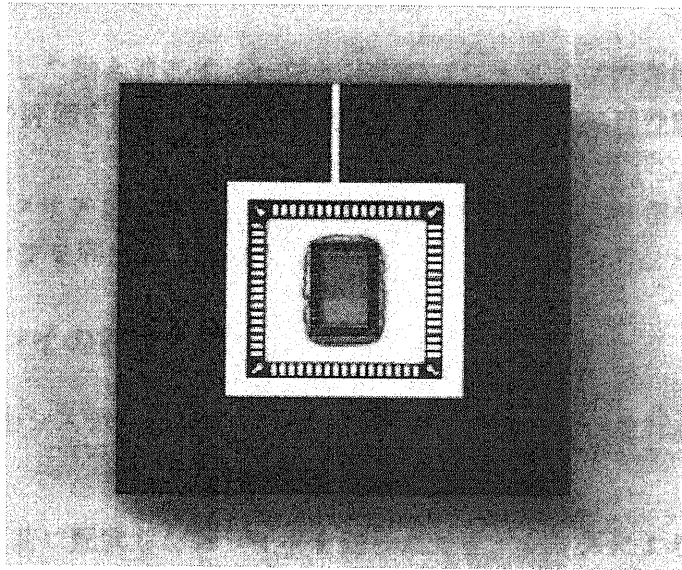


図 7.12: 動き適応センサのプロトタイプチップ

## 第 8 章

### 動き適応イメージセンサの評価

#### 8.1 はじめに

本章では、試作した動き適応イメージセンサのプロトタイプの評価実験について述べる。プロトタイプの評価を通じて、動き適応イメージセンサの処理性能と撮像効果を明らかにする。

評価実験は、センサアレイからなるプロトタイプチップと、13 個のデグ回路からなる部分回路検証用チップを利用して行なう。

#### 8.2 センサアレイの評価

図 8.1 に示す評価システムを利用し、センサアレイの動作確認を行なった。以下に処理の流れを示す。

- カメラ部品の前に配置したスライドを通った光を、レンズによりプロトタイプのセンサ部に集光する。
- 各同期信号をパルスジェネレータで作成し、プロトタイプへ送る。同時に、映像出力用の同期信号を映像信号変換装置へ伝送する。
- 出力された 2 つの画素値信号 (PD1、PD2) とフラグ信号を、イメージバッファにより増幅する。
- PD1 出力信号を G 信号、PD2 出力信号を B 信号、フラグ信号を R 信号として映像信号変換装置に入力し、出力された NTSC 信号をモニタに表示する。
- 同期のタイミングが調整された RGB-Sync 信号を映像入出力装置に入力し、A/D 変換した後その信号を記録する。
- 記録された出力信号をコンピュータに伝送し、画像の正規化等の処理を行なう。

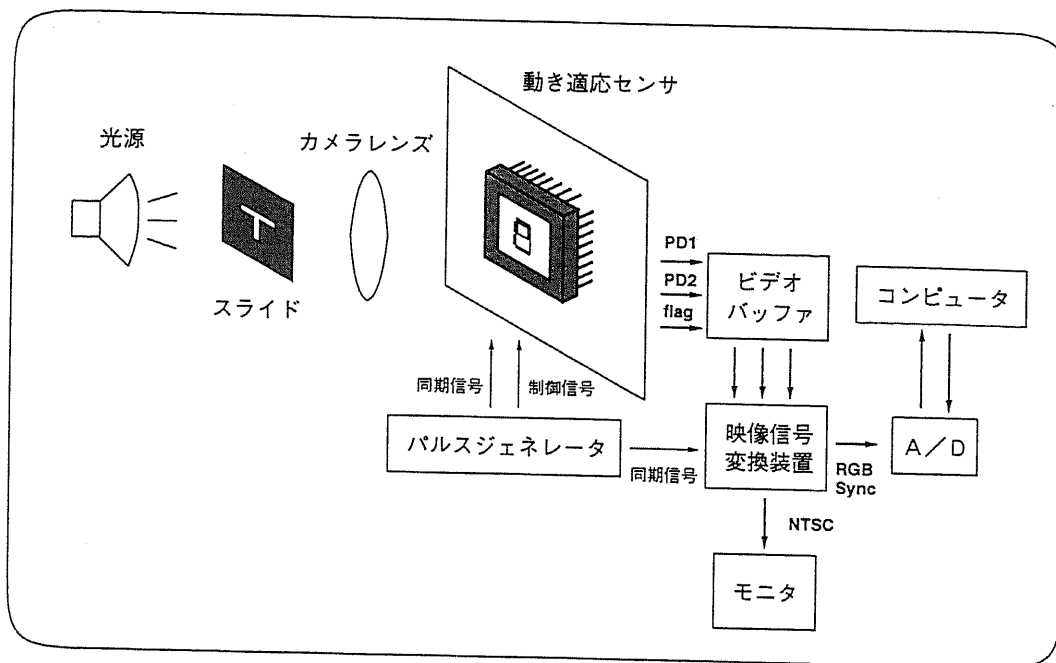


図 8.1: プロトタイプの評価システム

図 8.2 に、プロトタイプにて撮像し通常シフトレジスタを用いて出力した時の、出力画像の例を示す。PD1 および PD2 信号の画素値は反転出力であり、明るい光が入射する程暗い画素値となる。よって、図 8.2 では PD2 出力値から PD1 出力値を差し引くことで、最小蓄積時間での蓄積画素値を得ることが出来る。この図では、中央の“T”の文字の部分に強い光が入射し、背景には弱い光が入射している。“T”の部分は、強い光のためほぼ毎フレームで飽和しており、そのため PD2 出力値の対応する部分は、初期値となり明るくなっている。また、背景部では数フレームに渡り蓄積を行なっているために、飽和閾値を越えた画素から順に出力する。フラグ信号中の輝度が高い部分が出力する画素を表している。

なお、実験には 3 つの出力信号を RGB 信号として同時に取得している都合上互いの信号が影響を与え、例えばフラグが立っていない部分でも輝度値を有している。また、A/D 変換時の標本化点のずれによる信号のボケも、処理をする上での大きな障害になる。これらは、センサ外部に専用の処理回路を設けることで解決できると思われ、今後検討が必要とされる。

以下、8.2.1 から 8.2.5 項では、通常出力時での評価実験について述べ、8.2.6 項では読み飛ばし出力時の動作を確認する。

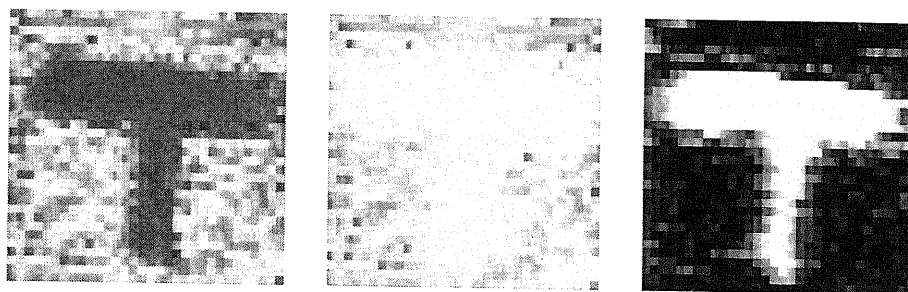


図 8.2: 動き適応センサの撮像例；左から PD1 出力、PD2 出力、フラグ信号

### 8.2.1 動きおよび飽和の検出

図 8.3は、スライドに”T”の文字を書き、センサ面に投影した際の出力結果である。3列の画像は、それぞれ左から PD1 出力信号、フラグ信号、動き検出のみを示す信号であり、上から下に向かって時間が流れている。動き検出のみを示す信号は、フラグ信号から飽和検出信号（オプションで出力している）を取り除くことにより作成している。よって、飽和と動き検出が同時に生じた場合には、右端の動き検出のみを示す信号には現れない。上の2行は、暗い室内光で撮像しており、飽和した画素だけが出力している。上から3行目では、Tの部分にわずかな投影ランプ光が加えられ、急に画素値が変化したため、“T”の型をしたフラグ信号が出力される。このT型のフラグ信号は、動きおよび飽和が検出された画素と、右端に示した動きだけ検出された画素により作成されている。上から4行目には、幾つかの動き検出信号が現れているが、それ以降はほぼ動き検出はされていない。（ノイズ状に見える画素の多くは、PD1あるいはフラグ信号の漏れ込みであり、高輝度の画素のみが動き検出信号を表している。）3行目以降にはTの部分にわずかなランプ光が加えられたため、上の2行と比べ飽和の速度が速くなっているのが見てとれる。

図中の最上部にある画像は、全画素読み出し信号を加えることで最小蓄積時間に固定して撮像した時の出力画像である。このように、入射光が極めて暗い場合においても、ほぼ正確に飽和および動き検出が行なえることが確認された。

図 8.4は、同様に”T”の文字を横に移動した際の、PD1 出力信号、フラグ信号、動き検出のみを示す信号の出力結果である。中央のTの部分は明るい光が入力されており、フラグ信号からも分かるように、ほぼ最小蓄積時間にて飽和している。右端の動き検出のみを示す信号より、Tの文字の縦方向のエッジのみが動き領域として検出されている様子が分かる。なお、図 8.4のフラグ信号と動き検出信号は、閾値により2値化したものである。

最小蓄積時間で撮像した画像

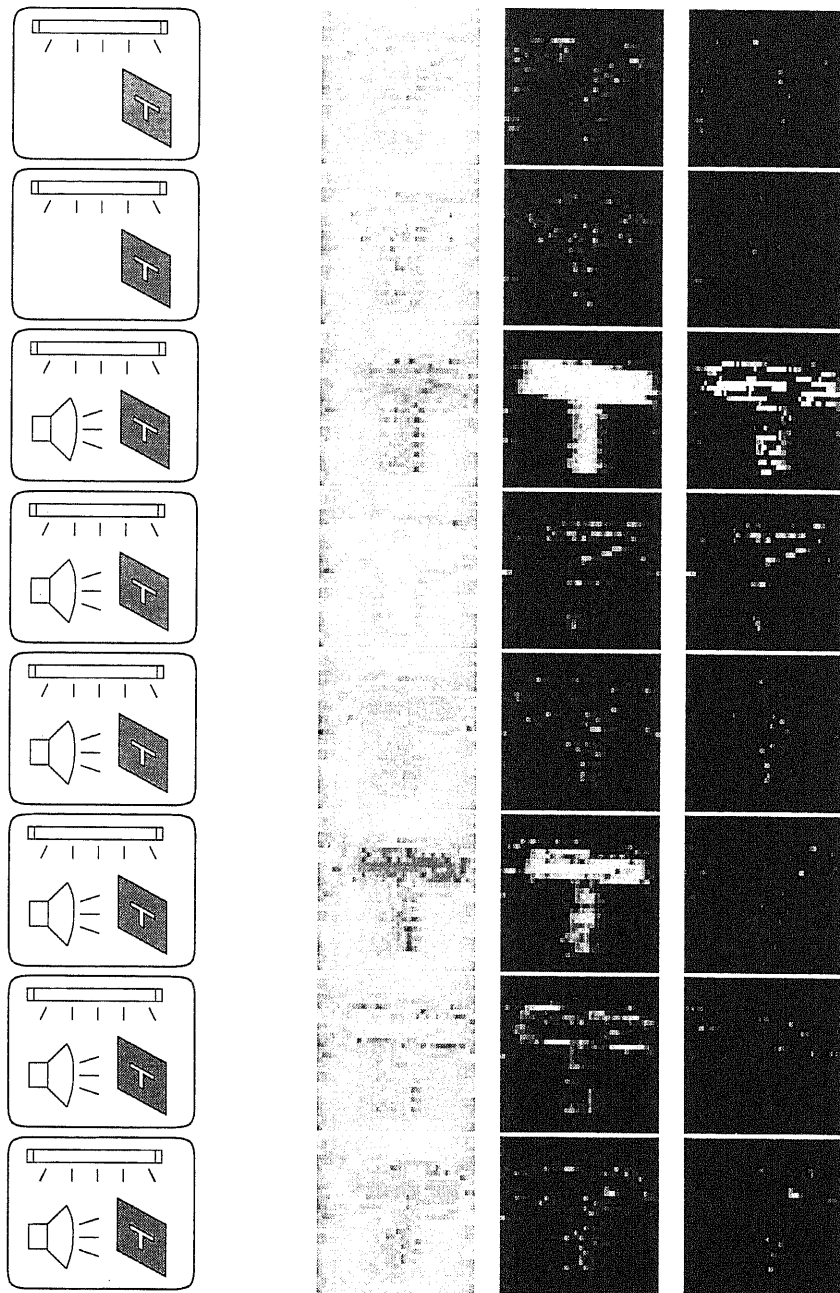


図 8.3: 光を点滅した場合の出力；左から PD1 出力、フラグ信号、動き検出のみを示す信号（3 行目で投影ランプ光が新たに加えられている）

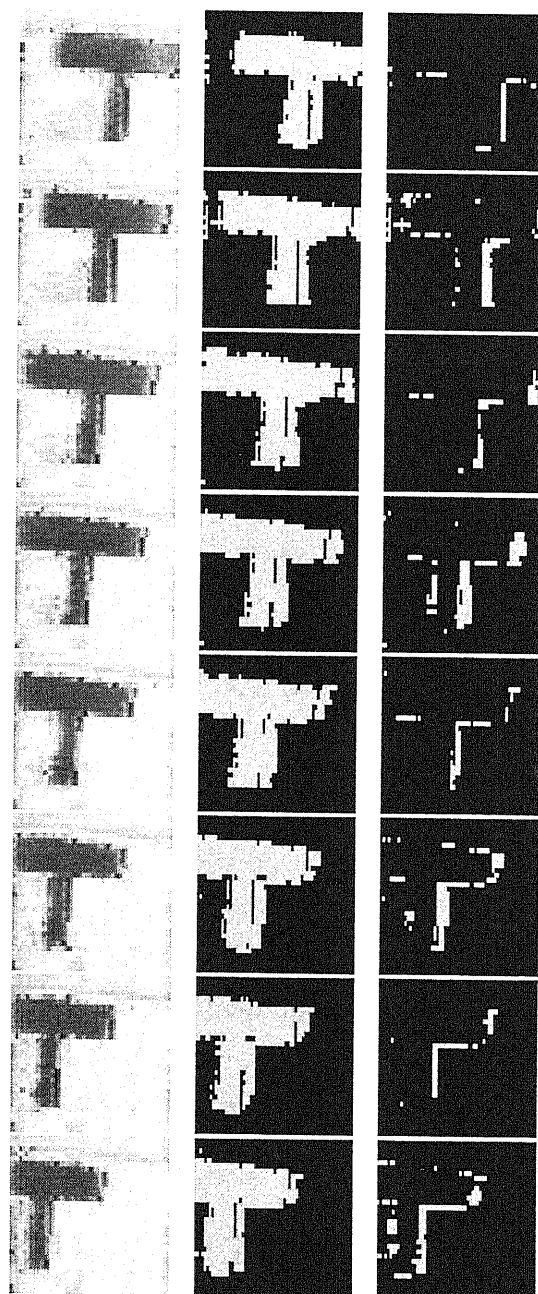


図 8.4: 文字を横に移動した場合の出力 ; 左から PD1 出力信号、フラグ信号、動き検出のみを示す信号



### 8.2.2 フラグ情報を用いた画像の再構成

図 8.5、図 8.6は、文字を横に移動した際の再構成画像とフラグ信号を示している。図 8.5では、動き閾値を 0V とし動き検出を行わない場合の出力である。T の文字の周辺部分が多フレームにわたり表示され、動きボケが生じていることが分かる。一方、図 8.6では、動き閾値を 2V とすることで動き検出した場合の出力画像である。フラグ信号からも分かるように、T の文字の周辺部においても動き検出によりフラグが立っているため、再構成画像は動きボケを生じない。

図 8.5、図 8.6より、動き適応センサの処理が単に飽和検出のみであると動きボケが生ずる場合があるが、動き検出機能を加えることで高画質な撮像が可能になることを確認できる。

### 8.2.3 動き適応蓄積時間による高画質化

“T” の文字からなる静止画像を毎秒 1475 フレームにて撮像し、適応蓄積時間による高画質化の評価を行なった。図 8.7に、出力結果を示す。図 (a) は、全画素読み出し信号を加えることで、最小蓄積時間  $\Delta$  にて撮像した画像である。ここでは、T の文字の部分は明るい光が入射しており、背景部はそれより暗い光が入射している。T の文字は、入射光量が多いためノイズが少ないが、背景部では光量が少ないためにランダム性の雑音が生じている。

一方、図 (b) は適応蓄積時間にて撮像した後再構成した画像である。この時、最大 18 フレームに渡り画素値の蓄積を行なっている。また、図 (c) は図 (b) での  $y=33$  における PD1 信号の X- 時間方向の断面図である。ここでは、入射光量に合わせて徐々に画素値が暗くなり、暗い画素が明るい画素に転じた時飽和が検出され、画素値が出力されている。中央の明るい光の入った文字の部分はおよそ 2 フレームにて飽和し、背景部では多フレームに渡り画素情報を蓄積していることが分かる。

これにより、図 8.7(a)、(b) から明らかなように、入射光量の少ない背景部においてはランダムノイズが平滑化され、高画質な画像が得られることが分かる。

### 8.2.4 動き適応蓄積時間による広ダイナミックレンジ化

前項と同様に毎秒 1475 フレームにて撮像することで、適応蓄積時間による広ダイナミックレンジ化の評価を行なった。図 8.8に評価実験の結果を示す。図 (a) は、実験に利用した撮像対象を示している。この図は、実験時とは照明環境を変えた上で、固定蓄積時間にて撮像したものである。実験に際しては、中央の四角形状の穴から非常に明るい光を入射することで、画面中に輝度差の大きい部分を作っている。

図 8.8(b)(c) は、固定蓄積時間で撮像した出力結果である。図 (b) は最小蓄積時間で、図 (c) は最小蓄積時間の 14 倍の時間にて蓄積後出力した画像である。撮像対象の輝度差

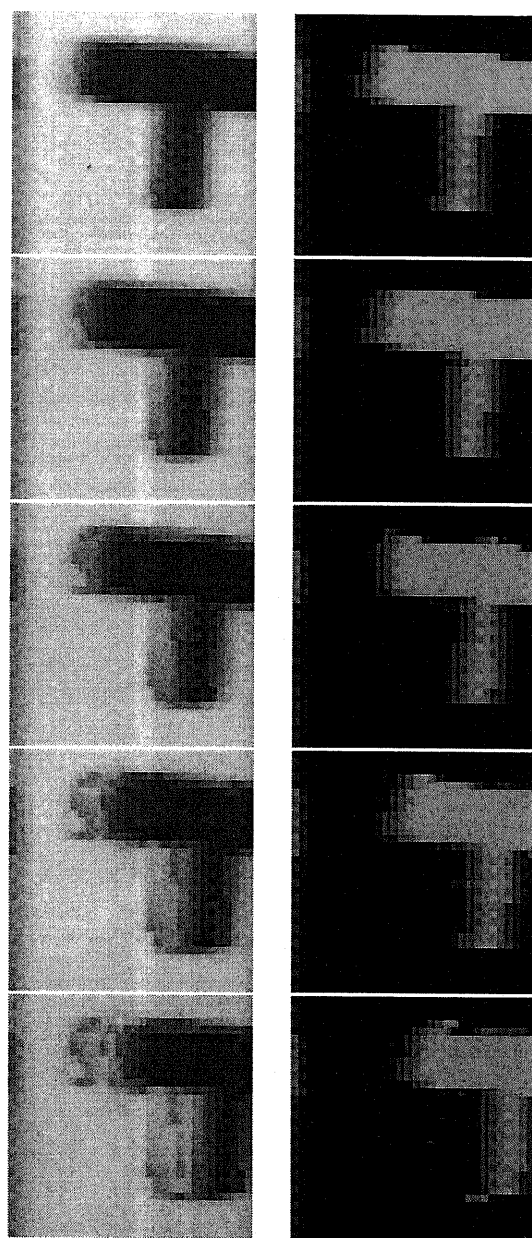


図 8.5: 文字を横に移動した場合の再構成画像（動き検出をしない場合：閾値 0V）；左から再構成画像、フラグ信号

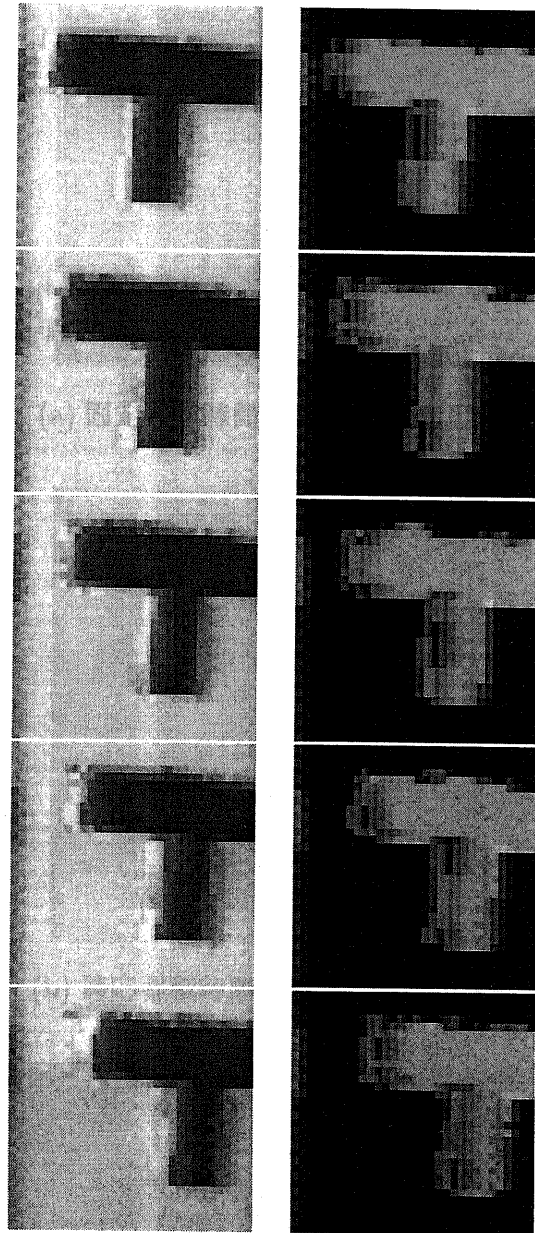
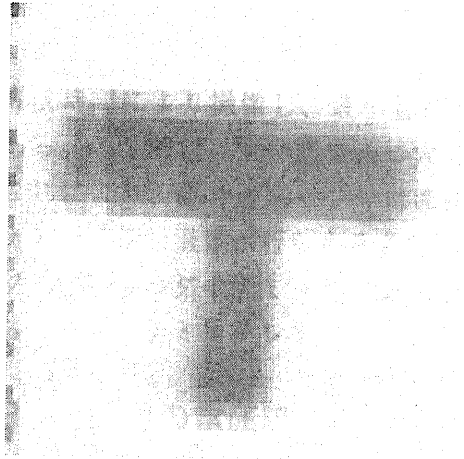
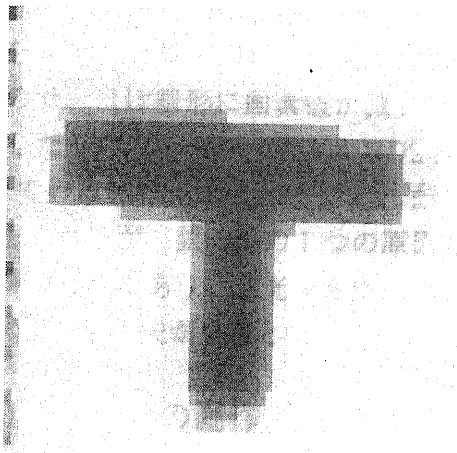


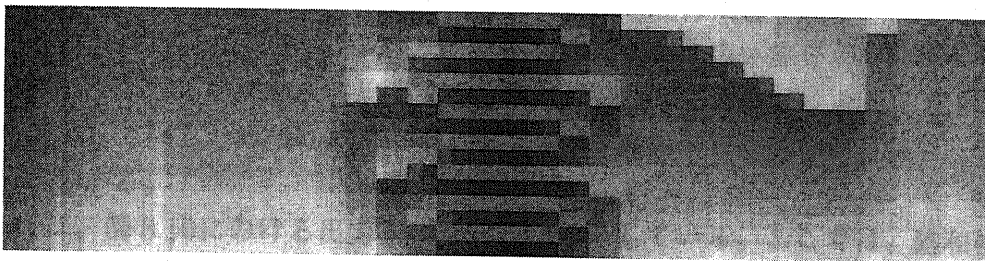
図 8.6: 文字を横に移動した場合の再構成画像 (動き検出をする場合: 閾値 2V) ; 左から再構成画像、フラグ信号



(a) 固定蓄積時間で撮像した静止画像



(b) 適応蓄積時間で撮像した静止画像



(c) PD1 出力の X- 時間方向の断面図； (b) の  $y=33$  における断面

図 8.7: 静止領域の高画質化

が非常に大きいため、明るい穴の形をとらえようとする文字の部分が表示されず、文字をとらえようとする穴からの強い光によりブルーミングが生じ、周辺画素に洩れ込んでしまう。

一方、図 8.8(d) は適応蓄積時間により撮像し、最小蓄積時間の 18 倍までの蓄積を可能にした際の再構成画像である。ここでは、強い光を放つ穴の形状と背景の文字を同時に撮像出来ることが分かる。これにより、動き適応センサは蓄積時間の適応化を行なうことで、通常よりも広ダイナミックレンジな撮像が行なえることが確認できた。

図 8.8 では、通常センサの約 18 倍のダイナミックレンジを持つことになるが、最大蓄積時間を延ばすことで、さらに広ダイナミックレンジ化を図ることが出来る。

### 8.2.5 リークによる PD2 出力の電圧降下

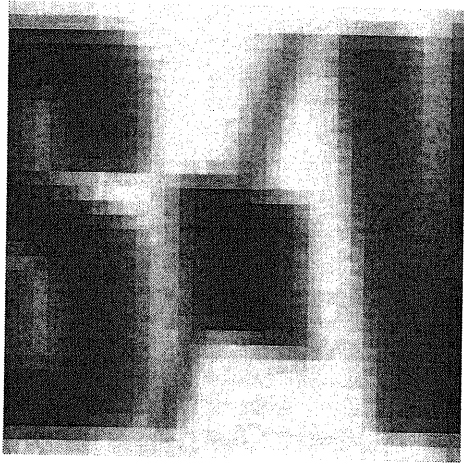
動き適応センサは、図 7.9 に示したように、センサ部内に PD2 値を保持するメモリ  $C_{st}$  を有しており、直接メモリ上に光が入射する。5.3.5 項でも示したように、MOS キャパシタに光が入射した場合には、多くのリーク電流が見込まれる。

図 8.9 は、センサ部に光を入射した際の PD1、PD2 出力値の変化の様子を示している。入射光量は変化していないので、ほぼ線形に画素値が減少している。本来 PD2 出力は、PD1 出力が 1 フレーム遅延したものであるが、図より PD2 出力が前フレームの PD1 出力に比べ、およそ 10% 低下しているのが見てとれる。これまでの実験からも、リークの影響はそれ程大きくはないと思われるが、誤検出の 1 つの原因と考えられる。これは、試作に用いたプロセスのメタル層が 2 層であり、遮光膜を作成できないことに起因しており、今後プロセスの変更やレイアウトの工夫が必要となる。

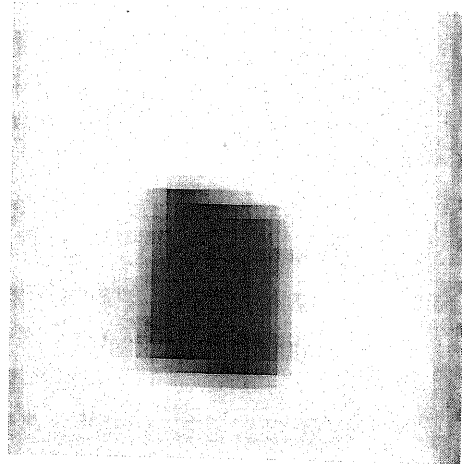
### 8.2.6 読み飛ばし出力モード時の動作

図 8.10 は、毎秒 1475 フレームにて撮像し、読み飛ばし出力にて動作させた時の出力結果である。ここでは、T の文字からなる静止画像を撮像しており、飽和した画素から順に出力する。PD1 出力および PD2 出力では、読み飛ばし動作により画面中の左端に検出画素のみが出力されている。PD1 および PD2 出力の画像中の黒い部分は、映像信号が何も出力されていないことを示す。各出力信号を同時に取得するために、それぞれを RGB 信号として入力しているため洩れ込みが生じているが、読み飛ばし動作が正確に行なわれていることが分かる。

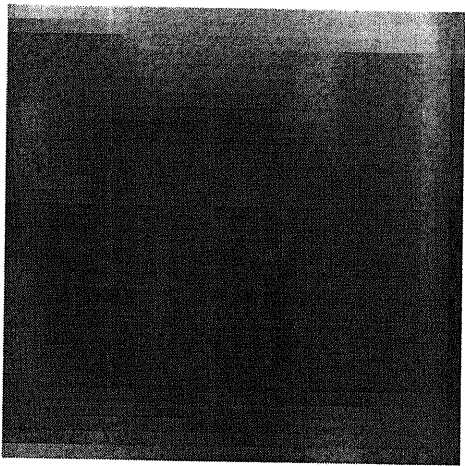
図 8.11 は、図 8.10 における出力画素数の変化を示している。ここでは、飽和検出により約 10% ~ 30% の間にて、出力画素数が推移している。



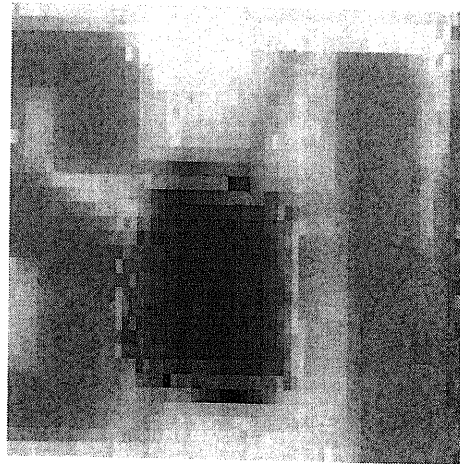
(a) 実験での撮像対象 ((b)(c)(d) では中央の四角の穴から強い光を入射する)



(b) 最小蓄積時間による撮像結果



(c) 最小蓄積時間の 14 倍の蓄積時間による撮像結果



(d) 適応蓄積時間による撮像結果

図 8.8: ダイナミックレンジの拡大

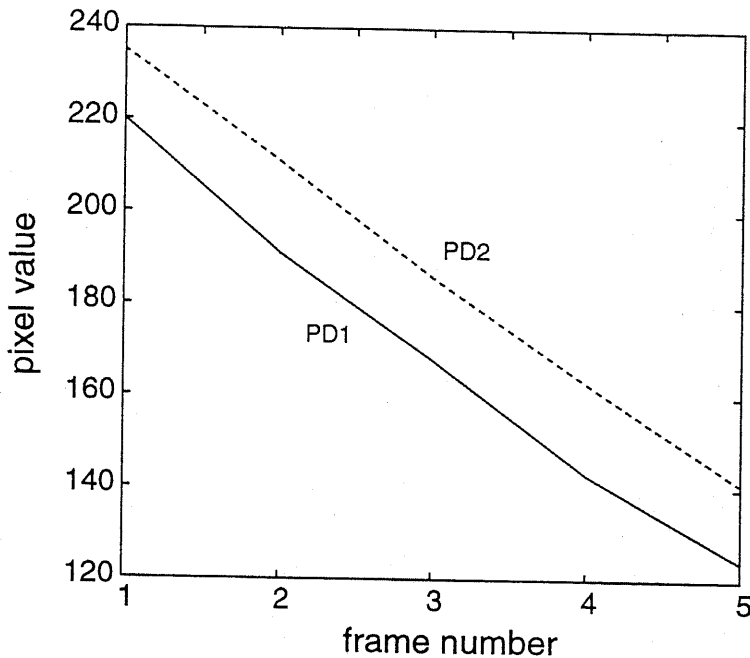


図 8.9: 画素値信号の出力例

### 8.3 プロトタイプの部分回路を用いた評価

プロトタイプに用いた回路を部分的に抽出し、評価用のチップを作成した。本項では、これらのテグ回路による実験結果について述べる。

#### 8.3.1 $I_t$ を求める差分演算の精度

最小蓄積時間内の画素値変化である  $I_t$  は、図 6.4 にて示したように PD1 出力と PD2 出力の差分演算で、各フレーム毎に算出される。処理回路では、 $I_t$  を用いて動き検出の判定を行なうために、 $I_t$  の演算精度は動き検出の性能を大きく左右する。動画像圧縮センサでは動き検出のための絶対値差分演算が、少なくとも単調増加であれば充分であるが、 $I_t$  の演算にはより広い動作範囲と線形性が要求されている。

図 8.12 は、実験に用いた  $I_t$  演算部のテグ回路である。本センサでは、必ず PD2 出力が PD1 出力よりも大きくなっているために、 $V_B$  を固定としその値より  $V_A$  を減少させた時の出力電圧  $V_C$  の値を調べた。図 8.13 は、 $V_B$  をそれぞれ 3.5V、4.1V、4.6V とした際の  $V_C$  の出力結果を示す。なお、 $V_A$  はほぼ設計した動作範囲内にて変化させた。図 8.13 より、 $I_t$  演算回路が 0.8V 程度の範囲で線形性を有しており、図 5.11 に示した絶対値差分の回路と比し、より広い範囲で線形性を保っていることが分かる。一方で、 $V_B$  の値が変化した際には、 $V_A$  との差が大きくなるにつれ出力電圧が低くなる傾向にある。この問題は、

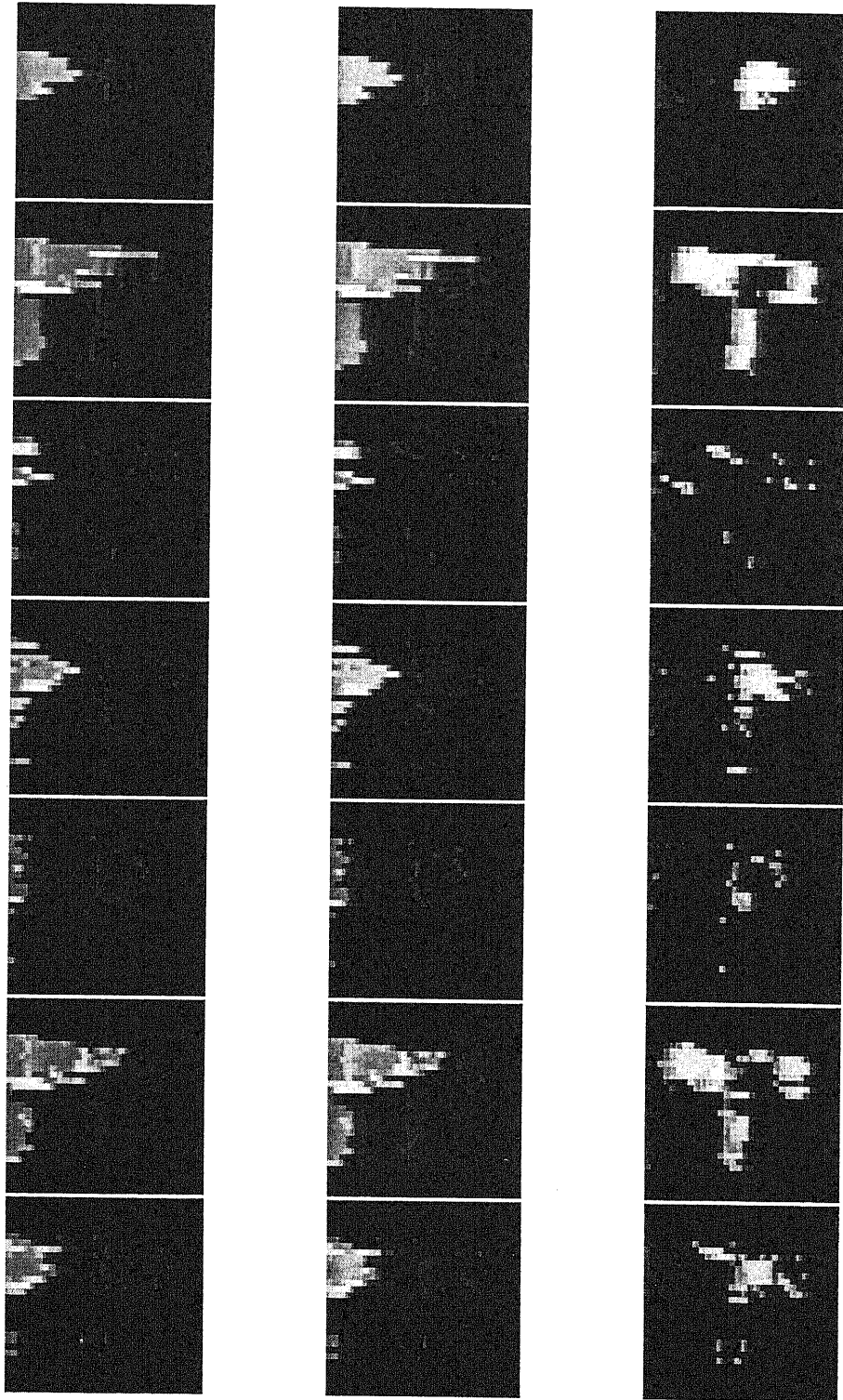


図 8.10: 読み飛ばし動作時の出力結果；左から PD1 出力、PD2 出力、フラグ信号



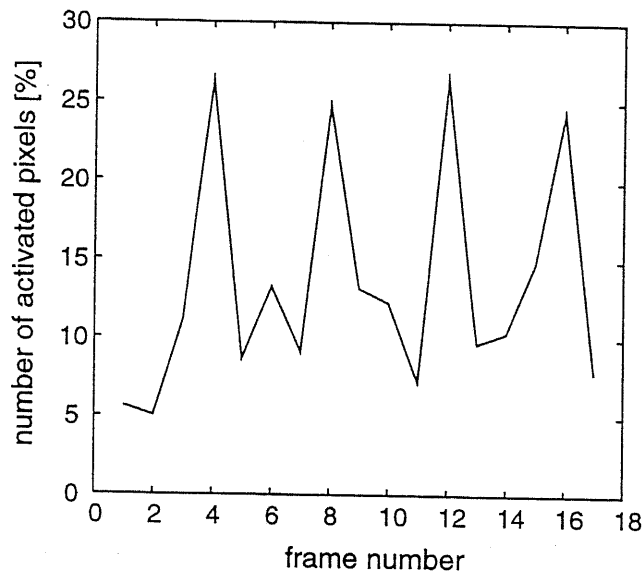


図 8.11: 読み飛ばし動作時の出力画素数の例

アナログ回路の工夫によりさらに改善が可能であり、今後の課題となる。

### 8.3.2 1画素回路による画素値の出力変化

本項以降の実験では、図 7.1 に示した 1 画素からなるテグ回路を用いて、撮像特性や処理性能の評価を行なう。評価実験は、図 5.20 に示した動画像圧縮センサの場合と同様な評価システムを用いており、光源として赤色発光ダイオードを利用し、その駆動電圧を変化させた時の各部の出力電圧を調べた。

実験に際しては、図 8.14 に示すタイミングにて各制御パルスを動作させている。これは、プロトタイプが毎秒 1000 フレームにて動作している状態に相当する。

図 8.15 は、正弦波状の LED 駆動電圧を用いて、全画素出力信号を ON とし撮像した際の  $V_{PD1}$  および  $V_{PD2}$  (図 7.1 参照) の出力値である。画素値は毎フレームにて出力されるため、ネガティブ出力の PD1 値は正弦波状に変化している。その時、各フレームでフォトダイオードのリセットがかかるため、PD2 値は全てのフレームで初期値を出力する。よって、正確には PD2 出力と PD1 出力の差分がそのフレームでの蓄積電荷の出力値となる。

一方、図 8.16 は、LED にパルス状の駆動電圧を入力し、通常の撮像下 (全画素読みだし信号を off) での、PD1 出力と PD2 出力の変化である。LED の駆動電圧が低い時には入射光量が減少するために、約 8 フレームに渡り蓄積を続けた後飽和が検出され、PD1 出力および PD2 出力が共にリセットされていることが分かる。また、駆動電圧が高い時には入射光量が増加するために、およそ 3 フレーム程度で飽和が検出され、それぞれの値

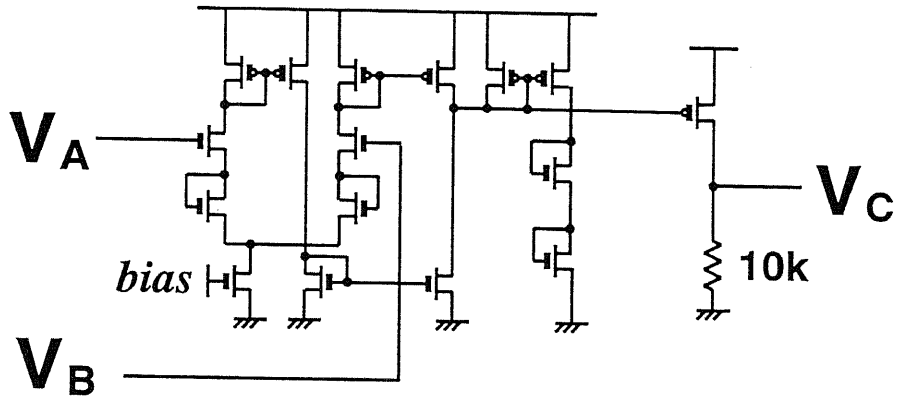


図 8.12:  $I_t$  の演算特性実験のためのテグ回路

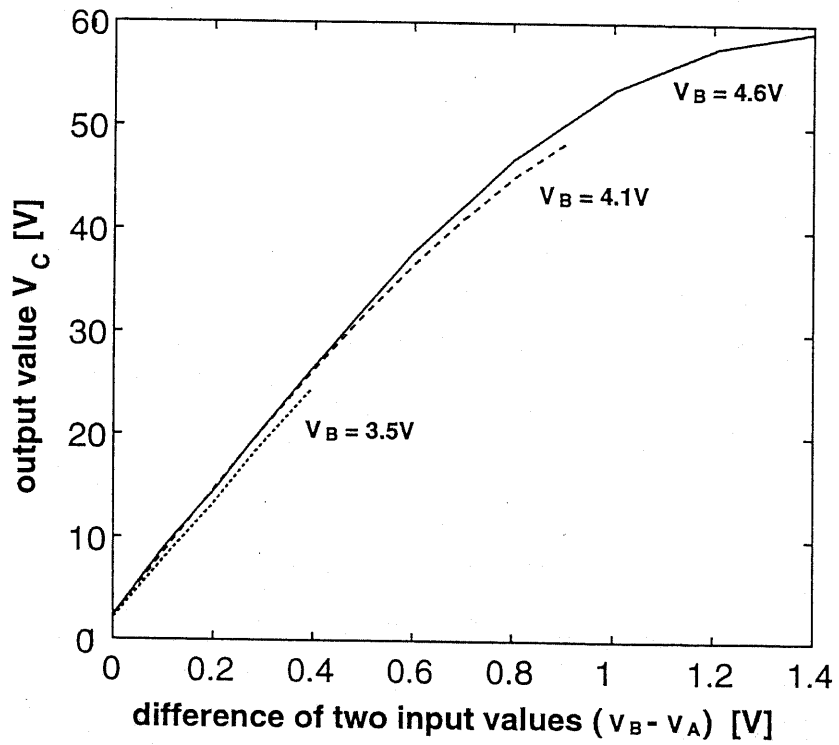


図 8.13:  $I_t$  の演算特性

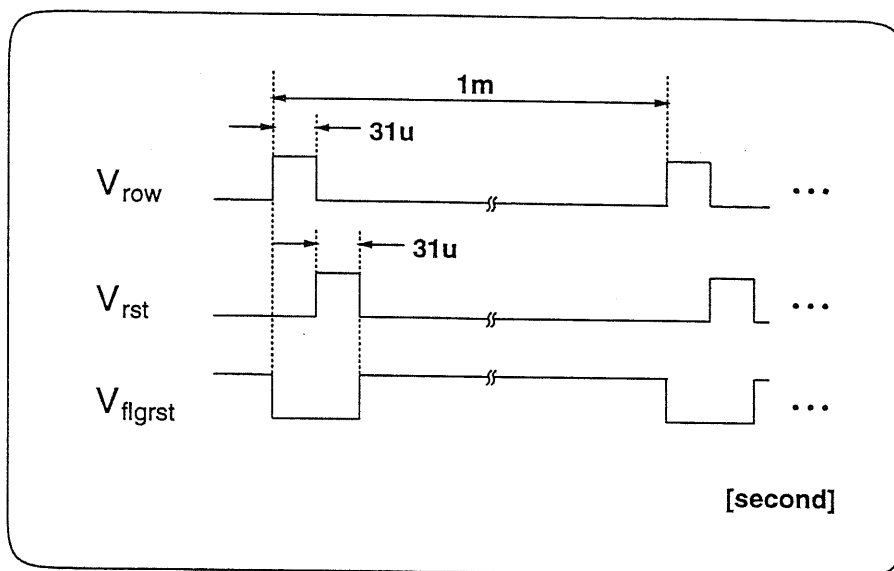


図 8.14: 1 画素からなるタグ回路の制御パルスのタイミング

がリセットされている。また、図中 PD2 が 1 フレーム前の PD1 出力値を保持している様子が見てとれる。

### 8.3.3 1 画素回路による $I_t$ の演算動作

図 8.17 は、前項と同じ 1 画素回路からなる評価システムにて、LED にパルス状の駆動電圧を与えた際の、PD1 出力値 ( $V_{PD1}$ )、PD2 出力値 ( $V_{PD2}$ ) および  $I_t$  出力値の変化を示している。PD1 および PD2 は、LED 光が暗い時には数フレームに渡り蓄積を行ない、LED 光が明るい時には 2 フレーム程度で飽和していることが分かる。この時、最小蓄積時間での変化  $I_t$  は PD1 および PD2 の差分にて演算されるが、各フレームにおける PD1 の出力値の大きさに関係なく、入射する光量に合わせてほぼ正確に  $I_t$  を演算している様子が見てとれる。

### 8.3.4 1 画素回路による飽和および動き検出

図 8.18～図 8.20 は、LED 駆動電圧を正弦波状とし動き閾値をそれぞれ 1.5V、2.0V、2.5V とした時の飽和検出信号およびフラグ信号の変化を示している。図中、上から 2 番目の波形は、飽和を検出したことを示す信号であり、上から 3 番目の波形はフラグ信号である。（これらは、反転出力のため high から low に転じた時、各信号が on になったことを示す。）よって、ここでは飽和検出信号が off でフラグ信号が on なる時には、動きのみが検出されたことを示している。

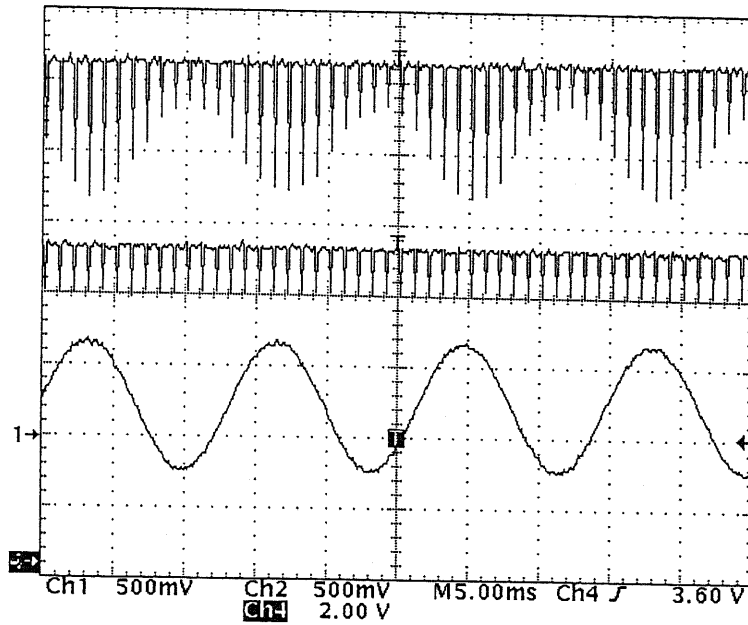


図 8.15: 1 画素素子の撮像例 (全画素出力時) ; 上から PD1 出力、PD2 出力、LED 駆動電圧

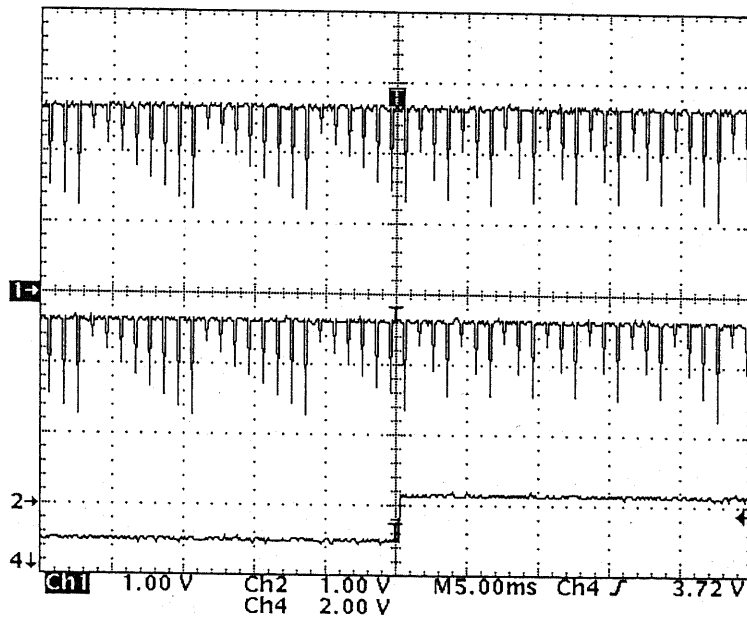


図 8.16: 1 画素素子の撮像例 (通常出力時) ; 上から PD1 出力、PD2 出力、LED 駆動電圧

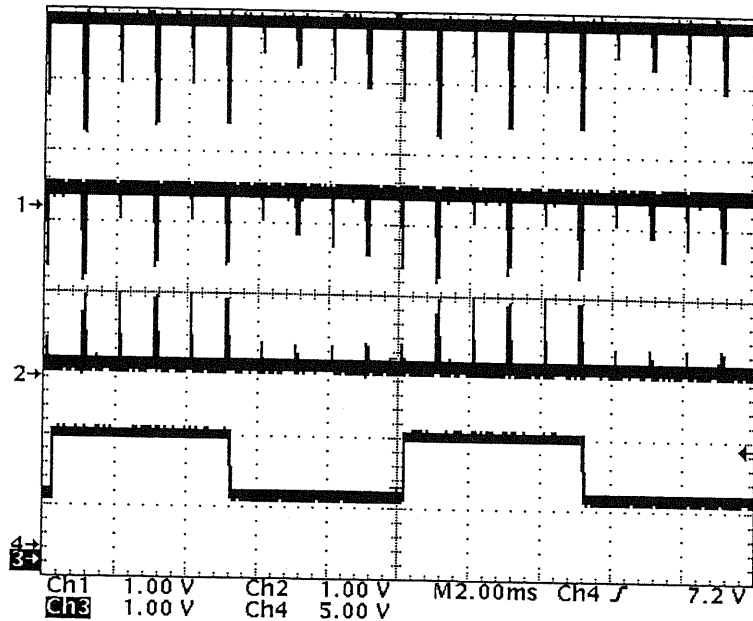


図 8.17:  $I_t$  演算の動特性；上から PD1 出力、PD2 出力、 $I_t$  値、LED 駆動電圧

図 8.18は、動き閾値が低いために動きが検出されず、PD1 値が飽和閾値を越えた時のみ飽和が検出され、画素値を出力する様子を示している。図 8.19では動き閾値が 2.0V であり、LED 光が最暗部と最明部となる時に動きが検出されている。また、最明部では動き検出に続いて 3 フレーム後に飽和している様子が分かる。図 8.20は、動き閾値を 2.5V とした時の出力波形である。本実験での入射光量に対し閾値電圧が大きいため、各フレームにて動きが検出され全画素値が出力されている様子が分かる。

1 画素回路による図 8.18～図 8.20の結果により、動き検出や飽和検出が原理に基づき設計通りに動作していることが明らかになった。

### 8.3.5 検出処理回路の処理速度

1 画素からなる処理回路の評価システムを用いて、処理速度の測定を行なった。ここでは、LED 駆動電圧をパルス状に変化させ、LED が明るい状態から暗い状態へ変化した直後の処理回路の反応を測定した。メモリ値の更新時には、メモリ電圧が高い状態から低い状態に変化する時に最も更新時間が必要となるため、この時の処理時間によりプロトタイプの撮像速度限界が決定される。

図 8.21に、PD1 出力、フラグ信号、メモリ出力値  $V_B$  (図 7.1を参照)、行選択信号  $V_{row}$  の測定結果を示す。 $V_{row}$  が on になると同時に、PD1 値が変化しフラグ信号（反転出力）が直ちに on となる。その直後にメモリ値の更新が始まり、 $V_{row}$  が選択されてから

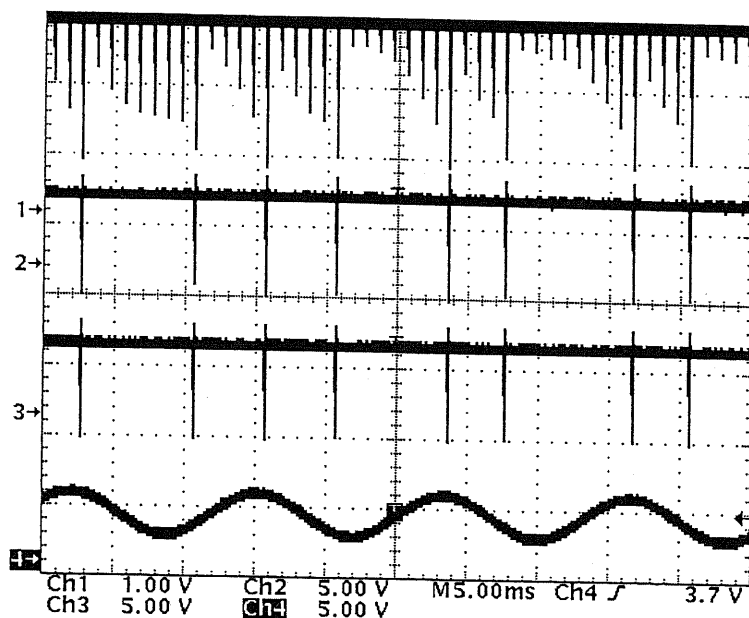


図 8.18: 1 画素回路の飽和および動き検出 (動き閾値 1.5V) ; 上から PD1 出力、飽和検出信号、フラグ信号、LED 駆動電圧

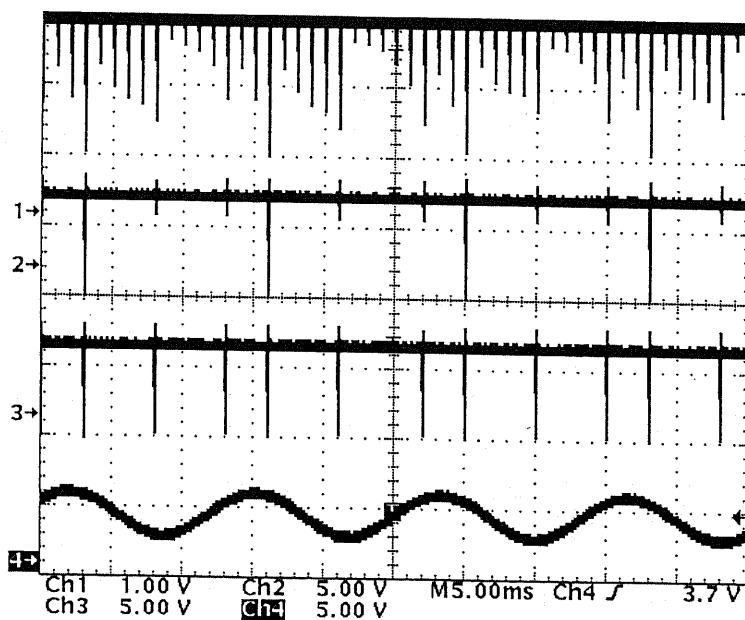


図 8.19: 1 画素回路の飽和および動き検出 (動き閾値 2.0V) ; 上から PD1 出力、飽和検出信号、フラグ信号、LED 駆動電圧

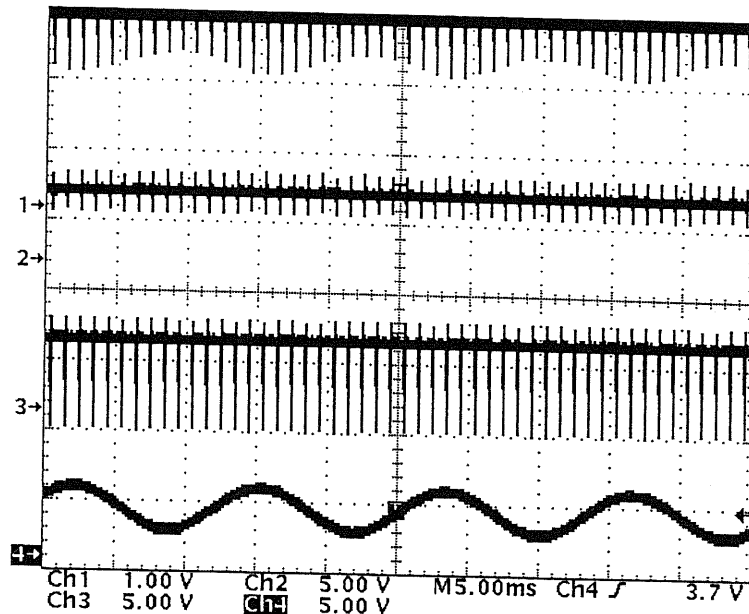


図 8.20: 1 画素回路の飽和および動き検出 (動き閾値 2.5V); 上から PD1 出力、飽和検出信号、フラグ信号、LED 駆動電圧

およそ  $2\mu$  秒にて画素の更新が終了することが分かる。すなわち、一行の処理時間には少なくとも  $2\mu$  秒を必要とすることから、 $32 \times 32$  画素からなる本プロトタイプは、最高毎秒 15000 フレーム程度の撮像、処理能力があることを示している。この時、 $512 \times 512$  画素のセンサを作成したとすれば、 $1.02m$  秒程度の最小蓄積時間をなすことになる。

#### 8.4 まとめ

本章では、試作した動き適応センサのプロトタイプの動作を確認しその評価を行ない、以下の結果を得られた。

- センサアレイを用いた評価実験
  - － プロトタイプは画素欠落のないクリアな画素値信号を出力し、画素毎に蓄積時間の適応化が行なえる。
  - － フォトダイオードの出力値が飽和閾値を越える毎に飽和検出が行なわれ、同時に入射光量が大きく変化した時には動き検出が判定される。これにより、動きボケのない再構成画像を得ることが出来る。
  - － 蓄積時間を可変とすることで、固定蓄積時間で撮像した画像と比べ、ランダムノイズの少ない高画質な画像を得ることが出来る。

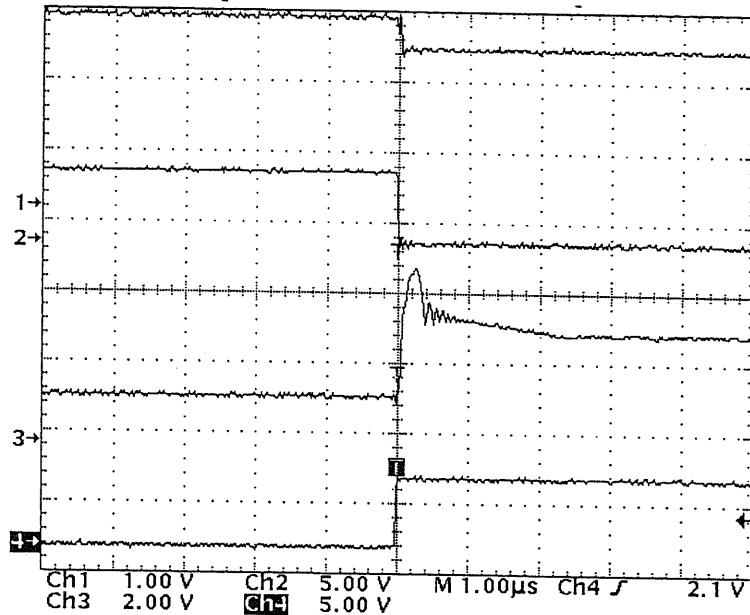


図 8.21: 1 画素回路の処理速度；上から PD1 出力、フラグ信号、メモリ出力値  $V_B$ 、選択信号  $V_{row}$

- 蓄積時間を可変とすることで、通常センサのダイナミックレンジと比較し、18 倍以上のダイナミックレンジによる撮像が行なえる。
- 読み飛ばし動作により検出画素のみを出力することで、圧縮機能を持つことが出来る。
- プロトタイプは毎秒 1475 フレーム以上での撮像を行なえる。

● 部分回路を用いた評価実験

- 最小蓄積時間内でのフォトダイオード出力値の変化  $I_t$  は、およそ 0.8V の範囲で線形性を保ち、精度の良い演算が行なえる。また、 $I_t$  出力値は入射光量に合わせて正しく変化する。
- 毎秒 1000 フレームでの撮像下で、飽和検出、動き検出機能により適応的に蓄積時間を制御できる。
- 動き閾値を変化させることで、動き検出画素数を調整することができる。そのとき、飽和検出も正しく判定される。
- 1 行につき約  $2\mu$  秒にて全ての処理が終了する。よって、 $512 \times 512$  画素では、1.02m 秒の最小蓄積時間を実現できる。



以上の結果により、画素毎に蓄積時間を制御する動き適応イメージセンサは、取得画像の高画質化に有効であり、センサ性能の向上に大きく貢献することが明らかになった。

動き適応イメージセンサの今後の課題を、以下に示す。

- 本論文では、入射光量と動き検出の精度の関係が明らかにされておらず、その評価を行なう必要がある。
- 撮像速度の向上には、メモリの更新時間の削減が必要である。
- $I_i$  算出回路の演算精度を改善する必要がある。
- センサ部のトランジスタ数の削減とレイアウトの工夫により、開口率の改善を図る必要がある。
- センサ部内にメモリを有するため、遮光膜によりそのリークを抑え、処理精度の改善を図る必要がある。
- 動き適応センサの応用まで含めた評価をするためには、画素サイズを削減した上で、多画素化を図る必要がある。

## 第 9 章

### 結論

#### 9.1 本論文の成果

本論文では、撮像面上に直接画像処理回路を統合することで、イメージセンサの撮像性能の改善を図る、2つの高機能イメージセンサの研究成果をまとめた。

動画像圧縮センサのプロトタイプを試作・評価を通じ、センサ上に圧縮機能を統合することでセンサとプロセッサ間でのI/Oボトルネックを解消し、高速度・高解像度撮像が実現できることを確認した。また、動き適応センサのプロトタイプを試作・評価により、画素毎に蓄積時間を調整する機能をセンサ自身に持たせることで、高画質・広ダイナミックレンジ化を実現し、高品質な撮像が可能になることを確認した。

撮像速度、解像度、画質、ダイナミックレンジといった画像入力部における従来からの研究課題に対し、イメージセンサと画像処理の統合という新たなアプローチにより、それら諸課題を改善できることを明らかにしたことが、本論文の主たる成果である。

以下、本論文の内容をまとめる。

##### ◇ 動画像圧縮センサ

- 第3章では、イメージセンサ上での圧縮アルゴリズムとして採用した条件付き画素補充方式を説明した。時間方向への冗長性を圧縮に利用する条件付き画素補充方式は、小規模なアナログ回路で高速並列処理が可能であり、特に高速撮像時下では効果的に出力画素数を削減できる。センサ上での本方式の処理の流れを明らかにすると共に、実際に高速に撮像された動画像を用いたシミュレーションを通じて、その圧縮性能を評価した。ここでは、可変レート出力時および定レート出力時における、画質と出力画素数の特性を明らかにすると共に、定レート制御を行なう方式について検討した。

また、撮像速度と圧縮効率の関係を明らかにすることで、より高速に撮像する際には、圧縮効率が大幅に改善されることを確認した。

- 第4章では、まず動画像圧縮センサの構成法として、画素並列処理構成と列並列処理構成について述べ、それぞれの特徴を明らかにした。列並列処理構成では、センサ部、処理部、メモリ部を分割して配置し、処理部を列で共通に利用することで、高い開口率と低消費電力を実現する。これにより、センサ性能が向上し、多画素集積化も可能であることを示した。

次に、列並列処理構成のプロトタイプの回路設計を行なった。回路設計では、1画素内の処理回路とその全体構成を明らかにし、その動作を具体的に説明した。センサ部のトランジスタ数が3個となり、大幅に削減された。続いて、動画像圧縮センサの周辺回路を説明し、即時画像再構成が可能であることを示した。

さらに、設計回路を基にした CMOS  $1\mu\text{m}$  ルールでのレイアウト設計について述べ、 $32 \times 32$  画素からなるプロトタイプの試作について説明した。画素並列処理構成のプロトタイプと比し開口率、消費電力等を大きく改善できることを確認した。特に、開口率は約40%となり、従来の CMOS イメージセンサと同等の性能を確保でき、イメージセンサへの処理回路の統合による撮像性能の劣化を改善できることを確認した。

- 第5章では、まず試作した列並列処理構成のプロトタイプの評価を行なった。センサアレイを用いた評価実験により、毎秒1475フレーム以上で画素欠落のないクリアな映像信号を出力し、動き閾値を調整することで、動き領域のフラグ判定をほぼ正確に行なえることを確認した。また、読み飛ばし動作での出力映像を用いた画像の再構成を通じ、実際にセンサ上に圧縮機能を実現できることを示した。さらに、部分回路を用いた評価実験により、プロトタイプの処理回路は毎秒10000フレーム下でも充分動作し、高速撮像が可能であることを確認した。また、1行につき約 $2\mu$ 秒の処理時間を必要としており、 $512 \times 512$ 画素では、およそ毎秒980フレームでの撮像が可能であることを示した。

さらに、画素並列処理構成のプロトタイプのフラグ数集計機能を利用した、即時閾値調整回路による定レート制御の実験を行なった。センサ外部に設けた閾値調整回路により、センサが出力する有意画素数情報を用いて、動き判定閾値を調整することにより、1フレーム単位での定レート制御を実現できることを確認した。

#### ◇ 動き適応イメージセンサ

- 第6章では、センサ上に直接統合された処理回路を利用し、センサパラメータの一つである蓄積時間を画素毎に制御する動き適応イメージセンサについて提案し、その原理である動き適応蓄積時間について説明した。

動き適応イメージセンサにおいて、動き領域では時間解像度を高く、静止領域では蓄積時間を可能な限り長くすることで、高画質で広ダイナミックレンジな画像を撮像する事ができることを示した。動き適応蓄積時間について、飽和検出、動き検出に分けて具体的に説明した。また、シミュレーションによりその効果を検証し、全画素の約22%の情報を出力することで、約6 dBから7 dBのSNRの改善が得られることを確認した。さらに、電荷が飽和するまでの蓄積時間を利用することにより、通常センサの40倍の広ダイナミックレンジ化が実現できることを確認した。

- 第7章では、まず動き適応イメージセンサの列並列処理構成による回路設計について説明した。回路設計では、1画素内の処理回路とその全体構成を明らかにし、その動作を具体的に説明した。回路シミュレータによる設計回路の最適化を行ない、充分高速な処理が可能であることを確認した。また、動き適応イメージセンサを用いた即時処理および遅延処理の2つの動作形態について検討し、それぞれの周辺回路とその再構成手法について具体的に説明した。

さらに、回路設計をもとにCMOS  $1\mu\text{m}$  ルールで  $32 \times 32$  画素のプロトタイプのレイアウト設計を行ない、各部のレイアウトを詳しく説明した。大規模な処理回路を有するにもかかわらず、試作したプロトタイプは比較的大きな開口率と低消費電力を実現できることを確認した。

- 第8章では、試作した動き適応センサのプロトタイプの動作を確認し、その評価を行なった。センサアレイを用いた評価実験により、プロトタイプは毎秒1475フレーム以上の撮像速度で画素欠落のないクリアな画素値信号を出力し、実際に画素毎に蓄積時間の適応化が行なえることを確認した。また、飽和検出および動き検出がほぼ正確に判定され、動きボケのない再構成画像を得られることを確認した。さらに、蓄積時間を可変とすることで、ランダムノイズの少ない高画質な画像や、通常センサの18倍以上の広ダイナミックレンジな画像が得られることを確認した。読み飛ばし動作により検出画素のみを出力することで、副次的ではあるが圧縮機能を有することを明らかにした。

続いて、部分回路を用いた評価実験により、処理回路の演算精度や動きや飽和の検出精度について検討を行なった。さらに、1画素の処理回路により、1行につき約  $2\mu$  秒にて全ての処理が終了し、 $512 \times 512$  画素では1.02m秒の最小蓄積時間を実現できることを確認した。

## 9.2 今後の課題

### 9.2.1 列並列処理構成のプロトタイプにおける閾値の調整

本論文にて試作した列並列処理構成のプロトタイプでは、処理回路における動き検出の際にセンサ外部より閾値を入力する。中でも動画像圧縮センサでは、動き閾値が圧縮の性能を直接左右するため、その調整には十分な注意が必要である。第5章で示したように、画素並列処理構成では全画素に処理回路を有するため、出力フラグ数を集計することで閾値を動的に制御し、定レート出力を実現することができる。一方、列並列処理構成では1行ずつ順に処理を行うため、全画素のフラグ数を集計することができない。よって、列並列処理構成は可変レート出力に対しては直ちに有効であるが、定レート出力を行うには何らかの工夫が必要となる。例えば、前フレームまでの出力画素数情報を用いて各列毎に割当てる画素数を調整し、1列毎に決められた画素数にて出力することで定レート出力を実現することが考えられるが、具体的な定レート制御の手法は今後の課題とする。

また、動き適応イメージセンサの動き閾値は、出力後再構成される画像の画質を左右するパラメータである。本論文では動き閾値と画質の関係が十分に明らかにされていない。今後、より画素数が多いプロトタイプの試作によりその関係を明らかにし、適応的な動き閾値調整法を検討する必要がある。

### 9.2.2 アナログメモリのリーク対策

本論文で提案した動画像圧縮センサおよび動き適応センサは、メモリ部が独立して配置されており、処理原理により数フレームに渡り電圧を保持する必要がある。第5章で述べたメモリ部の部分回路を用いた評価では、キャパシタ前後のスイッチを動作させることで、およそ100フレームにて10%の変動があることを示した。このリーク量の評価判断は、応用されるシステムに依存するものであるが、このようなメモリ部におけるリークを抑圧することが理想であり、今後何らかの対応が必要である。それぞれのプロトタイプにおいては、そのキャパシタンスを約2PFとし、レイアウトを設計している。よって、そのキャパシタンスを大きくすることでリーク効果を抑圧することが可能である。また、図9.1に示すような回路をメモリ部内に配置することで、スイッチ動作によるリーク電流を抑えることができる[79]。本論文では、プロトタイプの試作に際し列並列処理構成にて実現しているため、リーク抑圧回路を加えることで消費電力をわずかに犠牲にするものの、開口率などの撮像性能への影響はなく、高精度での画像処理が実現できる。また、このような抑圧回路を導入することで、メモリ部の半分を占めるキャパシタンスの容量を小さく抑えることが可能であるため、抑圧回路の付加によるチップサイズへの影響は少ないものと考えられる。

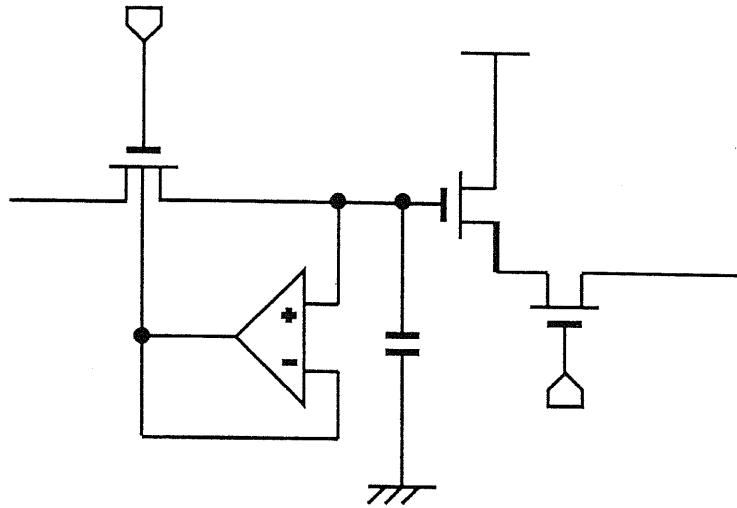


図 9.1: メモリ部でのリーク電流の抑圧

### 9.2.3 提案センサの性能改善

本論文で試作したプロトタイプはいずれも  $32 \times 32$  画素であり、撮像素子の機能を検証するためには十分なものと考えるが、その応用システムまでを含む検証には多画素を集積したチップの試作が望まれる。多画素集積化する上で、いくつかの改善が必要である。現在の評価システムには、NTSC 信号ベースの画像処理装置を利用し、その画面を分割することで高速撮像動作時の画像信号を取得している。よって、多画素チップを高速に動作させる際には、全ての評価系を専用に用意する必要がある。また、センサ内部でも水平シフトレジスタを工夫することで、より高速にて画素値出力を行う必要がある。

さらに、それぞれの高機能センサの性能を改善するためには、処理アルゴリズムを再検討することも必要であろう。動画圧縮センサでは、列並列処理構成をとることで処理部に対する実装上の制約が緩くなっており、例えば隣接画素情報といった空間方向への処理の広がりも充分考慮に値する。一方、動き適応センサは時間方向への適応化を実現するものであるが、多重解像度出力などを利用した空間方向への適応化、あるいは時間および空間方向への適応化を組み合わせることで、従来とは異なるさらに効果的な撮像が行えるものと思われる。

また、2.4 項で指摘したように、イメージセンサと画像処理回路の統合による撮像性能の向上にはいくつかの可能性が残されており、今後新たなコンピュータショナルセンサの検討も期待される。

### 9.2.4 高機能センサの処理構成

近年、半導体プロセス技術の発展は目ざましいものがあり、これまでイメージセンサもそれに同調し高精細化、小型化を実現してきた。現在、イメージセンサの最小画素寸法は  $5\mu\text{m}$  程度であるが、今後もますます半導体プロセス技術が発展することが期待され、近い将来サブミクロンオーダーでの試作も可能になると予想される。本論文では、動画像圧縮センサのプロトタイプの実現に際し画素並列処理構成と列並列処理構成について言及し、その比較を行なった。高機能センサの処理構成法は、処理アルゴリズム、使用するプロセス、イメージセンサの機能からの要求により決定されるべきものと考えられる。処理アルゴリズムからは、それを実現する処理回路の規模、完全並列処理の必要性の有無、大局的な処理あるいは局所的な処理であるのか等を考慮する必要がある。使用するプロセスからは、そのルールやサイズ等を吟味する必要がある。例えば、サブミクロンオーダーでの試作が可能であっても、それに併せてピクセルピッチの大幅な削減が要求され、開口率の改善の効果は少なくなる。イメージセンサの機能からは、処理を重視するか撮像を重視するか、高速性を指向したセンサであるのか高精細化を指向したセンサであるのか、ランダム走査か順次走査であるか等の項目は、構成を決める上で重要である。

本論文で検討した、動画像圧縮センサおよび動き適応センサでは多フレームに渡り画素値を記録するため、比較的大きなキャパシタンスを必要とする。よって、プロセス技術が進展しても列並列処理構成の有効性は変わらない。特に、動き適応センサでは閾値の調整が必要ないため、全画素に処理回路をもつ意義が小さい。

このような高機能イメージセンサを実現する上で、従来の 2 次元面への画像処理回路の統合とは異なり、3 次元化 IC[80] により光電変換部、増幅部、処理部、A/D 変換および I/O 部を積層的に配置する試みは興味深い。このような VLSI 技術が実現した際には、開口率はほぼ 100% となり、撮像性能の著しい改善が期待できる。

## 謝辞

相澤清晴助教授には、博士課程の3年間において終始懇切丁寧に御指導頂き、心から感謝を申し上げます。博士課程から入学した私に、高性能イメージセンサの研究の機会を与えて下さり、様々な御助言を頂きました。

羽鳥光俊教授には、随所で豊富な経験に基づく適切な御指導を賜りました。また、国内外の学会に参加する機会を与えて頂き、大変勉強になりました。深く感謝致します。

センサの評価を行なう上で実験環境を整え、アドバイスを頂いた塚本憲男技術官、田中崇助手に御礼申し上げます。

羽鳥・相澤研究室でコンピュータシヨナルイメージセンサの研究を行ない苦勞を共にした、博士課程の李正さん、修士課程の大野洋君（現在日立）、江木雄一郎君（現在東芝）、石寄透君、大塚康弘君、卒論生の測上明弘君、八木原英之君、尾関健男君に感謝の意を表します。特に、大野君、江木君には様々な助言を頂きました。ありがとうございました。

研究室外においては、PhotobitのE.R.Fossumさんとの議論が、列並列処理構成の研究のきっかけになりました。また、日本放送協会放送技術研究所イメージデバイス研究部の阿部正英さん、山崎順一さん、グループの皆様には様々な議論を通じアドバイスを頂きました。御礼申し上げます。

CADや回路シミュレータの設定等について、東京大学池田誠助手、京都大学小林和淑助手にお世話になりました。また、試作に関する様々な質問には、CMPのHubert DELORIさん、Jean-Francois PAILLOTINさんが丁寧に対応して下さいました。ありがとうございました。

最後に博士課程を共に過ごした、宋相勲さん、ジラッティティジャローンアモンテプさん、英語の論文を添削して頂いたパスカルアセラさんをはじめ、羽鳥・相澤研の現役、OBの皆様には大変お世話になりました。どうもありがとうございました。

1996年12月20日

塚本 隆之



## 参考文献

- [1] 安藤隆男, “撮像デバイス技術”, テレビ誌, Vol.44, No.11, pp.1526-1533, 1990.
- [2] 木内雄二, “画像入力技術ハンドブック”, 日刊工業新聞社, 1992.
- [3] 木内雄二, “イメージセンサの基礎と応用”, 日刊工業新聞社, 1991.
- [4] 安藤隆男, “高感度撮像技術の動向”, テレビ誌, Vol.42, No.8, pp.775-779, 1988.
- [5] S.G.Chamberlain et al, “A novel wide dynamic range silicon photodetector and linear imaging array”, *IEEE Trans. on Elec. Dev.*, Vol.31, pp.175-182, 1984.
- [6] N.Tanaka et al, “A Novel Bipolar Imaging Device with Self Noise Reduction Capability”, *IEEE Trans. on Elec. Dev.*, Vol.36, No.1, 1989.
- [7] Y.Endo et al., “A photoelectric conversion characteristic control method for interline transfer CCD imager”, *IEEE Trans. on Elec. Dev.*, Vol.32, No.8, pp.1511-1513, 1985.
- [8] 江藤剛治, “4500 枚 / 秒の高速ビデオカメラ”, テレビ誌, Vol.46, No.5, pp.543-549, 1992.
- [9] 安藤隆男, “高密度固体撮像技術の動向”, テレビ誌, Vol.44, No.2, pp.105-109, 1990.
- [10] B.Ackland and A.Dickinson, “Camara on a Chip”, ISSCC96, pp.22-25, 1996.
- [11] A.Tomasini, M.Brattoli, E.Chioffi, G.Colli, D.Gema and M.Pasotti, “B/W Adaptive Image Grabber with Analog Motion Vector Estimation at 0.3GOPS”, ISSCC96, pp.94-95, 1996.
- [12] C.Koch and H.Li, “Vision Chips: Implementing Vision Algorithms with Analog VLSI”, IEEE Computer Society Press, 1995.
- [13] <http://www.eleceng.adelaide.edu.au/Groups/GAAS/Bugeye/visionchips/index.html>, “Vision Chips or Seeing Silicon”, by Alireza Moini.

- [14] C.Koch, "Implementing early vision algorithms in analog hardware", *SPIE*, Vol.1473, pp. 2-16, 1991.
- [15] J.L.Wyatte, D.L.Standley and W.Yang, "The MIT Vision Chip Project: Analog VLSI Systems for Fast Image Acquisition and Early Vision Processing", *IEEE Int. Conf. on Robotics and Automation*, pp. 1330-1335, 1991.
- [16] M.Ishikawa, "Parallel processing for Sensory Information", *IEICEJ*, Vol.J74-C-II, No.5, pp. 255-266, 1991.
- [17] Mead C., "Analog VLSI and Neural Systems", Addison -Wesley, 1989.
- [18] J.Hutchinson, C.Koch, J.Luo and C.Mead, "Computing Motion Using Analog and Binary Resistive Network", *IEEE Computer*, 21, pp. 52-63, 1988.
- [19] Standley D.L. et al., "An Object Position and Orientation IC with Embedded Imager", *ISSCC Digest*, pp.38-39, 1991.
- [20] S.Kemeny, B.Pain, R.Panicacci, L.Matthies and E.Fossum, "CMOS Active Pixel Sensor Array with Programmable Multiresolution Readout", *IEEE Workshop on CCDs and Advanced Image Sensors*, 1995.
- [21] Edited by M.M.Gupta and G.K.Knopf, "NEURO VISION SYSTEMS", IEEE, 1994.
- [22] C.Mead, "Neuromorphic Electronic Systems", *Proc.IEEE*, vol.78, no.10, pp.1629-1636, 1990.
- [23] T.M.Bernard, P.E.Nguyen, F.J.Devos and B.Y.Zavidovique, "A programmable VLSI retina for rough vision", *Machine Vision and Applications*, Vol.7, No.1, pp.4-11, 1993.
- [24] H.Kobayashi, L.White and A.A.Abidi, "An Active Resistor Network for Gaussian Filtering of Images", *IEEE J.Solid State Circuits*, Vol.26, No.5, pp.738-748, 1991.
- [25] W.Bair and C.Koch, "Real-time Motion Detection Using an Analog VLSI Zerocrossing Chip", *Proc. SPIE*, Vol.1473, pp.59-65, 1991.
- [26] J.Tanner and C.Mead, "A Correlating Optical Motion Detector", in *MIT Advanced Research in VLSI*, 1984, pp.57-64.
- [27] C.L.Keast and C.G.Sodini, "A CCD/CMOS process for integrated image acquisition and early vision signal processing", *SPIE*, Vol.1242, pp.152-161, 1990.

- [28] M. Gottardi and W. Yang, "A CCD/CMOS image motion sensor", *IEEE Int. Solid State Circuits Conf.*, pp. 194, 288, 289, 1993.
- [29] M. Mahowald, "Analog VLSI chip for stereocorrespondence", *IEEE Int. Symp. Circuits Sys.*, No.6, pp.347-350, 1994.
- [30] C. Mead and M. Ismail, "Analog VLSI implementation of neural systems", No.10, pp.239-246, Kluwer Academic Publishers, 1989.
- [31] M.A. Mahowald and T. Delbruck, "Cooperative stereo matching using static and dynamic image features", in *Analog VLSI implementation of neural systems*, pp.213-238, Kluwer Academic Publishers, 1989.
- [32] A.G. Andreou and K.A. Boahen, "Neural information processing II", in *Analog VLSI signal and information processing*, pp.358-413, McGraw-Hill, 1994.
- [33] H. Kobayashi and T. Matsumoto and T. Yagi and K. Tanaka, "Light-adaptive architectures for regularization vision chips", *Neural Networks*, Vol.8, No.1, pp.87-101, 1995.
- [34] F. Pardo, "Development of a Retinal image sensor based on CMOS technology", Tech. Rep. LIRA-TR 6/94, LIRA Lab, Dept. of Computing, University of Genoa, Italy, 1994.
- [35] F. Ferrari and J. Nielsen and P. Questa and G. Sandini, "Space variant sensing for personal communication and remote monitoring", *Proc. EU-HCM Smart Workshop*, 1995.
- [36] R. Wodnicki and G.W. Roberts and M.D. Levine, "A Foveated Image Sensor in Standard CMOS Technology", *Custom Integrated Circuits Conf.*, 1995.
- [37] J.G. Harris, "Discarding outliers using a nonlinear resistive network", *Int. Joint Conf. Neural Networks*, pp.239-246, 1991.
- [38] J.G. Harris and C. Koch and J. Luo, "A two-dimensional analog VLSI circuit for detecting discontinuities in early vision", *Science*, Vol.248, pp.1209-1211, 1990.
- [39] S.P. Deweerth, "Analog VLSI circuits for stimulus localization and centroid", *International Journal of Computer Vision*, Vol.8, pp.191-202, 1992.
- [40] V. Ward and M. Syrzycki, "VLSI implementation of receptive fields with current-mode signal processing for smart vision sensors", *Analog Integrated Circuits and Signal Processing*, Vol.7, No.2, pp. 167-179, 1995.

- [41] V. Ward and M. Syrzycki, "VLSI implementation of receptive fields with current-mode signal processing for smart vision sensors", *Canadian Conference on Electrical and Computer Engineering*, Vol.2, No.2, pp.1184-1187, 1993.
- [42] C-Y. Wu and C-F. Chiu, "A New structure of the 2-D silicon retina", *IEEE J.Solid State Circuits*, Vol.30, No.8, pp.890-897, 1995.
- [43] C-Y. Wu and C-F. Chiu, "A new structure for the silicon retina", *IEDM Tech. Dig.*, pp.439-442, 1992.
- [44] C.D. Nilson and R.B. Darling and R.B. Pinter, "Shunting neural network photodetector arrays in analog CMOS", *IEEE J.Solid State Circuits*, Vol.29, No.10, pp.1291-1296, 1994.
- [45] C.L. Keast and C.G. Sodini, "A CCD/CMOS based imager with integrated focal plane signal processing", *Symposium on VLSI Circuits*, pp.38-39, 1992.
- [46] C.L. Keast and C.G. Sodini, "A CCD/CMOS-based imager with integrated focal plane signal processing", *IEEE J.Solid State Circuits*, Vol.28, No.4, pp.431-437, 1993.
- [47] R.F. Lyon, "The Optical Mouse, and an Architectural Methodology for Smart Digital Sensors", in *CMU Conference on VLSI Structures and Computations*, Computer Science Press, 1981.
- [48] R.F. Lyon, "The Optical Mouse, and an Architectural Methodology for Smart Digital Sensors", *VLSI-81-1*, pp.1-19, 1981.
- [49] J. Tanner and C. Mead, "An Integrated Analog Optical Motion Sensor", in *VLSI Signal Processing II*, pp.59-87, IEEE, 1988.
- [50] A. Moore and C. Koch, "A Multiplication Based Analog Motion Detection Chip", *Proc. SPIE, Visual Information Processing : From Neurons to Chips*, Vol.1473, pp.66-75, 1991.
- [51] T. Delbruck, "A chip that focuses an image on itself", in *Analog VLSI implementation of neural systems*, pp.171-188, Kluwer Academic Publishers, 1989.
- [52] T. Delbruck, "Silicon retina with correlation-based velocity-tuned pixels", *IEEE Trans. Neural Networks*, Vol.4, No.3, pp.529-541, 1993.

- [53] R.C. Meitzler and A.G. Andreou and K. Strohhahn and R.E. Jenkins, "A sampled-data motion chip", *Proc. Midwest Symposium on Circuits and Systems*, Vol.1, pp.288-291, 1993.
- [54] A. Moini and A. Bouzerdoum and A. Yakovleff and D. Abbott and O. Kim and K. Eshraghian and R.E. Bogner, "An Analog Implementation of Early Visual Processing in Insects", *Proc. 1993 Int. Symposium on VLSI Technology, Systems, and Applications*, pp.283-287, 1993.
- [55] A. Moini and A. Bouzerdoum and K. Eshraghian and A. Yakovleff and X.T. Nguyen, "The architecture of an insect vision based VLSI motion detection chip", *Australian Microelectronics Conference*, pp.68-73, 1995.
- [56] L. Dron, "Multiscale veto model: a two-stage analog network for edge detection and image reconstruction", *International Journal of Computer Vision*, Vol.11, No.1, pp.45-61, 1993.
- [57] T. Horiuchi and J. Lazzaro and A. Moore and C. Koch, "A correlation-based motion detection chip", *Advances in Neural Information Processing 3*, 1991.
- [58] C.P. Chong and C.A.T. Salama and K.C. Smith, "Image Motion Detection Using Analog VLSI", *IEEE J. Solid State Circuits*, Vol.27, No.1, pp.93-96, 1992.
- [59] J. Kramer and R. Sarpeshkar and C. Koch, "An Analog VLSI Velocity Sensor", *ISCAS'95*, Vol.1, pp.413-416, 1995.
- [60] G. Indiveri and J. Kramer and C. Koch, "Parallel analog VLSI architectures for computation of heading direction and time-to-contact.", *Neural Information Processing Systems*, 1996.
- [61] G. Indiveri and J. Kramer and C. Koch, "Analog VLSI architecture for computing heading direction", *Proceedings of the Intelligent Vehicles Symposium*, pp.24-29, 1995.
- [62] A. Gruss and L.R. Carely and T. Kanade, "Integrated Sensor and Range-Finding Analog Signal Processor", *IEEE J. Solid State Circuits*, Vol.26, No.3, pp. 184-191, 1991.
- [63] R. Sarpeshkar and W. Bair and C. Koch, "Visual motion computation in analog VLSI using pulses", in *Advances in Neural Information Processing Systems 5*, pp. 781-788, Morgan Kaufman, 1993.

- [64] R. C. Meitzler and K. Strohhahn and A. G. Andreou, "A Silicon Retina for 2-D Position and Motion Computation", *IEEE ISCAS*, pp.2096-2099, 1995.
- [65] K. Aizawa and Y. Egi and T. Hamamoto and M. Hatori and J. Yamazaki, "A image sensor for on-sensor-compression", *Workshop on Computer Architecture for Machine Perception*, pp.14-20, 1995.
- [66] T.Hamamoto, Y.Egi, M.Hatori, K.Aizawa, T.Okubo, H.Maruyama and E.R.Fossum, "Computational Image Sensors for On-Sensor-Compression", *MicroNeuro'96*, pp. 297-304 (1996)
- [67] A. Simoni and G. Torelli and F. Maloberti and A. Sartori and S.E. Plevridis and A.N. Birbas, "A single-chip optical sensor with analog memory for motion detection", *IEEE J. Solid State Circuits*, Vol.30, No.7, pp. 800-806, 1995.
- [68] M.Bolduc, G.Sela and M.D.Levine, "Fast Computation of Multiscalar Symmetry in Foveated Images", *CAMP'95*, pp.2-11,1995.
- [69] J.V.Spiegel, G.Kreider, C.Claeys, I.Debusschere, G.Sandini et.al, "A Foveated Retinal-like Sensor using CCD Technology" in *Analog VLSI implementation of neural systems*, pp.189-210, Kluwer Academic Publishers, 1989.
- [70] G.Indiveri,J.Kramer and C.Koch, "System Implementations of Analog VLSI Velocity Sensors", *MicroNeuro'96*, pp.15-22, 1996.
- [71] 原島博, "画像情報圧縮", オーム社, 1991.
- [72] F.W.Mounts, "A Video Encoding System With Conditional Picture - Element Replenishment", *BSTJ*, pp. 2545-2554, Sep. 1969.
- [73] E.R.Fossum and P.H.S.Wong, "Future prospects for CMOS Active Pixel Sensors", *IEEE Workshop on CCDs and Advanced Image Sensors*, in Session 5, 1995.
- [74] 大野洋, "イメージセンサと画像圧縮の統合に関する研究", 東京大学大学院修士論文,1995.
- [75] 江木雄一郎, "イメージセンサ上における動画像圧縮に関する研究", 東京大学大学院修士論文,1996.
- [76] F. Ando, K. Taketoshi, K. Nakamura and M. Imai, "AMI; A New Amplifying Solid State Imager", *ITEJ*, Vol.41, No.11, pp. 1075-1082, 1987. ( in Japanese )
- [77] F.Ando, "Multi-functional Solid State Imaging Techniques", *ITEJ*, Vol.44, No.2, pp. 127-131, 1990.

- [78] 藤田, “放送用 360 枚/秒高速ビデオカメラ”, テレビジョン誌, Vol.46, No.5, pp.547-549, 1992.
- [79] E.A.Vittoz, O.Oguey, M.A.Maher, O.Nys, E.Dijkstra and M.Chevoroulet, “Analog storage of adjustable synaptic weights” in VLSI Design of Neural Networks, pp. 47-63, Kluwer Academics Publishers, 1991.
- [80] 小柳光正, “三次元積層画像処理システム”, 平成7年度「極限集積化シリコン知能エレクトロニクス」発表会資料, pp.254-260, 1996.

## 発表文献

### ○ 学会誌論文等

- (1) 相澤清晴, 大野洋, 江木雄一郎, 浜本隆之, 羽鳥光俊, 丸山裕孝, 山崎順一, 大竹浩, 小林希一, 大久保達也, 阿部正英, “動画像圧縮イメージセンサ”, *テレビ誌*, Vol.50, No.2, pp. 257-265 (1996)
- (2) 浜本隆之, 半谷精一郎, 宮内一洋, “照明の影響を受けたカラー画像の領域分割”, *信学論 (D-II)*, Vol.J79-D-II, No.3, pp.351-357 (1996)
- (3) 相澤清晴, 江木雄一郎, 浜本隆之, 山崎順一, “イメージセンサ上での動画像圧縮”, *画像ラボ*, Vol.7, No.5, pp. 1-4 (1996)
- (4) K.Aizawa, H.Ohno, Y.Egi, T.Hamamoto, M.Hatori, H.Maruyama and J.Yamazaki, “On Sensor Image Compression”, *IEEE trans. on Circuit and Systems for Video Technology* (掲載予定)
- (5) 浜本隆之, 相澤清晴, 羽鳥光俊, “列並列処理構成による動画像圧縮センサ”, *映像情報メディア学会誌*, Vol.51, No.2 (掲載予定)
- (6) 浜本隆之, 相澤清晴, 羽鳥光俊, “動き適応イメージセンサ”, *映像情報メディア学会誌*, Vol.51, No.2 (掲載予定)
- (7) 相澤清晴, 江木雄一郎, 浜本隆之, 羽鳥光俊, 丸山裕孝, 大竹浩, 阿部正英, “イメージセンサ上での動画像圧縮: 画素並列構成による新しい設計と試作”, *映像情報メディア学会誌*, Vol.51, No.2 (掲載予定)
- (8) K.Aizawa, Y.Egi, T.Hamamoto, M.Hatori, M.Abe, H.Maruyama and H.Otake, “Computational image sensor for on sensor compression”, *IEEE trans. on Electron Device* (投稿中)
- (9) T.Hamamoto, K.Aizawa and M.Hatori, “Image compression sensor based on column parallel architecture”, *International Journal on Computer and Electrical Engineering* (投稿中)



- (10) 浜本隆之, 相澤清晴, 羽鳥光俊, “列並列処理構成による動画像圧縮センサの試作・評価”, 映像情報メディア学会誌 (投稿予定)
- (11) 浜本隆之, 相澤清晴, 羽鳥光俊, “動き適応イメージセンサの試作・評価”, 映像情報メディア学会誌 (投稿予定)

## ○ 国際会議論文

- (12) K.Aizawa, H.Ohno, T.Hamamoto, M.Hatori and J.Yamazaki, “A Novel Image Sensor for Video Compression”, *IEEE ICIP'94*, Vol.III, pp. 591-595 (1994)
- (13) K.Aizawa, H.Ohno, Y.Egi, T.Hamamoto, M.Hatori and J.Yamazaki, “On Sensor Video Compression”, *IEEE Workshop on CCD and Advanced Image Sensors* (1995)
- (14) K.Aizawa, Y.Egi, T.Hamamoto, M.Hatori and J.Yamazaki, “An Image Sensor for On-Sensor-Compression”, *Computer Architecture for Machine Perception*, pp. 14-20 (1995)
- (15) T.Hamamoto, K.Aizawa, Y.Egi, M.Hatori and J.Yamazaki, “Image Sensor for Compression and Enhancement”, *IEEE Workshop on VLSI Sig. Proc.*, pp. 61-69 (1995)
- (16) K.Aizawa, Y.Egi, T.Hamamoto, M.Hatori, H.Maruyama and J.Yamazaki, “On Sensor Image Compression for Very High Pixel Rate Imaging and Processing”, *SPIE*, Vol.2663, No. 40-50 (1996)
- (17) T.Hamamoto, Y.Egi, M.Hatori, K.Aizawa, T.Okubo, H.Maruyama and E.R.Fossum, “Computational Image Sensors for On-Sensor-Compression”, *MicroNeuro'96*, pp. 297-304 (1996)
- (18) K.Aizawa, T.Hamamoto, Y.Egi, M.Hatori and H.Maruyama, “On Sensor Image Compression Based on Pixel Parallel and Column Parallel Architectures”, *IEEE ISCAS'96*, Vol.IV, pp. 179-181 (1996)
- (19) K.Aizawa, T.Hamamoto, Y.Egi, M.Hatori and J.Yamazaki, “On Sensor Image Compression for High Pixel Rate Imaging: Pixel Parallel and Column Parallel Architectures”, *IEEE ICIP'96*, Vol.II, pp. 1019-1022 (1996)
- (20) K.Aizawa, Y.Egi, T.Hamamoto, A.Motoki, M.Hatori, H.Maruyama and J.Yamazaki, “Computational Image Sensors for Focal Plane Compression”, *IIZUKA'96*, Vol.1, pp. 121-124 (1996)

- (21) T.Hamamoto, K.Aizawa and M.Hatori, "Motion Adaptive Image Sensor for Enhancement and Wide Dynamic Range", *AFPAEC'96*, pp. 137-145 (1996).
- (22) K.Aizawa, Y.Egi, T.Hamamoto, A.Motoki, M.Hatori, H.Maruyama and J.Yamazaki, "Focal Plane Compression Sensors", *AFPAEC'96*, pp. 160-167 (1996)
- (23) T.Hamamoto, K.Aizawa and M.Hatori, "Video Enhancement Sensor Using Motion Adaptive Storage Time", *MVA '96*, pp. 14-17 (1996)
- (24) K.Aizawa, Y.Egi, T.Hamamoto, A.Motoki, M.Hatori, H.Maruyama and J.Yamazaki, "Focal Plane Compression Sensors On Pixel Parallel and Column Parallel Architectures", *MVA '96*, pp. 418-421 (1996)
- (25) T.Hamamoto, K.Aizawa and M.Hatori, "Video Compression and Enhancement Sensors Using Column-Parallel Architecture", pp. 823-830 (1996) *IEEE MFI'96*, (1996)
- (26) K.Aizawa, Y.Egi, T.Hamamoto, M.Hatori and H.Maruyama, "On Sensor Image Compression for High Pixel Rate Imaging", *IEEE MFI'96*, pp.201-207 (1996)
- (27) T.Hamamoto, K.Aizawa and M.Hatori, "Focal Plane Compression and Enhancement Sensors", *IEEE ISCAS'97*, (1997) (発表予定)
- (28) T.Hamamoto, K.Aizawa, M.Hatori, "Motion adaptive image sensor", *IEEE Workshop on CCD and Advanced Image Sensors* (1997) (投稿中)
- (29) K.Aizawa, T.Hamamoto, M.Hatori and M.Abe, "Pixel Parallel and Column Parallel Architectures and their Implementations of On Sensor Image Compression", *IEEE Workshop on CCD and Advanced Image Sensors* (1997) (投稿中)

### ○ 研究会論文

- (30) 浜本隆之, 半谷精一郎, 宮内一洋, "画像理解のための特定限定色表示", *PCSJ92*, No.2-3, pp. 53-56 (1992)
- (31) 浜本隆之, 半谷精一郎, 宮内一洋, "カラー画像の領域成長法による領域確保について", マルチメディアと映像処理シンポジウム '94, pp. 17-20 (1994)
- (32) 大野洋, 浜本隆之, 相澤清晴, 羽鳥光俊, 山崎順一, 丸山裕孝, "動画像圧縮イメージセンサの検討", *テレビ学技報*, Vol.18, No.46, pp. 13-18 (1994)
- (33) 浜本隆之, 大野洋, 相澤清晴, 羽鳥光俊, "可変蓄積時間による平滑化を導入した動画像圧縮センサ", *PCSJ94*, No.5-1, pp. 71-72 (1994)

- (34) 大野洋, 浜本隆之, 相澤清晴, 羽鳥光俊, 大久保達也, 丸山裕孝, “動画像圧縮センサの試作設計”, *PCSJ94*, No.9-16, pp. 195-196 (1994)
- (35) 大野洋, 浜本隆之, 相澤清晴, 羽鳥光俊, “センサ上での動き推定法の検討”, *テレビ学技報*, Vol.18, No.68, pp. 7-12 (1994)
- (36) 大野洋, 浜本隆之, 相澤清晴, 羽鳥光俊, 大竹浩, 山崎順一, “動画像圧縮イメージセンサ”, 第25回画像工学コンファレンス, No.12-3, pp. 287-290 (1994)
- (37) 浜本隆之, 江木雄一郎, 大野洋, 相澤清晴, 羽鳥光俊, 山崎順一, “イメージセンサ上での画像処理”, *SII95*, G-17, pp. 287-292 (1995)
- (38) 浜本隆之, 江木雄一郎, 相澤清晴, 羽鳥光俊, “動画像圧縮センサの新しい構成法”, *PCSJ95*, No.2-4, pp. 25-26 (1995)
- (39) 江木雄一郎, 浜本隆之, 相澤清晴, 羽鳥光俊, 丸山裕孝, 大竹浩 “動画像圧縮センサ”, *PCSJ95*, No.7-5, pp. 131-132 (1995)
- (40) 浜本隆之, 相澤清晴, 羽鳥光俊, “映像圧縮と強調を行なうコンピュータショナルセンサ”, *信学技報*, PRU95-246, pp. 75-80 (1996)
- (41) 浜本隆之, 相澤清晴, 羽鳥光俊, “画像圧縮と強調のためのコンピュータショナルイメージセンサ”, 第9回回路とシステム軽井沢ワークショップ (1996)
- (42) 浜本隆之, 相澤清晴, 羽鳥光俊, “列並列処理による動画像圧縮センサの設計・試作”, *IMPS96*, I-8.12, pp. 79-80 (1996)
- (43) 浜本隆之, 大塚康弘, 相澤清晴, 羽鳥光俊, “動画像圧縮センサ - 列並列処理構成による回路設計と試作 -”, *信学技報*, EID96-46, pp. 31-36 (1996)
- (44) 浜本隆之, 相澤清晴, 羽鳥光俊, “動き適応イメージセンサ”, *映像情報メディア学技報*, (1997) (発表予定)

### ○ 大会論文

- (45) 浜本隆之, 半谷精一郎, 宮内一洋, “画像中の形状情報を得るための領域成長法に関する一検討”, *1993 テレビ学年大*, No.11-2, pp. 189-190 (1993)
- (46) 浜本隆之, 大野洋, 相澤清晴, 羽鳥光俊, “蓄積時間を可変とする動き適応イメージセンサの検討”, *1995 信学総大*, D-330 (1995)
- (47) 大野洋, 浜本隆之, 相澤清晴, 羽鳥光俊, 山崎順一, 丸山裕孝, “動画像圧縮イメージセンサの試作評価”, *1995 信学総大*, SD-8-7 (1995)

- (48) 淵上明弘, 浜本 隆之, 大野洋, 相澤清晴, 羽鳥光俊, “ブロック符号化の導入による動画像圧縮イメージセンサの検討”, 1995 信学総大, D-303 (1995)
- (49) 丸山裕孝, 大野洋, 江木雄一郎, 浜本隆之, 相澤清晴, 大竹浩, 大久保達也, 山崎順一, “動画像情報圧縮イメージセンサの試作・動作実験”, 1995 テレビ学年大, No.5-9, pp. 87-88 (1995)
- (50) 江木雄一郎, 浜本隆之, 大野洋, 相澤清晴, 羽鳥光俊, 丸山裕孝, 大竹浩, “動画像圧縮センサ”, 1995 信学ソサイエティ大, No.C-499 (1995)
- (51) 浜本 隆之, 相澤清晴, 羽鳥光俊, “列並列処理による動画像圧縮センサ”, 1996 信学総大, D-426 (1996)
- (52) 八木原英之, 石 嵩 透, 浜本 隆之, 相澤清晴, 羽鳥光俊, “多重解像度イメージセンサのためのフィルタ処理の検討”, 1996 信学総大, D-384 (1996)
- (53) 浜本 隆之, 相澤清晴, 羽鳥光俊, “動き適応イメージセンサ”, 1996 テレビ学年大, 3-4, pp. 31-32 (1996)
- (54) 江木雄一郎, 浜本隆之, 相澤清晴, 羽鳥光俊, 丸山裕孝, 大竹浩, 山崎順一, 阿部正英, “新しい動画像圧縮センサの回路設計と試作”, 1996 テレビ学年大, 3-7, pp. 37-38 (1996)
- (55) 浜本隆之, 相澤清晴, 羽鳥光俊, “列並列処理による動画像圧縮センサの設計”, 1996 信学ソサイエティ大, D-245 (1996)
- (56) 相澤清晴, 江木雄一郎, 浜本隆之, 元木 顕弘, 羽鳥光俊, 丸山裕孝, 阿部正英, “イメージセンサ上での動画像圧縮”, 1996 信学ソサイエティ大, ES-3-8, pp. 329-330 (1996)
- (57) 浜本隆之, 大塚 康弘, 相澤清晴, 羽鳥光俊, “列並列処理による動画像圧縮センサの試作・評価”, 1997 信学総大, (1997) (発表予定)