



学位請求論文

Si 結合プレーナ形
ジョセフソン素子の試作

指導教官 菅野卓雄教授

東京大学大学院
工学系研究科電子工学専攻

0676 平木 充

目 次

第 1 章 序論

1・1	本研究の背景	1
1・2	本研究の目的	2
1・3	本論文の構成	7

第 2 章 電界効果型超伝導三端子素子の動作原理

2・1	はじめに	8
2・2	ジョセフソン効果	8
2・3	超伝導近接効果	10
2・4	電界効果による超伝導電流の制御	13
2・5	むすび	19

第 3 章 Si 結合プレーナ形ジョセフソン素子の作製 (I)

3・1	はじめに	20
3・2	Si 結合プレーナ形ジョセフソン素子の作製プロセス (I)	22
3・2-1	ほう素の拡散	27

3・2-2	電子ビーム描画	31
3・2-3	Al 蒸着とリフトオフ	36
3・2-4	Si の R I E	39
3・2-5	Nb / Al / Nb の蒸着	44
3・2-6	ポリマーの塗布	45
3・2-7	リッジ部の頭出し	46
3・2-8	マスク用 Nb および Al のエッチング	47
3・2-9	電極用 Nb の R I E および Al マスクの除去	49
3・2-10	電極のパターニング	51
3・3	作製した素子の特性	54
3・4	むすび	58
第4章 Si 結合プレーナ形ジョセフソン素子の作製 (II)		
4・1	はじめに	60
4・2	Si 結合プレーナ形ジョセフソン素子の作製プロセス (II)	61
4・3	Si 表面の R I E 損傷を防ぐためのプロセス	71

4・4	作製した素子の特性	73
4・5	平坦化プロセスに関する議論	80
4・6	むすび	82
第5章 電界効果型超伝導三端子素子を作製するためのFET形成プロセス		
5・1	はじめに	84
5・2	ほう素の浅い拡散	86
5・3	FET作製プロセス (I)	91
5・4	FET作製プロセス (II)	93
5・5	作製した素子の特性	101
5・6	むすび	104
第6章 結論		
	謝辞	107
	参考文献	108
	本研究に関する公表文献および研究発表	111

第 1 章 序 論

1・1 本研究の背景

ジョセフソン効果は1962年にB. Josephsonによって理論的に予言された¹⁾。この理論的発見からさほど遠くない1960年代半ばには、ジョセフソン効果を中心とする様々なデバイス応用が提案され、今日における超伝導エレクトロニクスと呼ばれる技術分野の基礎が作られた。

ディジタルデバイスとしてのジョセフソン素子の特徴は、高速性と低消費電力性を同時に示すことにある。特に、半導体デバイスと比べて数桁低い電力消費は、3次元空間にわたる高密度実装を可能にし、デバイス自身の高速化に伴ってあらわになってくる配線による信号遅延を極力小さくできることは、システムとしての高速性を確保する上で極めて重要であると考えられる。このように、ジョセフソン素子は将来の超高速ディジタルシステムを構成する上で浮かび上がってくる技術的問題を基本的に解決してくれるものとして期待され、ジョセフソンコンピュータ開発を大目標に掲げるIBMを中心に、その実用化に向けて精力的に研究が進められた。しかし、開発の中心であったIBMは1983年10月にジョセフソンコンピュータのプロジェクトを中止してしまった。その理由についてはいろいろ言われているが、これを契機にデバイス物理の基礎に戻った研究が盛んになってきた。

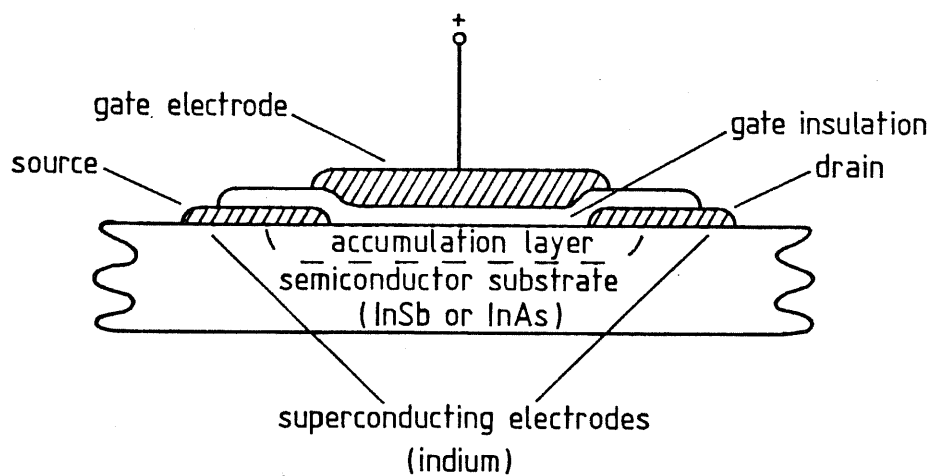
一方、ジョセフソン素子を用いてディジタル回路を構成しようとする際に起こる問題の要因として、ジョセフソン素子が本来二端子素子であることが揚げられる。そこで、現在LSI等に用いられている半導体デバイス、いわゆるトランジスタが、三端子素子であるように、ジョセフソン素子も三端子素子にできないかと考えるのは、ごく自然な考え方と言える。このような背景から、近年、制御用の第三電極を持つ超伝導三端子素子に関する研究が盛んになり²⁾⁻²¹⁾、素子を作製する試みも行われるようになって、準粒子注入型三端子素子^{9)、10)}、バイポーラ型超伝導三端子素子¹¹⁾⁻¹³⁾、電界効果型超伝導三端子素子¹⁴⁾⁻¹⁹⁾など、各種の素子が提案されている。準粒子注入型三端子素子は、物理学的に興味深い素子ではあるが、予想したより高速化ができずしかも信号の入出力分離が改善されないため、現在は研究が中断されている。バイポーラ型超伝導三端子素子は、ホットエレクトロン・トランジスタの一種で、超伝導ベースと半導体バリアとを組み

合わせたものであり、今後も、素子特性を改善するための研究が続けられるものと思われる。電界効果型超伝導三端子素子は、超伝導体を半導体で結合したFET-likeな三端子素子であり、入出力分離特性が極めて優れている。素子の動作が原理的に可能であることが、1985年に、実験的に示されて¹⁵⁾以来、物理学的な面白さもあって、にわかに注目を集めるようになった。

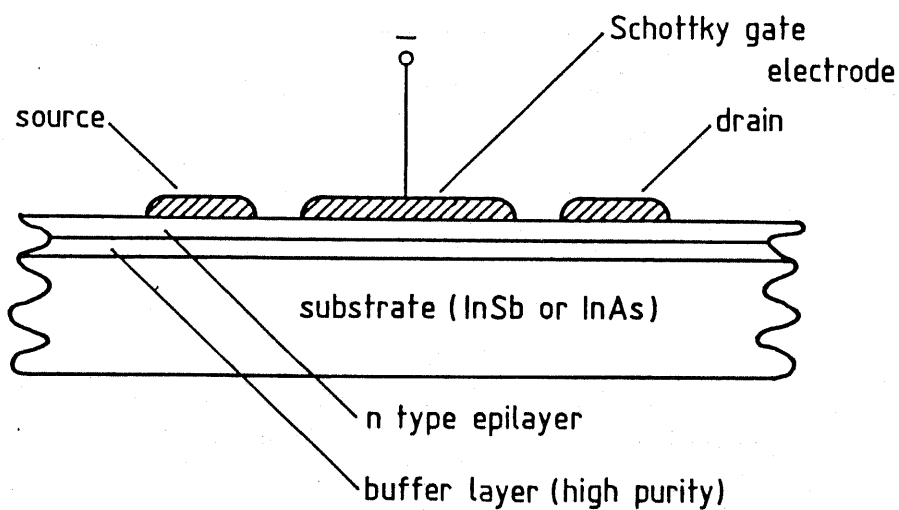
1・2 本研究の目的

前節でも述べたように、電界効果型超伝導三端子素子は、入出力分離特性に極めて優れた超伝導三端子素子である。この素子は、Metal-Oxide-Semiconductor (MOS) またはMetal-Semiconductor (MES) 型のJosephson Field Effect Transistor (JOFET) として、1980年にClarkによって提案された¹⁴⁾。このMOS-JOFETおよびMES-JOFETの構造を図1-1に示す。これは、一見ソースおよびドレイン部分が超伝導体でできた単なるFETのように見えるが、ソース・ドレイン間に超伝導電流が流れるものであって、電界効果によってチャネル中の超伝導電子のコヒーレンス長を変化させることによって超伝導電流を制御するという、新しい動作原理に基づく超伝導三端子素子であった。Clarkは、半導体基板としてInSb、超伝導電極としてInを用いることを想定して、動作温度が20mKにおける素子の特性の計算を行った。しかし、サブミクロンの加工が必要であるなど、作製が困難であつたらしく、実際に素子を作製してはいない。その後しばらく電界効果型の素子に関する報告はなかったが、1985年、基板の裏面に第3電極を持つ初歩的な構造ではあるが、Si単結晶を用いた電界効果型超伝導三端子素子が日立製作所中央研究所から報告され¹⁵⁾、Clarkの提案した素子の動作原理が初めて実証された。続いて同年、プレーナ構造を有するInAs表面反転層を用いた電界効果型超伝導三端子素子がNTTから報告され¹⁷⁾、さらに1987年には、IvanovらがAlGaAs/GaAsヘテロ接合を用いた素子を発表する¹⁸⁾など、この分野における活発な研究が行われ始めた。これらの素子の構造を、まとめて図1-2に示した。

ソース・ドレインの超伝導電極が、図1-3(a)のように形成され、表面が平坦化されたものを、プレーナ構造、また、図1-3(b)のように電極・チャネル間に段差があるような構造を、ギャップ構造と呼ぶことにする。MOS構造

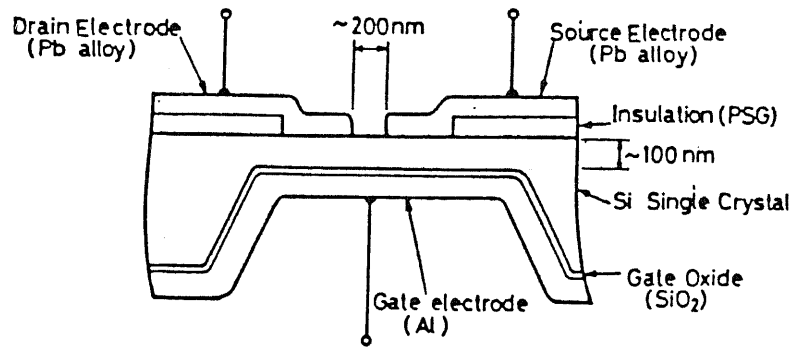


(a) M O S - J O F E T

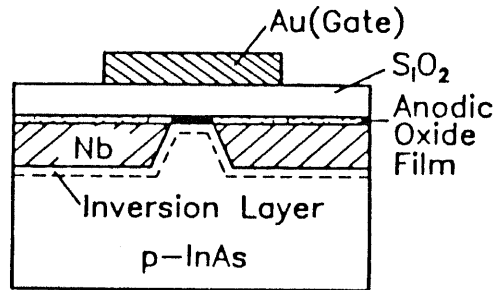


(b) M E S - J O F E T

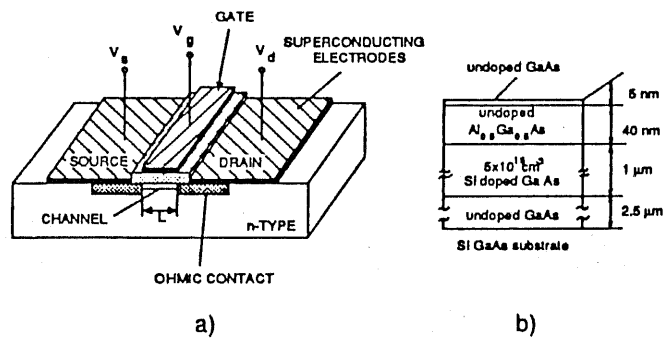
図 1 - 1 Clarkが提案した電界効果型超伝導三端子素子の構造



(a) Si 単結晶を用いた電界効果型超伝導三端子素子

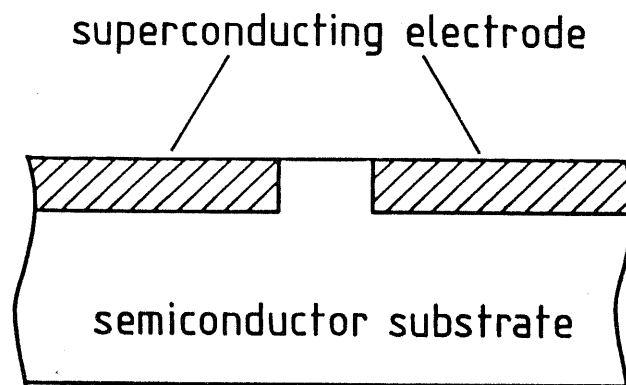


(b) InAs 表面反転層を用いた電界効果型超伝導三端子素子

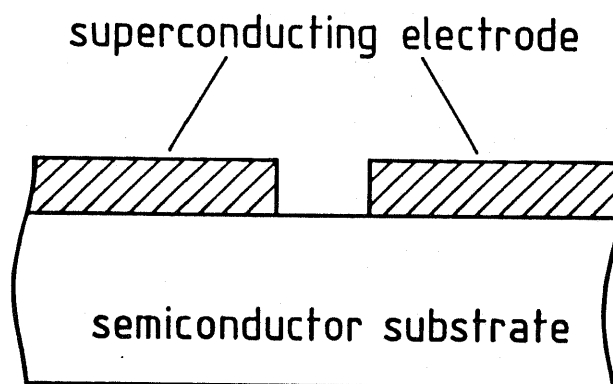


(c) AlGaAs/GaAs ヘテロ接合を用いた電界効果型超伝導三端子素子

図 1 - 2 電界効果型超伝導三端子素子の試作例



(a) プレーナ構造



(b) ギャップ構造

図 1 - 3 2つの超伝導電極が半導体を介して結合した接合の構造

のゲート電極をチャネル上部に形成するためには、素子がプレーナ構造になっていることが必要である。それは、ギャップ構造の素子でチャネル上部にゲート電極を形成しようとする、次のような問題が起こるからである。

(1) ギャップ構造では、ソース・ドレイン電極のコーナー部でゲート絶縁膜のリークが起こりやすい。

(2) ゲート電極からの電気力線が、半導体チャネルに十分届かず、ソース・ドレイン電極によってシールドされやすい。チャネル長が短くなり、ギャップが狭まるほど、この傾向は強まる。

プレーナ構造ではこのような問題はなく、ゲート電極をチャネル上部に有する素子を形成するのに適している。

InAs、GaAsなど高移動度の化合物半導体を基板に用いた電界効果型超伝導三端子素子では、半導体チャネル中での超伝導電子のコヒーレンス長が長い、ため、 $0.5\mu\text{m}$ 前後の比較的長いチャネル長で超伝導電極間の結合が起こるので、プレーナ構造の素子を作製することは技術的に割と容易である。したがって、図1-2に示した素子の中で、InAs表面反転層、AlGaAs/GaAsヘテロ接合を用いた素子は、いずれもプレーナ形の素子構造で実現されている。

一方、Siを基板に用いた超伝導三端子素子では、Si中でのキャリアの移動度が化合物半導体ほど高くなく、2つの超伝導電極間に結合が起こるためには、チャネル長が $0.1\mu\text{m}$ 程度のかかなり小さな寸法でなければならない。ところが、電極間隔が $0.1\mu\text{m}$ くらいになると、ギャップ構造は形成できても、プレーナ構造の形成は作製技術的に相当難しくなる。事実、Si結合ジョセフソン素子においても、ギャップ構造素子もしくはSi単結晶薄膜を結合に用いた素子を作製した例は、数件報告されているが²²⁾⁻²⁶⁾、プレーナ構造素子は、作製された例がない。図1-2(a)の三端子素子をギャップ構造で作製したのも、このような理由からであると思われる。この構造では、ゲート電極は裏面に形成するしか方法はないが、これでは素子を集積回路に使うことができない。したがって、プレーナ形のSi結合素子を作製することが、集積化をめざすためには不可欠である。

Siは、良好なMOS界面特性が得られるなど、従来からのプロセス技術が確立していて、最も実用的な半導体であり、Siを用いたプレーナ形の電界効果型超伝導三端子素子を実現することは、超伝導エレクトロニクスの分野だけではな

く、そろそろ限界が見え始めたと言われるMOS LSIの分野へも大きなインパクトを与えるものと期待される。本研究の目的は、三端子素子の研究から立ち戻り、Siを用いたプレーナ形の電界効果型超伝導三端子素子を実現するために必要なSi結合プレーナ形ジョセフソン素子を試作すること、およびその作製プロセスの検討を行うことである。さらに、このプレーナ形素子を用いた短チャネルMOS FETを試作し、三端子化するための作製プロセスの検討を行う。

1・3 本論文の構成

本論文は6章より成る。

第2章では、ジョセフソン効果について簡単に説明した後、弱結合型のジョセフソン素子に超伝導電流が流れる機構を、近接効果の理論を用いて説明する。これをもとに、弱結合部に半導体を用いた弱結合型のジョセフソン素子において、弱結合部に流れる超伝導電流を電界効果によって制御する超伝導三端子素子の動作原理を示す。

第3章では、Si結合プレーナ形ジョセフソン素子の作製プロセスについて、プレーナ構造を形成するための平坦化プロセスを中心に述べる。凹凸のある表面にポリマーを塗布してエッチングする方法により、平坦化を行う。このプロセスを用いて作製した素子の電流-電圧特性を示す。

第4章では、第3章に示した作製プロセスに改良を加えたSi結合プレーナ形ジョセフソン素子の作製プロセス、およびそれに類似したAl結合プレーナ形ジョセフソン素子の作製プロセスについて述べる。これらのプロセスを用いて作製した各種の素子の特性を示す。Si結合プレーナ形ジョセフソン素子について、臨界電流の温度依存性を測定し、その測定データからSi中の超伝導電子のコヒーレンス長を評価する。

第5章では、第4章で確立したプレーナ形の素子の作製プロセスを基礎として、Nbのソース・ドレイン電極を持つプレーナ形の短チャネルMOS FETを作製することを試み、三端子素子を形成するために必要な作製プロセスを検討する。作製したMOS FETの特性を測定し、得られたFET特性に関する考察を行う。

第6章で結論を述べる。

第2章 電界効果型超伝導三端子素子の動作原理

2・1 はじめに

この章では、まず、ジョセフソン効果についての簡単な説明を行う。次に、ジョセフソン素子は、トンネル型と弱結合型に大別されることを述べ、さらに弱結合型のジョセフソン素子をやや細かく分類して、素子構造を説明する。続いて、弱結合型のジョセフソン素子について、弱結合部に超伝導電流が流れる機構を、De Gennesの理論を用いて説明する。これをもとに、弱結合部に半導体を用いた素子では、MOS構造の第3電極を形成することにより、弱結合部を流れる超伝導電流を、電界効果により制御することが原理的に可能であることを示す。

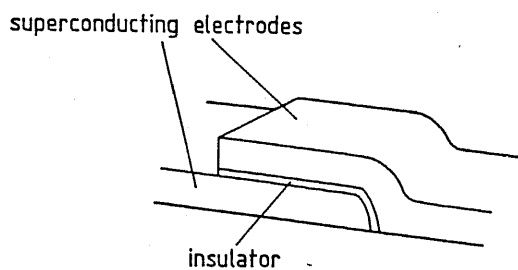
2・2 ジョセフソン効果

二つの超伝導体が弱く結合した構造のものを、ジョセフソン接合と言う。ジョセフソン接合は、結合媒質の種類によって、トンネル型と弱結合型（ブリッジ型）の2つに大別される。トンネル型は、二つの超伝導体が、厚さ数nmの極めて薄い絶縁膜を介して結合した、サンドイッチ状の構造であり、絶縁膜を介した超伝導電子対のトンネル現象が結合を与える。弱結合型のジョセフソン素子^{27) - 33)}では、結合媒質が、弱い超伝導体、常伝導金属、またはキャリアが凍結していない半導体などの導電性の物質からなり、超伝導近接効果が結合を与える。弱結合型ジョセフソン素子の結合媒質は、必ずしも超伝導電極と異なる物質である必要はなく、電極の膜厚を薄くする（variable thickness bridge: VT B）、電極の幅を狭める（Dayem bridge）、または二つの超伝導体を一点で接触させる（point contact）等の方法で結合部の超伝導性を弱めることもできる。トンネル型および各種の弱結合型ジョセフソン素子の構造を、図2-1に示した。図中に示した弱結合型の素子の構造はほんの一例であり、このほかにもさまざまな変形が考えられる。

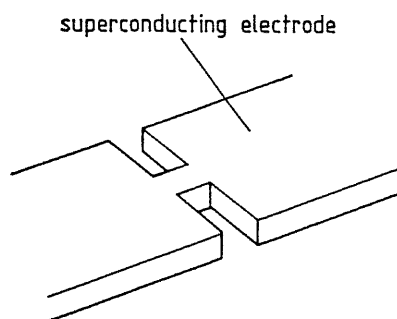
ジョセフソン接合では、二つの超伝導体中の電子の波動関数の位相差 ϕ に依存する超伝導電流が流れる。これは、理想的には次式によって表される。

$$I = I_c \sin \phi \quad (2-1)$$

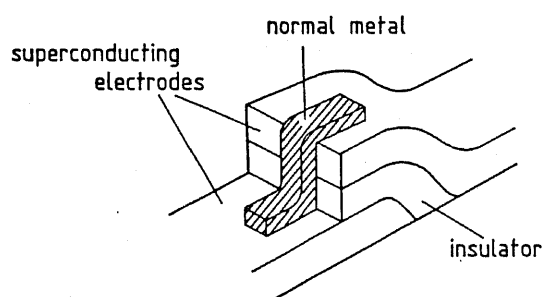
これを直流ジョセフソン効果という。 I_c を臨界電流と呼んでいる。



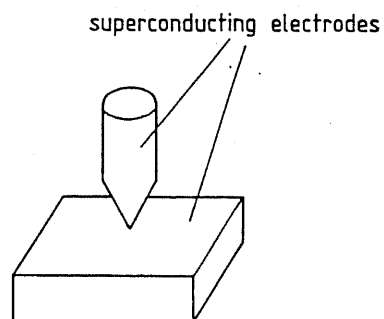
(a) トンネル型



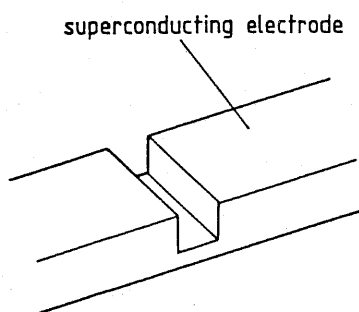
(d) Dayem bridge



(b) 常伝導金属結合型



(e) 点接触型



(c) VTB

図 2 - 1 各種のジョセフソン素子

また、接合に電圧 V がかけられているとき、位相差 ϕ は次式に従って変化する。

$$\partial \phi / \partial t = (2e / \hbar) V \quad (2-2)$$

これを交流ジョセフソン効果という。

トンネル型および弱結合型ジョセフソン素子の電流－電圧特性の概形を、それぞれ図 2-2 (a) および (b) に示す。一般に、トンネル型ジョセフソン素子では電流－電圧特性がヒステリシスを持ち、有限電圧でのコンダクタンスも大きな非線形性を示すが、弱結合型では、ヒステリシスの大きさは接合容量によっても異なるが概してトンネル型よりもヒステリシスは小さい。また、有限電圧でのコンダクタンスも線形に近い。

2・3 超伝導近接効果

超伝導体 (superconductor: S) と常伝導金属 (normal metal: N) が接触している場合、超伝導体側から常伝導金属側へと、ペアポテンシャル (あるいは電子対の波動関数) の浸み出しがおこる。一方、超伝導体中のペアポテンシャルも、界面では常伝導金属側への浸み出しに引きずられて下がる (図 2-3)。これを、超伝導近接効果という^{34) - 38)}。

De Gennesによると³⁴⁾、"dirty"な常伝導金属中へ浸み出すペアポテンシャル $\Delta_N(x)$ は、ある減衰長 ξ_N で指数関数的に減衰し、

$$\Delta_N(x) \propto \exp(-x / \xi_N) \\ \xi_N = (\hbar D / 2 \pi k_B T)^{1/2} \quad (2-3)$$

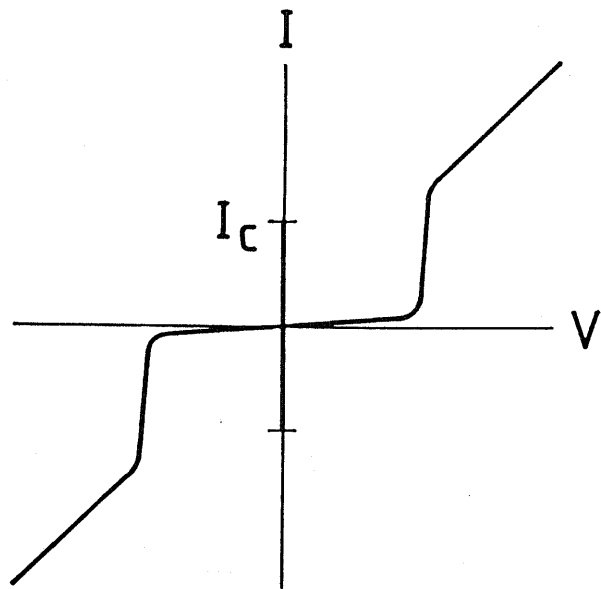
と表される。ここで、 D は常伝導金属中の電子の拡散係数である。 ξ_N を常伝導金属のコヒーレンス長と呼ぶ。

既に前節で述べたように、弱結合型のジョセフソン素子は、二つの超伝導体が常伝導金属などの導電性の物質を介して、弱く結合したものである。図 2-4 に示すように、二つの超伝導体が常伝導金属を介して距離 L だけ離れて結合した S-N-S 素子中のペアポテンシャルの空間変化を、一次元モデルで考えてみる。

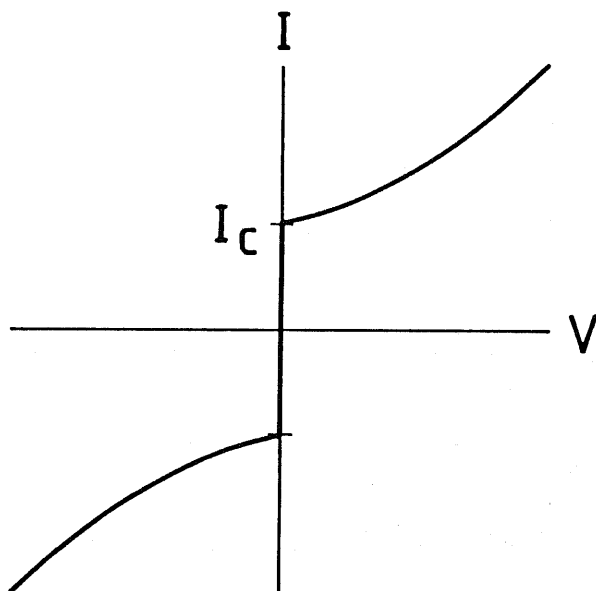
超伝導体－常伝導金属界面での常伝導金属側のペアポテンシャルの大きさを $\Delta_N(0)$ とすると、 $x=0$ と $x=L$ でペアポテンシャルの大きさは等しいから、

$$|\Delta_N(x)| = \Delta_N(0) \quad \text{at } x=0, L \quad (2-4)$$

が成り立つ。式 (2-4) の境界条件と式 (2-3) より、常伝導金属中でのペ



(a) トンネル型



(b) 弱結合型

図 2-2 ジョセフソン素子の電流-電圧特性の概形

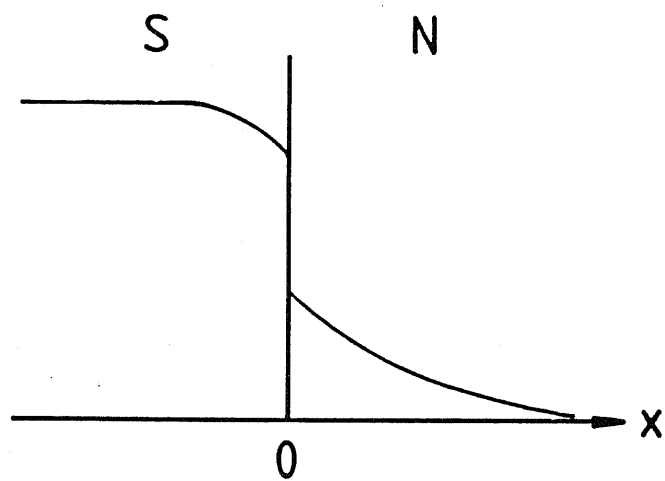


図 2 - 3 超伝導近接効果

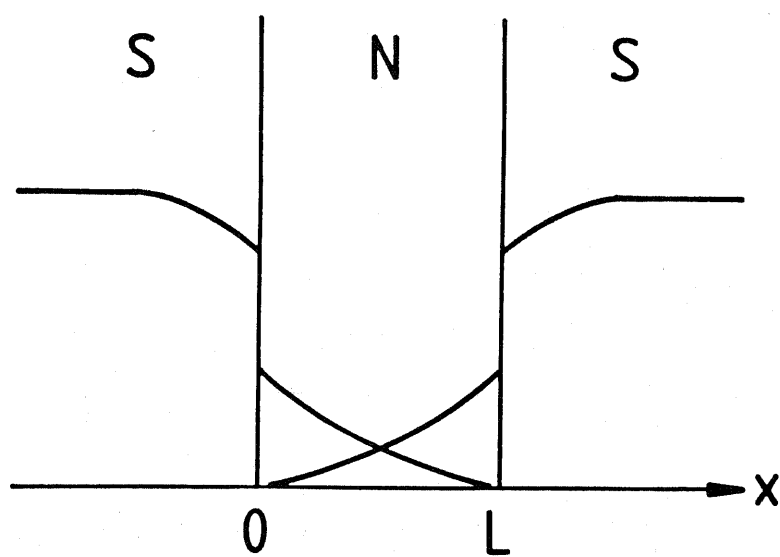


図 2 - 4 S - N - S 素子中のペアポテンシャルの空間変化

アポテンシャルの空間的变化は、

$$\Delta_N(x) = [\Delta_N(0) / 2 \cosh(L/2\xi_N)] \times \\ \exp\{(x-L/2)/\xi_N + i\theta_1\} + \\ \exp\{-(x-L/2)/\xi_N + i\theta_2\}] \quad (2-5)$$

と表される。ただし、 θ_1 および θ_2 は、それぞれ $x=L$, 0 でのペアポテンシャルの位相であり、それぞれのペアポテンシャルは、減衰しても位相は変化しないと考える。式(2-5)を、Ginzburg-Landau方程式(G-L方程式)³⁹⁾

$$J \propto \Delta^* (\partial \Delta / \partial x) - \Delta (\partial \Delta^* / \partial x) \quad (2-6)$$

に代入して、素子に流れる超伝導電流を計算すると、臨界電流 I_c は、

$$I_c \propto [\Delta_N(0) / \cosh(L/2\xi_N)]^2 / \xi_N \quad (2-7)$$

と表される。

このようなモデルは、常伝導金属の代わりに半導体で結合した素子でも成り立つ。ただし、半導体と超伝導体の界面には、図2-5に示すようにショットキーバリアが形成されるので、ペアポテンシャルはまずショットキーバリアをトンネリングにより通過してから半導体の導電性領域を減衰すると考えられる⁴⁰⁾。したがって、厳密には半導体結合素子の I_c は、式(2-7)の右辺に T_s^2 (ただし、 T_s はショットキーバリアのトンネル確率) をかけたものになるが、式(2-7)は、もともと I_c の絶対値を表す式ではないので、このトンネル確率にこだわることは、あまり意味がない。

半導体結合素子の場合、 ξ_N の式(2-3)は一般にバルクの半導体で成り立つ関係 $D = v_F l / 3$ 、 $l = v_F \tau$ 、 $\mu = e \tau / m^*$ 、 $v_F = \hbar (3\pi^2 N)^{1/3} / m^*$ 、(ただし、 v_F 、 l 、 τ 、 μ 、 m^* 、 N はそれぞれ、キャリアのフェルミ速度、平均自由行程、緩和時間、移動度、有効質量、濃度) を用いて、次のように書き直すことができる。

$$\xi_N(T) = (\hbar^3 \mu / 6 \pi k_B T e m^*)^{1/2} (3 \pi^2 N)^{1/3} \quad (2-8)$$

2・4 電界効果による超伝導電流の制御

半導体結合素子では、式(2-8)からわかるように、半導体中のキャリア濃度 N を変えることにより、超伝導電子のコヒーレンス長 ξ_N は変化する。 ξ_N の大

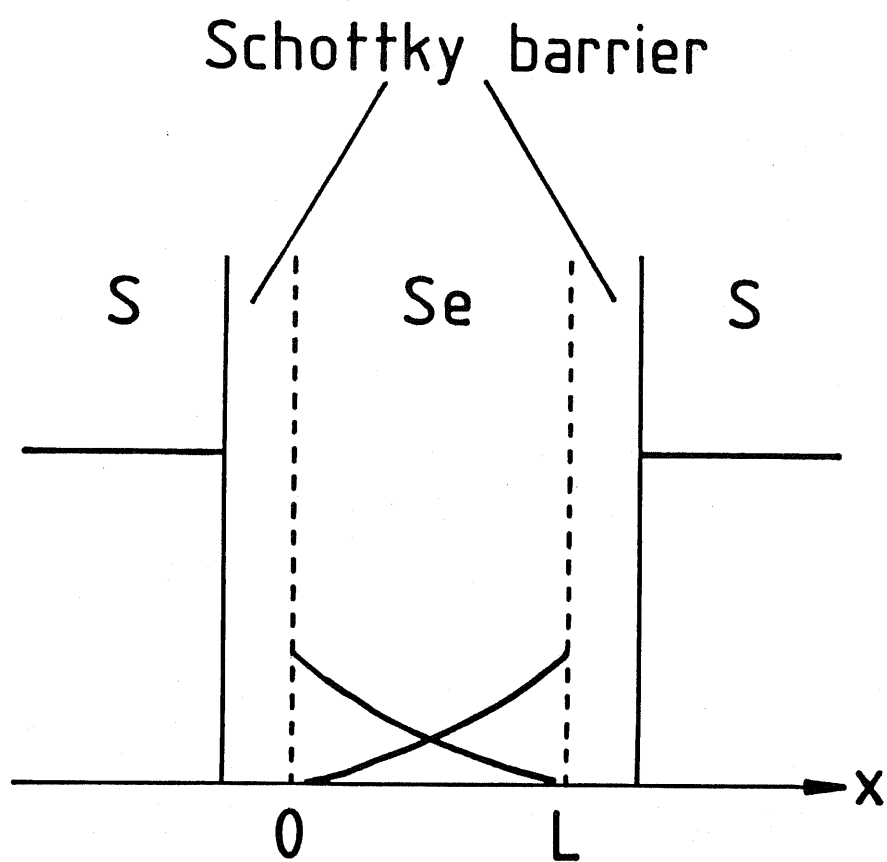


図 2 - 5 半導体結合素子中のバリアポテンシャルの空間変化

きさが変われば、素子の臨界電流 I_c は式 (2-7) にしたがって変化する。ところが、半導体では、キャリア濃度は電界効果によって変化させることができる。したがって、臨界電流が電界効果によって制御できる。これが、電界効果型超伝導三端子素子の動作原理である (図 2-6)。

プレーナ型の電界効果型超伝導三端子素子の構造を、図 2-7 に示す。二つの超伝導電極が、半導体を介して距離 L だけ離れている。半導体チャネル上には、MIS 構造の第 3 電極 (ゲート電極) が形成されている。この第 3 電極に電圧を印加することにより、電界効果で超伝導電流が制御される。

前章でも述べたように、本研究では、理想に近い特性を持つ MOS 界面が得られプロセス技術の面でも最も実用的と考えられる Si を、半導体基板に用いる。Si は移動度があまり高くないため、コヒーレンス長が $\xi_N \sim 10 \text{ nm}$ 程度とかなり短い。超伝導電極間の距離 L は、 ξ_N に比べて極端に長くなると、電極間の超伝導的な結合が起きなくなるので、 $L \sim 100 \text{ nm}$ またはそれ以下の極めて短いチャネルを必要とする。

ジョセフソン接合の等価回路としてよく用いられる RSJ モデル (resistively shunted junction model) ^{41), 42)} (図 2-8) から計算される素子の電流-電圧特性は、特に接合容量 C が無視できる場合、次のように表される。

$$\begin{aligned} V &= 0 & (I < I_c) \\ V &= (I_c / G) [(I / I_c)^2 - 1]^{1/2} & (I > I_c) \end{aligned} \quad (2-9)$$

Si 中のキャリア濃度を $N = n \times 10^{19} \text{ cm}^{-3}$ とし、典型的な値として、チャネル長 $L = 100 \text{ nm}$ 、またコヒーレンス長 ξ_N は式 (2-8) より $n^{1/3}$ に比例するので、 $\xi_N = 10 \times n^{1/3} (\text{nm})$ とする。また、チャネルのコンダクタンス G は、キャリア濃度に比例すると考える。これらの仮定と、式 (2-7) および (2-9) より、キャリア濃度が $n = 0.5, 1, 2, 3$ のときの電流-電圧特性を計算すると図 2-9 のようになる。ただし、電圧および電流は、 $G_1 V / I_{c1}$ および I / I_{c1} (G_1, I_{c1} は、それぞれ $n = 1$ のときの G および I_c の値) と規格化してある。このように、ゲート電極に印加する電圧を変え、キャリア濃度を変化させることにより、臨界電流とチャネルコンダクタンスが変調される。

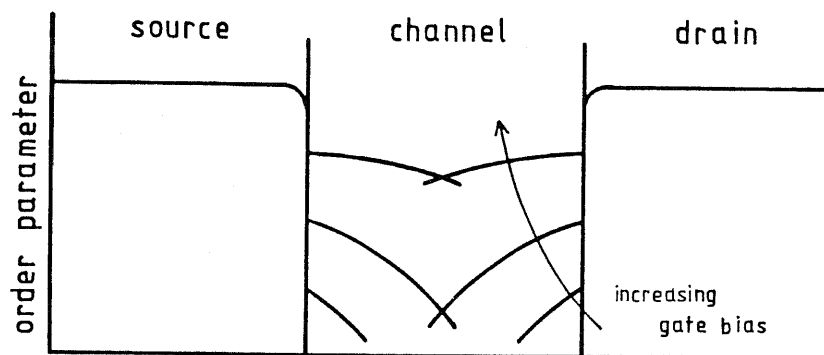


図 2 - 6 電界効果型超伝導三端子素子の動作原理

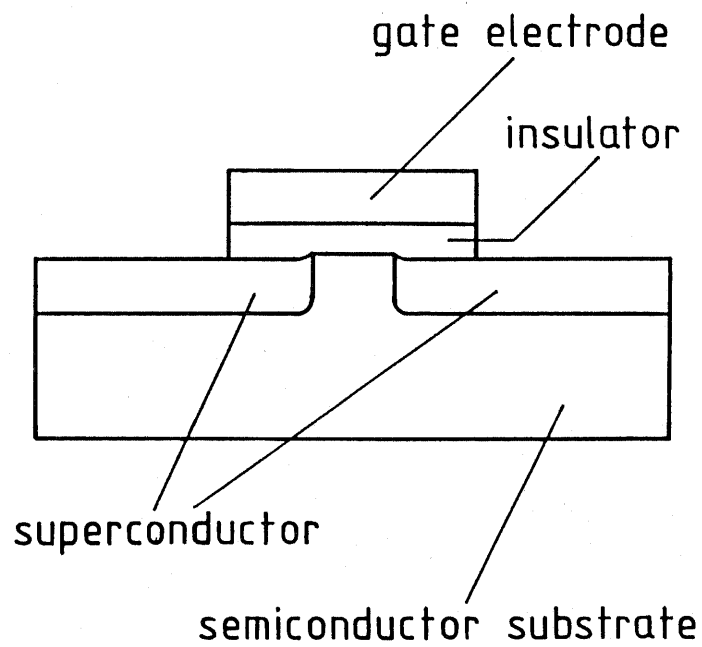


図 2 - 7 プレーナ形の電界効果型超伝導三端子素子の構造

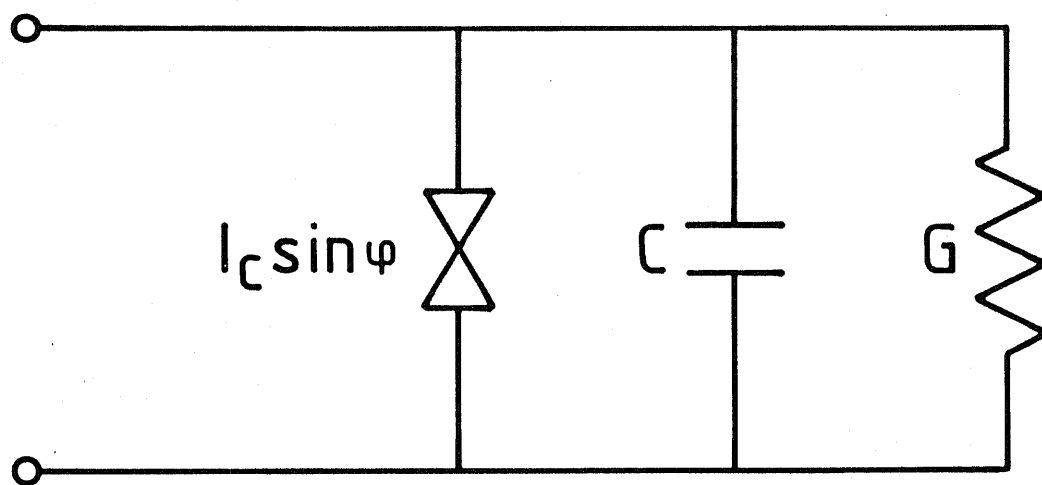


図 2 - 8 R S J モデル

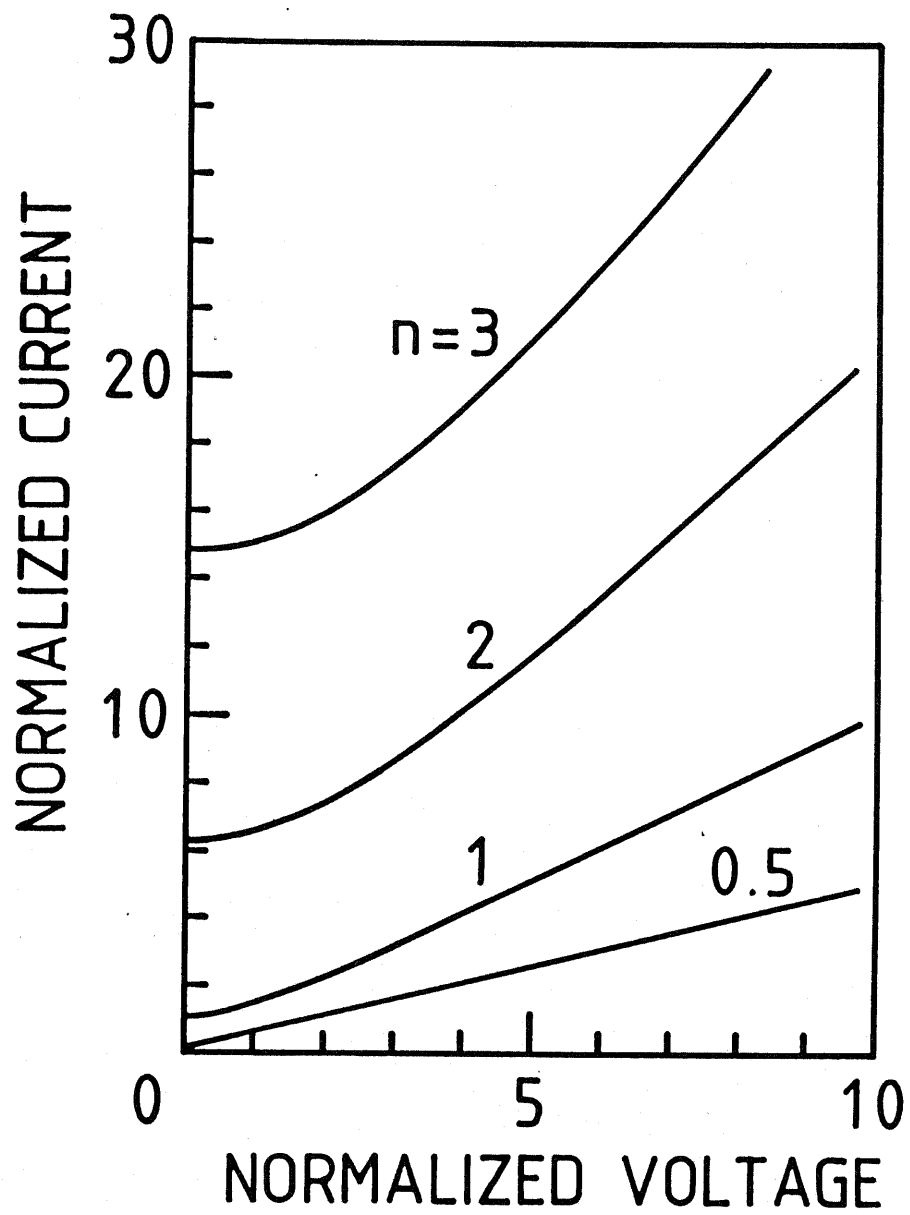


図 2 - 9 Si 結合超伝導三端子素子の電流 - 電圧特性
(Si 中のキャリア濃度をパラメータとしている)

2・5 むすび

ジョセフソン効果について概説し、特に弱結合型ジョセフソン素子について、超伝導近接効果によって電極間に超伝導的な結合が起こる機構を述べた。半導体を弱結合部に用いた素子では、電界効果によって超伝導電極間の結合の状態を制御することが可能であり、これが電界効果型超伝導三端子素子の動作原理になっている。素子の電流－電圧特性の簡単な計算を行ったが、これらの理論式は、臨界電流 I_c の絶対値を与えるものではない。特に弱結合型の素子では、素子の特性の絶対値まで把握できるような理論は、今のところ確立していないようである。また、素子作製の難しさもあって、特性のばらつきが大きいため、理論と実験の対応が十分とれていないのが現状である。

第3章 Si 結合プレーナ形

ジョセフソン素子の作製 (I)

3・1 はじめに

電界効果型超伝導三端子素子の集積回路への応用を考える場合、素子がプレーナ形の構造を有することが、不可欠である。しかし、Siを結合に用いた素子では、超伝導電極の間隔が $0.1\mu\text{m}$ 程度の微細構造が必要とされるので、プレーナ構造を形成するのは容易なことではない。したがって、三端子素子を作製する以前の段階として、プレーナ形の二端子素子、すなわち、プレーナ形のSi結合ジョセフソン素子を実現することは、一つの重要な課題である。

プレーナ形の構造を形成しようとするとき、まず思いつく作製プロセスは、リフトオフ (lift off) 工程を用いる方法であろう。それを、図3-1に示した。この作製プロセスのステップは、次の4段階からなる。

- (a) 幅約 $0.1\mu\text{m}$ の細長いステンシルを形成する。
- (b) このステンシルをマスクにして、Siをエッチングする。
- (c) 超伝導電極となる金属を蒸着する。
- (d) 溶剤に浸してステンシルを溶かし、ステンシル上の蒸着膜を除去する。

$0.1\mu\text{m}$ 幅のステンシルを形成することは、電子ビーム描画の技術を使えば決して難しいことではない。ところが、実際にこのプロセスを試みたところ、最後の工程 (リフトオフ工程) でステンシル上の蒸着膜を除去することができず、残念ながら失敗に終わった。この作製プロセスの問題は、次の2つの作製条件が互いに矛盾することにあると考えられる。

(1) リフトオフによってステンシル上の蒸着膜が取り除かれるためには、ステンシル側面が蒸着膜に覆われてはならない。そのためには、通常、なんらかの方法でステンシルにオーバーハングを形成する。

(2) プレーナ形の素子構造上、自明なことであるが、電極はSiリッジの側面に密着していなくてはならない。

ステンシル幅が比較的広ければ、ステンシルのオーバーハング形状や、Siエッチング時のまわりこみ寸法、Siリッジ側面の傾斜角度などを調整することにより、両方の条件を満足させることができるかもしれないが⁴³⁾、 $0.1\mu\text{m}$ の微細な構造でそれを行うのは、非常に難しい。このような点から、図3-1のよう

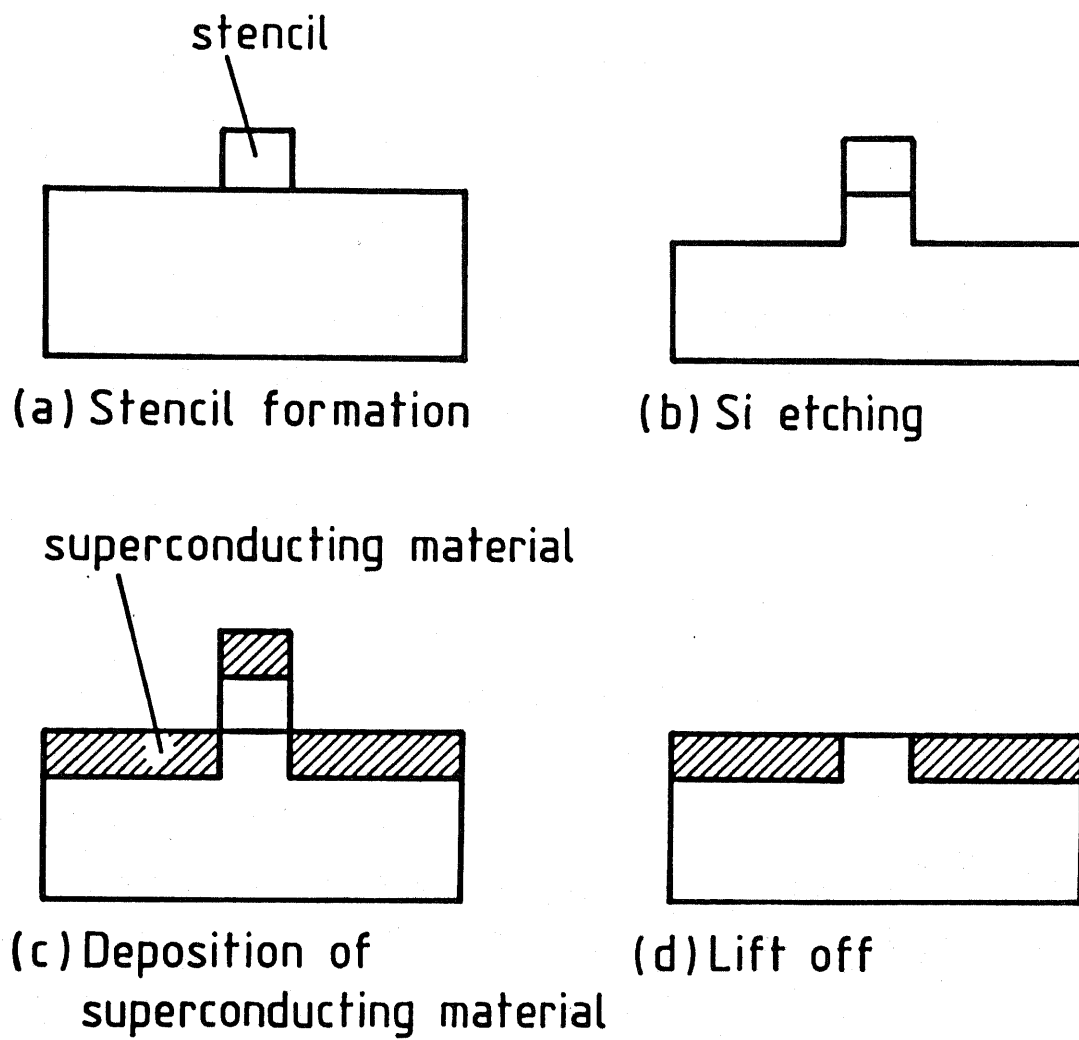


図 3 - 1 プレーナ構造を形成するためのプロセス
(この方法は現実には難しい)

にリフトオフを用いたプレーナ構造形成法は、実現性に乏しいと考えられる。

S i リッジ上部の蒸着膜を、リフトオフを用いずに除去する手段は、エッチング以外には考えられない。エッチングによって平坦化された構造を形成する方法としては、凹凸のある表面を有機膜などある程度厚さのある膜で覆うことにより表面を平坦化してからエッチングするという方法が、従来からLSIプロセスなどの分野で行われていた。そこで本研究では、これに類似した平坦化プロセスが、約 $0.1\ \mu\text{m}$ の電極間隔を持つS i 結合プレーナ形ジョセフソン素子の作製に適用できるのではないかと考え、さまざまな試行錯誤を重ねながら素子の作製プロセスを確立し、実際に作製した素子がジョセフソン素子としての動作を示すことを確認した⁴⁴⁾。

本章では、S i 結合プレーナ形ジョセフソン素子を作製するためのプロセス、および作製した素子の電気的特性を測定した結果について述べる。

3・2 S i 結合プレーナ形ジョセフソン素子の作製プロセス (I)

本研究では、素子の超伝導電極材料として、Nbを用いた。Nbを用いる利点は次のようなことがあげられる。

(1) 金属元素の中では、超伝導転移温度が最も高く、約 $9.3\ \text{K}$ である。液体ヘリウム温度($4.2\ \text{K}$)で素子を動作させることを想定しているので、十分高い転移温度を持っていると言える。

(2) 室温と液体ヘリウム温度との間の熱サイクルに強い。超伝導素子は、室温で作製し、液体ヘリウム温度で動作させるので、熱サイクルに強いことは、信頼性の点から重要である。

(3) 室温保存に対する安定性に優れている。

(4) 薄膜の表面が平坦である。これは、薄膜の結晶粒径が小さいことによる。結晶粒径が小さいことは、微細な加工をするときにも有利である。

過去に報告されたS i 結合ジョセフソン素子では、加工が容易であることから鉛合金が用いられていたが、鉛合金は、熱サイクルに弱いことが致命的な欠点である。Nbは、融点が高く、硬度も硬いので、加工は鉛合金ほど容易ではないが、超伝導デバイス用の超伝導材料としては、もっとも実用性が高いと思われる。

液体ヘリウム温度付近の極低温では、通常のキャリア濃度のS i ではキャリア

が凍結してしまうので、ほう素を縮退ドーブした $p^+ - Si$ 上に素子を作製した。 Si と金属の間のショットキー接合では、 Si の表面準位の影響で金属のフェルミ準位が、 Si 禁制帯中で価電子帯端から3分の1付近のエネルギー準位にpinningされることが知られている^{45), 46)}。そこで、 p^+ および $n^+ - Si$ を弱結合部にもちいた Si 結合ジョセフソン素子のバンド図を描くと、それぞれ図3-2の(a)、(b)のようになり、 p^+ タイプのほうがショットキーバリアの高さが低く、バリア厚も薄いので、キャリアのトンネル確率が高くなる。 p^+ 縮退を選択したのは、このような理由による。

作製した Si 結合プレーナ形ジョセフソン素子の概形を、図3-3に示した。基板は、 n 型 Si を用いているが、表面はある深さまで p^+ となっている。なお、電極間隔 L と電極幅 W は、 $L \sim 0.1 \mu m$ 、 $W \sim 10 \mu m$ で $L : W$ は1 : 100くらいの比になっていて、実際は図3-3に描かれているような寸法比にはなっていない。また、電極のパッド部は、1mm角の大きさである。

ポリマーを塗布して基板表面を平坦化するプロセスを用いて、 Si 結合プレーナ形ジョセフソン素子を作製した。この平坦化プロセスを、図3-4に示した。後に第4章で示す平坦化プロセスと区別するために、以後このプロセスを平坦化プロセス(I)と呼ぶ。平坦化プロセス(I)は、次の10工程からなる。

(1) n 型 Si にほう素を拡散した基板に、電子ビーム用レジストを塗布する。電子ビーム描画により、レジストに細線を形成する。

(2) 形成されたステンシル上に、 Al を蒸着し、アセトンに浸してリフトオフすることにより、幅300nm以下の Al 細線パターンを形成する。

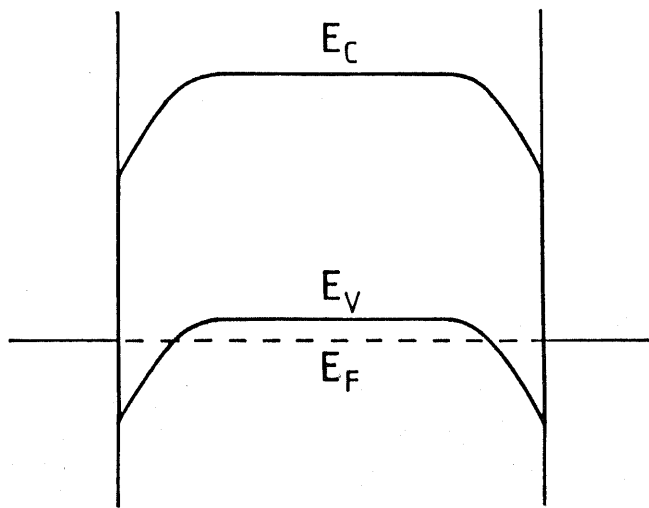
(3) Al パターンをマスクとして、 CF_4 ガスを用いた反応性イオンエッチング(reactive ion etching: RIE)により、 Si を約200nmの深さまでエッチングしてリッジを形成した後、 Al を除去する。

(4) 電極となる Nb (150nm)、後にマスクとして用いる Al (20nm)と Nb (20nm)を続けて蒸着する。

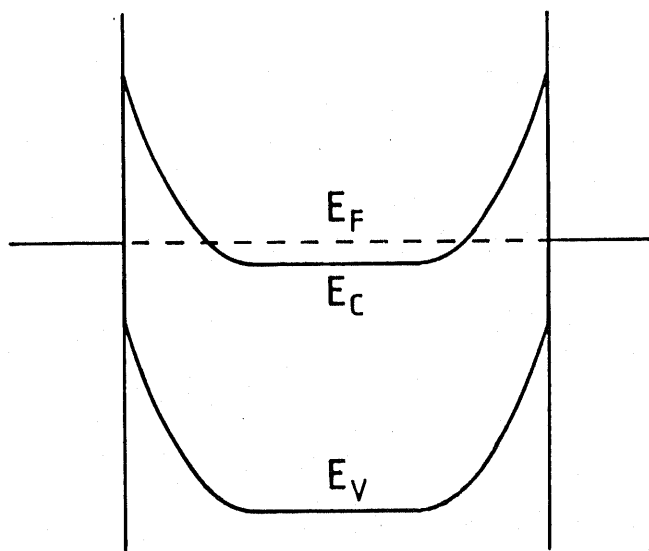
(5) 厚さ約300nmのポリマーを塗布することによって、表面を平坦化する。

(6) O_2 プラズマを用いてポリマーを途中までエッチングし、リッジ部の頭出しを行う。

(7) CF_4 ガスを用いたRIEにより、リッジ上部の Nb (20nm)をエッチ



(a) $p^+ - Si$



(b) $n^+ - Si$

図 3-2 Si 結合ジョセフソン素子のバンド図

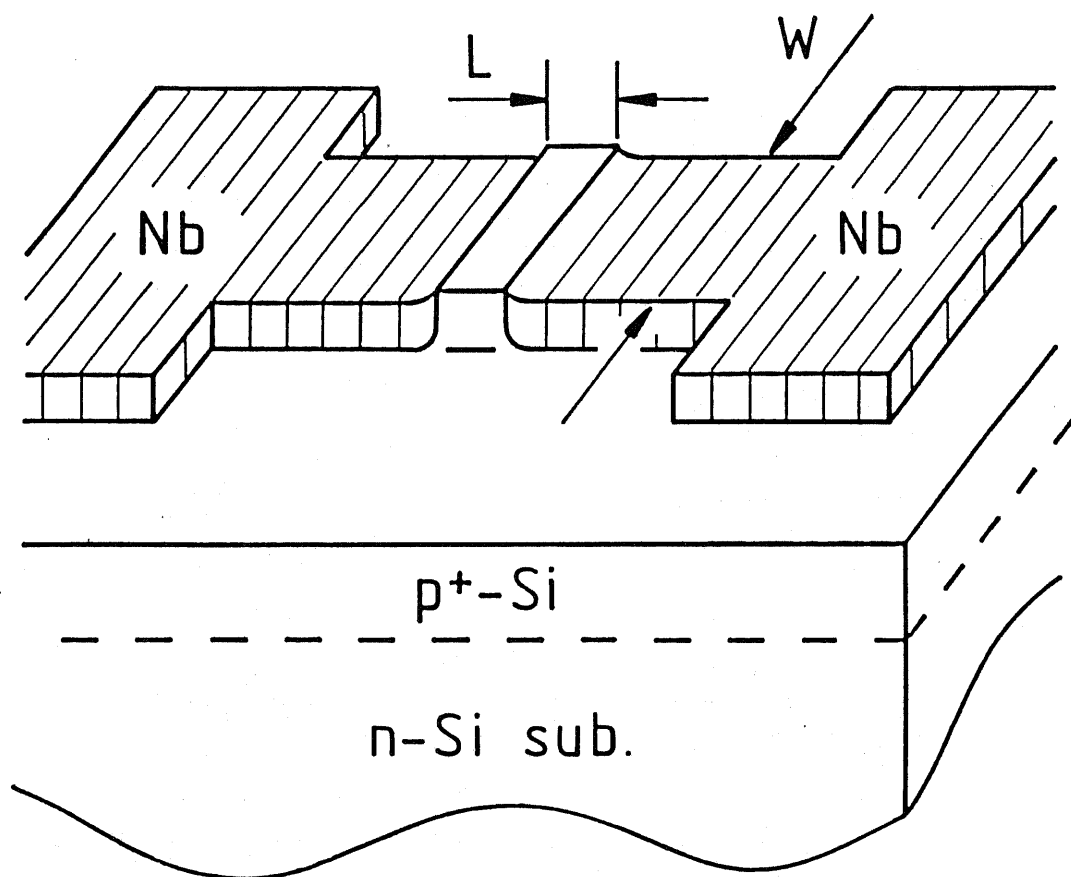


図 3-3 Si 結合プレーナ形ジョセフソン素子の概形

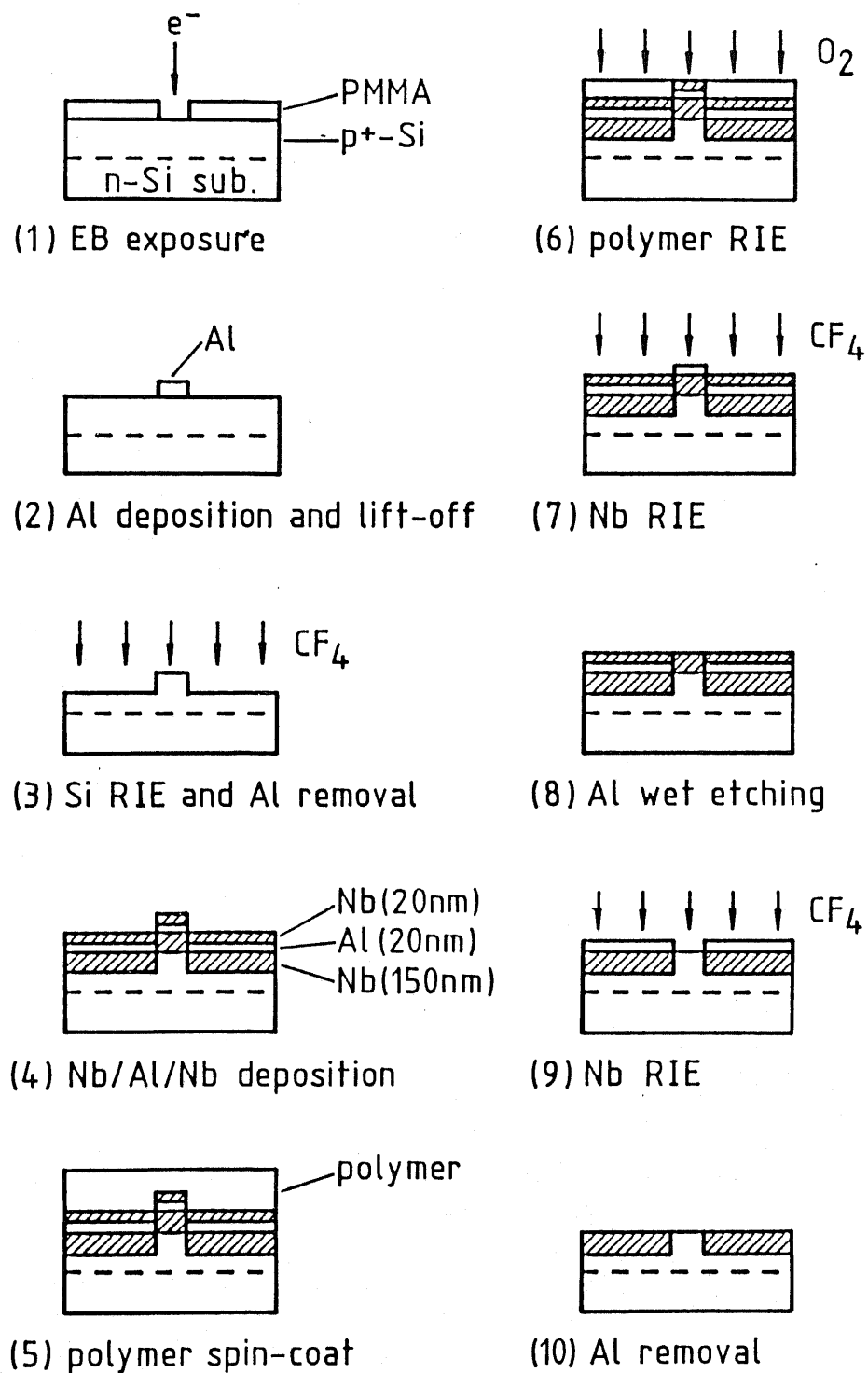


図 3 - 4 平坦化プロセス (I)

ングする。このとき、リッジ部以外の領域では(6)で残っていた有機膜は完全になくなってしまいが、その直下のNb薄膜はまだ残っている。

(8) 残っているNbをマスクとして、リッジ上部のAlをウェット・エッチングして取り除く。

(9) リッジ上部のNb(150nm)をCF₄ガスによるRIEでエッチングする。(8)で残っていたAl上のNbはエッチングされ、なくなってしまうが、Alがマスクの役割を果たす。

(10) Alを除去する。

このようにしてプレーナ構造を形成した後、通常のリソグラフィとCF₄ガスを用いたNbのRIEによって、電極およびボンディングパッドのパターニングを行い、図3-3に示した構造の素子が得られる。

以上のように、

◎ n型Siへのほう素の拡散

◎ 平坦化プロセス(I)の工程(1)～(10)

◎ 電極のパターニング

からなる作製プロセスの各工程について、使用した装置の構成、プロセス条件などの詳細を、以下に順を追って説明する。

3・2-1 ほう素の拡散

(100)面方位のn型Siウェーハ(抵抗率2～3Ω・cm)を30mm×30mmの正方形の形にスクライブしたものを基板として用いる。基板を次のような手順で洗浄する。

- ① トリクレン、アセトン、アルコール、純水の順番で、基板を超音波洗浄する。
- ② 硫酸と過酸化水素の混合液(体積比3:1)に基板を浸し、基板表面に付着している重金属のエッチングを行い、純水ですすぐ。
- ③ フッ酸水溶液(10%水溶液)に基板を浸し、表面の薄い酸化膜を除去し、純水ですすぐ。N₂ガスを吹き付けて、注意深く乾かす。

このようにして準備された基板に、ほう素をドーピングする。不純物をドーピングする方法は、一般に、イオン注入と拡散の2種類がある。イオン注入は、イオンの加速電圧とドーズ量という明確なパラメータを持つ、制御性の良い技術である

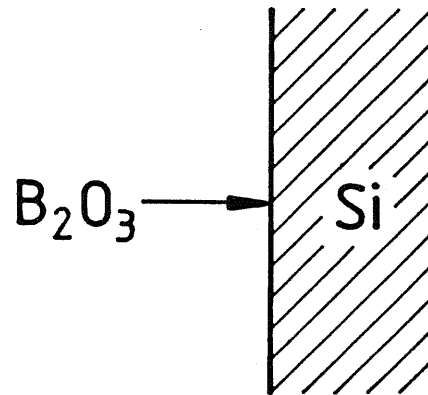
が、残念ながら、Siにほう素を縮退ドーピングできるだけの十分なドーピング量の得られるイオン注入装置が手近にないため、本研究では一貫して拡散法を用いた。拡散法は、再現性や制御性の面で問題もあるが、容易に高濃度の不純物が導入できる技術であり、縮退ドーピングするためにはこの方法で十分である。

ほう素のSi中への拡散の概念図を図3-5に示す。まず、Si基板を温度が1000℃前後の高温の中に置く。次に、高温部になんらかの反応により B_2O_3 の気体を形成させる。 B_2O_3 は、Si基板表面に付着し、還元反応によりほう素原子を析出するとともに SiO_2 を形成する。このようにSi表面には、 B_2O_3 と SiO_2 の混合膜が形成され、この中に含まれるほう素原子がSi中に拡散によって導入される。 B_2O_3 は、たえずSi表面で還元されるので、酸化膜中には常にほう素原子が供給されることになる。このようにほう素を含む酸化膜が形成されると、そこから安定にほう素がSi中へと拡散により供給される。

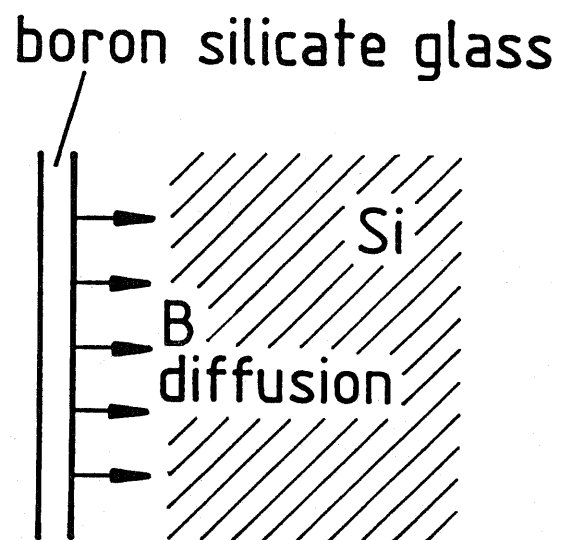
本プロセスでは、 B_2O_3 の気体を形成させるために、固体原料のBN（窒化ほう素）を用いた。BNは、ウェーハ状に成形したセラミックである。BNそのままではなにも発生しないが、表面が酸化されたBNウェーハは高温で B_2O_3 の気体を発生する。そこで、あらかじめ高温の乾燥酸素中で表面を酸化したBNウェーハとSi基板を向い合わせ、乾燥窒素雰囲気中で高温に保つことにより、ほう素の拡散を行った。拡散を行った温度は1100℃で、時間は10分間とした。BNウェーハの表面酸化およびほう素のSi中への拡散には、図3-6(a)のような拡散炉を用いた。ただし、BNウェーハを酸化するときは、Si基板は拡散炉へは入れない。

拡散炉から取り出したSi基板の表面には、 B_2O_3 と SiO_2 の混合膜が形成されているが、基板をHF水溶液に浸して、この混合膜を除去する。HF水溶液から取り出したSi基板は、純水でよく洗ってから N_2 ガスを吹き付けて乾かす。一般に、Siの表面は疎水性であるが、上のように混合膜を除去した段階では表面は水をはじかず、親水性を示す。これは、Si基板の表面にBとSiが合金化した薄い層が残っているからである。この合金化した層は、素子の電極とSiとの間の電氣的接触に悪影響を及ぼすので、除去する必要がある。

B-Si合金層を除去するために、まず、熱酸化によりこの層を酸化膜に変える。熱酸化には、図3-6(b)に示すような酸化炉を用い、温水中をバブリン



(a) B_2O_3 が表面に付着



(b) B_2O_3 がSiと反応し、界面でBが形成される

図3-5 ほう素酸化物を用いた場合のBのSiへの拡散過程

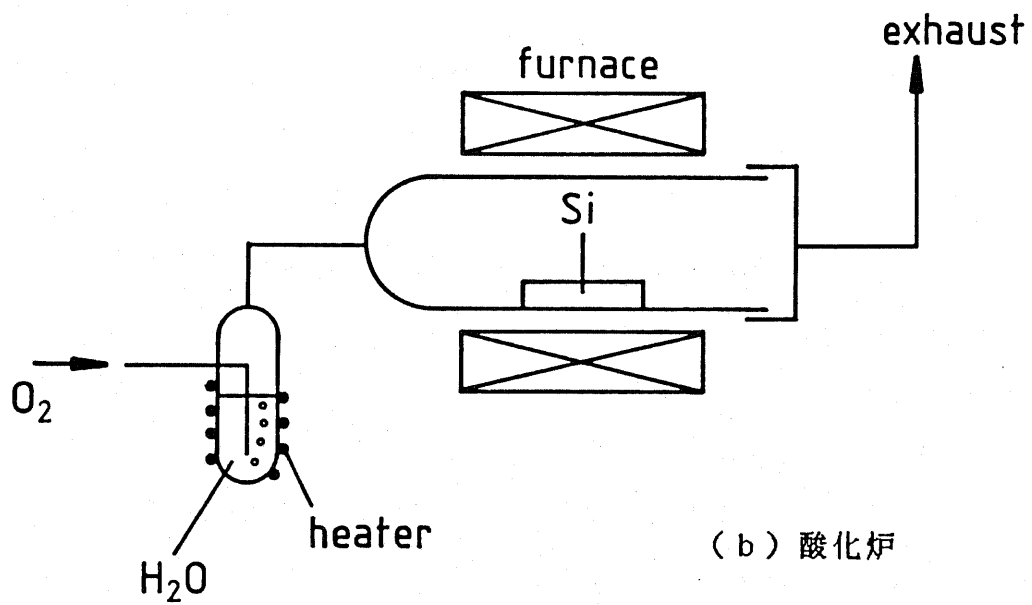
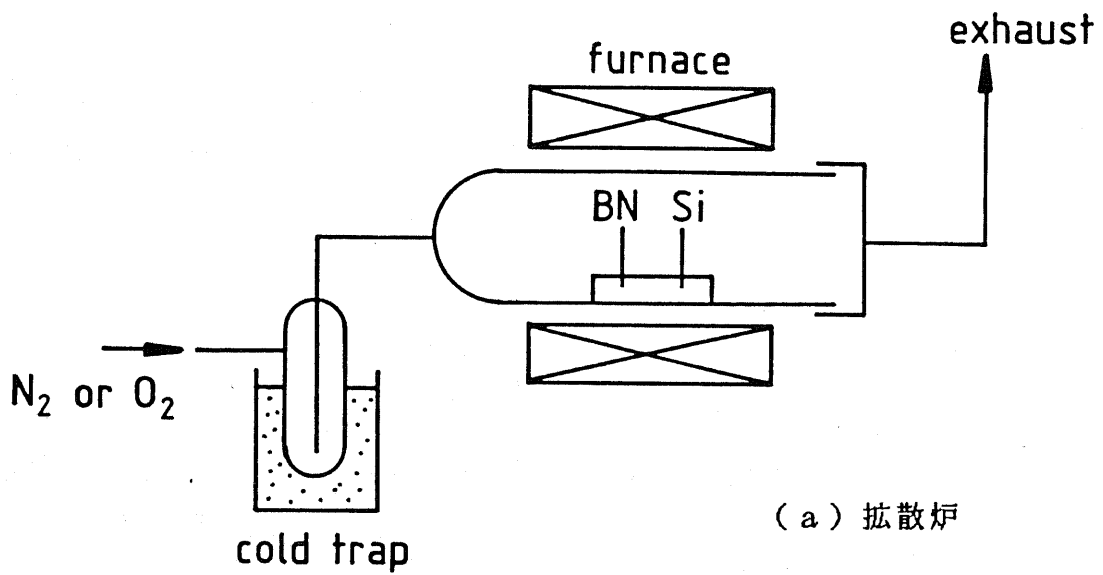


図 3 - 6 拡散炉および酸化炉の構成

ゲして湿気を帯びた O_2 ガスを酸化炉に送り込み、 $850^\circ C$ でウェット酸化した。この温度は、ほう素の拡散を行った温度($1100^\circ C$)に比べて十分低いので、拡散工程で Si 中に形成されたほう素プロファイルがウェット酸化の工程で受ける影響は、ほとんどないと考えられる。次に、基板を酸化炉から取り出し、 HF 水溶液に浸して $B-Si$ 酸化膜層を除去する。これでほう素をドーブした Si の表面が、完全に露出する。 HF 水溶液から取り出した Si 基板を、純水で洗浄する。 $B-Si$ 合金層が残っているときとは異なり Si 表面が水をはじくことから、合金層が除去されたことが確認できる。ここまでで、初めてほう素拡散の工程が終了する。なお、 BN ウェーハ表面の酸化、 Si 中へのほう素の拡散および $B-Si$ 合金層の酸化のプロセス条件を、表3-1に示した。

一般に、 Si 中に不純物が拡散する深さ x_j は、拡散時間 t に対して

$$x_j = 6\sqrt{Dt} \quad (3-1)$$

のような関係式で表されることが知られている⁴⁷⁾。ただし、 D は不純物の拡散係数である。拡散現象は原子の移動によって起こるので、高温ほどそれが促進され、したがって、この現象は温度依存性があり、拡散係数 D は温度の上昇とともに増大し、その関係は E を拡散における活性化エネルギーとすると、統計学でよく見られるように次の形となる⁴⁷⁾。

$$D = D_0 \exp(-E/kT) \quad (3-2)$$

Si 中にほう素が拡散する場合は、 $D_0 = 10.5 \text{ cm}^2 \cdot \text{s}^{-1}$

$$E = 85 \text{ kcal} \cdot \text{mol}^{-1}$$

式(3-1)と式(3-2)から、本プロセスにおけるほう素の拡散深さを計算する。拡散時間は10分間であるから $t = 60 \times 10 \text{ sec}$ 、また、拡散温度が $1100^\circ C$ でのほう素の拡散係数 D は式(3-2)から $3 \times 10^{-13} \text{ cm}^2 \cdot \text{s}^{-1}$ と計算される。これらを式(3-1)に代入すると、 $x_j = 0.8 \mu\text{m}$ が得られる。また、拡散が行われているときは、ほう素が表面に十分供給されている状態にあるので、 Si 表面でのほう素濃度は、固容度 $4 \times 10^{20} \text{ cm}^{-3}$ とほぼ同じ値になっているものと思われる。

3・2-2 電子ビーム描画

[平坦化プロセス(I)の工程(1)]

上に述べたような方法でほう素をドーブした Si 基板の表面に、レジストを塗

ガス	d r y O ₂
流量	1 l / m i n
酸化温度	1 1 0 0 ℃
酸化時間	3 0 m i n

(a) B N 酸化条件

ガス	d r y N ₂
流量	1 l / m i n
拡散温度	1 1 0 0 ℃
拡散時間	1 0 m i n

(b) B 拡散条件

ガス	O ₂ + H ₂ O
流量	1 l / m i n
酸化温度	8 5 0 ℃
酸化時間	1 5 m i n

(c) B - S i 合金層酸化条件

表 3 - 1 B N 酸化、B 拡散、B - S i 合金層酸化の
プロセス条件

布して、細線のステンシルを形成する。素子の電極間隔を決定するのがこの細線の線幅であるから、これは線幅が $0.1\ \mu\text{m}$ 前後の極めて細い線である必要がある。線幅 $0.1\ \mu\text{m}$ をフォトリソグラフィで実現するのは、事実上不可能であるから、本プロセスではナノメータパターン用の電子ビーム描画装置（日本電子、JBX-5DS）を用いた。この電子ビーム描画装置の構成を、図3-7に示した。また、装置のおもな仕様を、表3-2に示した。

電子ビームリソグラフィによるレジスト形成では、入射した電子のレジスト中での散乱および基板から反射してきた電子の後方散乱が、分解能を決定する要因であることが知られている。これらの散乱を抑えるために、電子ビーム用レジスト/Ge/有機膜からなる3層のレジストを用い、線幅 $0.1\ \mu\text{m}$ 以下のパターンを実現した例が報告されているが⁴⁸⁾⁻⁵⁰⁾、レジスト・ステンシルを形成するためには、電子ビーム露光・現像後に、RIEを用いた2段階のエッチングを行うので、かなり複雑な工程になってしまう。

本プロセスでは、なるべく複雑な工程を避けるため、3層レジストは用いず電子ビーム用のレジスト1層のみでステンシルの形成を行った。したがって、Si基板からの電子の後方散乱によるパターンの広がり避けられないが、後のリフトオフプロセスに支障がない範囲でレジスト膜厚を薄くすることにより、入射電子のレジスト中での散乱の影響は、ある程度抑制することができる。1層レジストを採用している限り、3層レジストによる加工法ほどの分解能は期待できないが、 $0.1\ \mu\text{m}$ 前後の寸法を実現することは1層レジストでもプロセス条件の選び方次第では可能である。

電子ビーム用のレジストとして、東京応化工業のOEBR-1000（物質名はPMMA：polymethylmethacrylate）を用いた。PMMAは、高解像度用の標準的なポジ型電子ビームレジストとして知られている。OEBR-1000に関する分析値を表3-3に示した。スピナーを用いて、基板にOEBR-1000を塗布する。OEBR-1000は、表3-3に示したような濃度ではスピナーの回転数をかなり上げて、たかだか $0.4\ \mu\text{m}$ くらいまでしか薄くならない。しかし、前にも述べたように、入射電子のレジスト中での散乱を抑えるためには、レジスト膜厚を薄くして入射電子のレジスト中の行程を短くすることが望ましい。そこで、OEBR-1000をトリクレンと2：1の体積比で混合し、薄めたも

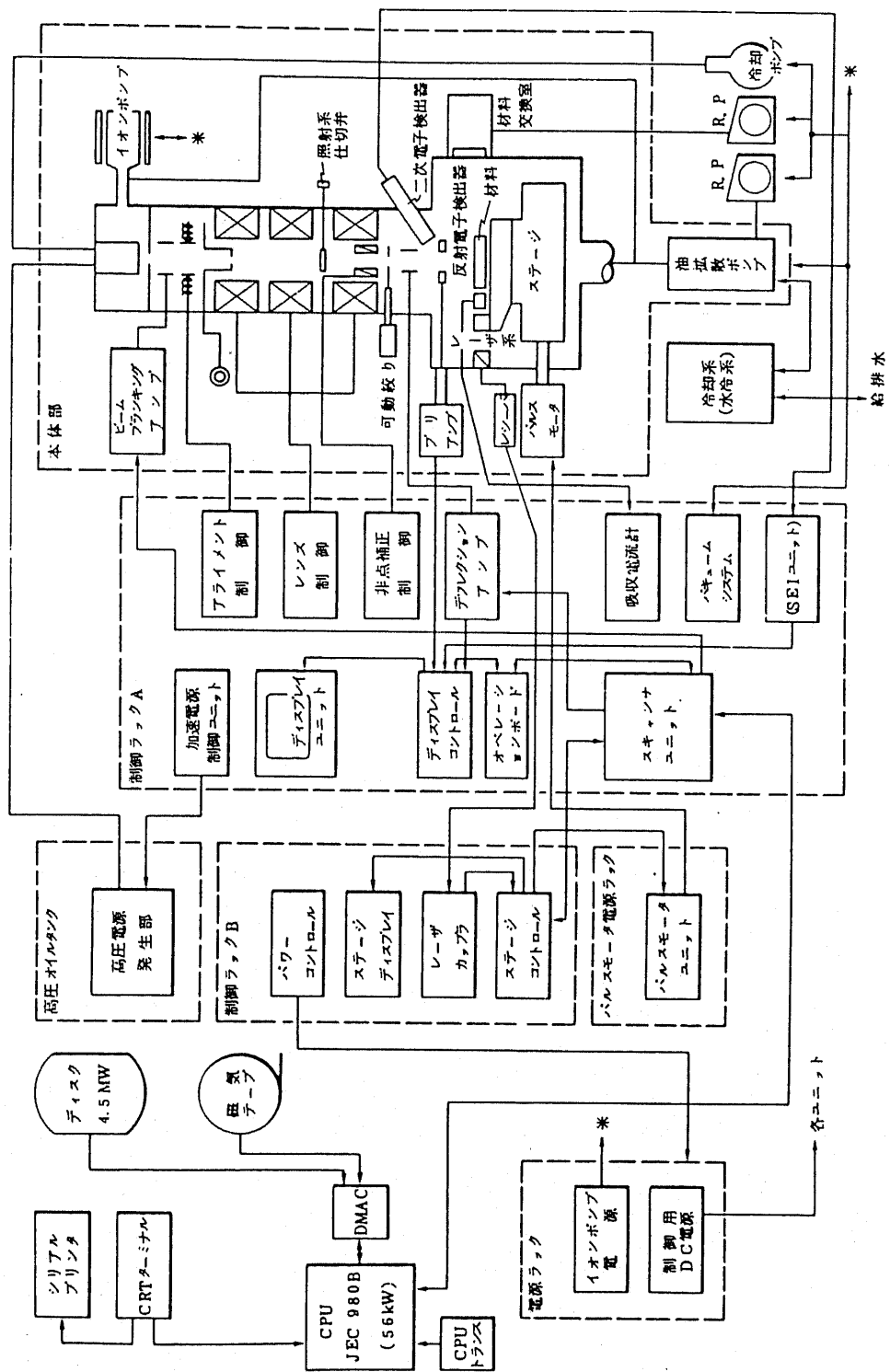


図3-7 電子ビーム描画装置の構成

描画方式	ベクトル・スキャン方式
加速電圧	25 kV
電子ビーム径	100 Å
走査フィールド	100 μ m \times 100 μ m
走査ピッチ	6.25 nm
走査スピード	最小0.5 μ s / ステップ

表 3 - 2 電子ビーム描画装置の主な性能

分子量	9 万 \pm 1 万
分散度	1.5 以下
粘土	30 \pm 2 (c p)
濃度	12.0 \pm 0.5 (%)

表 3 - 3 電子ビーム用レジスト OEBR-1000 の
分析値 (東京応化工業カタログより引用)

のをういた。スピナーの回転数を5000rpmとして、この薄めたレジストを基板に塗布した。これを、170℃の空气中で20分間プリバークすると、膜厚0.25~0.3μmのPMMA膜が形成される。

図3-7に示した電子ビーム描画装置を用いて、電子ビーム露光を行う。いろいろな露光条件でテスト露光を行った結果、表3-4に示すような露光条件を選んだ。このような露光条件で描画した細線パターンに加えて、1μm×60μmの長方形パターンを描画した。この長方形パターンは、後の各工程で表面を顕微鏡観察するためのマーカーとして用いる。

電子ビーム露光した基板をOEBR-1000用の専用現像液（酢酸エステル）に3分間浸し現像する。現像液から基板を取り出し、N₂ガスを吹き付けて、基板表面に付着している現像液を吹き飛ばす。現像液に用いた酢酸エステル類は速乾性なので、特にリンスを行う必要はない。また、すぐ次の工程でリフトオフを行うので、ポストバークをする必要もない。

3・2-3 A1蒸着とリフトオフ [平坦化プロセス(Ⅰ)の工程(2)]

電子ビーム描画を用いて形成されたステンシル上に、工程(3)でRIEによるSiのエッチングをするときに用いるマスクとなる材料を蒸着する。マスク材料として必要な条件として、次のようなことがあげられる。

- ①RIEでSiをエッチングするときに、Siのエッチング速度に対して十分エッチング速度が遅い。すなわち、RIEにおけるエッチング選択性が良い。
- ②基板との密着性が良い。密着性が悪い材料を蒸着した場合は、リフトオフした時に基板からはがれてしまうことが多い。
- ③融点の高い材料は望ましくない。融点が高いと、レジスト上に付着するときにレジストが熱で損傷を受け、ステンシル形状が変形する、リフトオフ時にレジストが剝離できなくなるなどのトラブルが発生するからである。
- ④室温で化学的に安定な物質である。

SiのRIEには、CF₄などのフッ素系の反応ガスが一般に用いられているが、フッ素系のガスを用いたRIEのエッチング速度は、おおよその目安として、その材料のフッ素化合物が不揮発性であるような物質ほど遅いと考えられる。Au、Cu、Alなどはこのような性質の物質であり①の条件を満たすし、融点も比較

露光モード	シングル・スキャン
ビーム電流	160 pA
ドーズ量	2 ~ 16 nC / cm

表 3 - 4 細線部の電子ビーム露光条件

的低く室温では化学的にも安定であるので、③、④の条件にも適する。しかし、Au、Cuは基板との密着性はあまり良くなく、②の条件には適さない。これに対して、Alは、基板との密着性は基板の材料にもよるが、SiやSiO₂に対する密着性は非常に良い。このような考察から、本プロセスではSiのRIEにおけるマスク材料としてAlを用いることにした。

Alの蒸着は、汎用の抵抗加熱蒸着装置を用いて行った。この装置の排気系は、油回転ポンプ、油拡散ポンプからなり、到達真空度は 2×10^{-4} Paである。また、蒸着源のヒーターは、アルミナでコーティングを施したバスケット形のヒーターを用い、ワイヤー状のアルミニウムを細かく切ってこのヒーターに入れる。PMMAのステンシルを形成した基板の表面を蒸着源と向い合わせ、基板と蒸着源を結ぶ線が基板に垂直になるように基板の位置を調整して、基板をホルダーに固定する。このように基板の位置を調整し、Alがステンシルに入射するときの垂直方向性を高めることは、リフトオフ工程では重要である。基板に隣接して膜厚計を据え付け、蒸着中の膜厚が随時モニターできるようにしておく。Al蒸着時の蒸着速度は、 0.2 nm/sec となるように調節し、Alを40 nm蒸着した。

蒸着後、蒸着装置から基板を取り出し、速やかにアセトンに浸してリフトオフを行う。基板をアセトンに浸すと、Si表面と蒸着したAl膜との間のレジストにアセトンがまわりこんでレジストを溶かしていくが、面積が広くしかもレジストの膜厚が薄いため、アセトンが基板全面にまわりこむには、20分くらいの時間を要するようである。この間、基板をアセトンに浸したまま放置しておく。アセトンが基板全面にまわりこんだら、容器をゆっくりと揺すって、Al膜を少しずつ剥離させていく。ほぼ全面のAl膜がアセトン溶液中に浮かび上がったら、数回アセトンを交換してすすぎ、アセトン溶液中に漂うAl膜がないようにする。さらに、アセトンおよびエタノール中で数分間ずつ緩く超音波洗浄を行い、基板表面に残っているAl膜の破片を取り除く。アセトンが基板全面にまわりこむ前に無理やり超音波洗浄を行ってリフトオフしようとする、ステンシル形成した細線部のAlがはがれてしまったり、レジスト上のAlが膜の形ではなく細かい破片となってはがれ、Si基板表面に付着したままになってしまうなどのトラブルが起こるので、アセトンが全面にまわりこむまでしばらく放置しておくことは

重要である。

3・2-4 SiのRIE

[平坦化プロセス(Ⅰ)の工程(3)]

工程(2)で形成されたAlの細線をマスクとして、Siのエッチングを行い、リッジを形成する。反応性イオンエッチング(reactive ion etching: RIE)は、半導体製造技術、とりわけシリコンの集積回路製造技術の微細化の動きと密接な関係を保ちながら発達してきたエッチング技術であり、特にエッチングが異方性を持つことが最大の長所である。したがって、従来の化学溶液を用いたいわゆるウェットエッチングでは実現困難なサブミクロンパターンをSiやSiO₂上に形成するのに適している。

用いた反応性イオンエッチング装置(日電アネルバ、DEM-451)の構成を図3-8に示す。本装置は、いわゆる陰極結合型であり、高周波電力(周波数13.56MHz)がマッチングボックスを介して、試料の置いてある陰極へ供給される。陽極は、接地されている。チェンバー内部の金属部分は、すべてステンレス鋼(SUS304)製であり、陰極と陽極の間はテフロンによって絶縁されている。排気系は、油回転ポンプおよび油拡散ポンプからなり、到達真空度は、 3×10^{-3} Paである。反応ガスの流入は、質量流量制御装置(Mass Flow Controller: MFC)によって制御する。エッチング時は、油拡散ポンプを差動排気で用いることによって反応ガスの圧力を調整する。

SUS304製のカソードになんらの被覆を施さないままSiのRIEを行うと、スパッタによりSUS電極からたたき出されたFe、Cr、Ni、などの金属原子がSi表面を汚染する。このような金属汚染を防ぐために、RIEの工程ではカソード電極を必ず熔融石英板で被覆した。RIEで表面をエッチングしたn型SiにプラズマCVD(5・4参照)でSiO₂膜を堆積しAl電極を蒸着して作製したMOSダイオードのC-V特性を測定した結果を、RIEのカソード電極を被覆しない場合とした場合で比較したのが、図3-9の(a)と(b)である。カソード電極を被覆しない場合、図3-9(a)のように、金属汚染によって発生した大きな界面準位にpinningされてMOSダイオードの反転が起こらない。一方、熔融石英板でカソード電極を被覆した場合は、図3-9(b)のようにMOSダイオードが反転している。本研究で対象としている素子はSiを用い

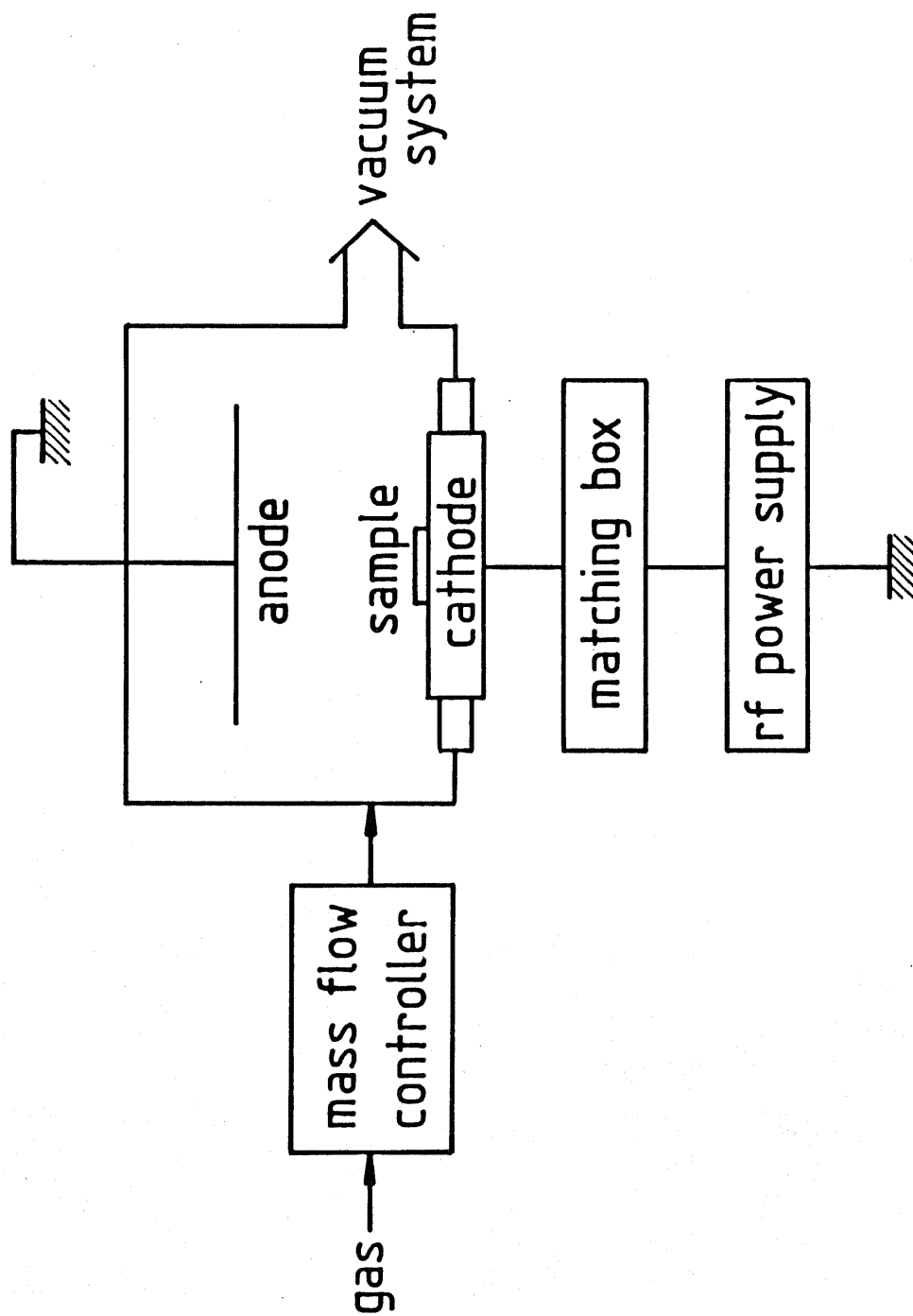
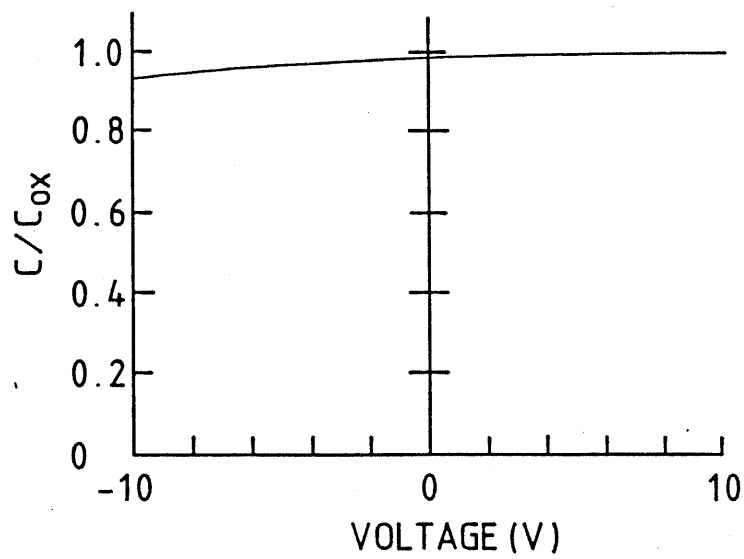
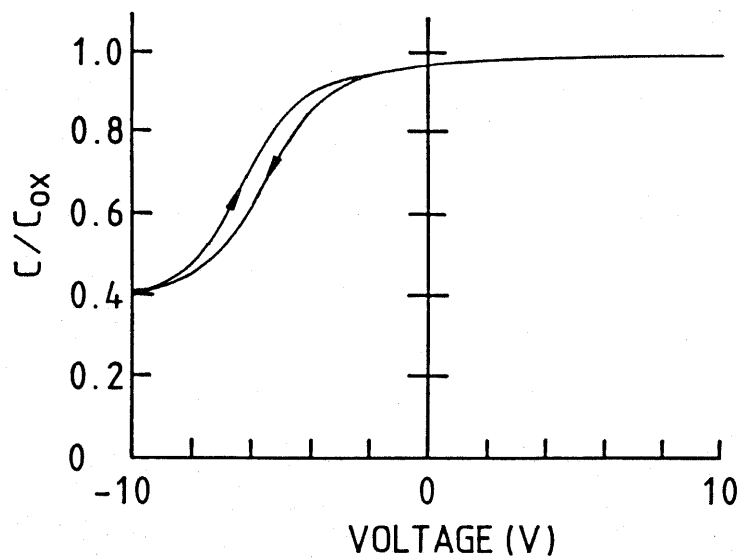


図 3-8 反応性イオンエッチング (RIE) 装置の構成



(a) カソード電極を被覆しなかった場合



(b) カソード電極を被覆した場合

図3-9 MOSダイオードのC-V特性

SiO₂堆積前にSi表面をRIEでエッチングする

RIEの条件は、CF₄ガス、10Pa、0.5W/cm²、30sec

た素子であり、特に電界効果型の三端子素子への応用を考える場合には、Si 表面の汚染に注意を払う必要があり、このようにRIEによるエッチング時にカソード電極の被覆を行うことは重要である。

SiのRIEには、反応ガスとして CF_4 が一般に用いられている。本プロセスでも CF_4 をSiのエッチングに用いた。RIEは、垂直方向の異方性エッチングが実現できることが特長であるが、放電ガスの圧力が高いとエッチングが等方的になることが知られている。これは、圧力の高い放電でできる反応種は、主としてFラジカルであり、かつその運動方向は放電雰囲気中の圧力が高くラジカルの平均自由行程が短いためランダムであり、Si表面にあらゆる方向から入射する。したがってエッチング反応は等方的に起こり、断面構造はマスクの下にもまわりこんだ形となる。これに対し圧力が低いと、主たる反応種は F^+ イオンとなり、中性のFラジカルは少なくなる。イオンはプラズマの浮遊電圧と基板間の電位差で加速されて基板表面に入射するため、反応種のまわりこみはなく、かつ物理的スパッタリングの効果も加わるため、マスクのパターンが正確に基板に転写できるようになる。しかし、放電ガスの圧力を低くすると、スパッタリングの効果が増大するために、マスクとして用いるAlのエッチング速度が急激に増加し、Siとのエッチングの選択比が劣化することになる。そこで、ガスの圧力をある程度最適化することが必要となる。

CF_4 ガスの圧力を1Paから10Paまでの範囲で設定して、Al細線をマスクとしたSiのRIEによるリッジの形成を試み、エッチング形状とAlマスクのRIE耐性を調べた結果、ガスの圧力を4Paに選んだ。これより、実際の素子作製では表3-5のようなプロセス条件でSiのエッチングを行った。この条件でのSiのエッチング速度をあらかじめ調べておき、それをもとにエッチング時間を決めることにより、Siのエッチング深さを200nmとした。

SiのRIEを行った後、マスクとして用いたAlをHF水溶液に浸して除去する。Alは、塩酸やリン酸など各種の酸に溶けるが、HF水溶液に浸すことによって、次のNb蒸着の工程に備えてSi表面の前処理も行うことができる。このようにNb蒸着の直前にSi表面の前処理を行うことは、Nb・Si間のelectronicな接触を得るためには重要である。

反応ガス	CF_4
ガス圧力	4 Pa
ガス流量	40 sccm
高周波電力密度	0.5 W/cm ²
エッチング速度	
Si	230 nm/min
Al	20 nm/min

表 3-5 Si の R I E のプロセス条件

3・2-5 Nb/Al/Nbの蒸着 [平坦化プロセス(Ⅰ)の工程(4)]

素子の超伝導電極となるNb、および平坦化プロセスの途中でマスク材料として用いるAl、Nbを蒸着する。Nb薄膜の製法として利用されている方法は、高周波スパッタ法と高真空蒸着法がある。高周波スパッタ法は、真空を掃引したチェンバーに1Pa程度のArガスを導入し、ディスク状のNbターゲットに高周波電圧を印加して放電を起こし、rfスパッタによりNb薄膜を基板に形成する方法である。高周波スパッタ法の長所としては、基板との密着性に優れた膜が得られ、生産性を高めるのが容易な点が挙げられる。一方、高真空蒸着法では、数kW程度のE形電子銃により 10^{-5} Pa以下の真空度でNbを蒸着する。本プロセスでは、高真空蒸着法を用いてNb薄膜の形成を行った。いずれの方法で作製したNb薄膜でも、膜質が膜の厚さに依存することが知られており、特に膜厚が100nm以下では、膜質が急激に劣化する。このように膜質が膜厚依存性を持つのは、膜の成長と共に膜の結晶性が改善されていくためと考えられる。ある程度 of 良好な膜質を保つために、超伝導電極となるNb薄膜の厚さを150nmとした。

Nb薄膜の蒸着には、2kW、4kVのE形電子銃を持つ高真空蒸着装置(日電アネルバ、VI-43N)を用いた。排気系は、ソーブションポンプ、ターボ分子ポンプ、イオンポンプからなるオイルフリー、ベーキング可能なシステムである。到達真空度は、 2×10^{-5} Paである。基板を固定したホルダーに隣接して膜厚計を据え付け、膜厚をモニターする。ホルダーには、Siのリッジを形成した基板と並べて、100nmの熱酸化膜を形成したSi基板を取り付け、素子作製の基板と同時にNbを蒸着する。100nm程度の厚さのSiO₂膜は、濃い青色の干渉色を呈しておりNb膜とは全く異なった色なので、後の工程でNbをエッチングする際にこの基板も同時にエッチングすることにより、エッチングの終点検出を行うことができる。基板をセットしたらチェンバーのベーキングを行って真空度が 2×10^{-5} Paに達するまで真空を掃引する。ここで、チェンバー内にArガスを導入し1Paにガス圧力を設定し、基板が固定されているホルダーに高周波電圧を印加して放電を起こし、Si表面のスパッタクリーニングを行った。このときの高周波電力は100Wで、放電時間は10分間とした。この後、再び真空を掃引してから電子銃でNbソースを溶かして蒸着を行う。蒸着時

の真空度は 5×10^{-5} Pa、蒸着速度は 0.2 nm/sec であった。

超伝導電極となる Nb 薄膜 (150 nm) に続けて蒸着する Al 薄膜は、後の工程で下の Nb 薄膜を CF_4 ガスを用いた RIE によりエッチングするときのマスクとなる。このエッチングは、工程 (2) のような異方性エッチングを要求しないので、放電ガス圧を低くする必要はなく、物理的スパッタの効果は余りない。したがって、Al と Nb のエッチング選択比は十分保つことができるので、Al の膜厚はかなり薄くてもかまわない。Al の膜厚は 20 nm とし、汎用の抵抗加熱蒸着装置で蒸着した。

Al 薄膜の上にさらに蒸着する Nb 薄膜は、ウェットエッチングにより Al 薄膜にパターンを転写するためのマスクとして用いる。マスク材料として Nb を選んだのは、Al のエッチャントとして用いられるリン酸系の混酸 (3・2-8 参照) に対して Nb が耐性を持つからである。膜厚は特に厚くする必要がないので 20 nm とした。前に述べた高真空蒸着装置を用いて蒸着した。蒸着時の熱による下層の Al との反応をなるべく抑えるため、蒸着速度を 0.1 nm/sec まで下げた。超伝導電極用の Nb を蒸着したときと同様に、後の工程で Nb のエッチングの終点検出を行うために、 SiO_2 上に同時に Nb を蒸着した。

3・2-6 ポリマーの塗布

[平坦化プロセス (I) の工程 (5)]

リッジの形成によって凹凸のできた表面を、ポリマーを塗布することにより平坦化する。ポリマーの材料として各種のレジストを塗布して後のプロセスを試みたが、概して CF_4 ガスによる RIE の際のエッチング速度が、Nb に比べてかなり速いことがわかった。そこで、調べた材料の中で CF_4 ガスを用いた RIE によるエッチング速度が最も遅かったシブレイ社のマイクロポジット 1400 シリーズ (ポジ型フォトリジスト) を、実際のプロセスで用いた。レジストの厚さは、あまり薄すぎると平坦化ができない。逆に、あまり厚すぎると、次の工程で O_2 プラズマによりレジストを途中までエッチングしてリッジ部の頭出しを行う際に、レジストのエッチング時間が長くなって基板面内でのエッチング速度の分布が顕著に現れるようになり、均一なエッチングができなくなる。そこで、レジストの厚さをいろいろ変えて比較を行い、 300 nm 付近に最適値があることがわかった。

レジストの厚さは、シンナーと混合し濃度を変えることとレジスト塗布時のスピンの回転数を調整することにより設定することができる。シブレイ・ファースト社から購入したマイクロポジット1450Jを専用のシンナー液と1:1に混合したものを、スピン回転数4000rpmで基板に塗布し、90℃の空気中で30分間ベーキングする。これで300nmの厚さのポリマーで基板表面が平坦化される。この段階で、光学顕微鏡で基板表面を観察すると、工程(3)で形成したマーカ部(幅1μmのシリッジ部)でポリマー膜厚が薄くなって、干渉色がまわりの色と異なっているのが確認できる。

3・2-7 リッジ部の頭出し

[平坦化プロセス(I)の工程(6)]

O₂ガスを用いたRIEによりポリマーを少しずつエッチングしてゆき、ポリマーの層からリッジ上部が露出した時点でエッチングを停止する。これをリッジ部の頭出しと呼ぶことにする。RIEの条件を常に一定に保っておけば、エッチング時間を計測することにより、エッチングを停止する時点を検出することはある程度可能であるが、実際にプロセスを行ってみると、このタイミングはかなり微妙であり、エッチング時間だけを頼りにしてリッジ部の頭出しをするのは難しい。

そこで、ポリマーの干渉色の変化を利用することを試みた。このプロセスで用いているポリマーのように無色透明な膜が鏡面状の基板の上に形成されている場合、膜の表面から反射する光と、膜を通過して基板との境界面から反射する光との間には2dn(d:膜厚、n:屈折率)の光路差があり、このふたつの光が干渉すれば

$$2dn = (2k - 1)\lambda / 2 \quad (k: \text{整数}) \quad (3-3)$$

の条件を満足する波長λの光は強度が零になる。このような試料を白色光のもとで見ると、表面色はこの干渉した波長の光が欠けた補色を示す。したがって、ポリマーの表面色の変化を膜厚の変化に対応させることができる。

エッチングする前の段階では、このポリマーは赤色を呈している。O₂プラズマでポリマーをエッチングしていくと、膜厚の減少に伴ってその表面色は、赤→だいだい→黄→緑→青→紫の順に徐々に変化していくのが観察できる。ここまでは二次の干渉色であり、さらにエッチングを続けると一次の干渉色となって、赤色から紫色まで再び同じ順序で表面色が変化する。ポリマーをどれだけエッチング

した段階でリッジ部の頭出しができるのかを調べるために、エッチング時間を数段階に変えてR I Eを行い、各段階での基板表面の状態を光学顕微鏡で観察した。特に、マーカー用の幅 $1\ \mu\text{m}$ のリッジを観察することにより、リッジ部の頭出しができるのはポリマーの表面色が一次の青色の干渉色を呈した時点であることがわかった。これを実際の膜厚に換算すると、このときのポリマーの残りの膜厚は約 $150\ \text{nm}$ である。したがって、リッジ部の頭出しを行うにはチェンバー中の基板表面のポリマーの干渉色をビューポートから目視によって観察しながらポリマーのエッチングを行い、一次の青の干渉色を呈した時点で即座にエッチングを停止すればよい。R I Eのプロセス条件を表3-6に示した。高周波電力を低く設定したのは、ポリマーのエッチング速度を抑えエッチング停止時点の再現性を向上させるためである。なお、Nbは O_2 ガスによるR I Eではエッチングされない。

3・2-8 マスク用NbおよびAlのエッチング

〔平坦化プロセス（I）の工程（7）、（8）〕

上に述べた方法で O_2 ガスを用いたR I Eによりポリマーをエッチングした後、基板をR I E装置から取り出し、基板表面を光学顕微鏡で観察して、リッジ部の頭出しが完了したことを確認する。次に、再びR I Eを用いてリッジ部のマスク用Nb薄膜の層をエッチングする。反応ガスは CF_4 を用いる。工程（4）でNbを蒸着したときに SiO_2 上に同時に蒸着したNbを、R I Eの終点検出に用いる。エッチング中に、R I E装置のビューポートを通して SiO_2 上のNbを観察すると、Nbのエッチングが完了した瞬間に青色の下地（ SiO_2 ）が現れるのが確認できるので、目視によって容易にNbエッチングの終点が検出できる。表3-7にR I Eのプロセス条件を示す。ポリマーのエッチング速度はかなり速いので、Nbエッチングが終点に達した時点では、リッジ部以外の領域で残っていたポリマーの膜は既に完全にエッチングされてしまっていて、ポリマー下層のNb薄膜がエッチングされ始めている。このNb薄膜は、次のAlウェットエッチングの工程でマスクとして用いるので、薄くでも残しておかなければならない。したがって、Nbエッチングの終点を検出したら即座にエッチングを停止し、不必要なエッチングを避けることが非常に重要である。エッチング終了後に光学顕微鏡で

反応ガス	O_2
ガス圧力	3 Pa
ガス流量	30 sccm
高周波電力密度	$0.16 W/cm^2$
エッチング速度	$\sim 300 nm/min$

表 3-6 ポリマーのRIEのプロセス条件

反応ガス	CF_4
ガス圧力	3 Pa
ガス流量	30 sccm
高周波電力密度	$0.33 W/cm^2$
エッチング速度	
Nb	$40 nm/min$
ポリマー	$\sim 300 nm/min$

表 3-7 Nb (20 nm) のRIEのプロセス条件

基板表面を観察すると、マーカー部にA lの層が露出しているのが確認できる。

続いて、リッジ部A lのエッチングを行う。A lは、濃硝酸に対しては不動態を形成するが、その他のほとんどの酸に溶ける。本プロセスでは、表3-8に示すような混合比のリン酸系のエッチャントを用いた。Nbはこのエッチャントには溶けないので、A l薄膜上に残っているNb薄膜のパターンがマスクの役割を果たす。A lに対するエッチング速度は、約60 nm/minであり、かなり遅い。時間を計測してエッチングの終了時点来判断する。A lの膜厚は20 nmであるから、エッチング時間が約20秒でジャストエッチとなる。ウェットプロセスであるため、マスク下へのエッチングのまわりこみが起こるが、エッチング速度が遅いのでジャストエッチの時点より数秒長い時間エッチングを続けても、まわりこみの寸法は素子作製上問題になるほど大きくはならない。エッチャントから取り出したら、十分に純水で洗浄を行う。光学顕微鏡で基板表面を観察し、マーカー部のA lが除去されたことを確認する。

3・2-9 電極用NbのRIEおよびA lマスクの除去

[平坦化プロセス(I)の工程(9)、(10)]

リッジ上部に露出した厚さ150 nmのNbをCF₄ガスを用いたRIEによりエッチングする。リッジ部以外の領域は、前の工程でA lエッチングのマスクに用いたNbの薄い層に覆われているが、このNb層はエッチングを始めてからごく短い時間で完全に除去されてしまう。しかし、その下層のA lは、CF₄ガスのRIEではほとんどエッチングされないので、本工程ではマスクとして用いられる。この工程のRIEでは、垂直異方性の強いエッチングは必要ないので、A lマスクとNbとのエッチング選択性を向上させるために、放電ガス圧の高い領域でエッチングを行った。RIEのプロセス条件を表3-9に示す。工程(4)でNb 150 nmを蒸着したときにSiO₂上に同時に蒸着したNbを、本プロセスで同時にエッチングすることにより、エッチングの終点検出を行う。エッチングした後に、基板をRIE装置から取り出して光学顕微鏡でマーカー部を観察し、Nbが完全にエッチングされたことを確認する。

最後に、マスクとして用いたA lをウェットエッチングにより除去する。このときも表3-8に示したリン酸系の混酸をエッチャントに用いる。CF₄プラズマ

物質名	濃度（体積％）
リン酸	75
酢酸	15
硝酸	5
水	5

表3-8 Alエッチャント混合比

反応ガス	CF ₄
ガス圧力	10Pa
ガス流量	40sccm
高周波電力密度	0.5W/cm ²
エッチング速度	
Nb	180nm/min
Al	<10nm/min

表3-9 Nb（150nm）のRIEのプロセス条件

に数十秒以上さらされたA1は、表面が炭素化合物によって薄く覆われていてエッチングされにくくなっているため、エッチング時間を長くする必要がある。エッチング時間は5分間とした。エッチング後は基板を純水で十分洗浄し、N₂ガスを吹き付けて基板に付着した純水を吹き飛ばし、よく乾かす。以上で、図3-4に示した平坦化プロセス(I)が完了する。

3・2-10 電極のパターニング

平坦化プロセス(I)によりプレーナ構造を形成した後、超伝導電極のパターニングを行う。電極パターンは、1mm×1mmのパッド4つ(電流端子用2つ、電圧端子用2つ)と長さ2mm幅30μmのリード電極からなる。電極パターンを図3-10に示す。パターニングは、通常のフォトリソグラフィによって行う。ポジ型フォトリソ(シブレイ社、マイクロポジット1450J)をスピン回転数4000rpmで基板に塗布し、90℃の空气中で30分間プリバークした後露光・現像を行う。ポストバークは行わない。レジストに形成した電極パターンをマスクとして、CF₄ガスを用いたRIEによりマスクに覆われていない領域のNbをエッチングして、電極のパターニングを行う。RIEのプロセス条件を表3-10に示す。CF₄ガスを用いたRIEでは、高い高周波電力でエッチングを行うとプラズマからの熱を受けて、レジストが変質し、剝離できなくなってしまうというトラブルが発生しやすいので、高周波電力は極力低い値でエッチングを行うことが重要である。Nbエッチングの終点検出は、平坦化プロセス(I)の工程(9)と同様の方法で行うことができる。エッチングの後、フォトリソトはアセトンに浸して容易に剝離できる。

以上が、Si結合プレーナ形ジョセフソン素子の作製プロセスである。素子作製後に、走査型電子顕微鏡(scanning electron microscope: SEM)を用いて、ジョセフソン接合部を観察した。図3-11に、接合部のSEM写真を示した。超伝導電極間隔Lは、平坦化プロセス(I)の工程(1)における電子ビーム描画のドーズ量に対応して50~300nmの範囲のものが得られた。図3-11(a)はL=50nmの接合、(b)はL=140nmの接合をそれぞれ示している。SEMを用いて、接合部に沿って詳しく観察を行い、接合部にエッチング

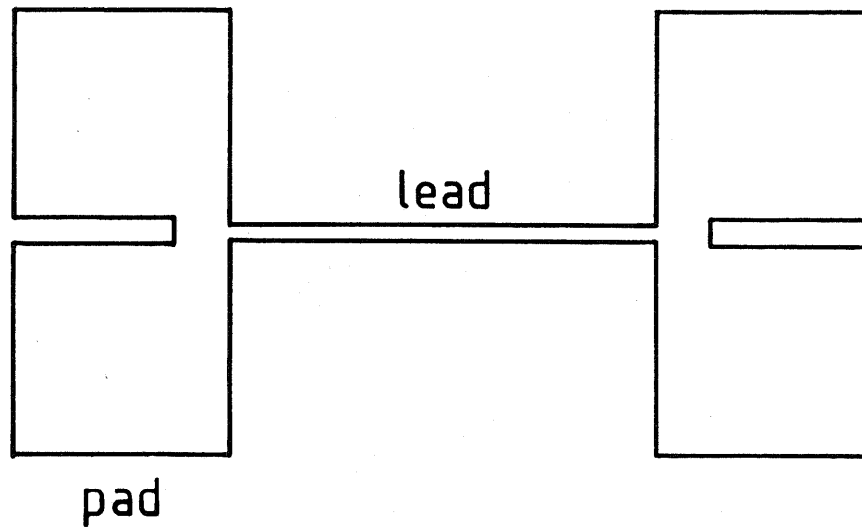
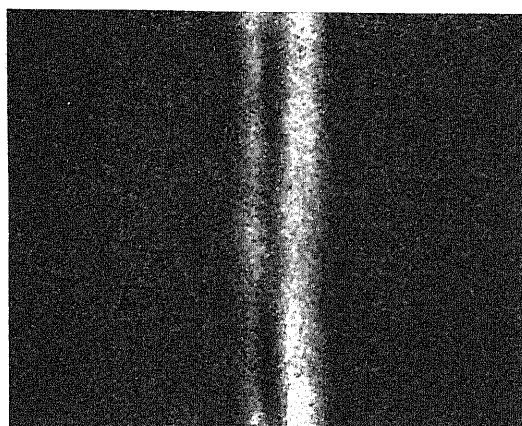


図 3 - 1 0 電極パターン

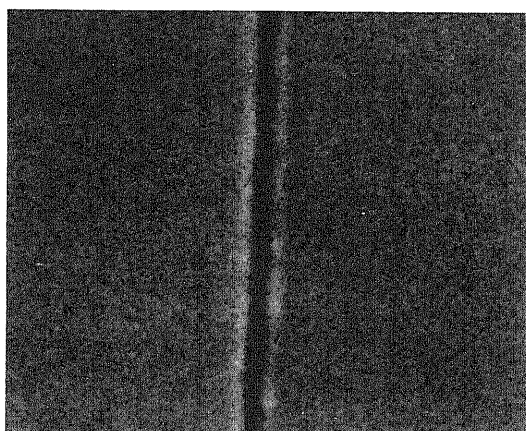
反応ガス	CF_4
ガス圧力	3 Pa
ガス流量	30 sccm
高周波電力密度	0.08 W/cm ²
エッチング速度	20 nm/min

表 3 - 1 0 Nb 電極パターンニング R I E の
プロセス条件



1 μm

(a) 電極間隔 50 nm



1 μm

(b) 電極間隔 140 nm

図 3 - 1 1 接合部の SEM 写真

されずに残っているようなNb残査がないことを確認した。

3・3 作製した素子の特性

前節で述べたプロセスにしたがって作製したSi結合プレーナ形ジョセフソン素子の電流-電圧特性を測定した。測定は、電流端子と電圧端子を分離し、四端子法で行った。素子のパッド部分に数百ミクロンの大きさのインジウムの粒を押し付けて圧着し、さらにその上に先端の被覆をはいだ直径0.1mmのフォルマル銅線をのせて圧着することにより、ボンディングを行う。素子の裏面に真空グリースを塗り、測定用のホルダーに接着して素子を固定する。フォルマル銅線の反対側の先端は、ホルダーの電流および電圧端子にハンダ付けする。図3-12に電流-電圧特性の測定回路を示す。低周波の発振器を100Ωの抵抗と直列に接続し、定電流源的な動作をさせる。電圧は素子の電圧降下を直接読み取り、電流は100Ωの抵抗での電圧降下を読み取ってこれを電流に換算する。素子を取り付けたホルダーを液体ヘリウムに浸し、温度が4.2Kでの素子特性を測定する。

電極間隔Lが50nmより長い素子ではジョセフソン効果は観測されず、抵抗値10~20Ωの抵抗となったが、L=50nmの素子では超伝導電流が流れていることが確認された。電極間隔50nmの素子の4.2Kにおける電流-電圧特性を図3-13(a)に示す。素子の臨界電流 I_c は110μA、常伝導抵抗 R_N は6.5Ωであった。 $I_c R_N$ 積は、約0.72mVとなる。

ところで、電流-電圧特性測定時にジョセフソン素子に角周波数 ω_s のマイクロ波を照射した場合、素子に加わる電圧は、

$$V(t) = V_0 + v_s \cos \omega_s t \quad (3-4)$$

のように、測定時にもともと加わっていた電圧 V_0 （低周波なので直流と考えてよい）にマイクロ波 $v_s \cos \omega_s t$ が重なり合った形に表される。ところが、既に第2章で説明したように、ジョセフソン接合では二つの超伝導体中の電子の波動関数の位相差 ϕ に対して

$$I = I_c \sin \phi \quad (2-1)$$

で表される超伝導電流が流れるが、その位相差 ϕ は有限電圧状態では次の式にしたがって変化する。

$$\partial \phi / \partial t = (2e / \hbar) V \quad (2-2)$$

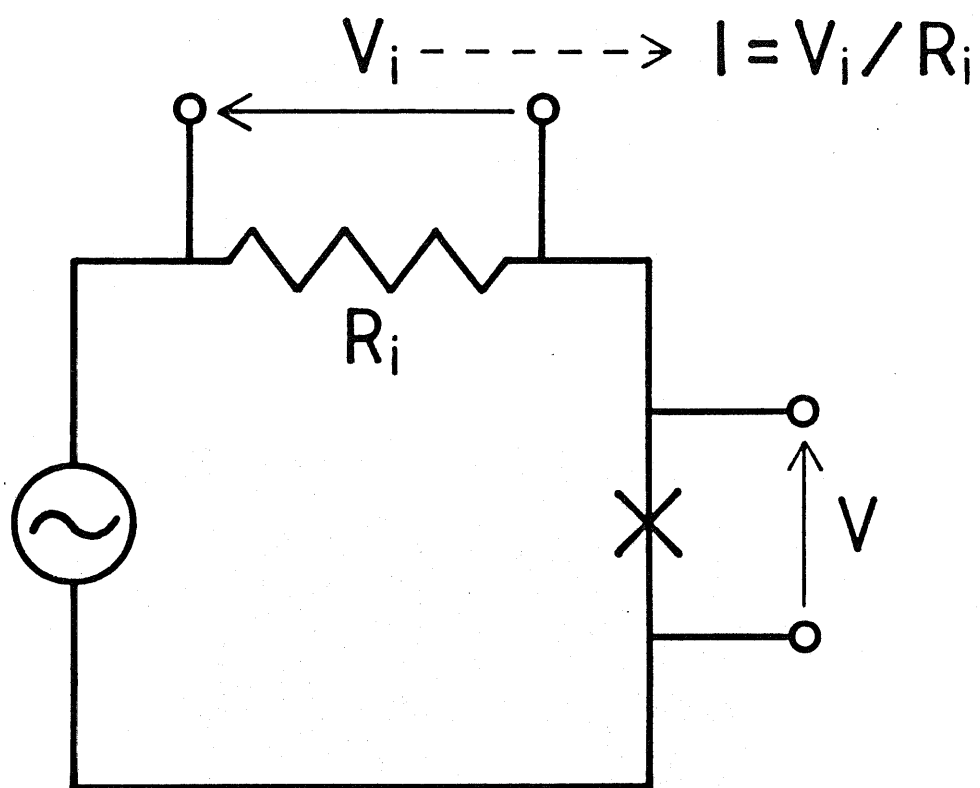
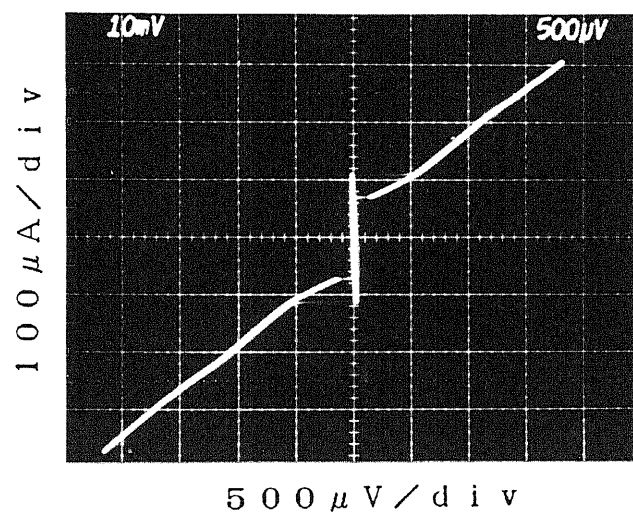
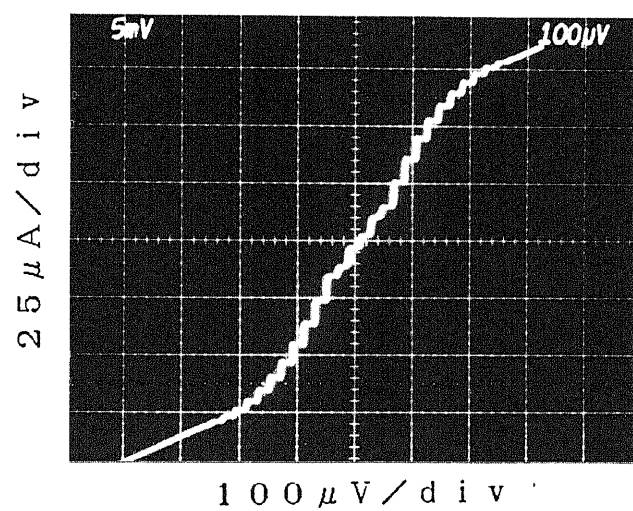


図 3 - 1 2 電流 - 電圧特性の測定回路



(a) マイクロ波を照射しない場合



(b) マイクロ波を照射した場合

図 3-13 Si 結合ジョセフソン素子の電流-電圧特性 (測定温度は 4.2 K)
電極間隔: 50 nm、電極幅: 30 μm

そこで、式(3-4)を式(2-2)に代入し両辺を t で積分して ϕ を求め、さらに求められた ϕ を式(2-1)に代入すると

$$I(t) = I_c \sin \left[(2eV_0/\hbar)t + (2ev_s/\hbar\omega_s) \sin \omega_s t + \phi_0 \right] \quad (3-5)$$

となる。 ϕ_0 は積分定数である。ここで、Bessel関数の公式を使って式(3-5)を書き換えると、

$$I(t) = I_c \sum_{n=-\infty}^{\infty} (-1)^n J_n(2ev_s/\hbar\omega_s) \times \sin \left[(2eV_0/\hbar - n\omega_s)t + \phi_0 \right] \quad (3-6)$$

が得られる。 J_n は、 n 次の第一種Bessel関数である。式(3-6)は、電圧 V_0 が、

$$V_0 = n\hbar\omega_s/2e \quad (3-7)$$

において、電流-電圧特性に電流スパイクが現れることを示している。しかし、これは電圧源モデルで考えている場合に当てはまることであり、通常はジョセフソン接合の抵抗値が小さいため電源は電流源動作に近くなり、電流-電圧特性上ではステップ状の軌跡となって現れる。一般にこれをシャビロステップと呼んでいる⁵¹⁾。シャビロステップは、接合において交流ジョセフソン効果が起こっていることを検証する手段となる。

超伝導電流が観測された電極間隔50 nmの素子に、周波数10 GHzのマイクロ波を照射した。マイクロ波の照射には、先端の数mmの内導体をむき出しにして素子に数cmの距離に近づけた同軸線を用いた。マイクロ波を照射したときの素子の電流-電圧特性を図3-13(b)に示す。13段のステップが観測され、この電圧ステップの間隔は約20 μ Vであった。これは、式(3-7)で周波数を10 GHzとして計算した電圧の値とよく一致し、シャビロステップが現れているものと考えられる。

以上、マイクロ波を照射しないときおよびマイクロ波を照射したときの電流-電圧特性から、この素子のジョセフソン効果を検証することができた。電極間隔が50 nmよりも長い素子では、ジョセフソン効果は確認できなかったが、素子の特性は作製プロセスに強く依存すると考えられるので、作製プロセスを改善することにより、もっと長い電極間隔の素子についてもジョセフソン効果が観測できる可能性がある。

3・4 むすび

電界効果型超伝導三端子素子を集積回路へ応用するために不可欠な、プレーナ形のS i 結合ジョセフソン素子を作製するための作製プロセスを確立した。超伝導電極には、Nbを用いた。また、弱結合部のS i は、不純物拡散を利用して縮退ドーピングし、キャリアの凍結を防いだ。S i を弱結合部に用いているので、電極間隔が $0.1\text{ }\mu\text{m}$ 前後の微細な構造が必要であり、電子ビーム描画やRIEなどの微細加工技術を利用して接合部を形成した。特に、凹凸のある表面にポリマーを塗布し表面を平坦化してからエッチングするという方法でプレーナ形の素子を形成することができ、このような平坦化プロセスが $0.1\text{ }\mu\text{m}$ レベルの微細加工技術に適用することが可能であることを示した。

作製した素子の電流-電圧特性の測定を測定温度 4.2 K において行った。超伝導電極間隔 L が 50 nm 、電極幅 W が $30\text{ }\mu\text{m}$ の素子では、超伝導電流が観測され、臨界電流 $I_c = 110\text{ }\mu\text{A}$ 、常伝導抵抗 $R_N = 6.5\text{ }\Omega$ 、 $I_c R_N = 0.72\text{ mV}$ であった。また、この素子に周波数 10 GHz のマイクロ波を照射したところ、13段のシャピロステップが現れた。これらのことから、この素子でのジョセフソン効果が確認された。電極間隔が 50 nm よりも長い素子では、ジョセフソン効果は観測されなかった。

素子が形成されているS i 基板の表面では、 $3\cdot 2-1$ で概算したようにほう素の拡散深さは約 $0.8\text{ }\mu\text{m}$ であり、一方、電極の厚さは $0.15\text{ }\mu\text{m}$ である。したがって、素子が形成されている深さよりもかなり深くまで導電性の層があることになる。このような深い p^+ 層は、超伝導的な結合には寄与せず、等価回路上はジョセフソン接合に並列に接続したシャント抵抗に相当する。素子の特性上は、常伝導のリーク電流として現れ、素子特性の一般的な指標である $I_c R_N$ 積を低下させる。しかし、不純物拡散の深さを浅くすることは、制御性が悪い、表面の不純物密度が十分でなくなる、などの難点があり、プロセス上難しい問題である。また、この章で述べた平坦化のプロセスは、平坦化するためのマスクとして、ポリマー、Nb、Alと3つもの層を使っており、作製プロセスが複雑になる原因になっている。次の章では、プレーナ構造を形成するためにまずポリマーを塗布して凹凸のある表面を平坦化し次にそれをエッチングするという発想は受け継ぎ

ながら、もっとこれを簡潔な方法で行うという立場に立って、作製プロセスの改良を試みる。

第4章 Si結合プレーナ形

ジョセフソン素子の作製 (II)

4・1 はじめに

前章で述べたように、ポリマーを塗布して凹凸のある表面を平坦化し、さらにそれをエッチングするというプロセスは、Si結合プレーナ形ジョセフソン素子の形成に有効であることがわかったが、素子作製プロセスの主要な部分を占める平坦化プロセス (I) がかなり複雑なプロセスであることは否めない。特にそれは、平坦化するためのマスクとして、ポリマー、Nb、Alの3つの層を使っているからである。しかし、平坦化するためにわざわざ3層のマスクを使用することを最初から考えていたわけではなく、初めは1層あるいは2層のマスクで平坦化を行うことを試みた。

まず最初は、1層のポリマーのみを平坦化のマスクに用いるプロセスを試みた。ところが、 CF_4 ガスを用いたRIEでは、ポリマーのエッチング速度はNbのエッチング速度に対して7~8倍も速く (前章の表3-7参照)、リッジ部の頭出し後のNbのRIEのマスクとして必要な耐性がポリマーにはないことがわかった。そこで次に、Al薄膜を蒸着した上にポリマーを塗布して、Alとポリマーの2層マスクを平坦化に用いる方法を試みた。ポリマーを O_2 プラズマでエッチングしてAl層の頭出しを行い、さらにポリマーをマスクにしてAlをウェットエッチングし、これをNbのRIEのマスクにしようと考えた。だが、この方法では、Alのウェットエッチングの時にマスクとして用いるポリマーが、Alエッチャントに侵されて剝離してしまうことがわかり、結局、Alとポリマーの2層マスクを用いる平坦化プロセスも失敗に終わった。

このような試行錯誤を経て結局たどり着いたのが、第3章に示したように、ポリマー、Nb、Alの3層の平坦化用のマスクを用いる平坦化プロセス (I) である。しかし、平坦化を行うために3層ものマスクを使用するような複雑なプロセスを行うと、単にプロセスステップ数が多く煩わしいというだけでなく、パターン形成の寸法精度が落ちる、作製プロセスの再現性が悪くなるなどの問題が起こってきて、結局は素子の特性にかかわる大きな問題となる。

そこで、平坦化用のマスクを1層に減らすという方針で平坦化プロセスの改良を試みた。そのためには、上で述べた1層マスクプロセスの失敗例からもわかる

ように、Nbに対するポリマーのRIEのエッチング速度の比を下げる必要がある。CF₄ガスを用いたRIEでは、エッチング条件をいろいろ変えてみても改善が見られなかったので、CF₄以外のガスを反応ガスに用いることを検討した。C₂F₆、C₃F₈、SF₆などはCF₄と同じようにFイオンやFラジカルが反応種となるフッ素系の反応ガスであるから、エッチング特性もCF₄に類似していると思われる。そこで、反応ガスの系列を変えてみるという意味で、塩素系の反応ガスであるCCl₂F₂をためしに使ってみたところ、Nbのエッチング速度がCF₄ガスを用いたときに比べて数倍速く、しかも、ポリマーのエッチング速度はCF₄のときとあまり変わらないことがわかった。このエッチング特性は、第3章のプロセスが複雑にならざるを得なかった原因を、根本的に解決してくれるものであり、Siリッジ形成・Nb電極蒸着の後に直接ポリマーを塗布してポリマー1層のみを平坦化を行うプロセスが可能になると思われる。さらに、CCl₂F₂ガスはSiをエッチングするための反応ガスとしては、CF₄ガスに比べて異方性エッチングが実現しやすいことが知られており⁵²⁾、Siリッジを形成するRIEの工程でCCl₂F₂ガスを用いることにより、断面形状がより垂直に近いSiリッジが形成できると考えられる。

本章ではまず、上に述べたようにRIEのプロセスで用いる反応ガスをCF₄からCCl₂F₂に変えることにより改善された平坦化プロセスについて述べる⁵³⁾。次に、平坦化プロセスでは、プロセスの途中でSi表面にRIEによる損傷が生じるおそれがあることを指摘し、これを防ぐための方法について論じ、実際に作製プロセスへの適用を行う。これらの作製プロセスについて説明した後、改善された作製プロセスにしたがって作製した素子の電流-電圧特性を示す。さらに、この中の一つの素子について、臨界電流I_cの温度依存性を測定した。パラメータを含んだI_c-T曲線をこの測定データにfittingさせることにより、ジョセフソン接合弱結合部Si中の超伝導電子のコヒーレンス長を求めた。最後に、この章で示した作製プロセスと第3章で示した作製プロセスの比較・検討を行う。

4・2 Si結合プレーナ形ジョセフソン素子の作製プロセス(II)

Si結合プレーナ形ジョセフソン素子の作製プロセスの改良を行った。ただし、Si基板の表面に不純物を導入する方法は、第3章と同様にほう素の拡散を利用

して行った。拡散のプロセス条件も、第3章と全く同じである。ほう素の拡散によって表面が p^+ となったSi基板上に、図4-1に示すような平坦化プロセスにしたがってプレーナ形のジョセフソン接合を形成する。この平坦化プロセスを第3章の平坦化プロセス(I)と区別するために、平坦化プロセス(II)と呼ぶことにする。以下に、平坦化プロセス(II)の各工程について説明する。用いた装置の説明は既に第3章で行っているので、ここでは省略する。なお、プレーナ構造形成後の電極のパターニングは、第3章と同様に行う。

(a) 電子ビーム描画

Si基板に電子ビーム用のレジストを塗布する。OEBR-1000を専用のシンナー液(東京応化工業より市販されている)と1:1に混合したレジストを、スピナーの回転数4000rpmで塗布し、170℃の空气中で20分間プリベークすると、膜厚0.1 μ mのPMMA膜が形成される。電子ビーム描画装置を用いてレジストに細線を形成する。その露光条件を表4-1に示した。マーカー用に線幅1 μ mのパターンも描画する。現像は、専用現像液で3分間行う。

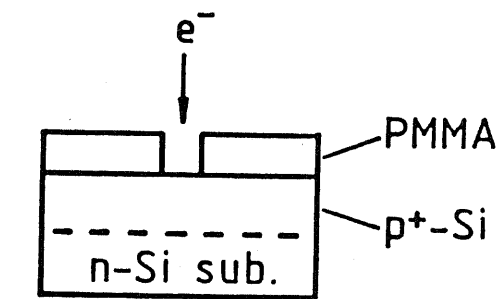
(b) Al蒸着とリフトオフ

形成されたステンシル上にAlを30nm蒸着する。これを速やかにアセトンに浸し、PMMAを溶かしてリフトオフを行い、線幅が約0.1 μ mのAlの細線を形成する。

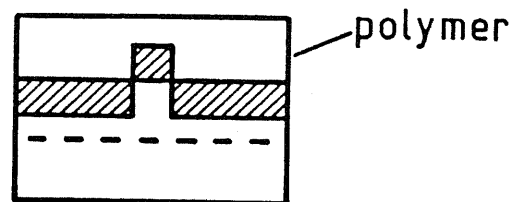
(c) CCl_2F_2 ガスを用いたRIEによるSiリッジの形成

Alの細線をマスクに用いて、 CCl_2F_2 を反応ガスに用いたRIEにより、Siを約200nmの深さまでエッチングしてリッジを形成する。RIEのプロセス条件を表4-2に示した。あらかじめ調べておいたSiのエッチング速度をもとに、Siを200nmエッチングするために必要なエッチング時間を決定した。 CCl_2F_2 ガスは塩素系の反応ガスであり、通常はAlのRIEにも用いられているが、表4-2の中に示したようにSiのエッチング速度がAlのエッチング速度に対して約10倍も速いため、膜厚30nmのAlがSiを200nmエッチングするためのマスクとして十分利用できることがわかった。

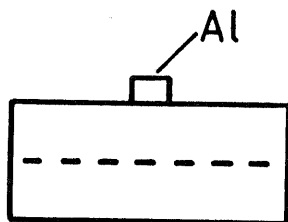
SiのRIEを行った後、基板をHF水溶液中に浸しマスクとして用いたAlを除去する。さらに、RIEによってSiリッジ側面に発生していると考えられ



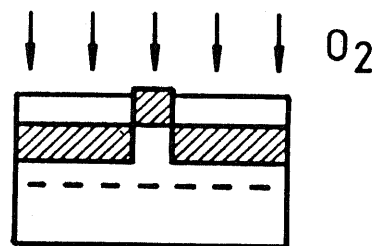
(a) EB exposure



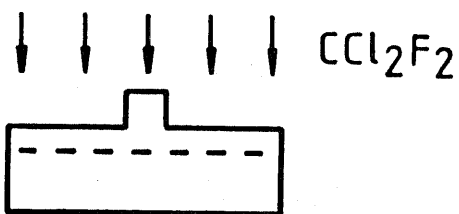
(e) polymer spin-coat



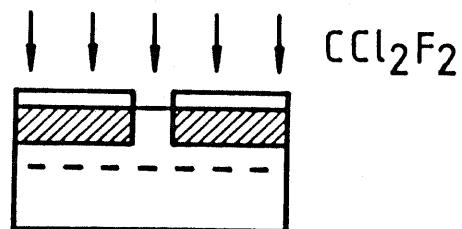
(b) Al deposition
and liftoff



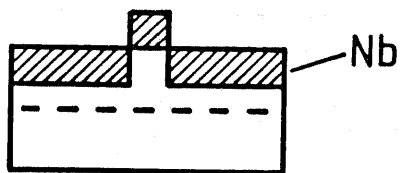
(f) polymer RIE



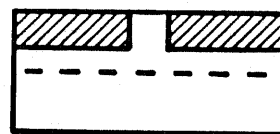
(c) Si RIE and Al removal



(g) Nb RIE



(d) Nb deposition



(h) polymer removal

図 4-1 平坦化プロセス (II)

露光モード	シングル・スキャン
ビーム電流	5 pA
ドーズ量	0.5 ~ 2 nC / cm

表4-1 細線部の電子ビーム露光条件

反応ガス	CCl ₂ F ₂
ガス圧力	3 Pa
ガス流量	30 sccm
高周波電力密度	0.4 W / cm ²
エッチング速度	
Si	250 nm / min
Al	25 nm / min

表4-2 SiのRIEのプロセス条件

る損傷を除去するために、基板の表面全体をごく薄くウェットエッチングした。用いたエッチャントはHFとHNO₃との混酸（フッ硝酸、体積比HF：HNO₃＝1：500）で、20秒間のエッチングを行った。エッチング終了時間になったら、エッチャントから基板を取り出し、即座に純水中に浸してSiのウェットエッチングを停止させる。干渉顕微鏡を利用して、このエッチング深さを計測した結果によると、表面の10～20nmのSiがエッチングされている。フッ硝酸でSiをエッチングした後は、Si表面に薄い酸化膜が残っている。HF水溶液に基板を浸して、この酸化膜を除去する。

（d）Nbの蒸着

前述のようなSiの表面処理を行った後、基板を速やかに電子ビーム蒸着装置にセットし、Nbを蒸着する。Nbの膜厚は150nmとした。後でNbエッチングの終点検出を行うために、厚さ100nmのSi熱酸化膜上にも同時にNbを蒸着する。

（e）ポリマーの塗布

ポリマーの塗布・ベーキング（3・2－6参照）を行い、約300nmの厚さのポリマーで表面を平坦化する。

（f）リッジ部の頭出し

O₂ガスを用いたRIEにより、ポリマーを途中までエッチングして、リッジ部の頭出しを行う（RIEのプロセス条件等は3・2－7参照）。

（g）CCl₂F₂ガスを用いたRIEによるNbのエッチング

CCl₂F₂ガスを用いたRIEにより、リッジ部のNbをエッチングする。リッジ部の頭出しの工程で途中までエッチングして残ったポリマーを、マスクとして利用する。表4－3にRIEのプロセス条件を示した。CF₄を反応ガスに用いるRIEでは、ポリマーのほうがNbよりもエッチング速度が7～8倍速かったが、CCl₂F₂を反応ガスに用いた場合には、表4－3中の値に示されているようにNbとポリマーのエッチング速度がほぼ等しいため、ポリマーをNbエッチングのマスクとして用いることが可能となる。このため、平坦化のプロセスが第3章で示した平坦化プロセスに比べて格段に簡潔なものになる。なお、Nbエッチングの終点検出を行うために、SiO₂上に蒸着したNbを同時にエッチングするのは第3章のプロセスと同様である。

反応ガス	CCl_2F_2
ガス圧力	3 Pa
ガス流量	30 sccm
高周波電力密度	0.4 W/cm ²
エッチング速度	
Nb	300 nm/min
ポリマー	~300 nm/min

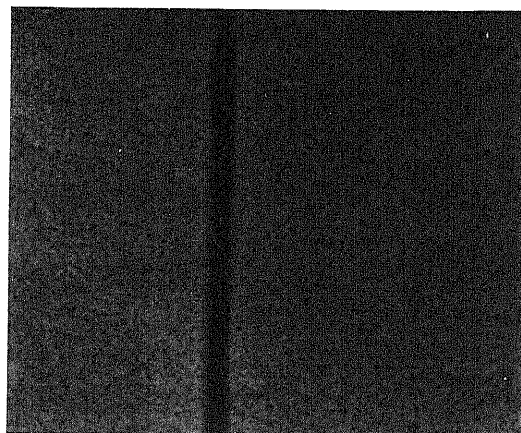
表4-3 NbのRIEのプロセス条件

(h) 残ったポリマーの除去

Nbのエッチングが終了した時点で、ポリマーもほとんどエッチングされ尽くしているが、一部に薄く残っている場合もある。このような残り方をしたポリマーは、アセトンなどの有機系の溶剤では完全に除去されないので、基板を侵さないような酸（リン酸、硝酸など）に浸して除去する。

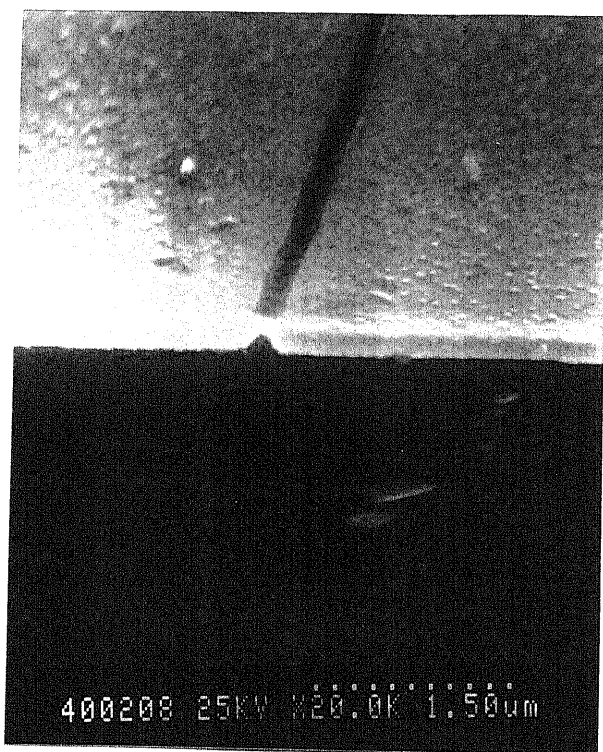
以上、図4-1に示した平坦化プロセス(II)の各工程を説明した。この平坦化プロセスにしたがって、実際にプレーナ構造の形成を行った。これをSEMで観察した写真を、図4-2(a)と(b)に示した。(a)はプレーナ構造を上方から観察したSEM写真であり、(b)はへき開した断面を観察したSEM写真である。これらのSEM写真から、図4-1の平坦化プロセスによってプレーナ形の接合が形成できたことが確認された。

ところで、図4-3も同様の平坦化プロセスによって形成された構造をへき開してSEMで観察した例であるが、この場合はリッジの片側の側面がNb電極と接触しておらず、Siリッジ側面とNbとの間に約20nmの隙間が生じている。CCl₂F₂ガスを用いたSiのRIEでは、非常に顕著な異方性エッチングが起こる。このため、平坦化プロセスの(c)の工程で形成されるSiリッジの側面は、基板表面に対してほとんど垂直に切り立った角度をなしている。このような形状のリッジの上に次の工程(d)でNbを蒸着するとき、もしNbの蒸着源の方向が基板に対して垂直な方向から数度でも角度がずれていたら、図4-4(a)のように、Siリッジの片方の側面にNbが蒸着されず、隙間が生じてしまう。これが、図4-3に揚げた例のようなトラブルを起こす原因であると思われる。Nbの蒸着源の方向が基板に対してちょうど90度の角度をなすように基板を取り付ける位置の調整を行えば、このようなトラブルを避けることはできるはずであるが、実際にはそこまで厳密に角度を調整することは難しい。そこで、電子ビーム蒸着装置の基板ホルダーが蒸着中に移動可能となるように簡単な改良を加え、図4-4(b)のようにNbを2方向から交互に蒸着できるような構成にした。このように2方向からNbを蒸着することにより、上で示したようなトラブルは防ぐことができる。Nbの蒸着は各方向から10nmずつの蒸着を交互に繰り返した。図4-2のプレーナ構造を形成したときも、2方向から蒸着を行った。



1 μm

(a) 真上から観察した写真



(b) へき開して観察した写真

図 4 - 2 接合部の SEM 写真

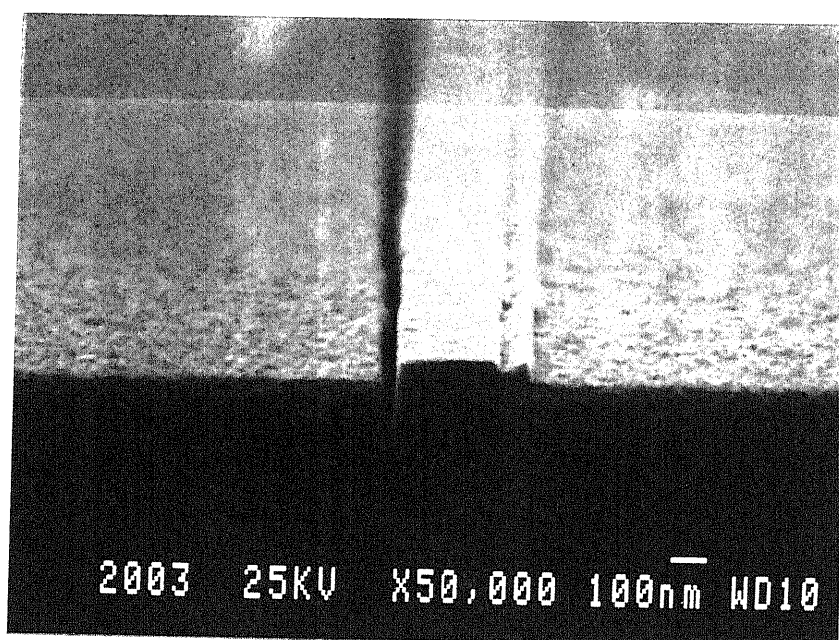
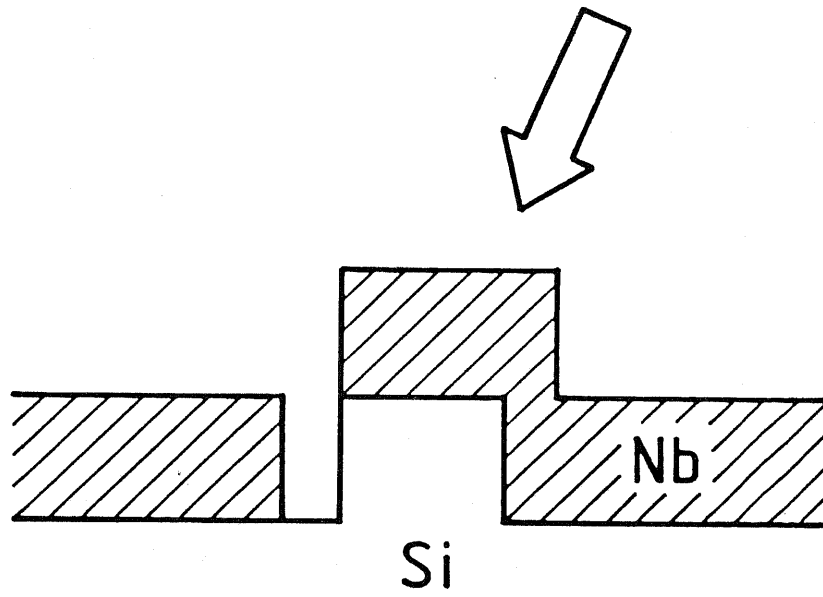
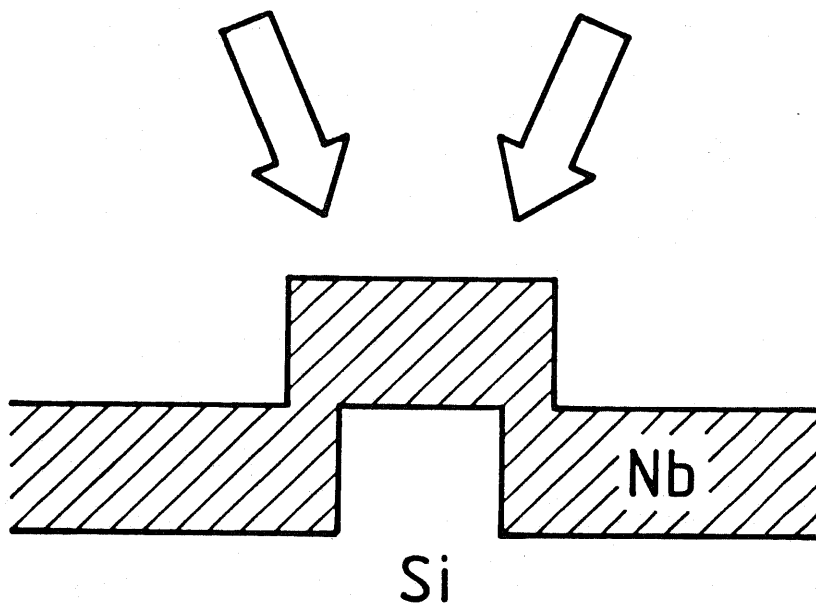


図 4 - 3 S i リッジ側面と N b 電極の間に隙間ができた例



(a) 1方向からの蒸着



(b) 2方向からの蒸着

図4-4 Siリッジ上へのNbの蒸着

4・3 Si表面のRIE損傷を防ぐためのプロセス

前章に示した平坦化プロセス（Ⅰ）、あるいはそれを改良した平坦化プロセス（Ⅱ）は、いずれも、電界効果型の超伝導三端子素子の作製に利用するためには、重大な問題が一つある。それは、三端子素子を形成したときにMOSの界面となるはずのSi表面が、RIEによって損傷を受けてしまうことである。第3章の図3-4のプロセス図では（9）、本章4・2の図4-1のプロセス図では（g）の工程において、Nbがエッチングされ尽くした瞬間にSi表面がRIEのプラズマにさらされることになる。RIEでは、イオンシース中で数百eVに加速されたイオンがSi表面をたたくので、Si表面には損傷が生じる。このような損傷が入ったSi上にMOS構造の第3電極を形成しても、酸化膜とSiの界面に大きな界面準位が存在するので、電界効果型の三端子素子としては非常に特性の劣った素子にしかならないと考えられる。

そこで、このようなNbのRIE工程でSi表面に損傷が入るのを防ぐために、Si表面とNbとの間にNbエッチングのストッパーの役割を果たす層をはさむプロセスを検討した。ストッパー材料として必要な条件は、

- （1）Nbエッチング後に数秒間オーバーエッチングしても残っていてSi表面を保護することが必要であるから、ある程度エッチング速度が遅いこと。
 - （2）平坦化プロセス完了後に、ウェットプロセスにより容易に除去できること。
- が揚げられる。この二つのプロセス条件は、さほどストッパー材料の選択を制限するものではないので、何種類もの材料が考えられるが、この章ではAlをストッパー層として用いるプロセスについて説明する。

図4-5に、この平坦化プロセスの概略を示す。Siリッジを形成する工程までは、図4-1（a）～（c）と全く同じである。リッジを形成した後、Nbを蒸着する前に、Alを10nm蒸着する。この薄いAlの層がNbのRIE工程でのストッパー層となる。Al層の蒸着は、電子ビーム蒸着装置を用いて行い、前節で説明したような2方向からの蒸着の方法を適用し各方向から5nmずつ蒸着する。本研究で用いた電子ビーム蒸着装置は、3つのるつぼが備わっていて電子銃フィラメントとの相対位置をずらすことによって使用するるつぼを変更できるような仕組みになっている。この仕組みを利用して、Al蒸着後に真空を破ら

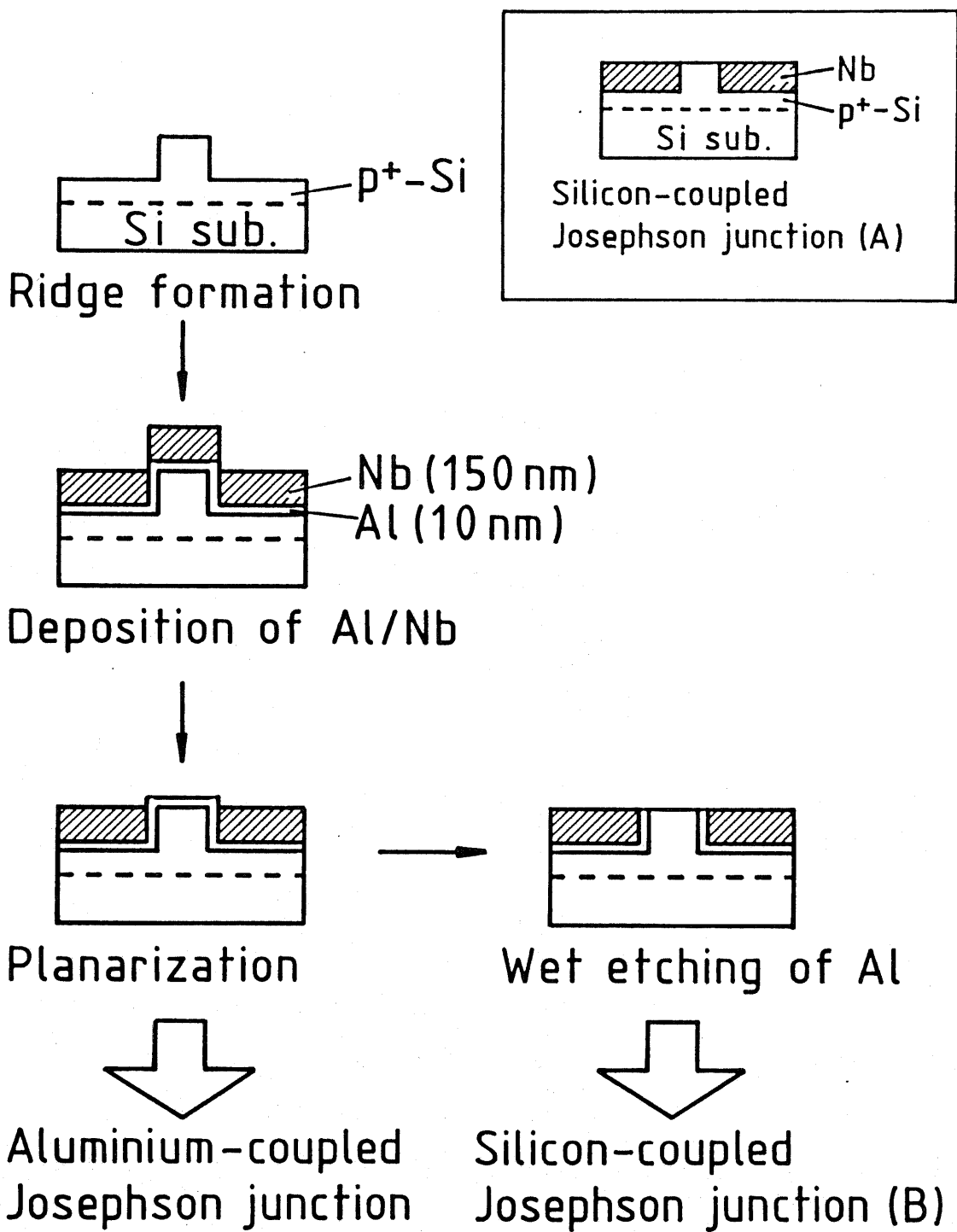


図4-5 Si表面のRIEによる損傷を防ぐ平坦化プロセスおよびAl結合プレーナ形ジョセフソン素子を作製するための平坦化プロセス

ずに続けてNbを蒸着する。Nbの膜厚は150nmとした。この後、図4-1の(e)~(h)と同様の工程にしたがってプレーナ構造を形成する。ただし、Alのストッパー層があるのでNbをエッチングしてもその下のSiの表面がプラズマにさらされることがなく、RIEによる損傷を受けない。最後に、リン酸系のエッチャントを用いて、表面に現れているAlをウェットエッチングする。このような平坦化プロセスで形成されたジョセフソン接合は、厳密には、Al-Si-Al結合ジョセフソン素子と言うべきであるが、Al膜厚が薄くブリッジ材料としてのAlの寄与はSiに比べて無視できるくらい小さいと考えられるので、便宜上、このタイプの素子をSi結合ジョセフソン素子(B)と称し、これに対して、図4-1の平坦化プロセス(II)で形成された厳密にSiで結合した素子を、Si結合ジョセフソン素子(A)と呼ぶことにする。一方、図4-5のようにAlのストッパー層を利用したプロセスで最後のAlウェットエッチングを行わなかったとすると、プレーナ形のAl結合ジョセフソン素子が形成できると考えられる。Si結合ジョセフソン素子(A)、(B)およびAl結合ジョセフソン素子を作製した。これらの素子の特性は、次節に示す。

4.4 作製した素子の特性

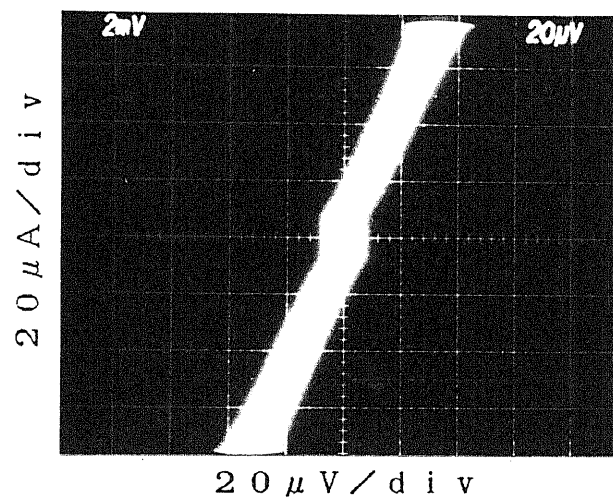
Si結合ジョセフソン素子(A)の電流-電圧特性の例を図4-6に示した。(a)、(b)はそれぞれ測定温度が4.2K、1.3Kにおける特性である。電極間隔Lは150nm、電極幅Wは10 μ mである。

Si結合ジョセフソン素子(B)の電流-電圧特性の例を図4-7に示した。この素子の電極間隔は80nm、電極幅は60 μ mである。

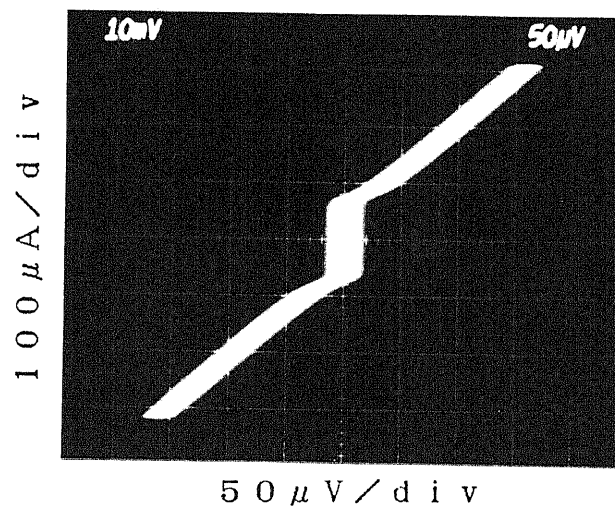
Al結合ジョセフソン素子の電流-電圧特性の例を図4-8(a)に示した。電極間隔は80nm、電極幅は10 μ mである。この素子に10GHzのマイクロ波を照射したところ、図4-8(b)に示すように3段のシャビロステップを観測した。

これらの素子の4.2Kにおける $I_c R_N$ 積の典型的な値は、5~10 μ Vであった。 $I_c R_N$ 積が小さいのは、3.4で述べたように、p⁺層が深いためジョセフソン接合と並列に存在する常伝導抵抗の影響であると思われる。

Si結合ジョセフソン素子(B)について、臨界電流 I_c の温度依存性を測定し



(a) 測定温度 4.2 K



(b) 測定温度 1.3 K

図 4-6 Si 結合ジョセフソン素子 (A) の電流-電圧特性
電極間隔: 150 nm、電極幅: 10 μm

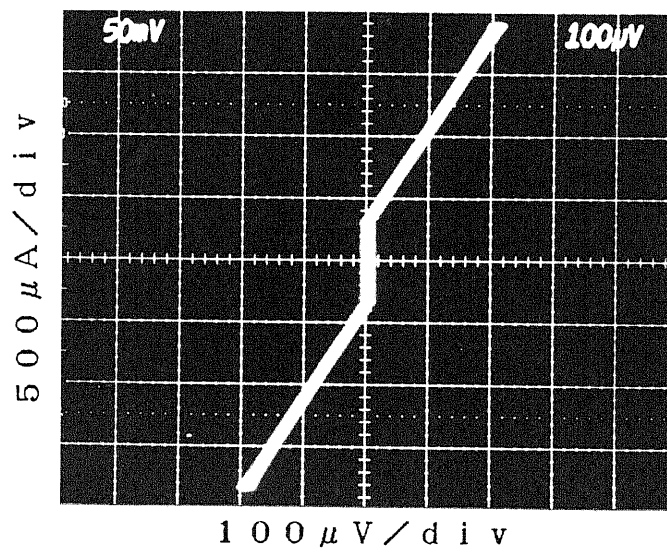
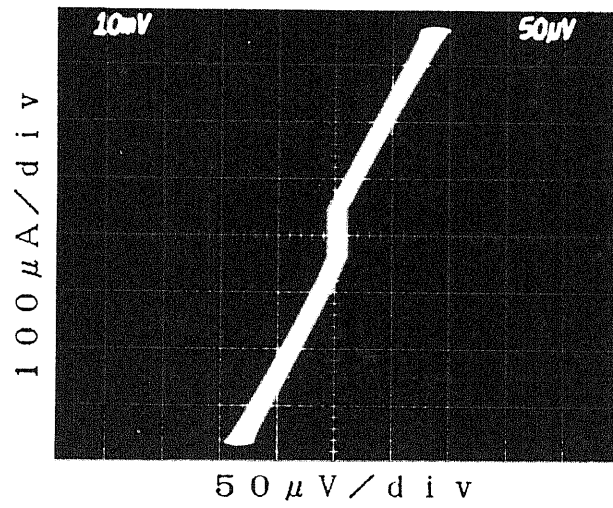


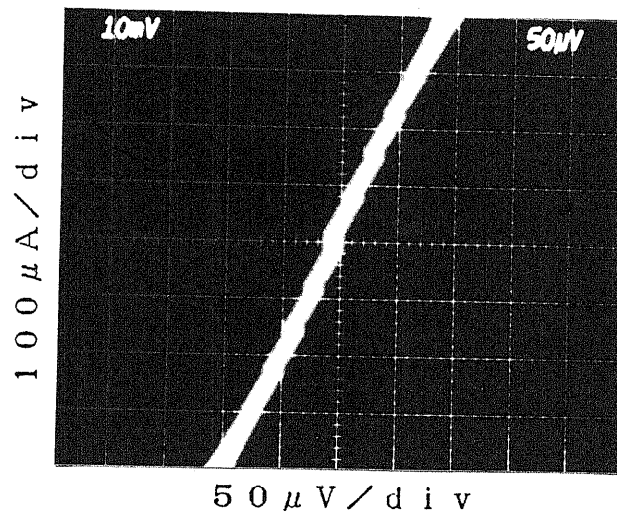
図 4-7 Si 結合ジョセフソン素子 (B) の電流-電圧特性

(測定温度は 4.2 K)

電極間隔: 80 nm、電極幅: 60 μm



(a) マイクロ波を照射しない場合



(b) マイクロ波を照射した場合

図4-8 Al結合ジョセフソン素子の電流-電圧特性 (測定温度は4.2 K)
電極間隔: 80 nm、電極幅: 10 μm

た。4.2 K以下の温度は、液体ヘリウムを真空ポンプで減圧することにより実現される⁵⁴⁾。液体ヘリウムの移送および減圧に用いたポンプ系を図4-9に示した。真空ポンプには、排気速度500 l/minの油回転ポンプを用いた。排気のコンダクタンスを大きくするために、配管はある程度太くする必要がある。この系では、配管の太さを直径25 mmとした。この系では、温度が1.5 Kまで下げることができる。油回転ポンプとクライオスタットを接続するバルブの開閉を微妙に調整することにより、4.2 Kから1.5 Kまでの間の任意の温度に設定できる。4.2 K以上の温度での測定では、特に温度の制御は行わず、液体ヘリウムが減って測定している素子が液面の上に出て温度が自然上昇するのにならして、温度と素子の臨界電流を記録した。温度の測定には、シリコン抵抗温度計（Lake Shore Cryotronics 社、温度特性は同社で校正済み）を用いた。素子のホルダーとして用いる銅ブロック（大きさは10 mm×8 mm×16 mm）に、この温度計を取り付ける。特に、素子をホルダーに固定するとき、温度計と素子と高さを一致させるように注意を払った。

図4-7に4.2 Kでの電流-電圧特性を示したSi結合ジョセフソン素子（B）について、上に述べたような温度測定系を用いて、臨界電流の温度依存性を測定した。図4-10にその測定データを示した。ところで、既に第2章で説明したように、弱結合型のジョセフソン素子の臨界電流は

$$I_c \propto [\Delta_N(0) / \cosh(L/2\xi_N)]^2 / \xi_N \quad (2-7)$$

のように表される。また、Si中での超伝導電子のコヒーレンス長 ξ_N は次のように表されることも、第2章で述べた。

$$\xi_N(T) = (\hbar^3 \mu / 6 \pi k_B T e m^*)^{1/2} (3 \pi^2 N)^{1/3} \quad (2-8)$$

T_c の近傍では $\Delta \propto (1 - T/T_c)^{1/2}$ となることが知られている⁵⁵⁾。また、式(2-8)より $\xi_N \propto T^{-1/2}$ と考えられる。これらを式(2-7)に適用すると、 I_c の温度依存性を表す式を次のように書くことができる⁴⁰⁾。

$$I_c = C_1 (1 - t) \sqrt{t} [\cosh^2(C_2 \sqrt{t}/2)]^{-1}$$

ただし $t = T/T_c$

C_1 : スケーリング・ファクター (4-1)

$C_2 = L/\xi_N(T_c)$ 、 L は電極間隔

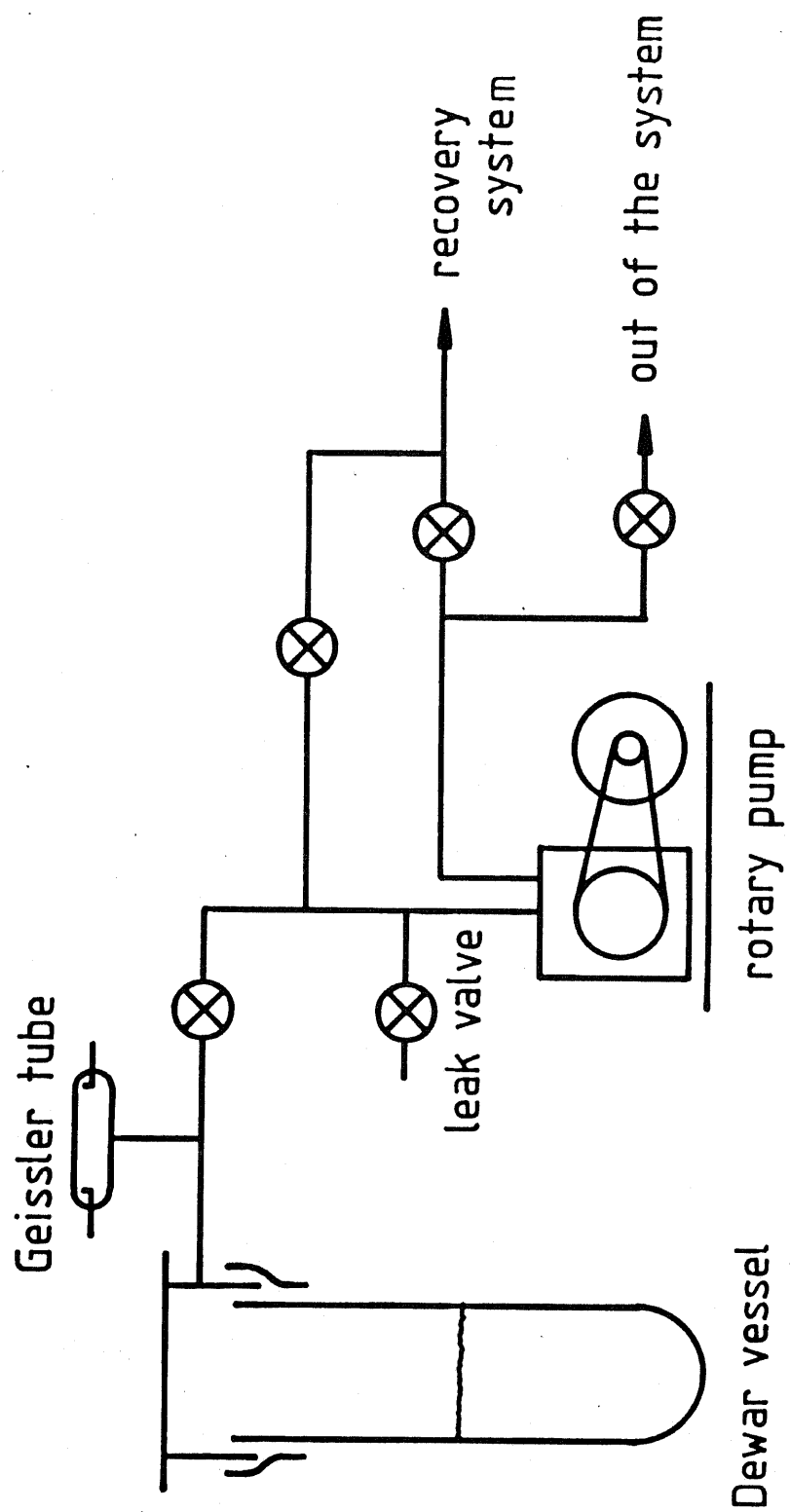


図 4-9 液体ヘリウムの移送および減圧に用いたポンプ系

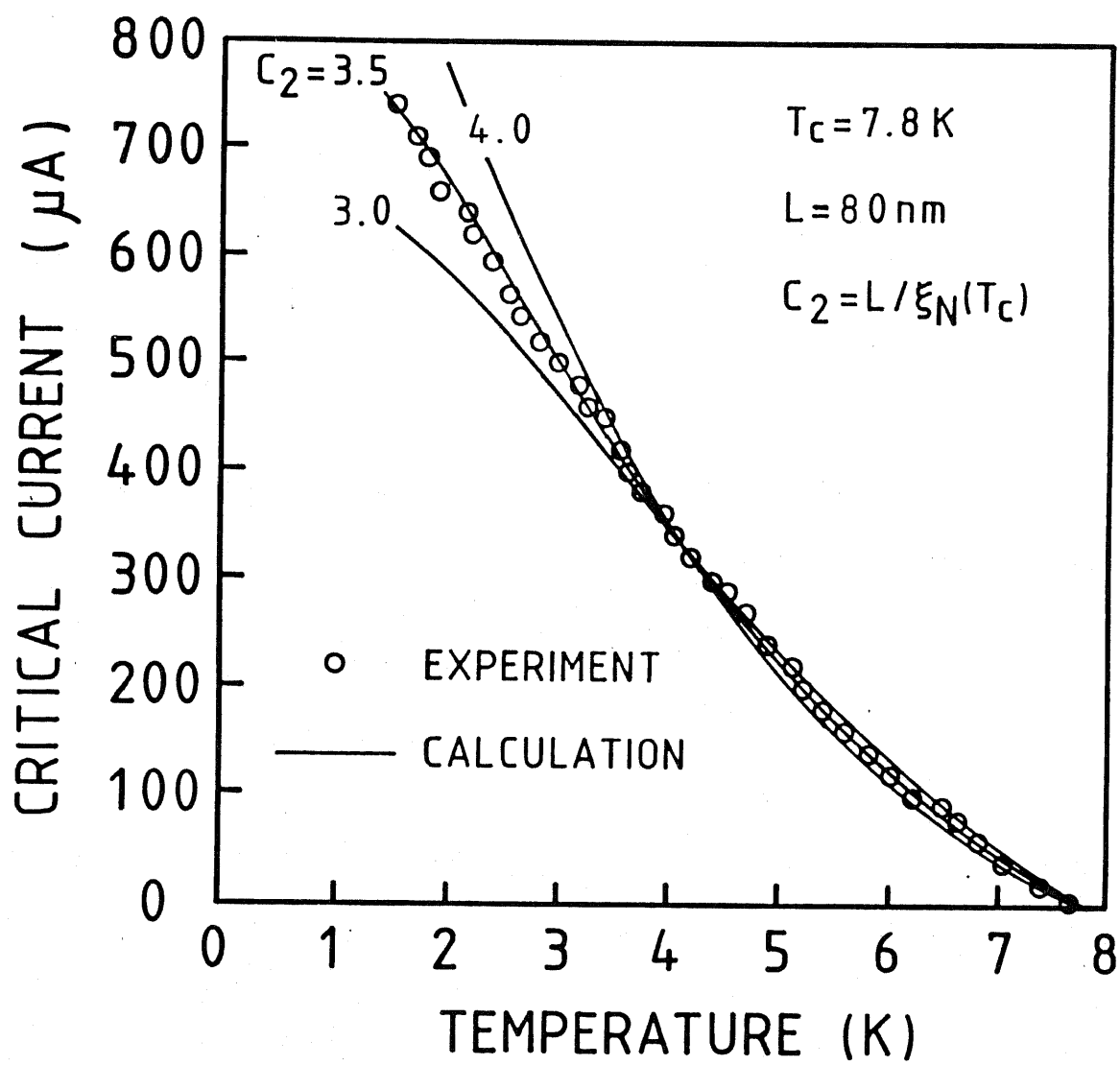


図 4 - 1 0 S i 結合ジョセフソン素子の臨界電流の温度依存性

Si のコヒーレンス長に関するパラメータ C_2 にいくつかの値を代入した式 (4-1) から描かれる理論曲線を、図 4-10 中に示してある。 C_1 の値は、それぞれの C_2 の値ごとに 4.2 K での I_c の測定データに合うように fitting を行った。このグラフから明らかなように、 $C_2 = 3.5$ の曲線が測定データに最もよく一致する。この C_2 の値は、 $\xi_N(T_c) = 23 \text{ nm}$ に相当する。

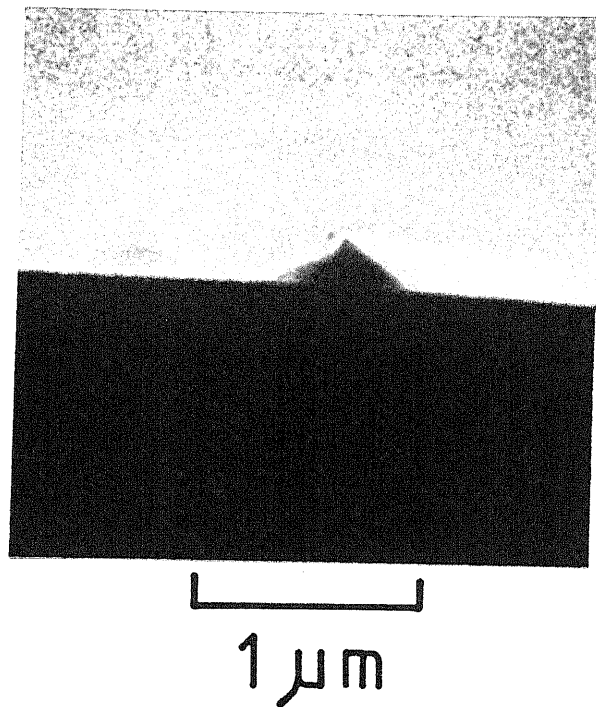
一方、この結果とは全く独立に、式 (2-8) から $\xi_N(T_c)$ の値が計算できる。ホール移動度の値を $\mu = 100 \text{ cm}^2/\text{V} \cdot \text{s}$ と仮定し⁵⁶⁾、ほう素の拡散条件 (3-2-1 参照) からホール密度 $N_H = 4 \times 10^{20} \text{ cm}^{-3}$ 、さらに、ホールの有効質量⁵⁷⁾ $m^* = 0.4 m_0$ 、 $T = 7.8 \text{ K} (= T_c)$ を式 (2-8) に代入すると、 $\xi_N(T_c) = 22.6 \text{ nm}$ となる。これは、測定データと理論曲線との fitting から求めた値とよく一致している。

4.5 平坦化プロセスに関する議論

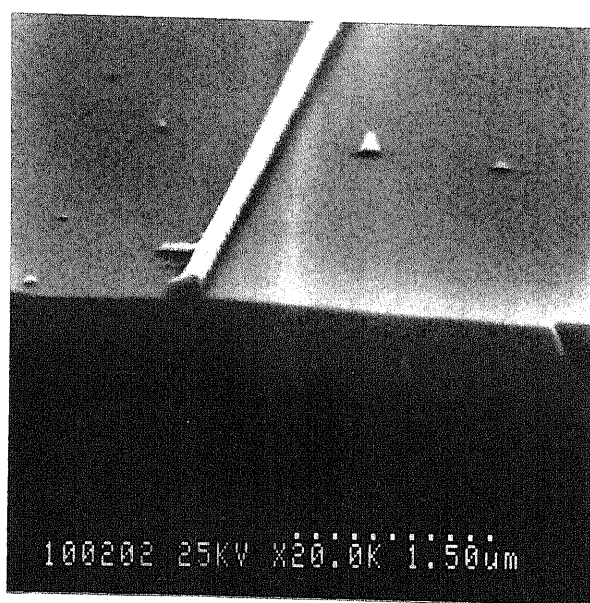
第 3 章で示した平坦化プロセス (I) に対して、この章で示した平坦化プロセス (II) は、ポリマー 1 層で平坦化を行うことができるのでプロセスステップ数が減少したことが最大の利点である。しかし、その他にも改良を行った点がいくつかある。これらを、以下に整理しておく。

① Si および Nb の RIE で用いる反応ガスの CF_4 から CCl_2F_2 への変更

Nb の RIE で用いる反応ガスを、 CF_4 から CCl_2F_2 に変えることによって、Nb のエッチング速度が約 7 倍速くなる (表 3-7、表 4-3 の RIE 条件を参照)。これがポリマー 1 層での平坦化を可能にし、平坦化プロセス (I) に比べて平坦化プロセス (II) がプロセス・ステップ数の少ない簡潔なプロセスになったということは、既に述べたとおりである。一方、Si リッジを形成するための RIE に CCl_2F_2 を用いたことで、 CF_4 を用いたときよりも非常に垂直異方性の強いエッチングができるようになった。図 4-11 の SEM 写真に示すように、 CF_4 を用いた Si のエッチングでは異方性エッチングと言うよりはむしろ等方的なエッチングに近いリッジ形状になっているが、 CCl_2F_2 を用いたエッチングでは見事に異方性エッチングがなされている。 CF_4 を用いた Si のエッチングのように等方的なエッチングでは、エッチングがマスクの下にまわりこむため図 3



(a) CF_4 ガスを用いた場合



(b) CCl_2F_2 ガスを用いた場合

図 4 - 1 1 R I E により形成した S i リッジの S E M 写真

- 11 の SEM 写真に示したように電極間隔が 50 nm のかなり短いジョセフソン接合ができることもあるが、微細加工のプロセスでは再現性などの点で不都合なことが多い。したがって、Si の RIE 工程でも CCl_2F_2 のほうが CF_4 よりも反応ガスとして適していると言える。

② Nb 蒸着直前の Si 表面処理の方法

平坦化プロセス (I) では、Nb を蒸着する直前に、電子ビーム蒸着装置中で Ar ガスを放電させてスパッタクリーニングを行った。平坦化プロセス (II) では、スパッタクリーニングは行わなかったがその代わりに、蒸着装置に基板をセッティングする直前にフッ硝酸でウェットエッチングを行った。Si 結合ジョセフソン素子では、Nb 蒸着時の Si の表面状態に、素子の特性が強く依存することが考えられる。Si の表面処理をどのように行うのが最善の方法であるかは、十分な検討を行っていないので、結論を下すことはできない。しかし、電極間の超伝導電流が観測された素子の電極間隔は、平坦化プロセス (I) で作製した素子では 50 nm であったのに対して、平坦化プロセス (II) で作製した素子では 150 nm と長くなったことは、平坦化プロセス (II) で行った Si 表面処理の有効性を示唆するものと思われる。

③ 2 方向からの Nb 蒸着

平坦化プロセス (II) では、Si リッジ上への Nb の蒸着は 2 方向から行った。これは、既に 4・2 で述べたように、 CCl_2F_2 ガスを用いた垂直異方性の強い RIE で Si リッジを形成したために必要となった方法である。平坦化プロセス (I) では、 CF_4 ガスを用いた RIE により Si リッジを形成したので、エッチングの異方性は弱く、リッジ側面の角度が垂直から傾いているため、敢えて 2 方向からの蒸着を行う必要性はなかった。

4・6 むすび

RIE に用いる反応ガスを CF_4 から CCl_2F_2 に変えることにより Nb のエッチング速度が上がり、結果的に、前章に示した作製プロセスに比べて工程数の少ない簡潔なプロセスで Si 結合プレーナ形ジョセフソン素子が作製できることが

わかった。 CCl_2F_2 ガスを用いることは、Siリッジ形成の工程で垂直異方性の強いエッチングが行える点でも有効である。NbのRIEの工程では、Si表面に損傷が発生する。これは、電界効果型の三端子素子への応用を考える場合には好ましいことではない。そこで、このような損傷を避けるために、Si表面を薄いAlの層で保護する方法を試みた。これと類似のプロセスを用いて、プレーナ形のAl結合ジョセフソン素子が作製できることもわかった。

これらのプロセスを用いて作製したプレーナ形ジョセフソン素子の4.2 Kにおける電流-電圧特性を測定し、その動作を確認した。 $I_c R_N$ 積の典型的な値は、 $5 \sim 10 \mu\text{V}$ の範囲であった。Si結合ジョセフソン素子について臨界電流の温度依存性の測定を行い、測定データと理論曲線とのfittingから素子に用いたSi中での超伝導電子のコヒーレンス長として、 $T = 7.8 \text{ K}$ （素子の臨界温度）において 23 nm の値を得た。この値は、理論式から計算した値とよく一致した。

第5章 電界効果型超伝導三端子素子を作製するためのFET形成プロセス

5・1 はじめに

前章までで、ポリマーを塗布して基板表面を平坦化する方法を用いて、Si結合プレーナ形ジョセフソン素子を作製するプロセスを確立した。そこでこの章では、この平坦化プロセスを利用して形成したプレーナ構造上にゲート絶縁膜を介してゲート電極を形成し、MOS FETを作製することを試み、プレーナ形素子を三端子化するために必要となる作製プロセスの検討を行った。

第3章あるいは第4章に示した素子は、二端子のジョセフソン素子であるが、これらの素子そのものにゲート電極を形成しても、FETとしての動作を示すとは期待できない。なぜなら、

- ①ブリッジ部のSi中のキャリアの凍結を避ける。
- ②Nb-Si間のショットキーバリア厚を薄くしてキャリアのトンネル確率を上げる。

という2つの目的のために不純物を高濃度にドーピングしてあり($3 \cdot 2 - 1$ で推定したホール密度の値は $4 \times 10^{20} \text{ cm}^{-3}$)、このキャリア密度と比較して電界効果で誘起できるキャリア密度が非常に小さく($\sim 10^{19} \text{ cm}^{-3}$ くらいと考えられる)、ソース・ドレイン電極間に流れる電流の大部分が、ゲート電圧で制御できないリーク電流となるからである。

FETでは、ゲートに電圧を印加して電界効果によってSi中にキャリアを誘起するので、二端子素子とは異なり①のような理由で不純物をドーピングする必要はないし、不純物をドーピングすると上で説明したように大きなリーク電流が流れるので、むしろ不純物をドーピングすべきではない。しかし、②の理由はFETにおいても依然としてあてはまることであり、結局、FETを形成するためには、ブリッジ部Si中の不純物密度はNb-Si界面部では高く、それ以外では低く(意図的には不純物を導入しない)というふうな分布を持たせる必要があるということである。このような不純物の分布を持たせたMOS FETの構成を、図5-1に示す。この図からも明かなように、Si中の不純物分布の深さは、Nb電極間隔($\sim 100 \text{ nm}$)よりも十分浅くなければならない。したがって、 $\sim 10 \text{ nm}$ 程度の深さを持つ不純物分布を実現することが必要となってくる。

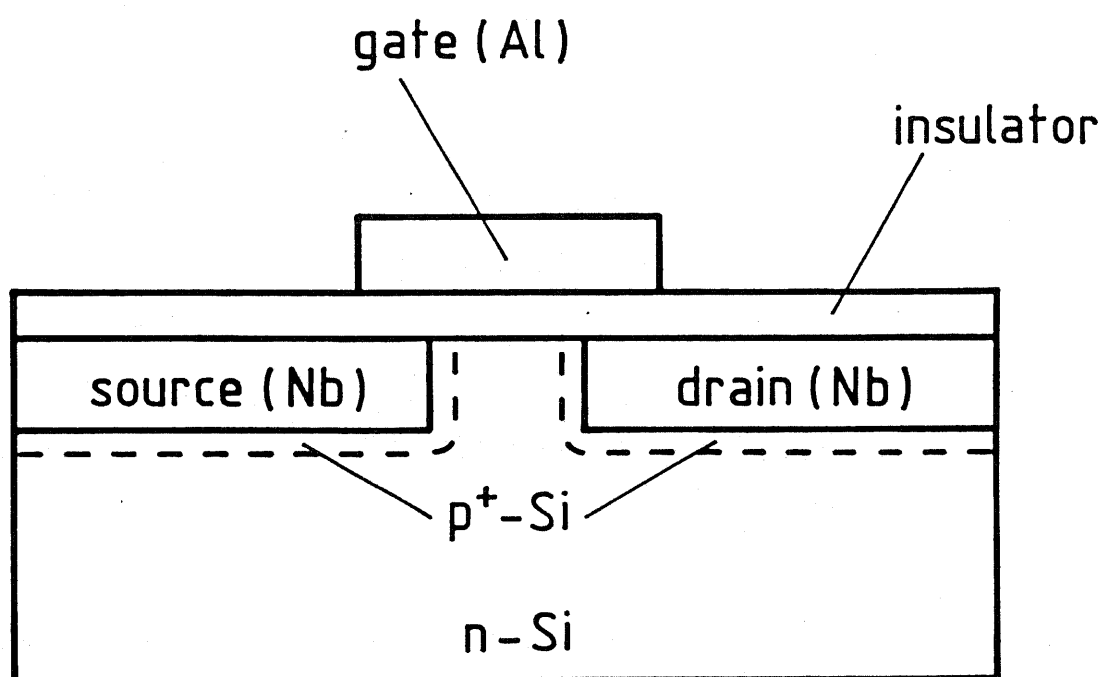


図5-1 Nbのソース・ドレイン電極を持つMOS FET

次の節以降では、まず、S i の表面に非常に浅く不純物を導入させる方法について検討した結果について述べる。次に、この結果と平坦化プロセスを組み合わせ、M O S F E T を作製するプロセス、およびそのプロセスにしたがって作製したF E T の特性について述べ、得られたF E T 特性に関する考察を行う。

5・2 ほう素の浅い拡散

この節では、S i の表面に浅く不純物を導入するプロセスについて述べる。不純物は、二端子のS i 結合ジョセフソン素子で用いたほう素を、やはりF E T のプロセスでも用いる。また、不純物をドーピングする方法は、3・2-1でも述べたように、ここでも拡散法を用いることを前提としている。

ほう素がS i 中に拡散する深さ x_j は、拡散時間と拡散温度に依存し、次の二つの式によって表されることは、既に第3章で述べている。

$$x_j = 6\sqrt{Dt} \quad (3-1)$$

$$D = D_0 \exp(-E/kT) \quad (3-2)$$

S i 中にほう素が拡散する場合は、 $D_0 = 10.5 \text{ cm}^2 \cdot \text{s}^{-1}$

$$E = 85 \text{ kcal} \cdot \text{mol}^{-1}$$

第3章および第4章で示した二端子のジョセフソン素子の作製プロセス中のほう素拡散では、拡散時間を10分間、拡散温度を1100℃とした。この条件で、式(3-1)および(3-2)から計算される拡散深さは、 $x_j = 0.8 \mu\text{m}$ であった。F E T のプロセスでは、拡散深さとして $x_j \sim 10 \text{ nm}$ であることが要求されるので、この条件に比べて拡散時間は短く、拡散温度は低くする必要がある。ところが、通常の電気炉では、試料を電気炉に入れてからその試料が設定温度に達するまで数分オーダーの時間遅れが存在するので、拡散時間を10分間よりも短くすることはプロセスの安定性に欠けるため困難である。そこで、拡散時間は固定して拡散温度を下げることにより、どの程度浅くほう素を拡散することが可能であるかを検討した。

まず、拡散温度を10分間に固定した場合の拡散深さの拡散温度依存性を、式(3-1)および(3-2)から計算した。これを図5-2に示す。実際の不純物拡散では、特に深さが浅い拡散を行う場合には、かなりcriticalな条件なので、必ずしもこのような理論式には合わないかもしれないが、適切な拡散温度の範囲

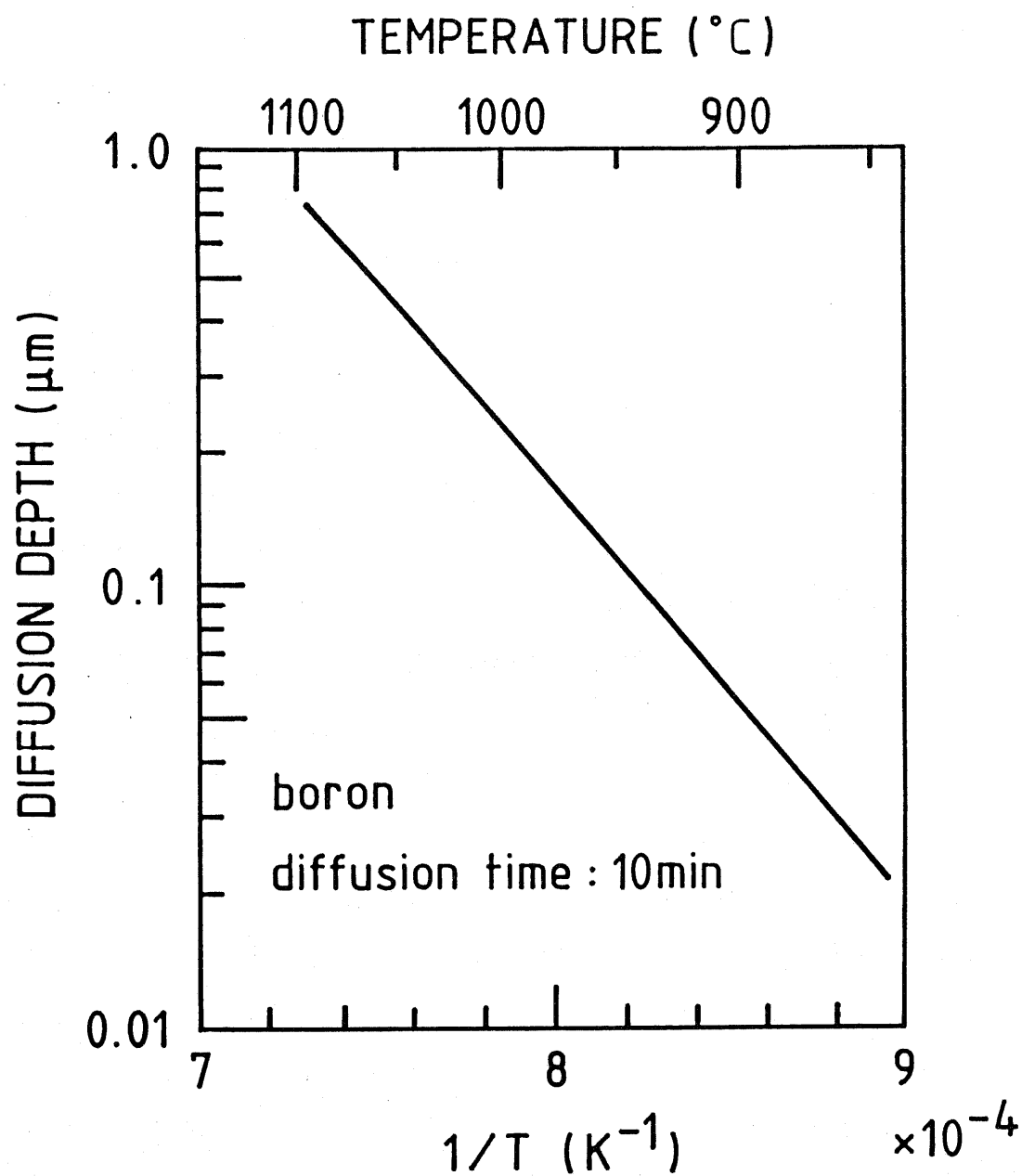


図 5 - 2 式 (3 - 1) と式 (3 - 2) から計算されるほう素拡散深さの
拡散温度依存性 (拡散時間は 1 0 分間)

のおよその見当をつけることはできると思われる。図5-2から、 $x_j \sim 10 \text{ nm}$ の浅い拡散を行うためには、 900°C 以下の低い拡散温度が必要となることが予想される。

そこで、この範囲の拡散温度で実際にほう素の拡散を行い、拡散深さがどの程度浅くなるかを調べた。拡散温度は 850°C 、 900°C 、 1000°C の3とおり、拡散時間は10分間、30分間の2とおり、合計 $3 \times 2 = 6$ とおりの拡散条件でほう素の拡散を行った。拡散を行ったそれぞれの試料の表面をフッ硝酸（体積比 $\text{HF}:\text{HNO}_3 = 1:250$ ）でエッチングし、4探針法でシート抵抗を測定した。エッチング時間を0秒間から120秒間の範囲で変化させ、数とおりの深さにエッチングしてこの測定を行った。これを図5-3に示す。エッチングされた深さは、干渉顕微鏡を用いて測定した。また、それぞれの深さまでエッチングした試料の2箇所にインジウムの粒を押し付けて圧着し、これをフォルマル線でワイヤーボンディングして2つの端子を取り出し、室温（ 300 K ）と液体ヘリウム温度（ 4.2 K ）でそれぞれ抵抗 $R_{300\text{K}}$ 、 $R_{4.2\text{K}}$ を測定し、抵抗比 $R_{300\text{K}}/R_{4.2\text{K}}$ を調べた。その結果を、図5-4に示す。ほう素密度が高いSi中ではキャリアが縮退していて、金属的な電気伝導を示すので、低温になると導電率が上昇する傾向を示し、したがって、抵抗比 $R_{300\text{K}}/R_{4.2\text{K}}$ は1より大きな値を示す。これに対して、ほう素密度の低いSiは半導体的な性質を持つので、低温になるとキャリア密度が減少し、導電率が低下する。このとき抵抗比 $R_{300\text{K}}/R_{4.2\text{K}}$ は1より小さな値を示す。ほう素密度がさらに低いと低温でキャリアが凍結を起こし、抵抗比 $R_{300\text{K}}/R_{4.2\text{K}}$ は零になる。このように、Si表面の抵抗比 $R_{300\text{K}}/R_{4.2\text{K}}$ を調べると表面のほう素密度をごく大まかに知ることができ、Si表面を少しずつエッチングしながらこの抵抗比を調べると、深さ方向のほう素密度のプロファイルが大ざっぱにわかる。図5-4は、拡散温度 850°C 、拡散時間10分間の拡散条件では、表面から 10 nm の深さでは液体ヘリウム温度でキャリアが凍結するくらいほう素密度が低くなっていることを示しており、 $x_j \sim 10 \text{ nm}$ 程度の浅い拡散が実現されていると考えられる。

このように、低い拡散温度、短い拡散時間で拡散を行うと、Si表面へのほう素の浅い拡散が可能であることがわかった。次の節では、この拡散工程を組み込んだFETの作製プロセスについて述べる。

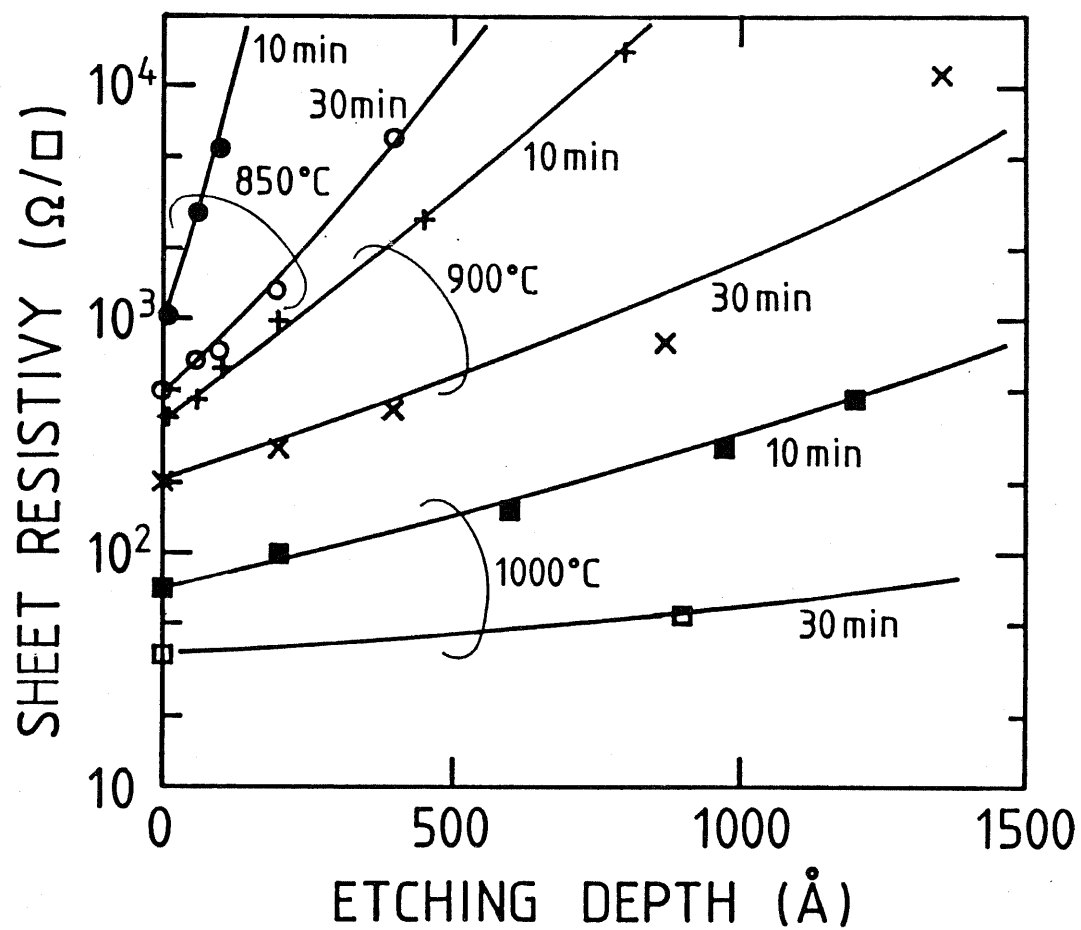


図 5-3 ほう素を拡散した Si 表面のシート抵抗

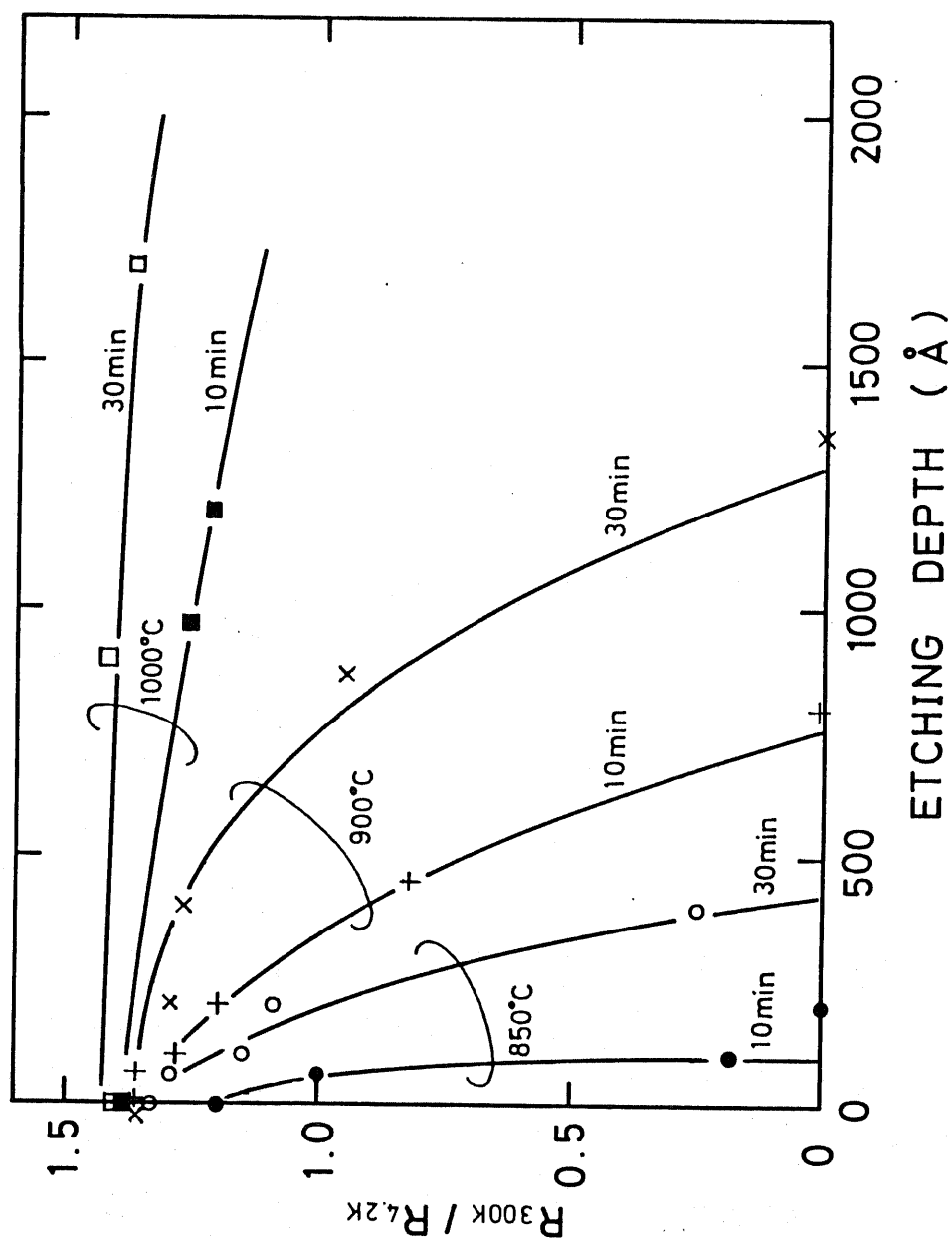


図5-4 ほう素を拡散したSi表面の抵抗比 $R_{300K} / R_{4.2K}$

5・3 FET作製プロセス（I）

プレーナ構造を形成するための技術として確立した平坦化プロセス（II）と、前節で述べた浅い拡散の方法を用いて、Nbをソース・ドレイン電極に持つプレーナ形の短チャネルMOS FETを作製することを試みた。その作製プロセスの概略を、図5-5に示した。各工程の説明を以下に述べる。

（a）Siリッジの形成

（100）面方位のn型Si基板を用いて、第4章の平坦化プロセス（II）中に示した工程と同様の方法で、Siリッジを形成する。ただし、ほう素の拡散はまだ行っていない。

（b）ほう素の浅い拡散

リッジを形成したSiの表面にほう素を拡散する。前節の結果を用いて、拡散温度850℃、拡散時間10分間の条件で浅い拡散を行った。

（c）Nbの蒸着および平坦化

電子ビーム蒸着によりNbを150nm蒸着した後、平坦化プロセス（II）中に示したように、ポリマーの塗布、リッジ部の頭出し、リッジ部Nbのエッチングを行い、プレーナ構造を形成する。ただし、Nbを蒸着する前のSiの表面処理では、フッ硝酸は用いず、HF水溶液のみで行った。

（d）リッジ上部p⁺-Siのウェットエッチング

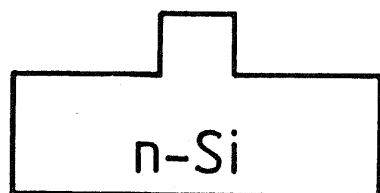
フッ硝酸（体積比HF：HNO₃=1：250）を用いて、リッジ上部に露出しているp⁺-Siをエッチングする。エッチング時間は10秒間である。エッチングされた深さは、約20nmである。この前の工程のNbのRIEでSi表面に生じた損傷は、この工程のウェットエッチングで除去されていると考えられる。

（e）ゲート絶縁膜の形成

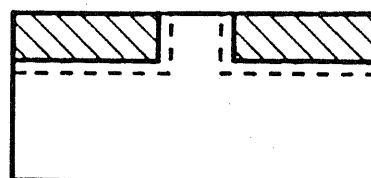
ゲート絶縁膜としてSiO₂を用いる。抵抗加熱蒸着装置により蒸着を行った。膜厚は100nmである。蒸着時の真空度は、 5×10^{-4} Paであった。

（f）ゲート電極、ソース・ドレイン電極、コンタクトホール形成

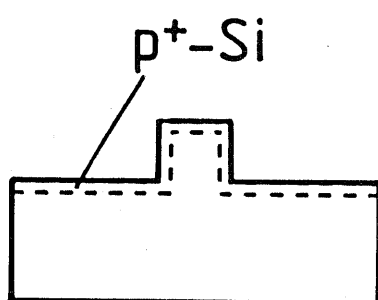
ゲート電極として用いるAlを抵抗加熱蒸着装置を用いて蒸着する。続いて、フォトリソグラフィとウェットエッチングにより、Alゲート電極のパターニングを行う。さらに、フォトリソグラフィとCF₄ガスを用いたRIEによりSiO₂



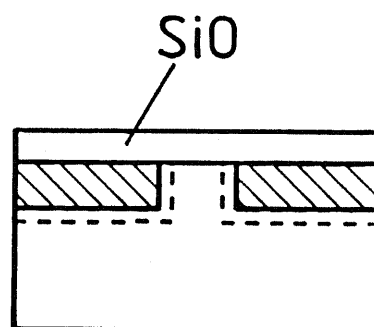
(a) Ridge formation



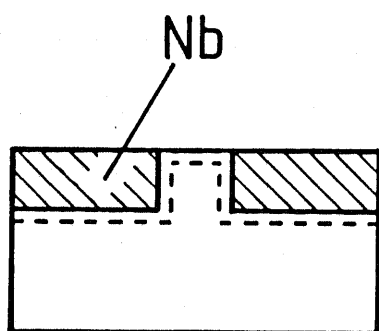
(d) Si wet etching



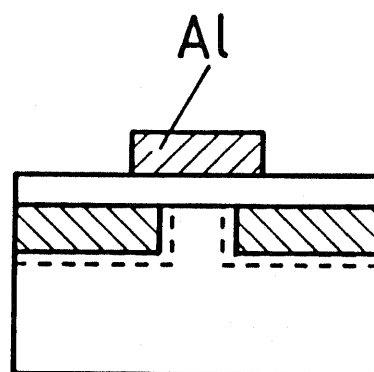
(b) B diffusion



(e) SiO deposition



(c) Nb deposition
and planarization



(f) Gate formation

図 5 - 5 FET 作製プロセス (I)

とNbをエッチングして、ソース・ドレイン電極のパターニングを行う。最後に、フォトリソグラフィとウェットエッチングにより、ソース・ドレイン電極パッド部にコンタクトホールを形成する。

ソース・ドレインのNb電極の幅は、 $60\mu\text{m}$ である。また、Alゲート電極の幅は、 $30\mu\text{m}$ である。図5-6に、ソース・ドレイン電極およびゲート電極のレイアウトパターンを示した。段差のある部分にゲート電極がかかるとゲートリークを起こしやすいので、段差を避けるために、ソース・ドレイン電極の領域内にゲート電極全体が含まれるようにした。

5・4 FET作製プロセス(Ⅱ)

前節の図5-5に示した作製プロセスをFET作製プロセス(Ⅰ)と呼ぶことにする。FET作製プロセス(Ⅰ)ではSiOをゲート絶縁膜に用いたが、半導体材料にSiを用いたFETの一つの長所は、良好なMOS界面特性が得られるSi熱酸化膜をゲート絶縁膜に使えるということである。本研究で対象としている構造のFETで熱酸化膜をゲート絶縁膜として用いるには、次のような点を考慮する必要がある。

① Siの熱酸化膜が形成される温度($\sim 1000^\circ\text{C}$)では、Nbは酸素と激しく反応しSiとは比べものにならない速さで酸化されてしまう。したがって、Siの熱酸化は、Nbを蒸着する以前の工程で行わなければならない。

② Siの熱酸化膜が形成される温度では、Si中の不純物拡散が起こるので、拡散で形成した不純物分布は、熱酸化の工程を経るとプロファイルが鈍って拡散深さが深くなってしまう。したがって、ほう素の浅い拡散はSiの熱酸化よりも後の工程で行わなければならない。

そこで、図5-7に示すようなFET作製プロセス(Ⅱ)によって、Si熱酸化膜をゲート絶縁膜のMOS界面に持つFETの作製を試みた。以下に、FET作製プロセス(Ⅱ)の各工程を説明する。

(a) Siの熱酸化

面方位(100)のn型Si基板の表面を乾燥酸素雰囲気中で酸化する。酸化温度 900°C 、酸化時間30分間とする。この酸化条件で、厚さが約 20nm のSiO₂膜が形成される。これがゲート絶縁膜におけるMOS界面の熱酸化膜とな

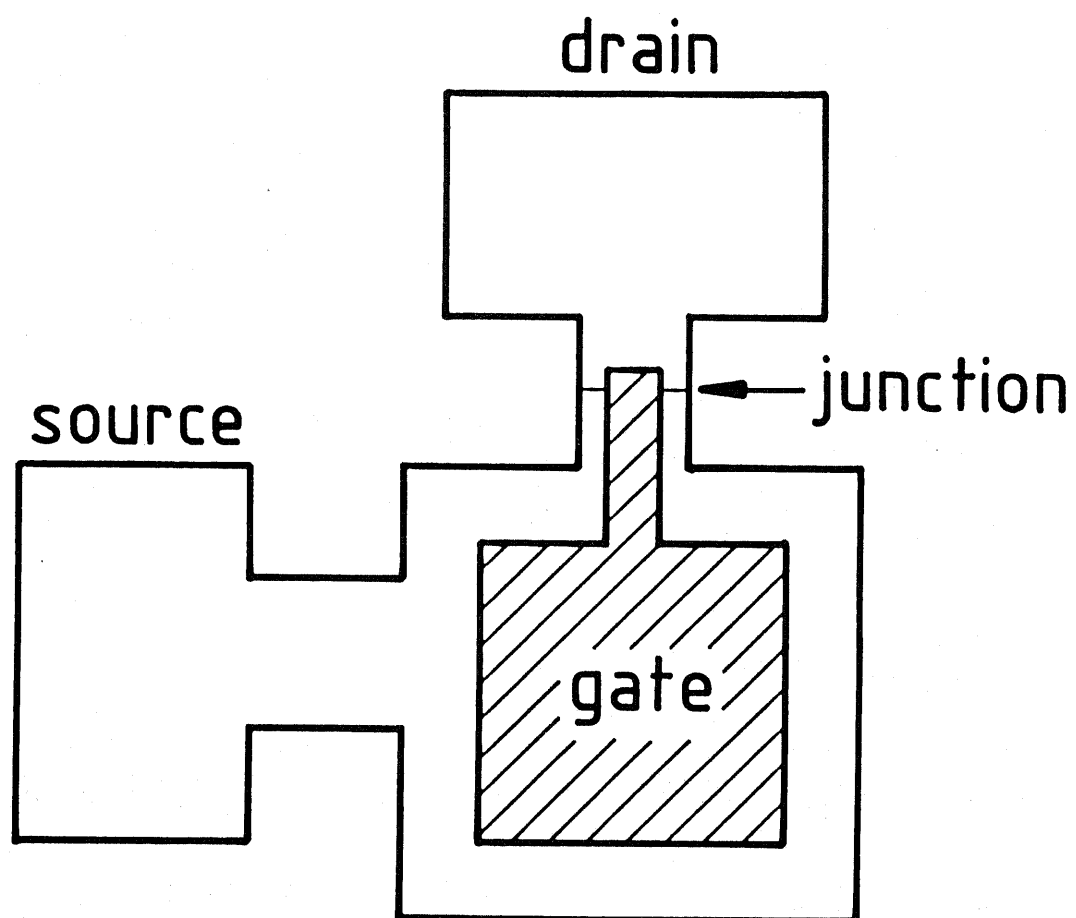


図 5 - 6 ソース・ドレイン電極およびゲート電極のレイアウト

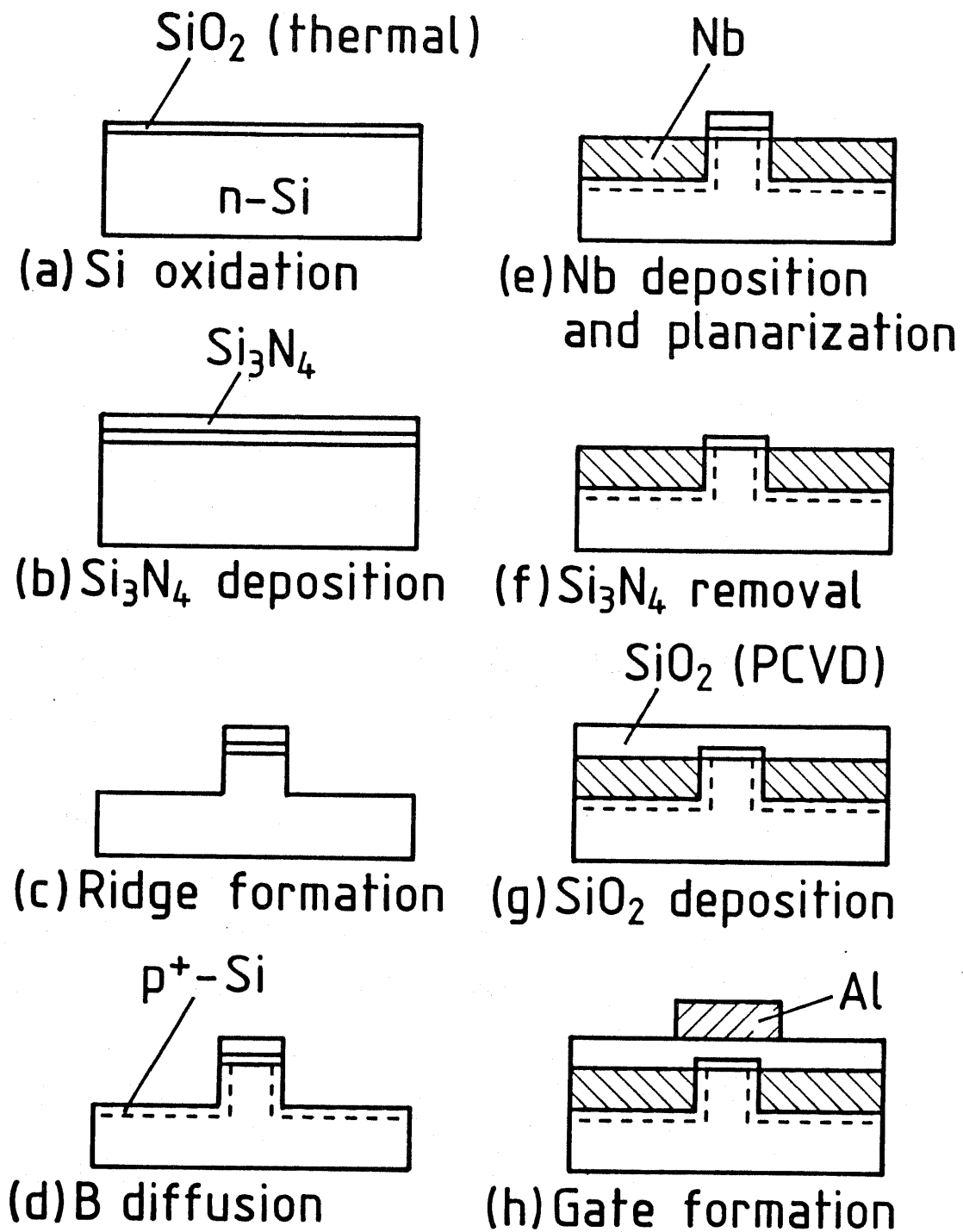


図 5 - 7 FET 作製プロセス (II)

る。

(b) PCVDによる窒化シリコンの堆積

プラズマ化学気相反応法 (plasma chemical vapor deposition: PCVD) により、窒化シリコン (Si_3N_4) を堆積する。用いたPCVD装置 (日本真空技術) は図5-8に示すようなもので、高周波がマッチングボックスを介して陽極へ供給されると、原料ガスがプラズマ状態で分解し、化学的に活性な状態の原子、分子となるため、 300°C 前後の比較的低い温度で膜を形成することが可能である。 Si_3N_4 の堆積では、 SiH_4 と N_2 の混合ガスを原料ガスに用いる。排気系は、油回転ポンプ、メカニカルブースターポンプ、油拡散ポンプからなり、到達真空度は、 $3 \times 10^{-3} \text{Pa}$ である。基板が置かれる下部電極 (陰極) は、ヒーターで加熱され一定温度に保たれる。また、原料ガスの導入は、質量流量制御装置によって制御される。 Si_3N_4 膜を堆積するプロセス条件を表5-1に示した。堆積した膜の厚さは、 40nm である。

(c) リッジの形成

第4章の平坦化プロセス (II) 中に示した工程と同様の方法で、 Si リッジを形成する。ただし、 CCl_2F_2 ガスを用いたRIEでは、 Si をエッチングする前に、 Si_3N_4 膜と SiO_2 膜をエッチングするので、その分だけ平坦化プロセス (II) のときよりもエッチング時間を30秒間長くした。また、リッジ形成後の Si 表面処理では、 HF 水溶液の代わりに緩衝フッ酸 (buffered HF: BHF) を使用した。 HF 水溶液を用いると HF が SiO_2 膜に短時間でまわりこみエッチングされてしまうからである。PCVDで堆積した Si_3N_4 は、BHFに対するエッチング速度は $7 \text{nm}/\text{min}$ と非常に遅いので下層の SiO_2 膜をBHFによるエッチングから保護するし、 SiO_2 膜へのBHFのまわりこみも HF 水溶液よりはずっと遅い。

(d) ほう素の浅い拡散

拡散温度 850°C 、拡散時間10分間の条件でほう素の浅い拡散を行う。リッジ上部には Si の上に熱酸化 SiO_2 膜、さらにその上に Si_3N_4 膜がある。特に Si_3N_4 膜中は不純物が拡散しにくいので、FETのチャネルとなる Si リッジ上部にはほう素が拡散されない。ほう素の拡散中に基板表面に形成された B_2O_3 と SiO_2 の混合膜は、 HF 水溶液やBHFではなく硫酸水溶液を用いて除去する。

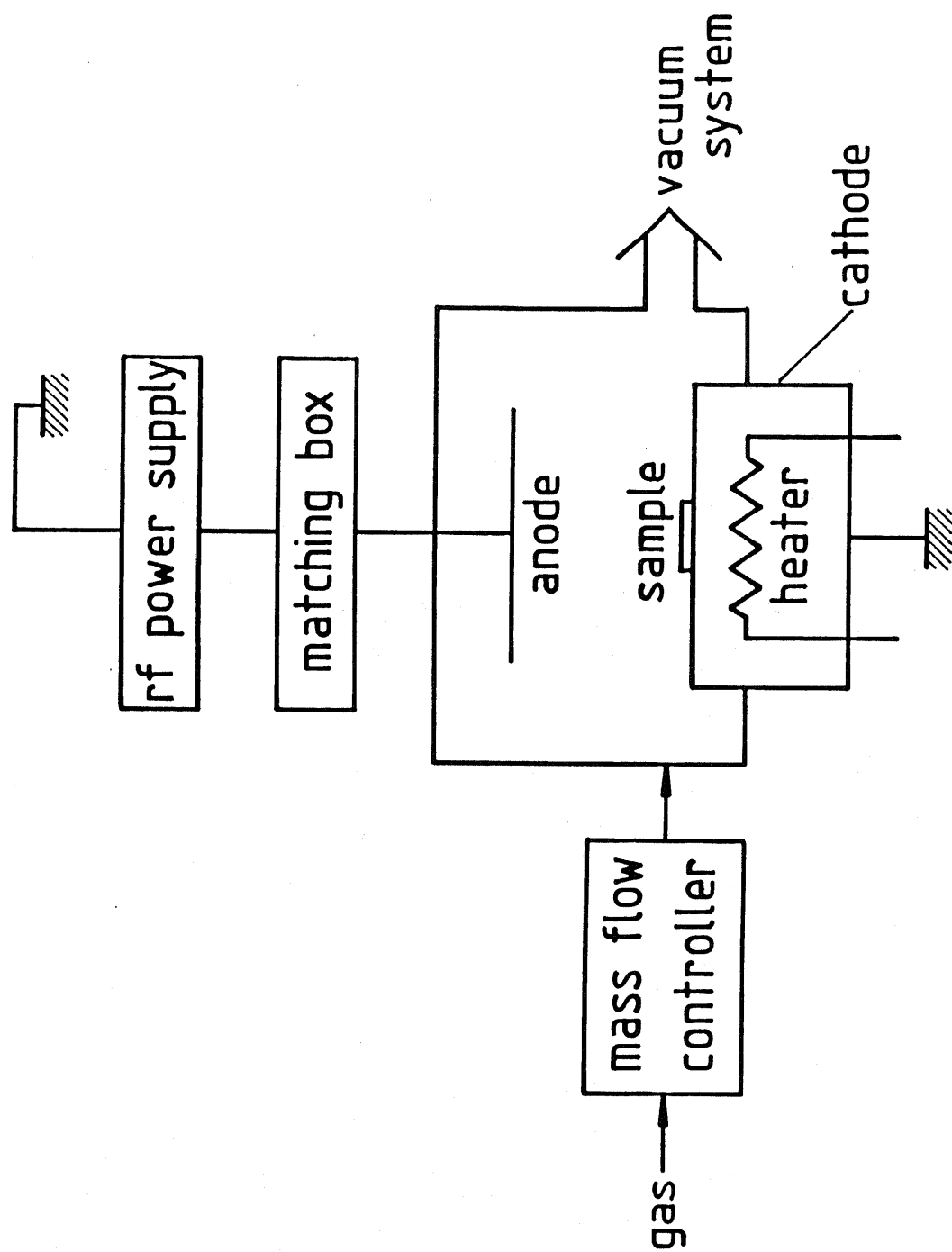


図 5-8 PCVD 装置の構成

原料ガス	$\text{SiH}_4 + \text{N}_2$ (SiH_4 4%)
ガス圧力	0.2 Torr
ガス流量	200 sccm
高周波電力	400 W
基板温度	280 °C
堆積速度	10 nm/min

表 5 - 1 PCVD を用いた Si_3N_4 堆積のプロセス条件

(e) Nbの蒸着および平坦化

電子ビーム蒸着によりNbを150nm蒸着した後、第4章の平坦化プロセス(II)中に行ったように、ポリマーの塗布、リッジ部の頭出し、リッジ部Nbのエッチングを行い、プレーナ構造を形成する。リッジ上部のSi表面とその上層のSiO₂膜はSi₃N₄膜に保護されている。Nbのエッチング時のRIE条件において、Si₃N₄のエッチング速度は約90nm/minである。Si₃N₄膜は40nmの厚さがあるので、Nbエッチング後のオーバーエッチングの許容範囲は30秒近くある。したがって、このSi₃N₄膜がNbのRIE工程でのストッパー層となり、下層のSiO₂膜とSi表面はRIEの損傷を受けない。

(f) Si₃N₄膜の除去

熱リン酸(130℃)中で10分間エッチングしSi₃N₄膜を除去する。Nb、SiO₂は、熱リン酸とは反応しない。

(g) PCVDによるSiO₂の堆積

PCVD装置を用いて、SiO₂膜を堆積する。Arで希釈したSiH₄とN₂Oを原料ガスとして使用する。SiO₂膜を堆積するプロセス条件を表5-2に示した。堆積したSiO₂膜の厚さは、100nmである。ゲート絶縁膜は、既に形成されているSi表面の熱酸化膜とこの工程で堆積したSiO₂膜の2層のSiO₂膜で構成される。

(h) ゲート電極、ソース・ドレイン電極、コンタクトホールの形成

ゲート電極として用いるAlの蒸着とパターニング、ソース・ドレイン電極のパターニング、コンタクトホールの形成を、FET作製プロセス(I)の(f)の工程と同様に行う。

以上、Siの熱酸化膜をゲート絶縁膜に用いたFET作製プロセス(II)の各工程を説明した。このプロセスでは、(b)の工程で堆積したSi₃N₄膜を後の3つの工程で保護膜として使用している。これは、上の説明の途中でも述べたが、以下にこの3点をまとめておく。

①工程(c)のリッジ形成後のSi表面処理におけるBHF使用時に、Si熱酸化膜をBHFから保護する。

②工程(d)のほう素の浅い拡散を行うときに、リッジ上部にほう素を拡散させ

原料ガス	SiH ₄ + Ar (SiH ₄ 10%) N ₂ O
ガス圧力	0.3 Torr
ガス流量	
SiH ₄ + Ar	60 sccm
N ₂ O	100 sccm
高周波電力	30 W
基板温度	300 °C
堆積速度	25 nm/min

表5-2 PCVDを用いたSiO₂堆積のプロセス条件

ない。即ち、 Si_3N_4 膜を選択拡散用のマスクとして用いている。

③工程(e)の最後に行うNbのRIEの時に、 Si_3N_4 膜がストッパー層となり、下層の SiO_2 膜とSi表面を保護する。

5・5 作製したFETの特性

FET作製プロセス(I)および(II)にしたがってMOS FETを作製した。ソース・ドレインのNb電極間の間隔(いわゆるゲート長)は、約200nmとした。プローバとカーブトレーサを用いて、作製したFETの電流-電圧特性を室温で測定した。FET作製プロセス(I)により作製したMOS FETの特性を図5-9に、FET作製プロセス(II)により作製したMOS FETの特性を図5-10にそれぞれ示した。いずれのプロセスで作製したFETもソース・ドレイン間にかなり大きな漏れコンダクタンスが存在するが、FETとしての動作を示していることを確認した。FETの線形領域におけるドレイン電流-電圧の関係式

$$I_d = (W/L) C_{ox} \mu_{eff} (V_g - V_{th}) V_d \quad (5-1)$$

ただし、 I_d : ドレイン電流 V_d : ドレイン電圧

V_g : ゲート電圧 V_{th} : しきい値電圧

W : ゲート幅 L : ゲート長

C_{ox} : 単位面積当りの絶縁膜の容量

μ_{eff} : 実効移動度

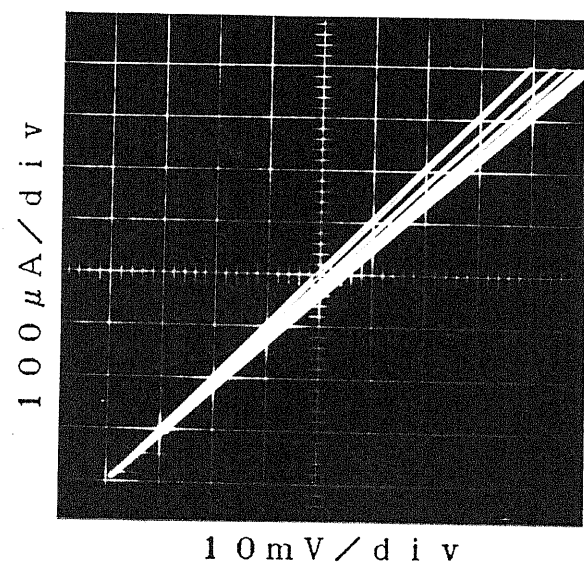
を用いて、作製したFETの実効移動度 μ_{eff} を計算したところ、FET作製プロセス(I)によって作製したFET(図5-9)では $\mu_{eff} = 14 \text{ cm}^2/\text{V} \cdot \text{s}$ 、また、FET作製プロセス(II)によって作製したFET(図5-10)では、 $\mu_{eff} = 15 \text{ cm}^2/\text{V} \cdot \text{s}$ と計算された。ただし、 C_{ox} の値は、前者ではSiOを絶縁膜に用いたMOSダイオードを作製してその蓄積容量を測定することにより求めた。また、後者では

$$C_{ox} = \epsilon / d \quad (5-2)$$

ただし、 ϵ : SiO_2 の誘電率 d : SiO_2 の膜厚

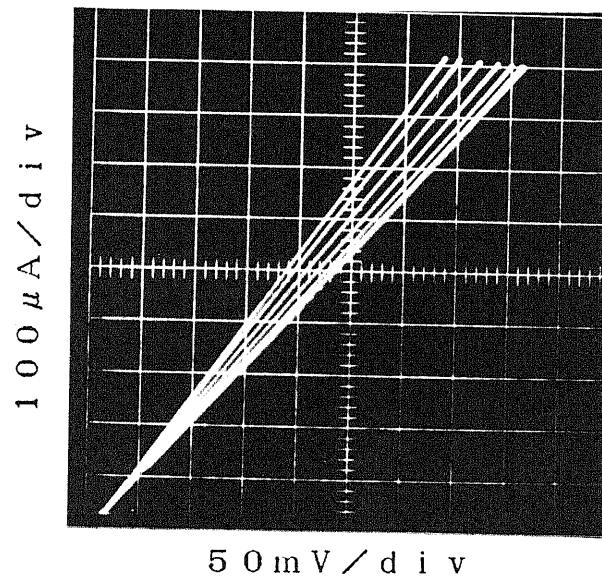
から、比誘電率を4.0として計算した。

FETの実効移動度は、(I)と(II)のFET作製プロセスの間に有為な差



ゲート電圧： $6 \text{V} \sim -6 \text{V}$ ， $2 \text{V} / \text{step}$

図5-9 FET作製プロセス（I）により作製した素子の電流-電圧特性



ゲート電圧： $6\text{V} \sim -6\text{V}$ ， $2\text{V}/\text{step}$

図5-10 FET作製プロセス(Ⅱ)により作製した素子の電流-電圧特性

は認められなかったが、次の2点のような差がみられた。

① (I) に比べて (II) の作製プロセスでは、電流-電圧特性のヒステリシスがほとんど認められない。

② ゲート電圧によって制御できないリーク電流分を差し引くと、FET作製プロセス (I) ではゲート電圧が -2 V からしきい値電圧までの範囲で相互コンダクタンスが極端に低くなっているのに対して、作製プロセス (II) ではこのような不均一な相互コンダクタンスは示さない。

これは、FET作製プロセス (I) ではゲート絶縁膜に SiO を用いているのに対して、FET作製プロセス (II) では SiO_2 を用いており、特に Si との界面の部分が熱酸化膜で形成されていることで、MOS界面特性が改善されたためであると考えられる。

5・6 むすび

拡散法により Si 中へほう素を浅くドーピングするプロセスについて検討した。低温・短時間 (850°C 、10分間) の拡散を行うと、液体ヘリウム温度 (4.2 K) でキャリアが凍結を起こさない領域が表面から約 10 nm しかないような、浅い拡散が実現できることがわかった。

第4章で確立した平坦化プロセスと、ほう素の浅い拡散のプロセスを用いて、 Nb をソース・ドレイン電極に持つプレーナ形でゲート長約 200 nm の Si MOS FET の作製を試みた。FET作製プロセス (I) では、抵抗加熱蒸着装置で蒸着した SiO をゲート絶縁膜に用いたFETを作製した。また、FET作製プロセス (II) では、熱酸化膜とPCVD堆積膜からなる2層の SiO_2 膜をゲート絶縁膜に用いたFETを作製した。FET作製プロセス (II) の途中に用いた Si_3N_4 膜は、途中の工程で使用する保護膜として有効であった。

それぞれのFETの電流-電圧特性を室温で測定し、実効移動度を計算したところ、いずれも $15\text{ cm}^2/\text{V} \cdot \text{s}$ 前後の値となり、FET作製プロセス (I) と (II) の間の相違はほとんど見られなかった。しかし、電流-電圧特性のヒステリシスおよび相互コンダクタンスの均一性の点で、後者が優れていた。これは、 SiO 膜と Si 熱酸化膜のMOS界面特性の違いがあらわれているものと考えられる。

第 6 章 結 論

電界効果型の超伝導三端子素子は、入出力分離特性に優れた超伝導三端子素子であり、その中でも、半導体材料に Si を用いた素子は、実用性の点から期待が持たれているが、特に、集積回路へ応用するには、プレーナ形の素子を形成することが不可欠である。本研究では、プレーナ形の電界効果型超伝導三端子素子を実現するために必要な Si 結合プレーナ形ジョセフソン素子を試作し、その作製プロセスの検討を行った。

電極間隔が約 $0.1\ \mu\text{m}$ の微細な寸法のプレーナ構造を形成するためには、凹凸のある表面にポリマーを塗布してエッチングすることにより平坦化を行うプロセスが有効であることを、第 3 章で示した。2 つの Nb 電極をほう素を縮退ドーピングした Si で結合したプレーナ形ジョセフソン素子を、この平坦化プロセスを用いて作製した。作製した Si 結合プレーナ形ジョセフソン素子の電流-電圧特性を、測定温度 $4.2\ \text{K}$ において測定し、電極間隔 $50\ \text{nm}$ 、電極 $30\ \mu\text{m}$ の素子で、臨界電流 $110\ \mu\text{A}$ 、 $I_c R_N$ 積 $0.72\ \text{mV}$ の特性が得られた。

Nb および Si の RIE に用いる反応ガスを、 CF_4 から CCl_2F_2 に変更することにより、平坦化プロセスが大幅に改善されることを、第 4 章で示した。また、平坦化プロセスで、Si 表面に RIE による損傷が生じるおそれがあることを指摘し、Al 薄膜で Si を保護することによりこのような損傷を防ぐ方法を考案した。さらに、これと類似した平坦化プロセスを用いて、Al 結合プレーナ形ジョセフソン素子が作製できることを示した。これらのプレーナ形ジョセフソン素子の $4.2\ \text{K}$ における電流-電圧特性を測定し、その動作を確認した。 $I_c R_N$ 積の典型的な値は、 $5\sim 10\ \mu\text{V}$ であった。Si 結合ジョセフソン素子について臨界電流の温度依存性を測定し、測定データと理論曲線との fitting から、素子に用いた Si 中での超伝導電子のコヒーレンス長として、 $7.8\ \text{K}$ (素子の臨界温度) において $23\ \text{nm}$ の値を得た。この値は、理論式から計算した値とよく一致した。

第 4 章までで確立した平坦化プロセスを基礎として、プレーナ形素子を三端子化するために必要となる作製プロセスを検討し、Nb のソース・ドレイン電極を持つプレーナ形の短チャネル MOS FET を試作した。室温で電流-電圧特性を測定し、FET としての動作を確認した。

Si 結合ジョセフソン素子をプレーナ形の構造で作製する試みは本研究で初め

て為され、ポリマーを用いた平坦化プロセスによって実際に素子が作製できることが示された。また、このプレーナ形の素子をもとに作製した短チャネルMOS FETの動作を確認したことで、プレーナ形素子の電界効果型超伝導三端子素子への応用の可能性も確かめられた。

謝 辞

本研究を進めるにあたり、親切かつ丁寧な御指導を頂き、終始暖かい目で見守って下さった菅野卓雄教授に心から感謝します。また、適切な御助言と励ましを下さった岡部洋一助教授と浅田邦博助教授に、心から感謝します。日頃の実験を行うにあたり、さまざまな御助言や御協力を頂いた、新井夫差子助手、北川学技官をはじめとする菅野研究室、岡部研究室、浅田研究室の皆様ならびに基礎実験室の田宮寿美子助手に、深く感謝します。

また、低温測定技術においてさまざまな御指導と御協力を頂いた大塚洋一助教授、大嶋孝吉助手をはじめとする東京大学低温センターの皆様に深謝します。プレーナ構造のSEM観察に御協力下さった西永研究室の皆様と東京大学工学部総合試験所の安達充宏助手に感謝します。

本研究は、文部省科学研究費補助金一般研究B 6 1 4 6 0 1 2 3の補助を受けて行われました。ここに厚く御礼申し上げます。

参考文献

- 1) B.D. Josephson, Phys.Lett.1, 51 (1962).
- 2) A.H.Silver, A.B.Chase, M.McColl and M.F.Millea, Future trends in superconductive electronics (edited by B.S.Falco, J.H.Harris and S.A.Wolf) (Amer.Instit.Phys., New York, 1978), p.364
- 3) G.P.Prans and H.Meissner, IEEE Trans. Electron Devices, September, 605 (1974).
- 4) K.E.Gray, Appl.Phys.Lett.32, 392 (1978).
- 5) K.K.Likharev, V.K.Semenov, O.V.Snigirev and B.N.Torodov, IEEE Trans. Magn. MAG-15, 420 (1979).
- 6) R.P.McNamara and J.E.Mercereau, IEEE Trans. Magn. MAG-15, 599 (1979).
- 7) T.V.Rajeevakumar, IEEE Trans. Magn. MAG-17, 591 (1981).
- 8) T.W.Wong, J.T.C.Yeh and D.N.Langenberg, IEEE Trans. Magn. MAG-13, 743 (1977).
- 9) S.Sakai and H.Tateno, Electron Lett.17, 501 (1981).
- 10) S.M.Faris, S.I.Raider, W.J.Gallager and R.E.Drake, IEEE Trans. Magn. MAG-19, 1293 (1983).
- 11) D.J.Frank, M.J.Brady and A.Davidson, IEEE Trans. Magn. Mag-21, 721 (1985).
- 12) H.Tamura, N.Fujimaki and S.Hasuo, J.Appl.Phys.60, 711 (1986).
- 13) M.Tonouchi, H.Sakai and T.Kobayashi, Jpn.J.Appl.Phys.25, 705 (1986).
- 14) T.D.Clark, R.J.Prance and A.D.C.Grassie, J.Appl.Phys.51, 2736 (1980).
- 15) T.Nishino, M.Miyake, Y.Harada and U.Kawabe, IEEE Electron Device Lett. EDL-6, 297 (1985).
- 16) T.Nishino, E.Yamada and U.Kawabe, Phys.Rev.B33, 2042 (1986).
- 17) H.Takayanagi and T.Kawakami, Phys.Rev.Lett.54, 2449 (1985).
- 18) Z.Ivanov, T.Claeson and T.Andersson, Proc. Int. Conf. on Low Temperature Physics LT-18, 1617 (1987).
- 19) Z.Ivanov and T.Claeson, IEEE Trans. Magn. MAG-23, 711 (1987).
- 20) Y.Okabe, P.Amprung and K.Fukuoka, Jpn.J.Appl.Phys.25, 1342 (1986).

- 21)Y.Okabe, K.Takeuchi and M.Takatsu, J.Appl.Phys.60, 707 (1986).
- 22)C.L.Hung and T.Van Duzer, Appl.Phys.Lett.25, 753 (1974).
- 23)C.L.Hung and T.Van Duzer, IEEE Trans. Magn. MAG-11, 766 (1975).
- 24)M.Schyfter, J.Maah-Sano, N.Raley, R.Ruby, B.T.Ulrich and T.Van Duzer, IEEE Trans. Magn. MAG-13, 862 (1977).
- 25)R.C.Ruby and T.Van Duzer, IEEE Trans. Electron Devices, ED-28, 1394 (1981).
- 26)Y.Okabe and M.Takatsu, Jpn.J.Appl.Phys.24, 1312 (1985).
- 27)P.W.Anderson and A.H.Dayem, Phys.Rev.Lett.13, 195 (1964).
- 28)J.Lambe, A.H.Silver, J.E.Mercereau and R.C.Jaklevic, Phys.Lett.11, 16 (1964).
- 29)J.E.Zimmerman and A.H.Silver, Phys.Lett.10, 47 (1964).
- 30)J.E.Zimmerman and A.H.Silver, Phys.Rev.141, 376 (1966).
- 31)J.E.Zimmerman and A.H.Silver, Solid State Commun. 4, 133 (1966).
- 32)C.C.Grimes, P.L.Richards and S.Shapiro, Phys.Rev.Lett.17, 432 (1966).
- 33)A.H.Dayem and C.C.Grimes, Appl.Phys.Lett.9, 47 (1966).
- 34)P.G.De Gennes, Rev.Mod.Phys.36, 225 (1964).
- 35)P.G.De Gennes, Superconductivity of Metals and Alloys (Benjamin, New York, 1966).
- 36)G.Deutscher and P.G.De Gennes, Proximity Effect in Superconductivity, edited by R.D.Parks (Marcell Dekker, New York, 1969).
- 37)H.J.Fink, Phys.Rev.B14, 1028 (1976).
- 38)H.J.Fink and R.S.Poulsen, Phys.Rev.B18 (1978).
- 39)V.L.Ginzburg and L.D.Landau, Zh.Eksp.Theor.Fiz.20, 1064 (1950) (in Russian).
- 40)J.Seto and T.Van Duzer, in Low Temperature Physics LT-13 (Plenum, New York, 1974) Vol.3, p.328.
- 41)W.C.Stewart, Appl.Phys.Lett.12, 277 (1968).
- 42)D.E.McCumber, J.Appl.Phys.39, 3113 (1968).
- 43)T.Kawakami and H.Takayanagi, Appl.Phys.Lett.46, 92 (1985).

- 44)M.Hiraki and T.Sugano, Trans. IECE Japan E70, 389 (1987).
- 45)C.A.Mead and W.G.Spitzer, Phys.Rev.Lett.10, 471 (1963).
- 46)V.L.Rideout, Thin Solids Films 48, 261 (1987).
- 47)電子材料工学 (電気学会)
- 48)L.D.Jackel, R.E.Howard, E.L.Hu, D.M.Tennant and P.Grabbe, Appl.Phys. Lett.39, 268 (1981).
- 49)D.M.Tennant, L.D.Jackel, R.E.Howard, E.L.Hu, P.Grabbe, R.J.Capik and B.S.Schneider, J.Vac.Sci.Technol.19, 1304 (1981).
- 50)J.B.Kruger, P.Rissman and M.S.Chng, J.Vac.Sci.Technol.19, 1320(1981).
- 51)S.Shapiro, Phys.Rev.Lett.11, 80 (1963).
- 52)VLSI Electronics: Microstructure Science, Vol.8 (Academic Press, 1984).
- 53)M.Hiraki and T.Sugano, in Extended Abstracts of Int. Superconductive Electronics Conf., 218 (1987).
- 54)小林俊一著、低温技術 (物理工学実験シリーズ、東京大学出版会)
- 55)J.Bardeen, L.N.Cooper and J.Schrieffer, Phys.Rev.108, 1175(1957)
- 56)F.J.Morin and J.P.Maita, Phys.Rev.96, 28 (1954).
- 57)電子物性工学 (電子通信学会)

本研究に関する公表文献および研究発表

公表文献

- 1) M.Hiraki and T.Sugano, "Coplanar Silicon-Coupled Josephson Junctions with Recessed Electrode Structure", Trans.IECE Japan, vol.E70, No.4, pp.389-391 Apr. 1987.
- 2) M.Hiraki and T.Sugano, "Coplanar Bridge Type Josephson Junctions with Recessed Electrode Structure", in Extended Abstracts of 1987 International Superconductivity Electronics Conference, pp.218-221.

研究発表

- 1) 平木充、清水淳、菅野卓雄 「ジョセフソン電界効果トランジスタ試作プロセスの検討」 1985年春季応用物理学会予稿集 p.404
- 2) 平木充、菅野卓雄 「プレーナ形超伝導三端子素子を作製するための微細加工プロセス」 1986年秋季応用物理学会予稿集 p.428
- 3) 平木充、菅野卓雄 「プレーナ形超伝導三端子素子を作製するための微細加工プロセス(II)」 1987年春季応用物理学会予稿集第1分冊 p.74
- 4) 平木充、菅野卓雄 「Si結合ジョセフソン素子における I_c の温度依存性」 1987年秋季応用物理学会予稿集第1分冊 p.76
- 5) 平木充、菅野卓雄 電子情報通信学会技術研究報告 SCE87-27
(1987年11月)