

磁歪遅延線検査装置

Magnetostrictive Delay Line Inspection Equipment

高木 幹雄*・藤本 洋*

Mikio TAKAGI and Hiroshi FUJIMOTO

1. はじめに

最近小容量、低価格な記憶装置として磁歪遅延線が再び注目され、データ伝送端末装置、卓上計算機などに手頃な記憶装置として用いられるようになってきた。

磁歪遅延線は実用化されているもののいくつかの問題点がある。その問題として

- 1) 磁歪遅延線の検査法の確立
- 2) 雑音の発生機構の解明とそれに基づいた低減化
- 3) 符号間干渉の除去
- 4) IC 化に適した周辺回路と実装

などが挙げられる。

上記の問題点の中で、検査法の確立が行なわれていない。磁歪遅延線の検査、評価には単発パルスの応答に対する S/N が用いられているが、デジタル信号の遅延に用いられることを考えると、その状態はランダムパルス列を加えたときの誤り率によって評価されるのが適当である。しかし、誤り率による検査法は優れているということは認められていても適当な検査装置が得られないためにあまり行なわれていない。磁歪遅延線の検査法の確立のために磁歪遅延線検査装置を試作し、これを用いて遅延線の検査を誤り率を測定して、アイパタンを求めることにより行なった結果有効な検査法であることを確かめたので報告する。

2. 誤り率による検査法とその構成上の問題点

誤り率による検査は図1のごとくに行なわれる。

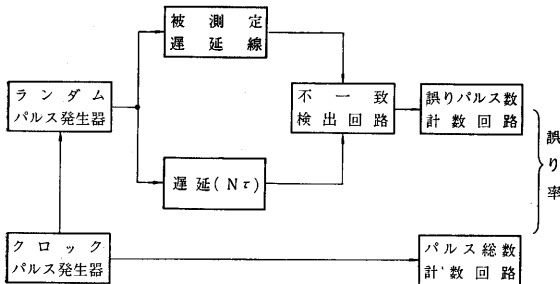


図1 誤り率による検査法

すなわち、ランダムなパルスを発生し、これを被測定遅延線と一定の遅延回路に加え、 $N\tau$ 後 (N : 遅延線のビット数, τ : 1ビットの時間) に両出力を比較し、不一致のときは誤りとして誤りパルス数計数回路で計数する。

一方、発生したパルス数をパルス総数計数回路で計数し、誤り率を求める。

この方法は原理的には簡単であるが構成上次の2点が問題となる。

- a) ランダムパルスの発生
- b) 比較を行なうための遅延

a) は PN 系列 (m 系列) 等を用いるのが構成上簡単であるが、どの程度のランダムさが要求されるかにより用いるシフトレジスタの長さを決定する。

b) は被測定遅延線の長さにより変わるので可変であることが望ましい。ここにシフトレジスタを置けば良いが要するビット数が多く実用的でない。ランダムパルス発生器として、擬似ランダム系列を用いるならばその周期性を利用して、その発生位相を $N\tau$ だけずらすことにより解決できる。

3. 検査装置の概要

図2に検査装置のブロック図を示す。ランダムパルス発生器には n ビットのシフトレジスタを用いた PN 系

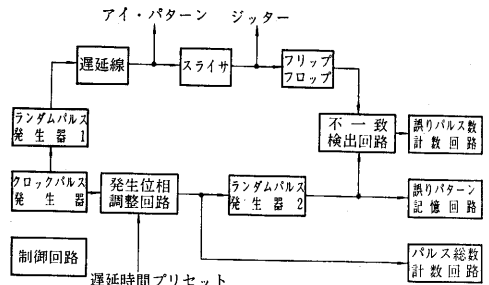


図2 検査装置のブロック図

列発生回路を用いる。これは $2^n - 1$ ビットの周期を有し、(000...0) (n ビットの "0") を除く n ビットのすべてのパターンを発生する。発生位相調整回路は2つのランダムパルス発生器の間に遅延線のビット数だけ位相をずらすためのものでプリセットカウンタからなる。

この装置の動作は次のごとくである。まずスタートスイッチを押すと両ランダムパルス発生器に初期状態がセットされ、ランダムパルス発生器1が動作を開始すると共に発生位相調整回路がクロックパルスの計数を始める。その計数が予め定められたビット数 N だけ計数すると、制御回路がランダムパルス発生器へのクロックパルスの供給を開始し、ランダムパルス発生器2の出力と遅延線出力との不一致検出回路が動作を始め、誤りが生じ

* 東京大学生産技術研究所 第3部

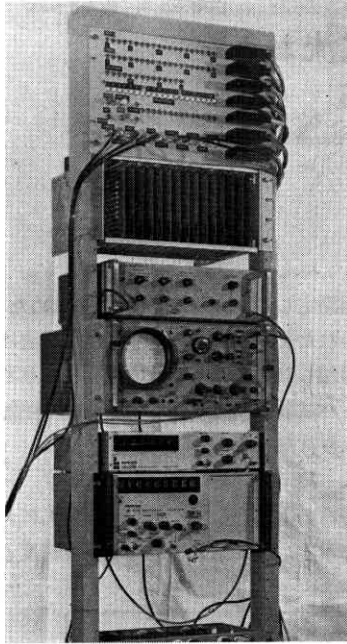


図 3 検査装置

状態をランダムパルス発生器 1 に転送し、初期状態をそろえる。以後はスタートのときと同様にまずランダムパルス発生器 1 が動作を開始し、 N ビット後にランダムパルス発生器 2 が動作をはじめる。またスイッチにより誤りを生じてもクロックパルスの供給を止めないようにし

たときには制御回路により全回路へのクロックパルスの供給を止め全回路は停止する。この状態で誤りパターン記憶回路に記憶されている 20 ビットの誤りパターンがランプに表示される。誤りパタンの記録が終るとパネル上のリスタートスイッチを押す。この際、誤りを生じた次の状態からスタートさせるためにランダムパルス発生器 2 の

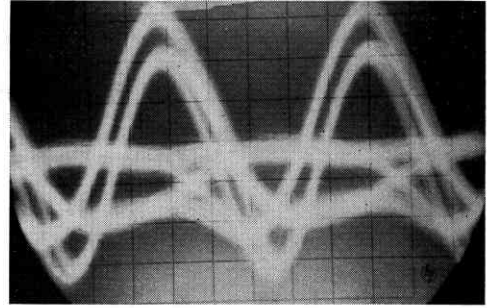


図 4 アイパタン 周波数=99990Hz, ランダムパルスの長さ $(2^{20}-1)$ ビット
横軸 $0.2 \mu\text{sec/div}$, 縦軸 0.5 V/div

て誤りの個数をカウンタで計数すれば誤り率が求まる。試作装置は論理回路にすべて IC を用いて構成した。図 3 に検査装置の全体の様子を示す。試作装置の仕様をまとめると
クロック上限周波数: 3 MHz
ランダムパルスの周期: $3 \sim 2^{20}-1 (1048575)$ ビット間の 2^n-1 ビット
測定できる遅延線の長さ: $1 \sim 2^{14}-1 (16383)$ ビット
(任意)誤りパタンの表示: 誤りビットを含み先行する 20 ビット

4. 実験結果

図 4 のように従来から用いられているアイパタンを求めたが 10^{-6} 程度の誤り率を検知するのは不可能である。したがって、本試作装置の目的である誤り率を測定しアイ・オープニングを求めた。図 5 は横軸に周波数を取り、縦軸にスライスレベルをとって誤り率ゼロの領域を求めた。

パラメータとしてランダムパルスの長さをとった。図から $2^{20}-1$ ビット程度ランダムさが必要で、32 ビット程度の短いパタンで評価しても意味がないことがわかる。

5. 結 言

検査装置を試作した結果ランダムパルスの発生、誤りパタンの表示、誤り率の測定を行なうことができ、設計どおりの動作を確認した。この装置を用いることにより、検査が手軽にでき、かつ、遅延線自身から生ずる振動雑音を除いて高性能化に役立つものと思われる。

6. 謝 辞

たえずご指導いただく本所尾上教授、設計に関して討議下さった高羽助教授、ご援助いただいた日本電気 KK 蔵、三浦、沢田の諸氏に謝意を表する。

(1969年 4月25日受理)

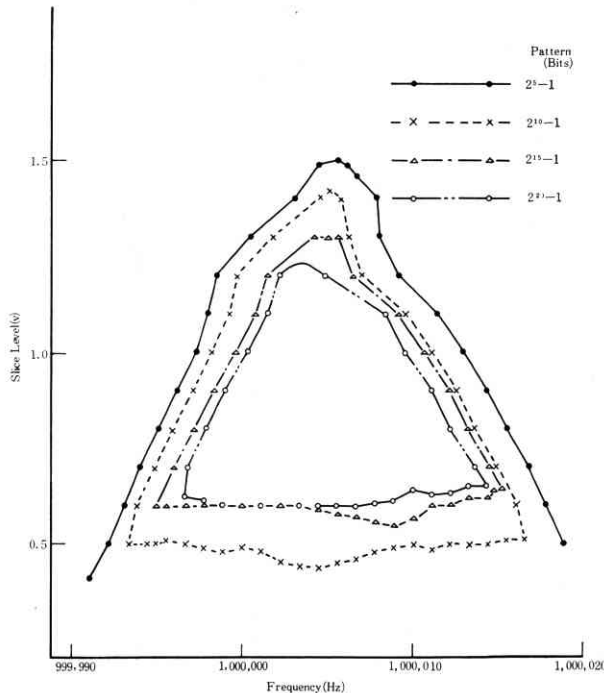


図 5 誤り率ゼロの領域