



学位請求論文

極短ゲートMOS電界効果トランジスタ用
ゲート酸化膜と超薄膜SOI構造の研究

平成元年12月22日提出

指導教官

菅野卓雄教授

東京大学大学院工学系研究科
電子工学専門課程
学籍番号 77089

三木浩史

目次

第1章 序論	1
1. 1 はじめに	1
1. 2 本研究の背景	4
1. 3 SiO ₂ 中のトラップに関する研究の現況と動機	6
1. 3-1 SiO ₂ 中のトラップに関する電気的な測定	6
1. 3-2 物理的な測定(ESR)による SiO ₂ 中のトラップと電気的な測定	9
1. 4 超薄膜SOIに関する最近の研究の動向と本研究の動機	10
1. 5 本研究の概要と意義	12
<第1章の文献>	14
第2章 熱酸化SiO ₂ 中のトラップの アバランシェ注入法による測定	17
2. 1 はじめに	17
2. 2 As-grown SiO ₂ 中の電子トラップ	20
2. 3 As-grown SiO ₂ 中の正孔トラップ	33
2. 4 捕獲正孔による電子捕獲	42
2. 5 2章のまとめ	46
<第2章の文献>	48
第3章 熱酸化SiO ₂ 中のトラップの 電子スピン共鳴による検出とキャリア捕獲機構	49
3. 1 はじめに	49

3. 2	ESRによるSiO ₂ 中のE'センタの検出	49
3. 3	ESRによるSiO ₂ 中のP _b センタの検出	53
3. 4	SiO ₂ 中の電子/正孔トラップの構造と酸化プロセス	57
3. 5	3章のまとめ	58
	<第3章の文献>	59
第4章	熱酸化SiO ₂ 中のトラップに対する熱処理の効果	60
4. 1	はじめに	60
4. 2	超ドライ酸化膜の熱処理	60
4. 3	ウェット酸化膜の超ドライ熱処理	63
4. 4	超ドライ酸化膜へのフッ素導入	71
4. 5	4章のまとめ	76
	<第4章の文献>	80
第5章	低温酸素熱処理による 超ドライ酸化膜中の正孔トラップ低減	81
5. 1	はじめに	81
5. 2	酸化終了の方法と低温酸素アニールの条件	82
5. 3	トラップ密度の低温酸素熱処理による変化	84
5. 4	5章のまとめ	90
	<第5章の文献>	92
第6章	SIMOXを用いた超薄膜SOIMOSFETの電気特性	93
6. 1	はじめに	93

6. 2	CMOS/SIMOXの作製プロセス	97
6. 3	デバイス評価のためのマスクパターン 設計	110
6. 4	MOSFET/SIMOXの基本特性	118
6. 5	リング発振器によるCMOS/SIMOXの高速性の評価	158
6. 6	3トランジスタモデルによるディープサブミクロンの特性評価	173
6. 7	6章のまとめ	187
	<第6章の文献>	189

第7章	結論	191
-----	----	-----

本研究に関する文献と発表	194
--------------	-----

謝辞	197
----	-----

第1章 序論

1. 1 はじめに

MOSLSIの高集積化と高性能化は、いわゆるスケーリング則[1.1]に従うデバイスの微細化に支えられて、現在に到っている。過去何度か集積化の限界を議論されながらも、量産レベルで $0.8\mu\text{m}$ 、研究レベルで $0.5\mu\text{m}$ のMOSLSIが実現されている。 $0.5\mu\text{m}$ 時代を迎えた現在、ついにSiMOSFETについても $0.1\mu\text{m}$ が現実的な目標として開発対象に選ばれるようになった。この $0.5\mu\text{m}$ 以下の領域を、“ディープサブミクロン”と呼ぶ。本研究の目的は、ディープサブミクロン領域において、高速でかつ信頼性の高いMOSFETの基本構造を探るものである。ディープサブミクロンMOSFETを実現する上で、微細加工技術の進歩が必要なことはもっとも明らかな障壁であろうが、さらにデバイス上での問題点が山積みしている。その問題点は大きく分けて2つに分類される。一つが、ホットキャリア効果であり、もう一つがショートチャネル効果である。

かつてサブミクロン時代に入ったとき、研究者のもっとも大きな関心事は、ホットキャリア効果[1.2]であった。MOSFETの微細化にもかかわらず、電源電圧は $3\mu\text{m}$ ルールの時代からのTTLレベル互換5Vを維持しなくてはならないために、スケーリング則が厳密には適用できなくなる。その結果デバイス内部に高電界領域が発生し、そこで発生したホットキャリアがゲート絶縁膜に注入される。このキャリアのうち、一部は酸化膜中に捕獲され、固定電荷として振舞ったり、あるいはゲート酸化膜-シリコン基板界面を劣化させたりして、MOSFETの特性を変動させる。従来、キャリアは凡そ電子を想定しており、事実、デバイス特性の劣化の大部分は電子注入とそれに付随する効果として説明されている。

ディープサブミクロン領域では、このホットキャリア効果のうち、電子注入の占める重要性は相対的に低下してくる。後で述べるように、電子を捕獲する酸化膜中のサイト("電子トラップ")は、酸化膜中で膜厚方向に対しては均一に分布していると考えられており[1.3]、MOSFETのゲートスレシヨールド電圧のシフト量は、同一の密度の電子トラップを含む酸化膜であれば膜厚の2乗に反比例して減少してゆくからである。逆に重要性をましてくるのは正孔捕獲の影響である。正孔捕獲サイトは、酸化膜中の分布がSi-SiO₂近傍に集中していると考えられており[1.3]、スレシヨールド電圧に与える影響は、膜厚の逆数でしか減少しない。また、膜厚が薄くなると、SiO₂自身に加わる電界の影響も考慮しなくてはならない。例えば、5Vのゲート電圧が10nmの酸化膜に印加されると電界ストレスは5MV/cmである。非常に注意してつくられた酸化膜のタイムゼロ絶縁破壊電界(電界を印加した直後に絶縁破壊を起こす電界)が8~10MV/cmであることを考慮すると[1.4]、極めて強い電界を常時与えられていることになる。このような強い電界の元でも、10年間ゲート酸化膜の耐压低下を招かないような絶縁膜を形成することは容易ではない。このような状況では、絶縁破壊の原因と考えられている正孔捕獲の確率の小さい酸化膜が求められることになる。従って、本研究ではゲート絶縁膜用のSiO₂にディープサブミクロン領域で要求される性質として、従来にもまして重要性を持つ正孔トラップに、電子トラップと同様の注意を払っている。

もう一方のショートチャネル効果は、通常従来1次元的に捕らえられてきたデバイス特性が、素子寸法の微細化によって、電界や電位の2次元あるいは3次元的な分布を考慮しなくてはならないことを、意味する。典型的にはゲートスレシヨールド電圧のドレイン電界依存性、あるいはパンチスルーといった特性に現れる[1.5]。スケーリング則では、これらの特

性をチャンネルのドーピングレベルを上げ、電界分布の広がりを抑えるという方法で対処する。無論電界を集中させると、先のホットキャリア効果は激しくなるので、LDD^[1.6]、DDD^[1.7]、GOLD^[1.8]のような構造を採り、もっともきびしいドレイン近傍の電界を緩和する。しかし、0.1 μm を目標としたMOSFET構造としてはこのような手段は限界にきていると考えられる。チャンネルのドーピングレベルの上昇にしたがうチャンネル表面での不純物濃度上昇は、明らかにキャリア移動度低下の弊害を生む。埋め込みチャンネル型の構造は、0.1 μm レベルでパンチスルーを抑制できるかどうか疑わしい。そこで現在までに提案されている対策は2通りに分かれる。液体窒素温度動作^[1.9]と、SOI構造の採用^[1.10]である。このうち、低温動作については、デバイス設計から見ればもっとも簡便で、これまで蓄積されたSiLSI技術をそのまま生かせる点で、魅力的であるが、低温でのホットキャリア効果は、室温よりも激しくなるという報告^[1.11]もあり、まだ考慮すべき点が多い。また、冷凍機の進歩により、液体窒素温度動作は、コスト面では現実的な選択の範疇にあるが、保守面での問題など、デバイス設計は容易でもシステムのまだ実用的とは言えないであろう。

本研究では、これらの問題を本質的に改善し、しかもホットキャリア効果を考慮したデバイス構造としての超薄膜SOI構造を試作し、その基本特性を明らかにする。SOI構造は寄生容量低減、照射耐性の向上、CMOSラッチアップフリーなど、古くから高速高信頼性MOSFET実現が可能な素子構造として注目されていながら^[1.13]、必ずしも汎用の集積回路用としては実用化レベルにあるとは言い難い。その最大の原因は、基板のコストや結晶性のために、上記の特徴が相殺されてしまうためと思われる。ところが近年のSIMOX技術の進展^[1.14]により、結晶性、基板生産のスループットともに、従来の常識を覆すのに十分な成果があがっている。そ

のため、本研究ではSOI構造作製技術として、SIMOXを採用し、超薄膜SOIのショートチャネル効果抑制の能力について評価することにした。

以上のような動機のもと、本研究では、ディープサブミクロンMOSFETを用いた超高集積回路実現のための基礎技術として、2つのもっとも重要な鍵を取り扱う。一つはホットキャリア効果抑制のためのゲート絶縁膜であり、そしてもう一つはショートチャネル効果抑制のための超薄膜SOIMOSFET構造である。

1. 2 本研究の背景

1.1節で述べたように、ディープサブミクロンMOSVLSIを作製するためには、多くの検討課題があるが、その中でも、ゲート酸化膜の信頼性とショートチャネル効果の克服は最大の鍵となる技術と考えられる。

まず、 SiO_2 についてであるが、この研究の歴史は長く、これまでに膨大な研究成果が積み重ねられてきたために、すでに研究対象としては知り尽くされたかのように思われるが、実際はそうではない。 Si-SiO_2 系の研究は、 Si-SiO_2 界面と SiO_2 バルクの問題とに分けられる。 Si-SiO_2 界面はAs-grownでは $10^{10}/\text{eV}\cdot\text{cm}^2$ 程度の界面が得られており、またその理論的な検討も行われている。しかしながら、1.1で述べたようなホットキャリア効果に従って生成する界面準位の密度は 10^{11} から $10^{12}/\text{eV}\cdot\text{cm}^2$ に及び、そのメカニズムについての結論は出されていない。 SiO_2 バルク中の問題としては、電子の伝導機構はほぼ明らかになったが[1.15]、正孔について[1.16]は曖昧な結論しか得られていない。キャリア捕獲中心についても同様に、電子トラップについては構造とその成因がほぼ明らかになった[1.17]状況であるが、正孔トラップについては結論がでていない。また、 SiO_2 の耐圧を決定する機構、TDDBを決定している機構についても、さまざま

な議論がされているが、断定的な結論を得ているわけではない。さらには、デバイスの微細化に従う酸化膜の薄膜化によって、Si-SiO₂界面とSiO₂バルクの問題は相互に関わりを持つ[1.18]ようになっており、より本質的な理解をしておく必要がでてきたと思われる。

一方、ショートチャネル効果を抑制するための構造として薄膜SOIMOSFETを用いるという発想は、SekigawaらによるXMOS[1.19]がもっとも初期の提案に当たるとと思われる。彼らのXMOSはSOI構造ではないが、チャネル領域をTOP GATEとBOTTOM GATEではさみ、シリコン薄膜の厚みをTOPとBOTTOMから延びる空乏層の和程度にすることで、閾値電圧のチャネル長依存性が抑えられることを計算により示している。しかしながら、1.1でも述べたように、チャネル不純物密度の増大とLDD、DDDのようなドレインエンジニアリングによって0.5 μ mが実用化されたことでも示されるように、この発想が振り返られることはしばらく無かった。その後、薄膜SOIを用いてデバイスを作製する提案がいくつかなされたが、その中でも注目すべきものは、Malhiらによる低不純物密度超薄膜SOIMOSFETの提案[1.20]であった。チャネル不純物密度増加によるショートチャネル効果抑制では本質的にドレイン接合の電界強度が上昇する。これはアバランシェ降伏に起因するデバイスの耐圧劣化や、ホットキャリア効果の点から見て、望ましくない。Malhiは逆に不純物密度をほぼイントリンシック迄低下させ、SOI膜を超薄膜化することで耐圧を取ろうとした。ここで言う超薄膜化とは典型的には100nm程度の厚さであり、閾値電圧付近までに、SOI層は全て空乏化する。後に述べるように、完全空乏化が従来型SOIMOSFETと超薄膜SOIMOSFETの特性の大きな差になる。超薄膜化することで、ゲート電界はSOI基板をつきぬけ、下地酸化膜まで到達するが、この原理により、ドレイン電流のゲートによる制御性が向

上する。この発想をさらに押し進めると再びSekigawaらのXMOSに戻ることになる。この構造はショートチャネル効果を抑えるという意味では究極の電界効果トランジスタと言える。しかし、現状の技術では、BOTTOM GATEを基板に作り込むことは不可能である。むしろ、現在の微細加工技術を用いれば、縦型のシリコンの両側あるいは周囲をゲートではさむ構造が、現実的であり、事実最近になって、いくつか試作報告がなされている[1.21,1.22]。しかし、これらの技術は、まだプロセスの検討段階にあるように思われる。すなわち、3次元的なデバイスを作製するため、側壁の酸化など検討すべき問題が多く、"0.1 μm のデバイス作製技術"という目的には合致しないものとする。

現状では、超薄膜SOIのショートチャネル効果抑制が、ディープサブミクロンで有効かどうか、また、高速動作が可能かどうかについての検討例がほとんど無い。デバイス動作に、SOIの膜厚や、結晶品位と言った制御しにくい問題が絡むためであるが、この点でSIMOXを用いた超薄膜SOIは、原理的に有利であると考えられる。本研究では、SIMOXのこの特性を生かし、試作検討を行うものである。

1.3 SiO₂中のトラップに関する研究の現況と動機

SiO₂中のトラップに関する研究は電氣的な測定法と、物理的測定法により研究されているが、それぞれの成果を統合して理解する試みはまだ十分とはいえない。そこでここでは便宜上電氣的測定による成果と物理的測定による成果を順に述べることにする。

1.3-1 SiO₂中のトラップに関する電氣的な測定

SiO₂中にAs-grownで存在するトラップは、その成因からみた場合には次

の3種類に分類できると考えられる。

(i) イントリンシックなトラップ

SiO_2 の本質的な構造に起因するトラップであり、Si-O-Siの結合状態により発生するものである。酸素空位やサブオキサイドもこれに含まれる。

(ii) 水素に関連するトラップ

SiO_2 中にはさまざまな不純物が混入されるが、そのうち現在のプロセス技術でも除去することのむずかしいものが水素に関連するもの(実際は水)である。酸化機構にも深く関わるという点で、水素によるトラップはセミイントリンシックと称することができる。

(iii) その他の不純物によるトラップ

酸化炉やボートの汚染物質、あるいはSiウエハー中に存在する重金属が酸化膜中に取り込まれるとトラップを生成する可能性がある。しかしながら、このトラップは現在では問題にならないレベルである。

これらの電氣的測定による成果をまとめる[1.3]。

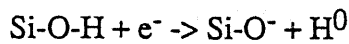
(i) イントリンシックなトラップ

SiO_2 は SiO_4 を基本構成とするとはいえ、非晶質の物質であるので、その結合手の状態(角度、長さ)は分布を持ち、それらがごく浅いトラップを形成する[1.23]。但し、これらのトラップは室温において容易に捕獲電子を再放出するため、MOSFETの閾値変動の原因となるような固定電荷としては寄与しない。次に考えられるのは、特にSi-SiO₂界面近傍に存在すると思われる歪を受けた結合手であり、これらは他のボンダと比較し容易に切断されるものと思われ、キャリア、特に正孔トラ

ップである可能性を有している。Si-O-Siがさらに変化した状態として、酸素空位が考えられる。これも同様に正孔トラップである可能性が高いものである。イントリンシックなトラップについては、正孔トラップとして議論されることが多いが、電氣的な測定だけではその成因について議論することに限界がある。正孔トラップとしてアバランシェ注入法による測定では、その捕獲断面積は 10^{-13} から 10^{-14} cm²であり面密度は 10^{13} /cm²以下である。通常のドライ酸化膜を高温で長時間熱処理すると、密度は増加することが知られている。フォトンによる再放出は、4-5eVでは起こらない。熱的には150℃から400℃でディスチャージする。また浅い正孔トラップはSiO₂中の正孔の移動度に関わっていると思われる。

(ii)水素に関連するトラップ

水素は酸化雰囲気中に水として存在する。通常のドライ酸化では石英管からの水の拡散、サンプル出し入れによる外気の巻き込み等により、その影響をのぞくことは困難である。またCVD等の酸化以外のプロセスで水素を含む雰囲気にさらされること、水は200℃程度の低温で容易にSiO₂中に取り込まれることから、SiO₂中の水素は取り除くことが困難である。SiO₂中に存在する水素は、Si-OH、Si-H、あるいは格子間にHやH₂の形で存在すると考えられる。このうちSi-OHは次の電気化学的な反応で電子を捕獲することが知られている。



逆反応は水を含む200℃程度の雰囲気にさらすことで起きる。このトラップは、水を含む酸化雰囲気で形成した場合や、ドライ酸化膜に水を拡散した場合にみられるので、水に関連するトラップ(water-related

trap)と呼ばれている。捕獲断面積は 10^{-17} から 10^{-18}cm^2 であり、4eV以上のフォトンで再放出する。空間分布は均一であることが知られている。

(iii)不純物によるトラップ

SiO₂中の捕獲中心の研究の初期はほぼこの分類のトラップに集中している。これらのトラップは現在の技術水準では問題にならないものか、故意に導入される場合に限って測定される。なお、これらの結果はすべて電子捕獲に関してである。なお、As-grownでないトラップについては本研究の直接の興味ではないが、電子線やX線を照射した場合には 10^{-15} から 10^{-18}cm^2 の捕獲断面積をもつ中性の捕獲中心が発生することが知られており、X線や電子線による微細加工とともに研究されている。

1.3-2 物理的な測定(ESR)によるSiO₂中のトラップと

電気的な測定

ESR(Electron Spin Resonance)によるSi-SiO₂系の研究は、Nishiによる成果[1.24]をきっかけとして、始まった。Nishiの検出したESRのピークのうち、 P_b と呼ばれるものは異方性を持ち、印加電圧に依存するスピン密度を示すこと、またその依存性はおよそ電気的測定で得られる界面準位密度を定量的に説明できることから、Si-SiO₂界面の未結合手に1個の電子が存在している状態であるという結論が得られている。(111)基板上のSiO₂の場合、 $g// = 2.0014$; $g \perp = 2.008$ 程度のg因子を示すことが知られている[1.25]。

Si-SiO₂系で観察されるもう一つのピークとしては、E'センタと呼ばれるやはりSiの不対電子によるものがある[1.26]。このピークは元々熔融石英への高エネルギー線照射に関する研究で知られていたものである。g因子は異方性を示さず、およそ2.0004で観察される。 P_b センタと同様に、Siの不

対電子がESRで観察されるのであるが、そのSi原始の残りの3つの結合手がSiと結合しているかOと結合しているかにより、g因子の値が異なる。E'センタはX線照射でのMIDGAP電圧(Si表面のフェルミレベルがミッドギャップになる電圧で、この変化量は界面準位による影響を余り受けずに酸化膜中の固定電荷量と対応づけられる)の負のシフト量(酸化膜中の正の固定電荷)とおよそ関係づけられ、E'センタが正孔捕獲中心の微視的な構造であるとする報告[1.26]があるが、これには相反する実験結果[1.27]も報告されている。

その他のESRアクティブな構造としては、酸素の対電子に関わるものとしていわゆるnonbridging oxygen hole trapping center(NBOHC)やsuper oxide radicalがあり[1.28]、これらも元々熔融石英で観察され、後にSi-SiO₂系でも観察された。しかしこれらの構造の電気的特性に与える影響は議論されていない。

このように、原子レベルでの構造情報を与えるESRと電気的特性との対応をとろうという動きがここ数年活発になってきた。はじめに述べたように、P_bセンタと界面準位の関係については、ほぼ結論が得られたといっている。一方E'センタと酸化膜中の正電荷の密度との関係は、直接的な検証はまだなされていないので、これからの研究課題といえる。

1. 4 超薄膜SOIに関する最近の研究の動向と本研究の動機

SOI構造の本質的な高速性、耐放射線性、ラッチアップフリー、などの利点は、電子線アニール、レーザーアニールなどで作製されたSOI薄膜について詳細に調べられている[1.13]。その中で明らかになった問題は、SOIMOSFETがフローティングのチャンネルを持つことに起因する動作不安定性であった[1.29,1.30]。NチャンネルMOSFETを例に取れば、ドレイン近傍

の高電界領域で発生した正孔は、バルクのMOSFETの場合には、バルク基板に拡散し、基板電流となって観測される。一方、そのような正孔の吸い込み口のない、SOIの場合には、フローティングの基板の中性領域に正孔が蓄積し、結果として基板電位が低下する。これは閾値が下がったのと同様の効果と見なせるので、ドレイン電流が増大し、この増大した電流がさらに正孔の発生率を高めるので正のフィードバックがかかり、ドレイン電流-電圧特性では折れ曲がりが見られる[1.29]。これをキンク現象というが、超薄膜SOIがそのキンクを本質的に解消することがColingeによって示された[1.31]。すなわち、完全にSOIが空乏化することで、SOI中に中性領域が存在しなくなり、基板に正孔が蓄積することはなく、速やかにソース領域に拡散する。同様な理由で、スイッチング時のドレイン電圧のオーバーシュート現象[1.30]も観測されなくなる[1.32]。

ショートチャネル効果の抑制については、Kraisornらのモンテカルロシミュレーションの結果[1.10]によると、チャネル長 $0.1\mu\text{m}$ においてもSOIを 10nm 程度に薄くすることで、MOSFET動作が可能であり、ドレイン耐圧としても 3V 程度が得られることが報告されている。また、Colingeらは、完全空乏化したSOIでは、空乏層電荷に終端するゲートからの電気力線がほとんど無視できる程度になり、結果として反転電荷の誘起がより急峻に起こるため、サブスレシールド特性のスロープが理論的な限界値に迫る程度に改善されることを示している[1.33]。

さらにYoshimiらの報告によれば、電子ビーム再結晶化SOIを用いた超薄膜SOIの試作で、低電界移動度として $800\text{-}1000\text{cm}^2/\text{Vs}$ と非常に高い値を報告した。この移動度上昇も、空乏層電荷の量が減少したことによるチャネル垂直電界の緩和によって説明されている[1.34]。またYamaguchiらによれば、空乏層電荷が減る効果は、ドレイン電流電圧特性で見た場合には、

飽和電圧の上昇となって現れること、従って、超薄膜SOIによって、素子のドライバビリティが向上することを報告している[1.35]。

これらの効果は全てディープサブミクロンのSOIMOFETに望まれる性質であり、こういった報告によって、SOIMOSFETがバルクのMOSFETを越える性能を見せるのではないかという期待が高まった。さらにColingeは、ホットキャリア効果についてもドレイン近傍の電界緩和によって改善する可能性があることを指摘している[1.36]。

但し、これらの利点は全て $0.5\mu\text{m}$ 以上の比較的ロングチャネルの領域で議論されており、SOIの膜厚も典型的には 100nm である。ディープサブミクロン領域では当然これよりも薄い膜厚が必要とされるが、それに対する実験的な検討はない。また、予想される高速性についての報告も、ディープサブミクロンに対してはほとんど存在しないのが現状である。

1. 5 本研究の概要と意義

本論文は7章よりなる。第1章は序論として背景と関連する研究の現状を概観した。第2章ではゲート酸化膜用の SiO_2 中のトラップの電氣的測定の一つとしてアバランシェ注入法による測定結果を述べる。ここでは酸化法としてスチーム、ドライ、超ドライの3通りの方法で作製した酸化膜中に存在する電子/正孔トラップの密度を測定し、その結果を解釈するモデルを提案する。第3章では、ESRによる P_b センタ、 E' センタの測定を行い、第2章と同様に酸化法による差異を検討する。また2章の結果と併せて、 SiO_2 中の正孔トラップの構造について考察し、正孔トラップは酸素空位であることを示す。第4章では、第3章の結論を受け、実験的な検証として、超ドライ酸化膜とスチーム酸化膜の熱処理を検討する。第5章では、低温での酸素の導入による超ドライ酸化膜中の正孔トラップ低減の方法

を示し、超ドライ酸化と超ドライ低温酸素熱処理によって、正孔トラップと電子トラップの同時低減ができることを示す。第6章ではSIMOXによる超薄膜SOI構造の検討を行う。まず、基本的な静特性の測定を行い、デープサブミクロン領域でも30nmの薄膜化によってショートチャネル効果が抑制されること、0.15 μm のゲート長でも正常なMOSFET動作が見られることを示す。次に、リングオシレータによるCMOSインバータの遅延時間の見積りを行い、0.25 μm のゲート長で21.5ps/stageの超高速動作を確認した。また30nmのSOI 超薄膜を用いることで、リングオシレータでの評価として遅延時間-消費電力積 0.5fJ/stageの値がえられることを示す。第7章は結論である。

文献[第 1 章]

- 1) R. H. Dennard, F. H. Gaensslen, H-N Yu, V. L. Rideout, E. Bassous, A. R. Leblanc, *IEEE J. Solid-State Circuits*, vol. SC-9, 256 (1974).
- 2) 武田英次, "ホットキャリア効果," 日経マグロウヒル (1987).
- 3) D. J. DiMaria, in *The Physics of SiO₂ and Its Interfaces*, Ed: S.T. Pantelides, Pergamon (1978).
- 4) K. Yamabe and K. Taniguchi, *IEEE J. Solid-State Circuits*, vol. SC-20, 343 (1985)
- 5) S. M. Sze, in *Physics of Semiconductor Devices, 2nd ed.*, John Wiley (1981).
- 6) S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, *IEDM Tech. Dig.*, 651 (1981).
- 7) E. Takeda, H. Kume, Y. Nakagome, T. Makino, A. Shimuzu, and S. Asai, *IEEE Trans. Electron Devices*, vol. ED-30, 652 (1983).
- 8) R. Izawa, T. Kure, and E. Takeda, *IEEE Trans. Elect. Dev.*, vol ED-35, 2088 (1988).
- 9) G. A. Sai-Halasz, M. R. Wordeman, D. P. Kern, E. Ganin, S. Rishton, H. Y. Ng, D. S. Zicherman, D. Moy, T. H. P. Chang, and R. H. Dennard, *IEDM Tech. Dig.*, 397 (1987).
- 10) K. Throngnumchai, K. Asada, and T. Sugano, *IEEE Trans. Elect. Dev.*, vol. ED-33 (1986).
- 11) D.R. Young, E. A. Irene, D. J. DiMaria, R. F. DeKeersmaecker, and H. Z. Massoud, *J. Appl. Phys.*, vol. 50, p.6366 (1979).
- 12) G. S. Ghildenblat, in "VLSI Electronics Microstructure Science," Chapter 5, Academic Press, 1989.

- 13) 例えば 古川静二郎編著、"SOI構造形成技術," 産業図書 (1987).
- 14) 泉勝俊、信学技報、SDM88-164 (1988).
- 15) M. V. Fischetti and D. J. DiMaria, *Solid-State Electronics*, vol. 31, p.629 (1988).
- 16) R. C. Hughes, *Appl. Phys. Lett.*, vol. 26, p.436 (1975); R. C. Hughes, *Physical Review B*, vol. 15, p.2012 (1977).
- 17) A. Hartstein and D. R. Young, *Appl. Phys. Lett.*, vol. 53, 1755 (1984).
- 18) 服部健雄、応用物理、56巻、p. 1412 (1987).
- 19) T. Sekigawa and Y. Hayashi, *Solid-State Electronics*, vol. 27, 827 (1984).
- 20) S. D. S. Malhi, H. W. Lam, R. F. Pinizzotto, A. H. Hamdi, and F. D. McDaniel, *IEDM Tech. Dig.*, 107 (1982).
- 21) H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, *IEDM Tech. Dig.*, 222 (1988).
- 22) D. Hashimoto, T. Kaga, Y. Kawamoto, and E. Takeda, *IEDM Tech. Dig.* (1989).
- 23) M. Itsumi, *J. Appl. Phys.*, vol. 58, p.2524 (1985).
- 24) Y. Nishi, *Jpn. J. Appl. Phys.*, Vol. 10, 52 (1971).
- 25) P. M. Lenahan, W. L. Warren, P. V. Dressendorfer and R. E. Mikawa, *Zeitschrift fur Physikalische Chemie Neue Folge*, Vol. 151, 235 (1987).
- 26) P. M. Lenahan and P. V. Dressendorfer, *J. Appl. Phys.*, vol. 55, p. 3495 (1984).
- 27) 横川、西松、水谷、矢島、鈴木、第50回秋季応物、29a-B-5.
- 28) D. J. Griscom, *J. Appl. Phys.*, vol. 58, p. 2524 (1985).
- 29) K. Kato, T. Wada and K. Tahiguchi, *IEEE Trans. Elect. Dev.*, vol. ED-32, 458 (1985).

- 30) K. Kato and K. Taniguchi, *IEEE Trans. Elect. Dev.*, vol. ED-33, 133 (1986).
- 31) J. -P. Colinge, *Electron. Lett.* vol.22, 187 (1985).
- 32) M. Yoshimi, T. Wada, K. Kato, and H. Tango, *IEDM Tech. Dig.*, 640 (1987).
- 33) J. -P. Colinge, *IEEE Electron Device Letters*, Vol. EDL-7, 244 (1986).
- 34) M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, T. Wada, K. Kato, and H. Tango, *IEEE Trans. Elect. Dev.*, vol. ED-36, 493 (1989).
- 35) 山口、宮武、井上、西村、赤坂、信学技報、SDM88-165 (1988).
- 36) J.-P Colinge, *IEEE Trans. Elect. Dev.*, vol. ED-34, 2173 (1987).

第2章 熱酸化SiO₂中のトラップの アバランシェ注入法による測定

2.1 はじめに

2.1-1 キャリア注入法

熱酸化SiO₂中のトラップ現象の測定には、何らかの方法でSiO₂中にキャリアを注入し、捕獲されたキャリアの量を測定する必要がある。本研究では電氣的測定法としてアバランシェ注入法[2.1]を用いた。

まずキャリア注入法としては、大別して2通りの方法が考えられる[2.2]。一つはSiまたはゲート電極からエネルギー障壁を越えて(またはトンネルさせて)キャリアを注入する方法で、アバランシェ注入法はその代表である。もう一つはSiO₂のバンドギャップ以上のエネルギーを持つフォトン(真空紫外光、X線など)によりSiO₂中に発生した正孔-電子対を利用するものである。フォトンによる方法では、副作用として中性の捕獲中心が発生したり、注入電荷を一通りに限ることができないなど、トラップの定量という目的には適さないとと思われる。Siまたは電極からのキャリア注入法としては、そのほかに、光注入法、FN(Fowler-Nordheim)トンネル電流注入法、チャンネルホットキャリア注入法などがあり、それぞれに利点欠点を有しているが、アバランシェ注入法の他の測定法に対する利点としては、

(i) Si表面で発生させたホットキャリアをSi-SiO₂界面エネルギー障壁を越えて注入するので、SiO₂中の電界が小さくてすむ。従って、高電界に起因する捕獲キャリアの再放出、あるいはトラップの発生といった効果を無視できる。

(ii) 半透明電極のような現実のプロセスでは用いない電極を必要としな

い。デバイス構造は簡単なMOSダイオードなので、チャネルホットキャリア注入で必要なMOSFET構造と比較してきわめて単純で、イオン打ち込みのような他のプロセスの副作用を考慮する必要がない。

(iv)注入される電荷の種類を1つに限ることができる。

など、 SiO_2 中のトラップの電氣的測定には最も優れていると考えられる。大面積均一な正孔注入を考えると、アバランシェ注入法以外では不可能である。このような理由により、本研究ではアバランシェ注入法を用いた。但し欠点としては、空乏層の伸びを抑えるため $10^{17}/\text{cm}^3$ 程度の高濃度に不純物を添加した低抵抗基板を用いる必要があり、これは次章で扱うESR測定との実験比較の際に問題となる。

2.1-2 アバランシェ注入の原理と測定系、データ処理方法

アバランシェ注入法は、反転側にバイアスしたMOSダイオードにさらに高速で変化する大電界を加えることにより、基板Siにホットキャリアを発生させ、そのホットキャリアのうち高エネルギーのものをSi-SiO₂界面の障壁を越えてSiO₂中に注入するものである。従って、P型基板を用いると電子注入が、N型基板では正孔注入が行える。また注入電流はバイアス電圧または高周波電界の振幅で制御できるので、フィードバックをかけ、定電流注入を行う。界面準位が発生していない場合には、定電流注入を行うためのバイアス電圧をモニターすることで、フラットバンド電圧のシフト量を知ることができる。但しバイアス電圧の変化とフラットバンド電圧の変化の一致は、厳密なものではなく、本研究でもフラットバンド電圧が十分に飽和したことを確認するために用いている。

本研究で用いた測定系は羽路が用いたシステム[2.3]とほぼ同一である。但し、羽路のシステムは100nm程度の酸化膜に対する電子注入を想定して

いるので、20nm程度の酸化膜に電子と正孔の両キャリア注入を行う本研究においては、

(i)高周波電界の振幅を十分に確保するため、トランスによる昇圧ではなく高速電力増幅器を用いること

(ii)フラットバンド電圧のシフト量を評価する際にバイアス電圧の変化を使うのではなく実際のCV特性の測定から算出する

という2点を変更している。これらの変更により、本研究で用いた測定系においては、安定した正孔注入が可能になり、また、薄い酸化膜に対しても誤差なくフラットバンド電圧の変化量を知ることができる。

CV測定は1MHzの高周波CV特性とQuasi-Static CV特性とを測定し、理論高周波CV特性との比較からフラットバンド電圧を求め、High-Low Frequency法による界面準位の算出を行っている[2.1]。なお、本研究で用いた基板は反転層が形成される時定数が非常に長いため、現実的な時間で測定を行うためにQuasi-Static CV特性の強反転領域の容量が蓄積領域よりも小さくなっているが、このことは界面準位の算出に影響を及ぼすものではないことを確認している。

このようにして測定したフラットバンド電圧のシフト量から捕獲電荷の面密度を計算するには、捕獲電荷の膜厚方向の分布が必要であるが、電子トラップは均一に分布し、正孔トラップはSi-SiO₂界面にデルタ関数的に存在するとして算出している。この仮定は、100nm程度の酸化膜を用い、室温で測定する場合にはほぼ妥当であることがわかっているが、20nm程度の場合にはあくまで便宜的なものであることに注意する必要がある。

2.1-3 超ドライ酸化法

序論でみたように、現在の技術レベルで SiO_2 中の不純物として問題となるものは水素に関連したものである。酸化プロセスでは水素は酸化雰囲気中の水に含まれるものが酸化膜中に導入されると考えられるため、水素に関連するトラップを議論する際にはコントロールのサンプルとして酸化雰囲気の水を極限まで抑えた酸化膜が必要である。このため本研究では超ドライ酸化法[2.4.2.5]を用いた。超ドライ酸化法とは、図2.1-1に示した2重石英管炉を用いたきわめて水分量の少ないドライ酸化である。通常のドライ酸化で用いられる1重石英管炉では、石英管の外壁に付着した水が高温の石英中を拡散し酸化雰囲気に混入したり、試料の出し入れによる外気の巻き込みなどにより、供給ガスを乾燥しても酸化雰囲気には水分が含まれる。2重石英管炉では、内側の石英管と外側の石英管の間に高純度の窒素または酸素を流すことにより、外壁からの水の侵入を抑え、試料の出し入れの部分に気密性の工夫がなされているため外気の巻き込みも少ない。その結果、酸化雰囲気の水分量は0.5ppm以下(測定限界以下)となっている。

2.2 As-grown SiO_2 中の電子トラップ

2.2-1 試料作成

用いた基板はP型、抵抗率 $0.1\Omega\text{cm}$ 、面方位(100)のSi基板である。評価法としてアバランシェ電子注入法を用いるので、基板にはP型の低抵抗基板を必要とする。この基板を洗浄する。酸化直前の処理は希弗酸処理の後、スピンドライで乾燥する。

酸化プロセスとしては、ウェット酸化(H_2+O_2 ;パイロジェニック)、1重石英管炉によるレギュラードライ酸化、及び2重石英管炉による超ドライ酸化の3通りを行った。酸化膜厚を3種類の酸化法で20nm程度に揃え

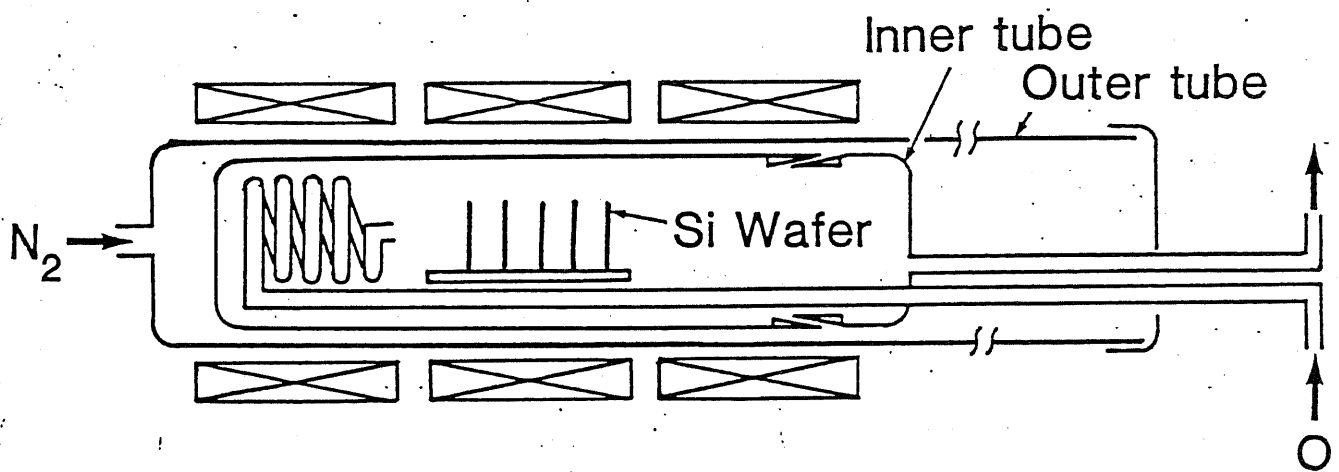


図 2.1-1 2重石英管炉(超ドライ酸化炉)

Oxidation	Pyrogenic	Dry	Ultra-Dry
Furnace	Single Tube (conventional)	Single Tube (conventional)	Double Walled (ultra dry furnace)
Atmosphere	pyrogenic steam (H ₂ + O ₂)	Dry O ₂	Dry O ₂ (humidity: <0.5ppm)
Temperature	850°C	1000°C	1000°C
Time	13'	15'30"	16'
Thickness	~20nm		

表 2.2-1 アバランシェ注入用サンプルの酸化条件

るため、ウェット酸化では酸化温度が850℃で、ドライ及び超ドライでは1000℃である。またレギュラードライ酸化と超ドライ酸化の酸化速度の違いは、酸化時間により調整してある。酸化条件等を表2.2.1にまとめて示す。

酸化終了後、LPCVDによりゲート電極となるポリシリコンを堆積する。ガスは SiH_4 、基板温度は630℃で、膜厚は350nmである。さらに PClO により875℃でリン拡散を行い、 n^+ ポリシリコンを形成する。フォトリソグラフィによりパターンニングを行う。測定の便により、ここでウェハースクライブする。裏面の酸化膜を弗酸で除去した後、抵抗加熱蒸着により裏面にAlを蒸着し、さらに銀ペーストで銅板にサンプルを固定した。

2.2-2 電子トラップの測定と結果

アバランシェ電子注入により、電子を注入する。典型的な注入条件は、 $0.22\text{C}/\text{cm}^2$ (電流密度 $37\sim 148\mu\text{A}/\text{cm}^2$)、直流バイアス電圧は1~2V、高周波電圧は25~30V(peak to peak)である。高周波電圧は400kHzの正弦波である。注入電荷密度については、フラットバンド電圧のシフト量が十分飽和するように選んである。注入前後のCV特性(1MHz 及び Quasi-static)を測定し、フラットバンド電圧の変化と界面準位密度の変化を測定した。

図2.1-1(a)(b)(c)に注入前後におけるC-V特性の変化を示す。(a)がWET酸化膜、(b)がレギュラードライ酸化膜、(c)が超ドライ酸化膜である。同様に図2.2-2(a)(b)(c)にCV特性から計算したSi-SiO₂界面準位密度の分布の変化を示す。フラットバンド電圧の変化量から算出した酸化膜中の固定電荷密度と、ミッドギャップにおけるSi-SiO₂界面準位密度の変化をまとめて表2.2.2に示す。また、捕獲断面積を正確に評価するため、WET酸化膜についてはアバランシェ電子注入を中断し、高周波CV特性の測定を行い、

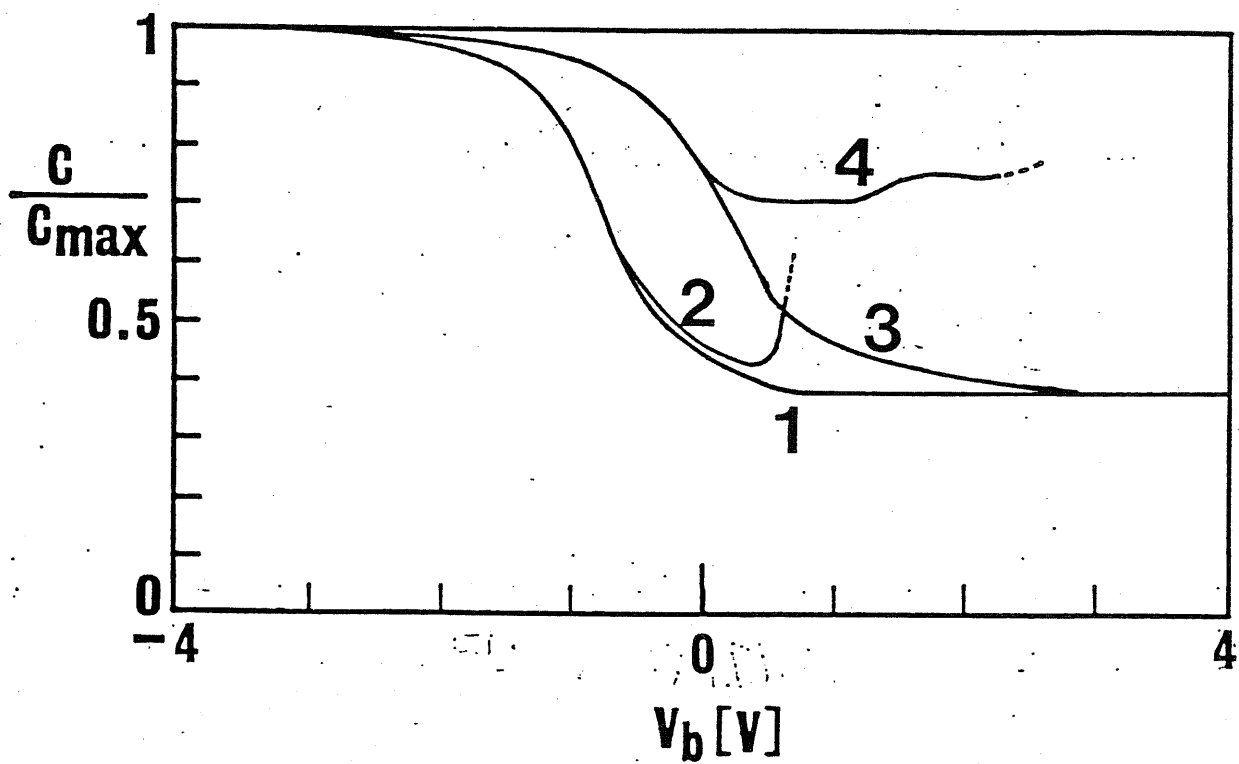


図 2.2-1(a) Wet酸化膜の電子注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

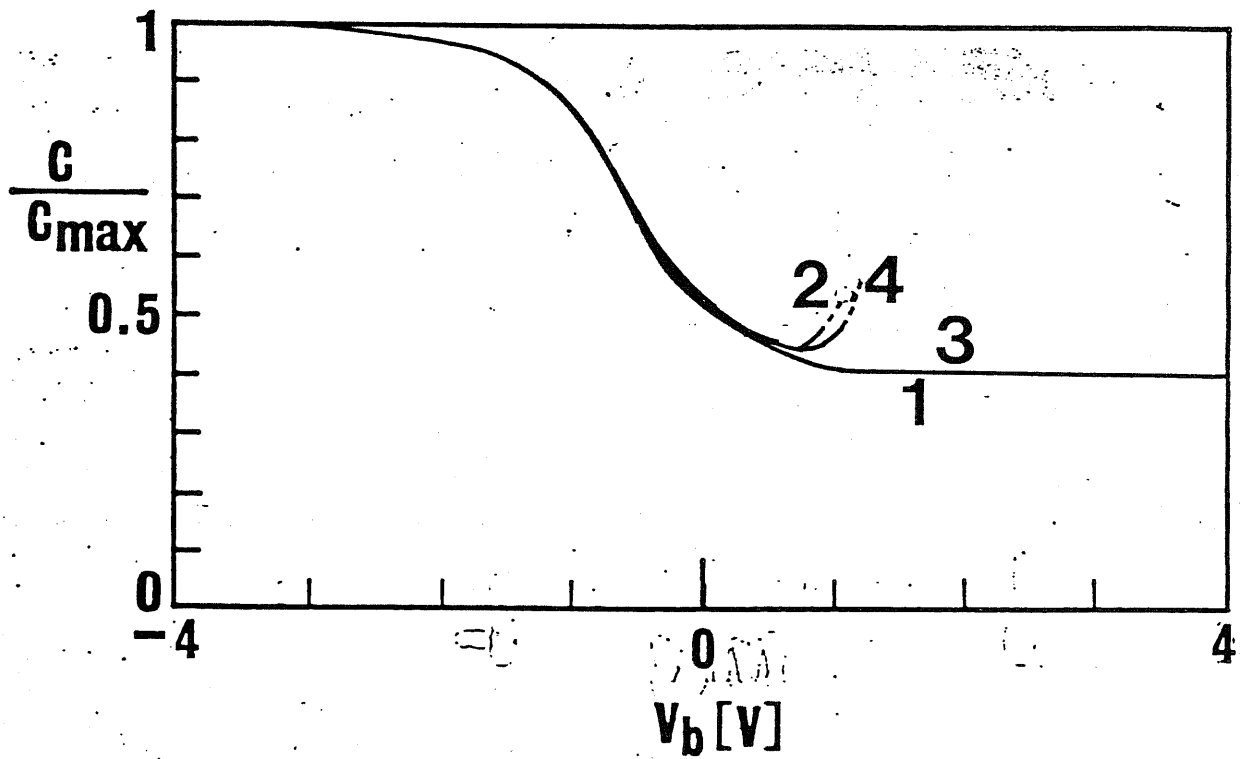


図 2.2-1(b) レギュラードライ酸化膜の電子注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

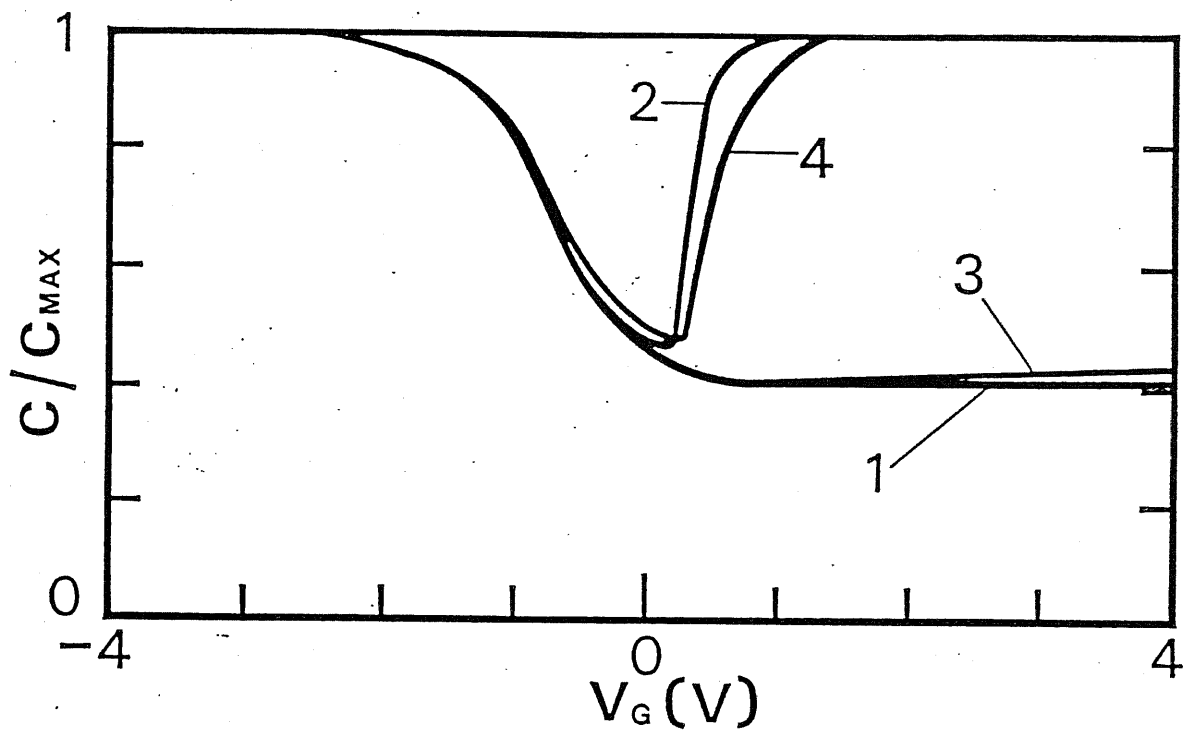


図 2.2-1(c) 超ドライ酸化膜の電子注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

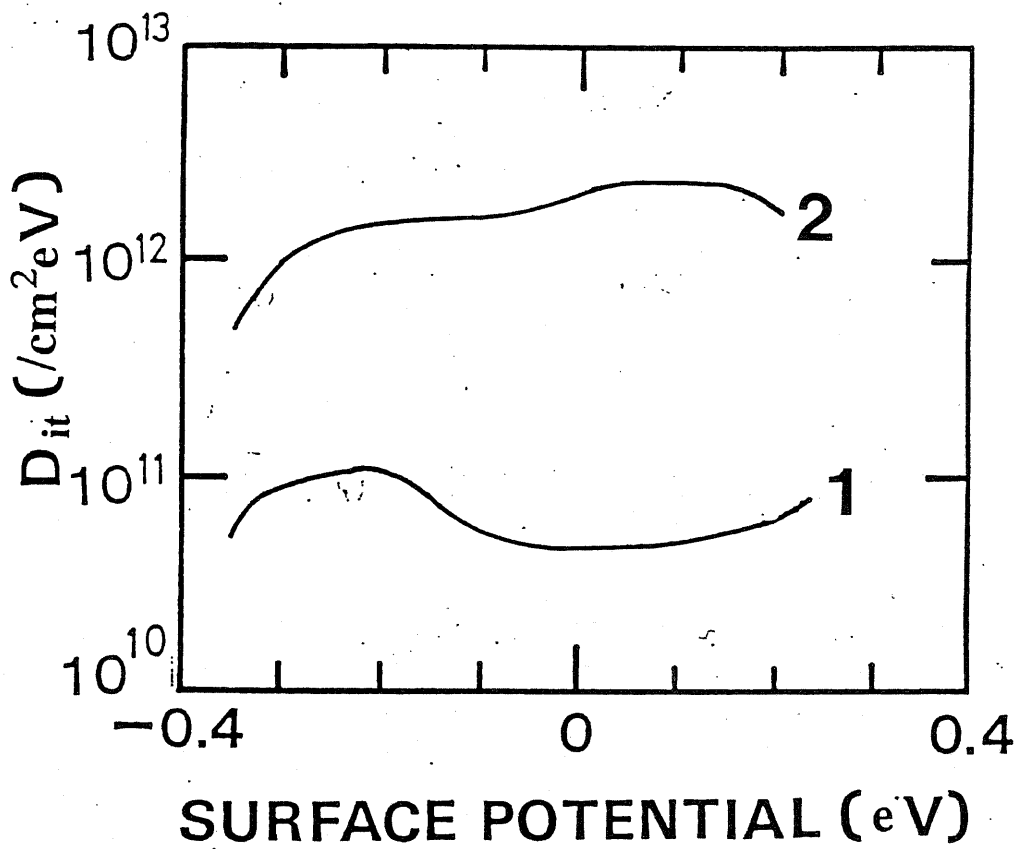


図 2.2-2(a) Wet酸化膜の電子注入によるSi-SiO₂界面準位の変化
 1: 注入前 2: 注入後

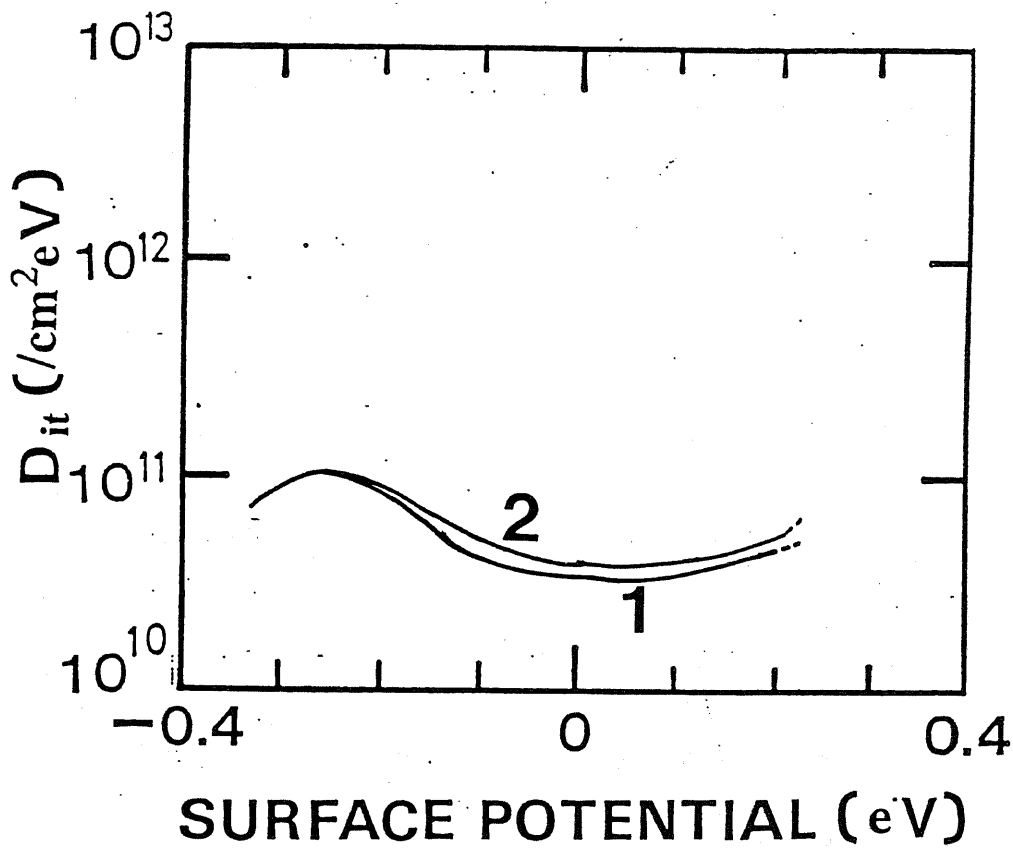


図 2.2-2(b) レギュラードライ酸化膜の電子注入によるSi-SiO₂界面準位の変化
 1: 注入前 2: 注入後

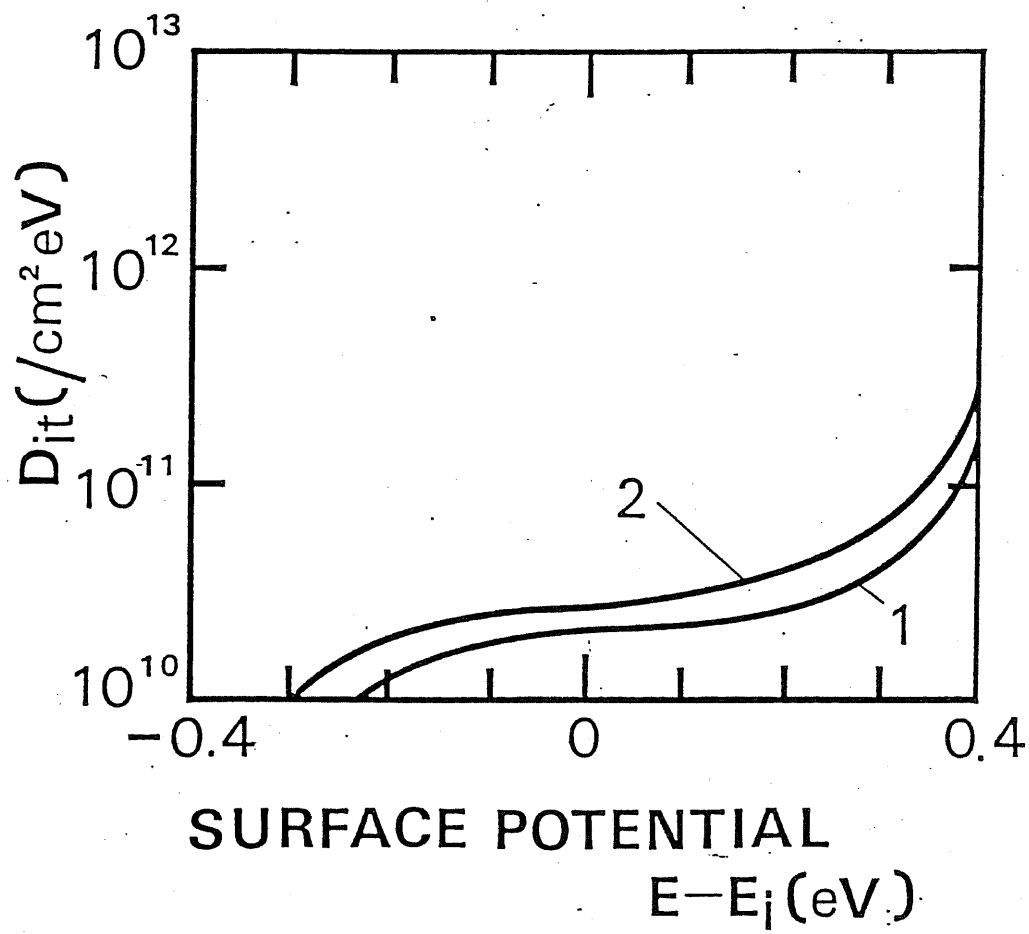


図 2.2-2(c) 超ドライ酸化膜の電子注入による Si-SiO₂ 界面準位の変化
 1: 注入前 2: 注入後

Oxidation	Pyrogenic		Dry		Ultra-Dry
Electron Trap Density [cm^{-2}]	$(1.7 \pm 0.1) \times 10^{12}$	>>	$< 10^{11}$	-	$< 10^{11}$
$\Delta D_{\text{it, midgap}}$ [$\text{cm}^{-2} \cdot \text{eV}$]	$(2.0 \pm 0.2) \times 10^{12}$	>>	$< 10^{10}$	-	$< 10^{10}$

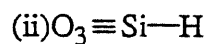
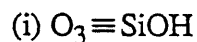
表2.2-2 電子トラップ密度と電子注入による界面準位発生量の酸化法による比較

フラットバンド電圧の時間依存性を求めた。これより求めた捕獲断面積は、 $2.2 \times 10^{-18} \text{cm}^2$ であった。

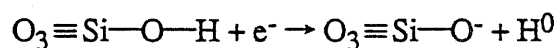
2.2-3 結果に対する検討

A. 電子の捕獲と電子トラップの成因

ウェット酸化、ドライ酸化、超ドライ酸化は、その酸化雰囲気に含まれる水分量の差により酸化膜中の水分量も異なっていると考えられる。熱酸化 SiO_2 中に H_2O が取り込まれると、次のような構造が作られると考えられる。



なお、 $\text{O}_3 \equiv$ の記号は、Si原子の残りの3本の結合手が酸素と結合している、すなわち SiO_2 中のSi原子であることを示すものとする。このうち $\text{O}_3 \equiv \text{Si-O-H}$ は、次の反応で電子を捕獲することが知られている[2.1]。



但し、 H^0 は原子状態の水素を表す。右辺の $\text{O}_3 \equiv \text{Si-O}^-$ は室温では半永久的に保持される固定電荷となり、ここで検出したフラットバンド電圧変化の原因と考えられる。 SiO_2 のネットワークの中で H_2O が(i)のような構造で存在することは赤外分光により確かめられており[2.6]、またその密度と電気的な測定で得られるトラップ密度の間に相関があることが知られている。一方では Si-H についてはそのような相関はみられない。また、次章で示すように、超ドライ酸化膜を水素で熱処理しても電子トラップは増大しない。従って、As-grownで SiO_2 中に存在する電子トラップとしては、(i)の構造を持つwater-relatedなトラップを考えて良いと思われる。

表2.2.2の結果からわかるように、ウェット酸化膜には $10^{12}/\text{cm}^2$ 程度の電

電子トラップが存在するが、ドライ酸化膜と超ドライ酸化膜の電子トラップは測定限界以下である。酸化雰囲気中の水の量は(i)のwater-relatedトラップの密度として反映されるので、この差はwater-relatedトラップ密度の差であると考えられる。また、ウェット酸化膜中の電子トラップの捕獲断面積が $2.2 \times 10^{-18} \text{cm}^2$ となったことは、従来報告されているwater-relatedトラップの捕獲断面積に対する値として妥当である。以上から、Wet酸化膜と超ドライ酸化膜の間の電子トラップの差は、水に関連したトラップ密度の差によること、また超ドライ酸化膜では電子トラップの密度が測定限界以下となり、電子トラップの構造としてはAs-grownで存在するものとして $\text{O}_3 \equiv \text{Si}-\text{O}-\text{H}$ であると結論できる。

なお、電子トラップの分布は膜厚方向に均一であるため、酸化膜が薄くなると見かけ上フラットバンド電圧のシフト量は膜厚の2乗に反比例して小さくなるので、20nmのような薄い膜ではドライ酸化膜と超ドライ酸化膜の間の差が見えなくなっているものと考えられる。

B. 電子注入に伴う界面準位の発生

アバランシェ電子注入による界面準位の発生は、Alゲートではフラットバンド電圧の異常な挙動(turn around)として観察されるが[2.7]、ポリシリコンゲートでは観察されなくなる。しかしCV測定による界面準位の測定ではかなりの界面準位が発生し、その量はやはり酸化膜中の水分量に依存する。図2.2-2に示したように、ウェット酸化膜ではミッドギャップレベル付近に $10^{11}/\text{eV} \cdot \text{cm}^2$ 以上の界面準位が発生するが、超ドライ酸化、レギュラードライ酸化では界面準位の変化はほとんど無視できる程度である。

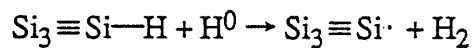
この界面準位発生のメカニズムはさまざまなモデルが提案されており、

すべての結果を矛盾なく説明することはできていない。大まかに分けると、

(i)水素原子のような中性の物質が界面に移動して界面準位を作る(中性種モデル)

(ii)ホット電子がエネルギーを失う過程で発生した正孔が界面準位を作る(正孔注入モデル)

の2つに分けられる。膜中の水分量に強く依存するという図2.2-2の結果を説明するものは、(i)の中性種モデルであり、中性種としては、電子捕獲の結果生じる原子状態の水素が考えられる。この原子状態の水素は次の反応で界面準位を生成すると考えられる。



超ドライ酸化膜でほとんど界面準位の発生がみられないのは、アバランシェ電子注入に関する限り、正孔が界面の結合手を切断して界面準位を生成するという機構は存在しないことを示唆するものと思われる。

2.3 As-grown SiO₂中の正孔トラップ

2.3-1 試料の作成と測定、結果

正孔トラップの測定にもやはりアバランシェ注入法を用いたので、試料の作成方法は基板にN型を用いた以外は同一である。注入電荷量は $2.3 \times 10^{-3} \text{C/cm}^2$ とした。正孔に対する捕獲確率は、電子と比較して少なくとも2桁は大きいため、注入電荷量も2桁少なくなる。バイアス電圧は約9V~11V程度と大きくなるが、これは逆方向に流れる電子の影響を少なくするためにバイアス電圧をかけておく必要があるためである。高周波電圧は45Vから55V(peak to peak)をもちいた。注入電流密度は $0.37 \sim 1.48 \mu \text{A/cm}^2$ とした。

電子注入と同様に図2.3-1(a)(b)(c)に注入前後におけるC-V特性の変化を示す。(a)がWET酸化膜、(b)がレギュラードライ酸化膜、(c)が超ドライ酸化膜である。同様に図2.3-2(a)(b)(c)にCV特性から計算したSi-SiO₂界面準位密度の分布の変化を示す。フラットバンド電圧の変化量から算出した酸化膜中の固定電荷密度と、ミッドギャップにおけるSi-SiO₂界面準位密度の変化をまとめて表2.3.1に示す。なお、正孔注入の際の捕獲断面積は、バイアス電圧のシフト量からの計算ではいずれのサンプルについても10¹⁴/cm²のオーダーとなった。

2.3-2 結果に対する検討

A. 正孔の捕獲と正孔トラップ

電子トラップの測定でみたように、ウエット酸化膜には水に起因する電子トラップが含まれるが超ドライ酸化膜では電子トラップはほとんど存在しないことがわかった。一方正孔トラップについては、表2.3.1に示したように、ウエット酸化膜で最も密度が低く、ドライ、超ドライと酸化雰囲気乾燥するほど正孔トラップの密度は上がっていく。従って、SiO₂中の電子トラップと正孔トラップの密度の間には、酸化雰囲気の水の量に関するトレードオフの関係が成立している。

Benettらの理論的な計算によると、水が導入され、電子トラップ(O₃≡Si—O—H)が生成されるような構造をもつSiO₂のエネルギーは、理想的なSiO₂構造や、酸素空位を含む構造と比較して低く、安定であることが知られている。従って雰囲気がドライになり、O₃≡Si—O—Hがきわめて少なくなると、SiO₂は不安定となり、正孔トラップが多く存在する状況になると考えられる。後に示すように、正孔トラップは酸素空位(O₃≡Si—Si≡O₃)なので、電子トラップを多く含むサンプルで正孔トラップが少な

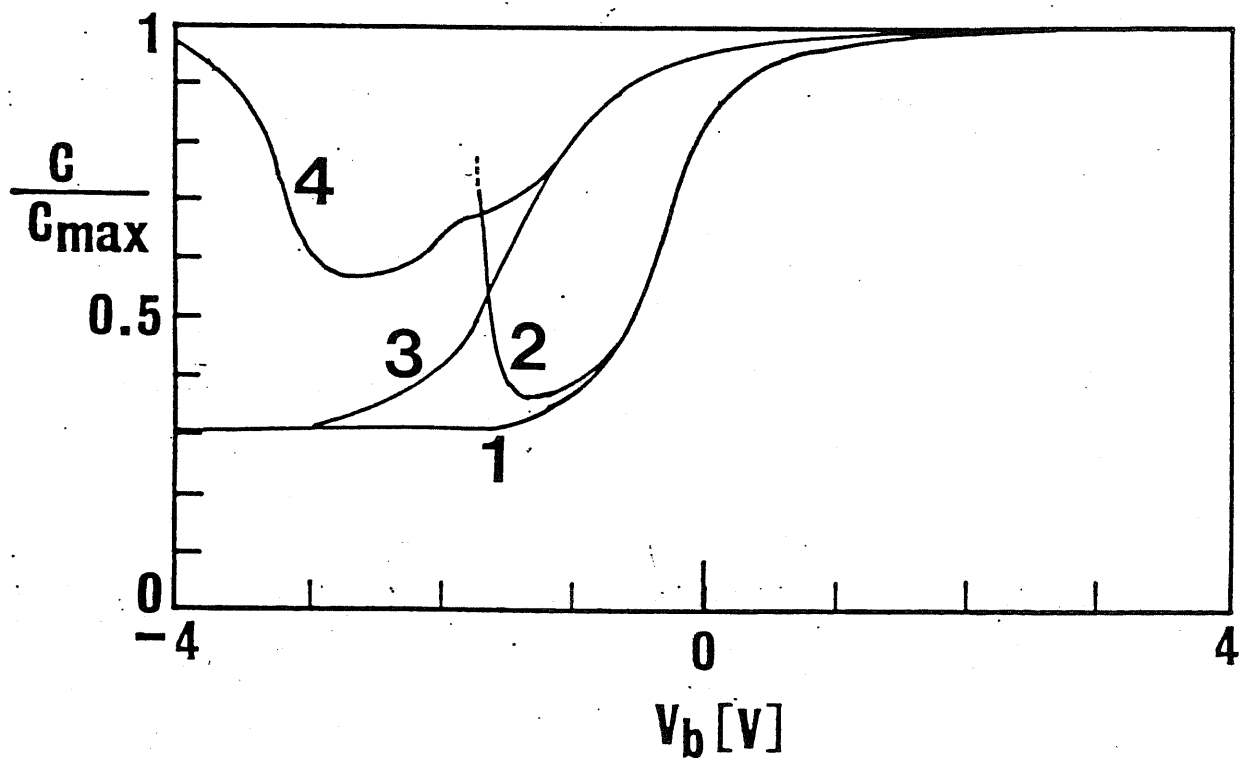


図 2.3-1(a) Wet酸化膜の正孔注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

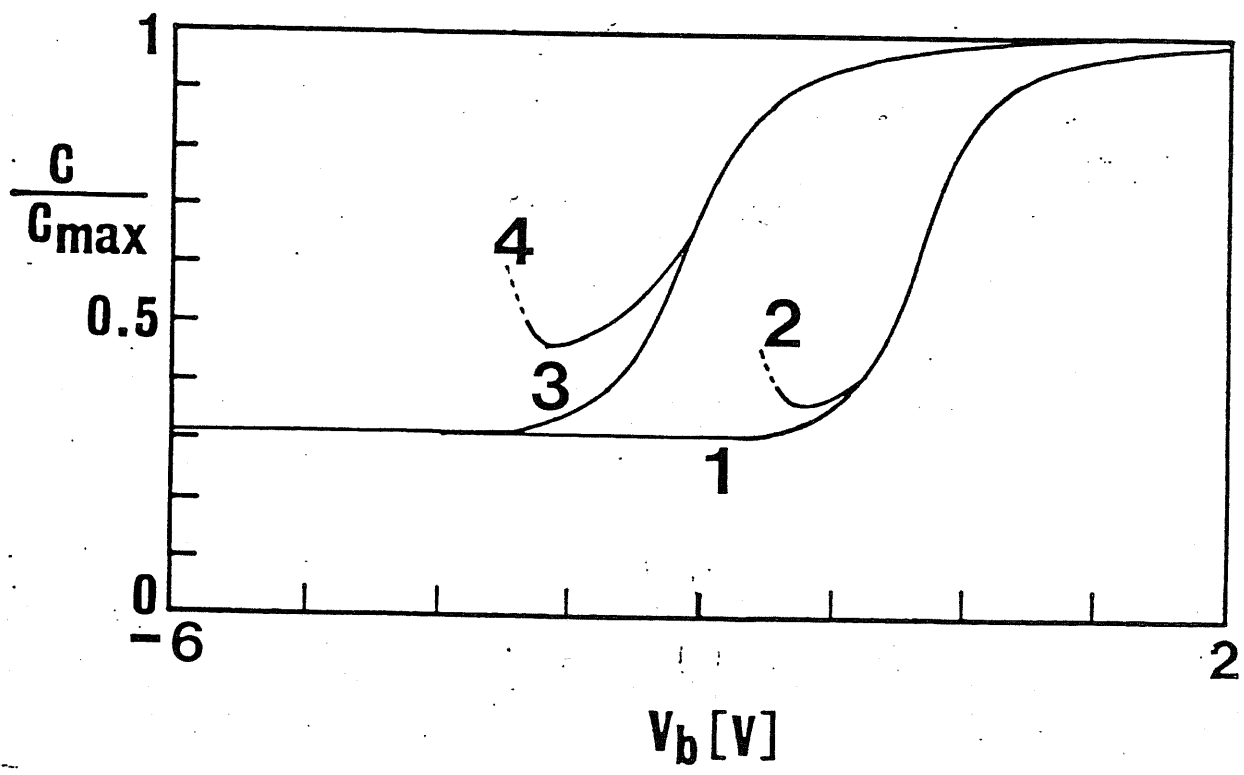


図 2.3-1(b) レギュラードライ酸化膜の正孔注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

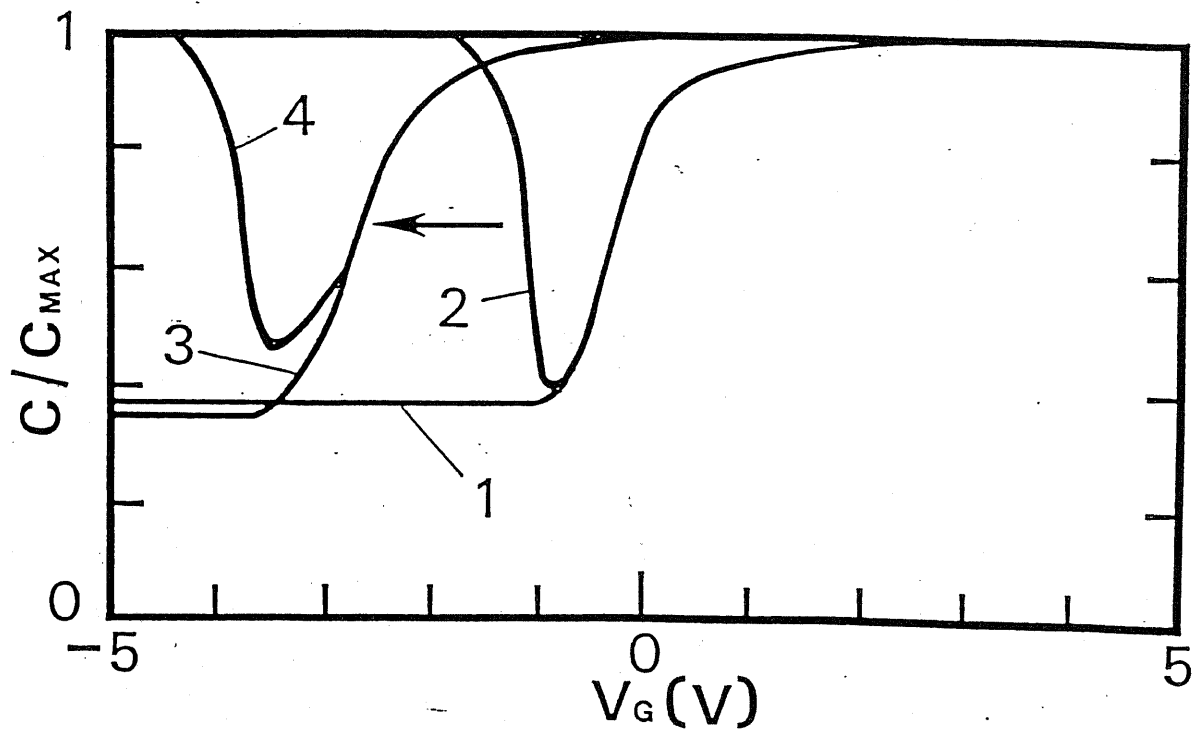


図 2.3-1(c) 超ドライ酸化膜の正孔注入によるC-V特性の変化
 1,2: 注入前高周波、quasi-static
 3,4: 注入後高周波、quasi-static

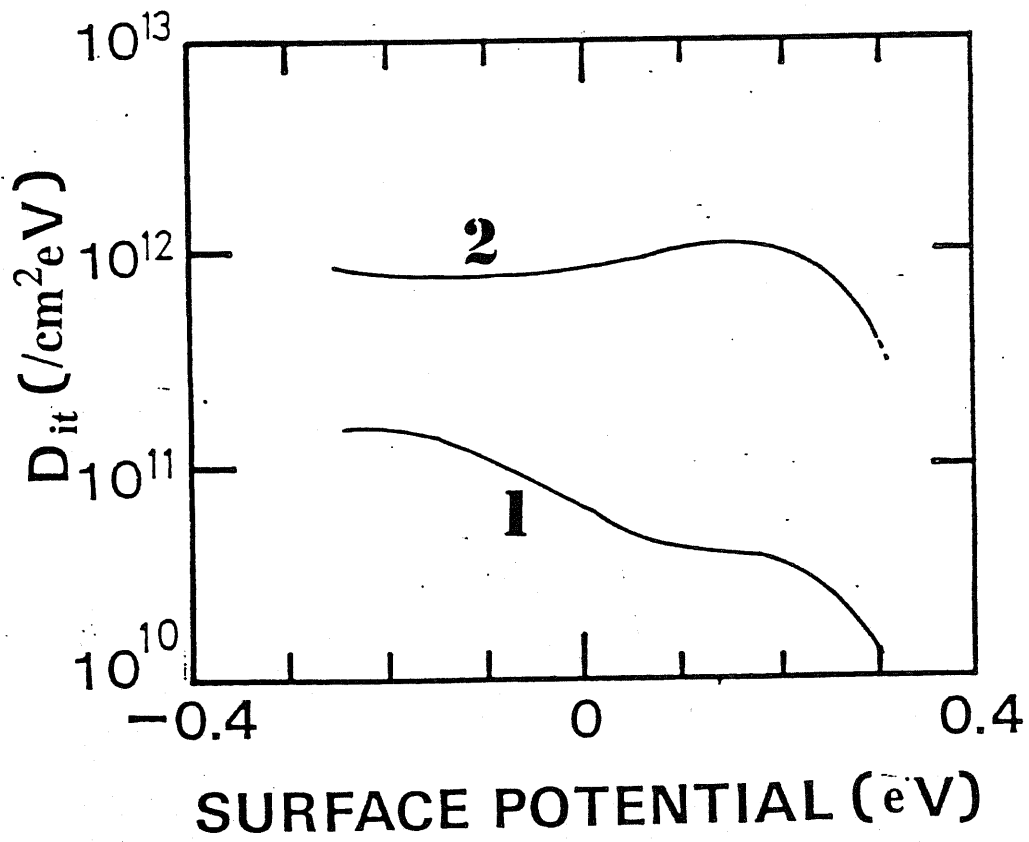


図 2.3-2(a) Wet酸化膜の正孔注入による Si-SiO₂界面準位の変化
 1: 注入前 2: 注入後

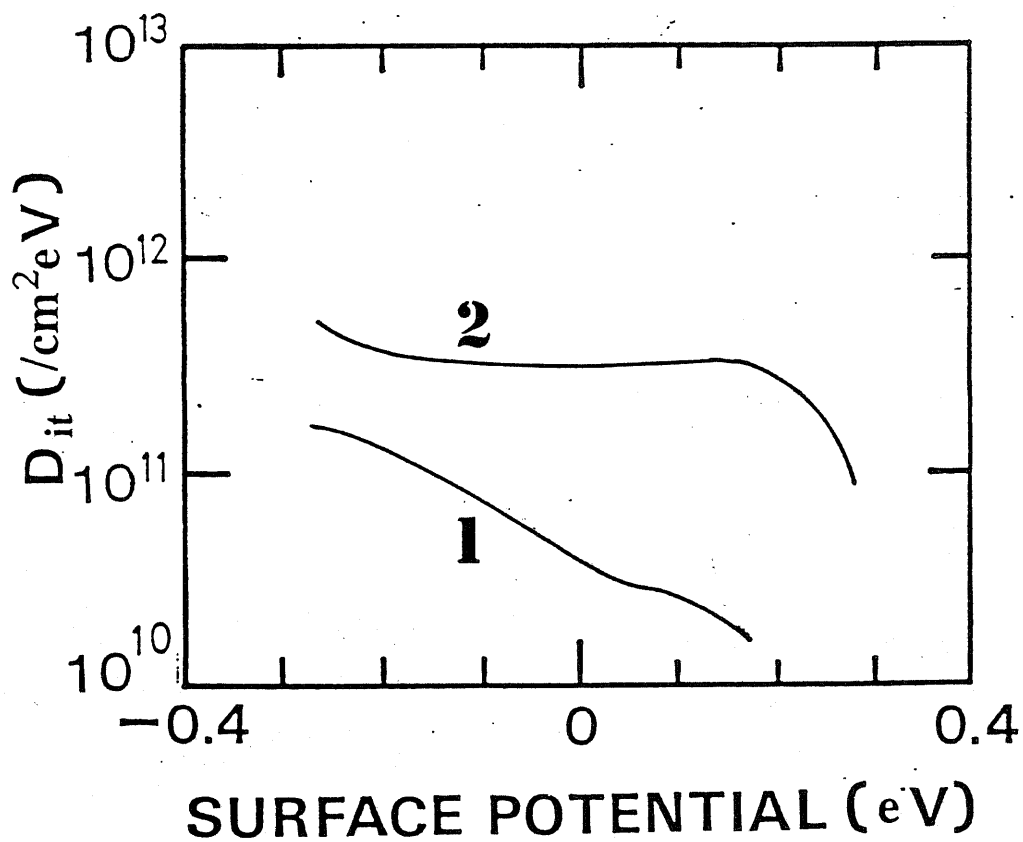


図 2.3-2(b) レギュラードライ酸化膜の正孔注入によるSi-SiO₂界面準位の変化
 1: 注入前 2: 注入後

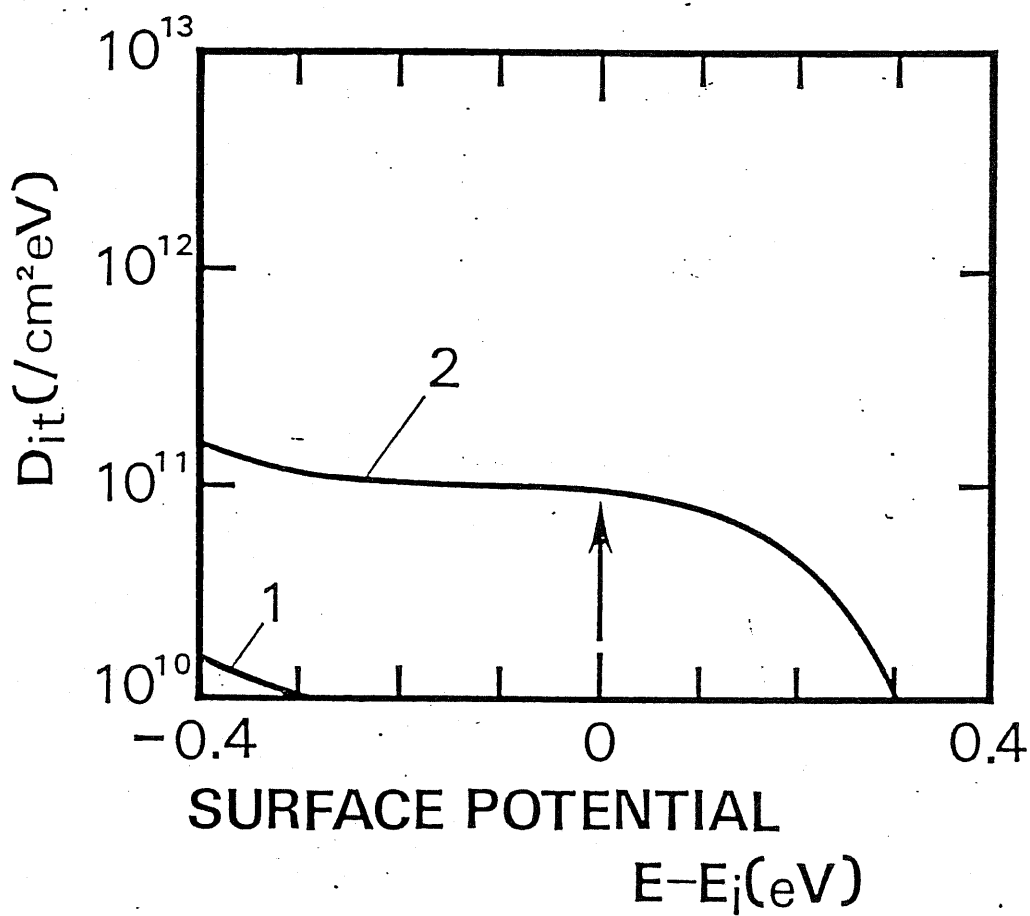


図 2.3-2(c) 超ドライ酸化膜の正孔注入によるSi-SiO₂界面準位の変化
 1: 注入前 2: 注入後

Oxidation	Pyrogenic		Dry		Ultra-Dry
Hole Trap Density [cm^{-2}]	$(1.1 \pm 0.1) \times 10^{12}$	<	$(1.6 \pm 0.1) \times 10^{12}$	<	$(2.6 \pm 0.1) \times 10^{12}$
$\Delta D_{it, \text{midgap}}$ [$\text{cm}^{-2} \cdot \text{eV}$]	$(8.7 \pm 1) \times 10^{12}$	>	$(2.9 \pm 0.5) \times 10^{11}$	>	$(1.0 \pm 0.3) \times 10^{11}$

表2.2-2 正孔トラップ密度と正孔注入による界面準位発生量の酸化法による比較

いのは、水の存在により、酸素空位が埋められることによると思われる。

なお、捕獲断面積が 10^{-14}cm^2 程度であるという結果は、 SiO_2 中の深い正孔トラップの捕獲断面積として知られているものと一致している。但し、正孔に対する捕獲断面積は、正孔の SiO_2 中での伝導が複雑であり、また、分布は Si-SiO_2 界面近傍に集中している可能性があるため、捕獲確率を実効的に面積で表現したものとしてとらえる必要がある。従って、この捕獲断面積を捕獲サイトの原子半径などに関連づけることには意味がない。

B. 正孔注入に伴う界面準位発生

電子注入と同様に、正孔注入によって界面準位が発生する(図2.3.2)。サンプルの間の違いをみると、やはりウェット酸化膜で多くの界面準位が発生するが、この差はやはり水素が関連しているものと思われる。但し、超ドライ酸化膜に対しても界面準位の発生があり、これは正孔が界面の結合手をきったと考える必要がある。

2.4 捕獲正孔による電子捕獲

2.4-1 実験方法

アバランシェ正孔注入により、 $2.2 \times 10^{-4}\text{C}/\text{cm}^2$ の正孔を注入した超ドライ酸化膜MOSダイオードサンプルに、Fowler-Nordheimトンネル電流(Si-SiO_2 界面の障壁高さの差により、ほぼ電子電流と考えられる)により電子を Si 基板側から注入する。N型基板を用いているので、アバランシェ電子注入は行えない。超ドライ酸化膜を用いたのは、As-grownで存在する電子トラップが検出限界以下に抑えられているため、トンネル電子注入によるフラットバンド電圧のシフトは捕獲正孔の効果だけを考えれば良いからである。注入電子電荷密度は正孔と同じ $2.2 \times 10^{-4}\text{C}/\text{cm}^2$ である。トン

ネル電流を流すための平均酸化膜電界は、7MV/cm程度である。

アバランシェ正孔注入-FN電子注入の組み合わせを数回行った。各注入の前後では、1MHzのCV特性を測定し、フラットバンド電圧の変化をみた。また電子注入については注入を中断してのCV特性測定により、フラットバンド電圧のシフトを時間の関数として測定することも試みた。

2.4-2 結果と検討

正孔注入サンプルに対するFN電子注入の際のフラットバンド電圧の時間変化を図2.4-1に示す。アバランシェ注入と同様に指数関数的な飽和特性を示すことがわかる。この飽和値は、正孔-電子繰り返し注入によるCV特性の変化(図2.4-2)をみてもわかるように、正孔注入によるシフト量と一致する。これは、正孔トラップに捕獲された正孔に電子が捕獲されることを示唆するものであるが、図2.4-1より求めた電子に対する捕獲断面積は 10^{-14} から 10^{-15} cm²程度で、これはAs-grownの電子トラップと比較すると2桁から3桁も大きく、捕獲サイトがCoulomb attractiveであることを示している。従って、この電子捕獲現象は正孔トラップに捕獲された正孔による電子の捕獲であると考えられる。

さらに興味深いことは、図2.4-2でわかるように、電子を捕獲させた後にさらに正孔注入を行うと、正孔の捕獲に関する限りvirginのサンプルとの差はほとんどないということである。さらに繰り返して正孔-電子注入を行っても、この反応は可逆的である。(但し、界面準位については一度発生したものは消滅しない。)これから、正孔の捕獲サイトが正孔の捕獲によってボンドを切られても原子位置の変位等は余り起きていないのではないかということが予想される。従って、正孔捕獲サイトの構造としては、歪を内蔵している結合手よりも、酸素空位である可能性が高い。

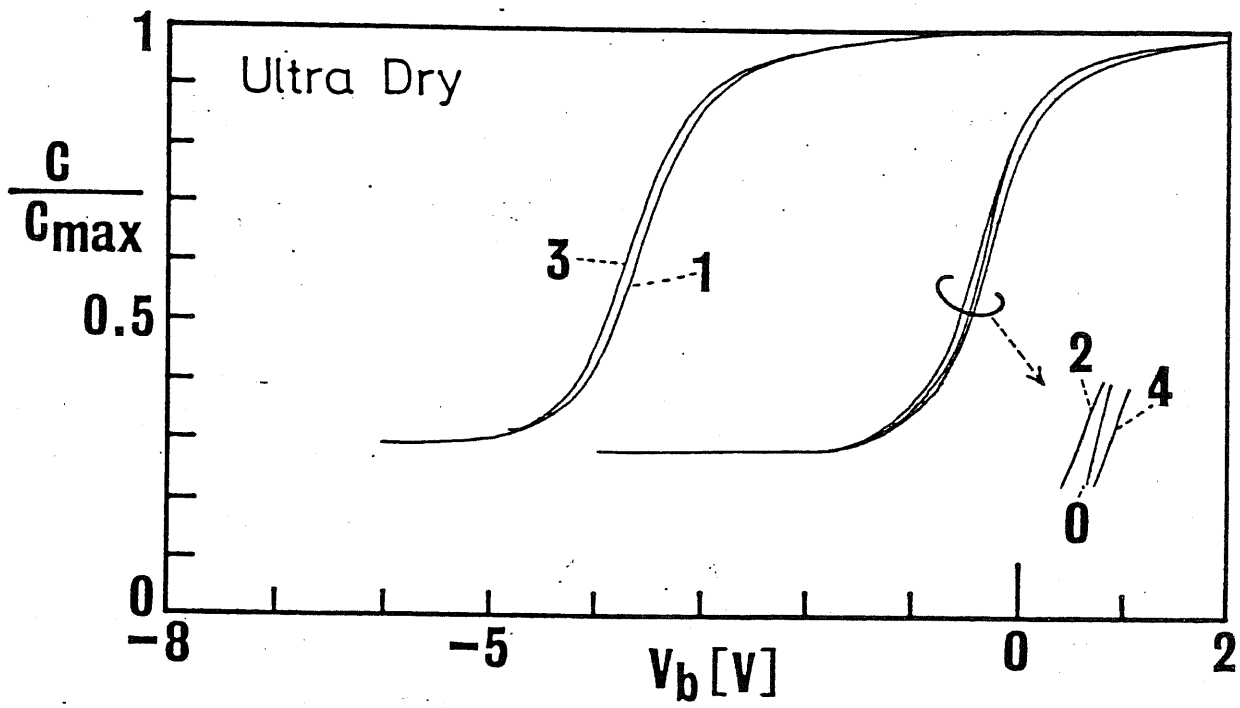


図 2.4-1 正孔・電子交互注入によるC-V特性の変化
 0: 注入前 1: 第1回正孔注入後 2: 電子注入後
 3: 第2回正孔注入後 4: 電子注入後

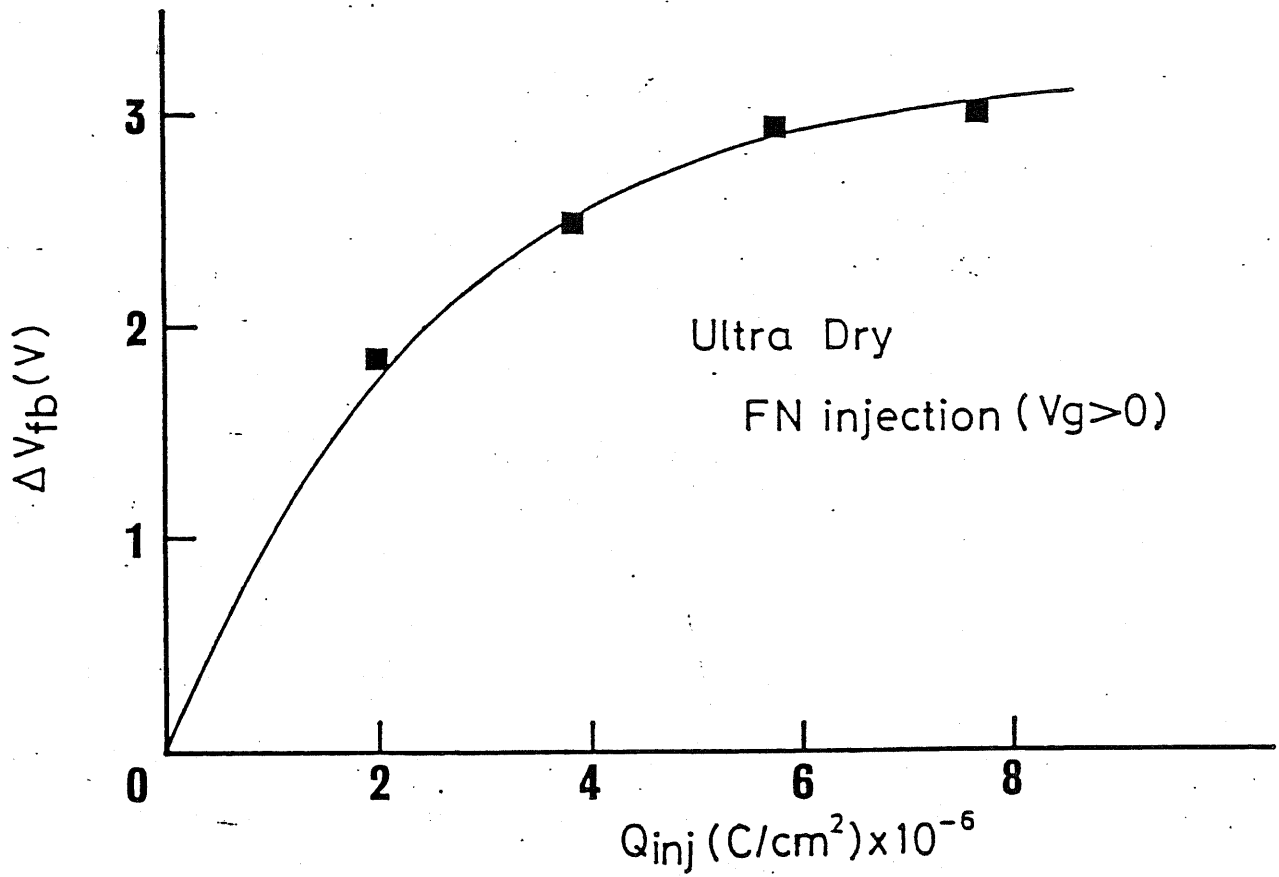


図 2.5-1 正孔注入で発生した電子トラップへの電子捕獲によるフラットバンド電圧シフト

2. 5 2章のまとめ

ディープサブミクロンMOS電界効果トランジスタ用のゲート酸化膜のキャリア捕獲現象解明の一つの手段として、超ドライ酸化法、通常のドライ酸化法、パイロジェニック酸化法による薄い熱酸化膜(20nm)に存在する電子トラップと正孔トラップの密度を、電気的測定により、測定した。測定方法としては、アバランシェ注入法と高周波/Quasi-Static C-V法により、酸化膜中の固定電荷密度から、電子トラップと正孔トラップ密度を定量し、同時にSi-SiO₂界面準位密度の変化を見た。

超ドライ酸化膜では、0.22C/cm²の電子注入に対して、C-V特性の変化はほとんど観察されず、電子トラップ密度は測定限界以下(<10¹¹/cm²)、電子注入によるSi-SiO₂界面の劣化もないという優れた特性を示した。一方、パイロジェニック酸化膜では、10¹²/cm²程度の電子トラップが検出され、その捕獲断面積は、2×10⁻¹⁸cm²程度となり、従来から水に関係するトラップとして知られているトラップと考えられる。また、電子注入に従う界面準位発生も、ミッドギャップにおいて10¹¹/eVcm²以上の値を示す。この差は、酸化雰囲気中にH₂Oが含まれるか否かによる差であると考えられるので、現在のテクノロジーレベルで問題になる電子トラップは、酸化雰囲気に含まれる水によるものであるという、結論が得られた。

しかし、一方では、超ドライ酸化膜に含まれる正孔トラップの密度は、ウェット酸化膜よりも多いという結果となった。また、レギュラードライ酸化膜の正孔トラップ密度はこの2者の中間の値を示す。すなわち、酸化膜中の電子トラップの密度と正孔トラップの密度について、"酸化雰囲気の水の量に関するトレードオフ"が存在する。

この結果を理解するためには、トラップの成因を知る必要があるが、

水に関係する電子トラップは、従来からSi-OHの構造を持つことが、知られている。一方、正孔トラップについては結論が出ていない。そこで、発生した正孔トラップにFolwer-Nordheim電子注入で電子を捕獲させたところ、その電子の捕獲断面積は $10^{-14}\text{cm}^2 \sim 10^{-15}\text{cm}^2$ と中性トラップよりも3桁以上大きな値を示し、正に帯電した正孔トラップによる電子捕獲であることが明らかになった。さらに、この正孔捕獲→電子捕獲→正孔捕獲→電子捕獲...のプロセスは、酸化膜バルクに関する限り、全く可逆的な反応である。この結果は正孔トラップの構造が酸素空位($\text{O}_3 \equiv \text{Si}-\text{Si} \equiv \text{O}_3$)であることを示唆しているものと考えられる。

正孔トラップが酸素空位であるという仮定に基づけば、上に述べたトレードオフの関係は、次のように解釈できる。すなわち、水を極限まで排除した環境で酸化された超ドライ酸化膜には、Si-OHの構造を持つ電子トラップは存在しないが、他方では、酸素空位が発生する。パイロジェニック酸化膜では、逆に水が存在する為に、この酸素空位が水によって埋められ、正孔トラップ密度が低下すると考えられる。

文献[第 2 章]

- 1) E. H. Nicollian and J. R. Brews, in *MOS (Metal Oxide Semiconductor) Physics and Technology*, Wiley (1982).
- 2) D. J. Dimaria, in *The Physics of SiO₂ and Its Interfaces*, S. T. Pantelides ed., Pergamon (1978).
- 3) 羽路伸夫、東京大学学位論文 (1985).
- 4) E. A. Irene, *J. Electrochem. Soc.*, vol. 121, p.1613 (1974).
- 5) R. Haruta, Y. Ohji, Y. Nishioka, I. Yoshida, K. Mukai, and T. Sugano, *IEEE Electron Device Letters*, vol. EDL-10, p. 27 (1989).
- 6) A. Hartstein and D. R. Young, *Appl. Phys. Lett.*, Vol. 53, 631 (1981).
- 7) D. R. Young, E. A. Irene, D. J. DiMaria, R. F. Dekeersmaecker, and H. Z. Massoud, *J. Appl. Phys.*, vol. 50, 6366 (1979).
- 8) E. H. Nicollian, C. N. Berglund, P. F. Schmidt, and J. M. Andrews, *J. Appl. Phys.*, vol. 42, 5654 (1971).
- 9) A. J. Bennett and L. M. Roth, *J. Phys. Chem. Solids*, vol. 32, 1251 (1971).

第3章 酸化膜中トラップの

電子スピン共鳴による検出とキャリア捕獲機構

3.1 はじめに

電子スピン共鳴法(Electron Spin Resonance; ESR)は、原理的には、不対電子が磁場に対して平行と反平行のスピンを持つエネルギー準位の間を遷移する際の電磁場の振動数との共鳴吸収を検出するものである[3.1]。従ってSi-SiO₂系で欠陥をESRで定量しようとする場合には、その欠陥が不対電子を持つものでなくてはならない。序論で述べたように、Si-SiO₂系でESRで検出される不対電子は3価のSi原子に起因するもので、それはP_b(Si-SiO₂界面の3価のSi; Si₃≡Si·)[3.2]とE'(SiO₂中の3価のSi; Si₃≡Si·)[3.3]と呼ばれている。P_bセンタは界面準位に相当するもので、As-grownのSi-SiO₂系であってもESRの感度程度の界面準位を有するものであれば検出することができる。もちろんキャリア注入等によりダメージを受けた界面の界面準位を定量する事も可能である。一方E'センタは通常の酸化膜ではAs-grownでは検出されない。そのために正孔を注入して電子を1個取り除いて検出する必要がある。通常この目的にはX線でSiO₂中に正孔電子対を作り、この正孔を捕獲させる方法がとられる。

3.2 ESRによるSiO₂中のE'センタの検出

3.2-1 測定と結果

前述したように、E'センタの検出には正孔をSiO₂に注入しなくてはならない。本研究では電氣的な特性を微視的に理解する手段としてESRを用いるので、理想的にはアバランシェ正孔注入のサンプルをESRで測定すべきであるが、アバランシェ注入に用いられる低抵抗基板では、マイクロ波

空洞共振器のQが低下し、吸収が観測できなくなる。従って、今回はX線照射を用いることにした[3,4]。

300 Ω cm、(111)N型の高抵抗Si基板を洗浄後、酸化する。酸化法としてはウエット酸化と超ドライ酸化を用いた。膜厚は260nmである。X線照射でキャリア注入を行うので、ゲート形成などのプロセスは入らない。但し界面準位低減のために、ウエット酸化膜は400 $^{\circ}$ C30分の水素熱処理を施してある。

X線照射は、電子ビーム蒸着装置を用いて行った。真空度はおよそ10⁻⁶Torrで、タングステンターゲットに3.9keVの電子ビームを照射して発生するX線を試料に当てる。試料は水冷されており、2時間の照射で2 \times 10⁸radが照射される。ESR測定は日本電子製JES-ME型ESR測定装置により、室温で行った。マイクロ波周波数は \sim 9.5GHz、掃引磁場変調は100kHzである。

図3.2-1は、X線照射後、混酸(HF:HNO₃:H₂O=1:25:25)でSiO₂をエッチングし、E'センタの膜厚方向分布を測定したものである。サンプルは超ドライ酸化膜である。これよりE'センタはSiO₂-air界面と、Si-SiO₂界面に局在していることがわかる。SiO₂-air界面のE'センタは照射の際のX線以外の要素(W、電子ビーム)によるものと考えられ、この影響は取り除く必要がある。従って、50nm酸化膜をエッチングしたものが、図3.2-2(a)(b)である。それぞれ(a)は超ドライ酸化膜、(b)はウエット酸化膜である。超ドライ酸化膜のスピン密度は4.5 \times 10¹¹spins/cm²、ウエット酸化膜では2 \times 10¹¹spins/cm²となり、超ドライ酸化膜中のE'センタ発生量は、ウエット酸化膜の2倍以上であるという結果が得られた。なお、X線を照射する前の状態では、E'センタは検出されないことを確認している。

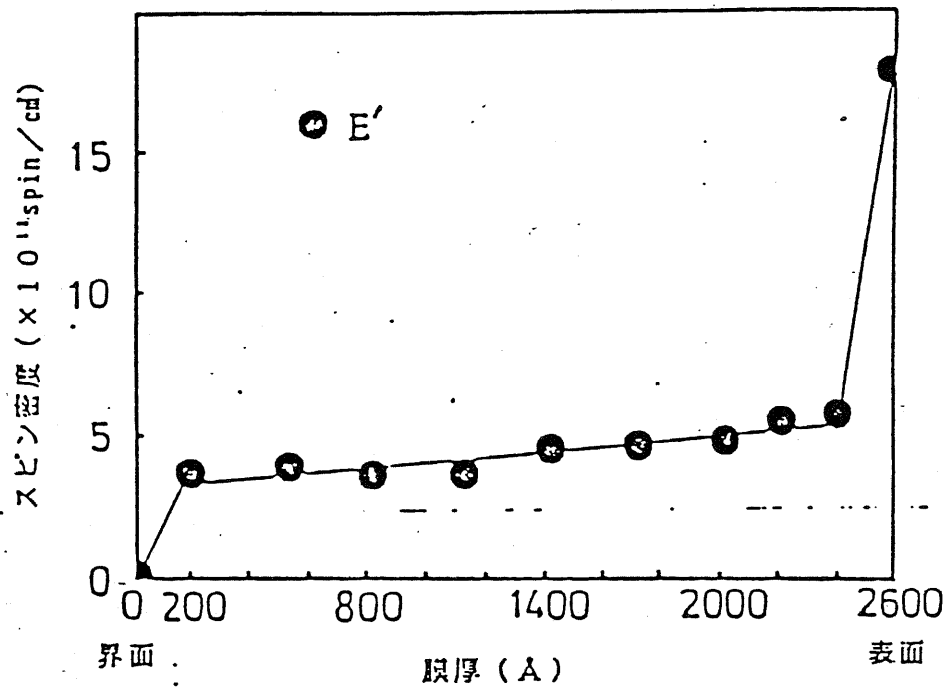


図3.2.1 X線照射で発生するE'センタの膜厚依存性

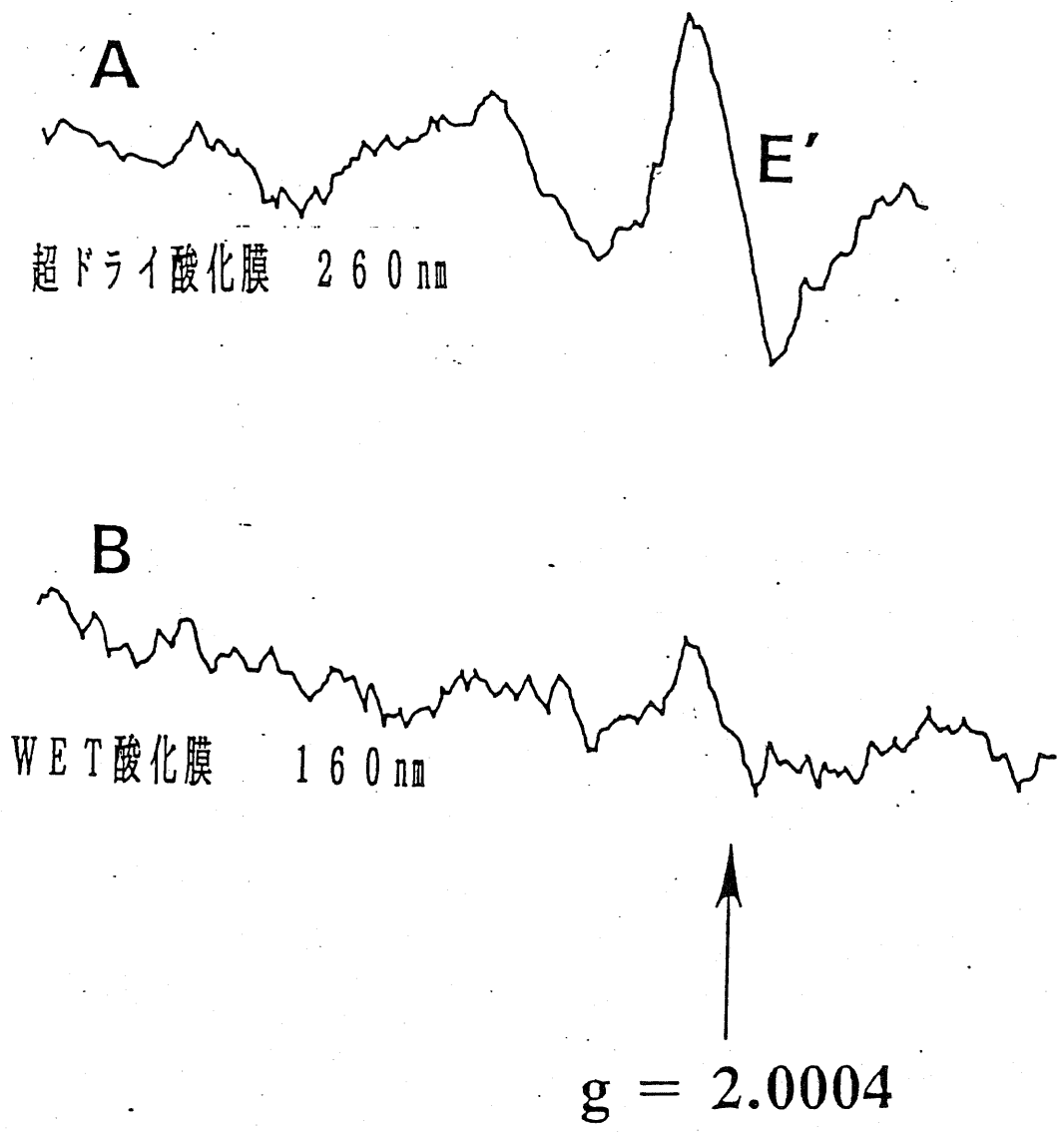


図3.2-2 X線照射により発生するE'センタのプロセス依存性

3.2-2 結果に対する考察

E'センタは、Lenahanらによる成果によると、発生する正電荷の量と対応づけられる。これは酸化膜中に捕獲された正孔の量に対応するので、E'センタの発生量を定量する事は、正孔トラップ密度を測定することにつながる。(この関係はまだ断定的なものではない。)しかし、ここで得られたウエット酸化膜と超ドライ酸化膜の間のE'センタ発生量の間の関係は、2章でみたアバランシェ正孔注入の結論と同一である。また、E'センタは電子注入を行うことにより消滅することが知られているが[3.5]、この事実もまた2章の結果と一致する。従ってE'センタが正孔トラップが正孔を捕獲した状態であるとする事により、今までの結果が非常に良く説明できる。

E'センタは、電子注入によって消滅することから、酸素空位であることが報告されている[3.5]。すなわち、歪を受けたSi-O結合に起因するものであるとすると、E'センタが発生するためにはSiに不対電子があり、Oに不対電子があってはならないので、正に帯電するものは酸素である。さらに歪を受けていた結合手が切られるので原子は変位してしまう。これに電子を注入すると、電子はクーロン力によって酸素にとらえられるので、Siの不対電子は消えない。これは実験事実と反するものである。一方酸素空位を考えると、すべて説明がつく。

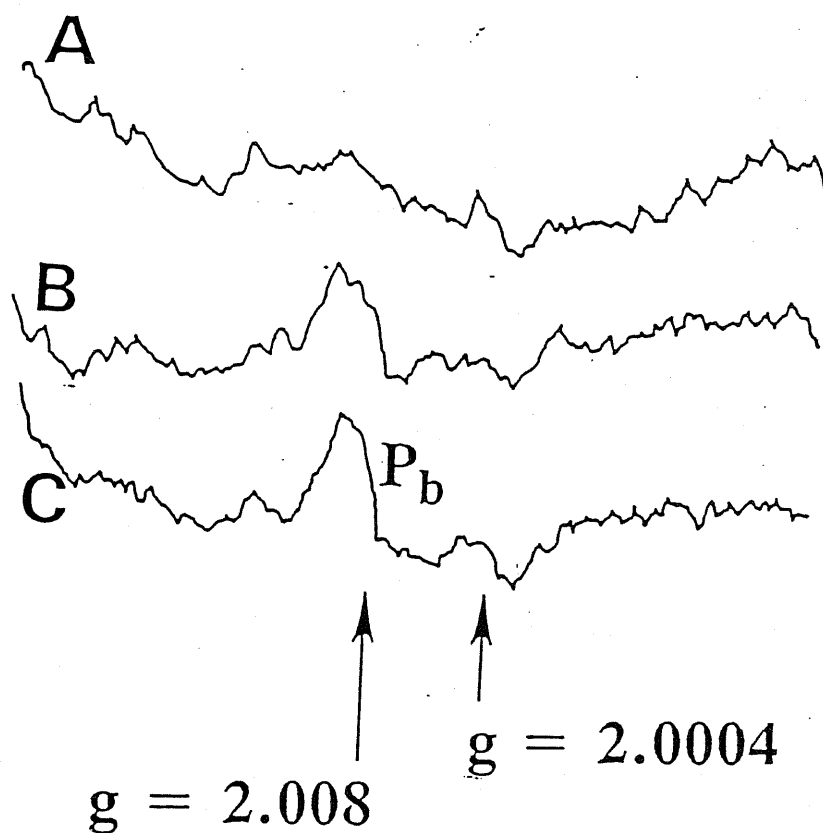
従って、ここに示したESRの結果と、電気的な測定結果から、

"正孔トラップの成因はSiO₂中の酸素空位である"

という仮定が実験事実を良く説明できるものとして妥当であることが示された。

3.3 ESRによるP_bセンタの検出

FN注入によって発生したP_bセンター($g = 2.008$)



WET酸化膜 100 nm

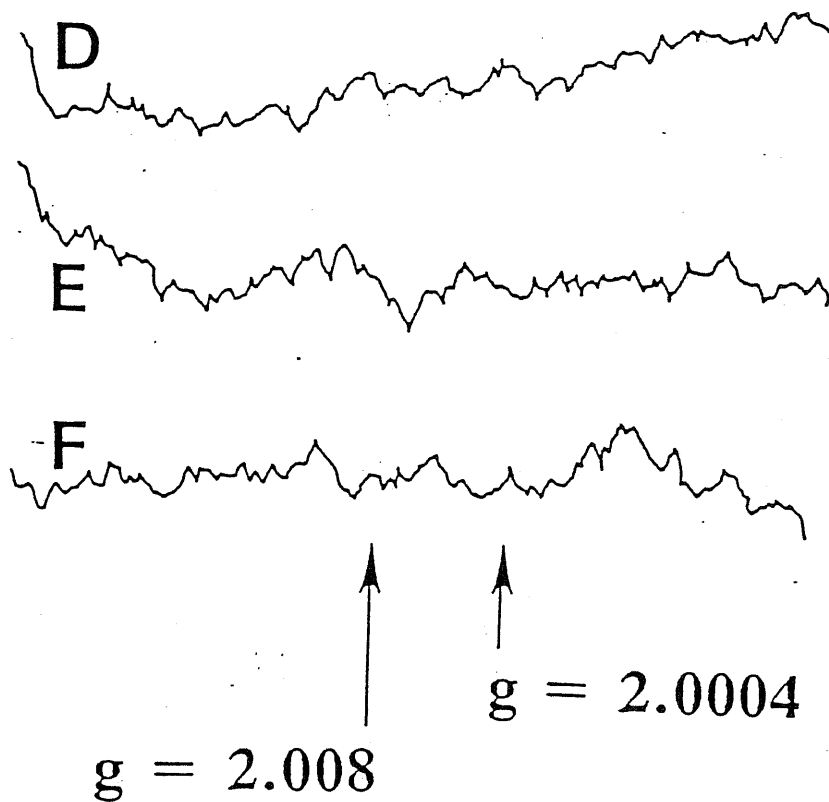
A: 未注入

B: FN注入後 ($Q_{inj} = 0.01 \text{ C/cm}^2$)

C: FN注入後 ($Q_{inj} = 0.1 \text{ C/cm}^2$)

図3.3-1 ウエット酸化膜にFN注入で発生するP_bセンタ

FN注入によって発生したP_bセンター($g = 2.008$)



超ドライ酸化膜 100 nm

D: 未注入

E: FN注入後 ($Q_{inj} = 0.01 \text{ C/cm}^2$)

F: FN注入後 ($Q_{inj} = 0.1 \text{ C/cm}^2$)

図3.3-2 超ドライ酸化膜にFN注入で発生するP_bセンタ

3.3-1 試料の作成と測定

X線照射による欠陥発生は、大量のE'センタを導入できるが、一方では電氣的な測定とはかなり異なった状況を取り扱うことになる。3.2-1で述べたように、本来はアバランシェ注入法によるべきであるが、基板の制限のため不可能である。そこで、Fowler-Nordheimトンネル注入法により電子を注入し、ESRスペクトルの変化をみた。

Fowler-Nordheimトンネル電流注入では、MOSダイオード構造が必要である。また、高電圧を必要とするので、酸化膜厚はESR測定が許す範囲内で薄い方が望ましい。そこで酸化膜厚は100nmとし、電氣的測定で用いたものと同じn+ポリシリコンゲートを形成した。酸化法はウエットと超ドライを用いた。注入電荷量は $0.01\text{C}/\text{cm}^2$ と $0.1\text{C}/\text{cm}^2$ の2通りを用意した。注入時の酸化膜中の平均電界は、 $10\text{MV}/\text{cm}$ ～ $12\text{MV}/\text{cm}$ である。注入後ヒドラジンでゲートポリシリコンを除去し、ESR測定を行った。

図3.3-1(a)(b)(c)は、ウエット酸化膜のF-N注入によるESRスペクトルの変化である。(a)は未注入、(b)は $0.01\text{C}/\text{cm}^2$ 、(c)は $0.1\text{C}/\text{cm}^2$ の注入を行った後である。同様に図3.3-2(a)(b)(c)は超ドライ酸化膜のデータである。まずわかることはE'センタは発生しないことである。そして P_b センタについては、ウエット酸化膜で(b)で $3.2 \times 10^{11}\text{spins}/\text{cm}^2$ 、(c)で $3.6 \times 10^{11}\text{spins}/\text{cm}^2$ の発生がみられるが、超ドライ酸化膜では測定限界以下であることもわかる。

3.3-2 結果に対する考察

2章におけるアバランシェ電子注入による測定から、超ドライ酸化膜はホット電子注入による界面準位発生がほぼ(電氣的測定による)測定限界以下になることを示した。ここでの実験はF-Nトンネル電子注入であり、

注入の機構は違うが、界面準位の発生については同様な結果が得られた。このことは、 P_b センタが電氣的な界面準位とおよそ定量的に一致することにより理解できるものと考えられる。

3.4 SiO_2 中の電子/正孔トラップの構造と酸化プロセス

ここでは、2章で得られた結果と本章で得られた構造的な情報とを合わせて、 SiO_2 中の電子/正孔トラップの構造と、トラップ密度の酸化プロセス依存性を議論することを試みる。

電子トラップは、序論及び2章の考察の中で述べたように、すでに、 Si-O-H という構造を持つ水素関連の欠陥であることが明らかになっている。一方、本章の E' センタの項でも指摘したように、正孔トラップとして酸素空位を考えることが本研究で得られた結果やその他の報告の結果を理解する上で最も妥当である。

すると、2章で得られた電子/正孔トラップの密度の酸化雰囲気中の水分量に関するトレードオフの関係は、次のように理解できよう。すなわち、酸化雰囲気中に水分が含まれている場合(ウェット酸化)では SiO_2 中に水が Si-OH の構造を作り、これが電子トラップの原因である。しかし一方で、このような Si-OH や Si-H の構造が作られることで SiO_2 は安定な状態になり、酸素空位を含まない、つまり、正孔トラップの少ない酸化膜が形成される。別の見方をすれば、超ドライ(あるいはドライ)酸化膜では酸素空位が形成されるところに水が入り込んで、電子トラップにしてしまうために、正孔トラップが少ないと考えられる。

3. 5 3章のまとめ

Si-SiO₂系に存在するキャリアトラップの物理的な測定の一つとして、電子スピン共鳴法による点欠陥の検出を行った。

酸化膜に対して、vacuum soft X-ray照射を行った結果、酸化膜中のSi-Si結合に正孔が捕獲された構造であるE'センタの分布が、Si-SiO₂界面に集中して存在することを確認した。さらに、超ドライ酸化膜とパイロジェニック酸化膜について、E'センタの発生量の比較を行ったところ、超ドライ酸化膜のスピン密度 $4.5 \times 10^{11} \text{ spins/cm}^2$ に対して、パイロジェニック酸化膜の場合は $2 \times 10^{11} \text{ spins/cm}^2$ であり、このX線照射の結果は、2章の電気的測定における、正孔トラップの密度の関係と一致する。従って、一つ目の結論として、正孔トラップはSiO₂中に存在するSi-Si結合あるいは酸素空位であり、Si-SiO₂界面近傍に集中していることが分かった。

さらに、Fowler-Nordheim注入によって電子注入を行ったサンプルに対し、ESR測定を行ったところ、Si-SiO₂界面準位であるP_bセンタが検出され、この発生量は、2章における、電子注入の結果と一致する。

従って、2章の電気的測定の結果である、電子トラップと正孔トラップの酸化雰囲気の水の量に関するトレードオフの関係は次のように理解されよう。

"酸化雰囲気に水が含まれている場合、水はSiO₂ネットワーク中にSi-OHの構造を作り、電子トラップを発生させるが、一方で、電子トラップの構造は酸素空位よりも安定なので、本来Si-Si結合になるべきところにH₂O

が反応して、正孔トラップはドライ酸化よりも減少する。"

すなわち、水は電子トラップの原因であると同時に、酸化膜中の酸素空位を埋める働きをしていると考えられる。

文献[第3章]

- 1) 例えば、栗田雄喜生、電子スピン共鳴入門、講談社(1975).
- 2) P. M. Lenahan, W. L. Warrent, P. V. Dressendorfer and R. E. Mikawa, in *Zeitschrift fur Physikalische Chemie Neue Folge*, vol. 151, 235 (1987).
- 3) K. L. Yip and W. B. Fowler, *Phys. Rev. B*, vol. 11, 2327 (1975).
- 4) B. B. Triplett, T. Takahashi, and T. Sugano, *Appl. Phys. Lett.*, vol. 50, p. 1663 (1987).
- 5) H. S. Witham and P. M. Lenahan, *Appl. Phys. Lett.*, vol. 51, 1007 (1987).

第4章 熱酸化SiO₂中のトラップに対する 熱処理の効果

4.1 はじめに

3節で明らかになった正孔トラップの構造(酸素空位： $O_3 \equiv Si-Si \equiv O_3$)を元にした電子トラップと正孔トラップの間のトレードオフの関係は、酸化プロセスにおける水分の検討だけでは、電子トラップと正孔トラップの両方を低減することはできないことを示している。本章では酸化後の熱処理によってこのトレードオフをさらに検証することを目的としている。また、超ドライ酸化膜については、正孔トラップの減少を水によらずに実現する方法を検討するため、ArとH₂による熱処理、およびフッ素導入を試みた。

4.2 超ドライ酸化膜の熱処理

4.2-1 試料作成

A. Ar熱処理

サンプルとしては、前章で電子トラップが存在せず、キャリア注入により発生する界面準位もわずかであるという結論を得た超ドライ酸化膜を用いる。酸化条件は1000℃16分(～20nm)で基板、ゲート電極、裏面コンタクトなどその他の条件は2章において用いたアバランシェ注入用の試料MOSダイオードと同一である。酸化後熱処理は酸化プロセス直後に行うもので、ゲート電極は熱処理時にはまだ形成してない。Ar熱処理は、超ドライ酸化に用いる2重石英管炉で行ったため、熱処理による水の混入は無視できる。温度は酸化温度と同じ1000℃とし、時間は60分である。

B. 高温H₂熱処理

H₂熱処理は、装置の都合上Siエピタキシャル成長用の炉を用いた。2重石英管の炉ではないが、試料の出し入れで外気の巻き込みが起きないような工夫がされており、水の混入は少ない。雰囲気は100%H₂である。時間は60分、温度は800℃とした。900℃を越えるような温度では、H₂はSi-O-Si結合を分解し、Si-OH結合を作って電子トラップを生成してしまう恐れがある。また低温では、酸素空位を形成しているSi原子の結合手にH₂が反応しない可能性がある。そこでSi-O-Siを分解しない範囲でなるべく高い温度に設定した。しかしながら、SiO₂の表面に多少の"あれ"が観察されるサンプルがあり、この影響をのぞくためにすべてのサンプルをゲートポリシリコン堆積前に2nm希弗酸でエッチングした。このエッチング分の2nmを補償するため、高温H₂処理の試料の酸化は1000℃18分(22nm)である。その他の条件はすべてAr処理のサンプルと同一である。

4.2-2 測定結果と検討

酸化膜中のトラップ密度の測定には、2章と同様にアバランシェ電子/正孔注入を用いた。注入条件等は2章と同一である。

図4.2.1に、Ar熱処理を行ったサンプルについて、アバランシェ正孔注入を行った結果を示す。注入前後のCVカーブからフラットバンド電圧のシフト量を計算し、Si-SiO₂界面に正孔トラップが局在するとしてトラップの面密度に換算すると、 $5.2 \times 10^{12}/\text{cm}^2$ となる。これはAs-grownの超ドライ酸化膜と比較すると約2倍の値となり、正孔トラップは増加した。なお、界面準位の発生量は、CV測定による捕獲正孔の再放出のために、High-Low Frequency法による計算が行えなかった。電子トラップについては増加はみられず、測定限界以下であり、界面準位の発生もみられなかった。

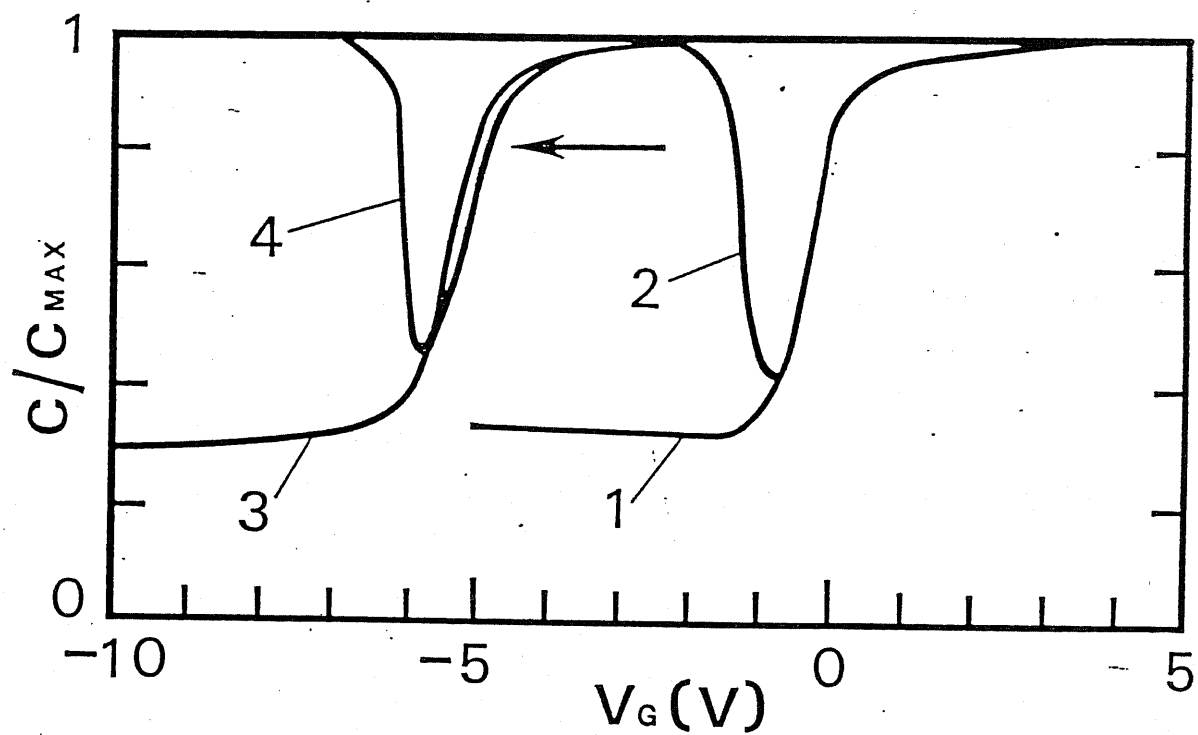
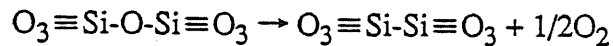


図4.2-1 超ドライArアニールを行った超ドライ酸化膜の正孔注入によるC-V特性の変化

1,2: 注入前高周波、Quasi-Static

3,4: 注入後高周波、Quasi-Static

Arアニールの目的は、高温アニールによる粘性流動で、SiO₂中の酸素空位をなくすことであったが、予想に反して、正孔トラップは増大した。これは粘性流動により逆に酸素の蒸発を促進してしまったためと考えられる。すなわち、



の反応が起きたものと考えられる。

図4.2.2に、水素熱処理を行ったサンプルについてのアバランシェ正孔注入の結果を示す。水素処理もやはり酸素空位を埋める目的で、行ったが、正孔トラップの密度の減少はやはりみられない。温度をこれ以上上げることはできないので、水素アニールによる効果はないという結論になる。但し、ゲートポリシリコンがSiH₄の分解で作られているので、水素を含んだ状態にあり、また、隣拡散で875℃の高温になっているのでポリシリコンからの水素が酸化膜中に取り込まれている可能性がある。したがって、As-grownと称しているサンプルにはすでに水素アニールの効果がある可能性があり、そのため熱処理の効果がでなかったと考えられる。

4.3 ウェット酸化膜の超ドライ熱処理

4.3-1 はじめに

超ドライ酸化膜は電子トラップとSi-SiO₂界面準位の発生が少ないという点で、MOSFETのゲート酸化膜として優れた特性を有していると考えられるが、現実には低温で水が拡散する[4.1]ために、プロセスをすべて通した状態ではウェット酸化膜とドライ酸化膜の間には本研究で得た結果ほどの差はでない。したがって、プロセス全体の超ドライ化が超ドライ酸化膜の特性を生かすために必要である。逆の意味で、ウェット酸化膜

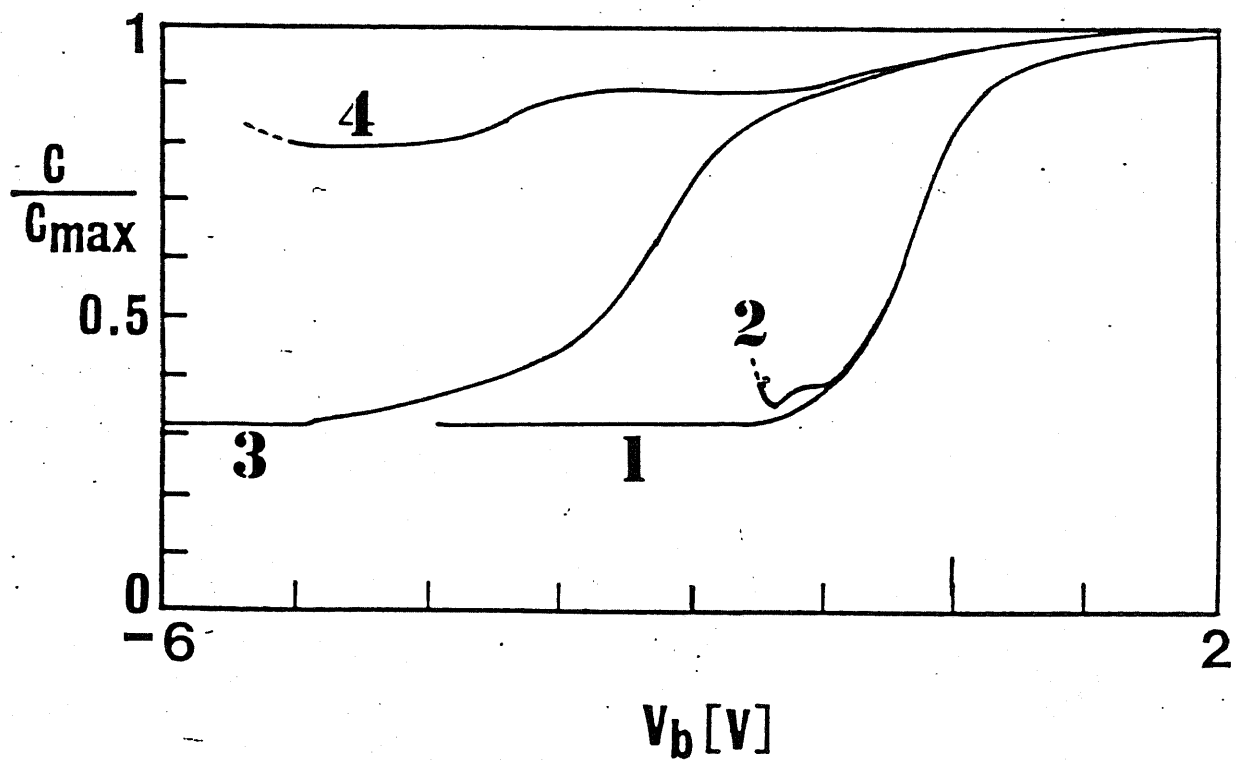


図4.2-2 高温水素アニールを行った超ドライ酸化膜の正孔注入
によるC-V特性の変化

1,2: 注入前高周波、Quasi-Static

3,4: 注入後高周波、Quasi-Static

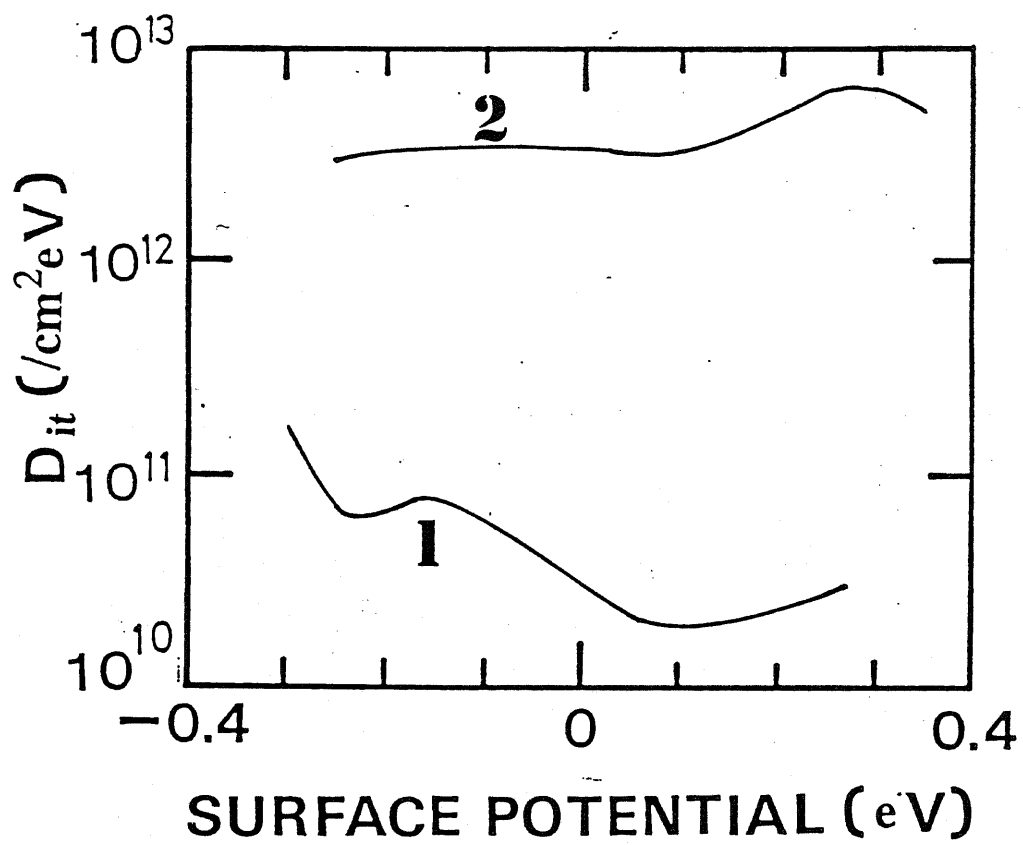


図4.2-3 高温水素アニールを行った超ドライ酸化膜の正孔注入によるSi-SiO₂界面準位の変化

といえども、超ドライ雰囲気アニールするとその性質は超ドライ酸化膜に近づいてくるはずである。

本節では、2章の結論の1つである、酸化雰囲気中の水分量に関するトレードオフの関係をさらに検証するため、ウェット酸化膜をさまざまな温度の超ドライのAr雰囲気アニールして酸化膜中の水分量を変化させて、アバランシェ注入法により酸化膜中の電子/正孔トラップ密度の測定を行った結果を述べる。

4.3-2 試料作成と測定

酸化膜形成法は、2章で扱ったウェット酸化膜のサンプルと同様である。超ドライArアニール条件は、800℃から1000℃まで50℃刻みで5条件とした。時間はすべて60分である。アバランシェ電子/正孔注入により、酸化膜中の電子トラップと正孔トラップを測定した結果を図4.3.1にアニール温度の関数として示す。またキャリア注入後の界面準位分布を図4.3.2にアニール温度をパラメータとして示す。測定条件などは、2章で用いたもので統一している。

4.3-3 結果に対する検討

超ドライ酸化膜に含まれる正孔トラップ密度は、 $3 \times 10^{12}/\text{cm}^2$ 程度であるが、1000℃(超ドライ酸化の温度)でアニールしたウェット酸化膜については正孔トラップが同レベルとなっている。また電子トラップについても測定限界程度であり、この点でも超ドライ酸化膜の性質と同じである。これは超ドライ雰囲気Arアニールで酸化膜中の水に関する欠陥がほぼアニールアウトされたことを意味するが、大路らの重水を用いた核共鳴反応の結果によると[4.2]、酸化膜中に取り込まれた水は高温アニールでアニ

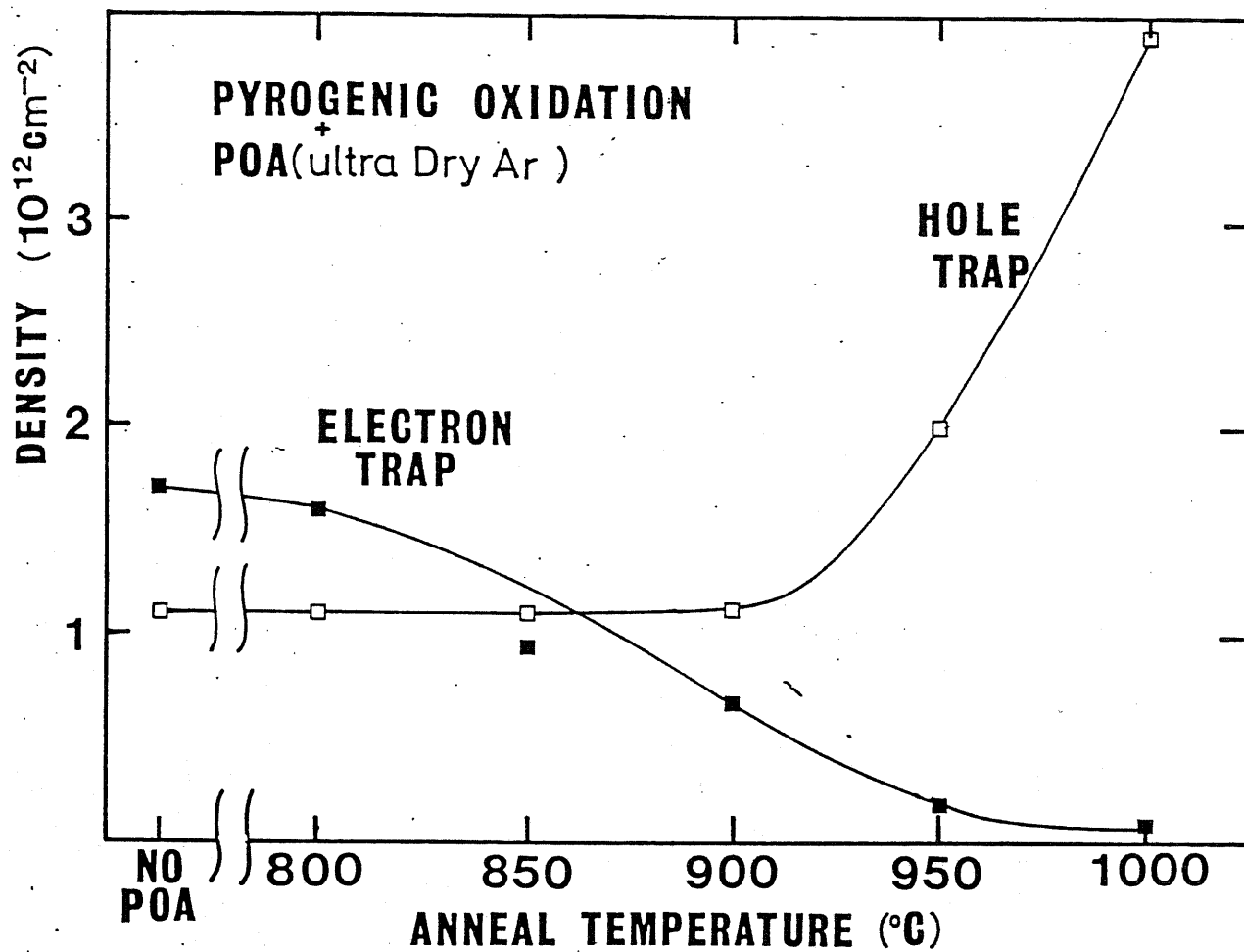


図4.3-1 超ドライAr中で熱処理したパイロジェニック(ウェット)酸化膜に含まれる電子/正孔トラップ密度の変化

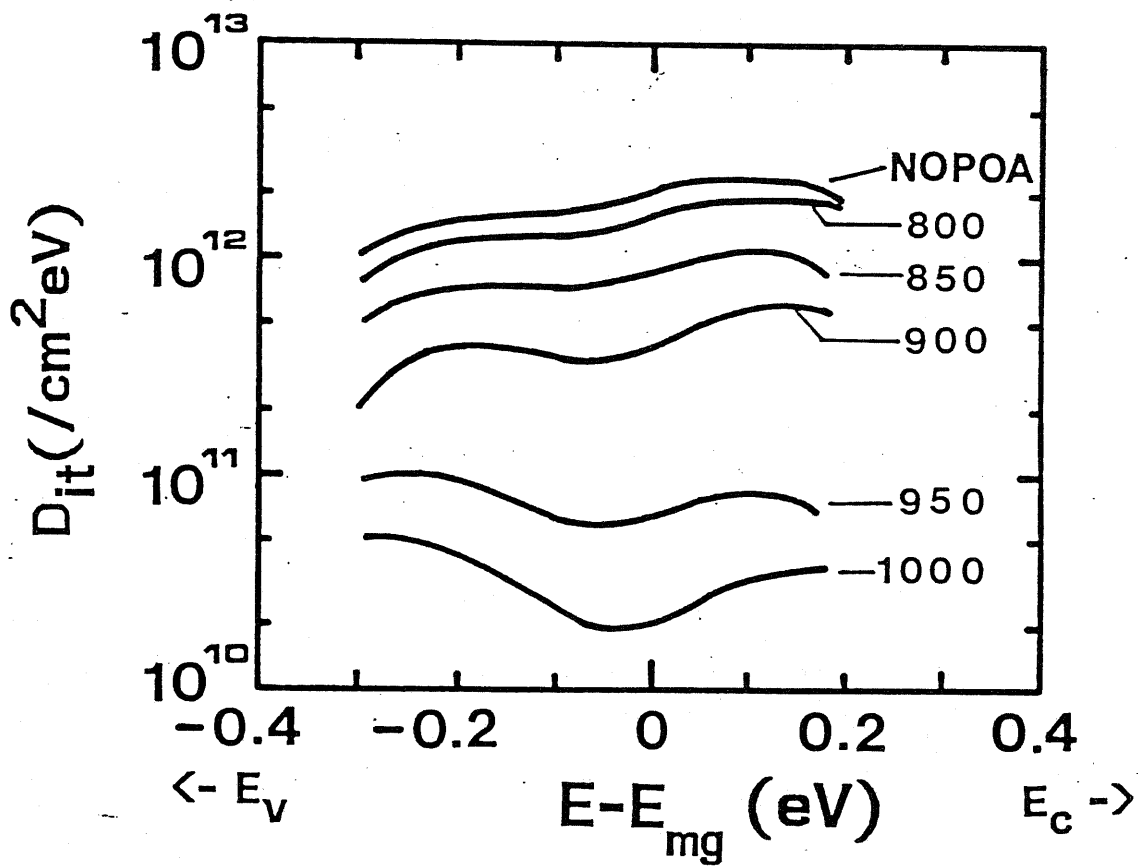


図4.3-2 超ドライAr中で熱処理したパイロジェニック(ウエット)酸化膜に電子注入で発生した界面準位

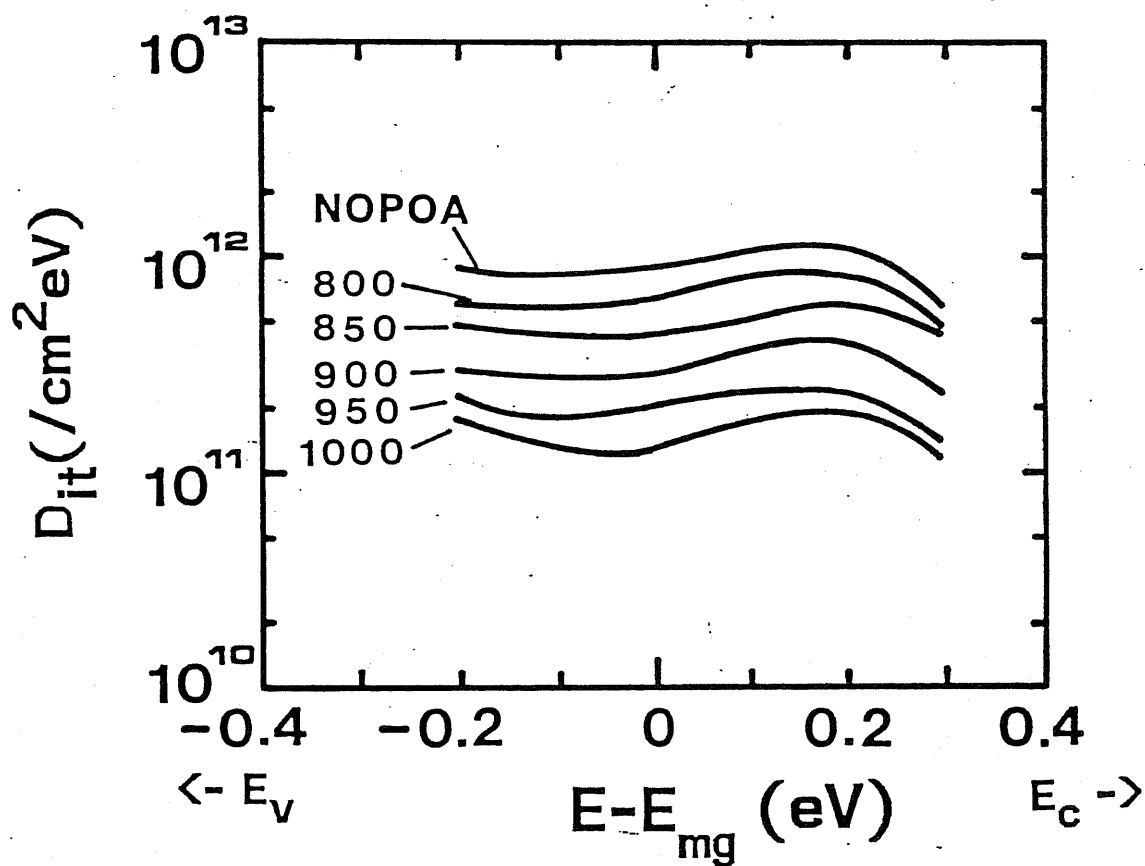


図4.3-3 超ドライAr中で熱処理したパイロジェニック(ウエット)酸化膜に正孔注入で発生した界面準位

ールアウトされる場合にはやはり水の形で抜けていくことがわかっている。したがって、Si-OHやSi-Hの構造が水が抜けるという形で減少してゆく。電子トラップの減少は、この過程でSiOHがなくなることで理解できる。電子トラップの密度が $10^{11}/\text{cm}^2$ を切るあたり(900°C)で、2章で得られたトレードオフの関係が見えてくる。すなわちSiO₂中に酸素空位が発生し始め、正孔トラップが急激に増加する。さらにアニール温度を上げると、超ドライ酸化膜をArアニールした場合と同様に酸素が抜け始め、正孔トラップの密度はさらに上昇すると考えられる。

この実験事実は、2章で得られたトレードオフの関係をさらに補強するものと考えられる。

4. 4 超ドライ酸化膜へのフッ素導入

4. 4-1 はじめに

これまでの検討で明らかになったことを、ここでもう一度整理してみると、次のようになる。

- (1) 超ドライ酸化膜では、電子トラップ密度が測定限界以下になる一方で、正孔トラップはウェット酸化膜の2倍以上となる。
- (2) ESRで測定した結果でも、X線照射で発生するE'センタの密度がウェット酸化膜よりも高い。
- (3) 超ドライAr処理では、正孔トラップの増大が起きる。(不活性雰囲気熱処理)
- (4) 水素熱処理では、正孔トラップの密度に変化はない。(還元性雰囲気熱処理)

(1)と(2)の結果は、全て正孔トラップが酸素空位であるというモデルで説明できる。このモデルに従い、(3)及び(4)の検討は、熱処理により、酸素空位を埋める目的で行ったが、結果は必ずしも期待通りではなかった。本研究の目的の1つとして、電子トラップの密度を増大させずに、薄膜化により相対的に重要性の増した正孔トラップの密度を減少させるプロセスの開発がある。2章の結論から言えば、水を含む不活性雰囲気で熱処理する方法が考えられるが、この方法では、容易に電子トラップが生成してしまうことが知られており[4.1]、本研究の目的とは一致しない。

そこで、酸化膜中にトラップを生成せず、Si-Si結合に反応する物質を導入する方法を検討する必要がある。先ず有力な不純物は、Si-SiO₂界面準位の低減に効果のある、塩素が考えられるが、放射線による正電荷発生量の見積もりでは、逆に正孔トラップが増大してしまうという、報告

がある[4.3]。よって、別のハロゲンが候補にあがる。多くの不純物は、 SiO_2 中でバンドギャップ内に不純物準位を作ることが、理論的に検討された結果で知られている[4.4]。但し、幸いなことに例外があり、フッ素は作らない。また、実用性の観点からも、フッ素は有望である。近年、素子の微細化に伴う問題である、コンタクト抵抗、ポリシリコン抵抗の増大に対する対策として、タングステンシリサイドを用いる方法[4.5]が、有力視されている。そこではタングステンのフッ化物を原料ガスに用いるので、フッ素は比較的プロセスに受け入れられやすい性質を持っている。また、放射線による測定結果では、MOSFETの閾値電圧変動(固定電荷量)とサブスレシヨルドスロープの劣化(界面準位密度)では、導入量に最適値が存在するものの、確かに効果があることが報告されている[4.6]。本来、フッ素は SiO_2 を分解する[4.7]のものであり、導入量が多すぎると酸化膜の耐圧劣化など、望ましくない結果を生むことは自明である。そこで、X線照射での最適値を用い[4.6]、フッ素を導入した酸化膜について検討した。本節ではその結果を述べることにする。

4. 4-2 フッ素導入の方法と測定

フッ素導入の手段としては様々のものが考えられる。酸化時に導入する方法としては、洗浄工程の最後に行われるHF処理後の純水洗浄を省略するもの(HFディップ)[4.8]、酸化後にフッ素をイオン注入して直接 SiO_2 中にフッ素を導入するもの、あるいはフッ素を含むポリシリコンから熱処理により導入するもの[4.6]などが、考えられる。このうち、HFディップは、プロセスとの整合性がない(LOCOS酸化膜が侵される)こと、また、イオン注入による導入は20nmのような薄膜ではプロファイルのコントロールが困難なことがあり、ゲート酸化膜としての SiO_2 を考えたときには適

さないものと考えられる。最後のポリシリコンからの拡散は、タンダステンシリサイドゲートのプロセスにもっとも近く、また、熱処理時間でフッ素導入量を制御できるため、再現性の点でも優れていると考えられる。そこで、本研究でのフッ素導入法としては、ポリシリコンからの拡散を用いることとした。

次に実際の手順を示す。洗浄した(100)、 $0.1\Omega\text{cm}$ nまたはp型のSiウェハ-を 1000°C で、20nm超ドライ酸化する。LPCVDで n^+ ポリシリコンを堆積させた後、フッ素を $1\times 10^{15}/\text{cm}^2$ 、加速電圧25 keVでイオン注入する。この加速電圧では、フッ素の分布はほとんどポリシリコン中に止まる。このウェハ-を 950°C 10分のAr中熱処理を行い、フッ素を SiO_2 中に拡散させる。この条件は、MOSFETの閾値電圧シフトと界面準位発生が最小になる条件である。このMOSダイオードを用い、アバランシェ注入により、電子トラップと正孔トラップの密度を測定した。

4. 4-3 トラップ密度、界面劣化とフッ素の関係

図4.4-1(a)に示すものは、フッ素を導入したサンプルの正孔注入の前後のC-V特性である。同一ロットで酸化したフッ素注入の無いサンプルのC-V特性を図4.4-1(b)に示すが、フラットバンド電圧のシフトで見ると、有意な差は見られない。従って、フッ素導入によって正孔トラップの密度はほとんど影響を受けないという結果となった。ただし、フッ素の導入量が少なすぎるのではないかという疑いがあるので、 1000°C 60分間の熱処理も検討したが、フッ素が酸化膜を分解したためか、耐圧低下に伴いリーク電流が増大し、測定不能であった。従って、本研究で用いたアバランシェ注入による評価では、酸化膜中の正孔トラップの密度低減の効果はないという結論となった。

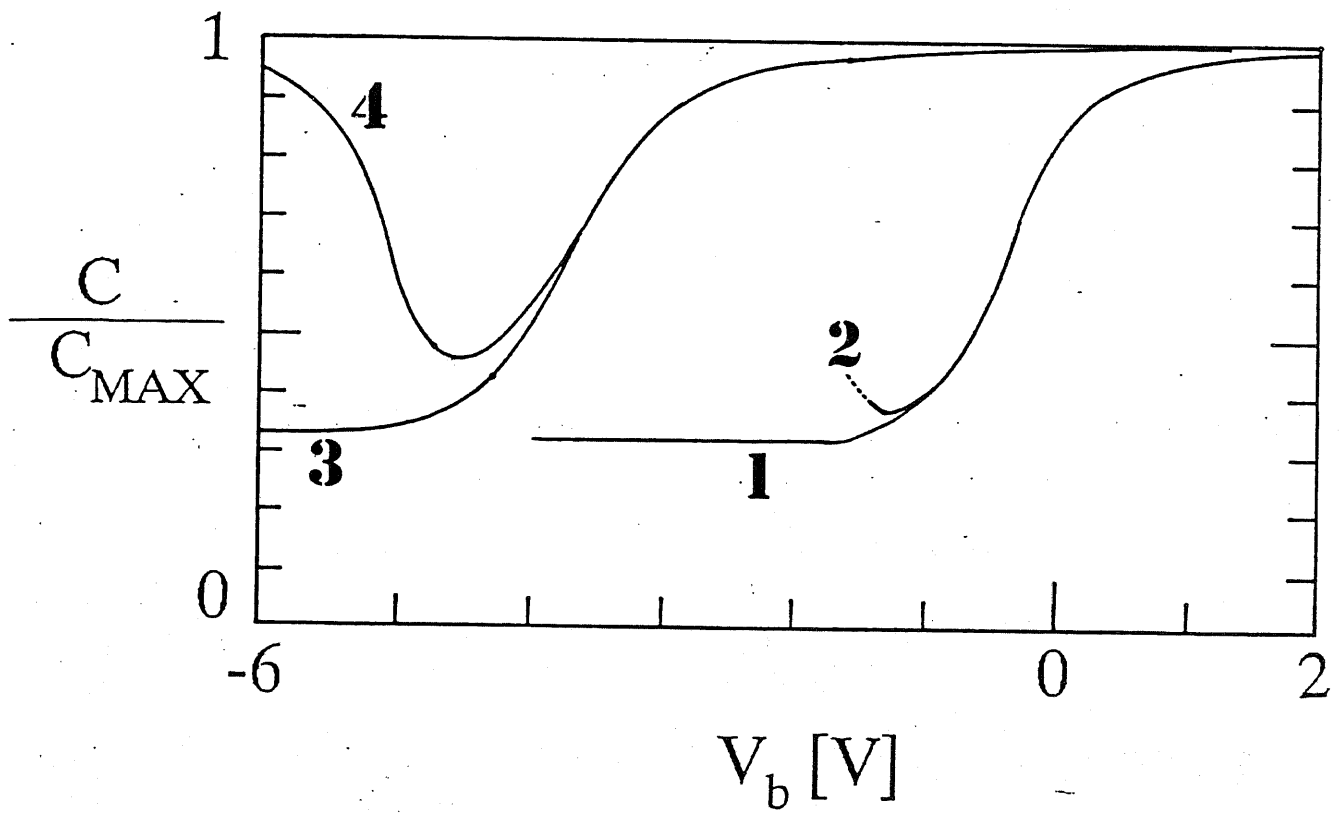


図4.4-1(a) フッ素を導入した超ドライ酸化膜の正孔注入による
C-V特性の変化

1,2: 注入前高周波、Quasi-Static

3,4: 注入後高周波、Quasi-Static

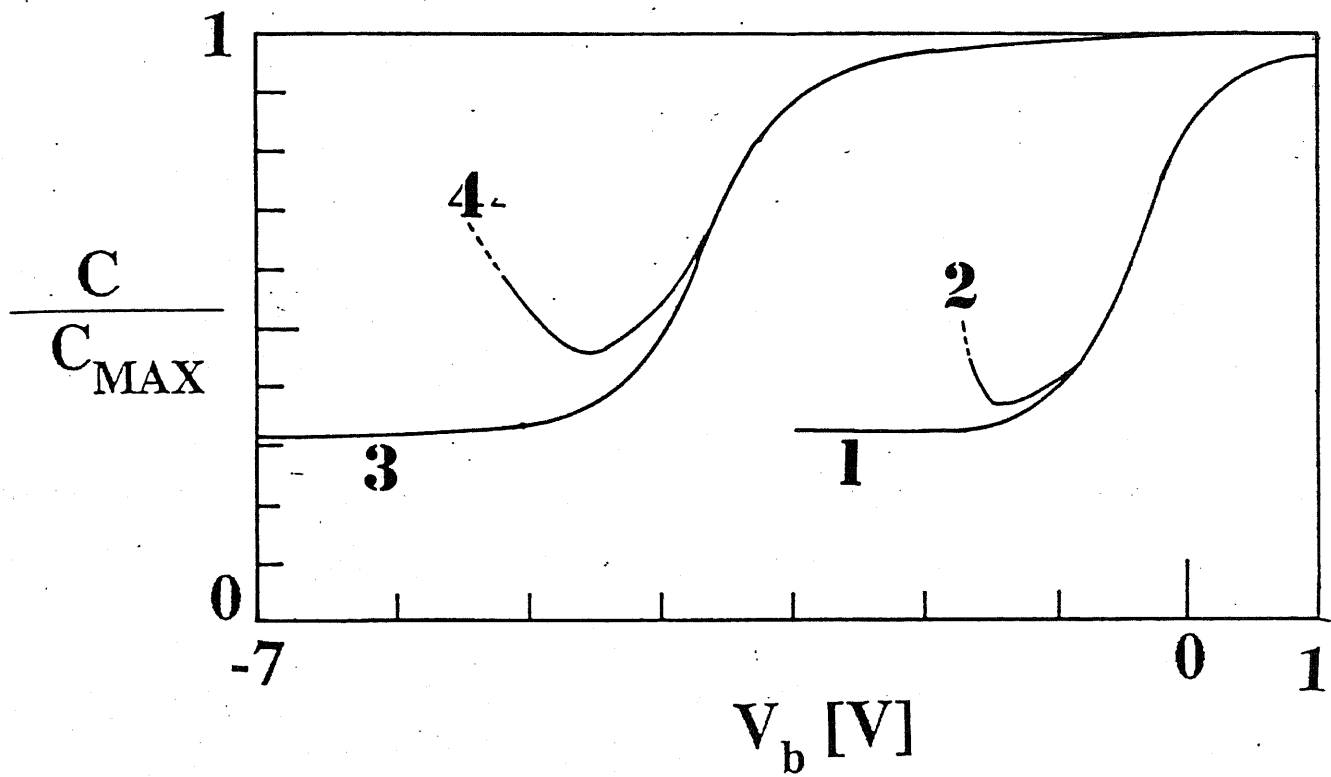


図4.4-1(a) 超ドライ酸化膜の正孔注入によるC-V特性の変化

(4.4-1(a)と同一ロットで作製されたサンプル)

1,2: 注入前高周波、Quasi-Static

3,4: 注入後高周波、Quasi-Static

但し、図4.4-1で注目すべきことは、Si-SiO₂界面に関しては、正孔注入の前後ともフッ素を導入した場合が界面準位密度が小さい、という結果である。High-Low Frequency法によって計算した界面準位密度の分布を図4.4-2に示す。すなわち、フッ素導入は正孔トラップに対しては効果がないが、ストレス前、ストレス後ともに界面準位を低減する効果がある。本研究では、LPCVDによるポリシリコン電極を用いているので、界面の未結合手は大部分水素で終端されていると考えられるが、さらにフッ素を導入することで、終端されなかったものを終端できたこと、また、水素とSiの結合よりもフッ素とSiの結合は強いので、正孔による切断も起きにくいと考えられる。また、電子注入の結果では、電子トラップ、界面の劣化とともに、超ドライ酸化の特性を保持しており、フッ素によって新たなトラップの発生は検出されなかった。

以上の結果から、フッ素の導入には次のような効果があることが分かった。

- (1) 未結合手を終端し、Si-SiO₂界面準位密度を低減する。
- (2) (1)の結果できたSi-SiO₂界面のSi-F結合は、正孔注入によっても容易には切断されないため、界面のストレスに対する耐性が向上する。
- (3) 以上の効果は、電子トラップ、正孔トラップの発生を伴わない。

但し、正孔トラップの低減効果は認められなかった。

4. 5 4章のまとめ

酸化膜中の電子/正孔トラップ密度の熱処理による影響を調べた。

まず熱処理雰囲気として、不活性雰囲気(Ar)、還元性雰囲気(H₂)を用い、主に超ドライ酸化膜中の正孔トラップ密度の変化を見た。その結果、1000℃の高温Ar処理では、正孔トラップ密度が大幅に増大すること、ま

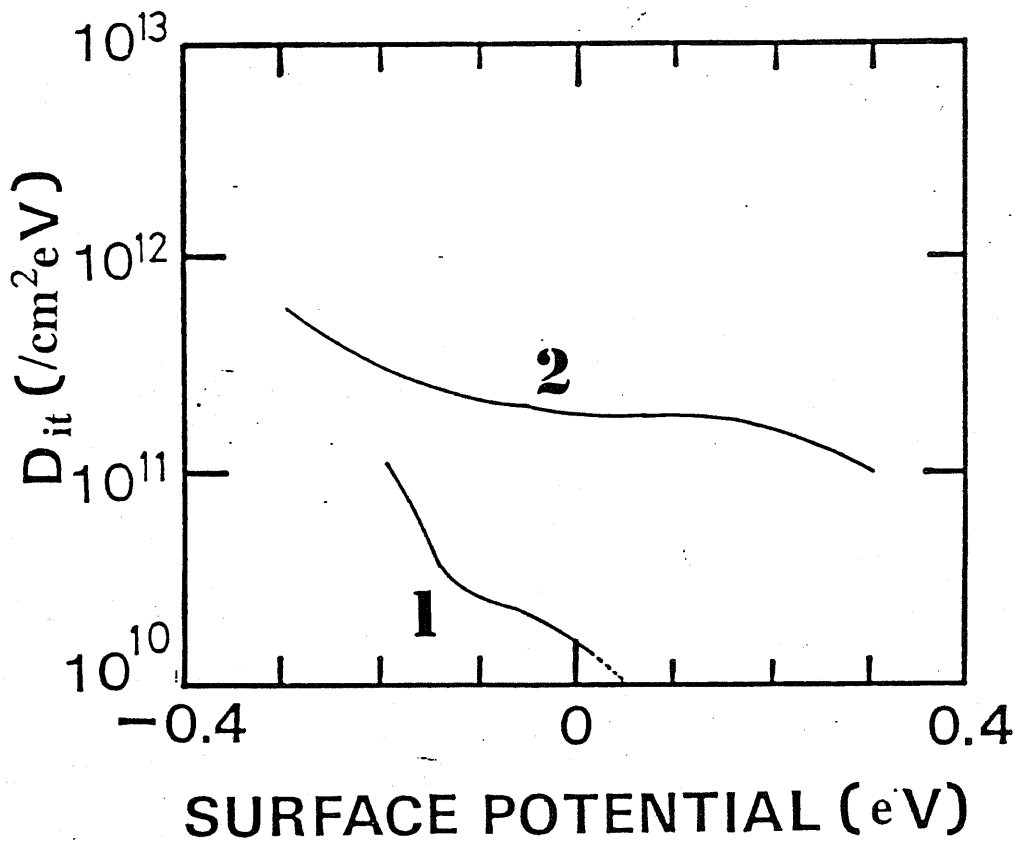


図4.4-2(a) フッ素を導入した超ドライ酸化膜に正孔注入によって発生した界面準位

1: 正孔注入前 2: 正孔注入後

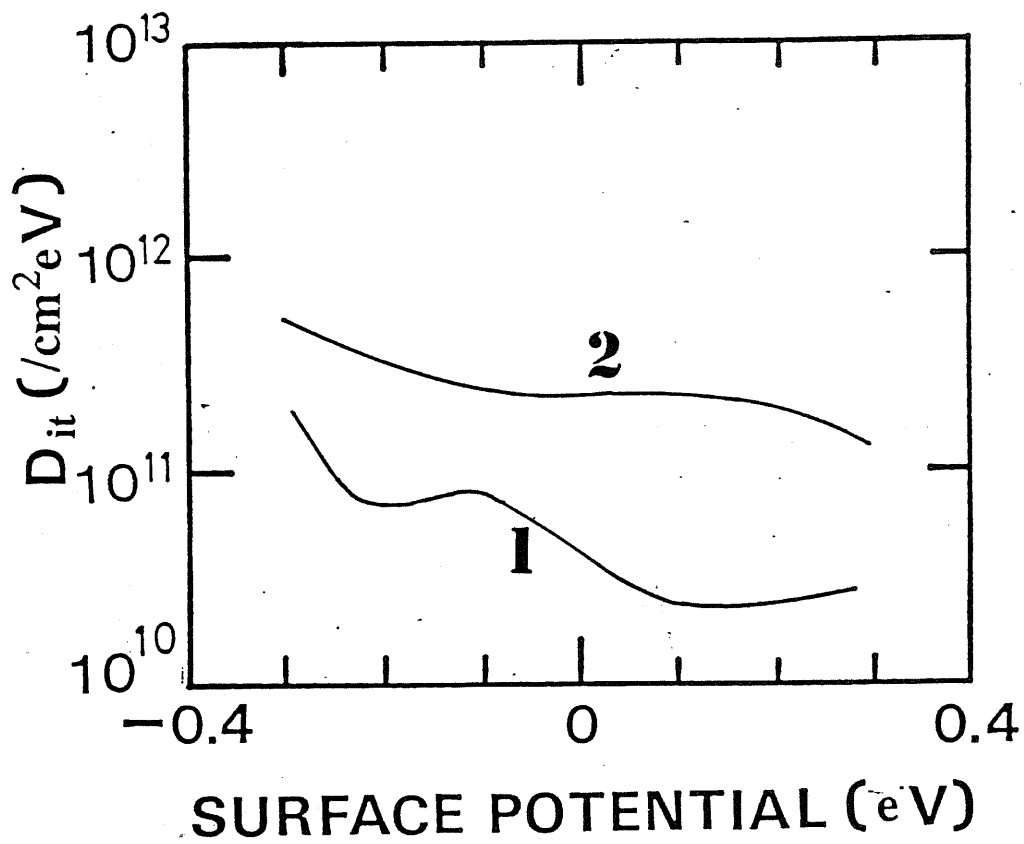


図4.4-2(a) 超ドライ酸化膜に正孔注入によって発生した界面準

位(4.4-2(a)と同一ロット

1: 正孔注入前 2: 正孔注入後

た、還元性雰囲気では、Si-SiO₂界面のストレスによる劣化が加速されることを見いだした。いずれの場合にも、正孔トラップ密度の減少という目的では用いることはできない。

一方、パイロジェニック(ウェット)酸化膜の超ドライArによる熱処理では、高温熱処理になるほど電子トラップが低減されるが、その一方で、正孔トラップが発生することが明らかになった。この結果によって、2章で述べた酸化雰囲気中の水に関するトレードオフを別の角度から検証することができた。

さらに、フッ素導入プロセスを検討した結果、Si-SiO₂界面準位密度を低減することができ、また、正孔注入による界面劣化も低減できた。これらの効果は、電子トラップや正孔トラップの増大を伴わない。この結果から、フッ素を導入することの界面特性改善に対する有効性が示された。

参考文献[第4章]

- [4.1] E. H. Nicollian, C. N. Berglund, P. F. Schmidt, and J. M. Andrews, *J. Appl. Phys.*, vol. 42, 5654 (1971).
- [4.2] 大路、西岡、横川、向、邸、新井、菅野、第36回春季応物、1p-ZE-5 (1989).
- [4.3] Machandara et al, *Appl. Phys. Lett.*, (1985).
- [4.4] S. T. Pantelides, *Thin Solid Films*, vol. 89, p.103 (1982).
- [4.5] J. M. Pimbley, M. Ghezzi, H. G. Parks, and D. M. Brwon, in "*VLSI Electronics Microstructure Science*," vol.19, chapter 3, Academic Press (1989).
- [4.6] Y. Nishioka et al., *Appl. Phys. Lett.*, vol. 54, p.1127 (1989).
- [4.7] S. M. シー編、武石喜幸他訳、"超LSIテクノロジー"、第8章、総研出版 (1985).
- [4.8] E. F. daSilva, Jr., Y. Nishioka, and T. P. Ma, *IEEE Trans. Nucl. Sci.*, vol. NS-34, p.1190 (1987).

5章 低温酸素熱処理による 超ドライ酸化膜中の正孔トラップ低減

5. 1 はじめに

4章の検討では、"正孔トラップ低減=酸素空位を埋める"の方法として熱酸化後の SiO_2 に対して、水素熱処理、アルゴン熱処理、フッ素導入熱処理などを試みた。結論としては、 Si-SiO_2 界面については、改善効果のあるものもあったが、正孔トラップ低減の方法としては、見るべきものはなかった。特に Ar 雰囲気での熱処理では正孔トラップが増大した。この結果から理解できることは、 Si-SiO_2 界面が形成される際に酸素が存在しない状態におかれると、酸素空位が必ず生成し、たとえフッ素などの酸素空位を埋めるべき原子が存在しても界面の状態は悪化するだけである、ということである。

そこで、もう一度酸化プロセスを見直してみると、 Si-SiO_2 界面が形成されるのは酸化終了時、そして、降温時である。通常の酸化プロセスは、酸化膜厚の制御性を重視するため、終了時には酸化雰囲気をアルゴンに置換している。降温時間は数分のオーダーであるから、このアルゴン置換によって、4章におけるような酸素空位の発生があるとは考えられない。しかし、超ドライ酸化膜の場合を考えると、酸化終了時の温度 1000°C では、酸化プロセスは拡散律速の傾向があり、 Si-SiO_2 界面は、常に"酸素が不足した"状態にあると考えられる。もし、酸化雰囲気に水が存在すれば、水素の分布は Si-SiO_2 界面に集中するので[5.1]、これが酸素空位を埋める働きをするが、酸素しか存在しない状態で酸化が進行し、酸素の供給が絶たれると、酸素空位を残したまま酸化が終了することになり、これが酸素空位の生成過程ではないかと考えられる。

この仮定の元、本章では、酸化終了時の雰囲気注目し、超ドライ酸化の終了時の雰囲気を酸素のままとする実験を行った。その結果、正孔トラップの低減が図れることを示す。この方法は、膜厚制御の観点からは極めて不都合なので、通常の酸化プロセスをアルゴン置換による方法で終了し、改めて酸化のほとんど進行しない低温での酸素雰囲気熱処理を行った。この方法でも正孔トラップ密度が低減できることを述べる。また、これらの処理を超ドライ酸化炉の中で行うことで、電子トラップの発生を抑制でき、結果として本研究の1つ目の課題である、酸化膜中の電子トラップと正孔トラップの同時低減という目的を果たすことができた。どちらの実験でも、"酸化が極僅かしか進行しない温度で酸化雰囲気にさらす"という意味をもつので、低温酸素熱処理の効果として、考えることができる。これらの実験結果は、正孔トラップを酸素空位とするモデルで容易に理解できるものである。なお、本章で扱うサンプルは全て超ドライ酸化法で形成したものである。

5. 2 酸化終了の方法と、低温酸素アニールの条件

超ドライ酸化法の超ドライとしての特性を失わずに、酸素空位を埋めるための酸素を供給する方法としては、加圧酸化など様々のものが考えられるが、本研究で採用した方法は次の3通りである。

- (1) 酸化温度自体を変化させることにより、酸化終了時の温度を落とし、終了時のSi-SiO₂界面での酸化状態を、より反応律速に近付ける。(以下、"酸化温度変化サンプル"と呼ぶ)
- (2) 酸化終了時のアルゴン置換を行わず、酸素中で降温する。(以下、"酸素中降温サンプル"と呼ぶ)
- (3) 酸化終了後、低温酸素熱処理を行なう。(以下、"低温酸素アニールサ

ンプル"と呼ぶ)

まず(1)の方法では、酸化終了時にはアルゴン置換を行う。ここで、もう一度アルゴン置換を見直してみると、次のような手順である。

(i) 100%Arで置換(5分)

(ii) 2重石英管の内管にあたる石英カプセルを5分間で引き出す。

(iii) 200℃以下に温度が下がったところで試料を取り出す。

この手順の取り出しにより、850℃、900℃、950℃、1000℃の4点の酸化を行った。800℃以下の温度では酸化速度が遅く20nmの酸化膜を形成する時間が現実的でなくなる。また、1000℃の試料は、これまでの結果との比較用のものである。1000℃を越える酸化温度は、膜厚制御の観点から現実的ではなく、また、この実験の目的からはずれる。いずれの酸化温度でも、酸化時間は20nmの酸化膜形成を目標にして時間設定を行った。

(2)の方法では、酸化を1000℃で行い、アルゴン置換を行わず酸素中で降温する。すなわち、上に挙げたアルゴン置換の方法において、アルゴン置換の手順を行わないだけである。

(3)の方法では、酸化温度は1000℃とした。まずアルゴン置換を行って、1000℃の酸化を終了させ、石英カプセルを引き出した後に、200℃以下まで温度が下がるのを待つ。(ここまでの手順は、通常の酸化と同様)再び石英カプセルを酸化炉に入れ、800℃60分の熱処理を行い、再びアルゴン置換で試料を取り出す。

このような比較的特殊なプロセスを行うと、20nmといった薄い酸化膜では膜厚がある程度ばらつくのはやむを得ない。エリプソメトリで測定したサンプルの膜厚は次のようになっている。

酸化温度変化: 850℃:=25.0nm 900℃:=20.4nm
950℃:=19.0nm 1000℃:=22.5nm

酸素中降温: 22.7nm

低温酸素アニール: ()

これらの値のばらつきは、トラップの密度を算出する際に、酸化膜容量として考慮されるので、本質的な問題ではない。

これらの酸化膜サンプルにこれまでと同様の方法で n^+ ポリシリコンゲートを形成し、MOSダイオード構造によるアバランシェ電子/正孔注入で、電子トラップと正孔トラップの密度を測定した。なお、使用したSi基板は、同様に $0.1\Omega\text{cm}$ のP型及びN型の(100)である。

5. 3 トラップ密度の低温酸素熱処理による変化

5. 3. 1 超ドライ酸化温度による変化

超ドライ酸化温度を変化させた場合の正孔トラップ密度の変化を図5.1に示す。明らかに高温酸化になるにしたがって、正孔トラップが増大する。この結果は、次のように理解することができよう。すなわち、酸化温度によって、Siの酸化反応が反応律速状態に近いか、拡散律速状態に近いかが決まる。反応律速状態では酸化終了時に酸化に消費される酸素の量に対して常に十分な酸素が供給されていると見ることができる。酸素の供給が終り、 SiO_2 中の酸素拡散の平衡状態が崩されたときには、まだ試料の温度は酸化速度の十分速い領域にあると思われる。界面反応律速では、酸素がこの状態でも十分供給されるが、拡散律速状態では、酸素が欠乏する。その結果、酸素空位=正孔トラップをつくりながら酸化が僅かに進行する。もちろん、 850°C から 1000°C の温度範囲で、明確に反応律速的、拡散律速的という区分はできないが、高温ほど拡散律速的になるという点は疑いがない。

一方では、この結果の見方として、酸化終了後のアルゴン置換で高温

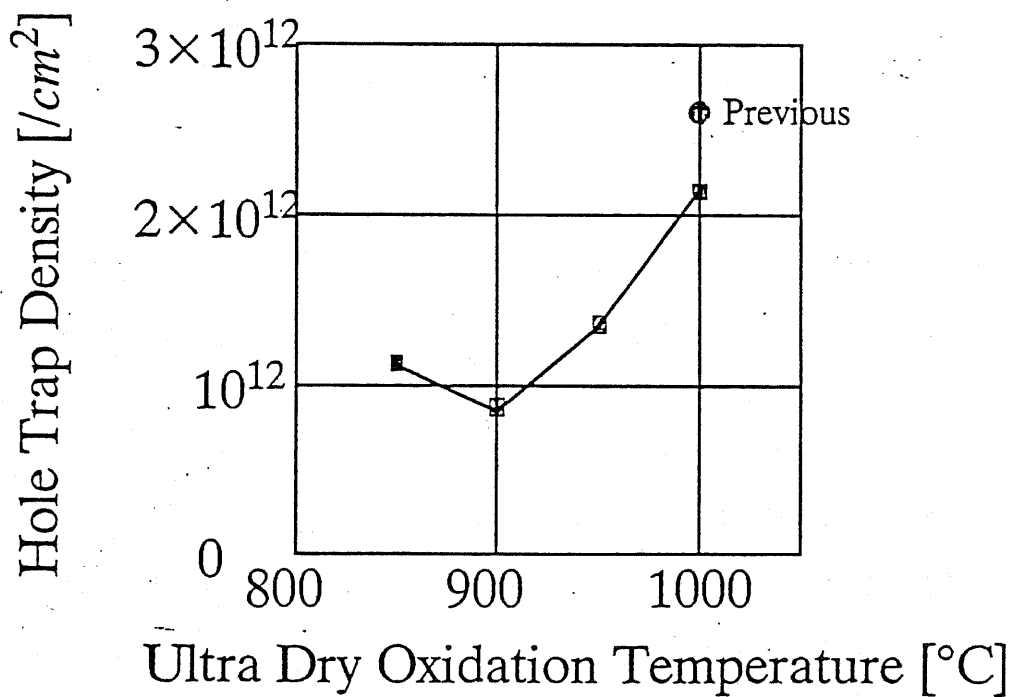


図5.3-1 超ドライ酸化温度による正孔トラップ密度の変化

(酸化終了:Ar置換)

(*注* 850°Cは60分程度の窒素ポストアニールが行われている)

におかれるかどうかの影響しているとするものもあり得る。事実、950℃を境とした正孔トラップ密度の振舞いは、4章で示したウエット酸化膜の超ドライアルゴン熱処理と非常によく似ており、その可能性は完全には否定できない。しかしながら、例えばウエット酸化膜の950℃アルゴン熱処理では、60分と長時間の熱処理でありながら、1000℃と比較すると正孔トラップの生成量は少なく、60分のアニールでも飽和しているとは考えられないことから、5分間の熱処理で同程度の効果があるとは考えにくい。従って、この酸化温度への依存性は、酸化終了時の界面における酸素の供給が酸化速度に対して十分であるかどうかをきいて考えるのが自然である。

5. 3. 2 酸素中引出し及び低温酸素アニールによる 超ドライ酸化膜中の正孔トラップ密度の変化

酸素中で引き出しを行ったサンプルは、5. 3. 1で述べた酸化終了時の効果をさらに徹底的にしたと考えられる。すなわち、界面での酸化が起きる可能性のある時には、必ず酸素が供給される。酸素中引出しで形成された界面は、酸素が欠乏するような状態にはならず常温まで到達する。その結果として、正孔トラップの低減が図られる。図5.3-1はこのサンプルの正孔トラップ密度をAr中で引き出した1000℃酸化のサンプルと比較したものである。フラットバンド電圧のシフト量は1000℃超ドライ酸化と比較して低減しており、酸素が供給されることの効果が見られる。同様に、酸化後一度冷却した後に、800℃の低温酸素アニールを行ったサンプルにも正孔トラップ低減の効果が見られるが(図5.3-1)、酸素中引出しのサンプルよりも効果は小さい。アニール終了時にアルゴン置換を行っていること、また、酸素中引出しではさらに低温でも酸素にさら

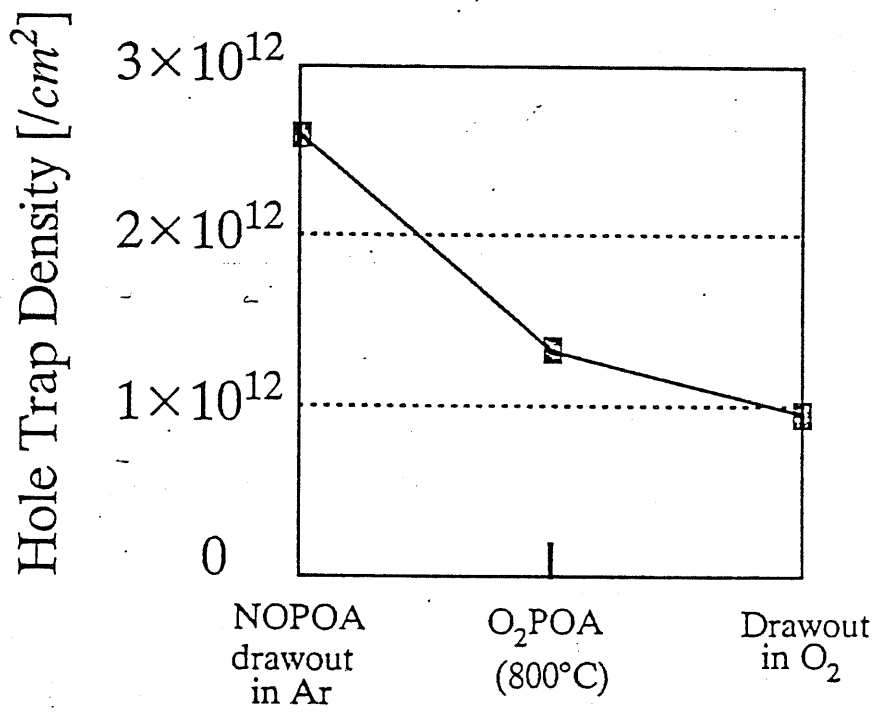


図5.3-2 低温酸素アニール、及び酸素中引き出しによる
超ドライ酸化膜中の正孔トラップの変化

されることから、酸素中引き出しの方が効果が高いと思われる。どちらの場合でも、酸素供給の効果は明瞭であり、この結果は、正孔トラップが酸素空位であるというモデルを強く支持するものであろう。

さらに注目すべきことは、酸素中での引きだし、及び、低温酸素アニールは全て超ドライ酸化炉中で行ったので、酸化雰囲気に含まれる水分量は極めて少なく、電子トラップは測定限界以下($<10^{11}/\text{cm}^2$)となることである。即ち、低温酸素アニールによって電子トラップと正孔トラップの密度の双方を低減した酸化膜を形成することが可能である。

但し、Si-SiO₂界面の劣化については、図に示されるように、低温で酸素を供給することは望ましくないようである。従来、酸化炉からの引きだし時に酸素を流したままにすると、低温で酸化が進行し、Si-SiO₂界面準位が増大することが多くの研究グループから報告されている[5.2]。本研究においても、正孔注入前の界面準位の密度及び正孔注入後の界面準位密度いずれも、高温酸化+Ar置換の場合よりも増大する傾向が明らかである。この点については、低温酸化の場合とあわせて、5.3.3で述べることにする。

5.3.3 低温酸化によるSi-SiO₂界面準位への影響

前節までで明らかになったように、低温で酸素を供給することで正孔トラップを低減することができ、これは酸素空位である正孔トラップを酸素が埋める、またはSi-Si結合を酸素が酸化すると考えると容易に理解できる。しかしその一方で、低温酸化は、Si-SiO₂界面の劣化については必ずしもよい結果を与えなかった。図5.3-1は、超ドライ酸化温度に対するSi-SiO₂界面準位のミッドギャップにおける値を正孔注入前後に対して示したものである。注入前の界面準位密度については、いわゆる Q_{ss} -

Interface States Density before and after Hole Injection

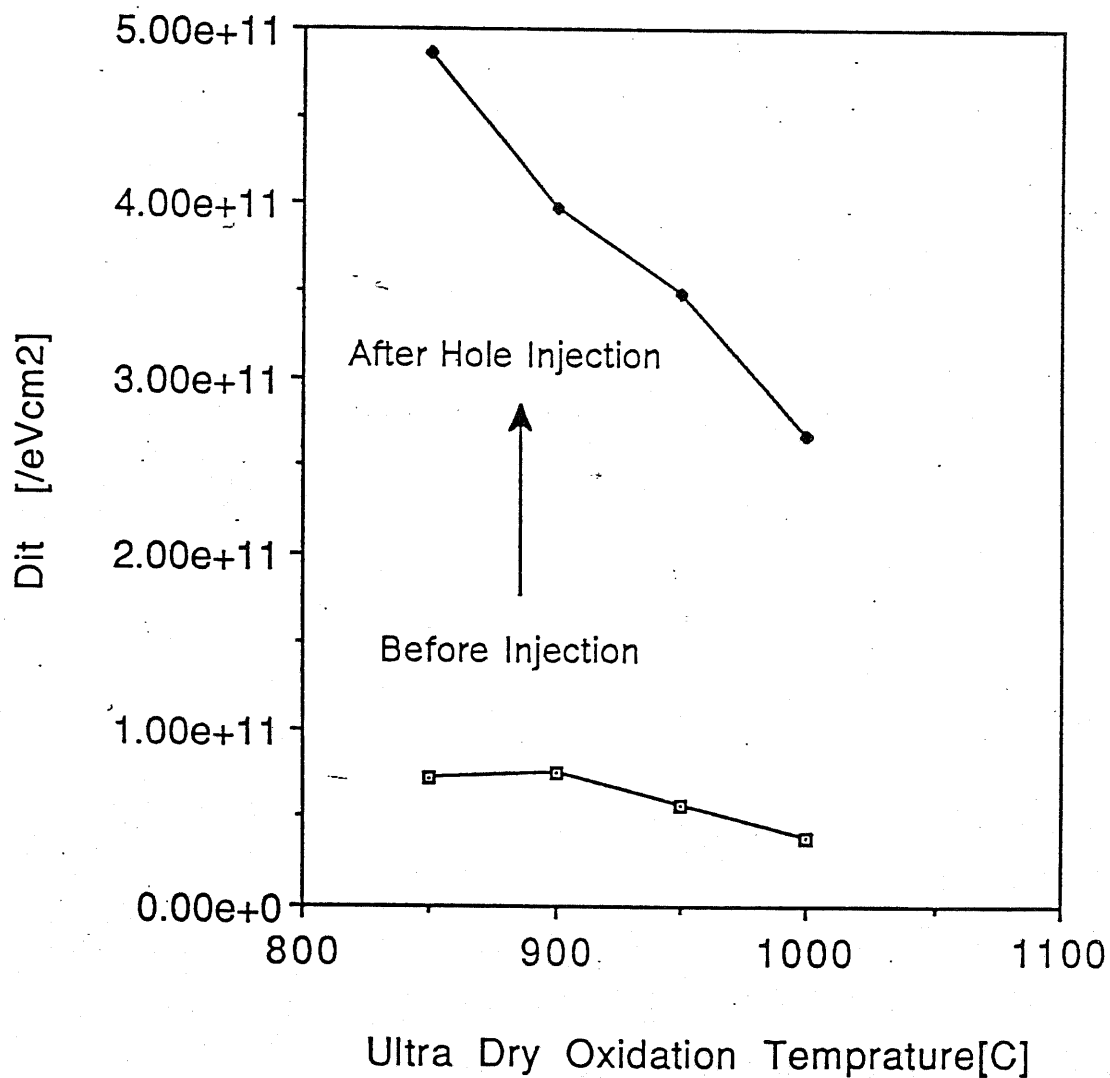


図5.3-3 低温酸化による正孔注入前後の界面準位への影響

oxygen Triangle^[5.3]として、従来からよく言われている低温酸化による界面劣化として理解できよう。但し、ここで注意すべきことは、本研究のサンプルでは、 n^+ ポリシリコンをゲート電極として用いるために、実効的には $850^{\circ}\text{C}\sim 900^{\circ}\text{C}$ の高温の水素アニールが行われた状態での評価をしていることである。そのために、界面の劣化の程度は、高々 $8\times 10^{10}/\text{eVcm}^2$ 程度に抑えられていることである。こういった水素アニールは標準的なCMOSLSI作製で用いられており、正孔注入を行わない状態での低温酸素熱処理酸化膜は、実用的には問題のない界面を有しているのである。

但し、正孔注入による界面準位発生については、劣化が加速される。この点の改善には前章で検討したフッ素イオン打ち込みを併用することが考えられる。本研究ではこのプロセスについては検討しなかったが、“超ドライ酸化+超ドライ低温酸素熱処理+フッ素導入”というプロセスが、もっともホットキャリアに対して有効な酸化膜形成であるという、結論が得られよう。

5. 4 まとめ

超ドライ酸化膜の正孔トラップ密度低減の方法として、低温酸素熱処理を検討した。低温での酸化、酸素中での冷却、及び酸化後の低温酸素熱処理の3つのプロセスを用いて、アバランシェ注入で正孔トラップ密度を測定し、低温で酸素を供給することで、正孔トラップ密度が低下することを示した。同時に測定した電子トラップ密度は、超ドライ酸化のみの場合と同じく、測定限界以下であり、電子トラップ密度と正孔トラップ密度の同時低減の目的を達することが可能である。

但し、 Si-SiO_2 界面準位密度は高温酸化のみの場合と比較して、初期値、

劣化速度ともに劣る。これは、4章で検討したフッ素導入を併用すること
とで改善が図られよう。

文献[5章]

[5.1] D. J. Breda and R. H. Doremus, *J. Phys. Chem.*, vol. 80, 2471 (1976).

[5.2] S. A. Schwarz and M. J. Schulz, in "*VLSI Electronics Microstructure Science*", vol. 10, Chapter 2, Academic Press (1985).

[5.3] B. E. Deal, *J. Electrochem. Soc.*, vol. 121, 198C (1974).

第6章 SIMOXを用いた超薄膜SOIMOSFETの電気特性

6. 1 はじめに

前章までに述べた酸化膜形成の改善は、主としてホットキャリア効果の改善を狙ったものである。第1章で述べたように、ディープサブミクロンMOSFETの最大の課題はホットキャリア効果であり、これを解決することがもっとも重要である。しかしながら、 $0.1\mu\text{m}$ レベルのMOSFETを考えるとときには、ショートチャネル効果についても十分な配慮が必要である。本章で述べる超薄膜SOI構造は、ショートチャネル効果に対する解として、もっとも期待できる構造であり、現状では唯一と言ってもよいであろう。

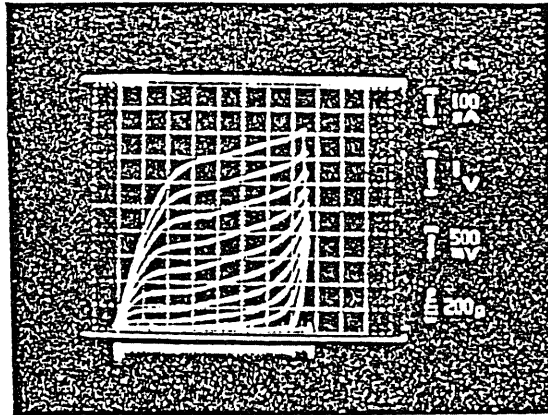
超薄膜SOI構造は、S.D.S.Malhiらによって提案された[6.1]。重要な点は、まず第一に、SOIを極めて薄膜化することにより、チャネル不純物密度が低くとも、十分にドレイン電界をゲートに終端させることができるので、パンチスルーを抑制できる点である。彼らはイントリンシックのSOI膜を用いているので、閾値電圧はゲート電極とSOI基板との間の仕事関数差によって決定している。この方法は、イオン打ち込みドーズに閾値が依存しないので、閾値コントロールの方法としては本質的に優れているものの、現状の技術では、pMOSとnMOSに異なる伝導型のポリシリコンを使用するために、プロセス的にはサブミクロンに適用することが困難である。しかし将来的には、非常に有望であり、この閾値制御法は、超薄膜SOIのみに可能な方法で、注目に値すると思われる。

第2に、低不純物密度化が可能であることで、チャネルのキャリア移動度が上昇することが期待される。このことは2つの要因から予想される。1つ目としては、イオン化不純物散乱の低下によるものであり、も

う一つは、空間電荷量が減少するために、チャネル表面の実効的な電界が低下することによるものである。これらによって、超薄膜SOIMOSFETではキャリア移動度が増大し、ショートチャネル効果が低減することが期待される。

その後の研究によって、これらの事実は理論的、実験的に明かにされてきた。その中でも特に注目されるのは、Colingeらの成果である[6.2-6]。彼のグループでは、まず上に上げた特徴に先立ち、従来型の厚いSOIを用いたMOSFETで問題となった、ドレイン飽和領域におけるキंक現象が、超薄膜SOIでは原理的に消滅することを示した[6.3]。図6.1-1に示す特性は、厚いSOIと超薄膜SOIの比較であり、SOIの薄膜化が極めて有効であることが解る。キंक現象の原因は、ドレイン近傍の高電界領域で発生した正孔が、基板に拡散し、中性領域に蓄積して実効的な閾値電圧を低下させることにある。この機構は、基板に中性領域が存在しない薄膜SOIでは存在しない。正孔は、基板の完全空乏化によって低下したソース基板接合のバリアを越えて、ソースに入り、そこで電子と再結合する。そのため、薄膜SOIでは、本質的にキंक現象が消滅する。無論基板の不純物密度を上げると、完全空乏化状態は実現されない。従って、超薄膜SOIのこの利点を生かすためには、低不純物密度化することが前提となる。

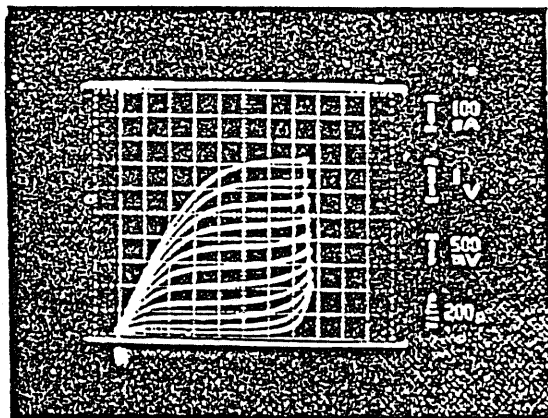
さらにColingeは、超薄膜SOIの利点として、サブスレシヨルド特性が、理論限界程度まで改善されることを示した[6.5]。基板の不純物密度が低下したことで、ゲートから延びる電気力線のうち、空乏層の空間電荷に終端するものが少なくなるため、その分だけ反転電荷を発生させるのに使われ、ドレイン電流の立ち上がりが急峻になる、と理解できる。先に述べたパンチスルーの抑制と相俟って、ショートチャネル効果の抑制に超薄膜SOI構造が極めて有効であることを示すものである。



23271

Fig. 1 Output characteristics of a transistor made in a 450 nm-thick silicon film

$N_a = 8 \times 10^{16} \text{ cm}^{-3}$, $W/L = 10 \text{ } \mu\text{m}/3 \text{ } \mu\text{m}$.
 Back gate (silicon wafer) is grounded. Vertical scale = 100 $\mu\text{A}/\text{div}$;
 horizontal scale = 1 V/div. Gate voltage step = 500 mV



23272

Fig. 2 Output characteristics of a transistor made in a 90 nm-thick film
 Same parameters as in Fig. 1

図6.1-1 SOI超薄膜化によるキック現象の消滅

after Colinge[6.3])

(上: 450nm 下: 90nm)

これらの研究成果から、超薄膜SOI構造は、ディープサブミクロンMOSFETの基本デバイスとして期待されるまでになった。しかし、VLSI応用については、SOI基板の生産技術が問題となる。従来、バルク素子並の特性を得るには、レーザ、電子線といった本質的に原理的にスループットの劣る方法に頼らざるを得なかった。これらの方法では、基板コストが高すぎるために、実用化には障害が多い。また、超薄膜SOIでは、閾値など、デバイスの基本動作パラメータが、SOIの膜厚で決定されるために、広い面積を均一の膜厚で結晶化するSOI技術でなくてはならない。大面積均一膜厚という点では、SIMOX (Separation by IMplanted OXYgen) が本質的に有利だが、従来のSIMOX技術では、基板形成後、さらにSiのエピタキシャル成長が必要であり、また、通常のプロセスで用いるイオン注入と比較すると、1000倍程度の打ち込みドーズが必要なのでスループットの点でも実用化には程遠い状況にあった。

しかし、近年Lindenbergerらにより開発された超高温アニール技術により、基板の結晶性は、飛躍的に改善された[6.7]。転移密度では $10^9/\text{cm}^2$ 程度のものがエピタキシャル成長なしで得られる。また、注入条件をコントロールすることで、 $10^3/\text{cm}^2$ の転移密度の基板が得られるという報告もあり[6.8]、もはやSIMOXについては、基板の結晶品位はバルク並と考えてもよいと思われる。しかし、埋め込み酸化膜とSOI薄膜との界面については、品位については不明な点が多く、超薄膜SOIでは、その影響が予想されるだけに、これからの課題として残されていると考えられる。

もう一方の課題であるスループットの改善については、Izumiらによって、100mAクラスの酸素イオン注入装置の開発が行われ[6.9]、VLSI生産ラインで用いられる程度の口径の基板が1枚当たり数分で注入できるようになった。大電流注入と結晶品位の間には、トレードオフがあり、

$10^3/\text{cm}^2$ の基板を高スループットで生産するためにはまだ技術的な課題があるものの、これらの成果により、SIMOX技術+超薄膜SOI構造は、次世代のディープサブミクロンMOSFETのもっとも期待される候補となった。

このような状況の元、多くのグループが超薄膜SOI構造の研究を行っているが、現状ではその原理的動作をバルクMOSFETが十分実用化可能な設計ルールにおいて確認しているのみであり、本来、超薄膜SOI構造が本質的に優位となるディープサブミクロン領域での研究成果は少ない。そのため、ショートチャネル効果抑制の特徴が、ディープサブミクロン領域でも有効なのかどうかについては、不明な状況にある。また、設計の指針となる基本的なデバイス特性を決定するデータもほとんど見あたらない。本研究では、ディープサブミクロン領域での超薄膜SOIMOSFETの動作を検証し、バルクMOSFETをしのぐ超高速動作が可能であることを実験的に示した後、さらに、ディープサブミクロン領域固有の問題点を指摘するものである。

6. 2 CMOS/SIMOXの作製プロセス

前述したように、超薄膜SOIMOSFETの作製には、特別なプロセスを要しない。実用化されているCMOSプロセスをそのまま用いることが可能であるが、今回試作したデバイスは、ディープサブミクロン素子であるため、微細化プロセスとして次のような点が変更されている。

- 1) ゲート加工以外に、SOI島分離、コンタクトホール形成、配線にも電子ビーム直接描画によるリソグラフィーを用いた。
- 2) ゲート電極加工には、ECRストリームエッチング法により酸化膜ダメージを抑え、アスペクト比の高い加工を実現した。
- 3) 素子領域の分離には通常のLOCOS法ではなく、KOHによる異方性エツ

チングによるメサ分離を用いた。

4) ソースドレイン領域からの不純物拡散を補償するために、ゲートポリシリコンの側壁に、シリコンナイトライドのサイドウォールをエッチバック法で形成した。

まず1)の電子ビーム露光であるが、チャンネル長 $0.2\mu\text{m}$ 程度の素子では、現状の光露光がゲート加工には用いられない。更には、チャンネル長とチャンネル幅の比が10程度であると、チャンネル幅が $2\mu\text{m}$ となり、光露光の誤差が素子特性のばらつきに与える影響が無視できなくなる。また、コンタクトホール形成では、サブミクロン(ここでは $0.7\mu\text{m}$)の加工が必要になるため、ここでも電子ビーム露光は必須である。さらに、コンタクトホールとの位置合わせの誤差を考慮すると、配線に対しても電子ビーム露光を採用することが必要である。これらの露光技術に対する制約は、無論現状の光露光技術を仮定するために生じるものであり、SOI技術の制約ではない。

2)のECRストリームエッチング法は、今回用いた酸化膜が 7nm と非常に薄いため、ゲート酸化膜及びゲート酸化膜-SOI界面に欠陥を誘起しないために必要である。従来用いられていたリアクティブイオンエッチング法と比較して、優れたエッチングが可能である。

3)のメサ分離は、SOIにとっての大きな利点である。LOCOS分離では、いわゆるバースピークによって、サブミクロン素子では、素子分離に必要な面積が増大し、これに対する対策としては、トレンチ分離のような複雑なプロセスを用いることになる。メサ分離では、極めて単純なプロセスで、しかも隣接素子との間隔は原理的にリソグラフィの限界で決定されるので、面積という観点からも有利である。素子密度を上げられることで、回路の遅延も減少し、高速VLSIとして適していることが解る。

以上のような考慮を行ったプロセスで、CMOS/SIMOXを作製した。

[1] SIMOX基板製作

酸素イオン注入 180 keV, $2.0 \times 10^{18}/\text{cm}^2$

基板アニール 1280°C 6時間

[2] Si島形成

電子ビーム露光, KOHによる異方性エッチング

[3] チャネルイオン注入

nMOSにはB, pMOSにはPを注入。その後電気炉アニールで活性化

[4] ゲート酸化

ドライ酸化850°C

[5] ゲート電極用ポリシリコン堆積

LPCVD。PH₃によるin-situ doped n⁺ ポリシリコン

[6] ゲート電極形成

電子ビーム露光の後、ECRストリームエッチングによる加工

[7] ゲートスペーサ形成

LPCVDによるシリコンナイトライド堆積後RIEによるエッチバック。

[8] ソースドレイン用イオン注入

nMOSにはP. pMOSにはB

[9] 低温酸化膜(LTO)の堆積

LTO (400°C)

[10] コンタクトホール形成

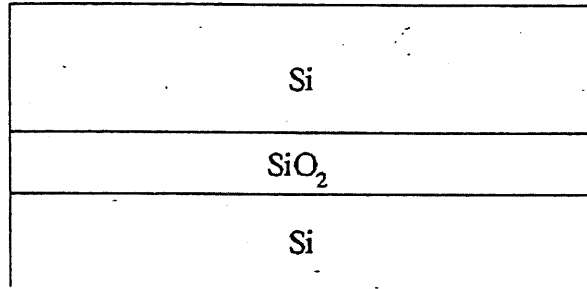
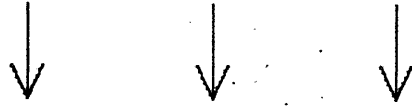
電子ビーム露光の後、RIE法による低温酸化膜のエッチング

[11] Al電極、配線の形成

Oxygen Implantation (with 100mA class implanter)

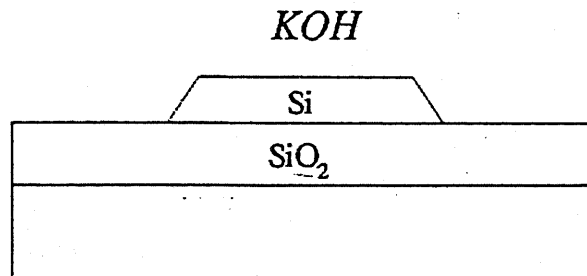
$^{16}\text{O}^+$ 180-keV

$2.0 \times 10^{18} / \text{cm}^2$

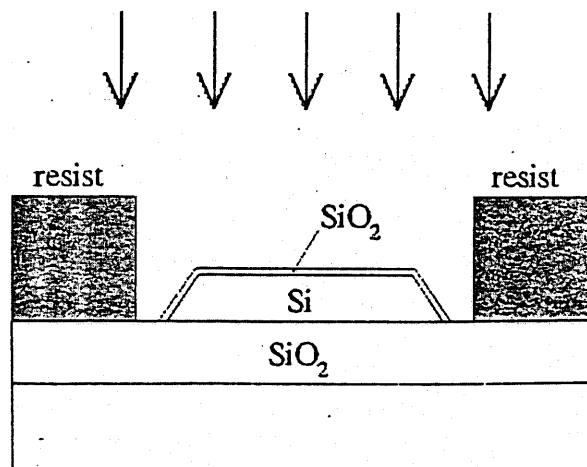


Annealing: 1280 C, 6 hours

Mesa-Isolation

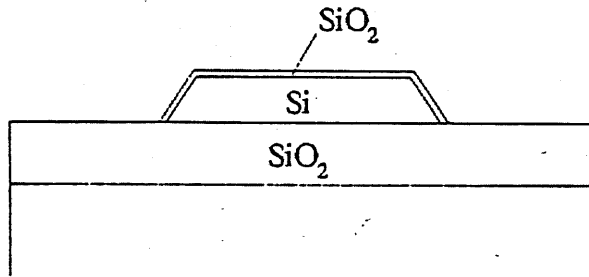


Ion-Implantation to Channel



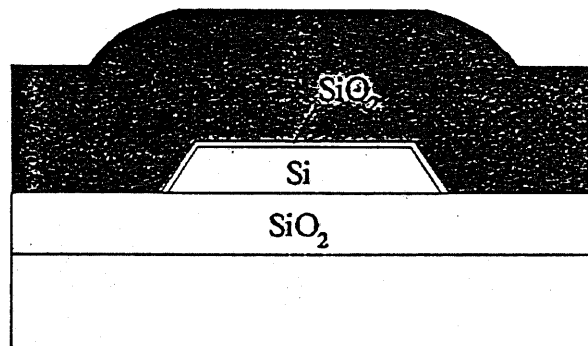
Gate Oxidation

Dry Oxidation 850 C



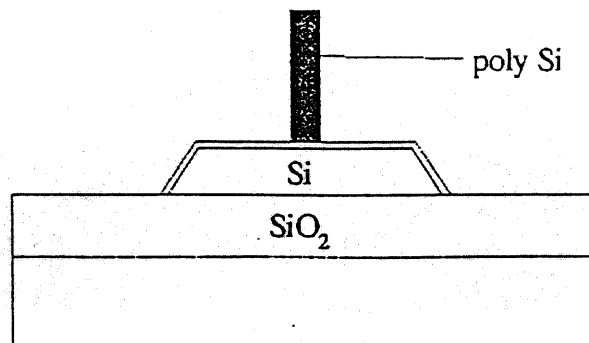
Deposition of Poly-Silicon

P doped poly-Si

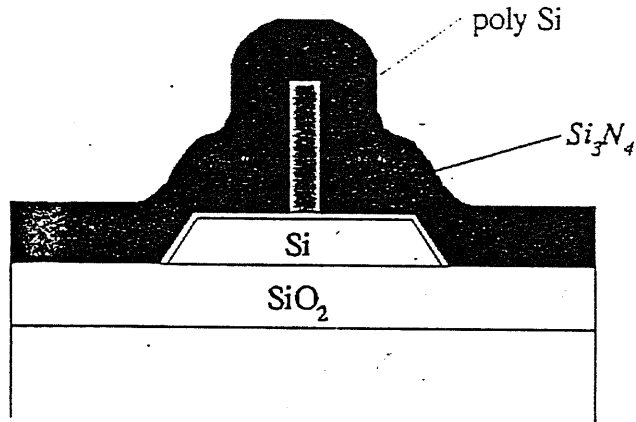


Gate Electrode Formation

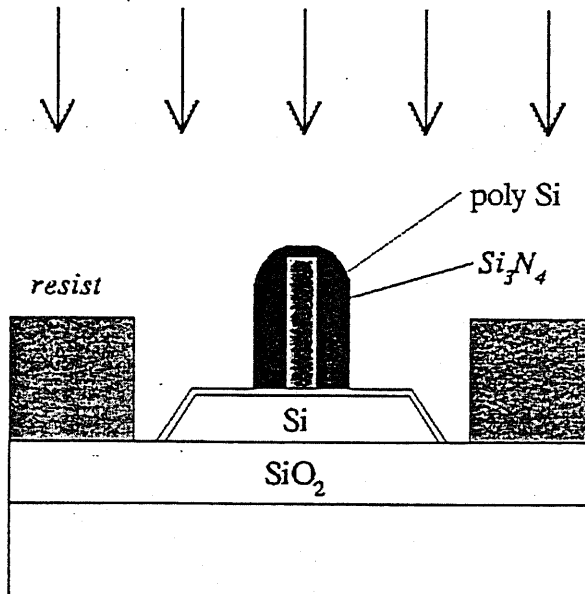
EB Lithography
ECR stream Etching



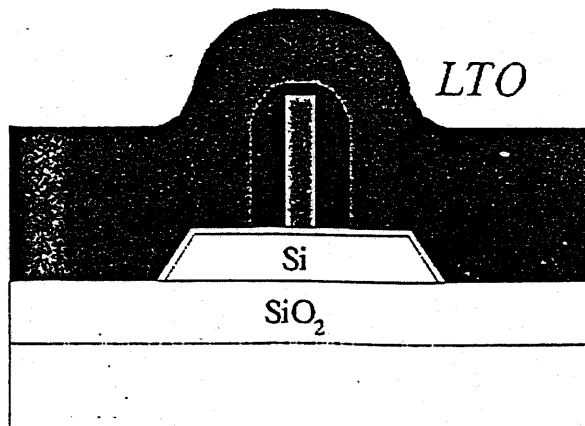
Spacer Formation



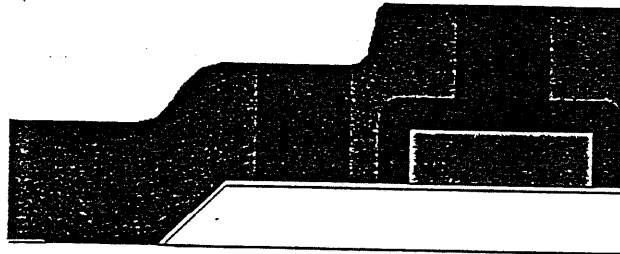
Ion Implantation (Source, Drain)



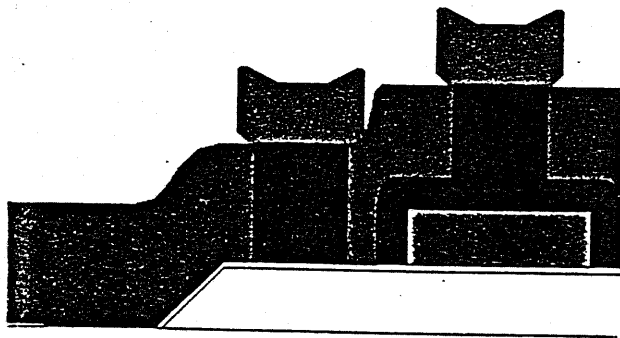
Deposition of SiO₂



Contact Hole Formation



Metalization



PMA: 400 C

Al(3%Si)を堆積後、光露光(パッドパターン)、電子ビーム露光と、
RIEでパターン形成。

[12] PMA(Post Metalization Annealing)

400°C

デバイス特性を決定する、重要なプロセスパラメータを次に述べる。

(a) SOI膜厚とチャネルドーピング

導入で述べたように、薄膜SOIとしての利点を出すためには、SOIが完全に空乏化させなくてはならない。その条件は、1次元的に考えると、最大空乏層幅がSOI膜厚よりも小さいという条件である。本研究で試作したSOIMOSFETは、SOI膜厚が100nm, 50nm, 30nmである。従って、それぞれの膜厚に対してドーピング密度の上限が存在することになる。空乏層の幅は、均一ドーピングの基板に対しては、次式で与えられる[6.10]。

$$x_{d \max} = \sqrt{-\frac{4\epsilon_s \epsilon_0}{q}(N_A - N_D)\phi_b}$$

ここで、 N_A 及び N_D はSOI基板のドーピング密度、 ϵ_0 、 ϵ_s は、真空の誘電率とシリコンの比誘電率、 q は電気素量、 ϕ_B は基板中性点のフェルミポテンシャルである。この式より算出したドーピング密度の最大値を表6.2-1に示す。実際の試作で採用したパラメータは、SOI膜厚だけでなく、閾値電圧の制御も考慮する必要があるため、この条件だけでは決められない。しかし、後に示すイオン注入の条件は、SUPREMでのシミュレーション結果ではこの条件を十分満たしているものである。

(b) 閾値電圧の制御

(a)で述べた完全空乏化の条件を満たした上で、実用的な閾値電圧を得るためにはさらに条件が課せられる。Limらによると、SOIが完全に空乏化した場合の閾値電圧は、次のようにして求められる[6.11]。まず、ソー

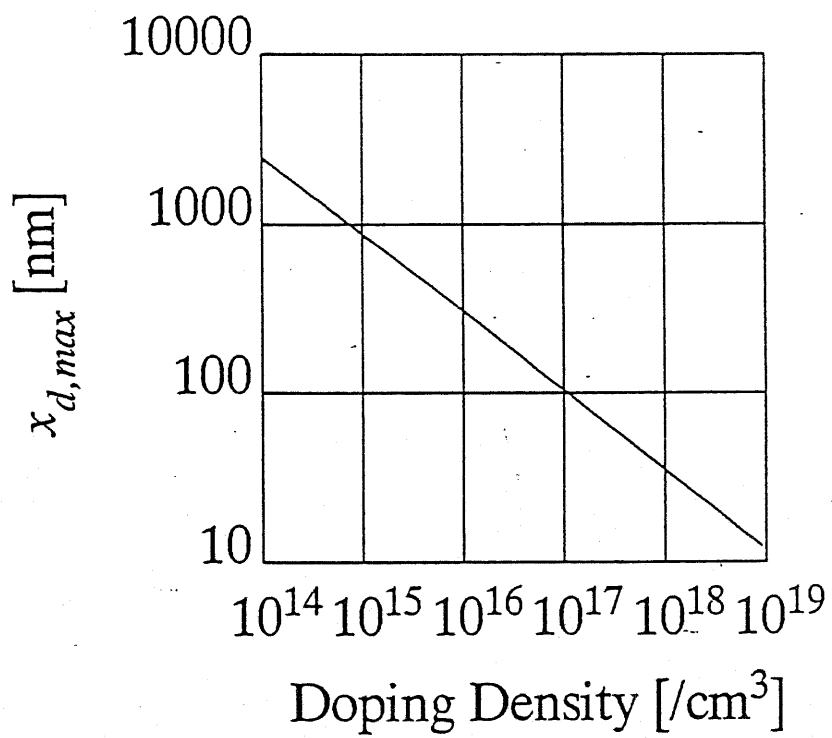


図6.2-1 SOI完全空乏化に必要なドーピングレベル

スを基準としたフロントゲート電圧を V_{Gf} とすると、仮想的な電気的中性点(ソース電位に等しい)に対するフロント界面のポテンシャル ψ_{sf} と、フロント酸化膜での電圧降下 ψ_{Of} 、及びフロントゲートとSOIの仕事関数差 Φ_{MS} を用いて次のように表せる。

$$V_{Gf} = \psi_{sf} + \psi_{of} + \Phi_{MS}$$

SOI膜中での不純物密度を均一と仮定して、ポアソン方程式を積分することで、次の関係が得られる。

$$\psi_b = \psi_{sf} - \psi_{sb} = E_{sf} t_b - \frac{qN_A t_b^2}{2\epsilon_s}$$

また、フロントゲート界面でのガウスの定理より、

$$C_{of} \psi_{of} = (\epsilon_s E_{sf} - Q_{ff} - Q_{cf})$$

この3式より E_{sf} と ψ_{of} を消去して次式を得る。

$$V_{Gf} = V_{FB}^f + \left(1 + \frac{C_b}{C_{of}}\right) \psi_{sb} - \frac{C_b}{C_{of}} - \frac{Q_b/2 + Q_{cf}}{C_{of}}$$

バックゲートについても同様にして、次式を得る。

$$V_{Gb} = V_{FB}^b + \left(1 + \frac{C_b}{C_{ob}}\right) \psi_{sf} - \frac{C_b + C_{sb}}{C_{ob}} - \frac{Q_b/2 + Q_{cb}}{C_{ob}}$$

ここで、閾値電圧付近では、フロントゲートが反転しているので、 ψ_{sf} を $2\phi_B$ とする。まず、バックゲート界面が蓄積している場合には、 ψ_{sb} は0であり、フロントゲートの可動キャリアの数はSOI薄膜中の空乏電荷に比較して、十分少ないと考えられるから、 Q_{cf} は0と近似できる。従って、バックゲート界面が蓄積している場合のフロントゲートの閾値電圧は、次式で与えられる。

$$V_{Tf} = V_{Tf}^A = V_{FB}^f + \left(1 + \frac{C_b}{C_{of}}\right) 2\phi_B - \frac{Q_b}{2C_{of}}$$

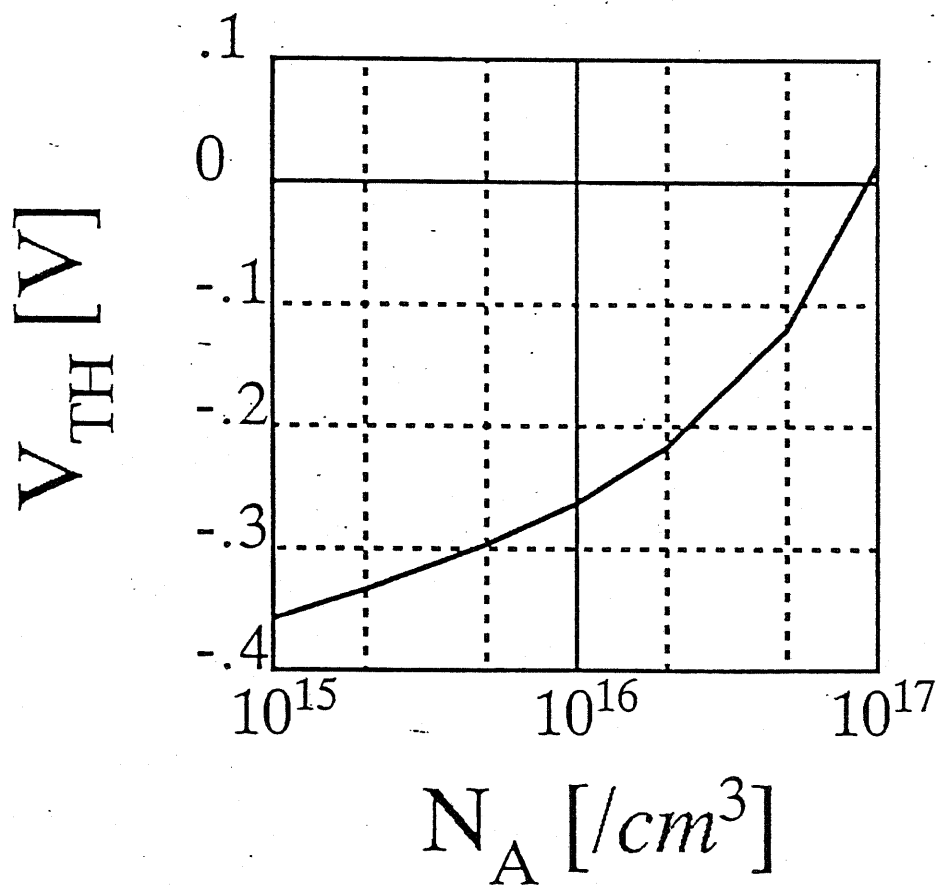
一方、バックゲート界面が反転している場合には、 ψ_{sb} が $2\phi_B$ であるから、次式が得られる。

$$V_{Tf} = V_{Tf}^I = V_{FB}^f + 2\phi_B - \frac{Q_b}{2C_{of}}$$

本研究で用いたSOIMOSFETの通常の動作モードである、バックゲート界面が完全空乏化する場合には、バックゲート界面のポテンシャル、すなわち ψ_{sb} がバックゲート電圧に強く依存する。バックゲート界面が反転しはじめる電圧と、蓄積しはじめる電圧を V_{GbI} 、 V_{GbA} とすると、やはり反転開始条件を $2\phi_B$ とし、バックゲート界面における可動キャリアを無視することで、次式が得られる。以上を連立させて、 ψ_{sb} を消去すると、バックゲート界面が空乏している状態でのフロントゲート閾値電圧が得られる(次式)。

$$\begin{aligned} V_{Tf} &= V_{Tf}^A - \frac{C_b C_{ob}}{C_{of}(C_b + C_{ob} + C_{sb})} (V_{Gb} - V_{Gb}^A) \\ &= V_{Tf}^I - \frac{C_b C_{ob}}{C_{of}(C_b + C_{ob} + C_{sb})} (V_{Gb} - V_{Gb}^I) \end{aligned}$$

図6.2-1は、n+シリコンゲートプロセスで、SOI膜厚100nmとした場合のnMOSのチャネルドーピング密度と閾値電圧の関係である。ノーマリーオフのデバイスを作製するには、チャネルドーピングが $10^{17}/\text{cm}^3$ 以上必要であることが判る。しかしながら、導入で述べたように、超薄膜のSOIを用いる素子においては、ドレイン近傍の強電界領域におけるアバランシェ降伏に起因する耐压低下が重要な問題であり、閾値電圧を犠牲にしても、耐压を確保することが先決であると考えた。この閾値制御の問題に対する本質的な解答は、p+ポリシリコンゲートを用いることで、仕事関数差により閾値を決定するというものである[6.1]。但し、現状では、p+ポリシ



$$N_{ff} = 5 \times 10^{11} / cm^2$$

$$V_{Gb} = 0V \quad N_{fb} = 0$$

図6.2-2 完全空乏化nチャンネルMOSFET/SOIの閾値と、チャンネルドーピング(n+ポリシリコンゲートの場合)

リコンとn⁺ポリシリコンをイオン注入によらずに形成することはむずかしい。堆積時のドーピングでp⁺ポリシリコンとn⁺ポリシリコンを作製することは可能であるが、もっともきびしいゲート加工において、p⁺ポリシリコンとn⁺ポリシリコンのエッチングレートの違いからゲート加工を2工程に分ける必要がでてくる。一方イオン注入のみで、ディープサブミクロンゲートを十分に低抵抗化することは困難であり、シリサイド化等の追加プロセスが必要である。従って、本研究では、もっとも信頼性よく十分に低抵抗のゲートポリシリコンが得られるゲート材料として、燐ドーブのn⁺ポリシリコンを用いたのである。

以上のように、本研究の試作条件では、nMOSの閾値が低く、pMOSの閾値が高いデバイスが作製される。但し、このことは、超薄膜SOIによるMOSFETの欠点ではなく、現時点でのプロセスを仮定した場合の制約から生まれていることを再度強調しておく。

6.3 デバイス評価のためのマスクパターン設計

本研究の目的は、超薄膜SOI MOSFET構造が、ディープサブミクロンテクノロジーの鍵となることを示すことである。そのための基礎データを得るために、本研究では、単体トランジスタの特性を理解するために必要なデータを網羅することを念頭におき、さまざまなデバイスを作製した。それゆえに、実用的な回路はマスクデータには取り込んでいない。一方では、寄生抵抗効果などの基本的なデバイスを盛り込んだ。ここでは、それらのパターンとその目的を述べる。

まず第一に考慮すべきことは、ディープサブミクロンMOSFET一般の問題点、すなわち素子の微細化に従う寄生効果の増大を測定結果から分離しなくてはならないことである。理想的には、同一プロセスのバルクMOSFETを用意すべきであるが、基板の不純物密度など、全く同一のデバイスはつくれない。超薄膜SOIと同一のプロセスパラメータで作製したバルクデバイスは、パンチスルー、リーク電流などで正常な動作は期待できないからである。そこで、この寄生効果の切り分けには、寄生効果測定専用のデバイスをいくつか用意することにした。このデータを元に、単体デバイスの特性を評価する。また、動特性の評価においては、51段リングオシレータによるCMOSインバータの遅延時間評価を行った。以下にその詳細を記す。

1) 単体MOSFET

単体MOSFETとしては、Pチャネル、Nチャネルの区分のほかに、SOI特有の基板浮遊効果を見積もる必要から、さらにSOI薄膜(BODY)とソースの間を一部短絡したもの、或は、BODY端子をとり、電位を独立に決定す

るものの2通りを用意した。但し、ディープサブミクロン素子では、ゲート直下のチャネル領域が極めて細く電位を独立に採ることは設計ルール上困難になる。従って、評価の主な対象は、ソースとBODY端子を一部短絡したものとした。

基板の不純物濃度は、Si基板がほぼイントリンシックであるから、イオン注入によって自由に設定できるものの、同一基板内では変化させられないのでイオン注入をマスクによって遮断したものと、指定の注入ドーズのものとの2通りを用意したが、結果的には特性に興味ある差は見られなかったので評価の対象外としている。

平面構造の定数としては、後で述べるリングオシレータの評価との関係から次のようになっている。

チャネル長： $0.15\mu\text{m} - 4\mu\text{m}$

チャネル幅：チャネル幅の10倍または20倍

以上の平面形状のパラメータから、単体素子については、一つのチャネル長に対して8通りのサンプルが作製されている。なお、ソースとBODYを一部短絡したもののチャネル幅は、短絡部分だけ長くなっている。

図6.3-1に標準MOSFET（すなわちBODYフローティング、チャネルドレーピングあり、チャネル幅=チャネル長 \times 10）と、BODYソース短絡素子、BODY電位取り出し素子の各平面パターンの例を示す。

2) 単体MOSFETと同一サイズのゲートなしMOSFET

静特性を理解する上で、特にディープサブミクロン素子の評価で重要なのが、寄生抵抗の正確な把握である。構造上問題となる寄生抵抗は、主に、ソースドレインのコンタクト抵抗、ソースドレインコンタクトホールとゲート端までの薄膜SOIの抵抗値であろう。これらは別個に専用の

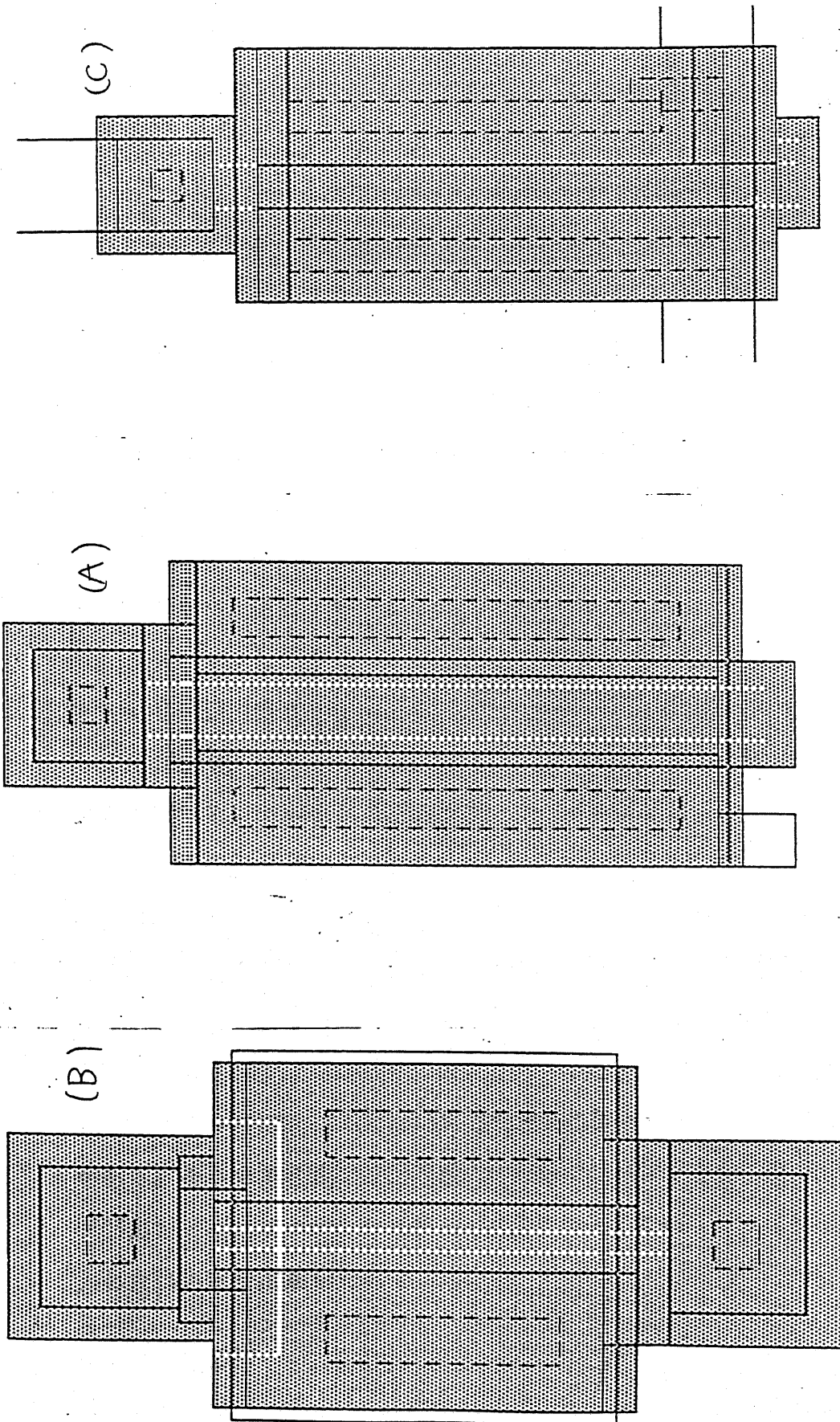


図6.3-1 MOSFETのマスクパターン

(A) 標準 (B) BODY端子取りだし (C) BODY-ソース短絡

デバイス構造をつくり付けることで、可能であるが、一方で、デバイスの幾何学的な形状はディープサブミクロン領域では正確な矩形にはならず、また、設計寸法との食い違いなども評価の誤差となって影響する。そこで、測定デバイスと同一形状でゲートを取り去ったデバイスで、これらをまとめて評価する方法を採った。この方法では、コンタクト抵抗とソースドレインの拡散抵抗を分離評価することは出来ないが、静特性の理解には直接的で正確な結果を与える。パターンの例を図6.3-2に示す。

3) リングオシレータ

以上のデバイスはすべて静特性から得られるパラメータを理解するものであったが、本研究では、もっとも基本的な動特性のパラメータとしてのCMOSインバータ遅延を測定した。CMOSインバータの一段あたりの遅延は、もっとも速い場合でも10psのオーダーであることが予想されるので、発振波形を観測するシンクロスコープの測定限界周波数を10MHz程度として51段の構成とした。

また、プローブの入力容量は数pF存在するので、出力の取り出しには注意を要する。方法としてはバッファアンプを用いるものと、リングオシレータを構成するCMOSインバータの一つのFETのソースに抵抗（ポリシリコンで形成）を付けるものが考えられる。バッファアンプを用いる場合、そのアンプ自体の遅延が出力信号を十分増幅できる程度に短くなくてはならない。一方、CMOSインバータのソースに抵抗を付けるとそのトランジスタのゲインを落すことになるが、ポリシリコン抵抗の値はプロセスによってばらつくために発振周波数自体を変化させてしまう恐れがある。そこで本研究では、3段のCMOSインバータを介したバッファアンプ出力とバッファアンプ初段のnMOSのソースにポリシリコン抵抗を挿入した出力とを用意した。

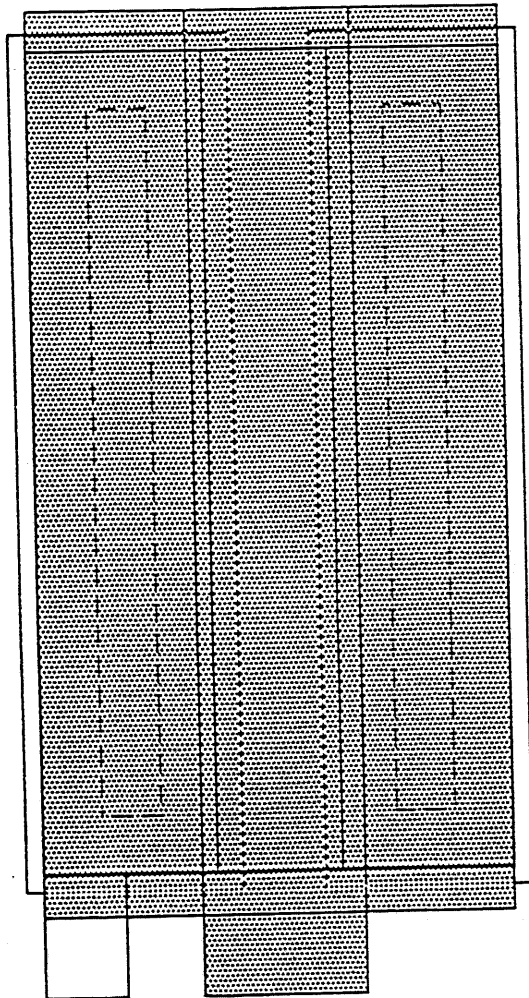


図6.3-2 ゲートなしMOSFET(寄生抵抗評価用)のマスクパターン

図6.3-3に51段リングオシレータのマスクパターンを示す。このパターンはゲート長 $1\mu\text{m}$ から $0.3\mu\text{m}$ のものについて採用した。 $0.3\mu\text{m}$ よりも微細なCMOSインバータについては、 $0.3\mu\text{m}$ の出力バッファでは遅延の関係で正確な評価が困難になる。また、 $0.3\mu\text{m}$ 以下のゲート長のバッファを使うことは分留まり等の要因から無理があると考えた。そこで、 $0.25\mu\text{m}$ 以下のパターンについてはリングオシレータを構成するnMOSの一つのソースに抵抗を作り付けてある。写真6.3-1及び写真6.3-3はその $0.25\mu\text{m}$ ゲート長リングオシレータの全体像と $L_g=0.25\mu\text{m}$ のCMOSインバータ部分の拡大像である。

次節より、これらのデバイスの評価結果とそれらに基づいて考察を行う。

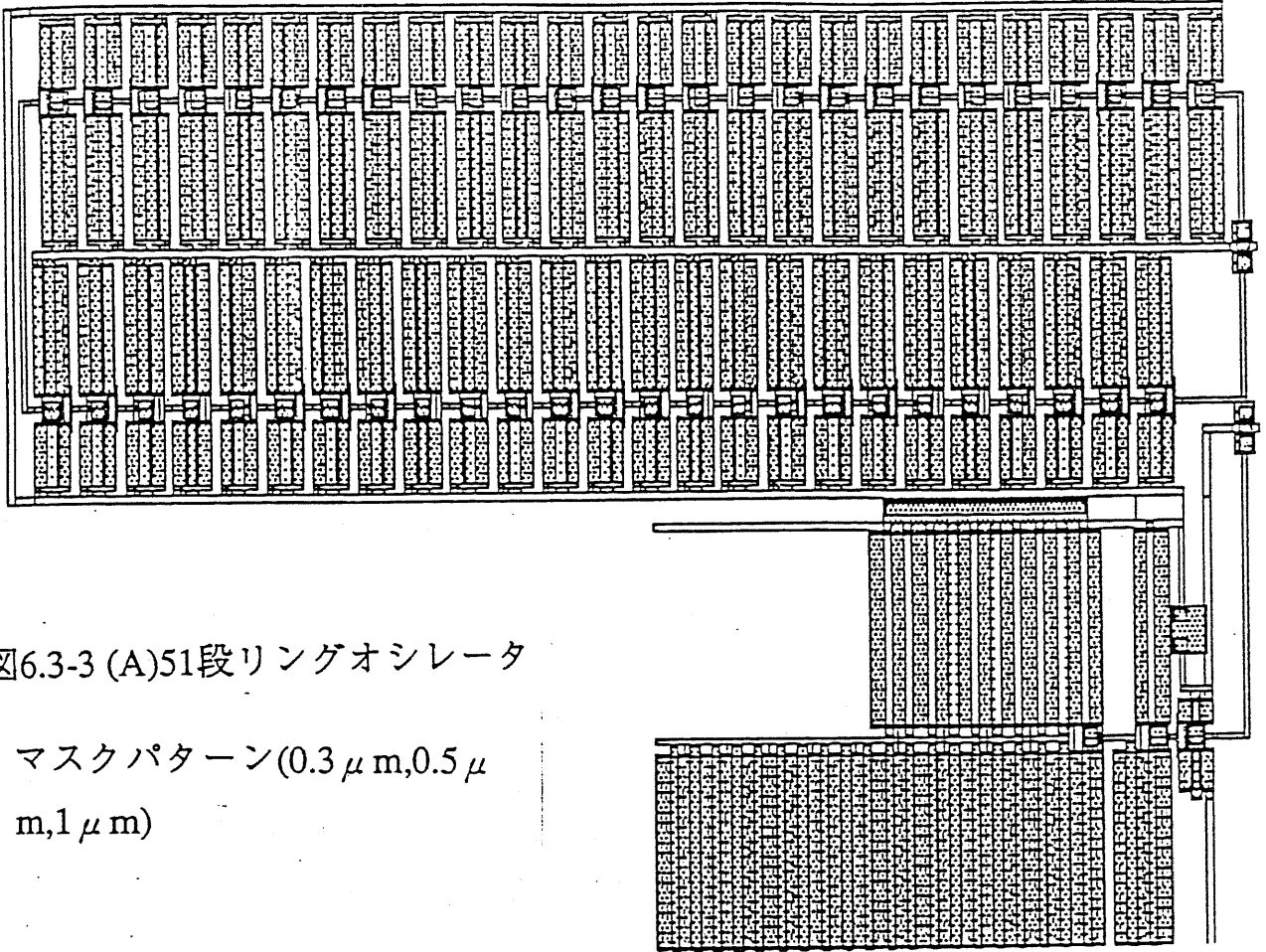
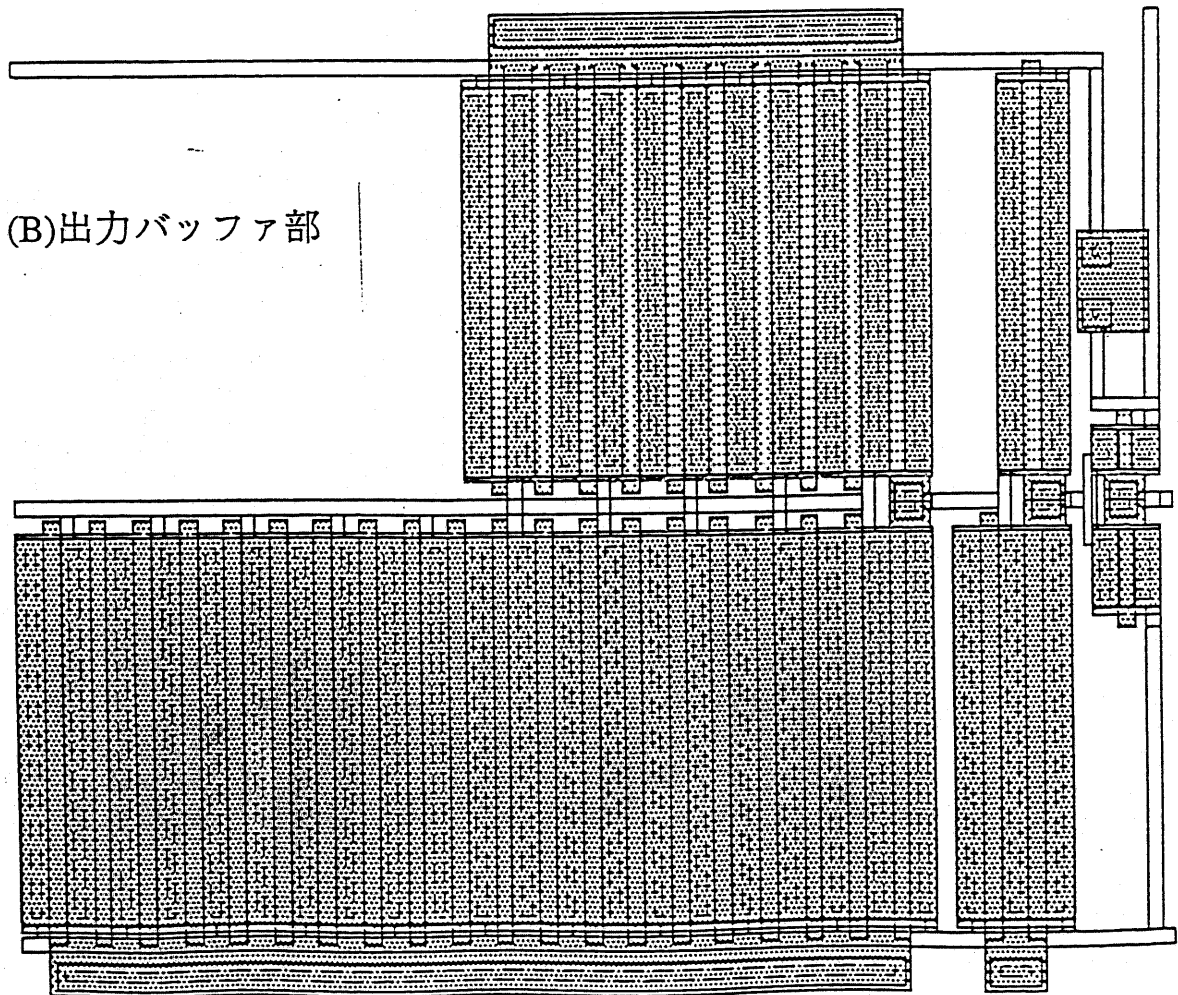


図6.3-3 (A)51段リングオシレータ

マスクパターン(0.3 μ m, 0.5 μ m, 1 μ m)



(B)出力バッファ部

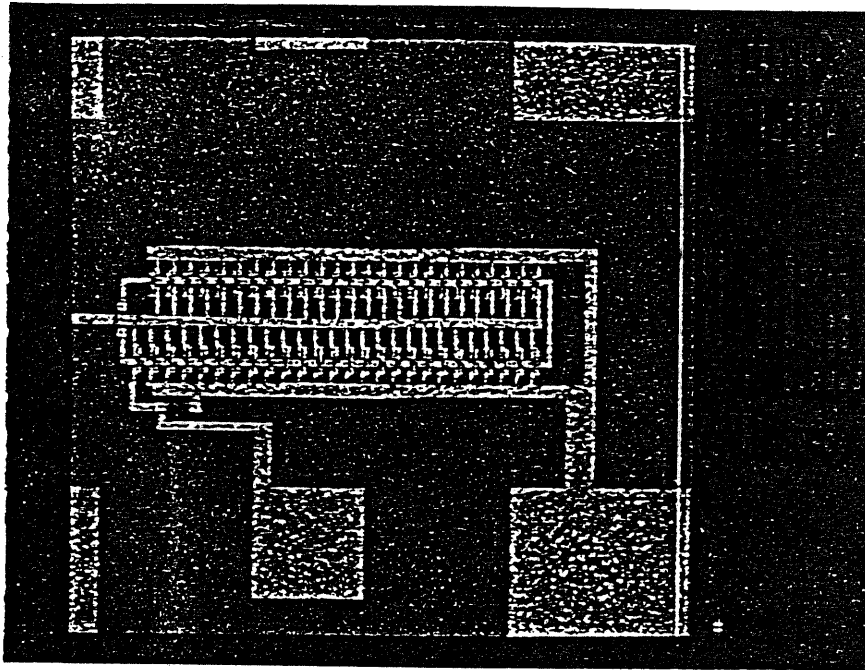
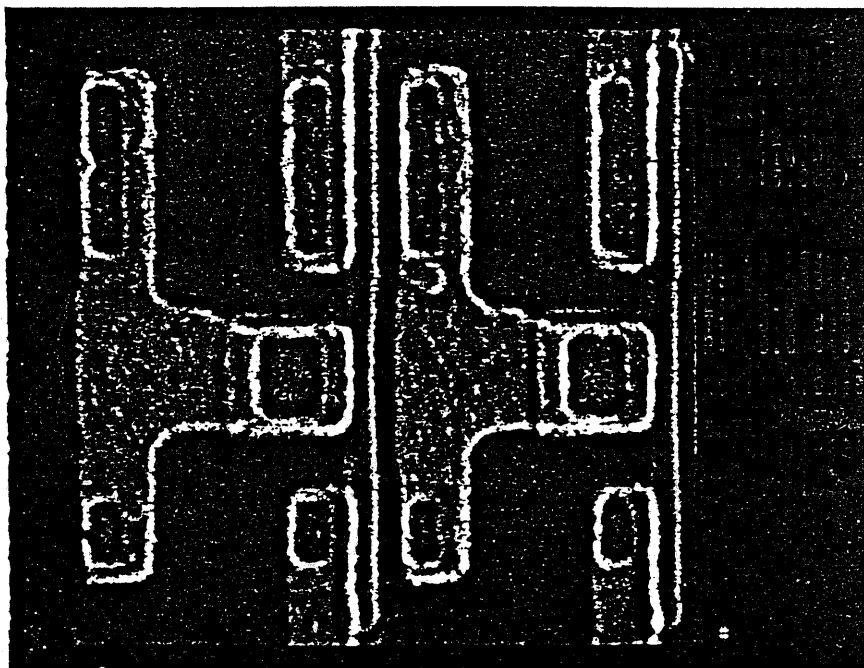


写真6.3-1 0.25 μm リングオシレータの全体写真

写真6.3-2 CMOSインバータ部の拡大写真



6.4 MOSFET/SIMOXの基本特性

前節までで述べたプロセスにより、ディープサブミクロンからロングチャネルまでのMOSFETを、SOI基板厚さ30nm, 50nm, 100nmの3通りについて作製し、その静特性を測定した。本節では、その結果を示し、MOSFET/SIMOXの動作について考察する。まず、100nmのSOI厚さを持つデバイスについて基本動作とその特徴を概観した後、SOI膜厚を薄くした場合の結果と比較し、ディープサブミクロンデバイスでは、薄膜化が必要なことと、薄膜化に従う問題点を挙げることにする。

なお、本節の測定結果は次のような測定条件の元で得たものである。

測定器：

YHPモデル4145B 半導体パラメータアナライザ

測定コンフィギュレーション：

Si基板、ソース、ドレイン、ゲートの4端子測定。特に断らない限り、Si基板とソース電位は一致している。

測定項目：

ドレイン電流ードレイン電圧特性（ドレインI-V特性）

相互コンタクトンスーゲート電圧特性

ドレイン電流ーゲート電圧特性（サブスレシヨルド領域）

(1) ロングチャネルデバイスの基本特性

A. NチャネルMOS

最初に示すものは、ロングチャネル（1 μ m）のデバイスの基本特性である。この領域では、SOI薄膜化によるショートチャネル効果抑制の影響は見えてこないが、ディープサブミクロンデバイスの動作と比較する上

で、抑えておく必要がある。図6.4-1に示すものは、SOI膜厚100nm、チャネルイオン打ち込み濃度 $10^{12}/\text{cm}^2$ のNチャネルMOSFETのドレインI-V特性である。良好なMOSFET特性を示していることが解る。

しかしながら、ゲート電圧(V_{gs})0Vの特性を見ると、ゲートとソースを短絡した状態でのドレインの耐圧は4V程度である。ゲート電圧を1-2V程度印加した状態ではやや下がる。これらの耐圧値は、バルクの値と比較して、優れているとは言えない。この耐圧はゲート電圧に対する依存性からドレイン近傍でのアバランシェ降伏に起因するものと考えられる[6.12]。また、ゲート電圧2.5V以上の、大電流を流している領域では、見かけ上負性抵抗が見られるが、これは、発熱による局所的な移動度の低下が関与していると報告されている[6.13]。

次に、このデバイスの線型領域における相互コンダクタンスを測定し、低電界での電子の電界効果移動度を求めることを試みた。図6.4-2に示すものは、ドレイン電圧0.1Vでの相互コンダクタンスのゲート電圧依存性である。ゲート電圧掃引は0.07Vステップとした。ゲート電圧依存性は、最大値を持つ通常のものである。グラデュアルチャネル近似の線型領域のドレイン電流特性をドレイン電圧一定の元でゲート電圧で微分すると、電界効果移動度と相互コンダクタンスの関係式が得られる。ここで、 μ は電界効果移動度、Lはチャネル長、Wはチャネル幅である。

$$g_m = \mu \left(\frac{W}{L} \right) \left(\frac{\epsilon_{ox}}{T_{ox}} \right) V_D$$

本研究の試作では、チャネル長によらずチャネル長とチャネル幅の比は一定としているので、相互コンダクタンスの値自体を比較することによりMOSFETの移動度を比較することが出来る。L/Wを10とし、ドレイン電圧0.1V、酸化膜厚7nmを代入すると、相互コンダクタンス100 μS が、電界

n MOS $T_{\text{SOI}} = 100\text{nm}$
 $L_g = 1\mu\text{m}$ $W_g = 10\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$

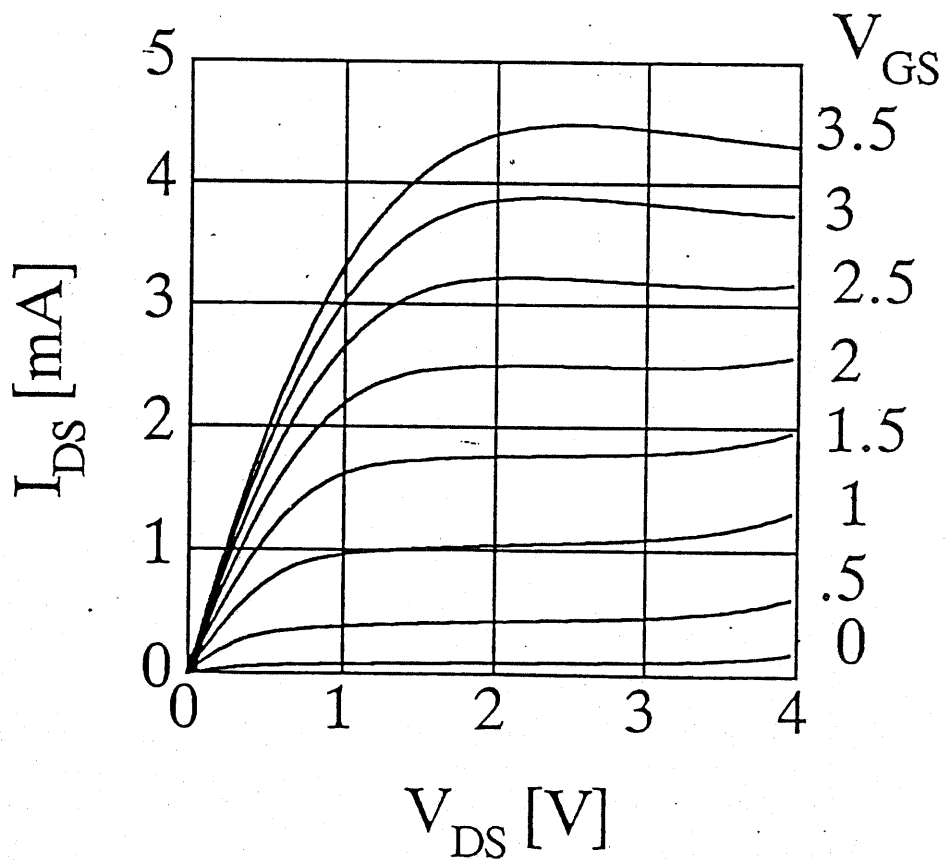


図6.4-1 nMOS ドレイン電流電圧特性(SOI膜厚100nm)

チャンネル長 $1\mu\text{m}$

効果移動度では、 $200\text{cm}^2/\text{Vsec}$ に相当することになる。このデバイスの場合は、電界効果移動度の最大値は $400\text{cm}^2/\text{Vs}$ 程度となる。この値は、バルクデバイス（典型的には $600\text{cm}^2/\text{Vs}$ ）と比較してやや劣る。移動度に関しては、さらにチャネル長が長いサンプルについて測定しても $1\mu\text{m}$ デバイスと有意な差が見られないため、したがって、ソース拡散層の寄生抵抗などの影響ではない。すなわちこの値は、SOI基板に固有のものと考えられる。その中でも可能性が高いのは素子領域の結晶性である。本研究で用いた基板では、熱処理温度が 1280°C とSIMOX基板の熱処理としてはあまり高くないので、埋め込み酸化膜-SOI界面の状態は完全にアブラプトにはなっていないと思われる。薄膜化した場合、埋め込み酸化膜とSOIの界面に存在する結晶欠陥が影響を及ぼすと考えられるので、通常言われているSOI基板の転移密度 $10^9/\text{cm}^2$ よりも遥かに多くの欠陥を含んでいる可能性があるからである。ロングチャネル領域での移動度の改善は、SIMOXによるSOIMOSFETの特性改善にとって重大な課題であるが、基板の結晶性改善の手法は本研究の目的を外れるのでこれ以上は追及しない。ここでは、ディープサブミクロンデバイスの移動度の参照データとしてもちいることにする。

図6.4-3に示すのは、同じく 100nm の基板に形成した $1\mu\text{m}$ nチャネルMOSFETのサブスレシヨルド特性である。ドレインI-V特性のところでも述べたように、閾値は負の値になっており、ノーマリオンである。閾値は若干ドレイン電圧依存性を持っており、基板不純物密度が低いためにドレイン電界がソースバリアに影響を及ぼしているものと思われる。また、ドレイン電圧 1.6V 以下の領域で、ゲート電圧 -2V から -1V の部分でゲート電圧を下げると増大する依存性を持つリーク電流が見られる。この

n MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=1\mu\text{m}$ $W_g=10\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$ $V_{\text{DS}}=0.1\text{V}$

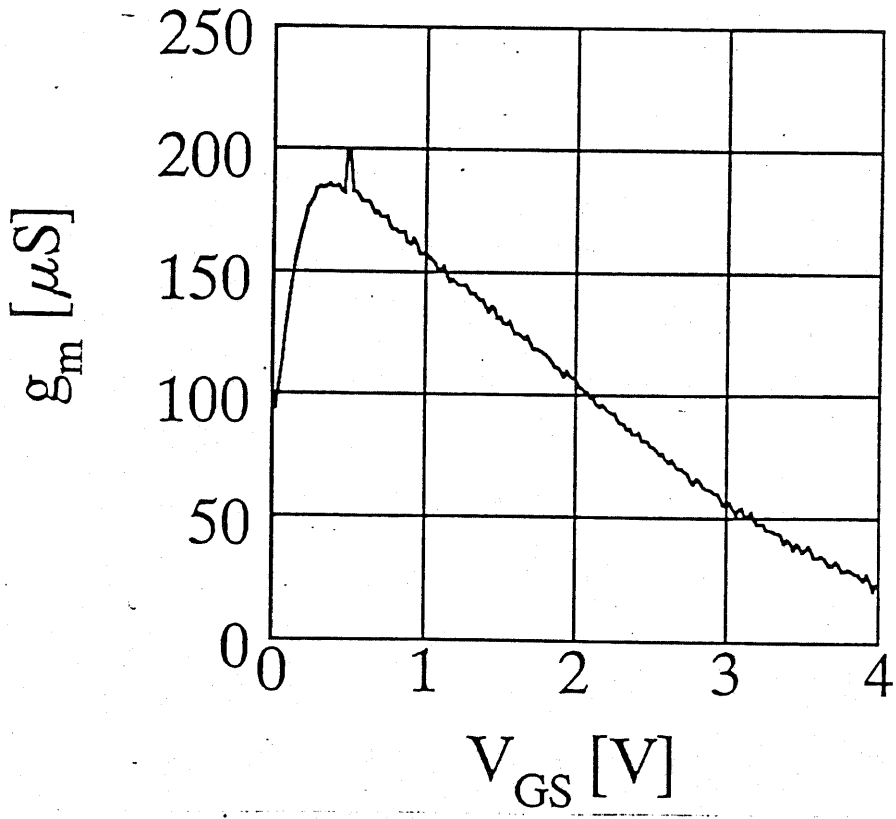


図6.4-2 nMOS 相互コンダクタンスのゲート電圧依存性(SOI膜厚100nm)チャンネル長1 μm

電流は、2つの部分よりなると考えられる。1つは、通常のバルクパンチスルーであり、ドレイン電圧に対する依存性は、この効果によるものである。ゲート電界に対する依存性は、Chenらが指摘したように[6.14]、10nm以下の非常に薄いゲート絶縁膜を用いた場合に顕著に見られる"サブブレイクダウン"であると思われる。このメカニズムは、ゲートドレインオーバーラップ部分の高電界領域（ディープディプリーション状態になっている）における BAND TO BAND トンネリングである。酸化膜が極めて薄くなってくると、オーバーラップ領域の表面の電界は非常に強くなり、BAND TO BAND トンネリングに十分な強さとなる。バンド間トンネリングによる電流は次式で与えられる[6.14,15]。

$$I_D = AE_s \exp \left[-\frac{\pi m^{*1/2} E_s^{3/2}}{2\sqrt{2}q\hbar E_s} \right] = AE_s \exp(-B/E_s)$$

ここで E_s はシリコン表面における垂直電界である。バンド間トンネリングで電流が発生するためには、ドレインソース間電圧が最低バンドギャップ程度必要である。図から読み取れるバンド間トンネルの起きる閾値は、ドレインゲート間電圧が2V程度であり、それ以下では発生しない。

(n^+ ポリシリコン電極のNチャネルMOSでは、ゲート電極とドレインの間の仕事関数差はほぼ0としてよい。) ドレイン電圧をさらに大きくした場合には、さらに1トランジスタラッチ現象[6.16]が起きるようになるが、このサンプルでは顕著でないので、後に議論することにする。

(2) ディープサブミクロン素子の場合

ディープサブミクロン素子としての超薄膜SOIMOSFET/SIMOXの利点は、ショートチャネル効果の抑制、とりわけパンチスルーの抑制である。しかし、SOIが厚い場合には効果がない。次に示す図6.4-4は、SOI膜厚

n MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=1\mu\text{m}$ $W_g=10\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

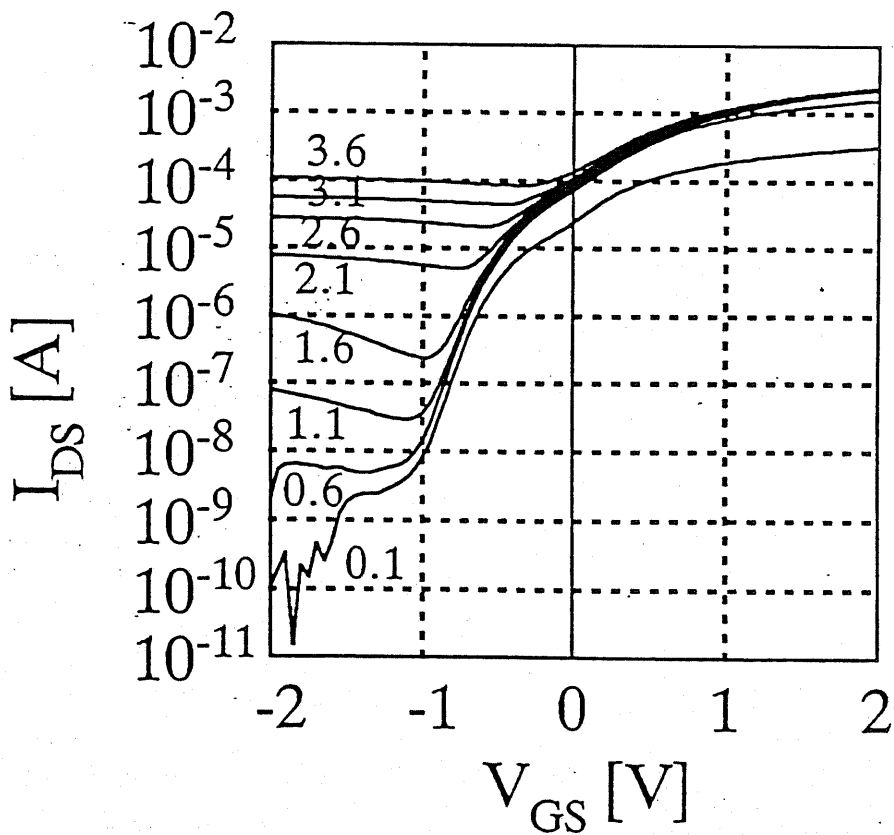


図6.4-3 nMOS サブスレシヨルド特性(SOI膜厚100nm)

チャンネル長 $1\mu\text{m}$

100nm、チャネルイオン打ち込み濃度 $10^{12}/\text{cm}^2$ のゲート長 $0.3\mu\text{m}$ ゲート幅 $3\mu\text{m}$ の素子の、ドレインI-V特性である。ゲート長 $1\mu\text{m}$ の場合と比較して顕著なことは、ドレイン電圧に対してドレイン電流が飽和しなくなる点である。これは明かにパンチスルーであり、100nmのSOI膜厚ではディープサブミクロン領域でのショートチャネル効果を抑えられないことを意味している。Wooらの2次元電界計算によると[6.17]、完全空乏化超薄膜SOI場合、チャネル長 $0.3\mu\text{m}$ のMOSFETをパンチスルーさせずにドレイン電圧3.4Vで駆動するには、バックゲートに-5Vを印加した状態でも100nm程度にする必要があるという結果が得られている。この図の場合、バックゲート電圧は加えていないため、パンチスルーはさらに著しい。

ドレインの耐圧を見ると、ゲートソース短絡の状態ではアバランシェが顕著になる電圧は2.5V以上である。従って、このMOSFETが破壊に到らずに動作する最高電圧は2.5V程度と考えることが出来る。この電圧は後述するリングオシレータの動作電圧の基準とした。

図6.4-5は、このMOSFETの線型領域 ($V_{ds}=0.1\text{V}$) における相互コンダクタンスのゲート電圧依存性である。ピークの値で見ると、ディープサブミクロンでも相互コンダクタンスの低下 (=移動度低下) はほとんどない。ただし、ゲート電圧に対する依存性は強くなっている。すなわち、ゲート電圧の上昇にしたがって相互コンダクタンスは急激に低下する。この点については、次項でまとめて議論することにする。

図6.4-6は、同様にサブスレシヨルド特性を測定した結果である。まず、ドレインI-V特性から予想されるように、ドレイン電圧3V以上では、素子は完全にパンチスルー的な電流を流したようになり、全くトランジスタとして動作しなくなる。この状況は、"1トランジスタラッチ現象"[6.16]として知られているもので、SOI膜がフローティングになっているMOSFET

n MOS $T_{SOI} = 100\text{nm}$
 $L_g = 0.3\mu\text{m}$ $W_g = 3\mu\text{m}$
 $V_{BS} = 0\text{V}$

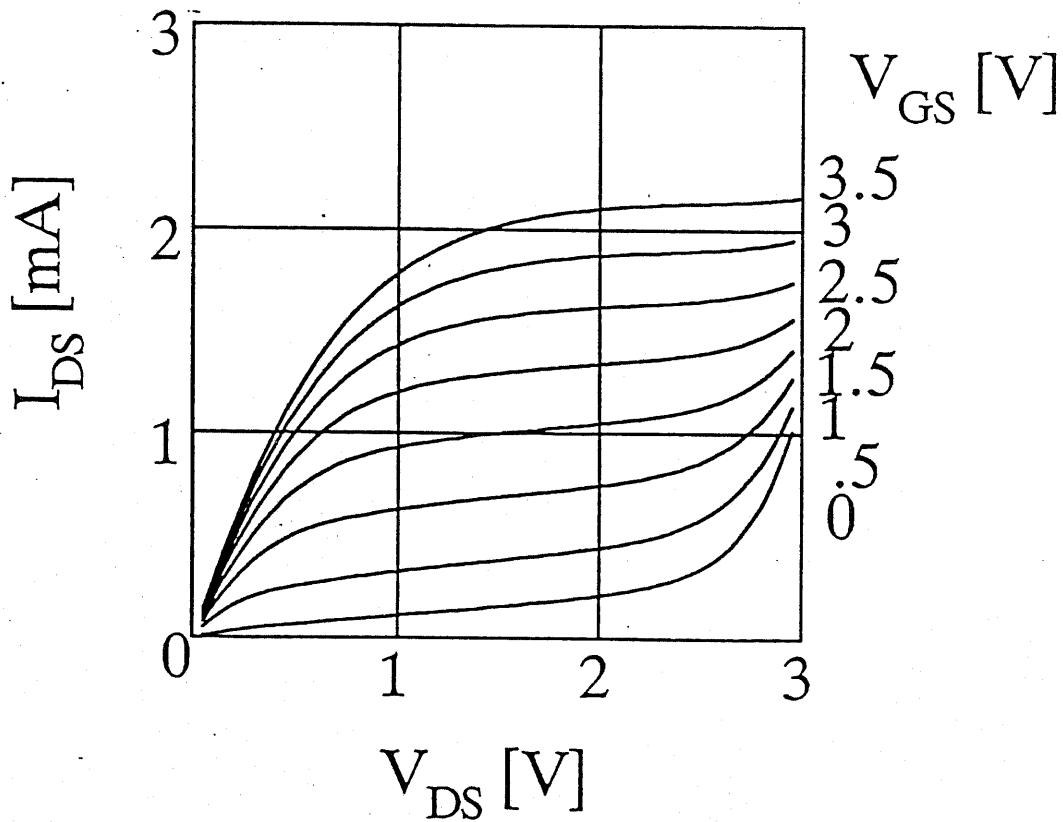


図6.4-4 nMOS ドレイン電流電圧特性(SOI膜厚100nm)

チャンネル長 $0.3\mu\text{m}$

n MOS $T_{\text{SOI}} = 100\text{nm}$
 $L_g = 0.3\mu\text{m}$ $W_g = 3\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$ $V_{\text{DS}} = 0.1\text{V}$

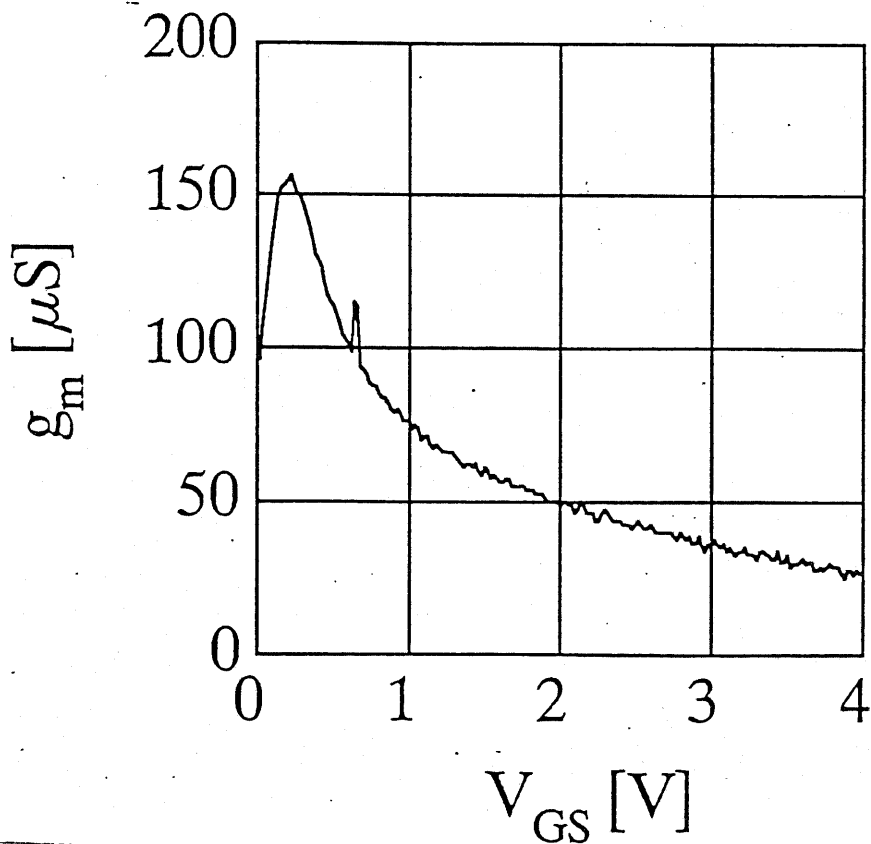


図6.4-5 nMOS 相互コンダクタンスのゲート電圧依存性(SOI膜厚
 100nm)

チャンネル長 $0.3\mu\text{m}$

n MOS $T_{\text{SOI}} = 100\text{nm}$
 $L_g = 0.3\mu\text{m}$ $W_g = 3\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$

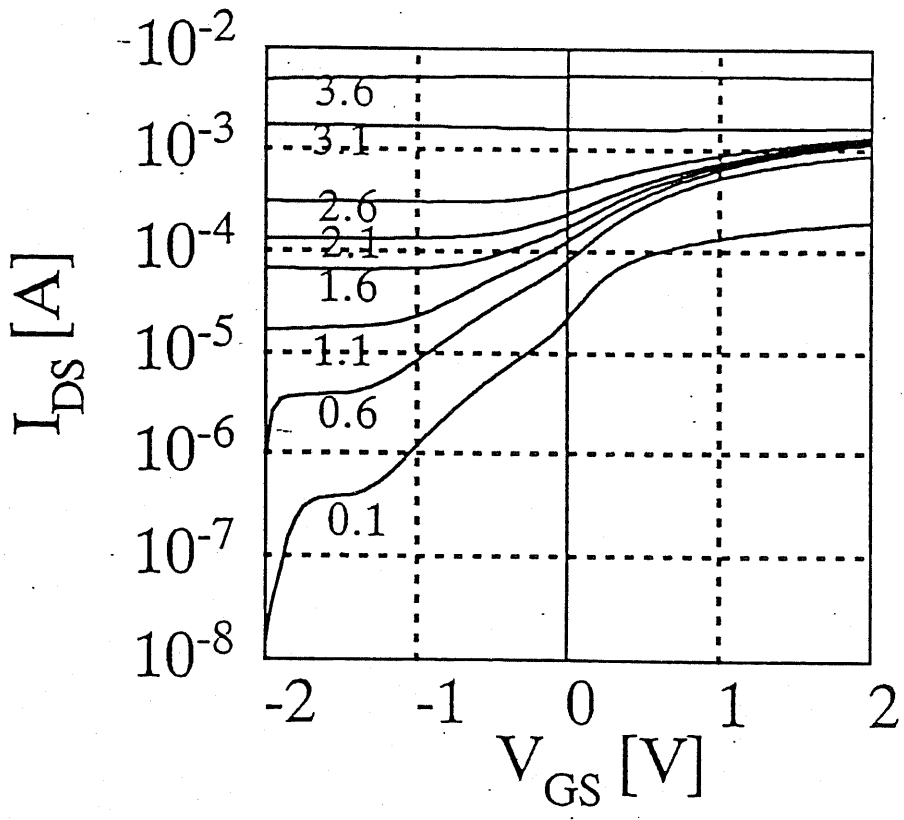


図6.4-6 nMOS サブスレシヨルド特性(SOI膜厚100nm)
 チャネル長 $0.3\mu\text{m}$

のドレインに高電圧を印加した場合の現象である。ドレイン領域の高電界部分で発生した正孔は、SOI膜中に蓄積されSOI膜のポテンシャルをさげることになる。ある閾値を越えたドレイン電圧を加えると、ソースバリアの低下によって電流がながれるようになり、その電流によってさらに正孔の発生が起き、横方向のNPNトランジスタが導通してラッチがかかる。3V以上の特性はこの状態を示しているものである。また、ドレイン電圧1V以上では、サブスレシヨルド特性も閾値電圧の定義が出来ない程度まで劣化している。

これらの結果は、全てゲート電圧によってチャネルの状態がコントロール出来ていないことを示しており、ディープサブミクロン領域でのシヨートチャネル効果抑制にはさらに薄膜化することが必須であることを示すものである。

(3) 超薄膜化によるシヨートチャネル効果の改善

前項で見たように、現在迄に発表されている文献の中でもっともよく用いられる膜厚である100nmでは、ディープサブミクロン素子のシヨートチャネル効果を抑制することは出来ないことが解った。本項では、SOI膜厚を超薄膜にすることにより、シヨートチャネル効果の効果的な抑制が出来ることが解ったので、その結果を報告する。SIMOX技術はイオン打ち込みによる厚さ制御性を生かせるので、30nm程度の均一な膜厚のSOIが形成できる。本節で用いた超薄膜SOIは、基板熱処理後熱酸化とエッチングにより薄膜化したものである。

ディープサブミクロン素子としては、前項と同様に、設計ゲート長0.3 μm のものを用いたが、SOIの膜厚が30nmであることと、チャネルドーピングのイオン打ち込みドーズ量が $10^{12}/\text{cm}^2$ に増えている点のみが異なる。

チャンネルドーピングのドーピングが増えたのは、SOI膜厚が薄くなるのことで、空間電荷はさらに減少し、2節で述べたように、nチャンネルMOSの閾値が下がり、さらにノーマリオンになる。これは、後に示すリング発振器の動作に影響するばかりでなく、ロングチャンネルデバイスとの閾値の差が大きくなり、デバイス特性の比較において重大な誤差を生むと考えられる。そこで、イオン打ち込みドーピング量は、2倍とし、差を小さくした。このことは、閾値電圧を上げる一方で、ドレイン近傍の電界を強める可能性があるので注意しなくてはならない。

まず図6.4-7に示すものは、0.3 μm nチャンネルMOSFETのドレインI-V特性である。100nmの基板上に形成したデバイスと比較して、次の点で異なる特性を示している。

a) ドレイン電流が十分飽和する

これはパンチスルーが超薄膜化によって抑制されたことを意味する。チャンネルドーピングドーピングが増えているのでそのために抑制されている可能性もあるが、同一のドーピングドーピングで形成したSOI膜厚50nmのデバイス（図6.4-8）と比較してもパンチスルー抑制効果があることから、超薄膜化の効果が明らかである。

b) ピンチオフ電圧が大きい、ドレイン電流は減少する

チャンネルイオン打ち込みのドーピングを増加させたとは言え、SOI膜厚が薄くなることで、空間電荷の量は減っており、この量に相当する部分だけピンチオフ（飽和）電圧が増大するはずである。通常であれば、ピンチオフ電圧の増大は、ドレイン電流の実質的な増加として表れ、駆動力の上昇という利点を生むものであるが、本研究で試作したMOSFETの場合には、逆にドレイン電流は減少している。これは移動度が減少していることを示唆するものであるが、この点については、次項の電界

n MOS $T_{\text{SOI}}=30\text{nm}$
 $L_g=0.3\mu\text{m}$ $W_g=3\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

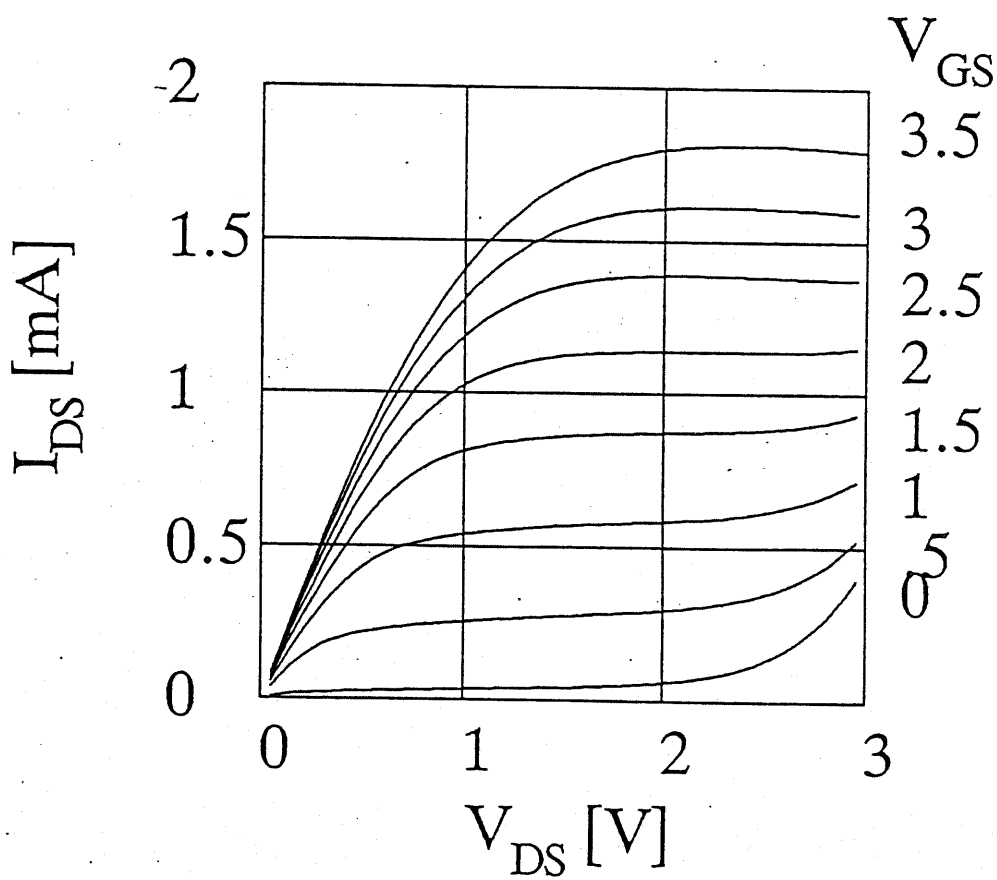


図6.4-7 nMOS ドレイン電流電圧特性(SOI膜厚30nm)

チャンネル長 $0.3\mu\text{m}$

n MOS $T_{\text{SOI}} = 50\text{nm}$
 $L_g = 0.3\mu\text{m}$ $W = 3\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$

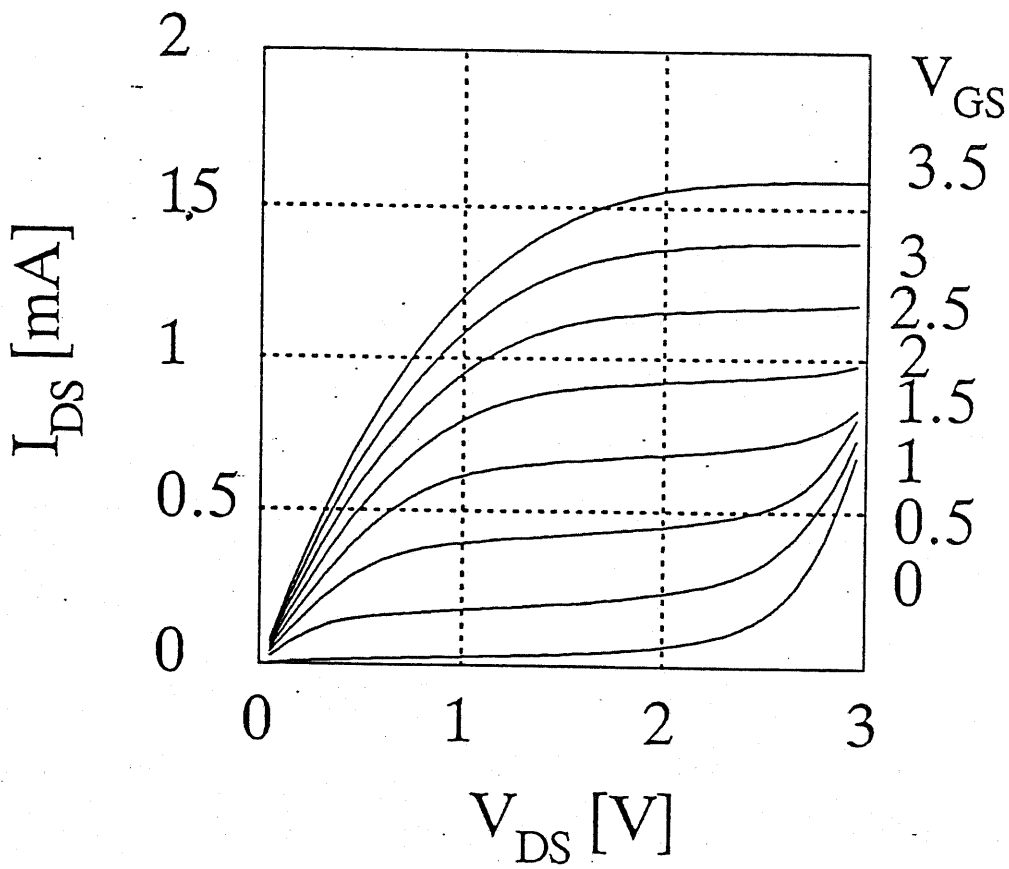


図6.4-8 nMOS ドレイン電流電圧特性(SOI膜厚50nm)

チャネル長 $0.3\mu\text{m}$

効果移動度のチャネル長依存性のところで議論することにする。

c) $1\mu\text{m}$ では見られない負性抵抗効果が現れる

デバイスを形成している領域が薄くなり、同一の電流では相対的に発熱の効果が大きく見えるためであると考えられる。

次に相互コンダクタンスのゲート電圧依存性を図6.4-10⁹に示す。SOI膜厚が 100nm の場合と比較してもっとも大きな特徴は、ピークの値が減少することであり、このことは、ドレインI-V特性の場合と同様に、超薄膜化することで、移動度の劣化が起きていることを示唆するものである。この点は、超薄膜化する場合の最大の問題点となる可能性があるため、次節でくわしく検討する。

サブスレシヨルド特性を、図6.4-10に示す。ドレインI-V特性から予想されるように、サブスレシヨルド領域の傾きは大幅に改善される。 100nm の場合には、ドレイン電圧 0.1V でもサブスレシヨルドの傾きが理想値より大きくずれていたのに比較して、 30nm のSOI基板を用いると、 2V 程度のドレイン電圧に対してもほぼ 0.1V と同一の傾きを保っている。

2.6V 以上でのドレイン電流の振舞いは、 100nm で述べたように、シングルランジスタラッチ現象に基づくものと考えられる。

B. PチャネルMOSFET

Aでは、NチャネルMOSFETをみたが、その結論としてはディープサブミクロン素子では、正常な動作をさせるには数十 nm 程度の超薄膜SOIを使うことが必要であるということが解った。PチャネルMOSFETでもやはり、パンチスルーの抑制が必要であり、基本的な結論に変化はないこと

n MOS $T_{\text{SOI}}=30\text{nm}$
 $L_g=0.3\mu\text{m}$ $W_g=3\mu\text{m}$
 $V_{\text{DS}}=0.1\text{V}$ $V_{\text{BS}}=0\text{V}$

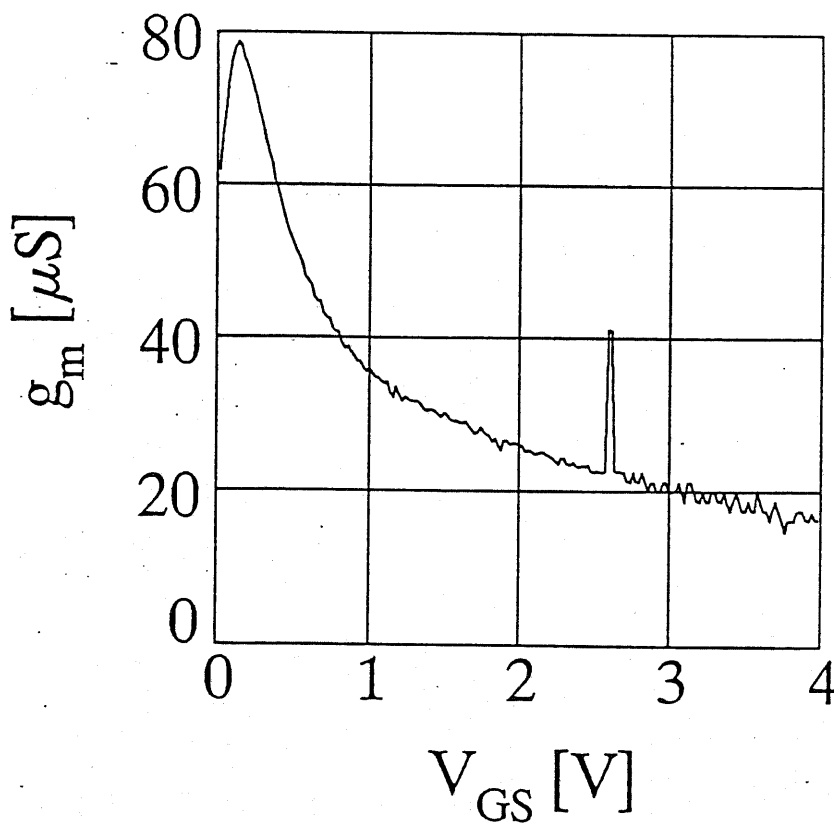


図6.4-9 nMOS 相互コンダクタンスのゲート電圧依存性(SOI膜厚 30nm)

チャネル長 $0.3\mu\text{m}$

n MOS $T_{\text{SOI}}=30\text{nm}$
 $L_g=0.3\mu\text{m}$ $W_g=3\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

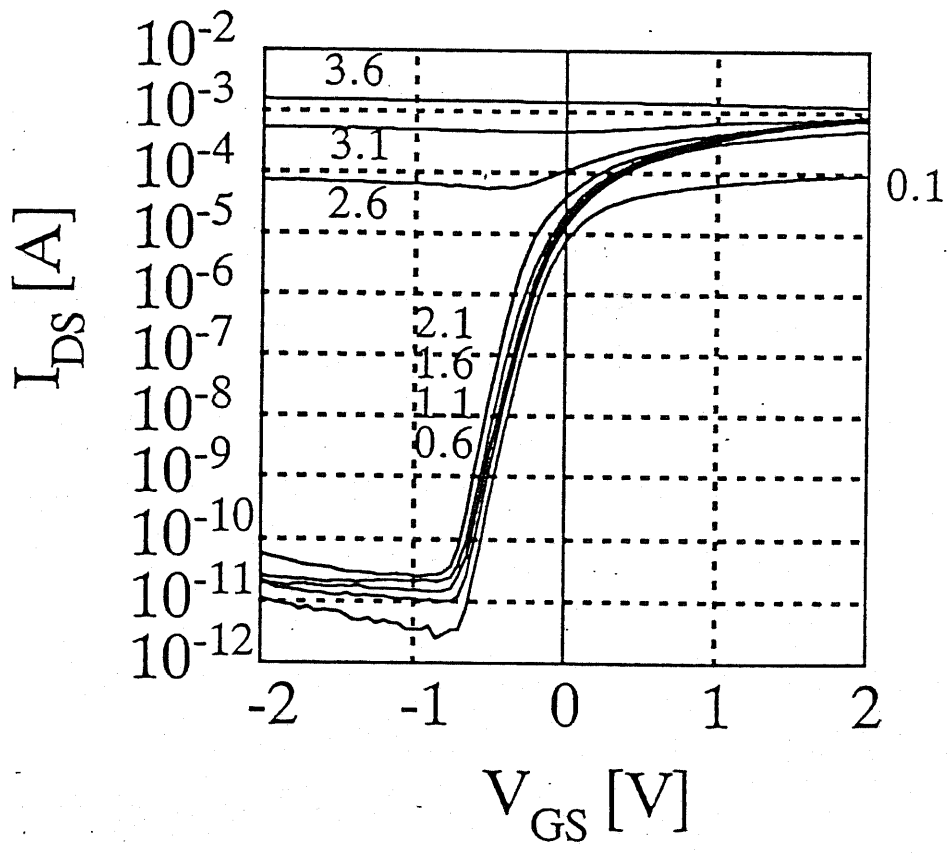


図6.4-10 nMOS サブスレシヨルド特性(SOI膜厚30nm)
 チャネル長 $0.3\mu\text{m}$

が予想されるものの、NチャネルMOSFETでは、ドレイン耐圧にアバランシェ現象が絡んでいるため、別の振舞いを見せることが考えられる。さらに、現在のMOS集積回路ではCMOS化が必須であることから、PチャネルMOSFETについてもその特性を議論しておく必要がある。そこで、ここではPチャネルMOSFETの特性がディープサブミクロンでどのような影響を受けるかについて測定結果を踏まえて議論したい。

(1) ロングチャネルの場合

図6.4-11に示すものは、SOI膜厚100nmの場合の、PチャネルMOSFETのドレインI-V特性である。チャネル長は $1\mu\text{m}$ で、チャネル幅は $10\mu\text{m}$ である。(全て設計値)チャネルドーピングは $5 \times 10^{11}/\text{cm}^2$ である。

まず、I-V特性より解ることは、PMOSにおいては、 $1\mu\text{m}$ でもドレイン電流は飽和しない特性を示す。これは図6.4-12に示したサブスレシヨルド特性をみると解るように、パンチスルーによるリーク電流である。また、PMOSの閾値電圧は、 -1V 以下となっており、通常の実用的な閾値から比べると(絶対値で)やや大きい値になっている。ゲート電極として、 n^+ ポリシリコンを用いた本研究における試作では、基板とゲート電極の仕事関数差が約 1V 程度存在する為に、閾値電圧はどうしても高くなってしまふ。完全空乏化の条件を満たしながら、閾値電圧を制御することは、 n^+ ポリシリコンを用いた場合には困難である。プロセスの項でも述べたが、 p^+ ポリシリコンを用いることは、現状のプロセスではあまり現実的ではない。しかし将来的にはチャネルドーピングをなくし、 n^+ ポリシリコンを用いることが有望な選択となる。

ドレインの耐圧については、NチャネルMOSFETの場合と比較して、Pチャネルではアバランシェが起きにくいので、ドレイン電圧 -4V 程度まで

p MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=1\mu\text{m}$ $W_g=10\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

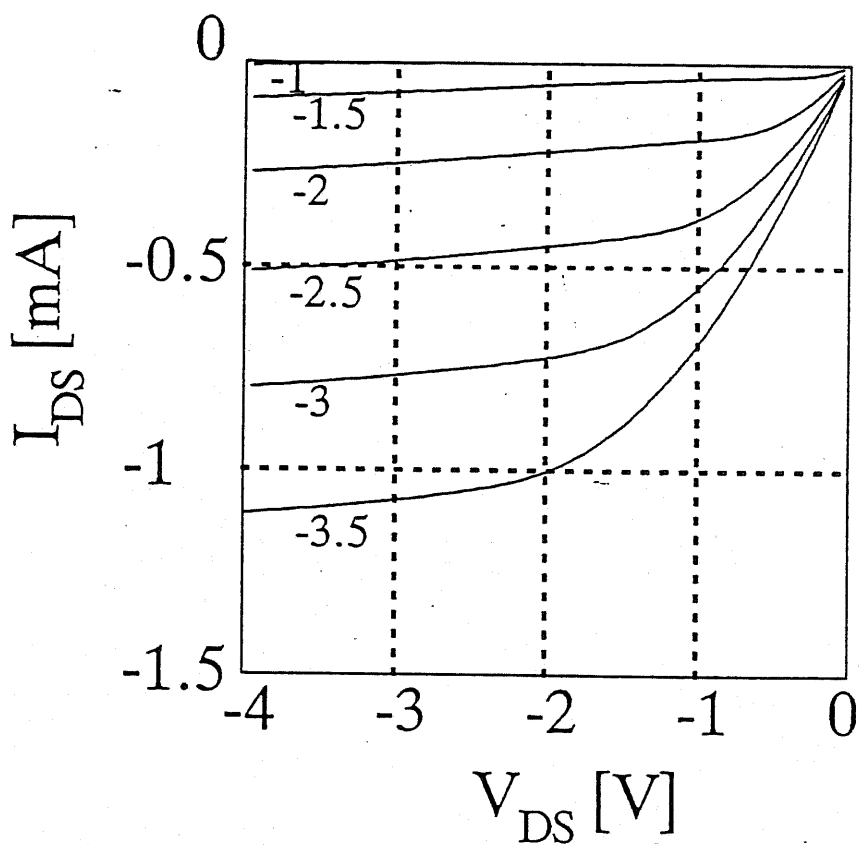


図6.4-11 pMOS ドレイン電流電圧特性(SOI膜厚100nm)

チャンネル長 $1\mu\text{m}$

p MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=1\mu\text{m}$ $W_g=10\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

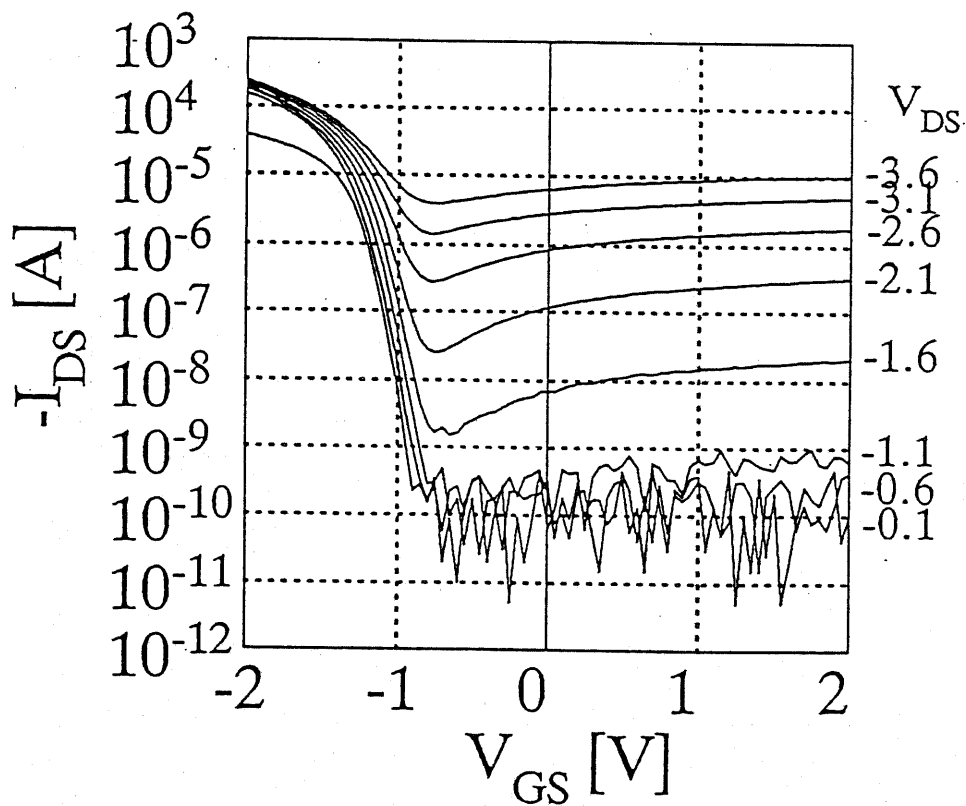


図6.4-12 pMOS サブスレシヨルド特性(SOI膜厚100nm)

チャンネル長 $1\mu\text{m}$

p MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=1\mu\text{m}$ $W_g=10\mu\text{m}$
 $V_{\text{DS}}=-0.1\text{V}$ $V_{\text{BS}}=0\text{V}$

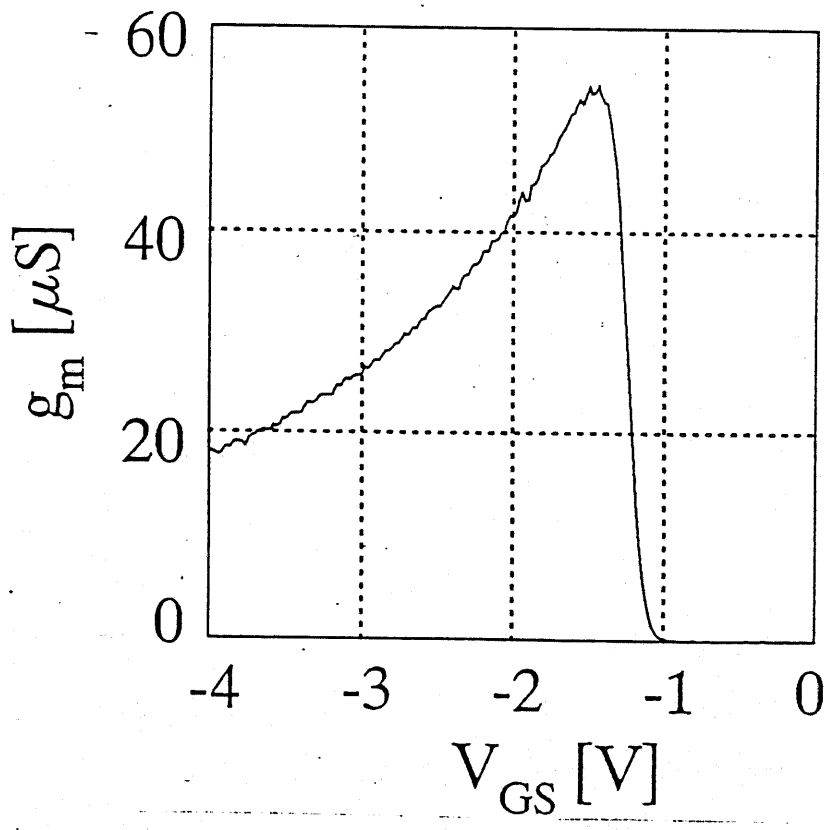


図6.4-13 pMOS 相互コンダクタンスのゲート電圧依存性(SOI膜厚100nm)

チャンネル長 $1\mu\text{m}$

急激な電流の上昇は起きていない。

サブスレシールド領域のリーク電流については、NMOSの場合と同様に、パンチスルー電流とゲートドレインオーバーラップ領域におけるバンド間トンネルによる電流とが重なった電流になっている。パンチスルーを反映して、閾値電圧のドレイン電圧依存性はかなり大きくなっている。また、アバランシェは起きにくいので、シングルトランジスタラッチ現象は、PチャンネルMOSでは観察されない。

図6.4-13に示したのは、相互コンダクタンスのゲート電圧依存性である。閾値が大きいことを反映して、ピークの値も小さくなっており、このピークの値から計算される正孔の移動度は、凡そ $110\text{cm}^2/\text{Vs}$ となっている。

(2) ディープサブミクロンPMOS/SIMOX

図6.4-14に示すものは、SOI膜厚100nmのPチャンネルMOSFETのドレインI-V特性である。パンチスルーの特性が顕著になり、サブスレシールドスイング、ドレイン電圧に対する閾値電圧の依存性も大きくなり、(図6.4-15) PチャンネルMOSFETにおいても、ショートチャネル効果は100nmのSOIでは、抑制することが出来ない。

一方、SOI膜厚を30nmにすることで、図6.4-16に示すように、サブスレシールド特性の傾きと、閾値電圧のドレイン電圧依存性は、大幅に改善される。この点も、NチャンネルMOSFETと同一である。

このように、SOI膜厚を30nmにすることは、PチャンネルMOSFETにおいても極めて有効であり、ショートチャネル効果を抑制する決め手となり得ることが示された。しかしながら、I-V特性に示されたように相互コンダクタンスの低下、ドレイン飽和電流値の低下といった問題が生じ、超薄膜化に従う問題点もNチャンネルMOSFETと同様に持っている。次節Cで

p MOS $T_{\text{SOI}}=100\text{nm}$

$L_g=0.3\mu\text{m}$ $W_g=3\mu\text{m}$

$V_{\text{BS}}=0\text{V}$

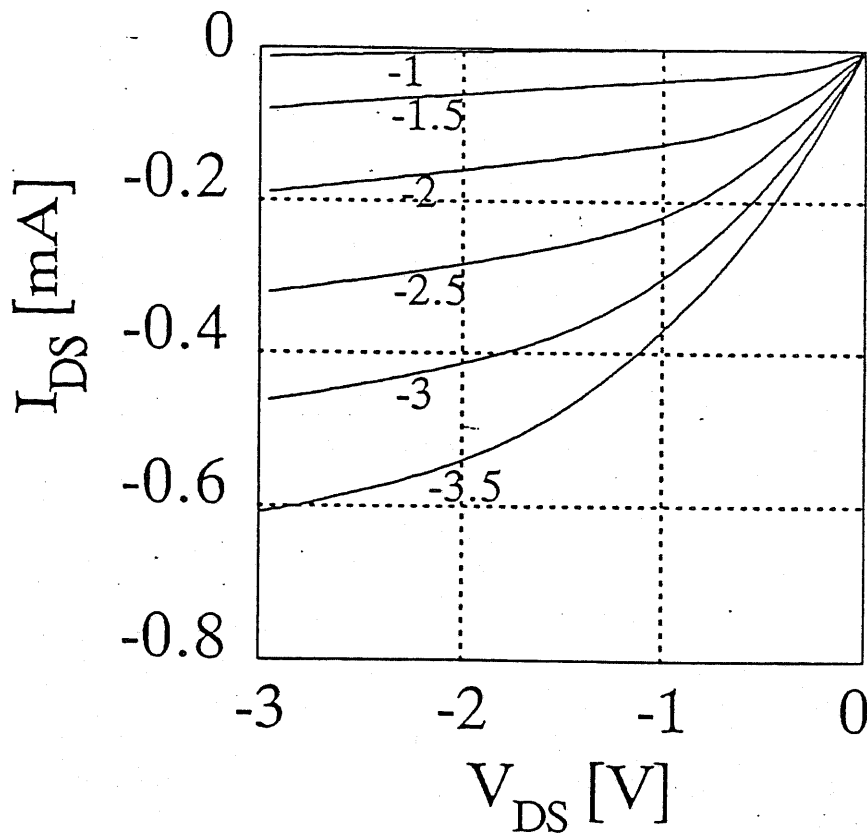


図6.4-14 pMOS ドレイン電流電圧特性(SOI膜厚100nm)

チャンネル長 $0.3\mu\text{m}$

p MOS $T_{\text{SOI}}=100\text{nm}$
 $L_g=0.3\mu\text{m}$ $W_g=3\mu\text{m}$
 $V_{\text{BS}}=0\text{V}$

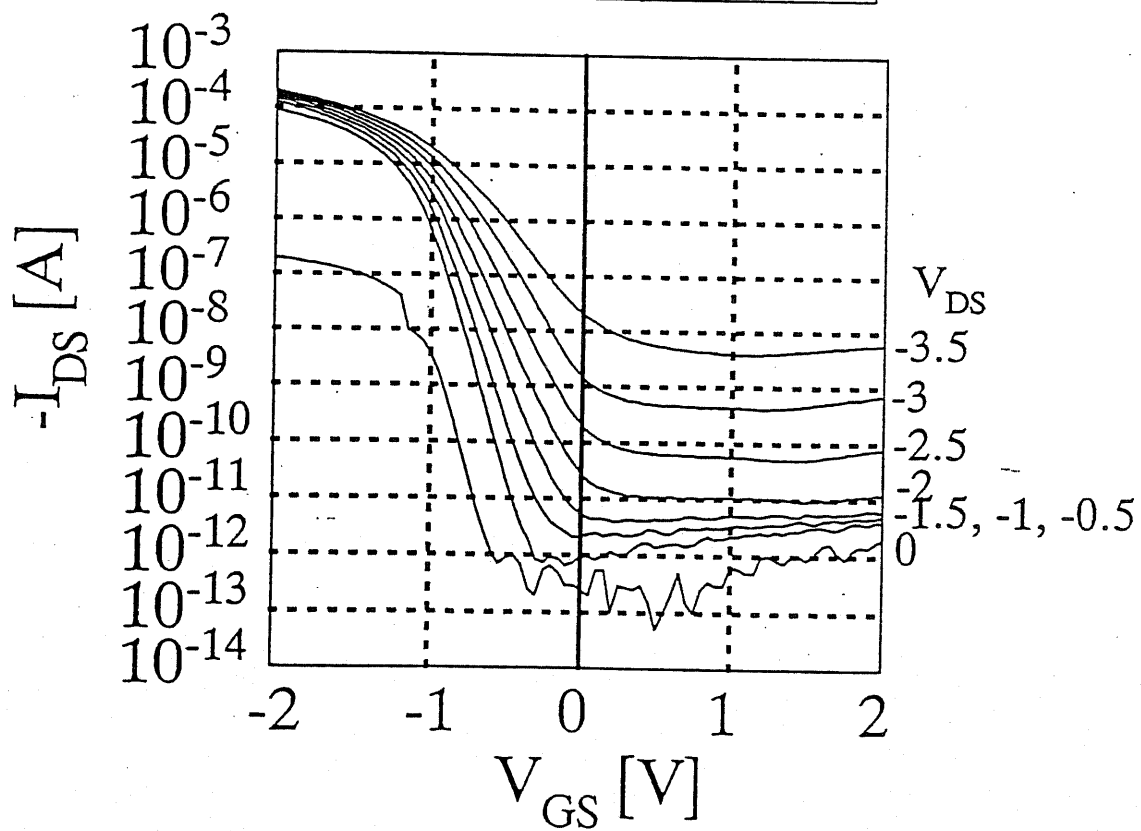


図6.4-15 pMOS サブスレシヨルド特性(SOI膜厚100nm)

チャンネル長 $0.3\mu\text{m}$

p MOS $T_{\text{SOI}} = 30\text{nm}$
 $L_g = 0.3\mu\text{m}$ $W_g = 3\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$

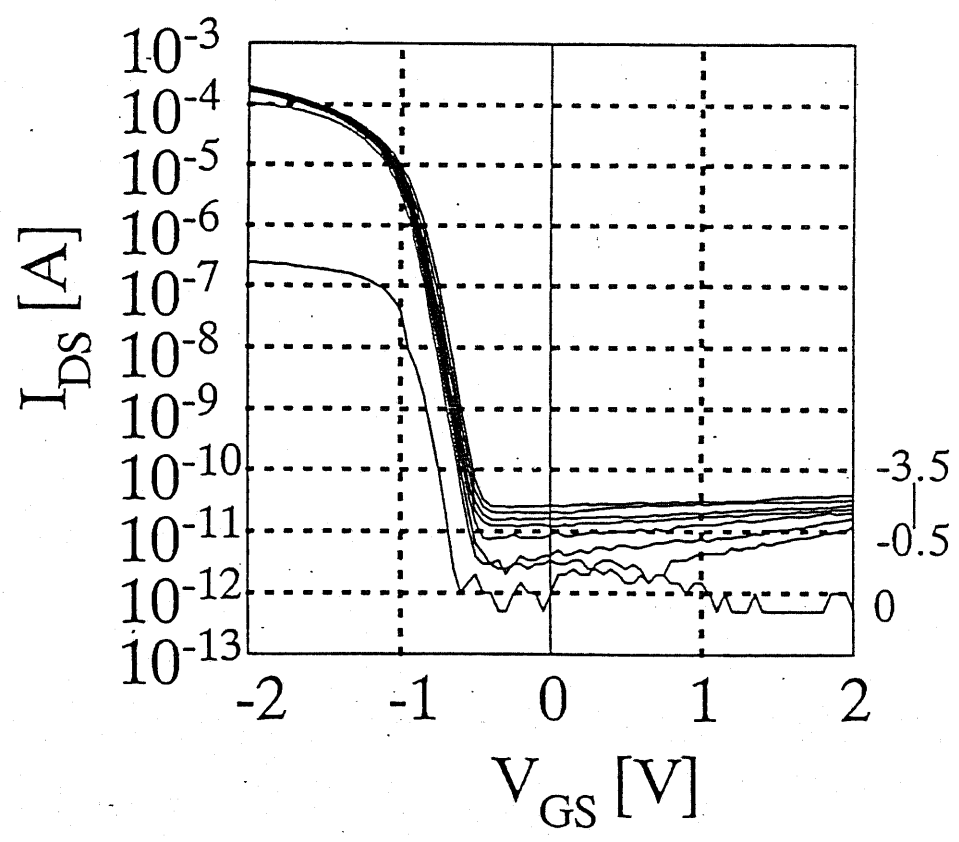


図6.4-16 pMOS サブスレシヨルド特性(SOI膜厚30nm)

チャンネル長 $0.3\mu\text{m}$

は、これらの利点、問題点を相互コンダクタンス、閾値電圧、及びサブスレシールド電圧のチャンネル長に対する依存性をまとめ、議論することにする。

(Body Contact 挿入)

C. 基本パラメータのチャンネル長依存性のまとめ

(1) 相互コンダクタンス

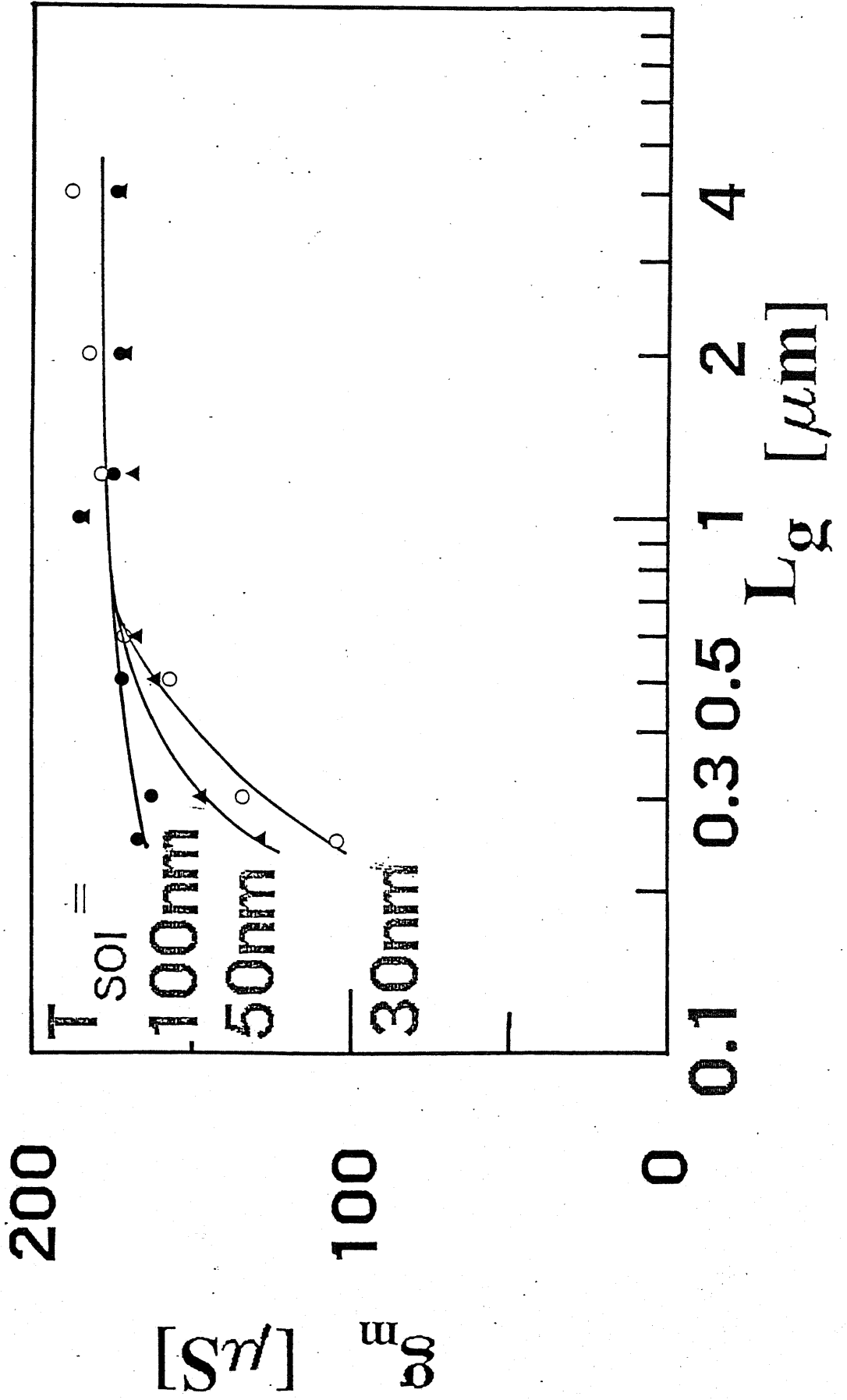
A, Bで測定した点以外に、 $4\sim 0.15\mu\text{m}$ のトランジスタを作製し、デバイス設計に重要なパラメータのチャンネル長依存性を求めた。図6.4-17及び図6.4-18は、線型領域の g_m の最大値より求めた電界効果移動度のチャンネル長依存性である。NチャンネルMOS、PチャンネルMOSともにSOIの膜厚が小さくなると、電界効果移動度のチャンネル長依存性が大きくなる。このような現象に出会った場合、まず考慮しなくてはならないのが、寄生抵抗の効果である。寄生抵抗としては、先に述べたように、

a) ソースドレインの拡散層の抵抗

b) ソースドレインのコンタクト抵抗

などが挙げられる[6.18]。この両者は、どちらもソースとドレインに入る抵抗と考えることができる。この抵抗を考慮する場合、本研究で用いた平面パターンがチャンネル長とチャンネル幅を一定に採る、という通常のスケーリングによっていることに注意する必要がある。すなわち、コンタクトホール面積と、コンタクトホールとチャンネルの間の拡散層の幅がチャンネル長に反比例して小さくなるために、短チャンネルになるにしたがって、寄生抵抗が増大して行く構造になっている。移動度を評価する上ではこのようなチャンネル幅の狭い構造は、不利であるが、次章で述べるリングオシレータのデバイスと同一構造とするために、このような設計

図6.4-17 nMOS相互コンダクタンス最大値のチャネル長依存性



PMOS

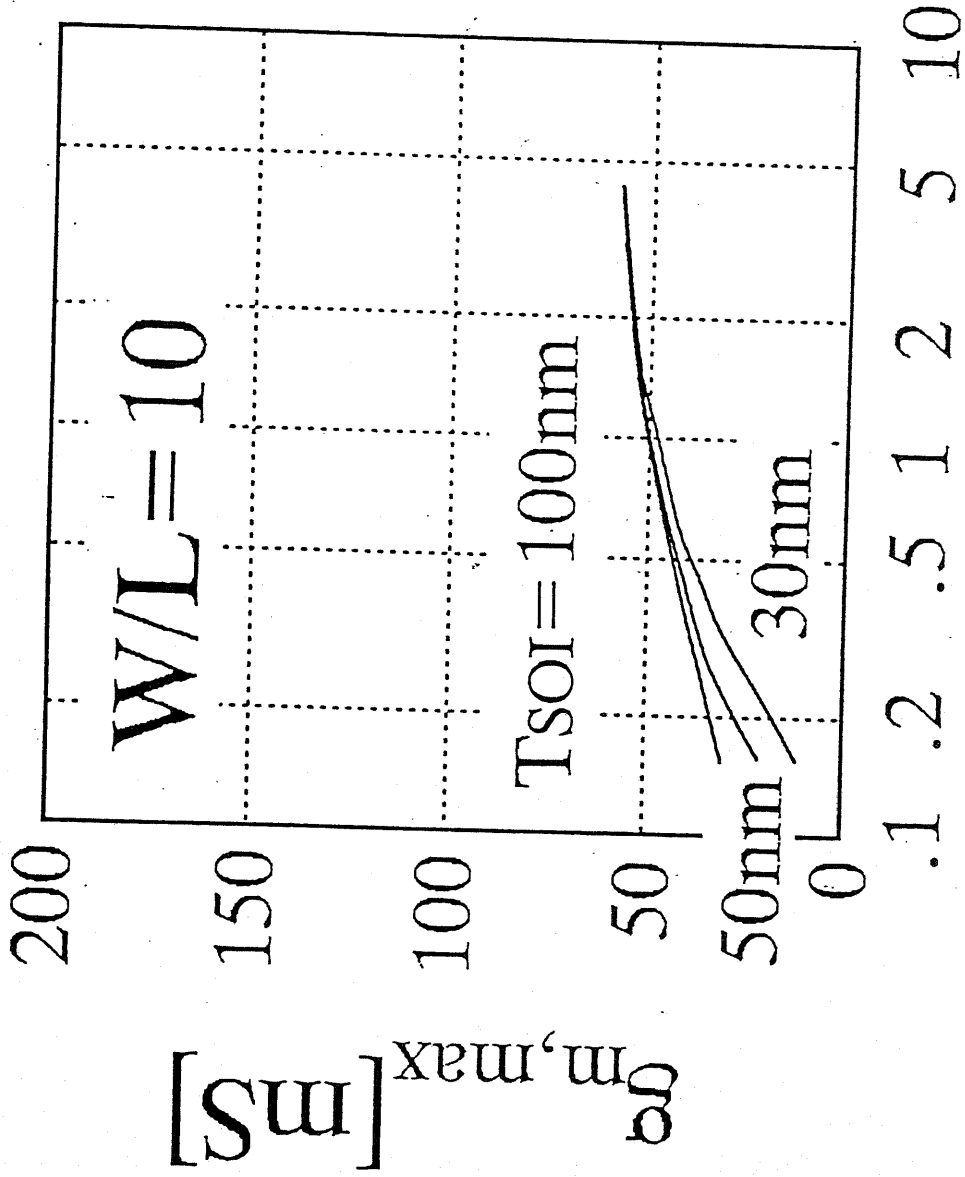


図6.4-18 pMOS相互コンダクタンス最大値のチャネル長依存性

L_g [μm]

になっている。

さて、寄生抵抗のうち、ソース抵抗として働く部分は相互コンダクタンスが電流帰還によって減少して見えるが、その効果はソース抵抗と相互コンダクタンスの積が1に対して無視できない程度に大きい場合に限られる。NチャネルMOSについて考えると、素子本来の相互コンダクタンスの値としてロングチャネルの値 $200\text{cm}^2/\text{Vs}$ を使えば、 g_m が約1割劣化する抵抗値としてはソース側だけで 500Ω 程度ということになる。図6.4-19⁹⁷を見ると、SOI膜厚30nmの場合には、 $0.3\mu\text{m}$ デバイスでは、ロングチャネルの値と比較して、凡そ25%の g_m の劣化が測定された。よって、ソース抵抗は数 $k\Omega$ が必要である。

図6.4-20は、ゲートなしMOSFETのソースドレイン間電流電圧特性である。この構造ではドレイン側の抵抗とソース側の抵抗をあわせたものが測定されるが、さらに、本来チャネルになっている部分もドレイン拡散層として働くために、寄生抵抗の見積もりとしては過大評価になることを注意しなくてはならない。この特性は明らかに直線で、オーミック特性を示し、SOI30nmに対応する抵抗値は 286Ω となった。従って、ソース抵抗として働く部分は先ほど述べた値よりも1桁以上小さいことになり、ソースドレインの拡散層とコンタクトの寄生抵抗ではこの g_m の劣化は説明できないことになる。

PチャネルMOSFETの場合には、図6.4-20に示すように、ゲートなしトランジスタで測定した抵抗値は大きくなる。SOI30nmの場合では、 $0.3\mu\text{m}$ のパターンに対しては、 800Ω 程度存在する。ロングチャネルの g_m の値は、凡そ $50\mu\text{S}$ であるから、Pチャネルの場合でも寄生抵抗だけで g_m が劣化することは考えられない。

以上で解ったように、SOI膜が薄いときには、寄生抵抗によらない相互

37
 寄生抵抗評価グラフ (非線形)
 寄生抵抗評価グラフ

***** GRAPHICS PLOT *****
 (NNG1u, 0.5u, 0.3u)

Variables:
 VDS -Ch2
 Linear sweep
 Start .0000V
 Stop 1.0000V
 Step .0100V
 Constants:
 VS -Ch1 .0000V
 VB -Ch4 .0000V

ID (mA)

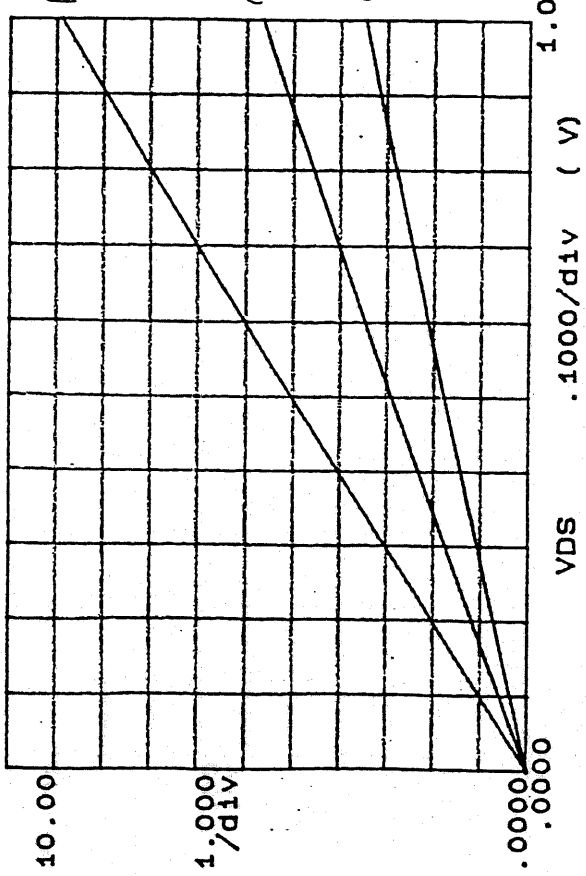


図6.4-20 ゲートなしMOSFETによる寄生抵抗の評価

nMOS SOI膜厚30nmに相当

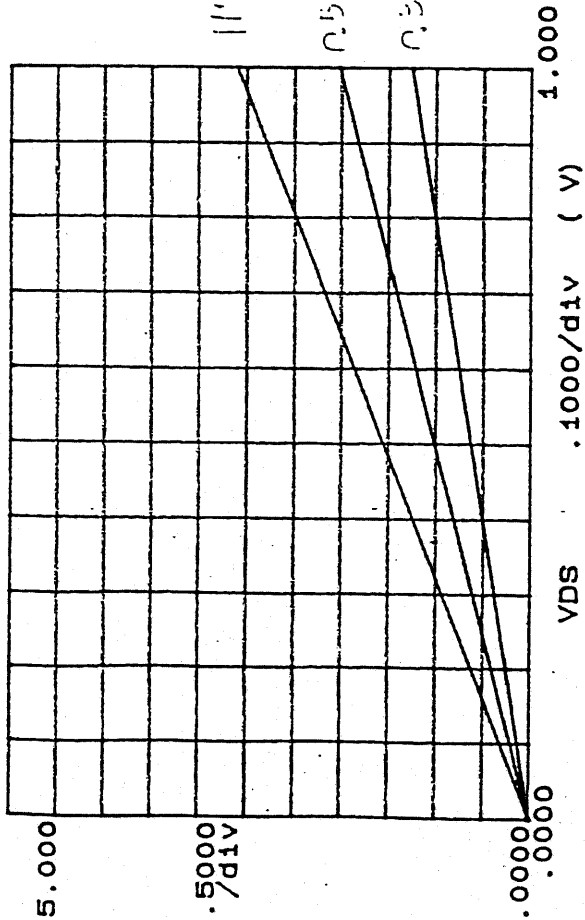
34
 客用非破壊検査 (株) 中野 検査 検査
 株式会社 中野 検査

基板修理工学

***** GRAPHICS PLOT *****
 PNG1U, 0.5u, 0.3u

ID (mA)

S, D : 5u



Variables:
 VDS -Ch2
 Linear sweep
 Start .0000V
 Stop 1.0000V
 Step .0100V
 Constants:
 VB -Ch1 .0000V
 VB -Ch4 .0000V

図6.4-21 ゲートなしMOSFETによる寄生抵抗の評価

pMOS SOI膜厚30nmに相当

コンダクタンスの劣化の機構を考える必要がある。この問題については、リングオシレータの測定結果の項の後で、議論することにする。

B. 閾値電圧とサブスレシヨルドスイングのチャネル長依存性

前節で見たように、SOIの膜厚を薄くすると、トランジスタの相互コンダクタンスが低下し、回路の速度という点からは不利になるが、ショートチャネル効果という点ではSOIを超薄膜にすることにより、劇的な改善が得られる。次に示すのは、NチャネルMOSの閾値電圧のチャネル長依存性である。ここで、閾値電圧は $L/W=1$ に対して $1\mu\text{A}$ のドレイン電流が流れる電圧とした。ドレイン電圧は 0.1V である。SOI膜厚が 100nm の試料では、サブミクロン領域に入ると閾値が急激に低下してゆく。これは、前節で見たように不純物密度の小さなチャネルを用いているので、SOI膜厚が十分薄くなければ容易にドレイン電界がソースに影響を及ぼすため、ショートチャネル効果によって閾値電圧が低下してゆくと考えられる。但し、ここでは閾値電圧の決定に、ドレイン電流の値を用いているので、サブスレシヨルド領域のパンチスルーに起因するリーク電流の増大の効果も含まれている状況になっている。

このDrain Induced Barrier Lowering効果及びパンチスルー電流は、凡そ、チャネル長とSOI膜厚の比で効果が決まると考えられるので、薄いSOIを使うほど、ショートチャネル効果が低減され、閾値がチャネル長に依存しなくなるのは、理解しやすいことである。しかし、 50nm 、 30nm のSOIを用いたサンプルでは、閾値電圧のチャネル長依存性が従来バルクMOSFETで見られているのとは異なる振舞いを見せている。すなわち、ディープサブミクロン領域では、特に 30nm のSOI膜厚のサンプルにおいて、ショートチャネルになるにしたがって、閾値電圧が上昇する現象が見られた。すなわち、通常はソースバリアの低下やパンチスルーでゲートの

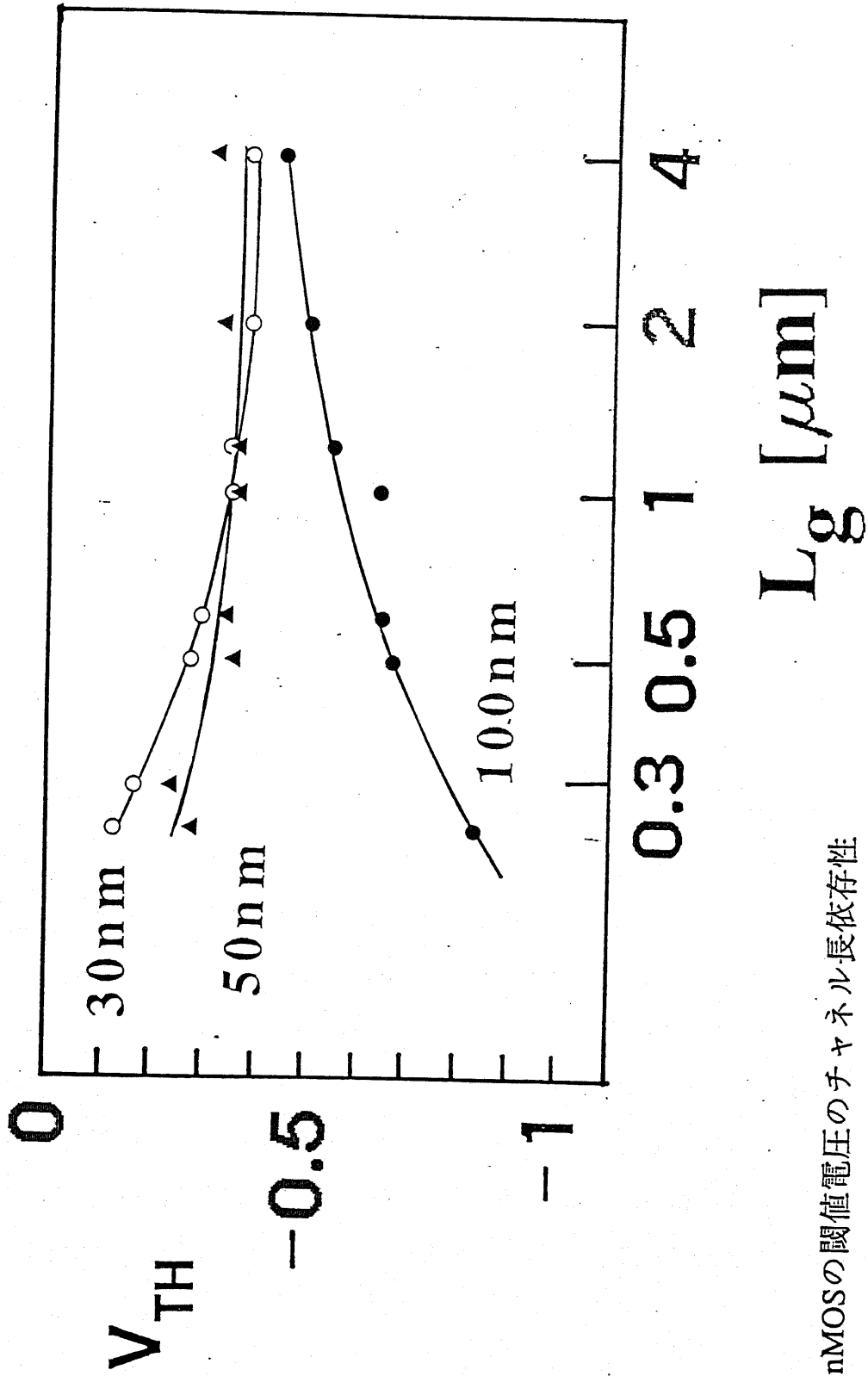


図6.4-22 nMOSの閾値電圧のチャネル長依存性
(ドレインソース間電圧0.1V)

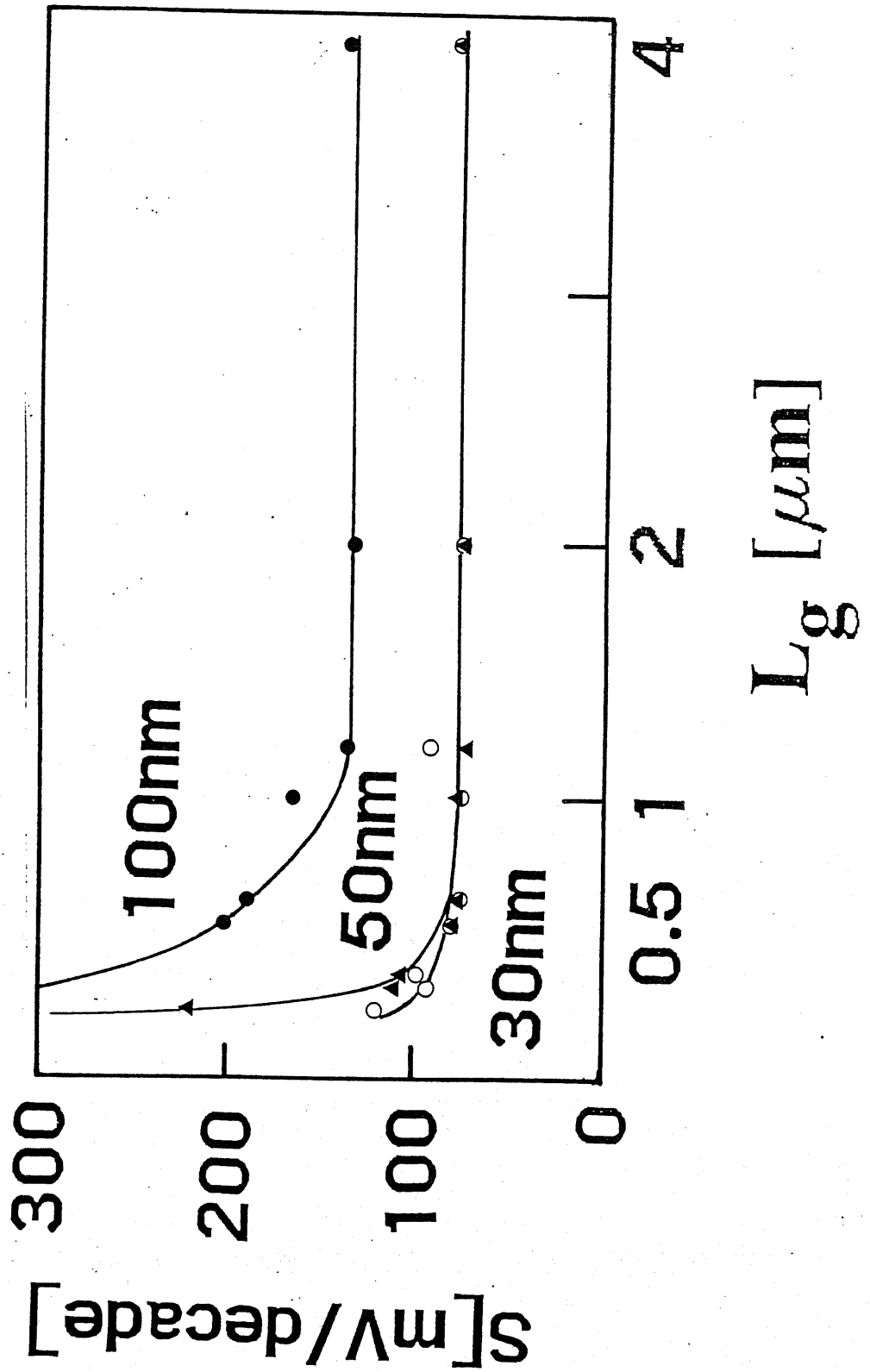
制御性が失われ、電流が流れやすい方向に閾値が動くのであるが、このデータは電流が流れにくくなることを意味している。この現象は、ソースドレインより拡散した不純物が結晶欠陥に捉えられることによって発生するソースドレイン近傍の閾値電圧の高い寄生MOSFETの存在を考えると容易に理解できる。本研究で用いたような、比較的低温で熱処理したSIMOX基板の場合、埋め込み酸化膜-SOI界面は、完全にアブラプトにはならず、結晶欠陥を大量に含んだ構造になっている。ここに捉えられた不純物の効果は、SOI膜厚が薄くなるほど大きくなる。また、寄生MOSFETのチャネル長は、平面構造には依存しないものであり、チャネル長が短くなるにしたがって、効果が大きく見えてくるため、ディープサブミクロンでは閾値電圧の上昇が見られると考えられる。

次に示すのは、サブスレシヨルド特性の傾きのチャネル長依存性を調べたものである。図6.4-21はNチャネルMOSFETの $V_{ds}=0.1V$ におけるサブスレシヨルド特性の傾きをチャネル長に対する依存性である。サブスレシヨルド領域の傾きは、界面準位が存在しないような理想的な状況を考え、空間電荷を無視すると、室温での理想値として、 $60mV/decade$ が得られる。超薄膜素子(30nm, 50nm)の場合を見るとロングチャネルでの値を、 $0.5\mu m$ 迄維持し、ディープサブミクロン領域でもSOI膜厚30nmでは、極めてよい特性を示す。さらに注目すべきことは、設計ゲート長が $0.15\mu m$ の素子においても、30nmのSOI膜厚素子は、サブスレシヨルド領域については電源電圧2Vでも正常な動作をすることである。図6.4-22にチャネル長 $0.15\mu m$ の場合について、SOI膜厚100nm, 50nm, 30nmの場合を比較して示す。2VではSOI100nmの素子は全くOFF状態にならないが、30nmでは、正常な動作を示す。前述したように、この領域での動作はSOIの膜厚とチャネル

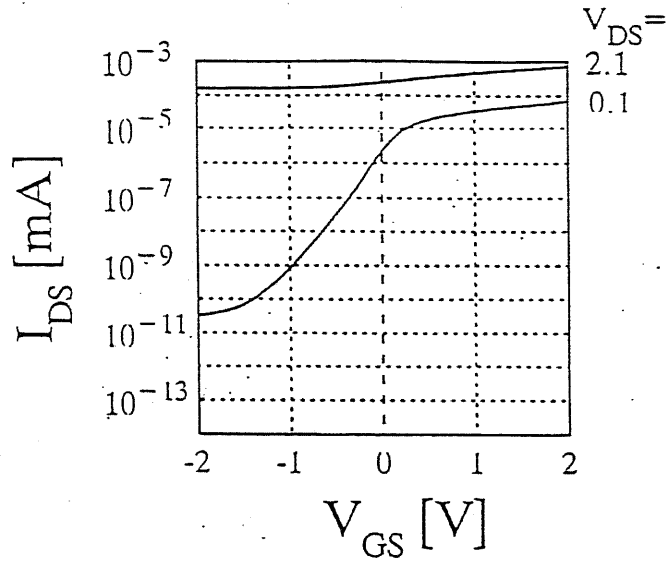
図6.4-23 nMOSのサブスレショルド特性の傾きのチャネル長依

存性

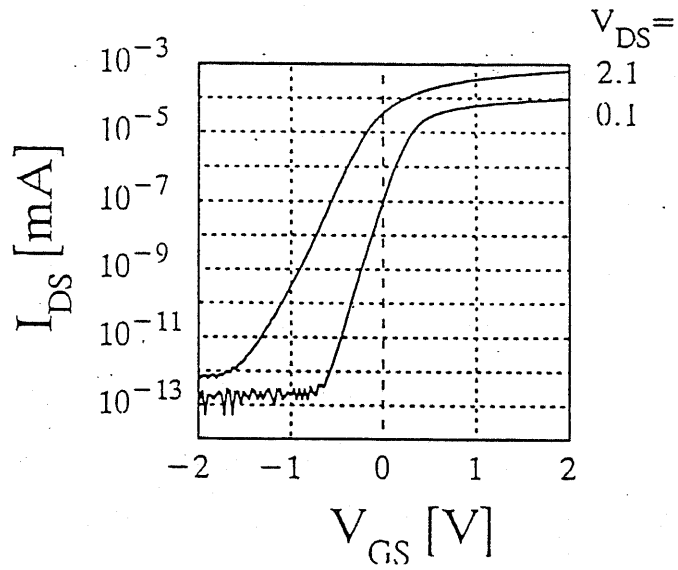
(ドレインソース間電圧0.1V)



(A)



(B)



(C)

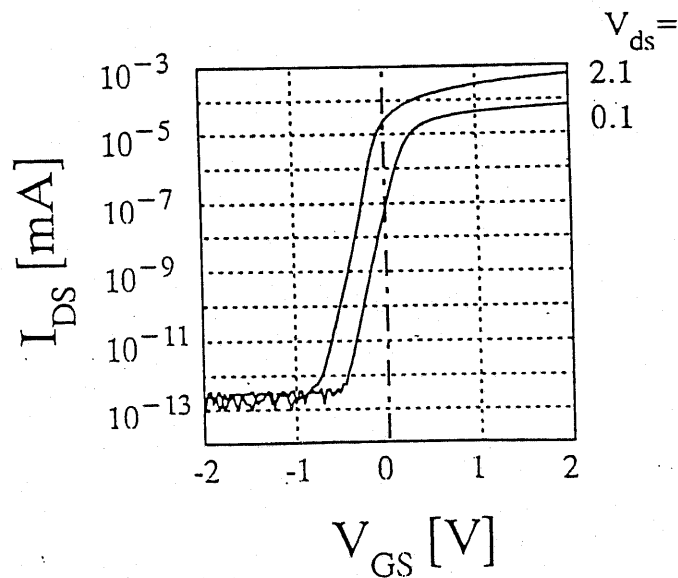


図6.4-24 ゲート長 $0.15\mu\text{m}$ のnMOSのサブスレシヨルド特性

(A) SOI100nm (B) SOI50nm

(C) SOI30nm

長の比でパンチスルー抑制効果が決まっていると考えられるので、 $0.1\mu\text{m}$ ゲートのMOSFETは、さらに薄いSOI薄膜を用いれば十分実現可能であると思われる。

一方SOI膜厚 100nm の試料では、サブミクロン領域からサブスレシヨルド特性が悪化しはじめる。そして、ディープサブミクロン領域では、パンチスルーによってサブスレシヨルド係数を定義することさえ困難な状況になる。メモリーとはことなり、高速論理回路用の素子では、サブスレシヨルド特性の悪化が回路動作自体を変えてしまうほどの致命的な影響は出ないものの、リーク電流により、CMOSのスタンバイ時消費電力が増大することが懸念される。ディープサブミクロン領域では、CMOSといえども消費電力がチップ面積に影響するため、サブスレシヨルド特性の劇的な改善は、超薄膜SOI素子が、ディープサブミクロン用の基本素子として極めて優れた性質を有していることを示すものと言えよう。

PチャネルMOSFETの場合では、 -0.1V のドレイン電圧での閾値電圧とサブスレシヨルドスイングのチャネル長やSOI膜厚に対する依存性が、デバイスのばらつきの程度に抑えられてしまったため、同一の議論はできなかった。しかしながら、次図6.4-23に示すように、ゲート長 $0.15\mu\text{m}$ での動作はサブスレシヨルド特性に関する限り、 50nm 以下のSOIを用いた場合に限って、正常な特性が得られている。

pMOS $T_{\text{SOI}} = 30\text{nm}$
 $L_g = 0.15\mu\text{m}$ $W_g = 1.5\mu\text{m}$
 $V_{\text{BS}} = 0\text{V}$

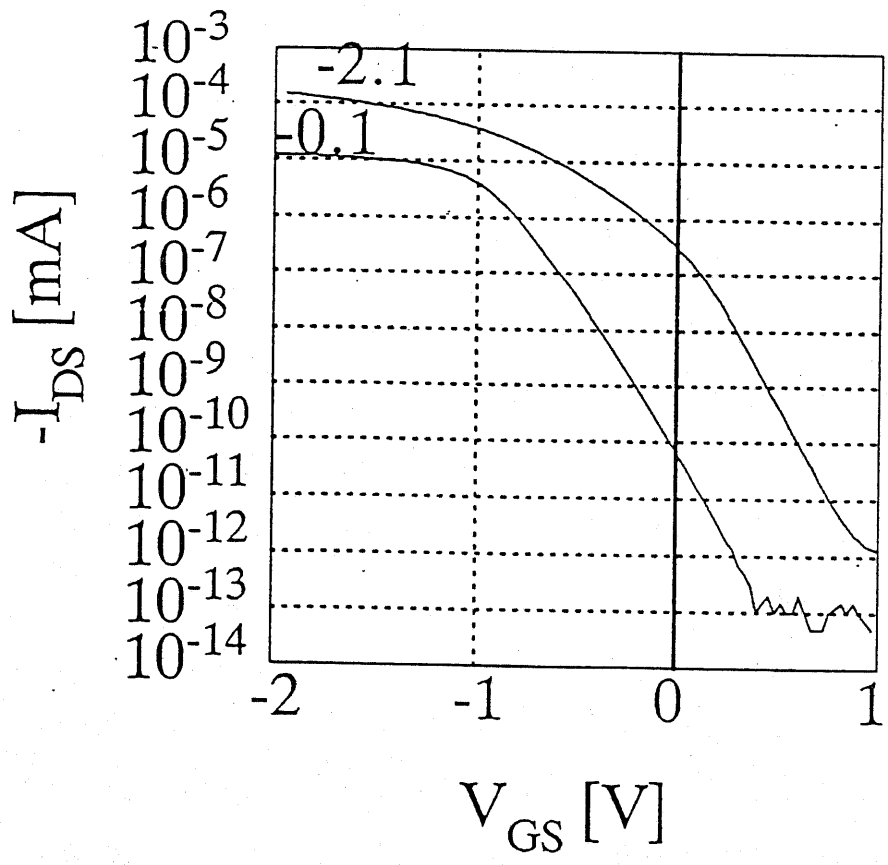


図6.4-25 ゲート長 $0.15\mu\text{m}$ のpMOSサブスレシヨルド特性
 SOI膜厚 30nm

6. 5 リング発振器によるCMOS/SIMOXの 高速性の評価

6. 4節で検討した単体MOSFETの静特性を元にして、本節では、CMOS/SIMOXの遅延時間評価のために51段のCMOSリング発振器を作製し、その高速性を確認した。もっとも高速動作したサンプルは、100nmの厚さのSIMOX基板上に形成したゲート長 $0.25\mu\text{m}$ のもので、電源電圧2.5Vにおいて、遅延時間21.5ps/stage（室温）のデータを得た。この遅延時間は、電源電圧を考慮すると、現在までに発表されているCMOSの遅延時間としては、バルクCMOSのデータも含めてもっとも高速なCMOSインバータである。本研究では、さまざまなチャネル長とSOI膜厚を持つリングオシレータを試作し、系統的にその遅延時間を評価した。ここでは、その結果を示し、回路シミュレータによる遅延時間決定の要因を探るとともに、 $0.1\mu\text{m}$ CMOS/SIMOXの特性を予測するものである。

(1) リング発振器によるクォーターミクロンゲートCMOS/SIMOXの 遅延時間評価～高速性の実証～

写真6.5-1は、本研究でもっとも短い遅延時間の得られたサンプルの発振波形である。電源電圧2.5V、ゲート長は $0.25\mu\text{m}$ 、ゲート幅はNチャネルが $2.4\mu\text{m}$ 、Pチャネルが $4.8\mu\text{m}$ である。断面SEM観察写真(写真6.5-2)より、実効ゲート長は約 $0.29\mu\text{m}$ である。なお、遅延時間測定は室温で行った。また、前節で示したように、本研究の試作では、ゲートポリシリコンの低抵抗化のために燐ドーピングポリシリコンを用いたので、NチャネルMOSFETはノーマリーオン特性を示す。そこで、このサンプルに対しては-10Vのバックゲート電圧をかけ、閾値電圧を上げている。バックゲート電圧を加えた状態でのMOSFETのドレインI-V特性を図6.5-1(a)(NMOS)

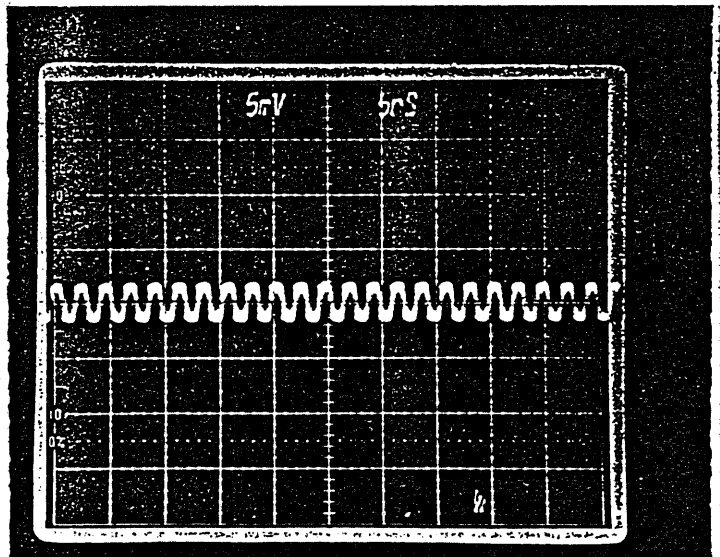
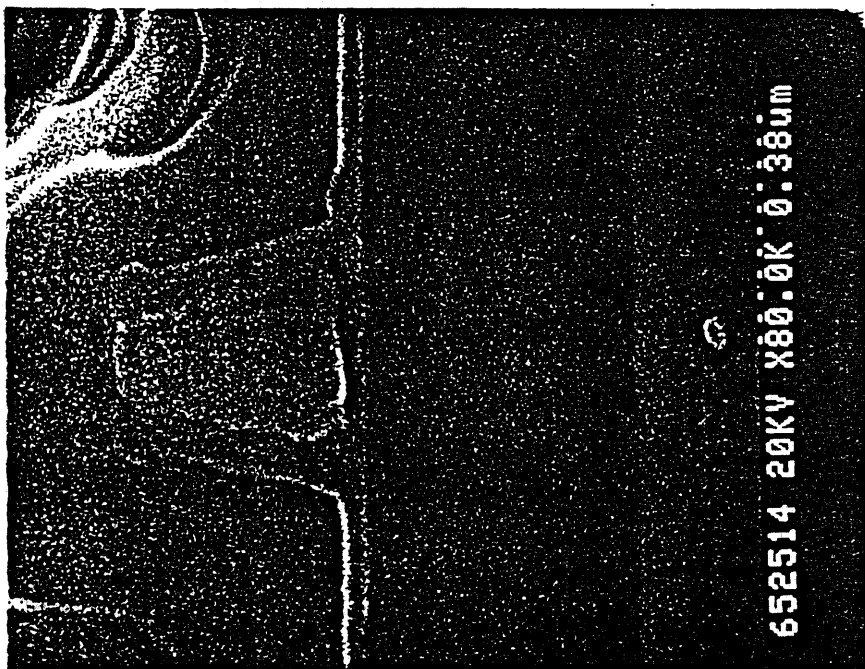


写真6.5-1 ゲート長 $0.25\mu\text{m}$ のリングオシレータの発振波形

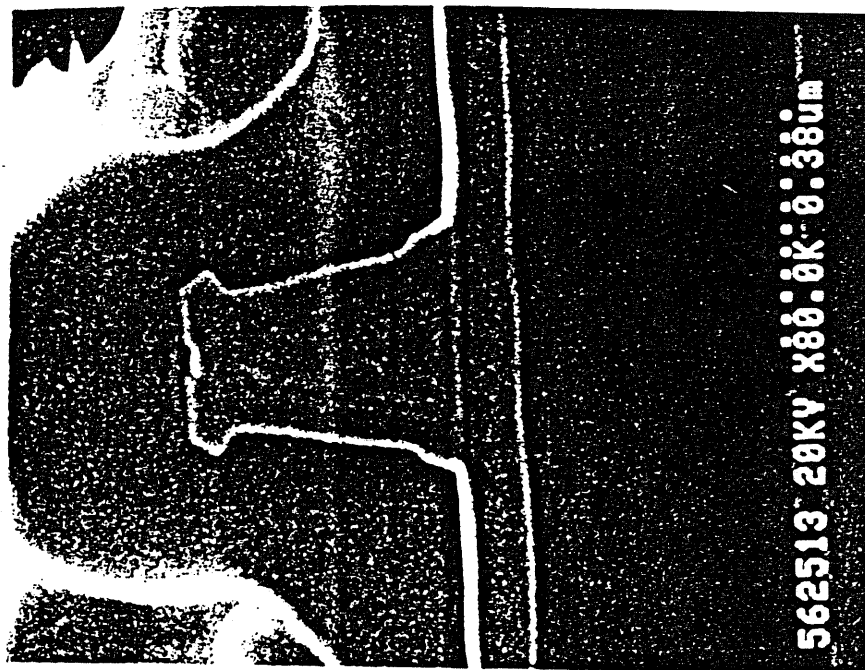
電源電圧 2.5V、SOI膜厚 100nm 51段 CMOS

バックゲート電圧-10V

一段当たりの遅延時間 $\Rightarrow 21.5\text{ps}$ (室温)



(B)



(A)

写真6.5-2 MOSFETの断面SEM観察写真

(A) SOI100nm (B) SOI30nm

$T_{\text{SOI}} = 100\text{nm}$

NMOS $L_g = 0.25\mu\text{m}$

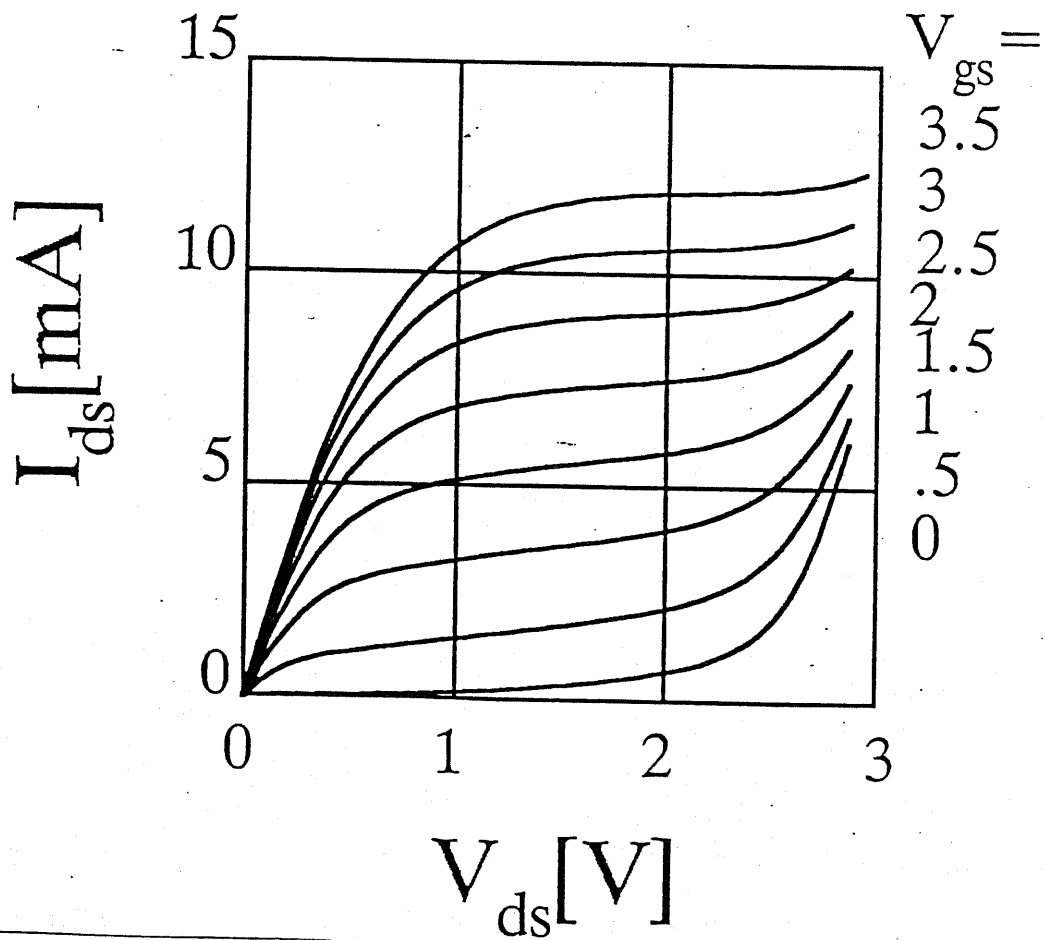


図6.5-1(a) リングオシレータに用いたゲート長 $0.25\mu\text{m}$ のnMOSの特性

バックゲート電圧-10V

$T_{\text{SOI}} = 100\text{nm}$

PMOS $L_g = 0.25\mu\text{m}$

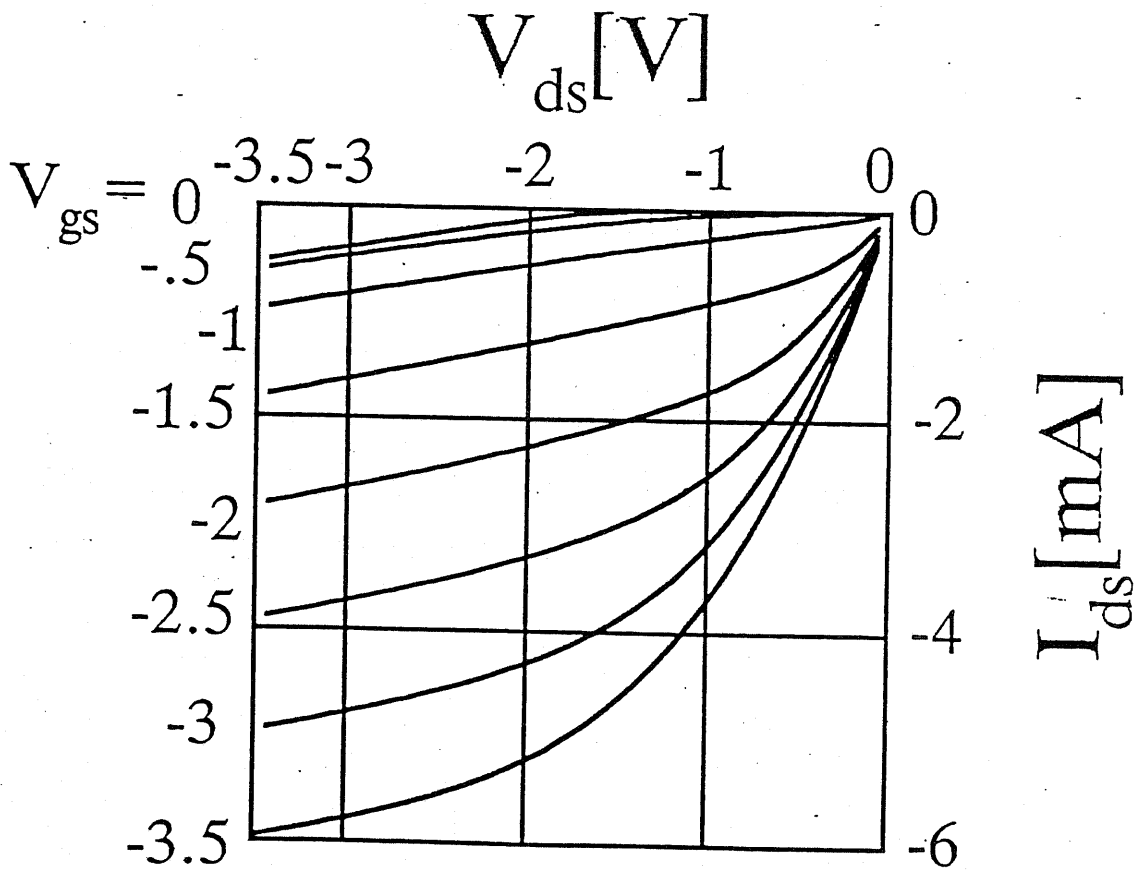


図6.5-1(b) リングオシレータに用いたゲート長 $0.25\mu\text{m}$ のpMOSの特性

バックゲート電圧-10V

及び(b)(PMOS)に示す。この素子のチャネル幅はいずれも $15\mu\text{m}$ である。バックゲート電圧のため、nMOSでは前節の素子と比較すると、パンチスルーがやや抑えられているが、ドレイン耐圧はほぼ 2.5V 程度である。そこで、インバータ正常動作を保証できる電源電圧としては、 2.5V が限界であると考えた。また、pMOSとnMOSの電流駆動能力の比は、約1:2となっており、リング発振器の平面寸法と釣りあった状態で動作していることが解る。

この発振波形から計算されるCMOS/SIMOXの遅延時間は 21.5ps であり、現在までに報告されているCMOSインバータの室温での遅延時間としては、電源電圧を考慮するともっとも高速のものである。これまでに報告されたCMOSの遅延時間と本研究で試作した素子の速度を図6.5-2に示す。これにより、CMOS/SIMOXが超高速MOSVLSI用の基本素子として、極めて有望であることが実証された。この高速性の要因を述べることは簡単ではないが、前節で述べたショートチャネル効果抑制などの超薄膜SOIによる利点に加えて、寄生容量の低減、及び、隣ドープポリシリコンによるゲート電極低抵抗化の効果が貢献しているものと思われる。

(2) 遅延時間のチャネル長依存性

リング発振器の発振周波数 ω と一段当りの遅延 t_d は、発振が基本モードで起きている場合には $\omega = \pi/Nt_d$ であり、リング発振器の周波数を測定することで、一段当りの遅延を評価することができる。本研究でもこの方

Propagation Delay of CMOS Inverter

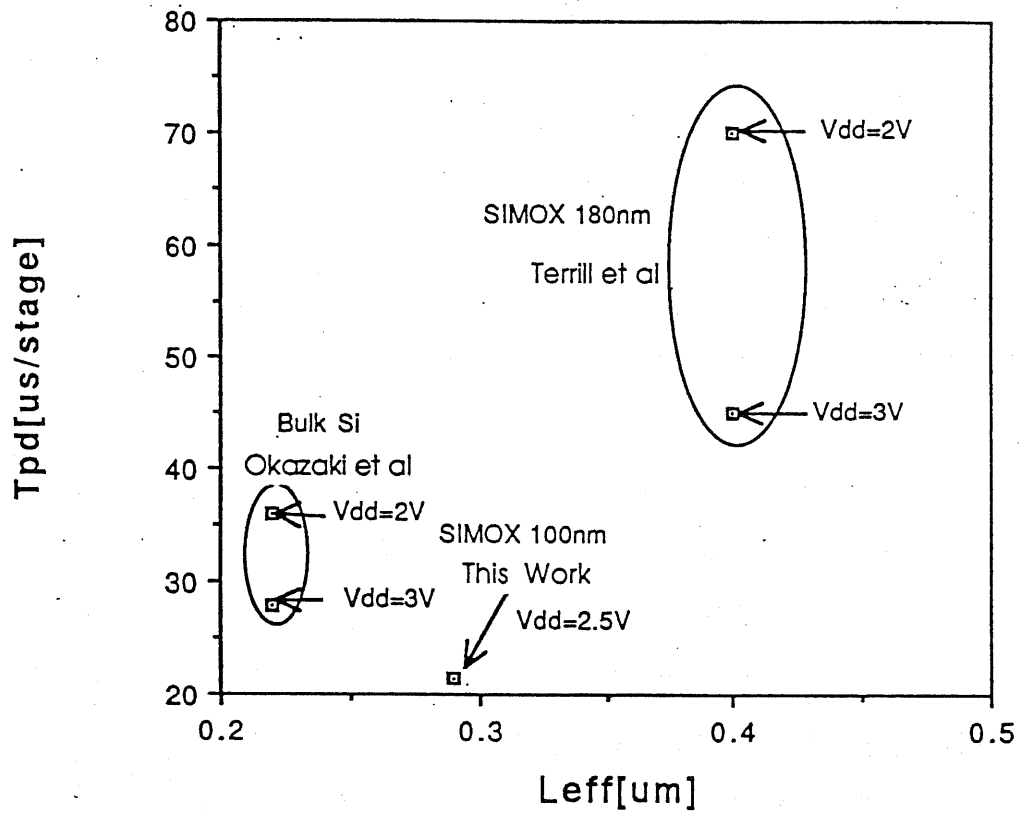


図6.5-2 バルク CMOS、CMOS/SIMOXの報告例との比較

法を採った。但し、基本モードで発振していない場合には、遅延時間を不当に小さく見積もる場合があるので、注意が必要である。（高次の発振モードの場合には、チャンネル長に対する依存性を見たときにその点だけ整数分の1の遅延時間を示すので、判別することができた。）ここではまず、チャンネル長と電源電圧に対する依存性を調べた。

図6.5-3に示すものは、SOI100nmの基板を用いた場合のリング発振器の遅延時間と電源電圧の関係である。チャンネル幅はチャンネル長の10倍(nMOS)または20倍(pMOS)であり、このデータでは、バックゲート電圧は印加していない。バックゲート電圧の印加によって、遅延時間は多少改善されるが、ここでの目的は高速性を証明することではないので、次に述べる膜厚を変化させた場合の特性と比較するため、Si基板電位は、接地電位としてある。電源電圧に対する依存性は、2.5V程度までは正常であるが、それ以上では、電源電圧を増しても速度の上昇は僅かである。通常、このような特性は、キャリア走行速度の飽和として説明されるが、本研究の素子では、静特性で明らかのように、nMOSの耐圧は3V弱でありこれ以上の電圧ではCMOSインバータとしての動作が異常になっている、すなわち、ゲート電圧のHigh, Lowによらず、電流が流れているとおもわれる。

次に、チャンネル長に対する依存性を考える。CMOSリング発振器の発振周波数 ω は、リング発振器の段数を N （奇数）、発振の次数を k 、インバータの等価的な相互コンダクタンスを g_m 、出力容量（=入力容量）を C_L とすると、およそ次式で表現できる[6.19]。

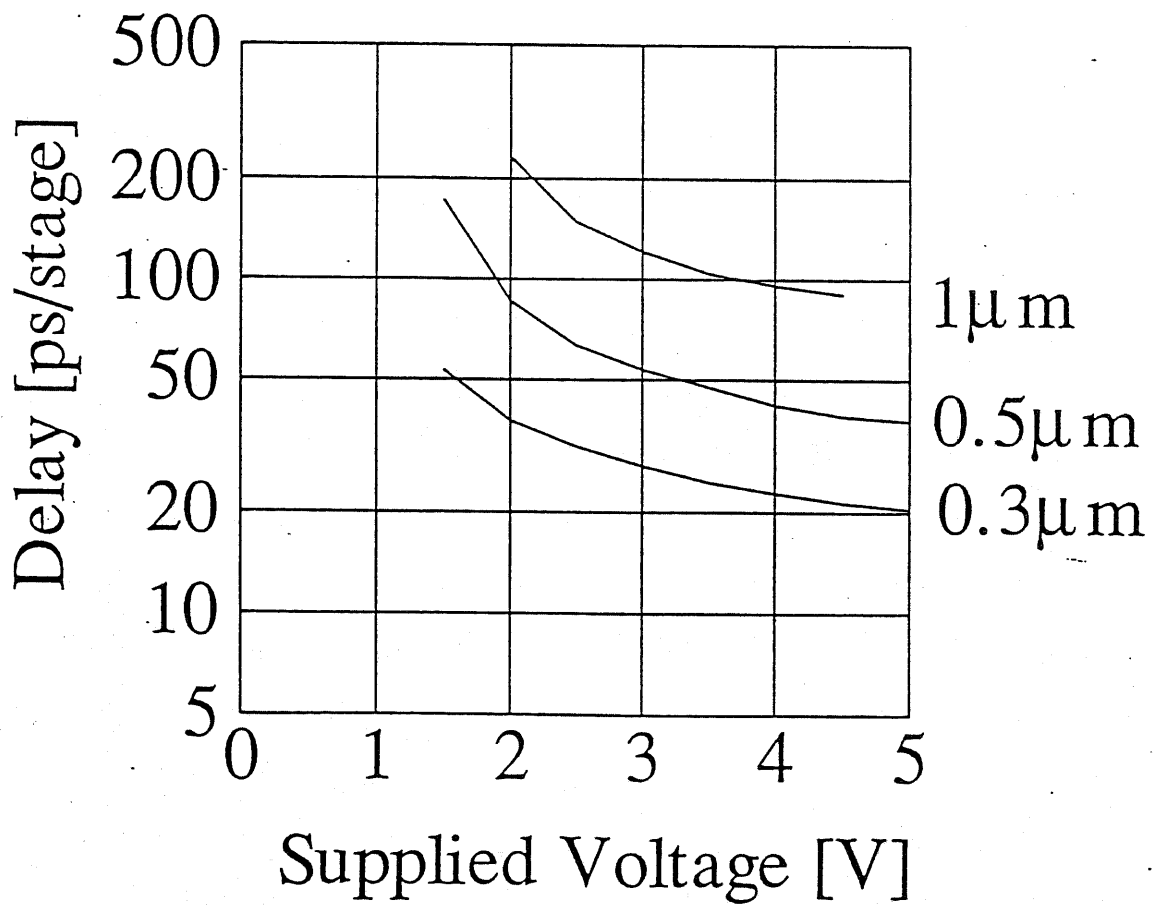


図6.5-3 CMOSインバータ 1 段当たりの遅延の電源電圧依存性
(SOI膜厚100nm)

$$\omega = \frac{g_m \pi}{C N} k$$

本研究で用いたリング発振器のインバータは、静特性の項で用いたnMOSとpMOSで構成されているので、チャンネル長とチャンネル幅の比はチャンネル長によらず一定である。従って、ゲート酸化膜容量はチャンネル長の2乗に反比例する。さらに、ゲート酸化膜の厚さは7nmと非常に薄くなっているため、インバータとしての入力容量は凡そゲート酸化膜容量で決まっていると仮定すれば、チャンネル長を短くすることで、発振周波数は2乗に反比例して高くなって行くはずである。

CMOSインバータが、正常動作している2Vを例に採ると、チャンネル長に対する1段当りの遅延時間の依存性は、およそチャンネル長に比例する形になっている。この原因としては2つの方向での検討が必要である。まず第1には、ゲート電極、配線などの縦方向サイズである。これらはチャンネル長に比例してスケールリングされていないために、特にディープサブミクロン領域では、エッジ効果によって比例縮小よりも容量を大きく見積もらなくてはならない。もう1点は、前節で見たように、MOSFETの特性の、比例縮小からのずれである。相互コンダクタンスの低下、飽和領域の電流駆動能力の低下などを考慮する必要がある。これらを簡単な解析式で評価することは、さまざまな近似を必要とし、信頼のおける結果を得ることはむずかしい。そこで、本研究では、これらの見積もりを回路シミュレータを用いて評価することを試みた。これについては節を改めて記述することにし、ここでは、ゲート長に対する遅延時間の依存性が予想されるものと大きくずれていることを指摘しておくことにする。

(3) 遅延時間のSOI膜厚依存性

次に、SOI膜厚を薄くした場合について、述べることにする。前節での結論は、ショートチャネル効果を抑制しながらディープサブミクロン素子を実現するには、“SOI膜厚を30nm程度に薄くすることが必要である”という点であった。図6.5-4は、同じく30nmのSOI基板を用いた場合の遅延時間と供給電圧の関係である。ゲート幅はゲート長の10倍(nMOS)または20倍(pMOS)である。100nmの場合と比較するとまず明らかなことは、チャネル長を短くすることによる遅延時間改善の効果が超薄膜では小さい、ということである。1 μ mでの遅延時間は、SOI100nmと30nmでの差はほとんどないが、0.3 μ mで比較すると、約2倍の差となっている。これは、ディープサブミクロン領域で、電流駆動能力の低下と符合するので、移動度の低下が主な原因であると結論される。しかし、この結果を以て、高速化には超薄膜化が不利に働く、或は、ショートチャネル効果抑制と高速性がトレードオフ的な関係にあるとするのは、誤りである。なぜなら、前節でも述べたように、移動度低下の原因は、埋め込み酸化膜とSOI薄膜の界面に存在する結晶欠陥に起因すると考えられ、近年報告されている、1350 $^{\circ}$ Cを越えるような超高温熱処理を行うことによって、この欠陥は容易に取り除くことができるので、こういった基板を用いることで、30nmでも100nmと同等の超高速動作が期待できるからである。

以上のように、超薄膜化することで、遅延時間の改善は図れなかったが、次に述べるように、消費電力の観点からは、30nmSOIの利点が明らかになる。

(4) 消費電力とSOI膜厚

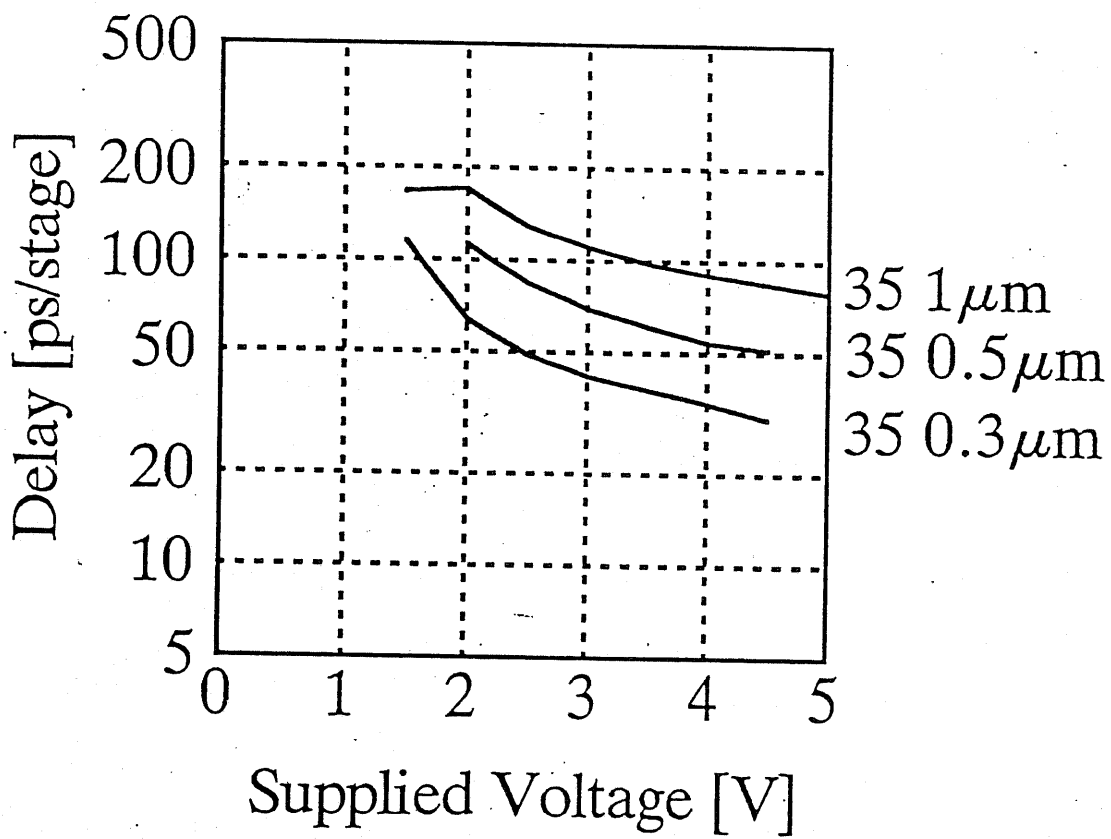


図6.5-4 CMOSインバータ1段当たりの遅延の電源電圧依存性
(SOI膜厚30nm)

ディープサブミクロン領域のMOSFETを用いる集積度のVLSIにおいては、CMOSといえども、消費電力が集積度の1つのネックになる。ECLを用いたLSIの最大の問題は消費電力であるが、それと同様に、CMOSにおいても発熱の問題を避けて通ることはできない。その意味で、リング発振器での消費電力を評価することに意味があると思われる。

図6.5-5に示すものは、ゲート長 $0.25\mu\text{m}$ のリング発振器の消費電力と1段当り遅延の関係である。(バックゲートに10Vを印加) SOI膜厚を薄くすることで、遅延時間が増大することは明らかであるが、それ以上に消費電力が減少する。特に注目すべきことは、SOI30nmの場合に2V以下の電源電圧で遅延電力積が1fJ以下になっていることである。(1.5Vでは $\sim 0.5\text{fJ}$)。この値はジョセフソン素子には及ばないものの、極めて小さな値であり、興味深い現象である。

そこで、消費電力遅延時間積を考えてみる。電力遅延時間積の物理的な定義はある論理ゲートをOFF \rightarrow ON \rightarrow OFFという動作をさせたときに消費されるエネルギーのことである。従って、論理ゲートの能力を評価する際にもっとも本質的なパラメータである。CMOSゲートの場合、トランジエントに電源からアースに貫通して流れる電流を無視すると、負荷容量を C_L として、消費電力遅延時間積は次式にて与えられる[6.19]。

$$\tau_f P = C_L V_{DD}^2$$

負荷容量としてゲート容量を考えると、これらのMOSFETは共通のマスクで作製したので、酸化膜容量は同一である。従って、上式から予想する限りでは、消費電力遅延時間積がほぼ一定にならなくてはならない。ところが図を見ると、SOIの薄膜化によって、電力遅延積は100nm \rightarrow 50nmで約1/2、100nm \rightarrow 30nmで1/10に減少している。これは、負荷容量が減少

$L_g = 0.25 \mu\text{m}$ CMOS

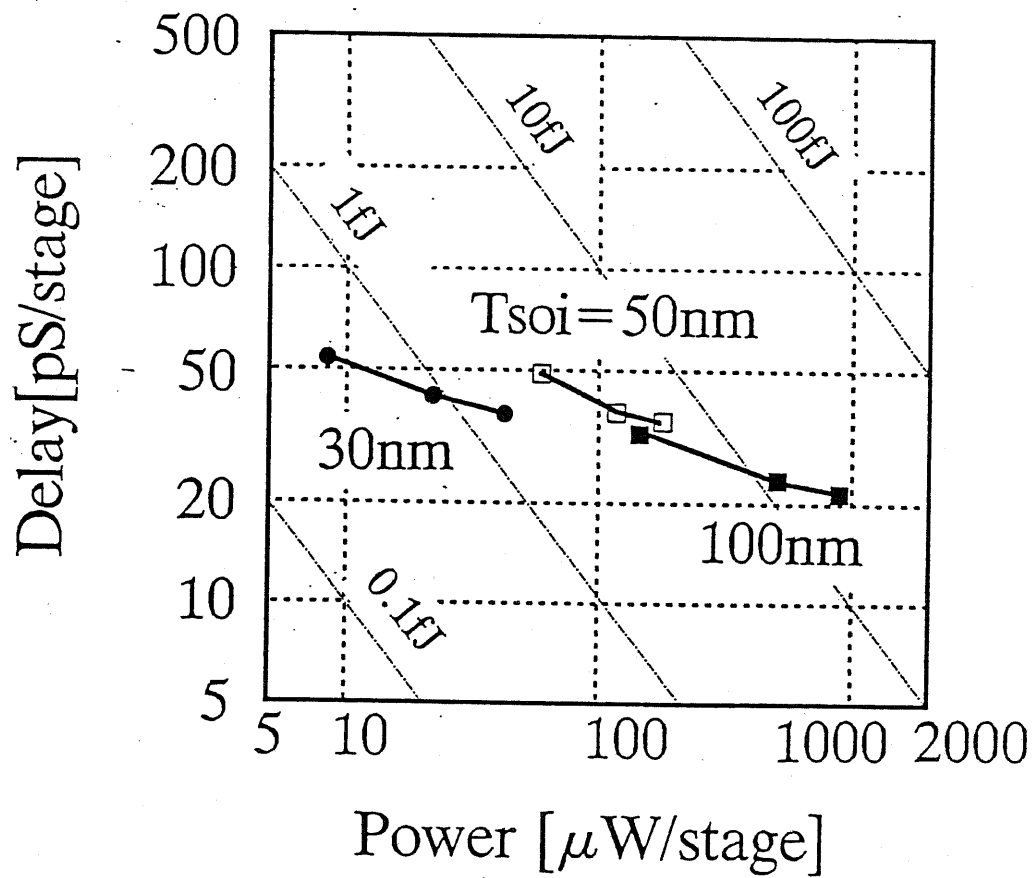


図6.5-5 CMOSインバータ1段当りの遅延と消費電力の関係
ゲート長 $0.25 \mu\text{m}$ 、バックゲート電圧-10V

したと考えざるを得ない。SOI膜厚を減少させることによって、実効的なゲート容量が小さくなるメカニズムとしては、反転層が形成されるまでの間、SOI膜、埋め込み酸化膜がゲート酸化膜に直列に入るため、膜厚減少が負荷容量減少に結び付くというものが考えられる。しかし、試作したCMOSのゲート酸化膜は極めて薄く、到底上記の結果を説明できるものではない。ピコ秒オーダーでのダイナミックなゲート容量がどのような振舞いを示すかは、測定が困難であり、本研究で得られた情報だけではこの現象を解明することはできない。しかしながら、超薄膜のSOIを用いたときに極めて消費電力が小さくできるという事実は、ディープサブミクロンULSIにとって、非常に有効な特性であると言える。

6. 6 3 トランジスタモデルによる

ディープサブミクロン素子の特性評価

本研究で試作したCMOS/SIMOXの特性から、SOIを薄膜化することにより、超高速動作するディープサブミクロン素子を実現できることが解ったが、一方では、ディープサブミクロン領域での電流駆動力の低下が観察された。ここでは、この駆動力低下を3トランジスタモデル[6.20]で理解することを試み、その結果を外挿して、将来の $0.1\mu\text{m}$ ゲート素子の能力を予測する。

(1) 3トランジスタモデルによるドレイン電流電圧特性のあわせ込み

静特性の考察の項で述べたように、本研究で試作したMOSFET/SIMOXでは、ディープサブミクロン領域で、電流駆動力の低下が観察された。この結果からまず第1に考慮すべきことは、寄生抵抗の増大による効果ではないかという点である。前にも述べたように、実測の寄生抵抗の値は、移動度低下を説明するには小さすぎる。図6.6-1は、 $1\mu\text{m}$ における寄生抵抗値をソース側ドレイン側ともに 40Ω とし（線型領域でのフィッティング）、 $0.5\mu\text{m}$ と $0.3\mu\text{m}$ は、平面パターンにあわせて抵抗値をスケーリングした場合の計算結果である。 $(V_{GS}=3V)$ 明らかに、I-V特性の劣化は、抵抗によるものではないことが理解できる。また、抵抗を付加しただけでは、ゲート電圧に対するドレイン電流の依存性を理解することもできず、"ゲート電圧で値の変化する"寄生抵抗の存在を仮定する必要がある。

このような抵抗としては、ドレインとゲートのオーバーラップ領域の電流集中の結果生じる抵抗(広がり抵抗モデル)がよく知られているが、通常のMOSFETではこの効果は比較的小さいこと、また、次のような点で

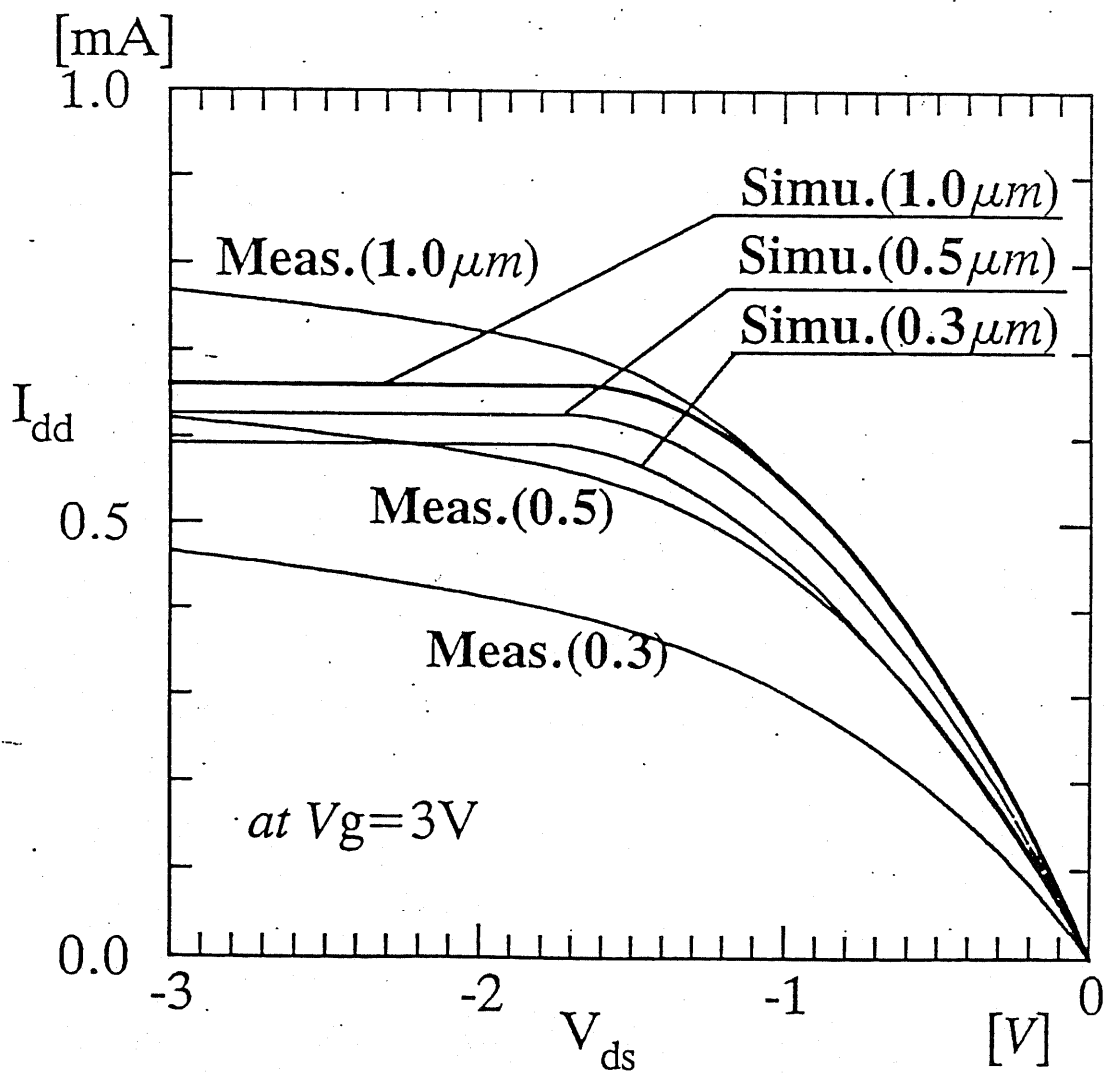


図6.6-1 ソースドレインに抵抗が存在すると仮定した場合のドレイン

電流電圧特性(ゲート電圧3V)

結果を理解するには無理がある。

- i) ゲート電極の両端にはLDDと同様なナイトライドスペーサが存在し、ゲートソース、ゲートドレインオーバーラップ領域は極めて少ない
- ii) SOI膜厚が、薄くなるほど劣化がはげしいという結果を説明するには、欠陥が関連するモデルが必要であるが、高濃度にドーピングされたドレイン領域での電流が影響することは考えられない。

そこで、本研究では比較的結晶品位の劣るSOIに対するモデルとして、ポリシリコンで用いられている、3トランジスタモデル[6.20]を採用することにした。このモデルの概念図を図6.6-2に示す。図で、不純物析出領域として示した部分は、ソースドレインから活性化アニールによって析出した不純物によって、実効的に閾値電圧が（絶対値で）高く、また、移動度も低下していると考えられる。このモデルの根拠はポリシリコン中の移動度の不純物の密度依存性が、極小値を持つ、という実験結果にある[6.23]。すなわち、欠陥を多く含むSi基板では、不純物が欠陥に捕らえられ、ポテンシャルバリアを形成するために、実効的に移動度が低く、閾値の高い領域が形成される。このポテンシャルバリアの高さは、ゲート電圧により変調されるので、線型の抵抗ではモデル化することができないのである。

この領域をソース側ドレイン側の1つずつのトランジスタで置き換え、(図6.6-3) SPICEのLEVEL3モデル[6.21]のパラメータを抽出した。抽出の手順は以下のとおりである。

- i) $1\mu\text{m}$ ゲートのMOSFETの実測ドレインI-V特性に対して、3トランジスタモデルのパラメータを抽出する。
- ii) 寄生トランジスタパラメータは $1\mu\text{m}$ のものを用い、intrinsic MOSFETの部分だけを機械的にスケールリングする。すなわち、移動度、閾値電

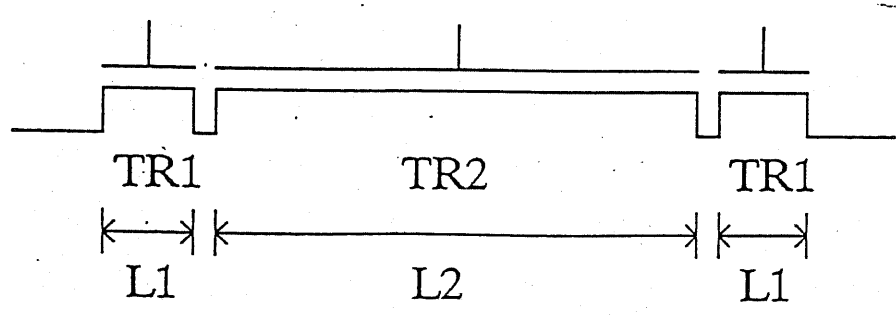
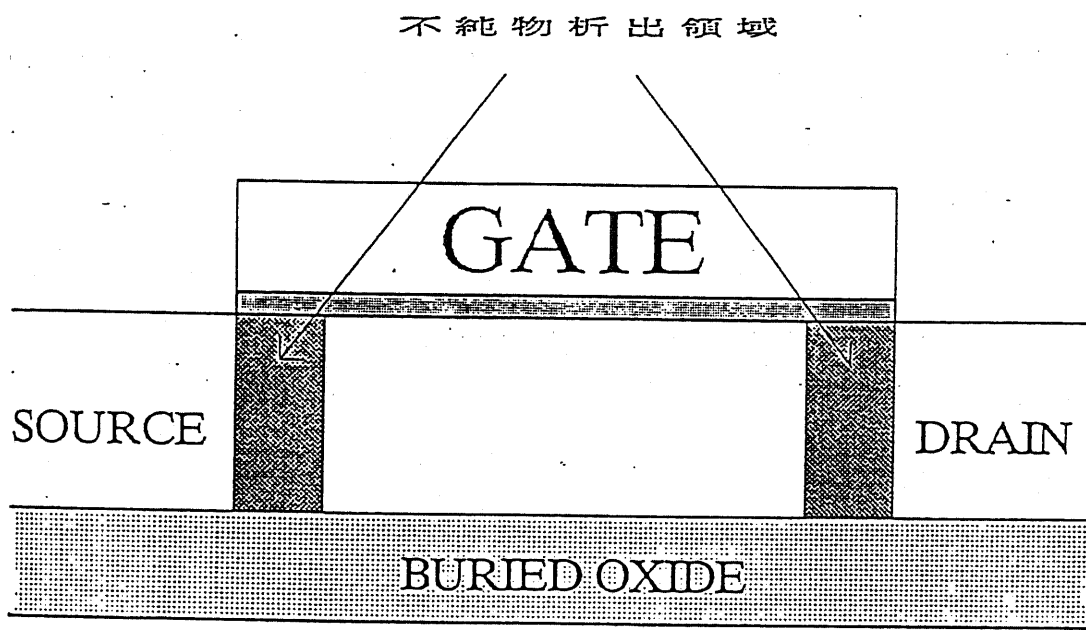


図6.6-23 トランジスタカスケードモデルの概念図

圧などは保存したままで、平面的なサイズだけを縮小する。

この手順で求めたドレインI-V特性の計算結果と実測値の比較の例を図6.6-4(a)(b)(c)に示す。I-V特性のチャンネル長依存性がよく説明されていることが解る。従って、3トランジスタモデルにより、これらのI-V特性は統一的に理解できることが示された。さらに、抽出されたパラメータを表6.6-1に示す。なお、パンチスルー電流については、全く考慮されていないため、ドレイン電圧の大きな領域での飽和領域電流はモデルと一致しない。しかし、リングオシレータの特性を計算させるという目的では、線型領域の特性をよく説明できたことで、十分である。

(2) リングオシレータ遅延のシミュレーション

(1) で求めたI-V特性を元に、11段のリングオシレータを構成し、SPICEでシミュレーションを行った。3トランジスタモデルを用いた場合には、収束性が悪くなるために51段のシミュレーションは行わなかったが、目的は1段当たりの遅延を見積もることであるから、問題とはならない。

まず、SPICE3の組み込みの電極間キャパシタンスモデルを用いて、計算を行った。SPICEでは、容量の計算は、Meyerによる簡単な近似によって行っている。すなわち、線型領域でのチャンネル電荷をソースとドレインに割り当てる際に、ゲートとソース、ドレインの間の電圧でチャンネル電荷を微分したものを容量として用いている。このモデルで計算した遅延時間は、配線容量などの外部寄生容量を考慮していないにもかかわらず、実測値より遥かに遅延が長いという計算結果となった。また、チャンネル長に対する依存性も、実測値と大きく異なる。本研究で試作したMOSFETのゲート酸化膜は極めて薄く、負荷容量はそのほとんどが酸化

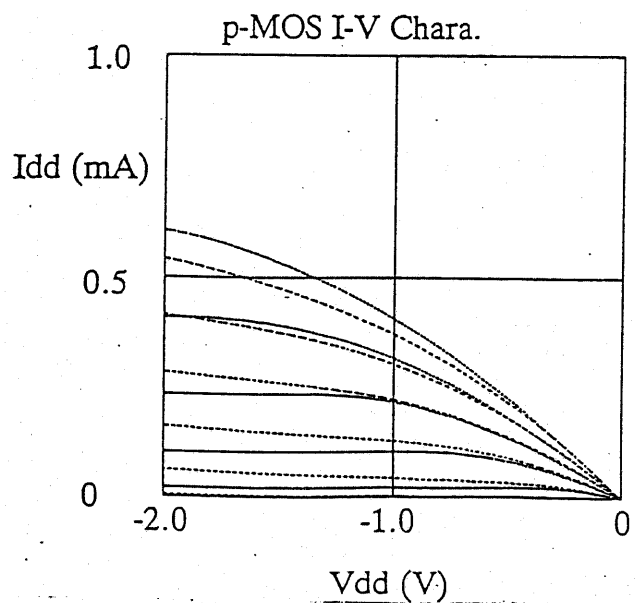
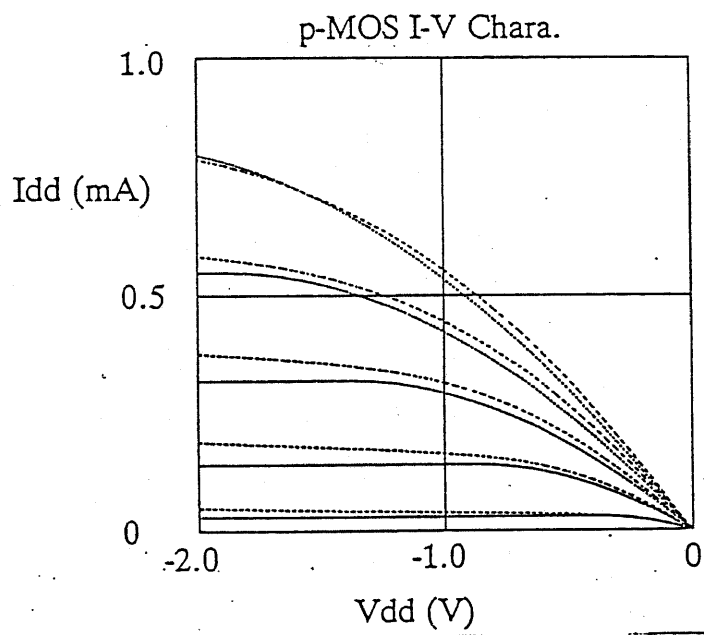
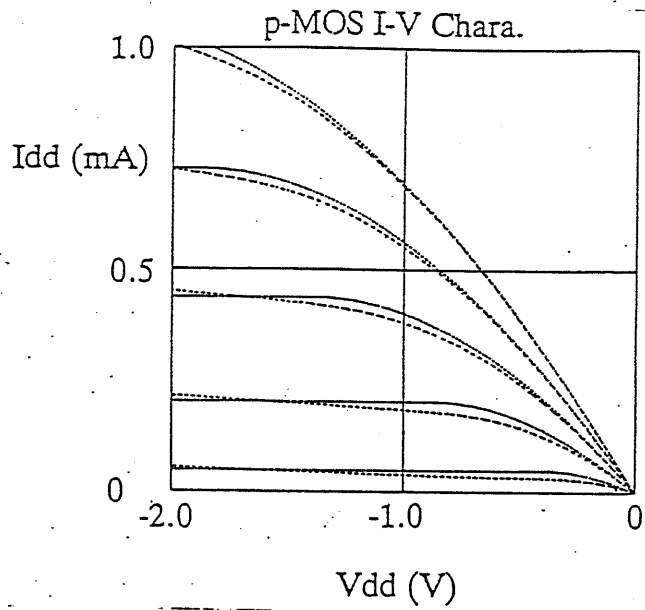


図6.6-3 3トランジスタモデルによるpMOSドレイン電流電圧特性のシミュレーション

3 トランジスタ・モデル

		N-MOS	P-MOS
TR-1	Vth1 (V)	-0.11	-1.11
	L1 (nm)	15	7.5
TR-2	Vth2 (V)	-0.39	-1.03
	L2 (nm)	$Lg-2*L1$	$Lg-2*L1$

表6.6-1 3トランジスタモデルで抽出された寄生トランジスタのパラメータ

膜容量であると考えてよい。これらの相違点は、チャネルがONになった後も、埋め込み酸化膜の存在によってゲート入力容量が酸化膜容量よりも小さな値になっていると考えざるを得ない。そこで、等価的なゲート入力容量を求めるために、ゲート酸化膜の容量を変化させ、チャネル長に対する遅延時間の依存性が実測にあうようにあわせ込みを行った。その結果、ダイナミック特性から得られるゲート酸化膜の入力容量としては、静的な値の20%にすることでゲート長に対する依存性をよく説明することができ、また、同時に絶対値としても実測値に近い値が得られることが解った。(図6.6-5)

但し、チャネル長が短くなるにしたがって、誤差の割合は大きくなる。この補正には、通常バルクのディープサブイクロンMOSFETもよく指摘されるように、ゲート電極の厚さがスケーリングされないために生じる、エッジ容量の増大を考慮する。マイクロストリップ線路に対するYuanらの計算結果では、次のような近似式^[6.22]が得られており、これを用いた。

$$C = \epsilon_0 \epsilon_r L \left[\frac{W}{t_{ox}} + 2.42 - 0.44 \frac{t_{ox}}{W} + \left(1 - \frac{t_{ox}}{W} \right)^6 \right]$$

その結果、ディープサブミクロン領域における遅延時間は多少抑えられる。図6.6-6に示すものは、エッジ効果を補正する場合と補正しない場合について実測値との誤差がどのように変化するかを見たものである。ディープサブミクロン領域ではエッジ効果を考慮することにより、誤差が改善されることが解る。

これらの寄生容量に対する考察を加えて、SOI100nmに対するリングオシレータからもとまる遅延時間について、シミュレーションを行った結果が図6.6-7である。電圧依存性を含めて良好な一致が見られることが解

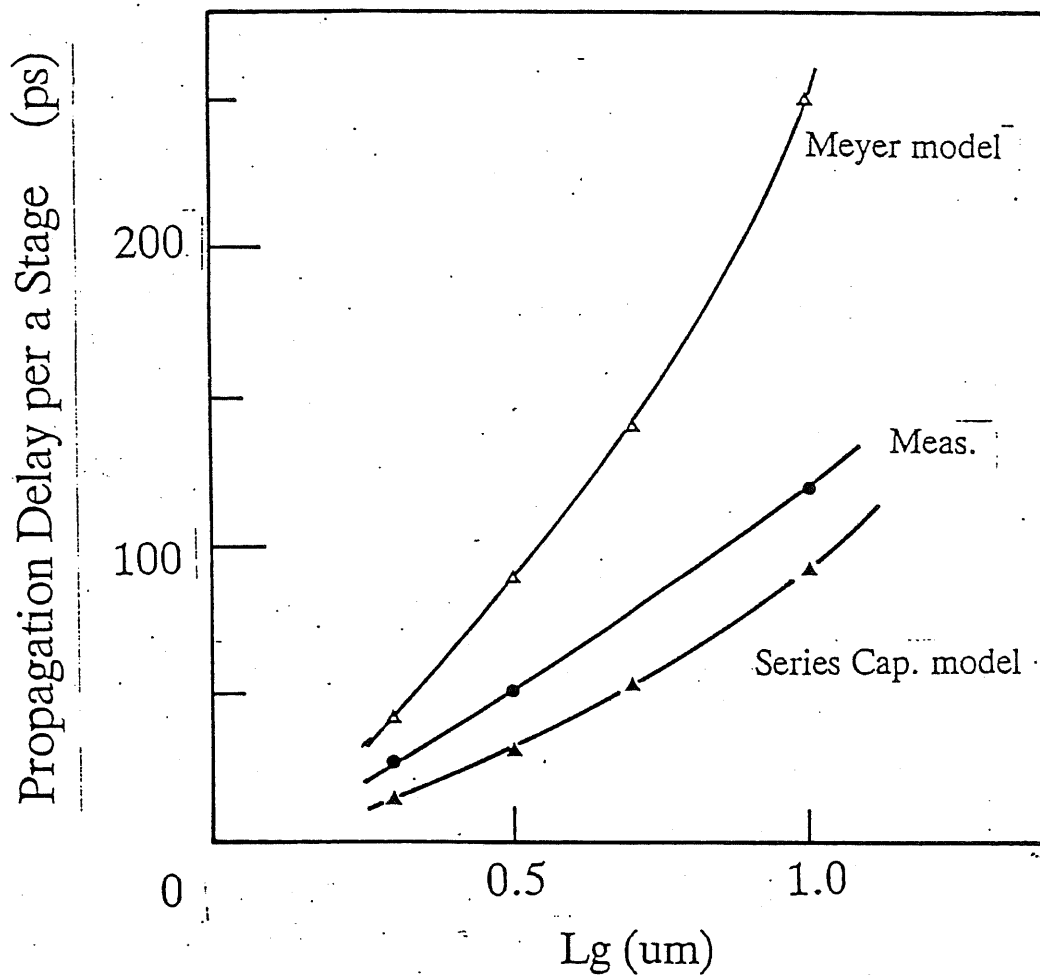


図6.6-5 SPICEの標準容量モデル(Meyer)による計算結果、ゲート容量を0.2倍した場合のシミュレーション結果と測定値の比較

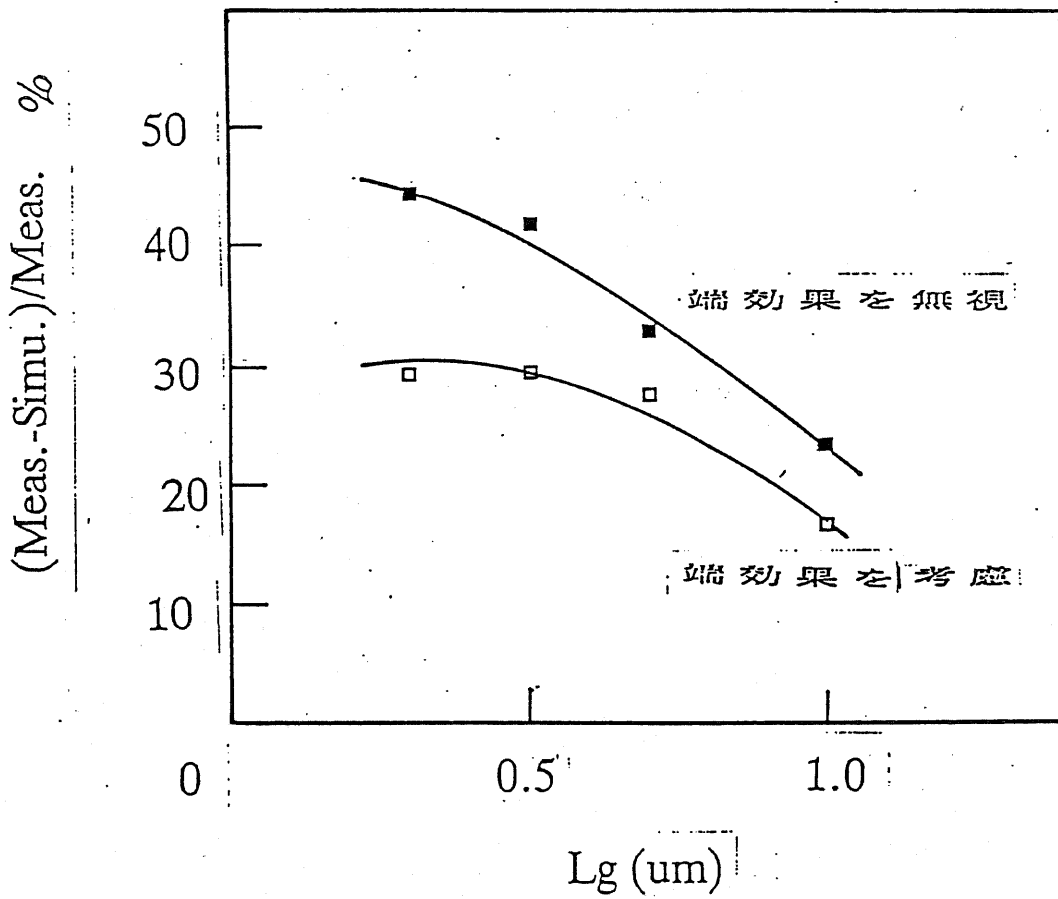


図6.6-6 エッジ効果を考慮することによる誤差の改善

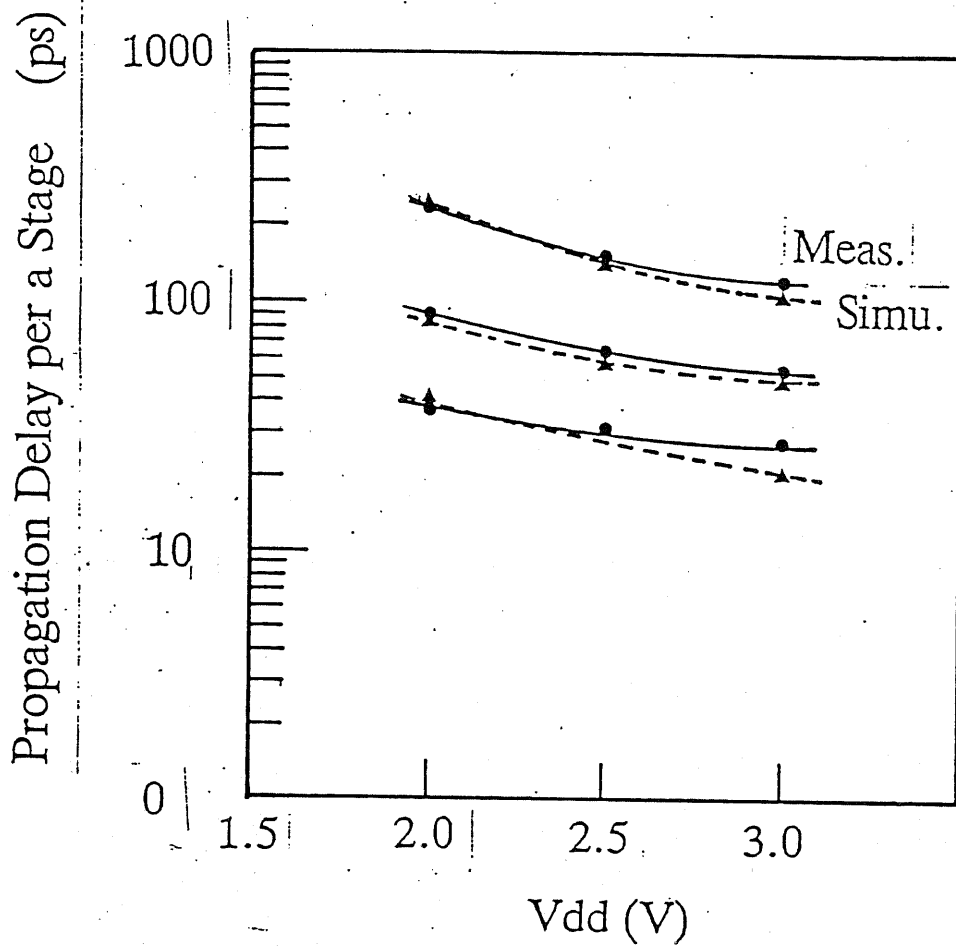


図6.6-7 遅延時間の電源電圧依存性のシミュレーションと実測値の比較

る。さらに電力についても、実測値とおよそ一致する結果が得られており、経験的に与えた"ゲート入力容量が低下する"という仮定が妥当なものであることを示している。なお、3Vにおけるずれは、リング発振器シミュレーションの際の収束性を配慮して、I-V特性のあわせ込みにおいて、アバランシェによるソースドレイン間の耐圧の低下を組み込んでいないためである。

(3) CMOS/SIMOXによる

0.1 μ mゲート集積回路実現の可能性について

これまで述べてきたように、超薄膜CMOS/SIMOXは、従来のSOIMOSFETの抱えていた問題点を改善するだけでなく、高速集積回路実現の有力な候補であり、SOIを30nm程度まで薄膜化することによって、ショートチャネル効果の抑制、消費電力の低減などがえられ、さらに魅力ある素子構造であることが明らかになった。本研究で扱ったゲート長はリソグラフィーの制約から0.15 μ mまでであり、リング発振器が動作したゲート長は0.25 μ mであった。近年のSIMOX技術の進展は、本研究で指摘したようなディープサブミクロンにおける g_m 低下現象が緩和される可能性が十分あることを示唆するが、現在の結果を踏まえて0.1 μ mゲートの素子が実現された場合を予測してみることにする。言い替えると、現状のテクノロジーレベルを仮定してリソグラフィーだけを進歩させて予測する。

(2) で得られたモデルに従い、0.1 μ mチャンネル長に外挿してリングオシレータの遅延時間を計算した結果が図6.6-8である。0.1 μ mではさらに移動度が低下し、電流駆動能力も低下するが、2Vの電源電圧で、10ps/stageの高速動作が期待できることが解った。閾値電圧の制御など、プロセス

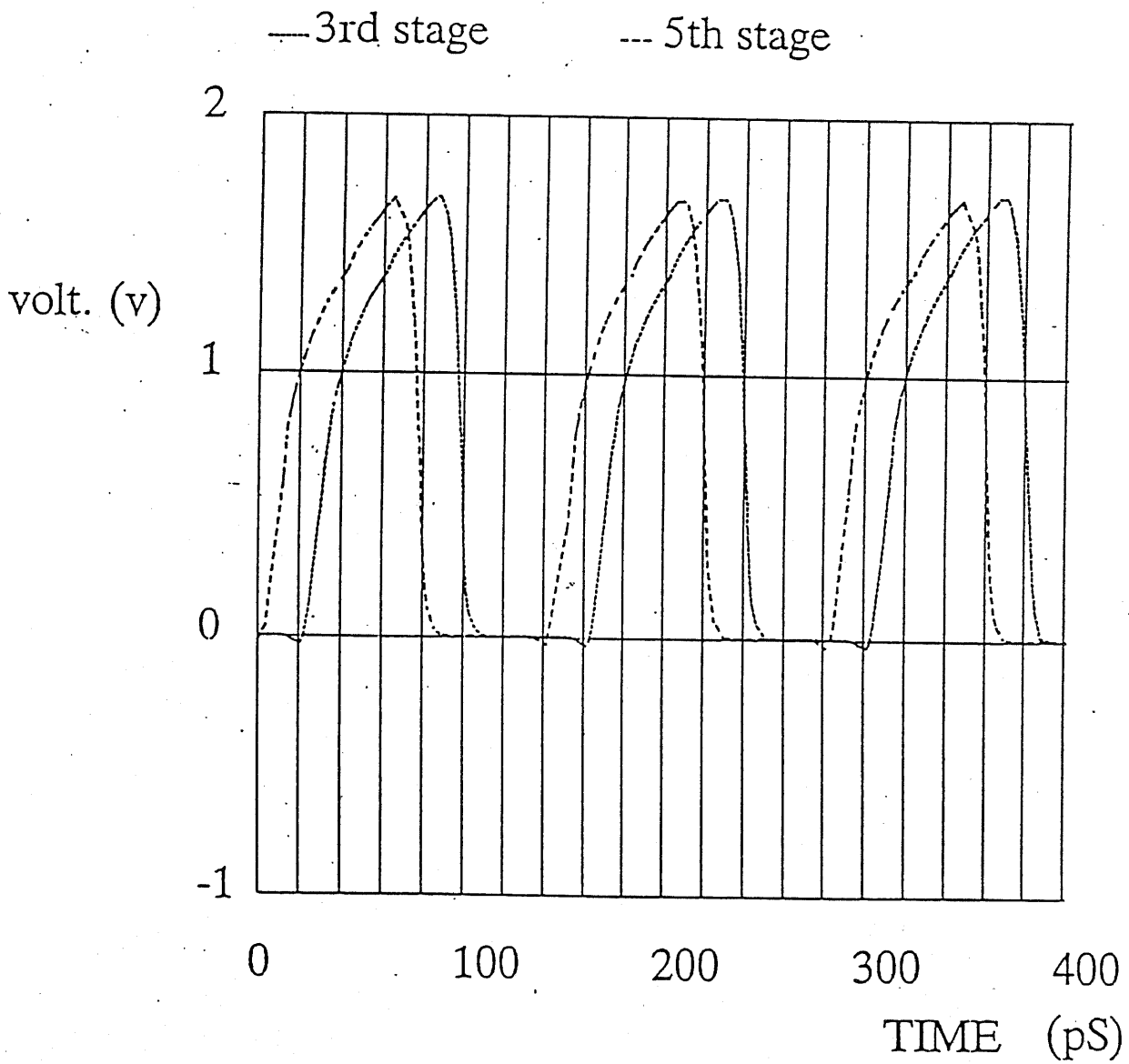


図6.6-83 トランジスタモデルとゲート入力容量低下を考慮したモデルによる $0.1\mu\text{m}$ ゲートCMOSインバータの遅延時間評価 (一段当たり10ps)

上、デバイス設計上のさまざまな問題点が存在するが、この結果から言えることは、現在の技術レベルを仮定しても、 $0.1\mu\text{m}$ のCMOS/SIMOXが実現できれば、極めて高速で、低消費電力の論理回路を作製できるということである。

6. 7 6章のまとめ

ディープサブミクロンMOSFET実現のためのショートチャネル効果抑制用の構造として、超薄膜SOI構造を試作し、その優れた特性を明らかにした。まず、静特性の評価において、ディープサブミクロン領域でパンチスルーを抑制し、正常なサブスレシヨルド特性を持ったMOSFETを作製するには、SOI膜厚を30nm程度に薄くすることが、極めて有効であることを示した。現状のSOI基板では、この超薄膜化によって相互コンダクタンスの低下が見られるものの、これは埋め込み酸化膜とSOI薄膜との界面における結晶欠陥に捕らえられた不純物の作る実効的に閾値電圧の高いMOSFETの影響が、ディープサブミクロン領域で相対的に大きく見えるためと考えられ、超高温アニールによって、改善される可能性が高いものである。30nm程度に薄膜化したSOIでは、0.15 μm においても正常なMOSFET動作が確認され、0.1 μm レベルのMOSFET実現に極めて有力な素子構造と言える。

さらに、リングオシレータによる基本的な動特性の評価では、100nmのSOI基板を用いたゲート長0.25 μm (実効ゲート長0.29 μm)のCMOSインバータの遅延は、電源電圧2.5Vにおいて、室温で21.5ps/stageの超高速動作を示した。超薄膜(30nm)SOI基板を用いた場合は、先に述べた g_m の低下によって、遅延時間の点では100nmに劣るものの、消費電力伝播遅延時間積で比較した場合には、0.5fJ/stageと極めて優れた特性を示す。

最後に、結晶欠陥の影響を考慮してディープサブミクロンMOSFETの特性を回路シミュレーションレベルで評価した。その結果、ディープサブミクロン領域の g_m 劣化は、ソースドレインからの不純物の拡散に基づく実効的に閾値の高いMOSFETがソースドレイン近傍に存在すると仮定

したモデルにより説明できることを示した。この計算結果に基づき、単純にゲート長 $0.1\mu\text{m}$ に外挿したMOSFETの特性を用いて、すなわち現状の基板作製技術及びプロセス技術を仮定して、 $0.1\mu\text{m}$ 超薄膜SOIのCMOSインバータの伝播遅延時間を評価した。その結果、ゲート長 $0.1\mu\text{m}$ 、電源電圧 2V において、一段当りの遅延は 10ps が期待でき、超高速論理回路用基本素子として極めて有望であることが示された。

文献[6章]

- [6.1] S. D. S. Malhi, H. W. Lam, R. F. Pinizzoto, A. H. Hamdi, and F. D. MacDaniel, *IEDM Tech. Dig.*, 109 (1982).
- [6.2] J. -P. Colinge, *FED 3D WORKSHOP*, Miyagi-Zao, 105 (1988).
- [6.3] J. -P. Colinge, *Electron. Lett.*, vol. 22, 187 (1986).
- [6.4] J. -P. Colinge, *IEEE Electron Device Lett.*, vol. EDL-9, 97 (1988).
- [6.5] J. -P. Colinge, *IEEE Electron Device Lett.*, vol. EDL-7, 244 (1986).
- [6.6] J. -P. Colinge, *IEEE Trans. Elect. Dev.*, vol. 34, 2173 (1987).
- [6.7] 泉勝俊、信学技報、SDM88-164、(1988).
- [6.8] C. E. D. Chen and Rad-hard SOI Project Team, *FED 3D Workshop*, Miyagi-Zao, p.61 (1988).
- [6.9] K. Izumi, Y. Omura, and S. Nakashima, *Proc. 7th Int. Conf. Ion Impl. Tech.* (1988).
- [6.10] 原央、名取研二、堀内重治、"MOSトランジスタの動作理論"、近代科学社(1980).
- [6.11] H. -K. Lim, J. G. Fossum, *IEEE Trans. Elect. Dev.*, Vol. ED-30, 1244 (1983).
- [6.12] 小柳光正、"サブミクロンデバイスI," 丸善(1986).
- [6.13] L. J. MacDaid, S. Mail, W. Eccleston, and J. C. Aldermon, *IEEE SOS/SOI Tech. Conf.* (1989).
- [6.14] J. Chen, T. Y. Chan, I. C. Chen, P. K. Ko, and Chenming Hu, *IEEE Electron Device Lett.*, vol. EDL-8, 515 (1987).
- [6.15] S. M. Sze, in *"Physics of Semiconductor Devices,"* Chapter 9, Wiley (1981).

- [6.16] C. -E. D. Chen, M. Matlouban, R. Sundarcsan, B. -Y. Mao, C. C. Wei, and G. P. Pollack, *IEEE Electron Device Lett.*, vol. EDL-9, 636 (1988).
- [6.17] J. C. S. Woo, K. Terrill, and P. K. Vasudev, *IEEE SOS/SOI Tech. Conf.* (1989).
- [6.18] N. D. Arora and L. M. Richardson, in "*VLSI Electronics Microstructure Science*", vol. 18 (Advanced MOS Device Physics), Chapter 6, Academic Press (1989).
- [6.19] M. Shoji, "*CMOS Digital Circuit Technology*," Chapter 4, Prentice Hall (1988).
- [6.20] 羽鳥文敏、東京大学学位論文(工学系) (1988).
- [6.21] A. Vladimirescu and S. Liu, Electron. Res. Lab., UCB, Memo ERL M80/7 (1980).
- [6.22] H. -T. Yuan, Y. -T. Lin, and S. -Y. Chiang, *IEEE J. Solid-State Circuits*, vol. SC-17, 269 (1982).
- [6.23] J. Y. W. Seto, *J. Appl. Phys.*, Vol. 46, 5247 (1975).

第7章 結論

ディープサブミクロンMOSFETの実現に対して、基礎的な課題であるホットキャリア効果とショートチャネル効果の克服を目的として、ゲート酸化膜用SiO₂中のキャリア捕獲中心密度の低減と、超薄膜SOI構造の検討を行った。SiO₂中のキャリア捕獲中心に関しては、次のことを明らかにした。

(1) SiO₂中の正孔トラップは酸素空位、すなわちO₃-Si-Si-O₃の構造である。

このことは、次の事実によって支持される。

(a) H₂Oの量を変えた酸化法で正孔密度を変化させた酸化膜を用い、電気的な測定法(アバランシェ正孔注入)と物理的な測定法(X線照射+ESR)により、酸化膜中の捕獲正孔の密度を測定した。その結果、電気的に測定される正電荷の量と、ESRで検出されるE'センタの量が同一の傾向を示す。

(b) 捕獲された正孔は、正に帯電した捕獲中心として電子を捕獲する。

この過程で中和されたサイトは、再び正孔を捕獲し、正孔捕獲とそれの電子による中和は可逆的な反応となる。

(c) 高温の不活性雰囲気による熱処理で酸素がout-diffusionするが、その結果正孔トラップ密度が増大する。

(d) 低温で酸素を供給することで、正孔トラップ密度は低減する。

(2) 現在の技術レベルで問題となる電子トラップは水に関連するトラップのみである。

このことは、酸化雰囲気への水の混入を極限まで低下させた超ドラ

イ酸化法により電子トラップ密度が測定限界以下にまで低減できることで明らかになった。また、超ドライAr雰囲気、パイロジェニック酸化膜を高温熱処理することで、パイロジェニック酸化膜のキャリア捕獲の特性は、超ドライ酸化膜と同程度にすることが可能である。

- (3) SiO₂中の電子トラップ密度と、正孔トラップ密度は、As-grown状態では酸化雰囲気中の水の量に関してトレードオフの関係にある。

このことは、(1)及び(2)によって、次のように説明される。すなわち、酸化時に供給される水は酸素空位を埋めるが、この水はSi-OHの構造を作り、電子トラップを作る。水が存在しなければ酸素空位が酸化膜中に残り、正孔トラップとなる。また、パイロジェニック酸化膜を超ドライAr雰囲気熱処理することでも同様の結果が得られる。

- (3) 超ドライ酸化法と低温酸素熱処理によって電子トラップと正孔トラップの密度を同時に低減することが可能である。

電子トラップの発生を超ドライ酸化法によって抑制し、さらに超ドライ雰囲気の低温酸素熱処理を行って、酸素空位を埋めることで、正孔トラップを低減する。この結果電子トラップ密度は測定限界以下、正孔トラップ密度においてもウェット(パイロジェニック)酸化膜程度の高品質の酸化膜を作製できる。

超薄膜SOI構造によるディープサブミクロンMOSFETの試作では、次のことを明らかにした。

(1) 30nm程度のSOIの超薄膜化によって、 $0.25\mu\text{m}$ 以下のディープサブミクロンMOSFETのショートチャネル効果を効果的に抑制することが可能である。

このことは、サブスレッショルド特性の急峻化、パンチスルー電流の抑制、閾値電圧のチャネル長依存性の抑制によって明らかにされた。

(2) 超薄膜化したSOIMOSFETは、SOIの寄生容量低減などの効果を有効に引き出すことができ、 $0.25\mu\text{m}$ のCMOSインバータの一段当りの遅延は、電源電圧2.5Vにおいて21.5ps(室温動作)の超高速動作を実現できる。さらに、本研究のテクノロジーを $0.1\mu\text{m}$ レベルにまで拡張することで、10ps/stageの超高速動作が期待できることを回路レベルのシミュレーションで示した。

(3) 30nm程度にSOIを超薄膜化することで、 $0.25\mu\text{m}$ のCMOSインバータの伝播遅延時間消費電力積は $0.5\text{fJ}/\text{stage}$ となり、消費電力低減の上でも極めて有効であることが示された。

本研究に関する公表文献

- 1) H. Miki, M. Noguchi, K. Yokogawa, B. W. Kim, K. Asada, and T. Sugano, "Electron and Hole Traps in SiO₂ Films Thermally Grown on Si Substrates in Ultra-Dry Oxygen," *IEEE Trans. Elect. Dev.*, vol. ED-35, no. 12, p. 2245, 1988.
- 2) H. Miki, K. Asada, T. Sugano, and Y. Ohji, "Creation and Annihilation of Electron and Hole Traps in SiO₂," *Proceeding of the 6th international Symposium on Passivity*, Sapporo, 1989.(発表予定)
- 3) H. Miki, Y. Omura, T. Ohmameuda, M. Kumon, K. Asada, K. Izumi, T. Sakai, and T. Sugano, "Fabrication and Characterization of a Quarter micron Gate CMOS using Ultra-thin Si Film (30nm) on SIMOX Substrate," *1989 IEEE IEDM Technical Digest*, p.906,(1989).
- 4) 菅野卓雄、浅田邦博、羽鳥文敏、三木浩史、"SIMOX MOSFETにおける短チャネル効果." 東京大学工学部総合試験所年報、第48巻、p.95 (1989).

本研究に関する発表

- 1) 金 輔祐、三木浩史、浅田邦博、菅野卓雄、"正孔注入によるSiO₂評価の問題点," 第48回秋期応用物理学会学術講演予稿集、講演番号 19p-L-11、1987.

- 2) 三木浩史、野口充宏、横川賢悦、金 輔祐、浅田邦博、菅野卓雄、"超ドライ酸化膜中の電子/正孔トラップ," 電子情報通信学会技術研究報告、SDM88-24、1988.
- 3) 三木浩史、浅田邦博、菅野卓雄、"超ドライ酸化膜中の正孔トラップ密度"、第49回秋期応用物理学学会学術講演予稿集、講演番号 6a-N-11、1988.
- 4) 三木浩史、浅田邦博、菅野卓雄、大村泰久、"SOI基板を用いたDeep SubmicronゲートMOSFETにおける電界効果移動度の低下現象(II)"、第36回春期応用物理学関係連合講演会講演予稿集、講演番号 3p-ZH-8、1989.
- 5) 三木浩史、横川賢悦、浅田邦博、菅野卓雄、平成元年電子情報通信学会秋期全国大会、"極薄酸化膜中のホットキャリア効果"、1989.
- 6) 三木浩史、浅田邦博、菅野卓雄、大路譲、"超ドライArPOAのSiO₂中捕獲中心密度に対する効果"、第50回秋期応用物理学学会学術講演予稿集、講演番号 29p-B-9、1989.
- 7) 三木浩史、大豆生田利章、久門正和、大村泰久、浅田邦博、菅野卓雄、"SIMOXを用いた極薄膜SOI-MOSFETsの特性解析"、電子情報通信学会技術研究報告、SDM89-125、1989.

8) 三木浩史、浅田邦博、菅野卓雄、大路譲、"超ドライ低温酸素熱処理による正孔トラップの密度低減"、第37回(平成2年)春期応用物理学関係
連合講演会講演予定.

謝辞

本研究を行うに当り、常に私を叱咤激励してくださり、懇切なご指導と適切な助言を賜りました、指導教官の菅野卓雄教授、そして浅田邦博助教授に、深く感謝致します。

本研究の内容は、学外の多くの方々のご協力なくしては、存在し得なかったものばかりです。まず、株式会社日立製作所中央研究所第3部の西岡泰城博士、大路譲氏、春田亮氏、牛山雅弘氏には、酸化膜サンプルを作製していただき、また、日頃から、貴重な御意見を頂戴致しました。2章、4章、5章の試料は日立製作所の方々のご協力によるものです。日本電信電話株式会社超LSI研究所微細加工部の大村泰久博士には、SIMOX超薄膜SOIMOSFETの作製をしていただきました。また、測定は全て日本電信電話株式会社の設備を使わせていただきました。第3章の内容は受託研究員として当研究室に在籍されていた、横川賢悦氏(現日立製作所中央研究所)の測定によるものです。また、ESR測定に関しましては、Beylor B. Triplett博士(現米Intel Corporation)に大変お世話になりました。第2章の内容は、同じく受託研究員として在籍されていた金輔祐氏(現韓国ETRI)の測定結果に負う所が大です。

岡部洋一教授には、様々の面でご指導いただきました。また、酸化膜関係全般に渡りまして、横浜国立大学羽路伸夫講師にご指導いただきました。感謝致します。

大学院在学中、菅野、岡部、浅田研究室の方々、特に新井夫差子助手、北川学技官、鈴木真一技官、また、田宮寿美子助手には、様々の面でお世話になりました。酸化膜測定に関しては、卒論生として在籍していた野口充宏氏(現生産技術研究所大学院生)、SOIMOSFETの測定に際しては、大豆生田利章氏、MOSFET測定結果のSPICE解析は、受託研究員の久門正和氏に非常にお世話になりました。感謝致します。

最後に、常に激励してくれた両親に感謝します。