

MOS 形 FET を用いた A-D 変換器

An A-D Converter using MOS Field Effect Transistors

森脇 義雄*・高羽 禎雄*・西森 武弘*

Yoshio MORIWAKI, Sadao TAKABA and Takehiro NISHIMORI

1. 緒 言

筆者らはこれまで、MOS 形 FET (電界効果トランジスタ) が、増幅素子としては入力抵抗がきわめて高く、スイッチ素子としてはオン・オフの抵抗比が大でオフセット電圧、漏れ電流がないなどの特徴を有していることに着目して、各種のアナログ・パルス回路に応用することを検討し、良好な結果を得た^{1)~4)}。また、同時にこれらの回路を構成するにあたっては、集積回路化に際して有利となるように、回路の全 MOS-FET 化をすすめてきた。

ここでは、通信、計測等の諸分野において、デジタル技術を導入する際に必要不可欠な A-D (アナログ・デジタル) 変換器の集積回路化をはかることをねらいとして、前記の各種のパルス回路の組み合わせにより逐次比較方式、2 進 8 けたの A-D 変換器を試作し、各回路の諸特性ならびに総合特性の検討を行なったので、その結果をご報告する。

2. 試作装置の概要

試作装置の設計条件としては、表 1 に掲げた事項を考慮した。

試作装置の構成の概要を図 1 に示す。A-D 変換方式としては通常の逐次比較方式をとっている。ここで、主発振器は周波数 500 kHz、2 相の主クロック・パルス ϕ_0 、 ϕ_1 を、リング・カウンタはリセット・パルス R、ホー

表 1 試作装置の設計条件

入力信号電圧	連続波または正パルス 0~5V
出力符号	直列または並列 2 進 8 けた 0V→00000000, 5V→11111111
変換の正確さ	±0.1% (量子化誤差を除く)
変換時間	20 μ sec
論理電圧	負論理 ($"1"=0V$ $"0"=6V$)
電源電圧	±6V, ±12V, ±24V
周囲温度	10°C~40°C

ルド・パルス H、ビット・パルス $B_1 \sim B_8$ などを発生し、A-D 変換動作を制御する。符号発生回路は A-D 変換の過程で必要な 2 進 8 けたのデジタル符号 $C_1 \sim C_8$ を発生する。局部復号回路はこのデジタル符号を局部復号電流 I_d に変換する。一方、電圧保持回路は A-D 変換中、入力信号 V_i を蓄積し、これに対応した保持電流 I_h を比較回路から吸収する。これらの電流値は、 $V_i=0V$ のとき $I_h=1mA$ 、 $V_i=5V$ のとき $I_h=0mA$ 、また $C_1 \sim C_8=0$ のとき $I_d=1mA$ 、 $C_1 \sim C_8=1$ のとき $I_d=0mA$ と選ばれている。比較回路ではこの I_d と I_h の大きを判定して、その結果を符号 F として符号発生回路に帰還する。弁別回路は外部起動信号あるいは入力パルス信号 S によって A-D 変換の起動信号 S を発生する。また、常時 $S=1$ とするときには連続的、周期的に A-D 変換を行なう。以上の諸回路のうち、電圧保持回路、局部復号回路、比較回路などのアナログ信号を扱う回路は、前記のように全 MOS-FET 化された回路を主体として構成している。またリング・カウンタ、符号発生回路などのデジタル回路は、ダイオード・ゲートおよび混成超小形構造の J-K フリップ・フロップによって構成している。

試作装置の動作は従来の逐次比較形 A-D 変換器と同様であって、その各部波形の 1 例を図 2 に示す。変換開始前の状態では $R=1$ 、 H 、 $B_1 \sim B_8=0$ となり、 $C_1 \sim C_8$ は前回の交換結果を示している。入力信号の到来に従って起動信号 S が発生すると、 $2\mu s$ だけ遅れて、 $R=0$ 、 $H=1$ となり、入力信号電圧を電圧保持回路に蓄積し、さらに

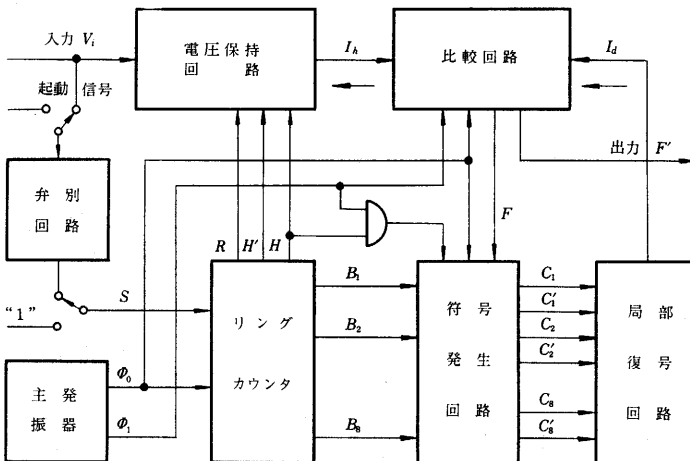


図 1 試作装置の構成

* 東京大学生産技術研究所第 3 部

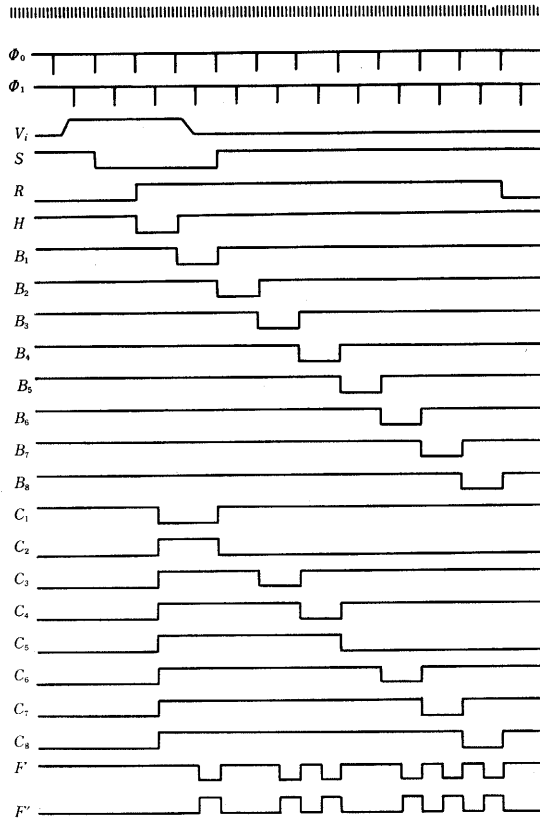


図 2 試作装置各部の波形

パルス $H\Phi_1$ によって符号発生回路のフリップ・フロップを初期状態 ($C_1=1, C_2\sim C_8=0$) にセットする。第 1 ビット C_1 のあたいを定めるために、これより $2\mu s$ だけ遅れて I_d と I_h の大小判定が行なわれ、 $I_d < I_h$ であれば帰還信号を $F=1$ とし、さらに $1\mu s$ のちに C_1 を 0 にリセットし、これと同時に $C_2=1$ にセットする。 $I_d > I_h$ であるときには $F=0$ とし、 C_1 は 1 のまま残される。第 2 ビット C_2 の判定は $C_2=1$ にセットされたのち $1\mu s$ たって行なわれ、さらに $1\mu s$ たって $C_2=1$ あるいは 0 にセットされる。以下、同様に第 8 ビット C_8 まで判定が行なわれたのち、リングカウンタは変換開始前の状態にもどる。このとき、出力デジタル符号は符号発生回路の出力 $C_1\sim C_8$ に並列信号として得られ、また変換の過程で比較回路から直列信号 F' としても得られる。

3. 回路構成

電圧保持回路を図 3 に示す。これは MOS-FET, $TR_{4,5}$ を充放電用スイッチとして保持容量 C に入力電圧を保持する回路¹⁾ であって、前置増幅器として $TR_{1,2}$ よりなる直列差動形増幅回路²⁾ を、後置増幅器として $TR_{6,9}$ よりなる相補形負帰還増幅回路³⁾ を用いている。容量 C は充電パルス H の後縁で TR_4 の電極間容量を介して発生するスパイクを、逆極性のパルス H' を利用して補償

するためのものである。また、入力パルス信号の後縁によっても TR_4 の電極間容量を介して保持電圧の変化を生ずるので、変換中は TR_3 によって入力を短絡し、これを防いでいる。

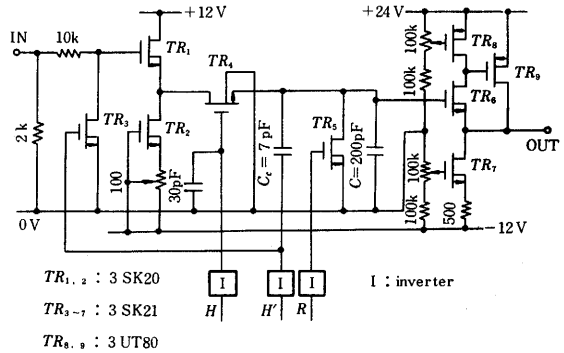


図 3 電圧保持回路

この回路の特性は、充電時間 $1.5\mu s$ 、放電時間 $0.6\mu s$ (それぞれ充放電誤差 0.1% 以下となるまでのあたり)、サグ 0.01% 以下 (保持時間 $20\mu s$ のとき) である。また、利得および直線性は無負荷時でそれぞれ 0.978 および 0.26% 、 $5k\Omega$ 負荷時でそれぞれ 0.973 および 0.28% 、出力インピーダンスは 20Ω であって、とくに後置増幅器として相補形負帰還増幅回路を用い、出力インピーダンスの減少をはかったことにより、負荷時の利得および直線性が改善されている。ドリフトは測定時間 30 分間で $\pm 1.2mV$ 程度であり、これはデジタル値 1 単位の約 $1/16$ に相当する。

局部復号回路⁴⁾ を図 4 に示す。この回路は 8 組の MOS-FET スイッチ対を用いており、入力符号 $C_i=0$ のとき TR_i を on, TR'_i を off としして加重抵抗 2^i-1R を流れる電流を出力側に生ぜしめ、 $C_i=1$ のときには TR_i を off, TR'_i を on とししてこの電流を側路する形式の

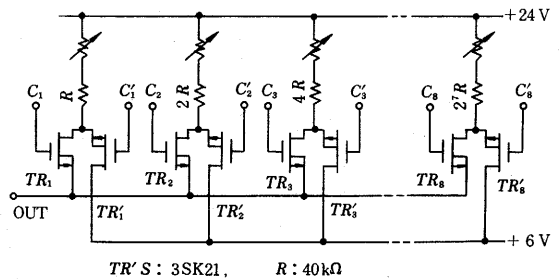


図 4 局部復号回路

ものである。加重抵抗としては $40k\Omega$ ないし $5.12M\Omega$ の金属被膜抵抗 (精度 $0.05\sim 0.1\%$ 、温度係数 $50ppm/^\circ C$) を用いている。この回路の特性は、直流的な変換誤差の最大値 約 0.07% 、変換誤差 0.1% 以下となるまでのス

研究速報

イッチ時間は $C_1 \sim C_8 = 1$ のとき約 $0.9 \mu s$, $C_1 \sim C_8 = 0$ のとき約 $0.6 \mu s$ である。ドリフトは測定時間 45 分間でデジタル値 1 単位の約 1/7 程度である。

比較回路を図 5 に示す。この回路は MOS-FET 差動増幅回路 6 段を用い、その出力を主クロック・パルス Φ_1 でサンプルしてフリップ・フロップをトリガし、帰還信号 F を発生するものである。差動増幅器の初段ないし 3 段は相補形 FET による直結回路であり、4 段ないし 6 段は同一の回路で、ツェナー・ダイオードによるレベルシフトを行なっている。増幅回路全体の電圧利得は 72dB 周波数帯域幅は 0 ないし 1.2 MHz である。デジタル

(いわゆる mid-riser) に対して求め、最大入力振幅 5V に対する相対値で示してある。電圧保持回路における直線性からのずれがその他の回路の特性によって相殺されている一方、変換誤差の微細構造は局部復号回路の直流特性⁴⁾ とはある程度異なっている。

表 2 は A-D 変換時間を変えた場合の特性の概要を示したもので、変換時間を $40 \mu s$ 程度とすることによって、誤差をほぼ $\pm 0.1\%$ の範囲となしうる。また、変換時間が $20 \mu s$ を下回ると誤差が急激に大きくなる。この傾向は前記の各回路の所要動作時間の測定結果からも説明できる。

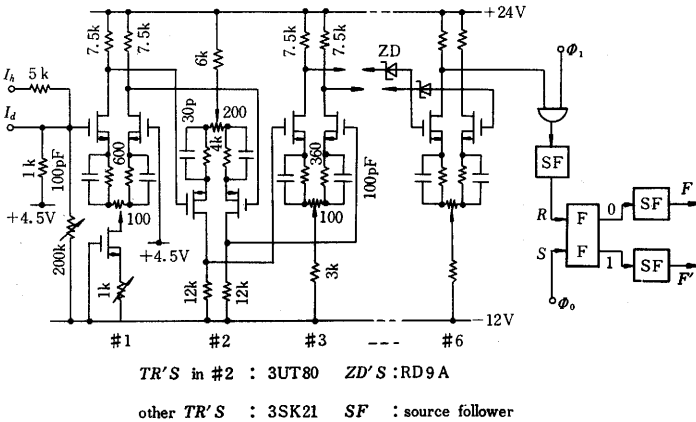


図 5 比較回路

表 2 試作装置の A-D 変換時間と変換精度

変換時間 (μs)	60	40	20	15	
変換誤差 (%)	上限	+0.22	+0.16	+0.20	+0.30
	下限	-0.16	-0.06	-0.20	-0.34

5. 結 言

MOS 形 FET を用いて A-D 変換器の集積回路化をはかることをねらいとして、変換時間 $20 \mu s$, 2 進 8 けたの逐次比較形 A-D 変換器を試作し、設計目標にほぼ近い特性を得てその実現可能性を確かめることができた。

アナログ回路の全 MOS-FET 化は可能であって、とくに電圧保持回路、局部復号回路では従来のバイポーラ・トランジスタを用いるものに比べて、簡単で、しかも良好な特性のものが得られた。

これらの回路の集積化を具体的に検討することが今後の課題であるとともに、デジタル回路にも、現在すでに開発されている MOS 集積回路を利用することが、信号電圧レベルの整合の観点から望ましいと考えられる。

(1968 年 8 月 26 日受理)

文 献

- 1) 森脇, 高羽, 木下: 生産研究, 18, 8 (1966-8)
- 2) 森脇, 高羽, 西森: 昭和 41 年度電気通信学会全国大会, 658, (1966-11)
- 3) 森脇, 高羽, 西森: 生産研究, 20, 4 (1968-4)
- 4) 森脇, 高羽, 西森: 生産研究, 19, 10 (1967-10)
- 5) 森脇, 高羽, 西森: 電子通信学会創立 50 周年記念全国大会 908 (1967-10)

値 1 単位の変化に相当する増幅回路初段入力電圧は最小 $3.05 \text{ mV}^{4)}$ であり、フリップ・フロップのトリガ感度は 1V 以下の入力パルス振幅の差を弁別しうるから、符号判定のあいまいさはデジタル値 1 単位の 1/10 以下となる。増幅回路の応答時間の実測値は想定される最大入力電圧変化 $\pm 0.204V$ に対して最大約 $1.0 \mu s$ である。また、ドリフトは各増幅段の FET に I_{DSS} の温度変化の等しい対を選び、とくに初段の素子に注意を払った結果、デジタル値 1 単位の約 1/12 以下となっている。

4. 総合特性

変換時間 $20 \mu s$ のときの A-D 変換特性を、直流入力電圧を加えて測定した結果を図 6 に示す。同図では、量子化誤差を除いた変換誤差をデジタル出力の変化点

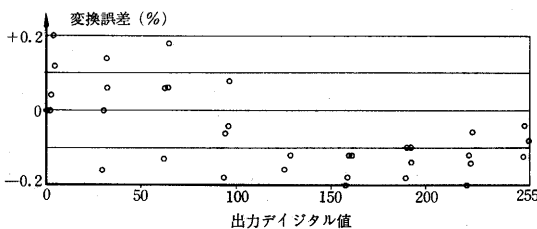


図 6 試作装置の A-D 変換特性 (変換時間 $20 \mu s$)