

多段遅延線路記憶式多チャネル波高分析器

Multi-Channel Pulse Height Analyzer using Multistage Delay Line Memory Systems

高 羽 禎 雄*・森 脇 義 雄*

Sadao TAKABA and Yoshio MORIWAKI

放射線のエネルギー分布測定にひろく用いられる遅延線路記憶式多チャネル波高分析器の高計数率化をはかることを目的として、長さの異なる2本あるいは3本の遅延線を組み合わせ用いる一方式を考案した。ここではその方式の概要と特性の解析とを示し、2段記憶方式では従来の方式に比して約10倍程度、3段記憶方式ではさらにその2倍程度まで計数率を高めようことをあきらかにした。

1. はじめに

多チャネル波高分析器は、 γ 線などの放射線のエネルギー分布測定に際して検出器出力として得られる電圧パルスの振幅別頻度分布を求めるための装置としてひろく用いられている。現在実用化されている装置はふつう振幅・時間変換方式によるものであって、磁心記憶装置を用いるWilkinson方式の装置と、超音波遅延線路記憶装置を用いるHutchinson-Scarrott方式の装置とに大別される。このうち、後者の方式は超音波遅延線を循環形記憶装置として用い、その信号の周回時間と等しい周期をもつのごぎり波を利用して入来パルスの振幅・時間変換を行なうものであって、装置構成が簡単であるという特徴を有する一方、不感時間が遅延線路記憶装置のアクセス・タイムにほぼ等しく、通常1msec程度の値をとるため、高計数率の信号の分析には動作速度が不十分であるといううらみがある。

われわれは従来からこのような遅延線路記憶式波高分析器の特徴をいかしつつ、その高速化をはかることを目的として研究をすすめており、これまでに

- a) 数本の等長の遅延線を並列に使用して周回時間の短縮、したがってアクセス・タイムの短縮をはかる方式。
 - b) 数個の振幅・時間変換回路を用い、入来パルスをこれらに分配して変換を行なうことにより、遅延線の1周回時間中に数個のパルスを分析する方式。
 - c) より高速の振幅・時間変換方式のA-D変換回路を用い、変換出力を数個の計数回路に一時記憶させることにより、bと同様に高計数率化をはかる方式。
- などの開発を行なった^{1)~6)}。

さらに、われわれは長さの異なる遅延線を組み合わせで使用し、遅延時間が短く、したがってアクセス・タイムの短い遅延線を一時記憶回路として用い、遅延時間が長く、したがって記憶容量の大きい遅延線に計数値を順次転送してゆく方式を考案し、これを多段遅延線路方式と名付けた。このような原理の基礎となるものとして

は、約8年前にWilliamsの提案になる方式¹³⁾があるが、クロック周波数の高い一時記憶用遅延線を必要とするという難点があったのに対し、われわれは主記憶用の遅延線におけるチャンネルの並び方をくふうすることにより、一時記憶用の遅延線のクロック周波数を主記憶用の遅延線のそれと等しくとることを可能とし、方式の実用性を高め、当初の目的をはたしうる有望な方式を見いだすことができた⁷⁻¹²⁾。

ここではこの方式のうち、2本の遅延線を用いる方式および3本の遅延線を用いてさらに不感時間の短縮をはかった方式について、それぞれ方式の概要、計数値転送の条件、計数損率の計数結果などについて、そのあらましを紹介する。

2. 2段記憶方式

まず、波高分析器の記憶装置として2本の遅延線を組み合わせ用い、一時記憶用の短い遅延線によって不感時間の短縮をはかるとともに、主記憶用の長い遅延線に必要な分析結果を記憶させる方式を考える。このような方式を2段記憶方式と名付ける。

(1) 方式の概要

図1は2段記憶方式の波高分析器の概要を示す。装置

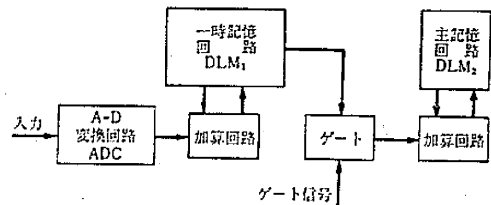


図1 2段記憶方式の波高分析器

はA-D変換回路ADC、一時記憶回路DLM₁、主記憶回路DLM₂などによって構成されている。図2はその各部の動作の時間関係を例を用いて示したものである。ここではチャンネル数M=104(うち空きチャンネル4)、DLM₁での1チャンネルあたりのビット数をb₁=2、DLM₂での1チャンネルあたりのビット数をb₂=10としている。また、2本の遅延線におけるクロック周波数f_cは等しいものとする。

* 東京大学生産技術研究所 第3部

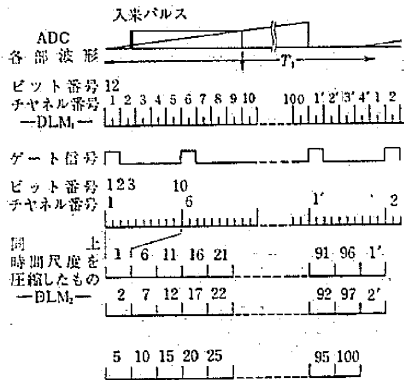


図 2 2 段記憶方式における各部の動作の時間関係

装置の動作の概要を以下に述べる。

A-D 変換回路 ADC と一時記憶回路 DLM₁ とは、通常の Hutchinson-Scarrott 方式の波高分析器と同様の原理で動作する。すなわち DLM₁ は、遅延線間 T₁ の遅延線を用いた循環形記憶装置であって、入力パルス信号の振幅別頻度分布を求めるために、各チャンネルごとの頻度を示す計数値を、最下位のけたから始まる直列 2 進数の形でチャンネル番号の若い順に記憶している。一方、ADC は任意に入来するパルスに応じて該当するチャンネルへの加算信号を発生するために、入来パルスの振幅・時間変換を行なう回路であって、周期 T₁ で、のこぎり波を発生しており、入来パルスがあるとその振幅を保持して、のこぎり波との振幅比較を行ない、両者が一致した時刻を検出する。この方法により ADC の出力信号の発生時刻は DLM₁ から該当チャンネルの計数値が読み出された時刻と一致し、加算回路によって計数値に 1 を加えてふたたび DLM₁ に書き込まれることとなる。

しかし、ここでは不感時間の短縮をはかるため、DLM₁ では短い遅延線を用いており、その計数容量が小さいため上記の装置のみで分析を続行すれば、すぐ計数値のオーバー・フローを生ずることになる。このオーバー・フローを回避あるいはあるいは軽減するため、この方式ではさらに長い遅延時間を有する遅延線を用いた主記憶回路 DLM₂ を置き、DLM₁ に一時的にたくわえられた計数値を適当な周期で DLM₂ に転送する。この例では図 2 に示すように DLM₂ におけるチャンネルの配列をチャンネル 1、チャンネル 6、チャンネル 11... というふうにとびとびに定めることにより、DLM₁ と DLM₂ とから同一時刻に同一チャンネルの計数値が読み出される機会を DLM₁ の 5 チャンネルごとに得ることができる。このときにゲート信号によってゲートを開き、DLM₁ の計数値を DLM₂ の計数値に加算し、そのうち DLM₁ の計数値を 0 とする。また、DLM₁ においてチャンネル 100 とチャンネル 1 との間に 4 個の空きチャンネルが設けられており、チャンネル 96、チャンネル 1'、チャンネル 2 の順で転送が行なわれ、

空きチャンネルをもふくめてすべてのチャンネルが転送されたのちに、はじめてチャンネル 1 がふたたび転送の機会を得る。

この方式では上に述べたように主記憶回路におけるチャンネルの配列が、通常の Hutchinson-Scarrott 方式の波高分析器の場合と異なるが、分析結果の低速読み出しはとくにくふうされた計数回路を用い、ゲート信号を計数してその結果で制御を行なうことにより、またブラウン管上への表示は、A-D 変換回路で発生したのこぎり波によって X 軸の掃引を行なうことにより、いずれも通常の場合と同様に容易に実行することができる。

(2) 計数値転送の条件

この方式の基本となる一時記憶回路 DLM₁ から主記憶回路 DLM₂ への計数値転送の条件は、つぎのようにあらわすことができる。

2 本の遅延線におけるクロック周波数が等しいとき、周期的読み取りによって転送可能な最小チャンネル間隔は、それぞれの遅延線における 1 チャンネルあたりのビット数 b₁ と b₂ の既約整数比 n'/n によって与えられる。すなわち、DLM₁ 上で n チャンネルごとに読み取られ、DLM₂ 上で n' チャンネルごとに加算されるものとすると n, n' は

$$n = b_2 / (b_1, b_2) \text{gcm} \tag{1}$$

$$n' = b_1 / (b_1, b_2) \text{gcm} \tag{2}$$

ただし (b₁, b₂)gcm は b₁ と b₂ の最大公約数で与えられる。

また、このような周期的読み取りによって全チャンネルの計数値がもれなく転送されるためには、チャンネル数 M と nn' とが 1 以外の公約数を持たないこと、すなわち、たがいに素であることが要求される。一般には M と nn' とがたがいに素でなくとも、読み取りを非周期的に行なうことによって全チャンネルをもれなく転送できるが、装置がやや複雑になる。波高分析器においては A-D 変換器の休止期間に相当する空きチャンネルを設ける必要があるため、チャンネル数を適当に選ぶことにより、M の値がこの条件を満足するように定めることは、容易にできる。

つぎに、DLM₁ における計数値のオーバー・フローについて考える。DLM₁ および DLM₂ における信号の周回時間をそれぞれ T₁, T₂ とすると、信号転送の周期 T_a は

$$T_a = nT_1 = n'T_2 \tag{3}$$

となる。DLM₁ においては、同一チャンネルへの入力は多くとも周期 T₁ の間に 1 個であるので(3)式から一転送周期間での同一チャンネルへの入力数は n を越えない。したがって、DLM₁ の 1 チャンネルあたりの計数容量を N₁ とすると、このようなオーバー・フローを生じない条件は

$$n \leq N_1 = 2^{b_1} - 1 \tag{4}$$

となる。この条件を無損失転送条件とよぶことにする。

表 1 は(4)式をみたす b_1 と b_2 の組み合わせを示したもので、 b_2 と b_1 が整数比をなすとき $n'=1$ となり、好都合な条件を与えることがわかる。また、波高分析に必要な 1 チャネルあたりの計数容量 N_2 は 10^4 ないし 10^6 、したがって b_2 は 14 ないし 20 となることから、 $b_1=3$ あるいはそれ以上であれば、 b_2 を適当に選ぶことによりオーバ・フローを回避しうることがわかる。

表 1 無損失転送が可能な b_1, b_2 の組み合わせ
— 2 段記憶方式 —

b_1	b_2
1	—
2	4, 6 3,
3	6, 9, 12, 15, 18, 21 4, 5, 7,
4	8, 12, 16, 20,60 6, 10, 14, 18, 22, 26, 30 5, 7, 9, 11, 13, 15

(3) 計 数 損 率

ここでは、この方式の装置の計数損率、すなわち損失計数率と入力計数率との比を、入力計数率 λ のランダムな信号に対して求めてみる。

まず、(4)式に示した無損失転送条件が成り立つとき、計数落しはもっぱら ADC のふさがりによって生じ、その計数損率 B は、よく知られているように

$$B = \frac{\lambda T_1/2}{1 + \lambda T_1/2} \quad (5)$$

で与えられる。

しかし一般には、このほかに DLM₁ のオーバ・フローによる計数落しをも考慮する必要があるので、以下では両者をふくめた総合の計数損率を求める。この場合には、問題とすべきチャネルへの入力頻度によってオーバ・フローの量が異なるため、計数損率としてはチャネルごとの値を求めることとする。このため、入力信号の特定の第 i チャネルへの集中度 α_i を

$$\alpha_i = \frac{\lambda_i}{\lambda} \quad (6)$$

ただし λ は入力計数率、 λ_i は第 i チャネルに属する信号の入力計数率、と定義する。

第 i チャネルのみを考えた場合の ADC の計数損率はランダムな信号に対しては同じく B で与えられ、したがってその出力計数率 λ_{ei} は

$$\lambda_{ei} = (1-B)\lambda_i = (1-B)\alpha_i\lambda \quad (7)$$

となる。この出力によって周期 T_1 ごとに DLM₁ の第 i チャネルの計数値に 1 を加算するのであるからその確率は(6)、(7)式から

$$p_{ir} = \lambda_{ei} T_1 = 2\alpha_i B \quad (8)$$

となる。

入力が少数の離れたチャネルのみに入る場合のような特別な性質のものを除いては、DLM₁ の第 i チャネルで 1 が加算される事象の統計的性質は、ほぼ 0 次のマルコフ過程であるとみなせるので、DLM₁ の n 周期間に r 個の入力が到来する確率 p_{ir} は

$$\binom{n}{r} p_{ir}^r (1-p_{ir})^{n-r} \equiv P(n, r; p_{ir}) \quad (9)$$

となる。したがって、DLM₁ の出力計数率 λ_{ei}' は、オーバ・フローを生じた場合には計数値 N_1 を転送するものとするとき

$$\lambda_{ei}' = \frac{C_1}{T_n} = \frac{C_1}{nT_1} \quad (10)$$

$$C_1 = \sum_{r=0}^n (\text{minimum of } r \text{ and } N_1) p_{ir} \\ = N_1 - \sum_{r=0}^{N_1-1} (N_1 - r) P(n, r; p_{ir}) \quad (11)$$

となる。ここで C_1 は DLM₁ から DLM₂ へ転送される平均計数値である。第 i チャネルに属する信号の計数損率 B_i は(5)~(11)式を用い

$$B_i = 1 - \frac{\lambda_{ei}'}{\lambda_i} = 1 - \frac{C_1}{n\alpha_i\lambda T_1} \quad (12)$$

で与えられる。

DLM₁ におけるオーバ・フローは第 i チャネルへの集中度 α_i に依存するため、 α_i の異なるチャネル間での計数損率の相違をもたらす。その結果、分析されたスペクトルのピークが圧縮される形のひずみを生ずる。このピーク圧縮率をひずみ率 η_i と定義すると

$$\eta_i = 1 - \frac{\lambda_{ei}'}{\lambda_i} = 1 - \frac{C_1}{n\alpha_i\lambda T_1} \quad (13)$$

として得られる。

以上の計算結果を図 3、図 4 および表 2 に示す。図 3 は規準化された入力計数率 $\lambda M/f_c$ と第 i チャネルの計数損率 B_i の関係を示しており、 $b_1=1$ の場合には同図(A)に示されるように計数損が ADC および DLM₁ の双方で生じ、したがって α_i の B_i に与える影響が大きい。また、 $b_1=2$ の場合には同図(B)に示されるように α_i および B_i が大きい範囲を除いては計数損はほとんど ADC で生ずる。表 2 はこの方式が通常的方式に対してもつ計数損率の改善効果およびスペクトルのひずみを数値例で示したものである。 $\lambda M/f_c$ 、あるいは α_i がさらに小さい場合には計数損率の改善効果はさらに著しく、ひずみももっと小さい。

図 4 は $B_i=10\%$ を与える入力計数率を α_i の関数として示したもので、 α_i が数%程度より大であるか、またはスペクトルのひずみを避けたい場合には $b_1=2$ と選べばよく、一方、 α_i が数%以下であって、しかも数%程度のスペクトルのひずみを許せる場合には $b_1=1$ と選べばよいことがわかる。いずれにしても従来の方式に比べて入力計数率を 1 けた程度増加させうることがあ

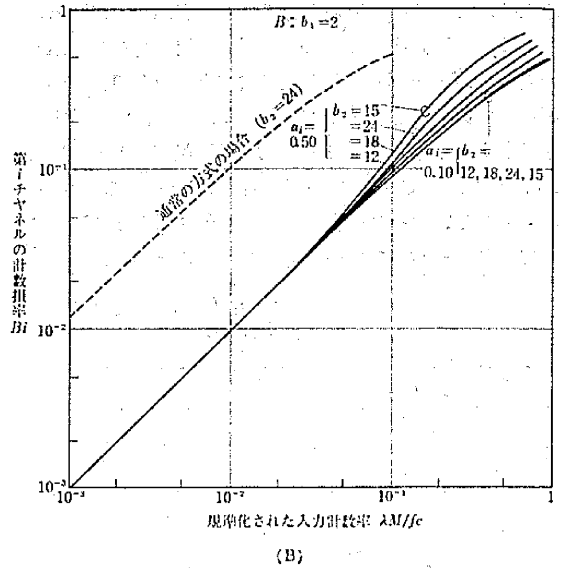
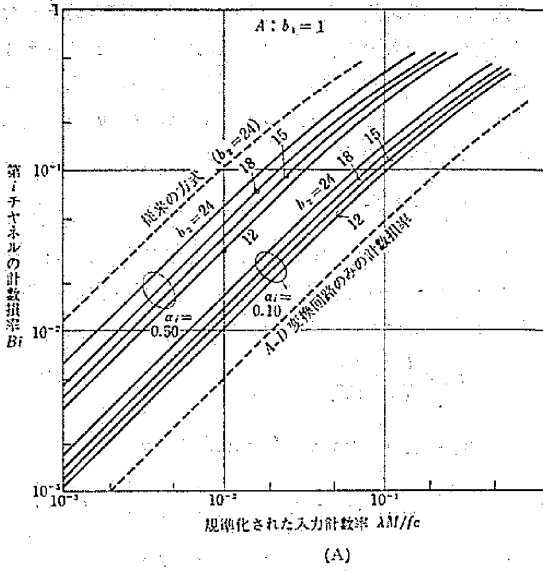


図 3. 入力計数率に対する第 i チャンネルの計数損率—2 段記憶方式—

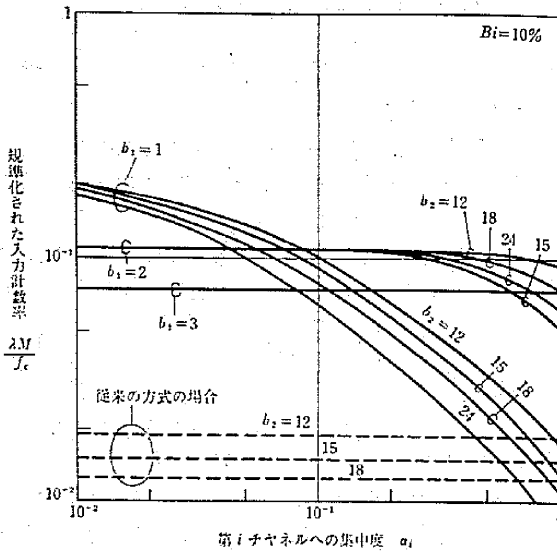


図 4 第 i チャンネルへの集中度 α_i に対する $B_i=10\%$ を与える入力計数率

表 2 2 段記憶方式における計数損の改善効果およびスペクトルのひずみ

標準化された入力計数率 $\lambda M / f_c$	$b_1=1, b_2=18$ $\alpha_i=0.1$		$b_1=2, b_2=18$ $\alpha_i=0.1$	
	10^{-2}	10^{-1}	10^{-2}	10^{-1}
計数損の減少率	1/6.3	1/3.8	1/8.2	1/5.1
ひずみ率 η_i	0.99%	9.29%	<0.19%	

ルへの集中度 α_i が大となるにつれて一時記憶回路 DLM_1 での計数落しが增大する傾向がある。この計数落しの増大を防ぐために、1 チャンネルあたりのビット数 b_2 の小さな第 2 の一時記憶回路 DLM_2 を第 1 の一時記憶回路 DLM_1 と主記憶回路 DLM_3 との間にそう入る方式が考えられる。このような方式を 3 段記憶方式と名付ける。

(1) 方式の概要

図 5 は 3 段記憶方式の波高分析器の概要を示す。図 6 はその各部の動作の時間関係を例示したもので、チャンネル数 $M=109$ (うち空きチャンネル 9), $DLM_1 \sim DLM_3$ での 1 チャンネルあたりのビット数をそれぞれ $b_1=1, b_2=2, b_3=10$ としてある。また、3 本の遅延線におけるクロック周波数はすべて等しく f_c であるとする。

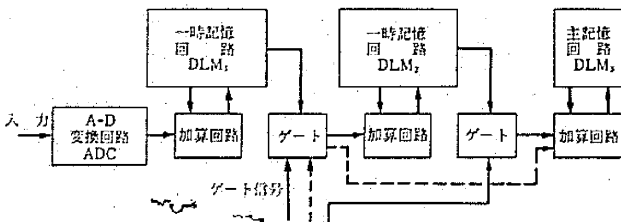


図 5 3 段記憶方式の波高分析器

らからである。

3. 3 段記憶方式

前章に述べた 2 段記憶方式では入力信号の特定チャネ

装置の動作原理は 2 段記憶方式の場合とまったく同様であって、A-D 変換回路 ADC は入来パルス振幅を変換して DLM_1 への加算信号を発生する。 DLM_1 の各チャンネルの計数値 (0 または 1) は 2 チャンネルごとに読み取られて DLM_2 へ転送される。さらに DLM_2 の各チャンネルの計数値 (0 ないし 3) は 5 チャンネルごとに読み取られて DLM_3 へ転送される。 DLM_3 におけるチャンネルの配列はチャンネル 1, チャンネル 11, チャンネル 21……というふうに 10 チ

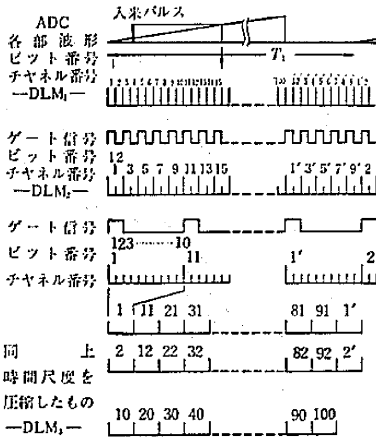


図 6 3 段記憶方式における各部の動作の時間関係

チャンネルごとになり、ここに分析結果が記憶される。

(2) 計数值転送の条件

DLM₁ から DLM₂ への計数值転送の条件は 2 段記憶方式の場合について前章で述べたものと同一である。DLM₂ から DLM₃ への計数值転送も同じ原理によるものであって、DLM₂ での m チャンネルごと、DLM₃ での m' チャンネルごと転送が行なわれるものとする、 m 、 m' は

$$m = b_3 / (b_2, b_3) \text{gcm} \quad (14)$$

$$m' = b_2 / (b_2, b_3) \text{gcm} \quad (15)$$

と求められる。周期的転送が可能な条件は前章の場合と同様に M と mm' とがたがいに素であることであり、このとき DLM₃ における信号の周回時間を T_3 とすると、信号転送の周期 T_m は

$$T_m = m' T_3 = m T_2 = \frac{mn}{n'} T_1 \quad (16)$$

となる。(4)式が成り立つとき、DLM₁ から DLM₂ への計数值転送の周期は $n' T_2$ 、転送される最大計数值は n であり、一方 DLM₂ から DLM₃ への計数值転送の周期は (16) 式により $m T_2$ であるので、DLM₂ の 1 チャンネルあたりの計数容量を N_2 とすると、(4) 式のはかに

$$\frac{mn}{n'} \leq N_2 = 2^{b_2} - 1 \quad (17)$$

が成り立つとき、DLM₁ および DLM₂ でのオーバ・フローによる計数落しがなくなる。表 3 はこれらの無損失転送条件をみだす b_1, b_2 と b_3 の組み合わせを示す。主記憶回路の 1 チャンネルあたりのビット数 b_3 は 14~20 を必要とするので、これに対して無損失転送を実現するためには $b_1=2, b_2=4$ または 6 と選べばよいことがわかる。

(3) 計 数 損 率

前章と同様に入力計数率 λ のランダムな信号に対する計数損率を求める。(4)および(17)式の無損失転送条

表 3 無損失転送が可能な b_1, b_2, b_3 の組み合わせ
— 3 段記憶方式 —

b_1	b_2	b_3
2	3	6, 12
	4	8, 12, 16, 20, 24, 28 6, 10, 14 5, 7
	6	12, 18, 24, ……120, 126 9, 15, 21, ……57, 63 8, 10, 14, 16, ……38, 40 7, 11, 13, 17, 19

件がみだされる場合には、計数落しは ADC のふさがりのみによって生じ、計数損率は前章と同様(5)式で求められる。また、 $b_1=1$ に選んだ場合には DLM₁ あるいは DLM₂ でも計数落しを生ずるので、以下ではこの場合における特定の第 i チャンネルの計数損率を求める。

$b_1=1$ であるとき、第 i チャンネルについて DLM₁ から DLM₂ への転送が行なわれる際に、転送される計数值が 1 である確率 q_i は

$$q_i = 1 - (1 - p_i)^n \quad (18)$$

である。これから、周期 $m T_2$ の間に DLM₂ の第 i チャンネルに計数值 1 の入力が s 回ある確率 q_{is} は

$$q_{is} = P(m, s; q_i) \quad (19)$$

となる。したがって、DLM₂ におけるオーバ・フローを考慮すると、DLM₂ から DLM₃ への平均転送値 C_2 は

$$\begin{aligned} C_2 &= \sum_{s=0}^m (\text{minimum of } s \text{ and } N_2) q_{is} \\ &= N_2 - \sum_{s=0}^{N_2-1} (N_2 - s) P(m, s; 1 - (1 - p_i)^n) \end{aligned} \quad (20)$$

となる。これから DLM₂ の出力計数率 λ_{ci}'' は

$$\lambda_{ci}'' = \frac{C_2}{T_m} = \frac{C_2}{mn T_1} \quad (21)$$

第 i チャンネルの計数損率 B_i は

$$B_i = 1 - \frac{\lambda_{ci}''}{\lambda_i} = 1 - \frac{C_2}{mn \alpha_i \lambda T_1} \quad (22)$$

となる。

また、ひずみ率 η_i は 2 段記憶方式の場合と同様に

$$\eta_i = 1 - \frac{\lambda_{ci}''}{\lambda_i} = 1 - \frac{C_2}{n p_i} \quad (23)$$

で与えられる。

図 7 は第 i チャンネルの計数損率 B_i と規準化された入力計数率 $\lambda M / f_c$ との関係を示す。 $b_1=1, b_2=2$ および 3 の場合について示している。 $\alpha_i=0.1, \lambda M / f_c=10^{-2}$ を例にとれば、3 段記憶方式としたことにより計数損率 B_i は従来の方式の 1/15、スペクトルのひずみ η_i は 0.1% 以下となる。図 8 は $B_i=10\%$ を与える入力計数率を α_i の関数として求めたもので、2 段記憶方式の場合にくらべて、なお入力計数率を 2 倍程度に増加させることがわかる。また、 $b_2=2$ の場合と $b_2=3$ の場合と

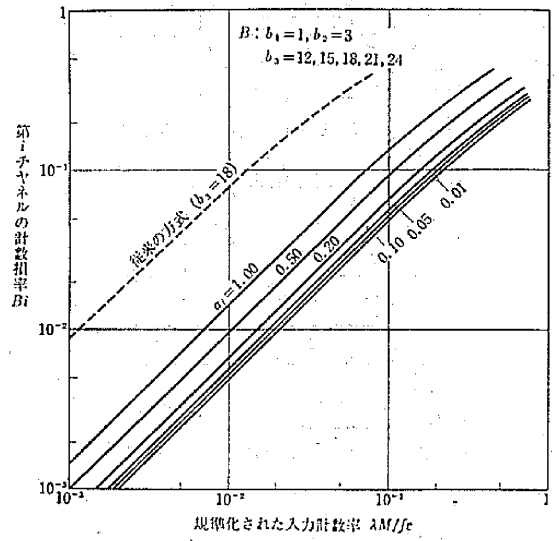
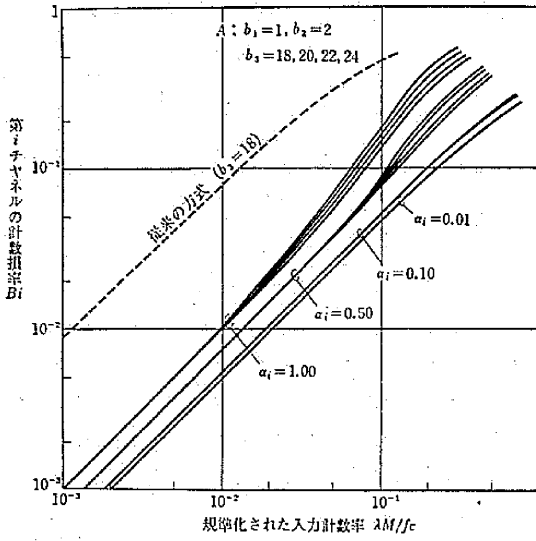


図 7 入力計数率に対する第 i チャンネルの計数損率—3 段記憶方式—

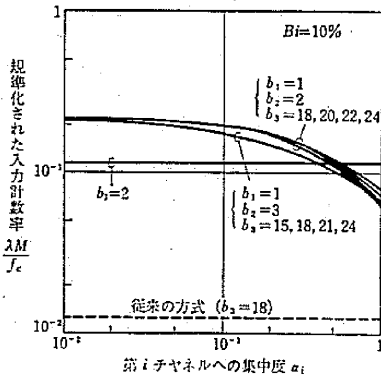


図 8 第 i チャンネルへの集中度に対する $B_i=10\%$ を与える入力計数率—3 段記憶方式—

を比較すると、おおむね前者の方がすぐれた特性をもつことがわかる。

(4) バイパス転送による計数損の軽減

3 段記憶方式においては、図 6 に示すように DLM_1 から DLM_2 への計数値転送の時刻と、 DLM_2 から DLM_3 への計数値転送の時刻とはしばしば一致する。このようなとき、図 5 に破線で示したような DLM_2 に対するバイパス・ルートを設定し、計数値を DLM_1 から DLM_3 に直接転送し、 DLM_2 から転送された計数値とともに DLM_3 の計数値に加算することにより、 DLM_2 のオーバ・フローによる計数落しを軽減することができる。この方法をバイパス転送と名付ける。バイパス転送を行なった 3 段記憶方式の計数損率を、前に述べたものと同一の仮定の下で計算した結果を図 9、図 10 に示す。

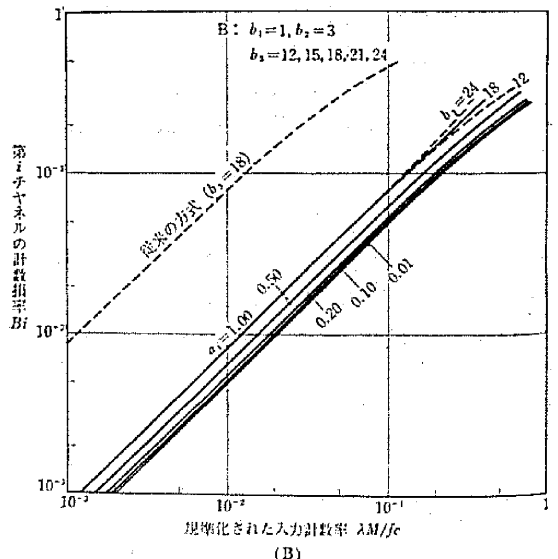
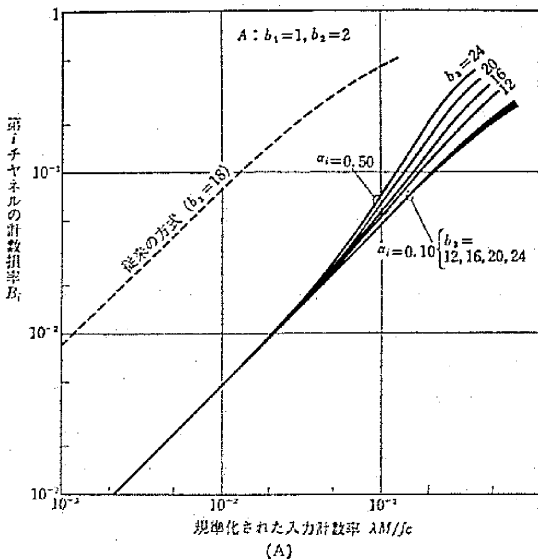


図 9 入力計数率に対する第 i チャンネルの計数損率—バイパス転送 3 段記憶方式—

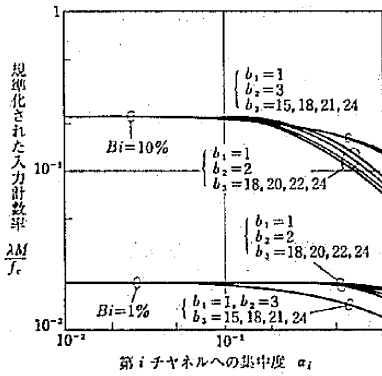


図 10 第 i チャンネルへの集中度に対する $B_i=1\%$ および 10% を与える入力計数率—バイパス転送 3 段記憶方式—

バイパス転送を行なわない場合と比較すると、計数損率の α_i に対する依存性が小さくなり、ひずみ率 η_i についてかなり改善がみられることがわかる。

2 段記憶方式において DLM_1 に対するバイパス転送を行なうこと、3 段記憶方式において DLM_1, DLM_2 の両者に対するバイパス転送を行なうことなども考えられるが、これらの場合には、上に述べた場合ほどの特性の改善はみられない。

4. む す び

遅延線路記憶式波高分析器の不感時間の短縮をはかることを目的として、長さの異なる遅延線を多段に組み合わせ用いる方式を考案し、このうち 2 本あるいは 3 本の遅延線を用いる 2 段、あるいは 3 段記憶方式について、その概要を示した。

これらの方式における特性の解析結果では、2 段記憶方式では一時記憶回路における 1 チャンネルあたりのビット数を 1 ないし 2 とすることにより、従来の方式と比べて不感時間を約 1 けた短縮でき、また 3 段記憶方式ではふたつの一時記憶回路における 1 チャンネルあたりのビット数を 1 および 2 ないし 3 とし、さらにバイパス転送をほどこすことにより、さらに不感時間を約 1/2 に短縮できることがわかった。

ここでは、使用するすべての遅延線のクロック周波数を等しいものとしたが、これは必要条件ではなく、おのおの遅延線を異なるクロック周波数で動作させる各種の方式も考えられ、またその一変形として遅延線の並列構成を併用する方式¹⁰⁾の有用性があきらかとなってい

る。また、実験装置を試作し、検討を行なうことによっても、本方式の実現可能性と有用性が確かめられている。これらの点については紙面の都合上、その詳細を省略した。

この記憶方式は波高分析器のほか、多チャンネルの計数・記憶を行なう各種の装置にも応用可能であって、その性能をいちじるしく向上させることが予想される。

最後に、本研究について種々ご討論いただいた本所第 3 部のかたがた、本方式の実験的検討を担当された森脇研究室生沼助手、特性解析を担当された高羽研究室木下助手、実験装置の試作をご援助いただいた神戸工業株式会社研究部三輪次長ほかのかたがたに謝意を表する。また本研究の一部は文部省科学試験研究費補助金により行なった。
(1968年4月8日受理)

参 考 文 献

- 1) 森脇, 河村: 高性能多チャンネル型波高分析器, 生産研究 14, 1, 19~24(1962. 1)
- 2) 森脇, 三原, 寺川: 高計数率遅延線路記憶式多チャンネル波高分析器用一時記憶装置, 昭和 38 年電気 4 学会連合大会論文集 630(1963. 4)
- 3) 森脇, 寺川, 三原: 高計数率波高分析器用遅延線路式記憶装置, 同上 631(1963. 4)
- 4) 森脇, 高羽, 木下, 富岡: 多チャンネル波高分析器用遅延線路記憶装置, 第 6 回日本アイソトープ会議論文抄録集 A/E-8(1964. 11)
- 5) 森脇, 高羽, 生沼: 並列遅延線路式多チャンネル波高分析器, 同上 A/E-9(1964. 11)
- 6) 森脇, 高羽, 生沼, 木下: 並列遅延線路式多チャンネル波高分析器, 昭和 40 年電気 4 学会連合大会論文集 351(1965. 4)
- 7) 高羽, 森脇, 木下: 記憶容量が大きくアクセスタイムが短い遅延線路記憶装置とその波高分析器への応用, 昭和 40 年電気通信学会全国大会論文集 129(1965. 11)
- 8) 森脇, 高羽, 木下: 多段遅延線路記憶式波高分析器の計数損率, 昭和 41 年電気 4 学会連合大会論文集 284(1966. 4)
- 9) 森脇, 高羽, 木下: 3 段遅延線路記憶式波高分析器の計数損率, 昭和 41 年電気通信学会全国大会論文集 110(1966. 11)
- 10) 森脇, 高羽, 木下: 並列構成を併用した多段遅延線路記憶式波高分析器, 昭和 42 年電気 4 学会連合大会論文集 522(1967. 4)
- 11) S. Takaba: Multistage Delay Line Memory Systems and Their Application to Multi-Channel Pulse Height Analyzer Featuring Short Dead Time, Nucl. Instr. and Meth. 58, 2, 223~228 (1968. 1)
- 12) 森脇, 高羽: 特許出願 39-71209(1964. 12. 16)
- 13) W. S. C. Williams: A proposal to decrease the dead time of Hutchinson-Scarrott type pulse height analyser, Nucl. Instr. and Meth. 6, 4, 361(1960. 3)