



研究速報

となる。したがって  $TR_4$  のドレイン電流  $I_{d4}$  は

$$I_{d4} = g_{m4} V_a \approx -G_L V_0 = -I_0 \quad (7)$$

となる。ここで  $I_0$  は負荷電流である。したがって負荷電流はほとんど  $TR_4$  から供給され、 $TR_1 \sim TR_3$  のドレイン電流はほぼ一定であることがわかる。

4. 入出力インピーダンス

入力インピーダンスのうち、並列入力抵抗  $R_i$  は  $10^{12}$   $\Omega$  程度のきわめて高い値をとる。入力容量  $C_i$  は  $A \approx A_0$  とみなせるような周波数領域では

$$C_i = \left(1 + \frac{G_L + g_0}{g_{m4} + g_{d3}} \cdot A_0\right) C_{\theta d1} + (1 - A_0) C_{\theta s1} \quad (8)$$

となる。

出力インピーダンスは低周波では (4) 式より得られそのアドミタンス  $Y_0$  による表示式はつぎのようになる。

$$Y_0 = g_0 + \frac{(g_{m1} + g_{d1})(g_{m4} + g_{d3})}{g_{d1} + g_{d3}} \quad (9)$$

5. 実験結果

ここでは MOS-FET,  $TR_1, TR_2$  は  $n$ -チャネル, depletion mode の素子 3SK 21 を  $TR_3, TR_4$  は  $p$ -チャネル, enhancement mode の素子 3UT 80 を使用した。 $TR_4$  が enhancement mode の素子であることにより電源電圧  $E_1, E_3$  を等しくとることができ、 $E_1 = E_3 = 18V, -E_2 = -18V, R_L = 500\Omega$  と定めた。

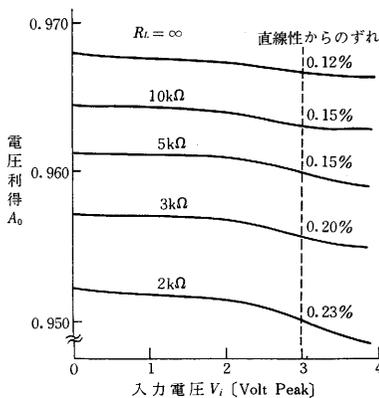


図3 電圧利得  $A_0$  の入力電圧による変化

図3は入力として 200Hz の正弦波電圧を印加し、出力電圧の尖頭値を測定してその比として求めた電圧利得  $A_0$  と入力電圧との関係を示したものである。無負荷のときの電圧利得は  $A_0 = 0.968$ 、入力電圧 3V における出力電圧の直線性からのずれは 0.12% である。また、 $R_L = 5k\Omega$  では電圧利得は  $A_0 = 0.962$ 、直線性からのずれは 0.15% である。高域利得の 3dB 低下周波数の測定値は無負荷の場合 27MHz を得ている。

図4は増幅回路の出力側から 1kHz の正弦波電流を印加して求めた出力抵抗  $R_0$  と印加電流との関係を示し

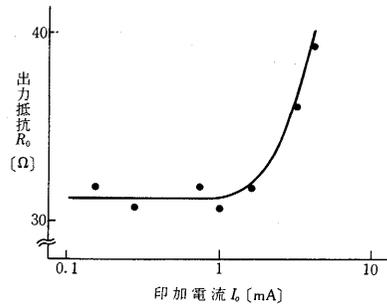


図4 出力抵抗  $R_0$  の印加電流による変化

たものである。同図から負荷電流約 1mA 以下では  $R_0$  はほぼ一定値 (31 $\Omega$ ) をとることがわかる。

一方、使用した MOS-FET の静特性の測定値から求めた諸定数の値は

- $TR_1$ :  $g_{m1} = 3.0$  m $\mu$ ,  $g_{d1} = 0.07$  m $\mu$  ( $i_{d1} = 5$  mA,  $v_{d,s1} = 10$  V)
- $TR_2$ :  $g_{m2} = 3.6$  m $\mu$ ,  $g_{d2} = 0.025$  m $\mu$  ( $i_{d2} = 8$  mA,  $v_{d,s2} = 14$  V)
- $TR_3$ :  $g_{m3} = 1.0$  m $\mu$ ,  $g_{d3} = 0.06$  m $\mu$  ( $i_{d3} = -5$  mA,  $v_{d,s3} = -8$  V)
- $TR_4$ :  $g_{m4} = 1.5$  m $\mu$ ,  $g_{d4} = 0.05$  m $\mu$  ( $i_{d4} = -3$  mA,  $v_{d,s4} = -18$  V)

であり、これらの値を (4) 式および (6) 式に代入すると  $A_0 = 0.973, R_0 = 1/Y_0 = 27\Omega$  を得る。定数測定の精度を考慮すれば、これらの計算値は前記の測定値とよい一致を示しているとみなせる。

温度ドリフトについては一応短時間ドリフトが 1mV 以下程度であることが観測された。

6. 結 言

緩衝増幅回路のひとつとして、相補形の MOS-FET 2個ずつを使用した帰還増幅回路を考案し、回路解析と実験的検討を行なった。その結果、この回路は通常のソース・フォロア回路に比べ、出力抵抗を数十分の1に減少させ、これにより負荷時のひずみを1けた以上軽減できることがわかった。

なお、ここで試みたように回路を全 MOS-FET することは、回路の集積回路化に際して利点を見いだすひとつの方向であろうと考えている。

(1968年1月23日受理)

文 献

- 1) 森脇, 高羽, 西森: 相補形 MOS-FET を用いた低出力インピーダンス増幅回路, 昭和 43 年電気 4 学会連合大会 (1968.3).
- 2) 高羽, 西森: 電気談話会報告 No. 50 (1967.12).